

Circuitos Digitais - ELE300 - Turma 001

Página Inicial

Avisos

Cronograma

Atividades

Fóruns

Collaborate

Calendário Lives

Notas

Menu das Semanas

Semana 1

Semana 2

Semana 3

Semana 4

Semana 5

Semana 6

Semana 7

Semana 8

Orientações para realização da prova

Orientações para realização do exame

Documentos e informações gerais

Gabaritos

Referências da disciplina

Facilitadores da disciplina

Repositório de REA's

Revisar envio do teste: Semana 3 - Atividade Avaliativa

Usuário

LIZIS BIANCA DA SILVA SANTOS

Curso

Circuitos Digitais - ELE300 - Turma 001

Teste

Semana 3 - Atividade Avaliativa

Iniciado

03/05/24 20:15

Enviado

03/05/24 20:19

Data de vencimento

03/05/24 23:59

Status

Completada

Resultado da tentativa

10 em 10 pontos

Tempo decorrido

3 minutos

Instruções

Olá, estudante!

1. Para responder a esta atividade, selecione a(s) alternativa(s) que você considerar correta(s);

2. Após selecionar a resposta correta em todas as questões, vá até o fim da página e pressione "Enviar teste".

3. A cada tentativa, as perguntas e alternativas são embaralhadas

Pronto! Sua atividade já está registrada no AVA.

Resultados exibidos

Todas as respostas, Respostas enviadas, Respostas corretas, Comentários, Perguntas respondidas incorretamente

Pergunta 1

1,43 em 1,43 pontos

Observa-se que as entradas, as saídas e os sinais de determinada linguagem VHDL acabam favorecendo sobremaneira a atividade técnica de descrever os barramentos e os circuitos de diversos *bits*. Esse tipo, portanto, pode ser considerado um vetor de *bits* nessa linguagem de descrição de *hardware*.

Assinale a alternativa que corresponde à descrição correta do tipo em questão:

Resposta Selecionada:

a. std_logic_vector.

Respostas:

a. std_logic_vector.

b. library.

c. nand.

d. xnor.

e. std_logic.

Comentário da resposta:

JUSTIFICATIVA
O tipo std_logic_vector é empregado para *arrays* de variáveis e sinais std_logic. As operações básicas da lógica VHDL são definidas por: and, nand, or, nor, xor e xnor. Tais operações devem receber dois *arrays* do mesmo tamanho, fazendo, assim, a operação em cada posição e retornando outro *array*. Por sua vez, as alternativas "nand", "library", "xnor" e "std_logic" levam à formulação de racionais sem sentido, em nada relacionados ao objeto da questão, razão pela qual são incorretas e devem ser descartadas.

Pergunta 2

1,43 em 1,43 pontos

Na prática, determinados decodificadores não utilizam todas as 2ⁿ possibilidades de códigos de entrada, mas se restringem a operar apenas com uma quantidade mais diminuta deles. É o caso, por exemplo, do decodificador BCD para decimal, sistema que apresenta um código de entrada de 4 bits e 10 linhas de saída correspondentes aos 10 grupos do código BCD (que se estendem de 0000 a 1001). No projeto de boa parte desses tipos de decodificadores mais restritos, quando qualquer um dos códigos não usados é inserido na entrada, ocorre determinada consequência.

Assinale a alternativa que corresponde à descrição correta da consequência em questão.

Resposta Selecionada:

b. Nenhuma das saídas é ativada.

Respostas:

a. Todas as saídas entram em curto.

b. Nenhuma das saídas é ativada.

c. A saída entrega valores repetidos.

d. A fonte de alimentação queima.

e. Ocorre o *reset* do sistema.

Comentário da resposta:

JUSTIFICATIVA
É o expediente mais comum que sejam projetados, deliberadamente, decodificadores mais restritos na utilização de códigos de entrada para, diante de códigos não empregados, apresentarem o comportamento de resultar em nenhuma das saídas ativada. É, na prática, até uma forma de proteção, a fim de evitar a comunicação de resultados inconsistentes. Por sua vez, as alternativas "todas as saídas entram em curto", "ocorre o *reset* do sistema", "a fonte de alimentação queima" e "a saída entrega valores repetidos" são todas absolutamente irreais, não convergindo para a prática que costuma se adotar de não ativar saída alguma, razão pela qual são incorretas e devem ser descartadas.

Pergunta 3

1,42 em 1,42 pontos

Considera-se que uma expressão encontra-se na forma SoP (abreviatura para Sum of Products, ou "soma de produtos") quando ela é constituída pelo somatório de produtos de literais e/ou de seus complementos. Quando todos os seus termos abrangem a totalidade das variáveis do domínio da expressão, é dito que a expressão SoP encontra-se sob uma determinada forma.

Assinale a alternativa que corresponde à descrição correta da forma em questão.

Resposta Selecionada:

d. Canônica.

Respostas:

a. Equilátera.

b. Fractal.

c. Isométrica.

d. Canônica.

e. Cônica.

Comentário da resposta:

JUSTIFICATIVA
A forma canônica de uma expressão SoP é reconhecida na condição de todos os seus termos disporem de todas as variáveis do domínio da expressão. Por isso, uma expressão como "ABC + $\bar{A}BC$ " é canônica, ao passo que "ABC + $\bar{A}C$ " não é. Por sua vez, as alternativas "fractal", "cônica", "isométrica" e "equilátera" levam à formulação de conceitos tecnicamente alheios ao objeto da questão, razão pela qual são incorretas e devem ser descartadas.

Pergunta 4

1,42 em 1,42 pontos

Existe uma abordagem que se notabiliza por estabelecer uma forma sistemática para a obtenção de expressões SoP simplificadas. Tal expediente apresenta informação análoga à da tabela-verdade, contudo ele o faz mediante um arranjo geométrico mais pertinente para simplificações.

Assinale a alternativa que corresponde à descrição correta da abordagem em questão.

Resposta Selecionada:

a. Mapa de Karnaugh.

Respostas:

a. Mapa de Karnaugh.

b. Controle de malha fechada.

c. Relações de Maxwell.

d. Teorema de Thévenin.

e. Enlace de dados.

Comentário da resposta:

JUSTIFICATIVA
Nesse tipo de abordagem de simplificação de expressões SoP, as linhas da tabela-verdade passam a ser transformadas em células no mapa de Karnaugh, sendo que células adjacentes ficam condicionadas a variar em apenas um termo literal. Por sua vez, as alternativas "teorema de Thévenin", "Controle de malha fechada", "enlace de dados" e "relações de Maxwell" levam à formulação de conceitos tecnicamente alheios ao objeto da questão, em nada relacionados à simplificação de expressões SoP, razão pela qual são incorretas e devem ser descartadas.

Pergunta 5

1,42 em 1,42 pontos

Qual o valor decimal correto do resultado da soma $10_{16} + 10_2$?

Resposta Selecionada:

c. 18

Respostas:

a. 20

b. 10

c. 18

d. 4

e. 32

Comentário da resposta:

JUSIFICATIVA
Observe que 10 na base 16 tem valor $1 \times 16 + 0 \times 1 = 16$. Na base binária, 10 tem valor $1 \times 2 + 0 \times 1 = 2$. Logo, na base 10, a soma resulta em $16 + 2 = 18$.

Pergunta 6

1,44 em 1,44 pontos

Considere a seguinte função booleana, dada a partir de seus mintermos e estados de don't care

$$G(X,Y,Z) = \sum m(5,6) + \sum D(1,2,4)$$

Quais das expressões a seguir podem ser utilizadas para implementar corretamente G?

I. $\bar{Z} + X\bar{Y}Z$

II. $X(\bar{Y} + \bar{Z})$

III. $X\bar{Y} + \bar{Y}Z$

IV. $Y\bar{Z} + \bar{Y}Z$

Resposta Selecionada:

a. II e IV apenas.

Respostas:

a. II e IV apenas.

b. IV apenas.

c. II, III e IV apenas.

d. I, II, III e IV.

e. II apenas.

Comentário da resposta:

JUSTIFICATIVA
Item I, falso. A expressão tem saída 1 para a entrada XYZ = 000, que é o mintermo 0, e que não se encontra na definição.
Item II, verdadeiro. A expressão tem saída 1 para as entradas XYZ = (100,101,110), que cobrem os mintermos 5 e 6, e usa o estado de don't care 4.
Item III, falso. A expressão tem saída 1 para as entradas XYZ = (100,101,001), que não cobre o mintermo 6.
Item IV, verdadeiro. A expressão tem saída 1 para as entradas XYZ = (010,110,001,101), que cobre os mintermos 5 e 6 e usa os estados de don't care 1 e 2.

Pergunta 7

1,44 em 1,44 pontos

É de certa forma trivial declarar nomes para as entradas e as saídas de um dado circuito lógico simples, mediante a designação deles como *bits* ou "dígitos binários únicos". Contudo, para que se possa representar uma entrada, uma saída ou mesmo um sinal composto de diversos *bits*, o HDL requer que se defina o tipo do sinal e também o intervalo de valores considerados aceitáveis.

Avalie as afirmativas a seguir e a relação proposta entre elas.

I. Matriz de *bits* e vetor de *bits* são conceitos alheios à descrição de ports com *bits* numerados por uma ordem crescente ou decrescente, PORQUE

II. cada posição do *bit* é descrita com base em um único número-índice referente a cada elemento individual do *port*.

Avaliando-se as afirmativas, conclui-se que:

Resposta Selecionada:

b. a primeira afirmativa é falsa, e a segunda é verdadeira.

Respostas:

a. as duas afirmativas são verdadeiras, e a segunda não justifica a primeira.

b. a primeira afirmativa é falsa, e a segunda é verdadeira.

c. as duas afirmativas são verdadeiras, e a segunda justifica a primeira.

d. a primeira afirmativa é verdadeira, e a segunda é falsa.

e. as duas afirmativas são falsas.

Comentário da resposta:

JUSTIFICATIVA
A afirmativa I é falsa, porque os conceitos de matriz de *bits* e de vetor de *bits* não são alheios, mas sim completamente relacionados à devida descrição de *ports* estruturados com *bits* numerados, sejam em ordem crescente, sejam em ordem decrescente. De fato, há de se reconhecer que as linguagens HDL e as linguagens de programação de sistemas computacionais muito se beneficiam desse tipo de arranjo informacional.
A afirmativa II é verdadeira, uma vez que, de fato, a estrutura geral de dados (por exemplo, um *port* de 8 *bits*) dispõe de um nome (por exemplo, P1), sendo que cada *bit* (portanto, o elemento individual) vincula-se a um único e exclusivo número-índice para que se possa descrever sua posição — na prática, é medida útil para a indicação de pesos numéricos na estrutura geral da informação.

Sexta-feira, 15 de Novembro de 2024 14h45min38s BRT

← OK