4.3.4.1.2。校准通道特性

校准通道提供了一种易于实现的方法来生成数据,该数据具有 UI 到 UI 电压摆幅的显着变化。这种变化对于接收器的压力很重要,可以通过表 4-20 和表 4-21 中的VRX-MIN-MAX-RATIO参数来理解。校准通道的使用允许强调该参数,而不需要模式发生器

5实施去加重或其他 UI 到 UI 电压变化。

校准通道的特征在于其瞬态响应和回波损耗。分析表明,对于二进制非均衡输入,当在传统 FR4 PCB 材料上制造时,通道需要大约 28 英寸的长度。校准通道的时域特性可以通过使用由最坏情况 8b/10b 模式组成的非均衡信号驱动并观察未施加差分 Dj 电压时大约 150 ps 的TRX-MIN-PULSE来验证。

10

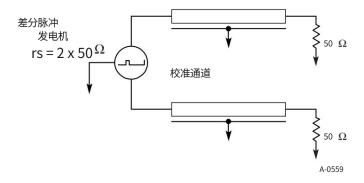


图 4-58:校准通道验证

图 4-59 显示了驱动器和接收器处的信号。请注意,Tx 数据是非均衡的。

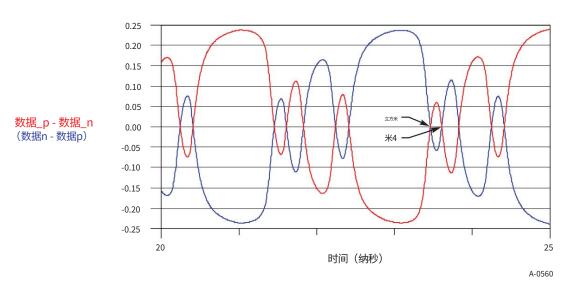


图 4-59:显示TMIN-PULSE 的校准通道

除了其正向瞬态域特性外,还必须根据其回波损耗来定义校准通道,如图 4-60 所示,其中 RL 限制为 18 dB。该测量可以作为单端端口测量来进行,其中通道的远端接地。请注意,校准通道可以制作为两条间隔较宽的迹线,产生 0.5 倍差分阻抗的单端阻抗。这种拓扑消除了执行单端和差分回波损耗测量的需要。

5

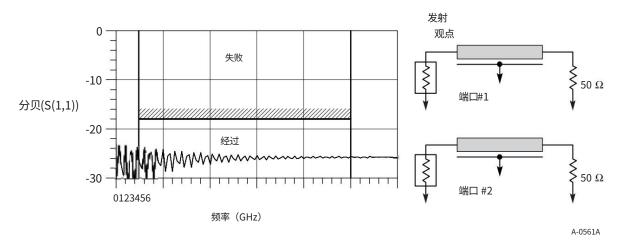


图 4-60:校准通道|s11|具有公差限制的绘图

4.3.4.1.3。 5.0 GT/s 时的接收器容差

对于 5.0 GT/s,接收器容差测试的明确描述方法被定义为10,允许轻松实施测试设置。图 4-61 说明了功能框图

接收器容差设置。左侧的电压源提供代表接收器可能看到的各种抖动源的信号。合规数据模式由模式生成器生成,模式生成器还可以提供子速率 100 MHz 时钟。共模和差模电压源通过功率分配器添加到模式发生器的输出。最后,ISI 效应为

图15是由校准通道生成的,这将在后面的部分中详细描述。

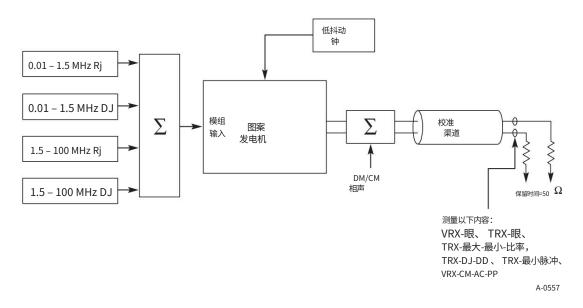


图 4-61: 将接收器测试电路校准到参考负载的设置

定义了两个单独的容差表,以适应常见 Refclk Rx 和数据时钟 Rx 架构中出现的不同抖动限制。接收器通常仅实现两种时钟架构之一,因此只需针对相关架构进行测试。

5接收器测试装置的实施和校准细节是典型的设备 具体的并且超出了本规范的范围。

校准测试设置后,测试负载将被被测接收器取代,如图 4-62 所示。测试必须运行足够长的时间,以允许接收到具有统计意义的 UI 数量,从而获得 BER 数据。

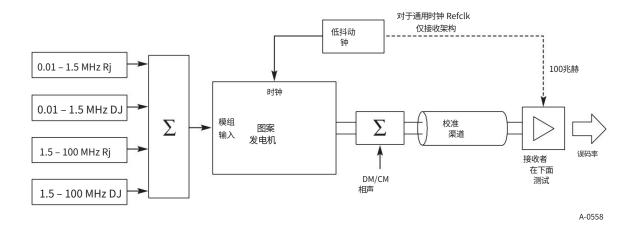


图 4-62:测试接收器的设置

10

表 4-20: 通用 Refclk Rx 架构的 5.0 GT/s 容差限制

范围	描述	最小	最大限度	单位	笔记
用作用	单位间隔不包括 SSC	199.94 200.0	16秒		超过 106 个用户界面
TRX-高频-RMS	1.5 – 100 MHz RMS 抖动		3.4	ps RMS 频谱平	坦,3
TRX-HF-DJ-DD	Max Dj 影响测试中的 Rx		88	附注	2,4
TRX-SSC-RES	33 kHz Refclk 残余		75	附注	
TRX-低频-RMS	<1.5 MHz RMS 抖动 Rx 处		4.2	ps RMS 频谱平	坦
TRX最小脉冲	应用的最小单脉冲	120		附注	2
VRX-MIN-MAX-RATIO	2 的时间间隔内看到的最小/最大脉冲 电压比		5		2
VRX眼	接收眼电压开启	120		mVPP 差值	1,3
VRX-CM-CH-SRC	来自 Rx 的共模噪声		300	毫伏PP 2	

笔记:

- 1. 有关如何定义 Rx 眼图电压的说明,请参见图 4-63。
- 2. 累计超过106个UI。
- 3. 最小眼图是通过首先注入最大 Dj 然后调整 Ri 直到最小眼图(定义为 TRX-EYE如图4-63)所示。在使用具有 3 dB 截止频率fC-LOW和fC-HIGH分别为 1.5 MHz 和 100 MHz 的 BPF 进行滤波之前,Rj 的频谱是平坦的,在 1.5 MHz 处具有阶跃滚降,在高端处具有 20 dB/十倍频程滚降。最小眼宽是针对相当于 BER 10-12 的样本大小定义的。
 - 4.测量TRX-TJ-CC和TRX-DJ-DD-CC需要TRX-HF-DJ-DD和TRX-HF-RMS的不同组合。

表 4-21:数据时钟 Rx 架构的 5.0 GT/s 容差限制

范围	描述	最小	最大限度	单位	笔记
房"特苗	单位间隔不包括 SSC	199.94	200.06	附注	超过 106 个用户界面
TRX-高频-RMS	1.5 – 100 MHz RMS 抖动		4.2	ps RMS 频谱平	坦,3
TRX-HF-DJ-DD	Max Dj 在公差范围内撞击 Rx		88	附注	2,4
TRX-LF-SSC-FULL	≥ 33 kHz SSC		20	纳秒	2
TRX-低频-RMS	10 kHz 至 1.5 MHz RMS 抖动		8.0	ps RMS 频谱平	坦
TRX-MIN-PULSE施	加的最小单脉冲 接收	120		附注	2
VRX-最小值-最大值- 比率	2 UI 时间间隔内的最小/最大脉冲电压比	1	5		2
VRX眼	接收眼电压开启	100		mVPP 差值	1,3
VRX-CM-CH-SRC来	自 Rx 的共模噪声		300	毫伏PP 2	

笔记:

- 1. 有关如何定义 Rx 眼图电压的说明,请参见图 4-63。
- 2. 累计106个UI。
- 3. 最小眼图是通过首先注入最大 Dj 然后调整 Rj 直到最小眼图(定义为 TRX-EYE如图4-63)所示。在使用具有 3 dB 截止频率fC-LOW和fC-HIGH分别为 1.5 MHz 和 100 MHz 的 BPF 进行滤波之前,Rj 的频谱是平坦的,在 1.5 MHz 处具有阶跃滚降,在高端处具有 20 dB/十倍频程滚降。最小眼宽是针对相当于 BER 10-12 的样本大小定义的。
- 4.测量TRX-TJ-DC和TRX-DJ-DD-DC需要TRX-HF-DJ-DD和TRX-HF-RMS的不同组合。

4.3.4.1.4。 5.0 GT/s 接收器一致性眼图

接收器的电压和时间裕度通过眼图定义,如图10图 4-63 所示。裕度的定义是它们必须出现在测试负载的远端。

渠道。注意:眼图中心由发射机使用的同相抖动滤波器函数确定。

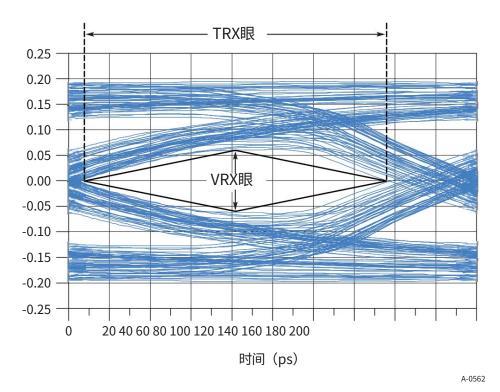


图 4-63:接收器眼图余量

4.3.4.1.5。 5.0 GT/s 接收器动态电压范围

接收器动态范围由两个参数定义: VRX-EYE和VRX-MAX-MIN-RATIO。 VRX-眼参数定义任何接收器在任何时间、任何系统中必须运行的范围。

该参数的下限和上限通常分别受 Rx 灵敏度以及接收器的 ESD 和偏置限制的约束。第二个参数VRX-MAX-MIN-RATIO定义了特定接收器必须在连续 UI 下运行的电压5范围比。图 4-64 显示了参考负载的典型电压图,该电压图产生接近最坏情况的VRX-MAX-MIN-RATIO。 VSWING-MAX是在 2.0 UI 的间隔内相对于VSWING-MIN定义的,如下所示。通常,2 UI 间隔的右侧位于与VSWING-MIN 相对应的波形峰值上。

2个UI分离保证了VSWING-MAX。2UI间隔可保证VSWING-MAX在其曲线的平坦部分测量为10,并考虑到最坏情况下的抖动和色散通道影响。

VRX-MIN-MAX-比率VSWING-MAX/VSWING-MIN

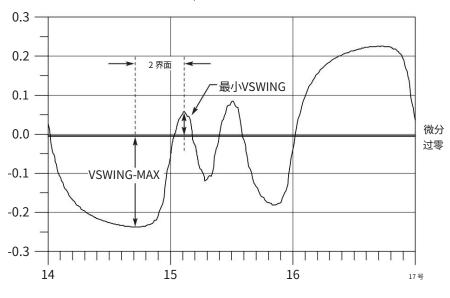


图 4-64: 接收器参考负载处的信号显示最小/最大摆幅

4.3.4.2. 8.0 GT/s 接收器应力眼图规范

通过对 DUT 施加压力眼图并验证接收器是否满足10-12 BER 目标来测试 8.0 GT/s 接收器。 8.0 GT/s Rx 测试的方法在概念上与 5.0 GT/s 定义的方法类似,但存在一些实现差异,主要是由于更高的比特率及其带来的测量挑战。

A-0563

4.3.4.3.突破通道和副本通道

与 8.0 GT/s 发射机一样,距离 Rx DUT 最近的实际测量点是分接通道末端的同轴连接器。通过构建与分接通道电气特性紧密匹配的复制通道,可以测量出现在 DUT 引脚(如果 DUT 是理想终端)的信号。阻抗目标为

10互连环境为 100 Ω 差分和 50 Ω 单端。

在图 4-65 中,在 TP2 处观察到受压眼图,信号源连接到校准通道。一旦受压眼图经过校准,信号源就会施加到 DUT。请注意,TP1-TP2 包含信号源和 DUT 引脚等效部分之间的所有组件,从而捕获由于布线等导致的总体插入损耗15中的所有非理想特性。从发电机到 TP1 的交流和直流损耗为假设为零或必须为零

否则去嵌入。

5

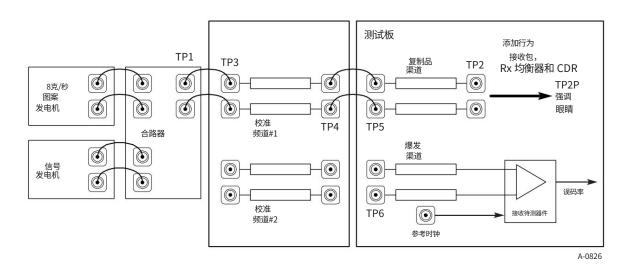


图 4-65:Rx 测试板拓扑

4.3.4.3.1.校准通道

具有不同插入损耗的校准通道提供了一种生成规定量 ISI 的便捷方法。三个通道损耗特性提供了一种要求 Rx DUT 在代表实际平台中遇到的最小到最大长度通道的范围内调整其均衡器的方法。 Rx 容差互连5环境的阻抗目标是 $100~\Omega$ 差分和 $50~\Omega$ 单端。 $8.0~\mathrm{GT/s}$ 校准通道必须在 $50~\mathrm{MHz}$ 至 $8~\mathrm{GHz}$ 频率范围内满足图 $4-60~\mathrm{中定义}$ 的 $18~\mathrm{dB}$ 回波损耗限制。

校准通道由一对差分 PCB 走线组成,两端均通过同轴连接器终止。校准通道的电气特性根据差分插入损耗掩模来定义,如图 4-66 所示,其中S21在 TP1 和 TP2 之间测量。任何高频损耗

10由发生器和组合器引起的以及代表布线的 TP1-TP3 和 TP4-TP5 之间的连接将包含在S21测量中。

虽然 s 参数模板不会扩展到 $1.0~\mathrm{GHz}$ 以下,但校准通道必须在 $1.0~\mathrm{GHz}$ 以下表现良好,并且直流电阻不得超过 $7.5~\mathrm{CM}$ 姆(通过 D+ 和 D- 的电阻之和测量)痕迹。对直流电阻的这种限制保证了校准通道低频特性与图 $4-66~\mathrm{M}$ 所示的Sdd21 掩模的直流外推一致。

15

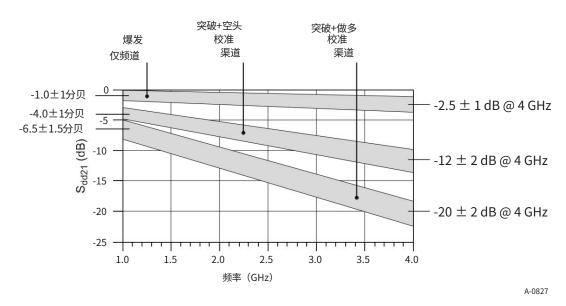


图 4-66:校准/突破通道的插入损耗指南

4.3.4.3.2。后处理程序

为了在接收器和通道规范之间建立 1:1 的相关性,有必要在两者之间定义一个公共参考点。该点被定义为应用 Rx 均衡后 Rx 锁存器的抽象输入,并在图 4-71 和图 4-73 中指定为TP2P。对于接收器测试,这要求必须在与实际测量信号的位置不同的点观察受压眼图特性,并且需要执行以下各节中概述的后处理步骤。

4.3.4.3.3。行为接收包模型

行为 Rx 封装模型作为后处理的一部分包含在内,以允许校准眼图包含封装插入损耗。行为 Rx 包的详细信息可以在通道容差部分的10第 4.3.6.4.1 节中找到。行为 Rx 包模型的 s 参数模型可作为设计附属材料。请注意,封装模型焊盘侧的端接假定为 2 x 50 Ω。

4.3.4.3.4。行为CDR模型

后处理应包括具有图 4-67 中定义的传递函数的行为 CDR 模型。 CDR 算法必须根据所引用的信号生成眼图,以提取和重新生成数据时钟。

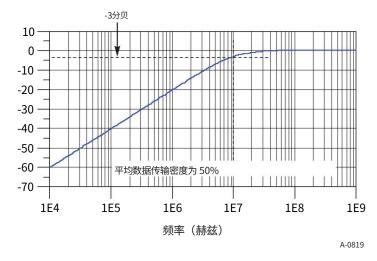


图 4-67:Rx 测量的行为 CDR 模型

4.3.4.3.5。行为 Rx 均衡算法

对于最长的校准通道,受压眼图将被关闭,使得直接测量受压眼图抖动参数不可行。通过采用同时实现一阶 CTLE 和 1 抽 头 DFE 的行为接收器均衡器可以克服此问题。对于短和中校准通道,行为 Rx 均衡器应仅实现一阶 CTLE。

Rx 行为 CTLE 和/或 DFE 只是在存在校准通道 ISI 加上其他信号损伤项的情况下获得睁开眼图的一种方法。行为 Rx 均衡算法无意作为实现实际接收器均衡的指南。

10

5

5

4.3.4.3.6。行为CTLE

8.0 GT/s 行为 Rx 均衡定义了具有固定 LF 和 HF 极点的一阶 CTLE,以及根据图 4-69 所示的曲线族指定的可调 DC 增益(ADC)。 ADC可在 -6 至 -12 dB 的最小范围内以 1.0 dB 为步长进行调节。

$$H(s) = \omega_{P2} \frac{s + \omega_{P1} * A_{DC}}{(s + \omega_{P1}) * (s + \omega_{P2})}$$

ωP1 = 极点 1 = 2π*2 GHz

ωP2 = 极点 2 = 2π*8 GHz

ADC = 直流增益

A-0828

图 4-68:行为 CTLE 的传递函数

下图说明了当ADC以 1.0 dB 步长在其最小到最大范围内变化时,CTLE 的增益与频率行为。

-0 -2 -4 -6 -8 -10 -12 -10 -12 -108 -109 1010 -A-0829

图 4-69:行为 CTLE 的损失曲线

4.3.4.3.7。行为DFE

除了一阶 CTLE 之外,在使用最大长度校准通道时,还需要一键式 DFE 算法来校准受压眼图。 DFE可以由以下等式和流程图表示。 d1的限值为 ±30 mV。

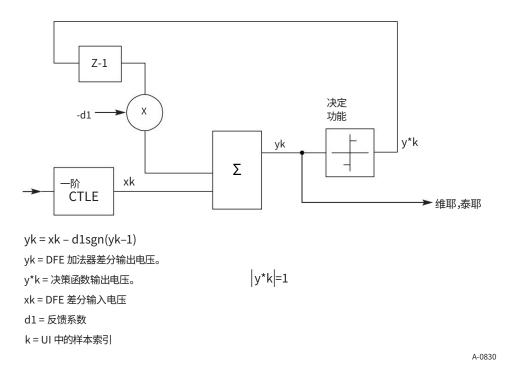


图 4-70:1 抽头 DFE 的方程和流程图

4.3.4.4。应力电压和应力抖动 Rx 测试

使用两种不同的测试来测试接收器:一种是其最小眼高(电压),另一种是其最小眼宽(抖动)。尽管两者之间信号损伤源的数量和幅度有所不同,但校准受压眼图的程序相似

10 测试。

5

测试接收器时,需要 DUT 上有其他 PCI Express 通道发送或接收数据。同样,如果设备支持其他 I/O,它也应该在这些接口上发送或接收。目标是让 Rx 测试环境尽可能地复制真实系统中的环境。

4.3.4.4.1.校准应力电压眼图的程序

用于校准 Rx 测试的应力电压眼图的配置如图 4-71 所示,其中对所有三个校准/分支通道组合执行校准程序,如图 4-66 所示。 -20 dB 和 -2.5 dB 通道的发生器去加重为 0.0 dB,而 -12 dB 通道需要 3.5 dB 的预冲和 -6 dB 的去加重。可以应用高达 ± 2.0 dB 的附加发生器去加重来生成有效的S21,以满足图 4-66 中所示的插入损耗模 板。

Ri和Si按表4-22的定义添加,共模和差模噪声源同时添加。

所有压力眼图测试均使用10协议部分第 4.2.11 节中定义的修改后的 Tx 合规模式。该模式由 65 K 块组成,每个块长度为 130 位,主要包括 PRBS23。

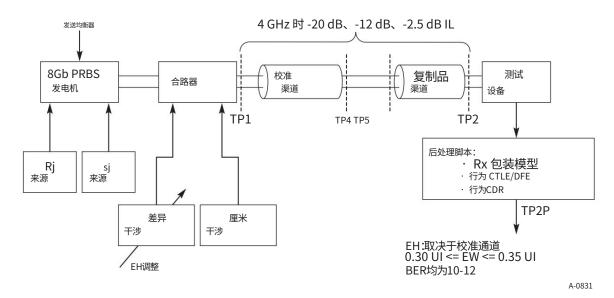


图 4-71: 校准应力电压眼图的设置

眼宽和眼高是在应用后处理后定义的,并在 TP2P 中定义。 TP1 表示组合器或发生器的输出(如果组合器位于发生器内部)。

- 15 TP2表示Rx DUT 引脚处的分接通道远端的信号,就好像DUT 是理想终端一样。长校准通道同时使用CTLE和DFE,而中通道和短通道校准通道仅使用CTLE。通过调整差分噪声量来设置EH,直到获得VRX-SV-8G定义的值。如果仅通过调整差分噪声无法保持足够的眼宽,则可以接受注入较少的差分噪声
- 20.调节发电机的噪音和启动电压。

受压眼图的校准需要优化 Rx 均衡以产生最大的眼图,其中该指标由峰值眼图高度乘以眼图宽度的乘积定义(见图 4-87)。

请注意,峰值 EH 可能不会出现在 UI 中心,但 EH 仅定义在距 UI 中值中心 ±0.1 UI 的孔径内。具体如图4-87所示。 换句话说,在确定最大 EH 时,不考虑该孔径之外的 EH 值。校准期间 10

过程中 Tx 均衡保持固定。 Rx 均衡的优化应使用与第 4.3.6.5.3 节中描述的通道合规性算法等效的搜索算法来实现。在应用行为包、CDR、CTLE 和 DFE 的效果后,需要以相当于 TP2P 的方式测量受压眼。施加所有眼图应力后,TP2 处的信号振幅较小且动态范围较宽,这使得利用可用的测试设备难以进行高精度测量。为了提高测量的准确性,可能需要在 TP1 或 TP2 处独立测量施加到发生器信号的各种应力,然后以数学方式将这些应力组合起来,以 10-12 的概率水平计算最终的应力眼图张开度。

表 4-22: 应力电压眼图参数

象征	范围	限制为 8.0 GT/s	单位评论	
VRX-LAUNCH-8G	发电机启动电压	800	mVPP 在 TI	1 处测量,见图 4-65。 只要 TP2 处的外眼电压不超过 1300 mVPP,如有必要,可以调整VRX-LAUNCH-8G 以产生适当的 EH。
TRX-UI-8G	单位间隔	125.00	附注	标称值足以满足 Rx 公差。价值不考虑SSC。
VRX-SV-8G	眼高为 TP2P	25(-20 dB 通道) 50(-12 dB 通道) 200(-3 dB 通 道)	mVPP 眼高	1,2。
TRX-SV-8G	眼宽为 TP2P	0.3至0.35	用作等高	BER=10 时的眼宽 。笔记2
VRX-SV-DIFF-8G≹	模干扰	14 或更多	mVPP 调整	以设置 EH。 频率 = 2.10 GHz。注 3:mVPP 为 120 MHz
VRX-SV-CM-8G Rx	交流共模电压 TP2P	150 (EH < 100 mVPP) 250 (EH ≥ 100 mVPP)	的单音定义。	注3.
TRX-SV-SJ-8G	100 MHz 时的正弦抖 动	0.1	UI PP 固定在	E 100 MHz。注4.
TRX-SVRJ-8G随	机抖动	2.0	ps RMS Rj 7	王滤波前频谱平坦。 注释 4,5。
VRX-MAX-SE-SW		±300	mVP注6。	

笔记:

- 1. VRX-SV-8G在三种不同的电压下进行测试,以确保 Rx DUT 能够在一定范围内进行均衡 信道损耗曲线。该测试还保证 Rx 能够在足够的动态眼高范围内运行。参数名称中的"SV"指的是受压电压。
- 2. VRX-ST-8G和TRX-ST-8G参考TP2P,是对TP2捕获的数据进行后处理后获得的。 VRX-ST-8G和TRX-ST-8G包括应用行为 Rx 模型和 Rx 行为均衡的效果。
 - 3. VRX-SV-DIFF-8G测量在 TP2 处进行,无需后处理。 VRX-SV-CM-8G可以在 TP1 或 TP2 处制造。对于不同的损耗校准通道, VRX-SV-DIFF-8G电压可能需要在较大范围内进行调整。
 - 4. TRX-SV-SJ-8G和TRX-SV-RJ-8G测量在 TP1 处进行,无需进行后处理。

- 5. Rj适用于以下范围。频率下限可以在 1.5 到 10 MHz 之间,上限频率可以在 1.5 到 10 MHz 之间。 限制为 1.0 GHz。具体如图4-74所示。
- 6. VRX-MAX-SE-SW设置在存在施加到 Rx 的差分和 CM 噪声的情况下的最大外部单端眼图电压限制,如在 TP2 处相对于地观察到的,没有行为 RxEq 后处理。
- 4.3.4.4.2。测试 Rx DUT 应力电压的程序
- 5获得校准的 EH 和 EW 后,重新连接测试板上的电缆,以便

校准通道通过分接通道驱动 DUT,如图 4-72 所示。

此时,可以调整发生器的均衡以产生Tx/Rx均衡的最佳组合。基本规范中未定义优化发生器和 DUT 均衡设置的方法。

10发生器的均衡能力可以与 Tx 规范中定义的 Tx 均衡能力相匹配,但不得超过。具体来说,发生器均衡器可以支持 1 个前光标和 1 个后光标 FIR 抽头,其最坏情况分辨率和动态范围如表 4-19 中所定义,并且最小发生器 FIR 分辨率必须为 1/24。基本规范中未定义优化发生器和 DUT 均衡设置的方法。对三个校准通道中的每一个重复15电压眼图测试,并分别优化每个通道的 Tx/Rx 均衡。

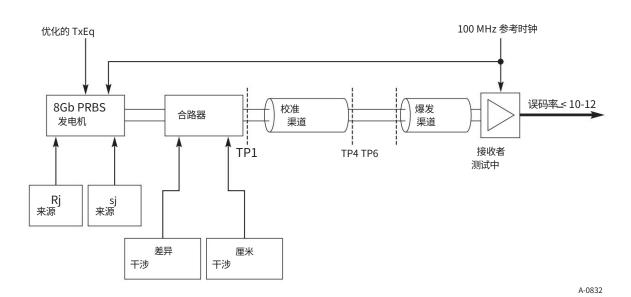


图 4-72:接收器应力电压测试布局

4.3.4.4.3。校准应力抖动眼图的过程

应力抖动校准过程与应力电压校准过程类似。仅使用长校准通道 (-20 dB)。图 4-73 说明了该设置。请注意,相同的后20处理脚本的应用方式与应力电压眼图情况相同。眼宽为

通过调整 Rj 源进行微调,而 EH 可以通过改变发生器的启动电压来调整。

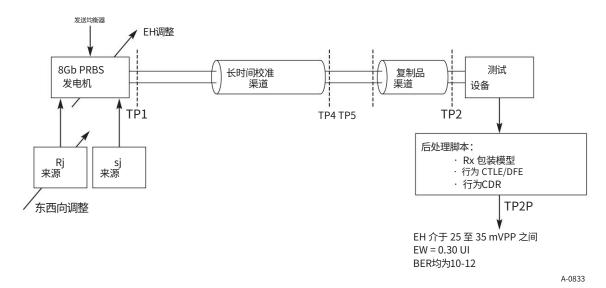


图 4-73:用于校准应力抖动眼图的布局

表 4-23: 应力抖动眼图参数

象征	范围	限制为 8.0 GT/s 单位		
VRX-发射- 8G	发电机启动电压	800(标称)	mVPP 在 TP:	处测量,见图 4-65。 参见注1。
TRX-UI-8G	单位间隔	125.00	附注	标称值足以满足 Rx 公差。价值不考虑SSC。
VRX-ST-8G	眼高为 TP2P	25(最小)35(最大)	mVPP 在 BEI	-12 R=10 时 。参见注2。
TRX-ST-8G	眼宽为 TP2P	0.30	用个弊面	-12 误码率=10时 。参见注2。
TRX-ST-SJ-8G正	玄抖动	0.1 - 1.0	UI PP 参见图	4-74 在 TP1 处测量。 参见注3。
TRX-STRJ-8G随	机抖动	3.0	ps RMS Rj 在	滤波前频谱平坦。 在 TP1 处测量。参见注4。

笔记:

10

- 1. VRX-LAUNCH-8G可以调整以满足VRX-ST-8G,只要 TP2 处的外眼电压不超过 1300 mVPP。
- 2. VRX-ST-8G和TRX-ST-8G参考TP2P,是对TP2捕获的数据进行后处理后获得的。 VRX-ST-8G和TRX-ST-8G包括应用行为 Rx 模型和 Rx 行为均衡的效果。
- 3. TRX-ST-SJ-8G可以在 TP1 或 TP2 处测量。
- 4. 虽然标称值指定为 3.0 ps RMS,但可以对其进行调整以满足TRX-ST-8G 的 0.3 UI 值。 Rj 在 TP1 处测量,以防止数据通道交互对 Rj 校准的准确性产生不利影响。

Rj适用于以下范围。频率下限可以在 $1.5 \, \Xi \, 10 \, \mathrm{MHz}$ 之间,上限为 $1.0 \, \mathrm{GHz}$ 。

4.3.4.4.4。测试接收器的应力/扫频抖动

获得校准的 EH和 EW后,移动电缆将RxDUT连接到校准通道的远端。然后,假设DUTRx也将优化其均衡,则像针对受压电压眼一样优化Tx均衡。Si被设置为允许接收器CDR实现锁定的初始值。然后Si扫过频率

5范围如图 4-74 所示,同时保持 Tx 均衡固定。接收者必须满足或是在整个扫频 Si 范围内,BER低于10-12。

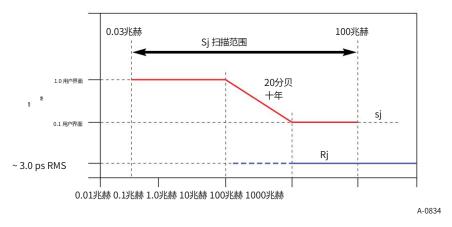


图 4-74:扫描 Sj 掩模

4.3.4.4.5。数据时钟和通用 Refclk Rx 架构

除了 100 MHz Refclk 的特性外,数据时钟和常见 Refclk Rx 架构的测试几乎相同。两种情况下的受压眼图校准步骤是相同的,但通用 Refclk(参见图 4-75)情况除外,即发生器和 DUT 共享一个通用 Refclk。对于数据时钟情况,DUT 和发生器由 SSC 调制 Refclk 驱动(见图 4-76)。 SSC 应具有三角调制轮廓,并满足表 4-34 中定义的频率限制和最大偏差范围。

10

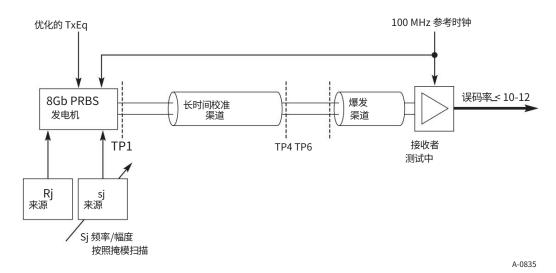


图 4-75:抖动测试公共 Refclk Rx 的布局

图 4-76 中 Rx DUT 和 SSC 调制 Refclk 之间的虚线表示通常不需要 Refclk 来导出接收器的数据时钟,但可能需要用于其他目的,因此必须将其提供给 DUT。请注意,BERT 的调制5带宽必须足以将 SSC 通过至其输出。这转化为调制

带宽至少为 1.5 MHz。

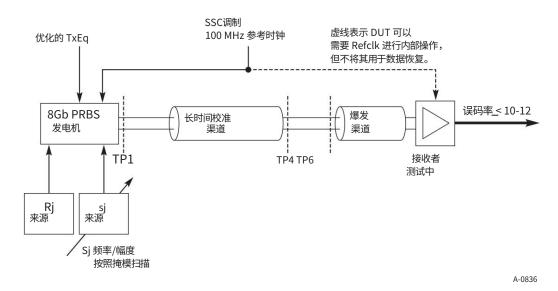


图 4-76: 抖动测试数据时钟 Refclk Rx 的布局

4.3.4.5。常用接收机参数

下表定义了 2.5 GT/s、5.0 GT/s 和 8.0 GT/s 接收器的参数。

表 4-24:接收器规格

10						
象征	范围 	2.5 GT/s 5.0 GT	s 8.0 GT/s 单位 注	释		
ATER	单位间隔	399.88 (最 小值) 400.12 (最 大值)	199.94(最 小值) 200.06(最 大值)	124.9625 (最 小值) 125.0375 (最 大值)	附注	UI 不考虑 SSC 引起的变化。
VRX-DIFF-PP-CC	通用 Refclk 的差 分 Rx 峰峰值 电压 接收架构	0.175(最 小值) 1.2(最大值)	0.120 (最 小值) 1.2 (最大值)	参见表4-22和 表4-23。	V	参见第 4.3.7.3.2 节。
VRX-DIFF-PP-DC	用于数据时钟 Rx 架构的差分 Rx 峰峰值电压	0.175 (最 小值) 1.2 (最大值)	0.100(最 小值) 1.2(最大值)	参见表4-22和 表4-23。	V	参见第 4.3.7.3.2 节。
TRX眼	接收器眼图开度时间	0.40(分钟)	参见表 4-20 和 表 4-21。	参见表4-22和 表4-23。	用で作業	Rx 引脚上产生10-12 BER 的最短眼图时间。 参见注1。
TRX-TJ-CC	最大接收固有值计时错误	不适用	0.40 (最大限度)	参见表4-22和 表4-23。	re-ma	常见 Refclk Rx 架构的最大 Rx 固有总时序误差。参见注2。
TRX-TJ-DC	最大 Rx 固有时序误差	不适用	0.34 (最大)	参见表4-22和 表4-23。	ропа	数据时钟 Rx 架构的最大 Rx 固有总时序误差。参见注2。
TRX-DJ-DD-CC	最大 Rx 固有确定性定时误差	不适用	0.30 (最大)	参见表4-22和 表4-23。	л-ha	常见 Refclk Rx 架构的最大 Rx 固有确定性时序误差。参见注2。
TRX-DJ-DD-DC	最大 Rx 固有确定性定时误差	不适用	0.24 (最大)	参见表4-22和 表4-23。	ru-ma	数据时钟 Rx 架构的最大 Rx 固有确定性时序误差。参见注2。
TRX-眼中位数到- ^{最大抖动}	中值与中值偏差之间的最大时间增量	0.3(最大) 未	指定	未指定	PL-TER	仅指定为 2.5 GT/s。
TRX最小脉冲	Rx 处的最小脉冲宽 度	未指 定	0.6(分钟) 未	 指定	用户符集	衡量最坏情况 Tj 为10-12 BER。参见图 4-38。
VRX-MAX-MIN-RATIO道	续 UI Rx PLL BW 上 的最小/最大 脉冲电压,2.5 GT/s	未指 定	5(最多)	未指 定		Rx 眼必须同时满足VRX-EYE限制。
BWRX-PLL		22(最大) 1.5(最小)	未指 定	未指定	MHz 参见	主 3。

象征	范围	2.5 GT/s 5.0 GT,	's 8.0 GT/s 单位 注	释		
BWRX-PKG-PLL1 Rx P	LL 带宽对 应 PKGRX-PLL1	未指定	16(最大) 8(最小)	4(最大) 2(最小)	MHz 二阶	PLL 抖动传递边界函数。参见注3。
BWRX-PKG-PLL2 Rx P		未指定	16(最大) 5(最小)	5 (最大) 2 (最小)	MHz 二阶	PLL 抖动传递边界函数。参见注3。
PKGRX-PLL1	Rx PLL 峰值限制 #1	未指定	3.0 (最大)2.0:	最大分贝		PLL BW = 8 MHz(最小值)@ 5.0 GT/s 或 BW = 4 MHz(最大值) @8.0GT/秒。参见注3。
PKGRX-PLL2	Rx PLL 峰值限制 #2	未指定	1.0(最大)	1.0(最大)分	贝	PLL BW = 5 MHz(最小值)@ 5.0 GT/s 或 BW = 5 MHz(最大值) @8.0GT/秒。参见注3。
RLRX-差分	Rx 套餐加 Si 差分回波损耗	10 (分钟)	0.05 - 1.25 GHz 为 10(分钟 8(分钟) >1.25 - 2.5 GHz	10 (分钟) 0.05 - 1.25GHz 8 (分钟) >1.25 - 2.5 GHz 5 (分钟)>2.5 - 4.GHz	DЬ	参见图 4-60 和注 4。
RLRX-CM	接收回波损耗	6(分钟)	6 (分钟)	6(分钟), 0.05 - 2.5 GHz 5(分钟)>2.5 - 4.0 GHz	DЬ	参见图 4-60 和注 4。
ZRX-DC	接收器直流单端阻抗	40(最小) 60(最大)	40(最小) 60(最大)	未指定	Ω	需要直流阻抗限制来保证接收器 检测。对于 8.0 GT/s,受RLRX-CM 限制。参 见注5。
TRX-GND_FLOAT	Rx 终端接地浮动时 间	未指定	未指定	500	微秒	在 2.5 GT/s/5.0 GT/s 至 8.0 GT/s 配置更改中允许 Rx 内部接地浮动的时间。 参见注释 8。
ZRX-差动-DC	直流差分阻抗	80(最小 值) 120(最大值	未指)定	未指定	Ω	对于RLRX-DIFF涵盖的 5.0 GT/s 和 8.0 GT/s 范围。请参见注释 5。 mVP 在
VRX-CM-AC-P	Rx 交流共模电压	150(最大值)	150(最大值)	75 mV(最 大值)(EH <100 mVPP) 125 mV (最大值)(EH ≥100 mVPP) 参见表 4-22。		则量,连接到接地的一对 50 Ω 终端。参见注6。

象征	范围	2.5 GT/s 5.0 GT,	s 8.0 GT/s 单位 泊	释		
ZRX-高IMP-DC- 销售点	直流输入CM V>0 时的输入阻抗 重置或断电	≥10k或 ≥20k	≥10k或 ≥20k	≥10k或 ≥20k	Ω	Rx 终端未通电时的 Rx DC CM 阻抗。 0-200 mV 范围内 \geqslant 10 k Ω 地,对于地电压 \geqslant 200 mV, \geqslant 20 k Ω 。
ZRX-高IMP-DC- NEG	直流输入CM V<0 期间的输入阻抗 重置或断电	1.0 k (分钟)	1.0 k (分钟)	1.0 k (分钟)	Ω	Rx 终端未通电时的 Rx DC CM 阻抗,在相对于地的 -150 - 0 mV 范围内测量。
VRX-空闲-检测-差异- p	电气空闲 探测 临界点	65(最 小)175(最)	65(最 ;)小) 175(最)	65(最 ;)小) 175(最 力		DLE-DET-DIFFp-p = 2* VRX-D+ - VRX-D- 。 在接收器的封装引脚处测量。 参见第 4.2.4.3 节。
TRX-空闲-检测-差异- 进入时代	意外 电气空闲 进入检测 临界点 积分时间	10(最大)	10(最大)	.0 (最大)毫秒	<i>,</i>	必须在TRX-IDLE-DET-DIFF-ENTERTIME 内识别意外电气空闲(VRX-DIFF-PP < VRX- IDLE-DET-DIFFp-p),以发出意外空闲状 况信号。
LRX偏斜	车道间偏差	20 (最多)	8(最多)	6 (最多)	纳秒	跨越港口的所有航线。 LRX-SKEW理解由于通道和中 继器延迟差异而导致的通道间变化。

笔记:

15

- 1. 接收器眼图余量定义为 2 x 50 Ω 参考负载。
- 2. 定义了四个固有时序误差参数,以方便Rx设计者,它们是 在接收器容差期间测量。
- 5 3. PLL BW 和峰值的两种组合指定为 5.0 GT/s,以便设计人员进行权衡

两个参数之间。如果 PLL 的最小带宽≥8 MHz,则允许高达 3.0 dB 的峰值。如果 PLL 的最小带宽放宽至 \ge 5.0 MHz,则必须满足 1.0 dB 的更严格峰值。注:PLL BW 从零延伸到上表中定义的最小值或最大值。对于 2.5 GT/sa,定义了 1.5-22 MHz 的单 PLL 带宽和峰值以及 3.0 dB。

- 10 4. 必须测量共模和差分回波损耗。在这两种情况下,DUT必须是
 - 上电且直流隔离,其 D+/D-输入必须处于低 Z 状态。
 - 5. 当首次启用接收器终端时,必须存在 Rx DC 单端阻抗,以确保接收器检测正确发生。该阻抗的补偿可以立即开始,并且在进入检测时, Rx 共模阻抗(受RLRX-CM 限制为 50 Ω ±20%)必须在指定范围内。
 - 6. 共模峰值电压由以下表达式定义:max{|(Vd+ Vd-) V-CMDC|}。
 - 7. ZRX-HIGH-IMP-DC-NEG和ZRX-HIGH-IMP-DC-POS分别定义为接收器输入端的负电压和正电压。在设计接收器检测电路时,发送器设计人员需要理解 >0 和 <0 Rx 阻抗之间的巨大差异。
- 20 8. 定义接收器输入板在 2.5 GT/s/5.0 GT/s 过渡到新共模时所需的时间 8.0 GT/秒。
 - 9. 对于 >500 mV 的电压,Rx ESD 结构的影响可能会将ZRX-HIGH-IMP-DC-POS限制为小于 20 K Ω 的值。

4.3.4.5.1. 5.0 GT/s 退出空闲检测 (EFI)

很难通过数据速率来扩展 EFI 检测电路的功能,因此 5.0 GT/s 规范在 FTS 以及 TS1 和 TS2 有序集中定义的数据模式 与为 2.5 GT/s 操作定义的数据模式不同。特别是,定义了重复的 K28.7 模式以保证足够的电压和时间要求,如下图所示。 连接的5 个EIE 符号产生每个 5 个 UI 的交替的一/零游程长度。

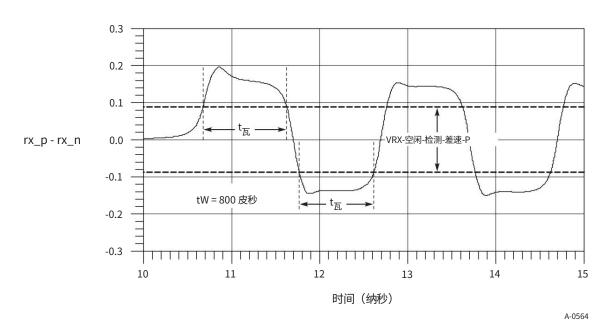


图 4-77:退出空闲电压和时间裕度

4.3.4.5.2。接收器环回

能够生成修改的合规模式的接收器必须实现第 4.2.9 节中描述的错误计数。

4.3.4.5.3。接收器回波损耗

差分和共模 Rx RL 的测量方法和频率分级与 Tx 的测量方法和频率分级相同。唯一的区别存在于 2.5-4.0 GHz 差分 RL 限制之间。具体如图4-56和图4-57所示。

4.3.5.低频和杂项信令要求

本节中定义的参数与 2.5、5.0 和 8.0 GT/s 设计相关。

4.3.5.1.通道交流耦合电容器

PCI Express 链路的每个通道必须是交流耦合的。表 4-18 中给出了电容的最小值和最大值。电容器必须放置在允许插入和拔出适配器的接口的发射器侧。在所有部件都位于单个基板上的拓扑中,电容器可以位于通道上的任何位置。假设使用外部电容器,因为所需的值太大而无法在片上构建。

4.3.5.2.短路要求

所有发射器和接收器必须支持突然热插入/移除而不损坏组件。发送器和接收器必须能够承受 D+ 和 D- 持续对地短路。

4.3.5.3.发射器和接收器端接

10 任何时候发送功能差分信号时,发送器都需要满足RLTX-DIFF和RLTX-CM (参见表 4-18、图 4-56 和 图 4-57)。

发送器只需在不发送功能差分信号时满足ITX-SHORT (参见表 4-18)。

注:同一时间内的差分阻抗未定义。

接收器需要在所有 LTSSM 状态期间满足RLRX-DIFF和 RLRX-CM (参见表 4-24),仅当器件断电、基本复位置位或明确指定时除外。

任何时候没有向接收器提供足够的电源、基本复位被置位或当明确指定。

4.3.5.4.电气空闲

电气空闲是一种稳态条件,其中发送器 D+和 D-电压保持恒定在相同值。电气空闲主要用于省电和非活动状态(例如,禁用)。

在发送器进入电气空闲状态之前,它必须始终发送所需数量的 EIOS 25第 4.2.4.2 节中定义的 LTSSM 子状态除外,明确免除此规定 要求。在发送了最后一个所需数量的 EIOS 的最后一个 Symbol 后,

5

15

20

第382章

发射机必须在TTX-IDLE-SET-TO-IDLE指定的时间内处于有效的电气空闲状态见表4-18。

EIOS 的成功接收基于第 4.2.4.2 节中的规则。必须注意的是,在多个连续 EIOS 处于状态的子状态(例如,环回从属设备的 Loopback.Active)中

5预计,接收器必须接收适当数量的 EIOS 序列,其中包括 COM、IDL、IDL、IDL。

电气空闲状态下必须满足低阻抗共模和差分接收器终端值(参见表 4-18 和表 4-24)。在电气空闲期间,发射器可以处于低阻抗或高阻抗模式。

10每当发射机进入电气空闲状态时,它必须保持电气空闲状态至少

TTX-空闲-最小值接收器应预期最后一个 EIOS,然后是最短的电气空闲时间(TTX-IDLE-MIN),以装备其电气空闲退出检测器。

当发送器从电气空闲状态转换到有效差分信号电平时,它必须满足图 4-56 和图 4-57 中所述的输出回波损耗规范。

如果接收器检测到小于VRX-IDLE-DET-DIFFp-p最小值的信号,则不会发生电气空闲退出。如果接收器检测到大于 VRX-IDLE-DET-DIFFp-p最大值的信号,则应发生电气空闲退出。可以在接收信号上检测电空闲,而不管其 频率分量如何,或者可以仅当接收信号以125 MHz或更高的频率切换时检测到电空闲。

4.3.5.5。直流共模电压

20当以 2.5 GT/s 或 5.0 GT/s 运行时,接收器直流共模电压标称值为 0 V。

除非另有说明,否则发射器直流共模电压在所有状态下都保持相同的值。表 4-18 (VTX-DC-CM) 中指定了允许的发送器 DC 共模值的范围。

4.3.5.6。接收器检测

接收器检测电路作为发送器的一部分实现,并且必须正确检测是否存在与ZRX-DC参数 (40 Ω - 60 Ω) 隐含的直流阻抗等效的负载阻抗。注意:对 Rx 检测的支持仅在 2.5 GT/s 时发生,这就是指定 2.5 GT/s 接收器直流阻抗的原因。

接收器检测序列的推荐行为描述如下:

步骤 1. 在检测共模偏移之前,发射器必须以稳定电压启动。

步骤 2. 发送器改变 D+ 和 D- 上的共模电压,以满足VTX-RCV-DETECT参数的要求,并与接收器高阻抗的检测一致,该高阻抗由参数ZRX -HIGH-IMP-DC-POS、 ZRX-界定HIGH-IMP-DC-NEG,以及表 4-24 中的注释 7。

步骤 3. 根据线路变为新电压的速率检测接收器。

A。如果发送器处的电压充电速率仅由发送器断电阻抗以及互连和串联电容器的电容决定,则接收器不存在。

b.如果发送器处的电压以发送器断电阻抗、串联电容器、互连电容和接收器终端指定的速率充电,则接收 器存在。

退出 Rx 检测后,设备必须满足 2.5 GT/s 操作所需的所有规格参数。

10任何时候退出电气空闲时,检测序列都不必执行或可能会中止 那个巷子。

4.3.5.6.1.差分接收器检测

如果实现在执行接收器检测序列之前基于电气空闲被破坏而选择从检测转换到轮询,则可能会形成不可靠的链路;这是因为组成差分对的两个 Rx 差分15导线上可能没有低阻抗终端电阻。

如果接收器检测电路在差分对(D+和 D-)的每个导线上执行检测序列,并检测到任一导线上的负载阻抗大于ZRX-DC,则接收器检测电路应将其解释为不存在终端负载,并且做出响应,就好像两个负载都不存在一样。

20在本规范的此版本中,不要求在差分对的两个导体上执行检测序列。该规范的未来修订版可能需要在转换为轮询之前成功检测 两个差分对上的低阻抗终端电阻。

4.3.5.7。灯塔

所有支持唤醒机制的 PCI Express 组件都需要支持 Beacon,以便在需要使用 Beacon 的外形规格中发挥作用。然而, 并非所有系统和外形规格都需要使用 Beacon,并且对于仅限在此类环境中使用的组件,无需支持 Beacon。

注意:以 5.0 GT/s 或 8.0 GT/s 运行的设备不需要支持 Beacon。

本节适用于所有支持 Beacon 的组件。

30信标是下游组件发送的用于开始退出 L2 状态的信号。

发送信标时必须满足所有发射机电气规格(表 4-18),但有以下例外情况和说明。

Beacon 是周期性任意数据的 DC 平衡信号,要求包含一些 >= 2 ns 但不大于 16 μs 的脉冲宽度。

⁵ 合格脉冲之间的最大时间 (2 ns <= x <= 16 μs) 不能长于 16 μs。

直流平衡必须始终在最长 32 μs 的时间内恢复。

信标以低阻抗模式传输。

所有信标必须至少在多通道链路的通道 0 上发送和接收。55

10 对于宽度大于 500 ns 的信标脉冲,输出信标电压电平必须处于 -6 dB 去加重电平。

输出信标电压电平的范围可以介于指定电压电平(请参阅表 4-18 中的VTX-DIFF-PP)和小于 500 ns 的信标脉冲的相应 -3.5 dB 去加重电压电平之间。

15 通道间输出偏斜(参见表4-18 中的LTX-SKEW)和 SKP 有序集输出(参见第 4.2.7 节)规范不适用。

当任何网桥和/或交换机在下游端口接收到信标时,该组件必须向上游传播信标唤醒指示。该唤醒指示必须使用系统所需的适当唤醒机制或与交换机上行端口相关的外形尺寸(请参见第5.3.3.2节)。

对于上述宽度大于500 ns的信标脉冲的情况,最小信标幅度比最小差分峰峰值输出电压(VTX-DIFF-PP)低-6dB。这种情况下的最大信标幅度比最大峰峰值输出电压(VTX-DIFF-PP)低-6dB。

4.3.5.7.1。信标示例

20

25以-6 dB 电平驱动 30 kHz 信标的接收器波形示例如图所示

图 4-78。图 4-79 显示了全速信令下使用 COM 符号的接收器波形示例。应当注意,除了图4-78和图4-79中所示的示例之外,其他波形和信令也是可能的(即,轮询是另一个有效的信标信号)。

55通道 0 在链路宽度和通道反转协商完成后定义。

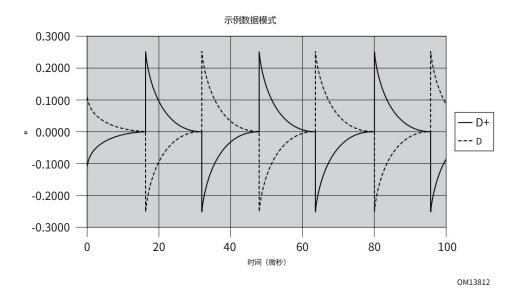


图 4-78: 通过 75 nF 电容器发送 30 kHz 信标信号

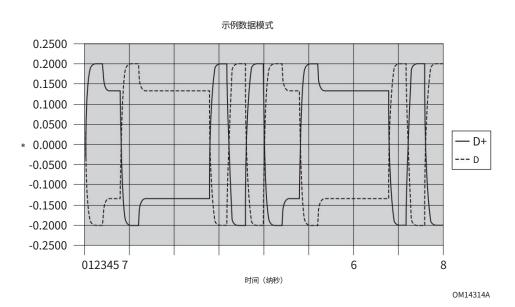


图 4-79: 信标,包括通过 75 nF 电容器的 2 ns 脉冲

4.3.6.通道规格

4.3.6.1. 2.5 GT/s 和 5.0 GT/s 的通道验证

该系统中的通道损耗(差分电压摆幅的衰减)是一个关键参数,必须正确考虑和管理,以确保系统功能正常。通道损耗是根据发射机和接收机之间可以容忍的衰减或损耗量来指定的。 Tx 负责在其封装的引脚处产生指定的差分眼高。 Tx、Refclk 和互连共同负责在 Rx 引脚处产生指定的差分眼图高度和宽度(见图 4-63)。

5

了解 1.25 GHz 最坏情况运行损耗预算的近似方法是通过将最小输出电压(VTX-DIFF-PP = 800 mV) 除以接收器的最小输入电压(VRX-DIFF-PP = 175 mV) ,导致最大损耗为 13.2 dB。了解 625 MHz 下最坏情况运行损耗预算的10 种近似方法是通过将最小去加重输出电压(VTX-DIFF-PP = 505 mV) 除以接收器的最小输入电压(VRX-DIFF) 来计算的。 -PP = 175 mV),这导致最大损耗为 9.2 dB。

尽管损耗与频率的关系有助于理解如何设计有效的互连,但 Tx 和 Rx 眼图中测量的时序和电压裕度最终成为插入损耗的最终限制。

15

4.3.6.2. 5.0 GT/s 时的通道特性

在 5.0 GT/sa 下,需要更准确的方法来理解信道损耗的影响,以避免过多的保护带。这里描述的方法将通道的 s 参数导入到仿真环境中,其中包括发射机和数据模式的最坏情况模型。由此产生的时域仿真产生眼图,其中电压和时序

可以获得20个余量并将其与为接收方定义的余量进行比较。注:

第 4.3.6.2 节至第 4.3.6.2.7 节中描述的方法必须适用于 5.0 GT/s 设计,并且可以适用于 2.5 GT/s 设计。

通道的特性完全由其 s 参数定义,特别是:插入损耗、回波损耗和攻击者-受害者耦合。可以证明,这些参数足以完全量化影响眼图裕量的所有通道引起的现象,包括:I/O 通道阻抗失配、插入损耗、抖动放大、阻抗不连续性和串扰。长通道往往以插入损耗和串扰为主,而短通道往往以阻抗不连续性为主。由于两种类型的通道在 PCI Express 实现中都是可能的,因此有必要提供一种表征通道的方法,使之能够理解所有可能的通道特性。

一般来说,不可能在所有类型通道的通道 s 参数和眼图裕度之间建立直接的相关性(很容易用图形术语表达)。例如 绘制|s21|与频率的关系并不能给出与所有可能通道的眼图裕度有用的相关性。

相反,有必要将通道的 s 参数与最坏情况发射机35行为模型和最坏情况数据模式进行卷积。然后,可以将通过 眼图表示的所得时域结果与接收器规范中定义的VRX-EYE和TRX-EYE参数进行比较。以下各节详细介绍了此过程。 10

4.3.6.2.1.通道测量和裕度提取的程序

可以通过以下过程来表征信道的特性。 1. 测量被测通道的 s 参数。其中包括插入损耗、回波损耗和(如果适用)串扰。

- 2. 将 s 参数与参考负载和 行为发送者模型。
- 3. 最坏情况 发送器角点和数据模式通过通道模型驱动至参考负载。然后,对所得眼图余量进行后处理,以考虑模拟中未包含的 Refclk 和发送器抖动效应。
- 4. 将所得眼图裕量与表 4-24 中的TRX-EYE以及表 4-20 和表 4-21 中的VRX-EYE进行比较,以确定通道是否在规格范围内。

以下各节详细介绍了上面列出的四个步骤。

4.3.6.2.2。获取通道的 s 参数

通道 s 参数数据应在整个 5.0 GT/s PCI Express 信号频谱范围内获取,该范围从大约 250 MHz 延伸到 20 GHz 或更高。应测量近端和远端回波损耗以及正向和反向插入损耗,因为大多数

15 个仿真工具需要完整的 s 参数表示。

4.3.6.2.3。定义模拟环境

如图 4-80 所示,端到端仿真环境对于生成眼裕度是必需的。该模型由以下组件组成:行为 Tx 模型、通道 S 参数、参考负载和数据模式。对于串扰最小的拓扑,单通道模型就足够了。否则,模型需要包括攻击者和受害者组件。

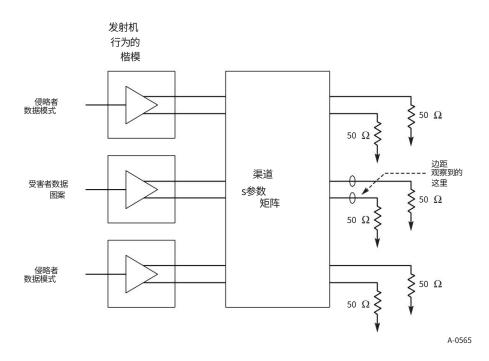


图 4-80:表征通道的仿真环境

4.3.6.2.4。定义最坏情况数据模式和 Tx 角点

行为 Tx 模型必须支持与表 4-25 中列出的参数相对应的可调参数。强调信道以在远端产生最坏情况余量需要模拟最坏情况 Tx 参数和数据模式的5 种组合。在大多数情况下,可以通过检查将参数设置为最坏情况角。例如,当设置为最小值时, VTX-DIFF-PP将产生最坏情况的眼图余量。然而,一些参数需要在其最小到最大范围内进行模拟,以保证特定通道的最坏情况电压/时间裕度。

- 10图4-80显示了以非交错方式路由的所有传输通道,该拓扑为 建议这样做,因为对于 PC 型平台中通常遇到的布线准则,交错布线会产生令人无法接受的高水平近端 串扰。非交错意味着所有 Tx 通道作为一个组进行路由。 Interleaved 表示 Tx 和 Rx 通道以交替方 式路由。
- 15除了上述 Rx 参数之外,通道模拟还必须生成数据模式,以产生最坏情况裕度,同时符合 8b/10b 编码规则。可以使用两种方法:固定模式或通道特定模式。前一种方法更简单,但可能不会产生与后者一样多的模式相关裕度退化。

以 5.0 GT/s 运行支持可选去加重,其中 -3.5 或 -6 dB 的值在上电时选择20。对于给定通道,假设开发人员先验知道什么去加重值是最佳的,并且该值将包含在模拟中。

表 4-25:5.0 GT/s 通道仿真的最坏情况 Tx 角点

	范围	最小最大		单位注释	
VTX-DIFF-PP	差速器 发射电压摆幅	800		mV 模拟中	仅需要最小值。
VTX-DIFF-PP-LOW低 ¹	加耗差分 pp	400		mV 模拟中	仅需要最小值。参见第 4.3.6.2.6 节。
	发射电压摆幅				
VTX-DE-RATIO-6DB T	x 去加重 等级	5.5	6.5	Db	最小/最大范围都需要模拟。参见注1。
VTX-DE-RATIO-3.5DB	Tx 去加重 等级	3.0	4.0	Db	最小/最大范围都需要模拟。参见注1。
TMIN-脉冲	瞬时脉冲宽度	0.9		用作用面	两种极性的单脉冲都需要被压缩到最小值。
TTX-上升-下降	发射机上升和下降时 间	0.15		用作用面	有些通道对最小值敏感。由 TTX-EYE 定义的最大值。
TRF不匹配	Tx 上升/下降 不匹配		0.1	尚 个界面	模拟中只需要最大值。
RLTX-差分	Tx 套餐加号 Si 差分回波损耗		参见 图 4-77。		参见注2。
RLTX-CM	Tx 套餐加号 硅共模回波损 耗		6	DЬ	与 Tx 规范中的定义相同。
TCH-TX-DJ-SIM	Tx 驱动的通道最大 抖动,DCD 为 0.1 UI		78.1	附注	假设 Tx 使用最大 0.1 UI DCD 进行模拟, 没有其他 Tx 抖动分量。参见图 4-81A。
TEYE-SLEW-CC	眼图旋转以获 得公共电压裕度 的量		±28.9	附注	所得眼图电压裕度必须满足表 4-24 中的VRX-DIFF-PP-CC。
	Refclk Rx 架 构				
TEYE-SLEW-DC	眼图旋转以获 得数据时钟电压 裕量的量		±34.7	附注	所得眼图电压裕度必须满足表 4-24 中的VRX-DIFF-PP-DC。
	接收架构				

笔记:

- 1. 定义了两个 Tx 去加重比,以考虑基于通道的可选 Tx 去加重特征。通常,去加重比是根据对 Tx 所驱动的通道而言最佳值的先验知识来预设的,并且该去加重比用于模拟通道的特性。
- 2. 通常,封装被建模为 Tx Si 和封装互连的组合,其中 Si 可以定义为具有驱动寄生电容的特定阻抗的电压或电流源。封装互连可以被建模为t线元件。然后 调整上述元件的组合,以产生符合 Tx 回波损耗曲线的一种或多种最坏情况阻抗分布。请注意,可能需要多个封装/硅模型,因为通常不可能合成复制整个 Tx 回波损耗曲线的封装/硅模型。

4.3.6.2.5。表征通道时考虑抖动

10 在 Refclk 或发送器中不引入低频抖动分量的情况下模拟通道是最方便的。这些抖动分量已被证明以 ps 为 ps 的基础通过通道传播。脉冲宽度压缩作用于发送器发出的单个脉冲,确实需要包含在仿真中,因为它与通道相 互作用并产生所谓的抖动放大。虽然实际仿真中不需要包含15个低频抖动分量,但在整个抖动预算过程中必须 考虑这些分量。这将要求我们在与接收器眼图参数进行比较之前,从模拟眼图裕度中扣除来自 Refclk 和发送 器的最坏情况低频抖动分量。

如上所述,仿真通道模型时获得的时序和电压裕度仅需要包括负责将脉冲压缩到最小宽度的高频 Tx 抖动。

20然而,在我们将结果与 Rx 进行比较之前,必须应用适当的后处理。

抖动参数: 1.

包括非模拟抖动 > 1.5 MHz 的影响,但不包括 DCD。

2. 确定眼图中心以测量电压和时间裕度。

图 4-81A 说明了模拟仅包含 DCD 相位抖动的通道的效果。这

25第二步包括复制非模拟抖动分量对眼睛的影响,这可以通过在 x 方向上将眼睛旋转等于未模拟的 Dj 和 Rj 分量 1/2 的量来实现。请注意,由于常见的 Refclk Rx 和数据时钟 Rx 架构指定不同的抖动量,因此模拟眼图的回转量也会不同。生成复合眼图后,下一步是确定眼图中心并获得眼图电压和时间张开余量。确定眼睛中心可以通过使用应用于接收器的滤波器功能来实现。然后,可以将余量与TRX-TJ-CC、TRX-TJ-DC和VRX-DIFF-PP-CC、VRX-DIFF-PP-DC进行比较(视情况而定)

通用 Refclk Rx 和数据时钟 Rx 架构。

模拟 Tx 抖动时,我们假设应用了最大数量的 DCD (0.1 UI)。最大TTX-HF-DJ-DD (0.15 UI)与上面的0.1 UI之间的差异表示未模拟的额外Tx Djdd量,即10 ps。同样,来自 Tx 和 Refclk 的 Rj 项必须通过将最大 Tx Rj (1.4 ps RMS) 和最大 Refclk Rj(通用 Refclk Rx 架构为 3.1 ps RMS,数据时钟 Rx 架构为 4.0 ps RMS)一起 RSS 来理解)。由此产生的项(TNON-SIM-JITTER-TJ)定义了模拟眼图必须回转的量:对于常见Refclk Rx 架构为 ± 28.9 ps,对于数据时钟 Rx 架构为 ± 34.7 ps。

30

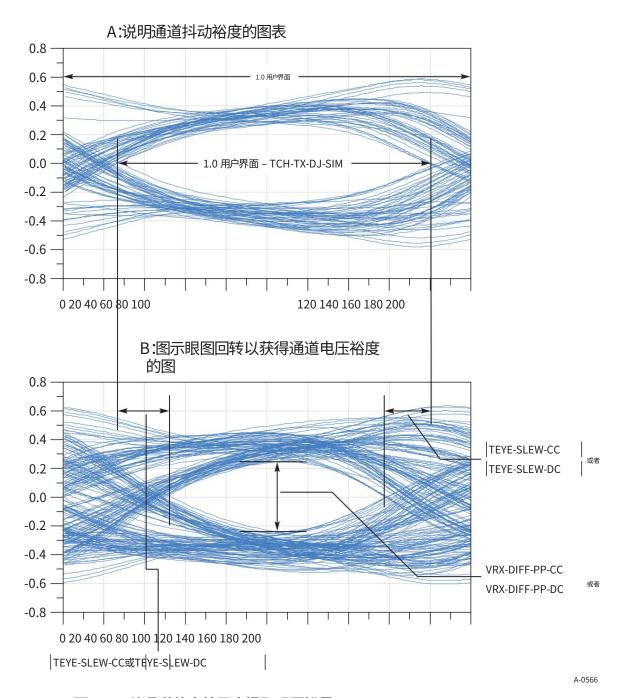


图 4-81:从通道仿真结果中提取眼图裕量

4.3.6.2.6。指定减少摆动选项的通道

某些对功耗敏感的 PCI Express 应用(例如移动应用)可以使用减小摆幅的发送器选项来实现。这涉及使用不带去加重的减小摆幅的发射信号。为减小摆幅发射机指定通道的过程与为全摆幅发射机指定通道的过程相同,但最坏情况除外

5行为 Tx 特征必须反映摆动的减少和去加重的缺乏。

4.3.6.2.7。多段频道

多段通道可以按照与前面部分中应用于单段通道的方式类似的方式来指定。不同的平台拓扑需要特定的分区预算,具体取决于通道长度的比率、不连续性的数量和类型以及其他因素。由于10个多段通道有大量可能的系统分区和互操作性选项,因此本规范中不会涵盖它们。相反,可以在PCI Express卡机电规范和其他外形规格中找到详细信息。

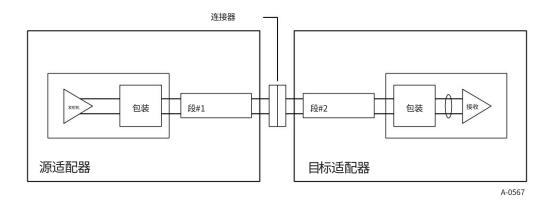


图 4-82:多段通道示例

4.3.6.3. 通道电容上限

接收器检测电路看到的对地互连总电容不得超过

15 3 nF 接地,包括由附加测试仪器添加的电容。需要此限制来保证接收器检测期间的正确操作。请注意,该电容是独立的并且不同于交流耦合电容值(参见表 4-18)。

4.3.6.4. 8.0 GT/s 通道一致性测试

规范的这一部分仅与平台设计理解发送器设备引脚和接收器设备引脚之间的相关通道的情况相关。这些类型的平台设计称为"专属通道"。非强制通道的设计应参考适当的外形尺寸 (CEM) 规范,因为在这种情况下,CEM 规范优先于基本规范。

通道容差的关键组件和过程如图4-83所示。基本的信道合规方法是首先获取信道的特性,通常通过S参数或等效模型来获取。然后将行为 Tx 和 Rx 封装模型附加到通道模型以形成芯片到芯片拓扑。该模型应包括受害者路径和足够的5个攻击者路径,以准确捕获通道串扰效应。使用发射器规范部分中定义的 Tx 电压和抖动限制,可以将这些参数转换为 Tx 芯片焊盘上出现的参数。

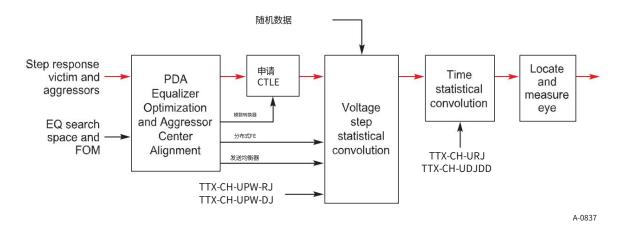


图 4-83:通道容差流程图

通过仿真分析生成的模型,在相当于接收器10输入锁存器的点处产生电压和抖动。在接收器锁存器处观察到的信号参考恢复的

可以构建眼图的数据时钟。

仿真过程还必须正确考虑最小能力 Tx/Rx 对中发生的 Tx 和 Rx 均衡优化。这意味着仿真过程必须能够根据一阶 CTLE 和 1 抽头 DFE 选择 Tx 预设或系数以及 Rx 均衡设置的最佳值。

15

4.3.6.4.1.行为发射器和接收器包模型

本规范中定义了Tx和Rx行为封装模型,以表示预计与一系列通道互操作的最大损耗芯片加封装。这些模型作为设计附属材料作为规范的附录包含在内。每个模型都包含CPIN

和CPAD寄生电容加上差分 t 线元件,如图 4-84 所示。发送和 20 Rx 封装型号具有相同的通道长度和相同的CPIN值。独立的 Tx 和 Rx 包括模型以反映大多数接收器实现中典型的较小CPAD电容。

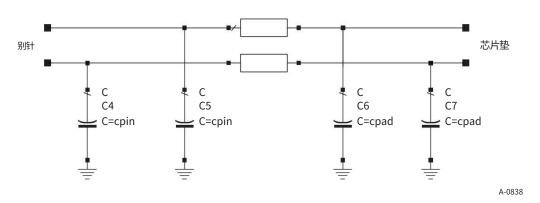


图 4-84:Tx/Rx 行为封装模型

可在 PCI-SIG 网站上获取: http://

www.pcisig.com/specifications/pciexpress/base2/seasim_package/。

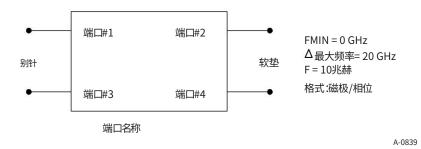


图 4-85:行为 Tx 和 Rx S 参数文件详细信息

4.3.6.4.2。仿真工具要求

10

15

通道容差是通过仿真实现的,其中通过/失败标准是根据时域眼图定义的。仿真工具必须接受一组规定的输入,包括所考虑的通道,然后根据一组后处理要求进行仿真。基本规范没有规定使用任何特定工具来模拟通道。然而,任何模拟工具都必须满足以下要求。

4.3.6.4.3。仿真工具链输入

定义为 s 参数或等效模型的通道特性:该模型必须包括受害差分通道以及准确捕获串扰所需的尽可能多的干扰源。在大多数情况下,这将是 2 到 4 个额外的差速车道。

行为 Tx 和 Rx 包模型:这些模型将以 s 参数文件的形式作为规范的一部分包含在内。它们可以被认为是一个 pi 网络,如图 4-84 所示。

发送器抖动和电压:输入到模拟器的电压和抖动参数可以直接从发送器和Refclk抖动的组合中获得。由于这些参数是固定的,仿真工具可以选择硬编码它们的值。

发射器和接收器终端阻抗:模拟器应使用 2 x 50 Ω 发射器和接收器的端接。该值与生成和测量 Rx 容差的受压眼图隐含的假设相匹配。

4.3.6.4.4。加工步骤

端到端连接的时域表示:包括行为 Tx 和 Rx 包以及被测通道。

发射电压和抖动:电压和抖动如表 4-27 所示。它们源自为发送器定义的电压和抖动参数,但经过重新计算以 正确理解高频和低频抖动分量,并且还包括 Refclk 抖动贡献。

行为 TxEq:模拟器应复制发射机部分和表 4-19 中定义的 TxEq 功能。

15 行为 Rx CTLE:仿真工具应实现行为 CTLE,复制用于 Rx 容差的 CTLE 功能。

行为 DFE:仿真工具应实现 1-tap DFE,其中反馈系数的动态范围在第 4.3.4.3.7 节中定义。

优化 Tx 均衡和 Rx DFE/CTLE 设置:仿真工具应实现一种优化算法,该算法选择 Tx 均衡和 Rx CTLE 和 DFE 设置的组合,从而在通道远端产生最大眼宽。详细信息请参见第 4.3.6.5.3 节。

抖动的统计处理:为了避免高估通道数据和通道抖动相互作用的影响,该工具应使用这些参数的统计分析来 生成电压/抖动眼图裕度。

4.3.6.4.5。仿真工具输出

25

输出眼参数:模拟器应生成统计定义的输出,显示眼宽度和眼高度。 EH 将作为峰值眼高进行测量,而 EW 应在过零线处进行测量。此外,模拟器应能够将数据采样点调整为距 UI 中值中心 ±0.1 UI。

4.3.6.4.6。开源仿真工具

30应提供开源仿真工具和规范作为设计附属材料。该工具将提供交钥匙功能,用户可以在接收器芯片焊盘处提供通道特性作为阶跃响应,并且该工具计算显示通过/失败的统计眼图。

4.3.6.5。行为发射器参数

4.3.6.5.1.行为 Tx 抖动和电压

Tx 电压和抖动参数可以从表 4-26 中定义的定义和限制开始计算。下面定义的参数与表 4-19 中的对应参数之间存在一些定义上的差异。特别是,Tx 抖动参数是根据 DjDD 和 Tj 定义的,而表 4-26 中的参数包括 DjDD 和 Rj 项。表4-26中列出的所有电压和抖动分量均在芯片焊盘处定义。请注意,行为 Tx 封装加上下面定义的最坏情况电压/抖动参数的组合也满足表 4-19 中定义的 ps21TX 限制。

表 4-26:通道容差的抖动/电压参数

象征	范围	价值	单位	笔记
VTX-CH-FS-NO-EQ	全摆幅 Tx 电压 804		平均VPP	全力以赴,无 Tx 均衡器。参见注1。
VTX-CH-RS-NO-EQ	摆幅减小 Tx 电压 Tx 不相关 Rj	第402章	平均VPP	减少摆幅,无 Tx 均衡器。见注1
TTX-CH-URJ	Tx 不相关 DjDD 7.0 不相	1.55	ps RMS 无 DDj 高	频抖动。参见注2。
TTX-CH-UDJDD	关 PW Rj PW DDj		聚苯乙烯	无 DDj 高频抖动
TTX-CH-UPW-RJ		1.0	皮秒有效值	
TTX-CH-UPW-DJ		10	聚苯乙烯	参见注3。
TTX-DIEPAD-EDGERAT	行为 Tx 芯片焊盘处的信号 边沿速率	35	附注	使用高斯低通滤波器塑造边缘时测量 10%至 90%。参见注4。

笔记:

- 1. 选择的电压在以下情况下在行为 Tx 封装的引脚处分别产生 800 mVPP 和 400 mVPP: 低频测量。
 - 2. 包括来自发送器的低频(非 F/2)Rj 分量和来自 Refclk 的 Rj。
 - 3. 作为双狄拉克模型应用于每条边。
 - 4. 不包括寄生芯片焊盘电容。行为包的详细信息见图4-84。
 - 4.3.6.5.2。表 4-26 条目的参数定义
- 15本节仅供参考。上表中定义的参数源自发射器电压和抖动参数,但参考芯片焊盘。这是允许通道仿真包含行为 Tx 封装并从芯片焊盘驱动封装所必需的。此外,Tj 项必须分解为单独的 Rj 和 DjDD 项。
- VTX-CH-FS-NO-EQ和VTX-CH-RS-NO-EQ:这两个参数定义与图 4-42 中的 Vd 对应的最小峰 峰值电压。

抖动参数是根据以下方程组得出的。使用代数运算提取由 Tj 和 DjDD 的组合隐式定义的 Rj

条款。

 $jit_hfrj_nui = (TTX-UTJ - TTX-UDJ-DD)/14.06 = 1.37ps$ TTX-CH-UPW-RJ = (TTX-UPWJ-TJ - TTXUPWJ-DJDD)/14.06 = 1.00ps TTX-CH-UPW-DJ = TTXUPWJ-DJDD = 10.0ps $TTX-CH-URJ = sqrt(jit_hfrj_nui**2 - (TTX-CH-UPW-RJ*0.707)**2 + TREFCLK-RMS**2) = 1.55 ps$ TTX-CH-UDJDD = TTX-UDJ-DD - (TTXUPWJ-DJDD)/2 = 7.00ps

A-0840

图 4-86: 表 4-26 中抖动参数的推导

4.3.6.5.3。优化 Tx/Rx 均衡的算法

用于优化 Tx/Rx 均衡的算法应按如下方式操作。对于每一个组合 5 CTLE和TxEQ系数计算零强制DFE并使用PDA找到最大眼图 面积作为由±0.1 UI 孔径和±30 mV d1 系数限制设定的约束内的品质因数。

4.3.6.5.4。通过/失败眼特征

仿真工具的输出应采用眼图模板定义的通过/失败特性的形式,如图 4-87 所示。 EH 和EW 必须分别满足表 4-27 中定义的电压和抖动10参数。

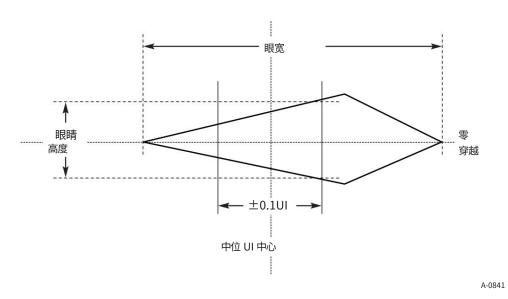


图 4-87:EH、EW 掩码

表 4-27: 通道容差眼图模板值

象征	范围	价值	单位评论	
VRX-CH-EH	眼高	25(分钟)	mVPP BER=	10-12 时的眼高。注1.
TRX-CH-EW	过零时的眼宽	0.3(分钟)	另个养苗	BER=10-12 时的眼宽
TRX-DS-OFFSET崎	值 EH 偏移 用户界面中心	±0.1	另个界面	具体如图4-87所示。
VRX-DFE_COEFF D	FE d1的范围 系数	±30	毫伏	具体如图4-70所示。

筆记:

1. VRX-CH-EH定义为距离平均 UI 中心 ±0.1 UI 的孔径内的最大 EH。具体如图4-87所示。

4.3.6.5.5。表征通道共模噪声

通道必须满足接收器处定义的共模要求。一般来说,由于有大量的机制(包括发送器)会产生共模噪声,因此不可能准确地模拟所有通道的共模噪声贡献。通常,信道共模噪声是预算参数,并且下面定义的限制假设预算过程。通道的 CM 限制定义为通道可以添加的 CM 噪声量,并且在最坏情况下 Tx CM 的情况下仍满足 Rx CM 限制。对于 EH 10 < 100 mV,该限值为 75 mVPP;对于 EH ≥ 100 mVPP,该限值为 125 mVPP。

请注意,不能简单地将 Tx 和通道 CM 噪声参数相加来获得 Rx CM 限制。这是因为通道会衰减一些高频 Tx CM 噪声,同时以很小的损耗传播 Tx LF CM 噪声。该通道还可以贡献其自身的高频和低频 CM 分量。

4.3.6.5.6。验证VCH-IDLE-DET-DIFFp-p

15 测到它。 8.0 GT/ 定义为保证当发送器发出 EIEOS 序列时, VCH-IDLE-DET-DIFFp-p接收器保证检 s 时可能有更大的 TxEq 升压比,因此需要验证该参数;对于 2.5 或 5.0 GT/s,不需要此过程,因为最大 TxEq 提升较小。定义 Tx/Rx 芯片焊盘处的启动和检测电压允许使用用于确定眼图裕量的相同通道模型 来验证VCH-。也是

怠速检测差速器 PF

○ 可接受,从 Tx 引脚到 Rx 引脚进行仿真(不包括 Tx 和 Rx 行为封装模型),在这种情况下,Tx 和 Rx 部分中定义的 EIEOS 和空闲检测参数适用。

适用VTX-EIEOS-FS 的长通道的特点是使用 EIEOS 模式和 -11.0 dB 去加重和零 dB 预冲驱动被测通道。对于短通道,在适用的情况下,应用 -4.5 dB 的去加重和 0 dB 的预冲。

25 VTX-EIEOS-RS

表 4-28:EIEOS 信令参数

范围	描述	价值	单位	评论
VCH-空闲-退出-pp	Rx 芯片焊盘处的空闲检测电压	172	mVPP 假设 Rx	RTERM 为 2 x 50欧姆
VCH-EIEOS-FS-Vb	Vb 间隔期间行为 Tx 芯 片焊盘处的 PP 电压,用于全摆 幅信号传输	255	mVPP 假设 Tx	(RS 为 2 x 50 Ω
VCH-EIEOS-RS-Vb	Vb间隔期间行为Tx芯片焊盘处的PP电压,用于减少摆动信号	第237章	mVPP 假设 Tx	∢RS 为 2 x 50 Ω

4.3.7.参考时钟规格

4.3.7.1. 5.0 GT/s 的参考时钟规范

本节仅涉及 5.0 GT/s。 2.5 GT/s 系统中的 Refclk 规范出现在PCI Express 卡机电规范中。此外,JWG 5白皮书还详细介绍了 Refclk 抖动的分析以及表征 Refclk 相位抖动的统计方法。

PCI Express 基本规范,Rev. 1.1不包括 Refclk 参数;相反,Refclk 的参数在PCI Express 卡机电规范,Rev. 1.1中定义。在开发 5.0 GT/s 规范时,很明显将 Refclk 作为电气规范的一部分是有意义的,因此将其包含在本规范中。

4.3.7.1.1.扩频时钟 (SSC) 源

10数据速率可在标称数据速率频率的 +0% 至 -0.5% 范围内调制,调制频率为

调制速率范围不超过30 kHz – 33 kHz。 ±300 ppm 的要求仍然成立,这需要对两个通信端口进行调制,以使它们的总差异不超过 600 ppm。对于大多数实现,这要求当使用 SSC 调制数据时两个端口需要相同的比特率时钟源。

4.3.7.1.2。 5.0 GT/s 的 Refclk 架构

15可能存在三种不同的 Refclk 架构:通用 Refclk、单独的 Refclk 和数据驱动 PLL。每个都有一个相关的滤波器功能,该功能包含 PLL 带宽/峰值和等效抖动的最坏情况组合。 Rx 时钟数据恢复输入处看到的有效抖动是 Rx 和 Tx PLL 带宽差异以及与 Refclk 抖动频谱卷积的峰值的函数。它还依赖于 Refclk 架构。

4.3.7.2. Refclk 测试设置

Refclk 的测试设置假设仅存在 Refclk 发生器本身。测试设置中已做好准备,以考虑实际系统中 Refclk 发生器的引脚与发送器或接收器之间发生的信号衰减。上述设置模拟了 PCI Express 设备引脚上可能发生的最坏情况信号衰减。

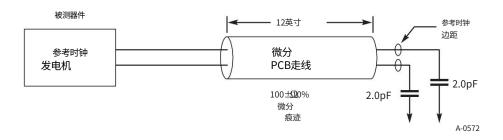


图 4-88:Refclk 测试设置

4.3.7.3.比特率容差和扩频时钟

5 Refclk 的容差为 100 MHz ±300 ppm,其中该数字由扩展定义 频谱时钟 (SSC) 已关闭。 SSC 可以作为降低 EMI 的方法来实现。单个源的 Refclk 速率可以在标称数据速率 频率的 +0 至 -5000 ppm 范围内进行调制,调制速率在 30 kHz – 33 kHz 范围内。

4.3.7.3.1.应用于 Refclk 测量的过滤功能

原始 Refclk 数据包含各种频率范围内的抖动,其中一些抖动将由接收器跟踪,或者通过 Tx 和 Rx PLL 的组合 来消除。因此,有必要对原始 Refclk 数据应用一系列滤波器操作,以获得有意义的抖动测量。滤波器功能的性质部分取决于 Refclk 架构。

例如,常见 Refclk Rx 和数据时钟 Rx 架构的 PLL 功能不同,因此会产生不同量的 HF Rj。表 4-29 列出了15 种常见 Refclk Rx 和数据时钟 Rx 架构的滤波器功能。一般来说,有五种不同的过滤器

应用的功能:

SSC 分离:用于从低频范围中去除 SSC 分量,允许定义单独的低频 Rj 和低频 Dj 分量 0.01-1.5 MHz 步长 BPF:滤波器的下边缘消除了 CDR 完全可跟踪的 1/f 抖动贡献。该功能还可

以消除高频抖动成分。

1.5 MHz 步进 HPF:消除低频抖动分量,允许定义 CDR 无法跟踪的那些抖动分量。

边缘过滤:最大限度地减少由有限采样/电压分辨率孔径引起的测试设备测量伪影。这是在5 GHz 频率下应用的电压平均过程。

25

PLL 差值功能或最大 PLL BW 功能。第一个应用于常见的 Refclk Rx 架构,涵盖 Tx 和 Rx PLL 之间最坏情况的不匹配以及传输延迟的影响。第二个应用于数据时钟 Rx 架构并包含最大 PLL BW 和峰值。

参考时钟架构	通用 Refclk Rx	数据时钟接收
< 1.5 MHz 抖动分量	SSC分离	无SSC分离
	PLL差值函数	最大 PLL BW 功能
	0.01 - 1.5 MHz 步进 BPF	0.01 - 1.5 MHz 步进 BPF
> 1.5 MHz 抖动分量	PLL差值函数	最大 PLL BW 功能
	1.5 MHz 步进 HPF 边缘	1.5 MHz 步进 HPF 边缘
	滤波	滤波

表 4-29: 应用于 Refclk 测量的过滤函数

5 PLL 差异和最大 PLL 功能的实现细节在

下面是与常见 Refclk Rx 和数据时钟 Rx 架构相关的部分。 1.5 MHz HPF 和 0.01 – 1.5 MHz BPF 特性如图 4-49 所示。

4.3.7.3.2。通用 Refclk Rx 架构

该架构意味着单个 Refclk 源被分配给 Tx 和 Rx。因此,Refclk 产生的大部分 SSC 抖动均等地通过 Tx 和 Rx 传播

10 个PLL,本质上是跟踪。图 4-89 说明了常见的 Refclk Rx 架构,

显示关键噪声、延迟和 PLL 变换源。由于 Refclk 对于 Tx 和 Rx 都是通用的,因此其噪声特性X1(s) 被驱动到 Tx 和 Rx PLL。然后,CDR 中出现的抖动量由 Tx 和 Rx PLL、HCC 之间的差函数定义。

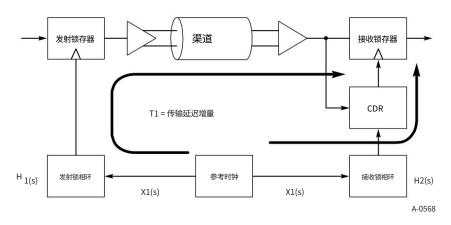


图 4-89:通用 Refclk Rx 架构

基于上述时钟架构,可以定义对应于 Tx 和 Rx PLL 之间最坏情况不匹配的差函数。尽管大多数 PLL 传递函数是三阶或 更高阶,但仍假设二阶传递函数,因为二阶函数往往会产生相对于实际 PLL 稍微保守的差分函数。

10

PCI Express 基本规范,修订版。 3.0

固有 PLL 频率ωn和 -3 dB 点之间的转换由以下表达式给出。

$$\delta \omega \omega^{++++} = \sqrt[3]{4!} 21(21 \sqrt{\delta^{22}})$$
 公式 4.3.4

在常见的 Refclk Rx 架构中,还需要了解发送器到接收器的最大传输延迟差。该延迟增量如图 4-90 所示,表示发送器数据和恢复的接收器时钟之间的延迟差异,如接收锁存器的输入所示。

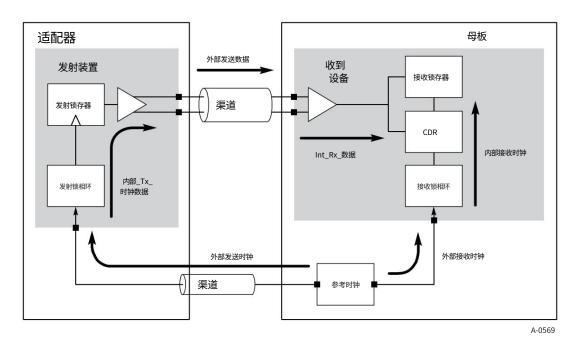


图 4-90:通用 Refclk Rx 架构的 Refclk 传输延迟路径

PLL 带宽和峰值数在表 4-30 中定义。滤波器函数由HCC(s) 定义,并包括最小和最大 PLL 特性的表达式,其中较小的 PLL BW 对应于 ω n1和ze1,较大的 PLL BW 对应于 ω n2和ze2。 e-sT1 项对应于传输延迟增量,如图 4-90 所示。

表 4-30: 用于 Refclk 测量的差分函数参数

符号 参数		最小	最大限度	单位	评论
T1	数据/时钟传输延迟增量		12	纳秒	参见注1。
ω1	PLL #1 固有频率 PLL	4.31*2π或		毫拉德/秒	参见注释 1、2 和 3。
	#1 阻尼系数	1.82*2π			
δ1	0.54 或		1.75		参见注释 1 和注释 2。
		1.16	(0.5分		
ω2	PLL #2 固有频率 PLL		贝)8.61*2πシ	拉德/秒	参见注1。
	#2 阻尼系数				
δ2	0.54 或		1.75		参见注释 1、2 和 4。
7-		1.16	(0.5分贝)		

笔记:

5

- 1. T1定义数据和 Refclk 路径的累积传输延迟增量,如图 4-90 所示,并包括片外和片内延迟项。 Tx 和 Rx 的最大内部传输延迟为 2.0 ns。
- 2. 对于常见的 Refclk Rx 架构,最小 PLL BW 和相应的两种可能的组合 峰值被指定。如果最小 PLL BW ≥5 MHz,则需要1.0 dB 的最大峰值(对应于z = 1.16)。如果最小 PLL BW ≥8 MHz,则允许3 dB 峰值(对应于z = 0.54)。
- 3. PLL #1 的固有频率限制对应于 $8.0~MHz~(4.31e6^*2\pi)$ 的 -3~dB 截止频率, 5.0兆赫($1.82e6^*2\pi$)。
- 4. PLL #2 的固有频率限制为 8.61e6*2π,对应于 16 MHz 的 -3 dB 截止频率。

4.3.7.3.3。通用 Refclk Rx 架构的合规性参数

10表 4-31 定义了通用 Refclk Rx 架构的合规性参数。

表 4-31: 5.0 GT/s 时通用 Refclk Rx 架构的 Refclk 参数

象征	象征 描述		限制		笔记
家 证	1日だ	最小	最大限度		
TREFCLK-HF-RMS	应用公式 4.3.3 后,奈奎斯特 RMS 抖动为 > 1.5 MHz		3.1	皮秒有效值 1	
TREFCLK-SSC-RES	SSC残留		75	附注	1
TREFCLK-LF-RMS	10kHz - 1.5MHz RMS 抖动		3.0	皮秒有效值 2	
TSSC-FREQ-DEVIATION S	SC 偏差		+0.0/-0.5%		
TSSC-最大周期- _{斯莱夫}	最大 SSC df/dt		0.75	界面/界面	3

笔记:

- 1. TREFCLK-HF-RMS是在应用表 4-29 中定义的针对 >1.5 MHz 抖动分量的 Common Refclk Rx 的滤波器函数后,在图 4-88 所示的测试电路的 远端测量的。
- 2. TREFCLK-SSC-RES和TREFCLK-LF-RMS是在应用表 4-29 中定义的针对大于 1.5 MHz 抖动分量的 Common Refclk Rx 的滤波器函数后测量的。

3. 针对最坏情况 SSC 调制配置文件(例如 Lexmark)而定义。

4.3.7.3.4。数据时钟接收架构

该架构在数据恢复期间在接收器处不使用Refclk,而是使用数据中包含的嵌入式时钟边沿信息直接驱动Rx CDR,如图4-91所示。

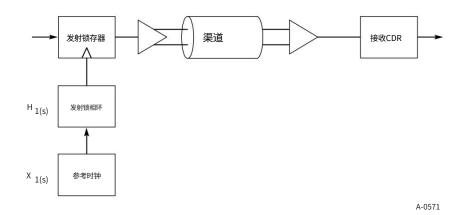


图 4-91:数据时钟 Rx 架构

5上述数据时钟 Rx 架构的差分函数定义如下方程:

10

$$SH_{1})(= \frac{2 \pi \sqrt{111} + 2}{S^{2} + 2 \omega_{1} \delta_{1} \omega \omega \delta^{2}}$$

公式4.3.5

在数据时钟 Rx 架构中,传播的 Refclk 抖动量取决于最大 PLL 带宽(16 MHz,3 dB 峰值)。还有一种情况是,Rx CDR 必须跟踪整个 SSC(20 ns),并且 CDR 必须能够以与最大 df/dt SSC 调制配置文件相对应的最大转换速率跟踪 SSC。

表 4-32: 数据时钟 Rx 架构的 PLL 参数

符号 参数		最小	最大限度	单位	评论
ω1	Tx PLL 固有频率		8.61*2π	毫拉德/秒	参见注1。
δ1	Tx PLL 阻尼系数 0.54 (3.0 dB)		1.75 (0.5分贝)		参见注释 1 和注释 2。

笔记:

5

- 1. ω1 和ze1 对应于 16 MHz,峰值为 3.0 dB。请注意,对于数据驱动架构,我们无法利用两个 PLL 的差分函数,而必须应用完整的 0-16 MHz/3.0 dB 峰值 PLL 传输函数。同样,由于没有 Rx PLL,因此无需定义传输延迟参数。
- 2. 还指定了最小峰值,以便对 PLL 滚降中的能量设置上限。由于z1定义了峰值和滚降,因此z1的最小值和最大值唯一地定义了滚降区域中的 BW 量。
- 4.3.7.3.5。数据时钟 Rx 架构的合规性参数

表 4-33 定义了数据时钟 Rx 架构中 Refclk 的 Refclk 抖动参数。

表 4-33: 数据时钟 Rx 架构的 Refclk 参数

象征 描述		限制		单位	笔记
家 证	1用心	最小	最大限度		
TREFCLK-HF-RMS	1.5 - 应用公式 4.3.5 后的奈奎斯特 MHz RMS 抖动		4.0	皮秒有效值 1	
TREFCLK-SSC-完整	完全 SSC 调制对应于 +0 - 0.5%		20	纳秒	1
TREFCLK-LF-RMS	10kHz - 1.5MHz RMS 抖动		7.5	皮秒有效值 2	
TSSC-FREQ-DEVIATION S	SC 偏差		+0.0/-0.5%		
TSSC-最大周期- _{斯莱夫}	最大 SSC df/dt		0.75	界面/界面	3

0 笔记:

- 1. TREFCLK-HF-RMS是在应用表 4-29 中定义的针对大于 1.5 MHz 抖动分量的数据时钟 Rx 的滤波器函数后,在图 4-91 所示的测试电路的远端测量的。
- 2. TREFCLK-SSC-FULL和TREFCLK-LF-RMS是在应用表 4-29 中定义的针对 < 1.5 MHz 抖动分量的数据时钟 Rx 的滤波器函数后测量的。
- 15 3. 针对最坏情况 SSC 调制配置文件(例如 Lexmark)而定义。

4.3.7.4。独立的 Refclk 架构

还可以为 Tx 和 Rx 构建具有单独 Refclk 源的 PCI Express 实现。由于该架构采用两个独立的时钟源,因此影响接收器的抖动量是 RSS 之和,而不是 PLL 传输的差值

特征。因此,单独的 Refclk 架构中的 Refclk 的抖动要求比常见的 Refclk Rx 架构要严格得多。此外,一般不可能保证单独的 Refclk 架构组件与使用其他时钟架构的组件之间的互操作性。例如,单独的Refclk适配器5不会与具有SSC的驱动数据的根联合体互操作。因此,该规范没有明确定义单独 Refclk 架构的要求,而是遵循适当的外形规格规范。

当在单独的 Refclk 架构中容忍 PCI Express Rx 时,发生器和 DUT 配备有单独的 Refclk,每个 Refclk 均在 10 100 MHz 标称频率的 ±300 PPM 范围内。两个 Refclk 源的 SSC 必须关闭。这些限制是保证 Rx 中缓冲和流量控制正常运行所必需的。

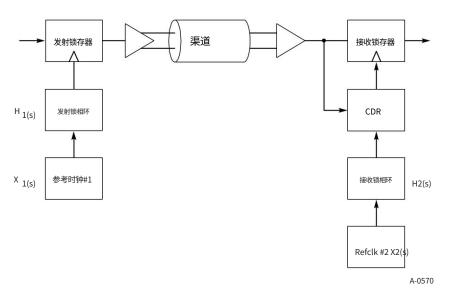


图 4-92:独立的 Refclk 架构

通过检查下面的相位抖动传递方程,可以看出更严格的 Refclk 裕度对单独 Refclk 架构的影响。由于两个 Refclk 都是独立的,因此它们的相位抖动独立地通过 Tx 和 Rx PLL,并且必须假设最大 PLL BW/峰值为15 16 MHz/3 dB。此外,由于 Tx 和 Rx Refclk 都是独立的,因此它们的 Rj 项会添加为 RSS 值。因此,独立 Refclk 架构的抖动特性必须比其他两种架构严格得多。

4.3.8. 8.0 GT/s 的 Refclk 规范

4.3.8.1. CDR追踪功能

当 Refclk 数据被捕获为原始 v(t) 与时间记录时,它包含抖动分量,其中一些由实际 PCI Express 实现中的接收器跟踪。有必要去除这些低频抖动分量,以反映通过 Rx CDR 后实际影响 Rx 采样器的 Refclk 抖动量。

- 5定义了两种类型的 CDR:—阶用于通用 Refclk Rx 架构,二阶用于数据时钟 Rx 架构。图 4-67 说明了行为一阶 CDR 特性,显示了 20 dB/十倍频程跟踪能力以及图 4-93 中所示的 H3(s) 传递函数。二阶CDR的特征在于图 4-94 中定义的传递函数 H3(s)。
 - 二阶CDR 函数的特征在于带宽和峰值范围。
 - 4.3.8.1.1。边缘过滤
- 10边缘过滤是一种最大限度地减少测试设备有限采样时间引起的抖动的技术。通常,对离散采样数据应用平滑函数,以便可以更准确地确定零差分电压。
 - 4.3.8.1.2。 Tx 和 Rx PLL 假设

确定接收器处可见的有效 PLL 抖动量需要评估 Refclk 传输函数。传递函数因 Rx 架构而异。转让

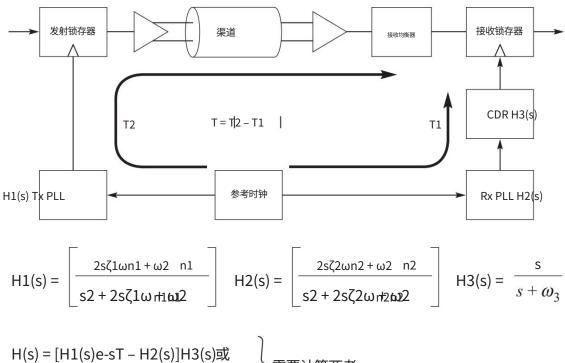
常见 Refclk Rx 架构的15 个函数如图 4-93 所示,数据的函数

时钟架构如图 4-94 所示。假设有两种可能的 PLL 带宽和峰值范围:2-4 MHz 带宽,峰值为 0.01-2.0 dB;带宽为 2-5 MHz,峰值为 0.01-1.0 dB。为了方便起见,为 PLL BW 和峰值的角点极限定义了相应的 ω n和ze值。

- 4.3.8.2.通用 Refclk Rx 架构
- 20 种通用 Refclk Rx 架构的特点是 Tx 和 Rx 共享相同的 Refclk

来源。 Rx CDR 看到的抖动是 Tx 和 Rx PLL 传输函数之间差异的函数,其中传输延迟项(e-sT)乘以 CDR 的传输函数。 CDR 跟踪由 H3(s) 项捕获。

请注意,最小 PLL 峰值指定为 0.01 dB,而 Tx 和 Rx PLL 的限制为25 0 dB。这种小的差异仅在 H(s) 中产生很小的差异,同时仍然允许以方便的数学形式评估差异函数。



	0.01 dB 峰值	2.0 dB 峰值	
BWPLL(最小值)= 2.0兆赫	ωn1 = 0.448 毫拉德/秒 1 = 14	ωn1 = 6.02 毫拉德/秒 δ1 = 0.73	BV
BWPLL(最大)= 4.0兆赫	ωn1 = 0.896 毫拉德/秒 1 = 14	ωn1 = 12.04 毫拉德/秒 δ1 = 0.73	BV

	0.01 dB 峰值	1.0 dB 峰值
BWPLL (最小值)=	ωn2 = 0.448 毫拉德/秒	ωn2 = 4.62 毫拉德/秒
2.0兆赫	δ2 = 14	δ2 = 1.15
BWPLL(最大)=	ωn2 = 1.12 毫拉德/秒	ωn2 = 11.53 毫拉德/秒
5.0兆赫	δ2 = 14	δ2 = 1.15

A-0842

图 4-93:具有ωn、 ze限制的 8.0 GT/s 通用 Refclk Rx 架构

在表征TREFCLK-RMS-CC时,建议在计算 H(s) 和 H (s) 时包括带宽和峰值的所有独特组合。

表 4-34:8.0 GT/s 时通用 Refclk Rx 架构的参数

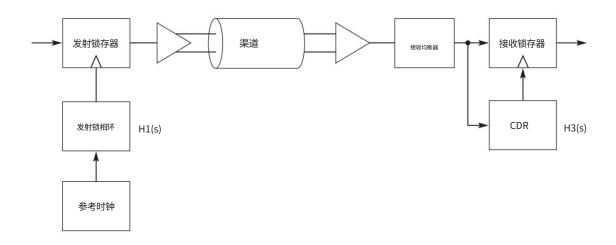
象征 描述		限制		单位
象征	抽 处	最小	最大限度	
频率时钟	参考时钟频率1	99.97	100.03	兆赫兹
TREFCLK-RMS-CC	公共端的 RMS Refclk 抖动 Refclk Rx 架构3		1.0	皮秒有效值
FSSC	SSC频率范围	30	33	千赫
TSSC-FREQ-DEVIATION	SSC 偏差2		+0.0/-0.5%	
TTRANSPORT-DELAY TX	-Rx 传输延迟	12		纳秒

笔记:

- 1.申请SSC之前。
- 2. 仅定义 SSC 偏差就足够了,无需指定任何有关调制包络形状的信息。 df/dt 非常大的包络将导致TREFCLK-RMS-CC参数失败。
- 3. 应用图 4-93 中定义的抖动滤波功能后测量 Refclk 抖动。

4.3.8.3.数据时钟 Refclk Rx 架构

数据时钟 Rx 架构的特点是要求接收器的 CDR 跟踪整个低频抖动,包括 SSC。由于 Tx 和 Rx 不共享公共 Refclk,因此抖动传递函数仅包括 Tx PLL 传递函数加上 CDR 的低通特性。定义了 Tx PLL 带宽和频率的两种可能组合,建议在计算 H(s) 时考虑 PLL 带宽和峰值的所有独特组合。



H3(s) =
$$\frac{2sz 3 ω n 3 + ω 2 a 3}{s2 + 2s ζ 3 ω a 3 + ω 2}$$

$$H(s) = H1(s)[1 - H3(s)]$$

	0.01 dB 峰值	2.0 dB 峰值
BWPLL (最小值)=	ωn1 = 0.448 毫拉德/秒	ωn1 = 6.02 毫拉德/秒
2.0兆赫	1 = 14	δ1 = 0.73
BWPLL(最大)=	ωn1 = 0.896 毫拉德/秒	ωn1 = 12.04 毫拉德/秒
4.0兆赫	1 = 14	δ1 = 0.73

		0.01 dB 峰值	1.0 dB 峰值	
	BWPLL (最小值)= 2.0兆赫	ωn1 = 0.448 毫拉德/秒 1 = 14	ωn1 = 4.62 毫拉德/秒 δ1 = 1.15	
	BWPLL(最大)= 5.0兆赫	ωn1 = 1.12 毫拉德/秒	ωn1 = 11.53 毫拉德/秒	
		1 = 14	δ1 = 1.15	

	0.5 dB 峰值	2.0 dB 峰值	
BWCDR(分钟)=	ωn3 = 16.57 毫拉德/秒	ωn3 = 33.8 毫拉德/秒	
10兆赫	δ3 = 1.75	δ3 = 0.73	

A-0843

图 4-94:具有ωn、 ze限制的8.0 GT/s 数据时钟 Rx 架构

最小 PLL 峰值指定为 0.01 dB,而 Tx 和 Rx PLL 的限制为 0 dB。差异非常小,并且允许以方便的数学形式评 估 H(s)。计算最坏情况TREFCLK-RMS-DC时,有必要针对 PLL 5峰值和带宽的每个独特组合进行计算。

BWCDR是在接收 PRBS 模式时为 CDR 定义的。这一规定是必要的,因为BWCDR的值将根据接收数据的 转换密度而变化,并且 PRBS 模式平均每两个 UI 生成一次转换。

表 4-35:8.0 GT/s 数据时钟 Rx 架构的参数

	4/#4	限制	单位	
象征	描述	最小	最大限度	
频率时钟	参考时钟频率	99.97	100.03	兆赫兹
TREFCLK-RMS-DC	数据时钟 Rx 架构的 RMS Refclk 抖动1		1.0	皮秒有效值
FSSC	SSC频率范围	30	33	千赫
TSSC-FREQ-DEVIATION SSC 偏差			+0.0/-0.5%	

笔记:

4.3.8.4.独立的 Refclk 架构

8.0 GT/s PCI Express 基本规范没有明确定义单独的 Refclk 架构的要求。这与 2.5 GT/s 和 5.0 GT/s 的基本规 范所采取的位置相同。

当在单独的 Refclk 架构中容忍 PCI Express Rx 时,发生器和 DUT 配备有单独的 Refclk,每个 Refclk 均在 100 MHz 标称频率的 ±300 PPM 范围内。两个 Refclk 源的 SSC 必须关闭。这些限制是保证 Rx 中缓冲和流量控制正常运行所必需的。

^{1.} 应用图 4-94 中定义的抖动滤波功能后测量 Refclk 抖动。

5. 能源管理

本章介绍 PCI Express 电源管理 (PCI Express-PM) 功能和协议。

5.1.概述

15

PCI Express-PM 提供以下服务:

一种识别给定功能的电源管理能力的机制

将功能转换为某种电源管理状态的能力

函数当前电源管理状态的通知

在特定事件上唤醒系统的选项

PCI Express-PM 与PCI 总线电源管理接口规范以及高级配置和电源接口规范兼容。本章还定义了 PCI Express 本机10电源管理扩展。这些提供了超出PCI 总线电源管理接口规范范围的额外电源管理功能。

PCI Express-PM 定义了允许 PCI Express 物理链路进入的链路电源管理状态,以响应软件驱动的 D 状态转换或活动状态链路电源管理活动。 PCI Express 链路状态对于传统总线驱动程序软件不直接可见,而是源自这些链路上组件的电源管理状态。定义的链路状态为 L0、L0s、L1、L2 和 L3。随着链路状态从 L0 过渡到 L3,节能效果会增加。

组件可以使用唤醒机制来唤醒系统,后跟电源管理事件(PME)消息。 PCI Express系统可以提供从主电源关闭的状态中进行唤醒操作所需的可选辅助电源20 (Vaux)。 PCI

Express-PM 扩展了传统 PCI-PM 中定义的 PME 机制,因为 PCI Express PME 消息包括请求代理的请求者 ID。这些 PME 消息是从请求功能向根联合体路由的带内 TLP。

PCI Express-PM PME 机制的另一个区别是以下两者的分离 项目管理人员任务:

重新激活(唤醒)相关资源(即重新建立 PCI Express 组件的参考时钟和主电源轨)

5 向根联合体发送 PME 消息 活动状态电源管理 (ASPM)

是一种基于自主硬件的活动状态机制,即使连接的组件处于 DO 状态,也能实现节能。经过一段空闲链路时间后,ASPM 物理层协议将空闲链路置于较低功耗状态。一旦进入低功耗状态,链路两侧出现的流量就会触发向完全运行的 LO 状态的转换。 ASPM 可能会被软件禁用。有关 ASPM 的更多信息,请参阅第 5.4.1 节。

10

5.1.1.要求声明

所有 PCI Express 功能(根复合体中的功能除外)都需要满足或超过 PCI-PM 软件兼容 PCI Express-PM 功能 定义的最低要求。根联合体需要参与由下游设备发起的链路电源管理15 DLLP协议。欲了解更多详细信息,请 参阅第 5.3.2 节。

ASPM 要求是特定于外形规格的。有关 ASPM 的更多信息,请参阅第 5.4.1 节。

5.2.链路状态电源管理

PCI Express 定义了链路电源管理状态,取代了 PCI 总线电源管理接口规范定义的总线电源管理状态。链路状态对 于20 PCI-PM 传统兼容软件不可见,并且源自连接到该链路的相应组件的电源管理 D 状态或通过 ASPM 协议(参见 第5.4.1节)。

请注意,PCI Express 物理层可能会定义其他中间状态。有关每种状态以及物理层如何处理状态之间转换的更 多详细信息,请参阅第4章

状态。

PCI Express-PM 定义了以下链路电源管理状态:

L0 - 活动状态。

ASPM 和 PCI-PM 兼容电源管理都需要 L0 支持。

所有 PCI Express 事务和其他操作均已启用。

LOs - 低恢复延迟、节能 "待机"状态。

LOs 支持对于 ASPM 是可选的,除非适用于链路的外形规格明确要求 LOs 支持。它不适用于 PCI-PM 兼容的电源管理。

所有主电源、组件参考时钟和组件的内部 PLL 必须在 LO 期间始终处于活动状态。对于链路位于 Tx_LO 的端口,TLP 和 DLLP 传输被禁用。

10

物理层提供了从该状态快速转换到 L0 状态的机制。 当链路两侧使用公共(分布式)参考时钟时,从 L0 到 L0 的转换时间通常小于 100 个符号时间。

链路上一个组件的发送侧可能处于 LO,而链路上另一组件的发送侧可能处于 LO。

15

L1 - 更高延迟、更低功耗的"待机"状态。

PCI-PM 兼容电源管理需要 L1 支持。除非特定外形规格特别要求,否则 L1 对于 ASPM 是可选的。

所有主电源必须在 L1 期间保持活动状态。所有平台提供的组件参考时钟必须在 L1 期间保持活动状态,除非时钟电源管理(使用 CLKREQ#)在启用时允许。组件的内部 PLL 可能会在 L1 期间关闭,从而以增加退出延迟为代价实现更大的节能。56只要给定链路上下游组件的所有功能都被编程为除 D0 之外的 D 状态,就会进入 L1 状态。。如果下游组件请求 L1 进入 (ASPM) 并收到对该

25

L1 的退出是由上游发起的针对下游组件的事务发起的,或者是由下游组件发起的指向上游的事务发起的。

从 L1 到 L0 的转换通常需要几微秒。

请求的肯定确认,也会进入 L1 状态。

L1 中的链路禁用 TLP 和 DLLP 传输。

L2/L3 就绪 – L2 或 L3 的暂存点。

需要 L2/L3 Ready 转换协议支持。

L2/L3 就绪是一种伪状态(对应于 LTSSM L2 状态),给定链路在准备从下游组件或两个连接组件移除电源和时钟时进入该状态。此过程在 PM 软件将设备转换为 D3 状态后启动,并随后调用电源管理软件来启动电源和时钟的移除。链路进入 L2/L3 就绪状态后,组件即可供电

35

移动。主电源被移除后,如果提供和使用 Vaux,链路将转换到 L2,或者如果没有提供或使用 Vaux,链路将转换到 L3。请注意,这些是链路的 PM 伪状态;在这些条件下,LTSSM 通常仅使用主电源运行,因此将在主电源移除时断电。

5 L2/L3 就绪状态进入转换过程必须在确认 PME_Turn_Off 消息(即注入 PME_TO_Ack TLP)后尽快开始。

下游组件通过发送 PM Enter L23 DLLP 来启动 L2/L3 就绪条目。

有关电源管理系统消息的更多详细信息,请参阅第5.6节。

对于处于 L2/L3 就绪状态的链路,TLP 和 DLLP 传输被禁用。

- 10 注意:从 L2/L3 Ready 退出回到 L0 将通过中间 LTSSM 状态。详细信息请参阅第 4 章。
 - L2 辅助供电链路,深度节能状态。
 - L2 支持是可选的,并且取决于 Vaux 的存在。

如果组件按照第5.5.1 节所述启用,则只能消耗 Vaux 功率。

15 在 L2 中,组件的主电源输入和参考时钟输入被关闭。

在 L2 中时,任何链路重新激活唤醒逻辑(Beacon 或 WAKE#)、PME 上下文和任何其他 "保持活动"逻辑均由 Vaux 供电。

- L2 中的链路禁用 TLP 和 DLLP 传输。
- L3 链路关闭状态。
- 20 当没有电源时,组件处于 L3 状态。

LDn - L0 之前的过渡链路断开伪状态。

该伪状态与 LTSSM 状态 "检测"、"轮询"和"配置"以及适用时的"禁用"、"环回"和"热重置"相关联。

请参阅第 4.2 节,了解有关进入和退出25 L0 和 L2/L3 Ready(从第 4 章的角度来看 L2.Idle)之间的每个 L 状态的更多详细信息。 L2 状态是一个抽象

PM 目的以辅助电源的存在为特征,不应被解释为暗示要求 LTSSM 保持活动状态。

电气部分规定了未通电时驱动器和接收器的电气特性。这是L3状态,但电气部分不涉及L3。

30图 5-1 突出显示了链接过程中可能发生的合法 L 状态转换 手术。

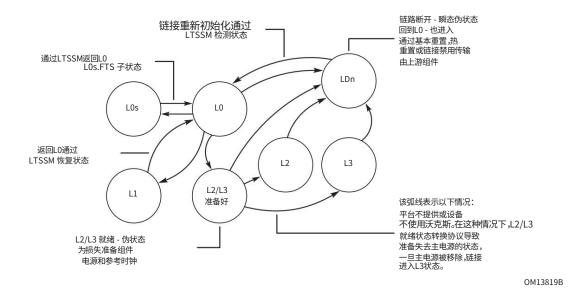


图 5-1:链路电源管理状态流程图

L1 和 L2/L3 Ready 进入协商在 L0 状态下进行。协商完成后才会进入L1和L2/L3 Ready状态。除非发生 LDn,否则链路电源管理将保持在 L0 状态,直至协商过程完成。请注意,这些状态和状态转换并不直接对应于物理层 LTSSM 的操作。例如,在图 5-1 中,L0 包含 LTSSM L0、恢复状态以及链接期间的配置状态。此外,LTSSM 通常由主电源(不是 Vaux)供电,因此 LTSSM 在 L2 或 L3 状态下都不会供电。

以下示例序列说明了导致进入系统睡眠状态的多步骤链路状态转换过程:

- 10
- 1. 系统软件将下游组件的所有功能定向到D3hot。
- 2. 然后,下游组件根据需要启动链路到 L1 的转换。
- 3. 然后系统软件使根联合体广播 PME_Turn_Off 消息 准备拆除主电源。
- 15 4. 该消息使主题链路转换回 L0,以便发送它并启用下游组件以 PME_TO_Ack 进行响应。
 - 5. 发送PME TO Ack后,下游组件启动L2/L3 Ready转换协议。

L0 → L1 → L0 → L2/L3 就绪

20如下例所示,也可以在不先将所有电源放置在

D3hot中的函数:

- 1. 系统软件使Root Complex广播PME_Turn_Off消息 准备拆除主电源。
- 2. 下游组件以 PME TO Ack 进行响应。

3. 发送PME_TO_Ack后,下游组件发起L2/L3 Ready转换协议。

L0 → L2/L3 就绪

L1条目协商(无论是通过 PCI-PM 还是 ASPM 机制调用)和 L2/L3 5 Ready 条目协商映射到状态机,该状态机对应于本章后面描述的操作。该状态机被重置为空闲状态。对于下游组件,状态机在离开空闲状态后采取的第一个操作是根据协商类型开始发送适当的条目 DLLP。如果协商被中断,例如由于恢复故障,两个组件中的状态机将重置回空闲状态。对于10 Upstream 组件,这始终意味着进入空闲状态,并等待接收条目 DLLP。

对于下游组件,这意味着进入空闲状态并继续发送条目DLLP以重新启动协商。

- 表 5-1 总结了每个 L 状态,描述了它们的使用时间,以及对应于每个 L 状态的平台和组件行为。
- 15 "是"条目表示需要支持(除非另有说明)。 "On"和 "Off"条目表示所需的时钟和功率传输。 "开/关"表示可选的设计选择。

表 5-1: PCI Express 链路电源管理状态汇总

	L-状态 描述	使用者 西南 导演 下午	使用者 ASPM	平台 参考 钟表	平台 主要的 力量	成分 内部锁相环	平台沃克斯
L0	完全活跃 关联	是 (D0) 是 (D0		在	在	在	开关
L0s	待机状态	不	是的 ^¹ (可选,D0)	在	在	在	开关
L1	更低的 待机功 耗	是的 (D1- _{D3热})	是的 (可选,D0)	开关 ⁶	在	开关 2	开关
L2/L3 就绪(伪 状态)	断电暂存点	是的 ³	不	开关 ⁶	在	开关	开关
L2	低功耗睡眠状 态(所有时钟, 主电源关闭)	是的 ⁴	不	离开	离开	离开	在 ⁵
L3	关闭(零功 率)	不适用	不适用	离开	离开	离开	离开
LDn (伪状态)	之前的过渡状态	是的	不适用	在	在	开关	开关

笔记:

^{1.} 在具有独立参考时钟输入的链路配置中,LO 退出延迟将最大连接到给定链路相对两端的组件(相对于公共分布式参考时钟)。

- 2. 对于在此状态期间内部关闭其 PLL 的组件,L1 退出延迟将最大。
- 3. L2/L3 就绪进入序列在 PME_Turn_Off/PME_TO_Ack 协议握手完成时启动。它不直接隶属于 D 州过渡或根据 ASPM 政策和程序进行的过渡。
- 4. 根据平台实现,系统的睡眠状态可能使用L2状态,

转换为完全关闭 (L3),否则可能会使链路处于 L2/L3 就绪状态。 L2/L3 就绪状态转换协议由下游组件在接收到 PME_Turn_Off TLP 消息并进行 TLP 确认后启动。虽然对 L2 睡眠状态配置的平台支持是可选的(取决于 Vaux 的可用性),但需要将链路转换为 L2/L3 就绪状态的组件协议支持。

10

15

- 5. L2 与 L3 状态的区别仅在于 Vaux 的存在和使用。在 L2/L3 就绪状态转换协议完成后且在主电源被移除之前,链路已指示其已准备好主电源移除。
- 6. 低功耗移动或手持设备可以通过 "时钟请求"(CLKREQ#) 机制对参考时钟进行时钟门控,从而降低功耗。因此,针对这些设备的组件应该能够容忍在低功耗状态退出期间重新激活参考时钟所需的额外延迟。

5.3. PCI-PM 软件兼容机制

5.3.1.功能的设备电源管理状态(D状态)

PCI Express 支持所有 PCI-PM 设备电源管理状态。所有函数必须支持 D0 和 D3 状态(D3hot和D3cold)。 D1 和 D2 状态是可选的。请参阅PCI

20总线电源管理接口规范,了解与 PCI-PM 兼容相关的更多详细信息

本规范中描述的功能。请注意,如果本规范定义的细节与PCI总线电源管理接口规范不同,则对于组件和链路层次结构,本规范优先。



实施说明

非 D0 状态下的交换机和根端口虚拟桥行为当与交换机/根端口("虚拟桥")关联的 1 类功能处于

非 D0 25电源状态时,它将模拟传统 PCI 的行为桥接处理内存、I/O 以及配置请求和完成。流向下游的所有内存和 I/O 请求均作为不支持的请求终止。所有类型 1 配置请求都作为不支持的请求终止,但类型 0 配置请求处理不受虚拟网桥 D 状态的影响。通过虚拟桥向任一方向流动的完成流是

30不受虚拟桥D状态的影响。

请注意,消息的处理不受虚拟网桥的 PM 状态的影响。

5.3.1.1. D0 状态

所有功能必须支持 D0 状态。 D0 分为两个不同的子状态,"未初始化"子状态和 "活动"子状态。当 组件退出常规重置或 FLR 时,它默认为D0 未初始化状态。处于此状态的组件将由层次结构枚举过程进行枚举和配置。完成后

5枚举和配置过程功能进入D0active状态,即PCI Express功能的完全运行状态。只要系统软件启用了功能的内存空间使能、I/O 空间使能或总线主控使能位中的任何一个或组合,该功能就会进入D0active状态。

5.3.1.2。 D1 状态

D1 支持是可选的。当处于 D1 状态时,功能不得在链路上发起任何请求 TLP,但第 5.3.3 节中定义的 PME 消息除外。配置和消息请求是处于 D1 状态的功能所接受的唯一 TLP。所有其他收到的请求必须作为不支持的请求进行处理,并且所有收到的完成可以选择作为意外完成进行处理。如果在 D1 中检测到由接收到的 TLP(例如,不支持的请求)引起的错误,并且启用了报告,则如果L0 中尚未包含15,则必须将链接返回到 L0,并且必须发送错误消息。如果在 D1 期间检测到由接收到的 TLP 以外的事件(例如完成超时)引起的错误,则当功能编程回 D0 状态时,必须发送错误消息。

请注意,功能的软件驱动程序参与功能从 D0 转换到 D1 的过程。它通过保存任何功能状态(如果需要)来帮助该过程,否则20准备功能以转换到 D1。作为此静止过程的一部分,功能的软件驱动程序必须确保在将控制权移交给系统配置软件之前终止任何中间事务 TLP(即具有未完成完成的请求),然后系统配置软件将完成到 D1 的转换。

5.3.1.3。 D2 状态

D2 支持是可选的。当处于 D2 状态时,功能不得在链路上发起任何请求 TLP,但第 5.3.3 节中定义的 PME 消息除外。配置和消息请求是处于 D2 状态的功能所接受的唯一 TLP。所有其他收到的请求必须作为不支持的请求进行处理,并且所有收到的完成可以选择作为意外完成进行处理。如果在 D2 中检测到由接收到的 TLP(例如,不支持的请求)引起的错误,并且启用了报告,则如果L0 中尚未包含30,则必须将链接返回到 L0,并且必须发送错误消息。如果在 D2 中检测到由接收到的 TLP 以外的事件(例如完成超时)引起的错误,则当功能编程回 D0 状态时,必须发送错误消息。

请注意,功能的软件驱动程序参与功能从 D0 转换到 D2 的过程。它通过保存任何功能状态(如果需要)来为该过程做出贡献,否则35准备功能以转换到 D2。作为此静止过程的一部分,功能的软件驱动程序必须确保任何中间事务 TLP(即具有未完成的请求)

完成),在将控制权交给系统配置软件之前终止,然后系统配置软件将完成到 D2 的转换。

5.3.1.4。 D3 状态

需要 D3 支持(D3cold和D3hot状态)。支持从 D3 生成 PME 的函数必须支持D3cold和D3hot状态。

如果设置了 PMCSR 中的 No_Soft_Reset 字段,则功能上下文需要由处于D3hot状态的功能来维护。在这种情况下,从D3hot转换到 D0 后,软件不需要重新初始化功能(功能将处于D0active状态)。如果
No_Soft_Reset 位清零,则处于D3hot状态的功能不需要维护功能上下文。因此,在这种情况下,软件需要在转换到 D0 后完全重新初始化该功能,因为该功能将处于D0 未初始化状态

状态。

如果链路状态已转换为 L2/L3 就绪状态,则无论 No Soft Reset 位的值如何,该功能都将被重置。



10

15

20

实施说明

转换到 L2/L3 就绪状态如第 5.2 节所述,平

台电源管理软件启动到 L2/L3 就绪状态的转换,以便开始从器件移除主电源和时钟的过程。因此,预计设备在其链路转换为 L2/L3 就绪后不久将转换为D3cold,从而使仅适用于D3hot 的No_Soft_Reset 位变得无关紧要。

虽然不能保证 L2/L3 Ready 和D3cold 之间存在这种相关性,但系统软件应确保仅当意图断开设备主电源时才进入 L2/L3 Ready 状态。设备功能,包括那些能够在D3hot中维护功能上下文的功能(即设置 No_Soft_Reset 位),在退出 L2/L3 就绪时需要重新初始化内部状态,如第 2.9.1 节所述。 DL_Down 状态指示。

在访问该功能之前,系统软件必须在D3hot → D0 转换之后留出至少 10 ms 的最小恢复时间。该恢复时间可以例如被25D3hot→D0转换组件用来在可访问之前引导其任何组件接口(例如,来自串行ROM)。尝试在恢复时间内定位该功能(包括配置请求数据包)将导致未定义的行为。

5.3.1.4.1。 D3热状态

配置和消息请求是处于D3hot状态的功能所接受的唯一TLP。所有其他接收到的请求必须被处理为不支持的请求,并且所有接收到的完成30可以可选地被处理为意外完成。如果在D3hot中检测到由接收到的TLP(例如,不支持的请求)引起的错误,并且启用了报告,则链接必须返回到L0(如果它尚未位于L0中),并且必须发送错误消息。如果错误是由

当处于 D3hot 时检测到除接收到的 TLP 之外的事件(例如,完成超时),当功能被编程回 D0 状态时,可以选择发送错误消息。一旦进入D3hot,该功能稍后可以转换为D3cold (通过断开其主机组件的电源)。

5请注意,功能的软件驱动程序参与功能从 D0 转换到 D3hot 的过程。它通过保存任何功能状态(否则会因移除主电源而丢失)以及为功能过渡到D3hot 做好准备来为该过程做出贡献。

作为此静止过程的一部分,功能的软件驱动程序必须确保在将控制权移交给系统配置软件之前终止任何未完成的事务 (即具有未完成完成的请求),然后系统配置软件将完成到 D3hot 的转换

请注意,D3hot也是一种有用的状态,可减少正在运行的系统中空闲组件的功耗。

D3hot中的功能可以通过软件(写入其 PMCSR PowerState 字段)转换为D0active状态或D0uninitialized状态。 请注意,该函数不需要在从D3hot转换到 D0 期间或之后立即生成内部硬件复位(请参阅 PMCSR 中 No_Soft_Reset 位的用法)。



10

15

20

25

实施说明

多功能设备的软重置问题

对于多功能设备 (MFD),影响整体设备行为的某些控制设置要么由所有功能中的集体设置决定,要么严格脱离功能 0中的设置。

以下是一些关键示例:

对于非 ARI MFD,设备控制寄存器和链接控制寄存器中的某些控制在所有功能的集体设置之外运行(请参见第7.8.4 节和第7.8.7 节)。

对于 ARI 设备,设备控制寄存器和链路控制寄存器中的某些控制严格按照功能 0 中的设置进行操作(请参见第 7.8.4 节和第 7.8.7 节)。

对于所有 MFD,设备控制 2 和链路控制 2 寄存器中的某些控制严格按照功能 0 中的设置进行操作(请参见第 7.8.16 节和第 7.8.19 节)。

对任何功能(尤其是功能 0)执行软重置可能会破坏 MFD 中其他活动功能的正常运行。由于某些操作系统在D3hot和 D0 之间转换给定功能,并期望其他功能不会受到影响,因此强烈建议使用电源管理状态/控制寄存器中的 No_Soft_Reset 位设置来实现 MFD 中的每个功能。这样,将给定功能从D3hot转换到 D0 就不会干扰其他活动功能的正常运行。

还强烈建议 MFD 中的每个端点功能都实施功能级别重置 (FLR)。 FLR 可用于重置单个端点功能,而不会影响可能影响其他功能的设置,特别是当这些功能处于活动状态时。由于FLR 具有35 种静默、错误恢复和清理重用属性,因此还建议使用 FLR

单功能端点设备。

5.3.1.4.2。 D3冷态

当主电源被移除时,功能将转换到D3cold状态。上电序列及其相关的冷复位将功能从D3cold状态转换为D0uninitialized状态。此时,软件必须执行功能的完整初始化,以便重新建立所有功能上下文,完成功能到其D0active状态的恢复。

5 支持D3cold唤醒功能的函数必须维护其 PME 上下文(在 PMCSR 中),以便在恢复过程中由 PME 服务例程软件进行检查。



实施说明

项目管理环境

PME 上下文的示例包括但不限于功能的 PME_Status 位、请求代理的请求者 ID、呼叫者 ID(如果调制解调器支持)、触发恢复事件的 IP 定向网络数据包的 IP 信息等。

10当系统软件对其 PCI-PM 兼容 PMCSR 的断言功能的 PME_Status 位执行 "写 1 清除"配置事务时,功能的 PME 断言得到确认。

必须使用辅助电源来支持功能内的 PME 事件检测、链路重新激活,并保留D3cold 内的 PME 上下文。请注意,一旦 I/O 层次结构由于链路重新激活而恢复到完全通信状态,唤醒代理就会将 PME 消息传播到层次结构的根,指示 PME 事件的源。有关 PME 的更多具体细节,请参阅第 5.3.3 节。

5.3.2.链路电源管理的 PM 软件控制 状态

链路的电源管理状态由其下游组件的 D 状态决定。

表 5-2 描述了组件 (带有上行端口)的电源状态与其上行链路之间的关系。

表 5-2:链路电源管理状态与组件之间的关系

下游 组件 D 状态	允许的上游 组件 D 状态	允许 互连状态
D0	D0	L0、L0s、 L1(1)、 L2/L3 就绪
D1	D0-D1	L1、L2/L3 就绪
D2	D0-D2	L1、L2/L3 就绪
	D0-D3热	L1、L2/L3 就绪
D3冷	D0-D3冷	L2(2)、L3

注意:

以下规则与 PCI-PM 兼容电源管理相关:

D0、D1、D2和D3hot中的设备必须通过传输PME_TO_Ack消息来响应PME_Turn_Off消息的接收。

在任何设备 D 状态下,执行 PME_Turn_Off/PME_TO_Ack 握手序列后,下游组件必须使用 PM_Enter_L23 DLLP 请求链路转换为 L2/L3 就绪。遵循 L2/L3 就绪进入转换协议,下游组件必须做好主电源和参考时钟丢失的准备。

单功能器件的上游端口必须仅根据其功能被编程为 D1、D2 或D3hot 来启动到 L1 的链路状态转换。对于交换机,系统软件负责确保交换机上行端口的任何 D 状态编程都以符合层次结构范围 PM 策略的方式完成(即,上行端口不能被编程为比最活跃的下游端口和下游连接的组件/功能更不活跃的 D 状态。

非 ARI 多功能设备的上行端口不得启动到 L1(代表 PCI-PM)的链路状态转换,直到其所有功能都被编程到非 D0 D-

状态。

ARI设备的上游端口不得启动到 L1(代表 PCI-PM)的链路状态转换,直到其至少一个功能已被编程为非 D0 状态,并且其所有功能都处于非 D0 状态或D0 未初始化状态。

25

5

10

15

^{1.} ASPM LO 和 ASPM L1 支持的要求因外形规格而异。

^{2.} 如果平台提供Vaux,则Link休眠在L2。在没有 Vaux 的情况下,L 状态为 L3。

5.3.2.1.进入L1状态

图 5-2 描述了链路转换为 L1 状态的过程,这是电源管理软件将下游连接组件编程为较低功耗 状态(D1、D2 或D3hot状态)的直接结果。该图和后续描述概述了被编程为5 个非 D0 状态的单功 能下游组件的转换过程。

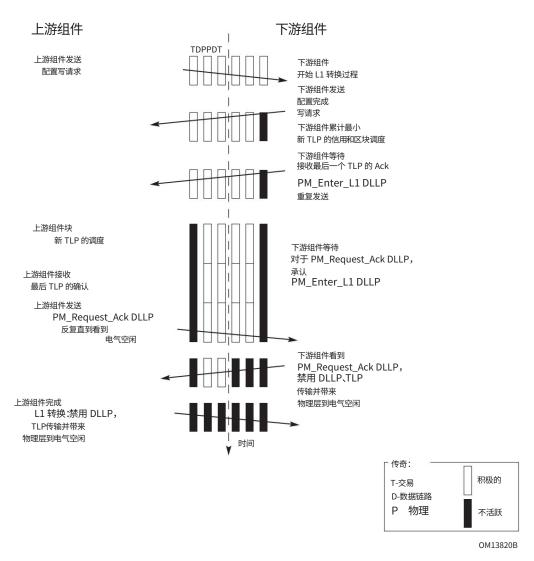


图 5-2:进入 L1 链路状态

5

10

15

20

25

以下文本提供了图 5-2 中所示的链路状态转换过程的更多详细信息。

PM 软件请求: 1. PM 软件

向下游功能的 PMCSR 发送配置写入请求 TLP,以更改下游功能的 D 状态(例如从 D0 更改为 D1)。

下游组件链路状态转换发起过程:

- 2、Downstream组件调度Configuration对应的Completion 将请求写入其 PMCSR PowerState 字段并说明所需的完成学分。
- 3. 然后,下游组件必须等待,直到它至少累积了发送任何 FC 类型的最大可能数据包所需的最小数量的信用(如果它还没有这样的信用)。然后,所有事务层 TLP 调度都将暂停。
- 4. 然后,下游组件等待,直到收到 PMCSR 写入完成的链路层确认以及之前发送的任何其他 TLP。如果数据链路层规则要求,组件必须从其数据链路层重试缓冲区中重新传输 TLP。
- 5. 一旦所有下游组件的 TLP 都被确认,下游组件

组件开始传输 PM_Enter_L1 DLLP。下游组件重复发送此 DLLP,且 PM_Enter_L1 DLLP的后续传输之间的空闲符号时间不超过 4 个(使用 8b/10b 编码时)或 16 个(使用 128b/130b 编码时)。在 PM_Enter_L1 传输之间的任何时间都允许传输其他 DLLP 和 SKP 有序集,并且不会影响此空闲时间限制。

下游组件继续如上所述传输 PM Enter L1 DLLP,直到它收到来自上游组件57的响应(PM Request Ack)。

下游组件必须继续从上游组件接受 TLP 和 DLLP,并根据需要继续用 DLLP 进行响应,包括 FC 更新 DLLP 和 Ack/Nak DLLP。任何被阻止传输的 TLP(包括对接收到的 TLP 的响应)必须被存储以供以后传输,并且必须使下游组件在 L1 进入之后尽快启动 L1 退出。

上游组件链路状态转换过程:

- 30 6. 收到 PM_Enter_L1 DLLP 后,Upstream 组件阻止所有调度TLP 传输。
 - 7. 然后,上游组件必须等待,直到收到之前发送的最后一个 TLP 的链路层确认。如果链路层规则要求,上游组件必须从其链路层重试缓冲区重新传输 TLP。
- 35 8. 一旦所有上游组件的 TLP 都被确认,上游组件 无论是否有任何未完成的请求,组件都必须向下游发送 PM_Request_Ack DLLP。上游组件重复发送此 DLLP,最多不超过 4 个(当

57如果此时下游组件需要在链路上发起传输,则它必须首先完成到 L1 的转换。一旦进入 L1,就可以启动退出 L1 来处理传输。

第426章

使用8b/10b编码时)或16个(使用128b/130b编码时)PM_Request_Ack DLLP的后续传输之间的空闲符号时间。允许在PM_Request_Ack传输之间的任何时间传输SKP有序集,并且不会影响此空闲时间限制。

上游组件继续如上所述传输 PM_Request_Ack DLLP,直到它观察到其接收通道进入电气空闲状态。有 关物理层行为的更多详细信息,请参阅第 4 章。

完成L1链路状态转换:

10

15

- 9. 一旦下游组件在其接收通道上捕获了 PM_Request_Ack DLLP(表示上游组件确认了向 L1 请求的转换),它就会禁用 DLLP 传输并使上游定向物理链路进入电气空闲状态。
 - 10. 当上游组件上的接收通道进入电气空闲状态时,
- 上游组件停止发送 PM_Request_Ack DLLP,禁用 DLLP 传输,并将其传输通道置于电气空闲状态,完成链路到 L1 的转换。

当两个组件的互连链路由于下游组件被编程为非 D0 状态而处于 L1 时,两个组件都会暂停其流控制更新和更新 FCP 定时器(如果已实现)的操作(请参阅第 2.6.1.2 节)反制机制。有关物理层行为的更多详细信息,请参阅第 4 章。

- 20如果与 L1 的协商中断,请参阅第 5.2 节。
 - L1 链路两端的组件可以选择禁用其内部 PLL,以节省更多能源。但请注意,平台提供的主电源和参考时钟必须继续提供给 L1 链路两端的组件。
 - 5.3.2.2.退出L1状态
 - L1 退出可由链路任一端的组件启动。
- 25从 L1 退出时,建议下游组件在 L1 退出后 1 μs 内开始为所有启用的 VC 和 FC 类型发送流量控制更新 DLLP。
 - 第 4 章详细描述了将链路从 L1 转换到 L0 的物理机制。

如果某个组件需要在链路上传输 TLP,则 L1 退出必须由该组件发起。

上游组件必须在下游端口上启动 L1 退出,即使它没有传输它需要传输的 TLP 所需的30 个流量控制信用。 L1 退出后,上游组件必须等待从下游组件接收所需的信用。

图 5-3 概述了一个示例序列,该序列将触发上游组件以启动链路到 L0 状态的转换。

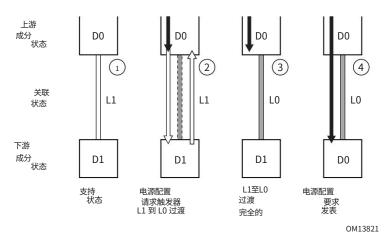


图 5-3:上游组件发起的 L1 链路状态退出

事件顺序:

- 1. 电源管理软件启动针对驻留在下游组件中的功能内的 PM 配置寄存器(本例中为 PMCSR 的 PowerState 字段)的配置周期(例如,使功能返回到 D0 状态)。
- 5 2. 上游组件检测到配置周期是针对以下链路的: 当前处于低功耗状态,因此,启动该链路到 L0 状态的转换。
 - 3. 按照第4章的定义,Link的两个方向都进入Link训练,导致Link过渡到L0状态。 L1 L0 转换将在第 4 章中详细讨论。
- 10 4. 一旦链路的两个方向都回到活动 L0 状态,上行端口将发送配置数据包下游。
 - 5.3.2.3。进入L2/L3就绪状态
 - 到 L2/L3 就绪状态的转换遵循与 L1 进入过程类似的过程。两者之间存在一些细微差别,如下所述。
 - L2/L3 就绪条目转换协议不会立即导致 L2 或 L3 链路状态。 到 L2/L3 就绪的转换实际上是一次握手,以建立下游组件准备断电的状态。当平台移除组件的电源和参考时钟时,最终实现 L2 或 L3。
- L2/L3 就绪条目转换的时间由 PME_Turn_Off/PME_TO_Ack 握手序列的完成指示。下游组件为做好断电准备所需采取的任何操作都必须在启动向 L2/L3 就绪状态的转换 之前完成。一旦电源和时钟丢失的所有准备工作完成,下游组件将通过向上游发送 PM_Enter_L23 DLLP 来启动 L2/L3 就绪条目。
 - L2/L3 Ready 条目转换协议使用 PM Enter L23 DLLP。
- 25 请注意,PM Enter L23 DLLP 会连续发送,直到收到确认或断电为止。

如果 L2/L3 Ready 的协商中断,请参阅第 5.2 节。

5.3.3.电源管理事件机制

5.3.3.1.动机

5

PCI Express PME 机制与PCI 总线电源管理接口规范定义的 PME 机制在软件上兼容。电源管理事件由功能生成,作为请求 PM 状态更改的一种方式。电源管理事件通常用于使系统或单个功能从低功耗状态恢复。

电源管理软件可以将层次结构转换为低功耗状态,并将这些设备的上游链路转换为非通信 L2 状态。58因此,PCI Express PME 生成机制分为两个组件:

唤醒非通信层次结构(唤醒)。仅当发起 PME 的设备的上游链路处于非通信 L2 状态时才需要此步骤,因为在该状态下设备无法向上游发送 PM_PME 消息。

发送 PM PME 消息到层次结构的根

源自 PCI Express 端点或 PCI Express 传统端点的 PME 指示以 TLP 消息的形式传播到根联合体。 PM_PME 消息标识层次结构内的15 个请求代理(通过 PME 消息标头的请求者 ID)。 PM_PME 消息中的显式标识旨在促进更快的 PME 服务例程响应,从而缩短恢复时间。

如果实现了根联合体事件收集器,则可以选择在与根联合体集成端点位于同一逻辑总线上的根联合体事件收集器中报告源自根联合体集成端点的 PME 指示。根联合体事件收集器必须显式声明支持的根联合体集成端点作为其功能的一部分;每个根联合体集成端点必须与不超过一个根联合体事件收集器关联。根复合体事件收集器明确识别请求代理的逻辑位置,以促进更快的 PME 服务例程响应。

源自根端口本身的25 个PME 指示通过同一根端口报告。

5.3.3.2.链路唤醒

链路唤醒机制提供了一种向平台发送信号以重新建立其域内组件的电源和参考时钟的方法。有两种定义的唤醒机制:Beacon和WAKE#。Beacon机制使用带内信令来实现唤醒功能,在4.3.5.7节中进行了描述。对于支持唤醒功能的组件,实现所针对的外形规格决定了唤醒机制的支持要求。针对Beacon的应用程序的开关组件

用于交换机的某些端口,而 WAKE# 用于其他端口,必须适当地转换唤醒机制(请参阅第 431 页标题为 "WAKE# 到信标转换的示例"的实施说明)。在 WAKE# 是唯一使用的唤醒机制的应用中,根联合体不需要支持信标的接收。

- 5 WAKE# 机制使用边带信令来实现唤醒功能。 WAKE# 是一个 "漏极开路"信号,由请求唤醒的组件发出并由相关电源控制器观察。 WAKE# 仅针对某些外形规格进行定义,WAKE# 的详细规范包含在相关外形规格规范中。特定的外形规格可能需要使用 Beacon 或 WAKE# 作为唤醒机制。
- 10当 WAKE# 用作唤醒机制时,一旦 WAKE# 被置位,置位功能必须继续将信号驱动为低电平,直到组件恢复主电源(如基本复位变为非活动状态所示)。

系统不需要以确保端点能够检测到该信号已被另一个功能断言的方式来路由或缓冲 WAKE#。

- 15在使用任何唤醒机制之前,必须通过软件设置 PMCSR 中功能的 PME_En 位来启用功能。 PME_Status 位是粘性的,如果辅助电源可用并且为唤醒事件启用,功能必须通过复位维持 PME_Status 位的值(此要求也适用于 PMCSR 中的 PME_En 位和 PMCSR 中的辅助电源 PM 使能位)设备控制寄存器)。
- 20 允许从D3cold状态生成 PME 的系统必须提供辅助电源,以在主系统电源轨关闭时支持链路唤醒。如果软件已启用组件(如第 5.5.1 节所述),则组件只能消耗辅助电源。需要软件来启用参与链路唤醒的所有组件中的辅助功耗,包括必须传播信标信号的所有组件。在存在遗留系统软件的情况下,这是系统固件的责任。

无论使用哪种唤醒机制,一旦链路被重新激活和训练,请求代理就会将 PM_PME 消息上游传播到根联合体。从电源管理的角度来看,两种唤醒机制提供相同的功能,本章其他地方不做区分。



5

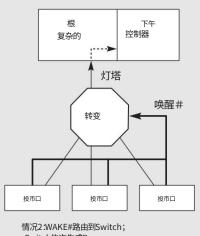
实施说明

WAKE# 到信标转换的示例针对连接"信标域"和"WAKE#域"的

应用程序的交换机组件必须适当地转换唤醒机制。图 5-4 显示了两个示例系统,每个系统都包含使用 WAKE# 唤醒机制的插槽。在情况 1 中,WAKE# 直接输入到电源管理控制器,不需要转换。在情况 2 中,WAKE# 是交换机的输入,并且响应于 WAKE# 被断言,交换机必须生成传播到根联合体/电源管理控制器的信标。

根 下午 控制器 转变 唤醒 #

情况 1:WAKE# 直接路由到系统 电源管理控制器



Switch依次生成Beacon

A-0334

图 5-4:显示 WAKE# 路由的两个示例情况的概念图

5.3.3.2.1。 PME同步

PCI Express-PM 引入了一种栅栏机制,用于启动断电序列,同时还协调平台电源管理控制器的行为以及 PCI Express 代理的 PME 处理。

10 PME Turn Off 广播消息

在关闭主要组件电源和参考时钟之前,根联合体或交换机下游端口必须发出广播消息,指示层次结构中该点下游的所有代理停止启动任何后续 PM_PME 消息,在收到 PME_Turn_Off 后立即生效信息。

15每个 PCI Express 代理都需要用 TLP "确认"消息进行响应,

PME_TO_Ack 始终路由到上游。在所有情况下,PME_TO_Ack 消息必须在 PME_Turn_Off 消息的起始点终止。59

⁵⁹ PME_Turn_Off 消息的起始点可以是给定根联合体(全平台睡眠状态转换)的所有根端口、单个根端口或交换机下游端口。

交换机只有在从其每个下游端口接收到 PME_TO_Ack 消息后才必须报告 "聚合"确认。一旦 PME_TO_Ack 消息到达每个下游端口,交换机必须在其上游端口发送 PME_TO_Ack 数据包。发生以下任何一种情况都必须重置聚合机制:从上游端口传输 PME_TO_Ack 消息、在上游端口接收到任何 TLP、断开交换机的主电源或基本重置。

5

所有具有上游端口的组件都必须接受并确认 PME_Turn_Off 消息,无论关联设备的 D 状态或其多功能设备的任何功能如何。

一旦组件发送了 PME_TO_Ack 消息,它就必须准备删除其通过启动到 L2/L3 就绪状态的转换来提供10 个电源和参考时钟。

当交换机的所有下游端口进入 L2/L3 就绪状态后,交换机必须将其上游链路转换为 L2/L3 就绪状态。

附加到 PME_Turn_Off 消息的发起者的链路是最后呈现 L2/L3 就绪状态的链路。此状态转换可作为功率传输管理器的指示60

E次结构的该部分内的所有链接已成功将所有正在运行的 PME 消息引退至 PME_Turn_Off 消息源点,并已执行任何必要的本地调节以准备断电。

为了避免在一个或多个设备不响应PME_TO_Ack消息然后将其链路置于L2/L3就绪状态的情况下出现死锁,电源管理器20必须在等待一定量的时间后实现超时,之后,就好像已收到消息并且所有链路都进入 L2/L3 就绪状态一样。该定时器的建议限制在 1 毫秒到 10 毫秒的范围内。

在观察到与 PME_Turn_Off 消息的起始点相对应的所有链路进入 L2/L3 就绪状态后,供电管理器必须 等待至少 100 ns,然后再移除25 个组件的参考时钟和主电源。此要求不适用于以下情况:

上述定时器触发器。

⁶⁰此上下文中的功率传输控制涉及对整个链路层次结构的控制,或对范围到单个链路和子层次结构的关联端点的链路子集的控制,支持独立管理的功率和时钟分配。



实施说明

交换机的 PME TO Ack 消息代理PME Turn Off/

PME_TO_Ack 握手的关键作用之一是确保在睡眠状态电源移除之前从 PCI Express 结构中清除所有正在运行的 PME 消息。这是肯定会发生的,因为 PME 消息和 PME_TO_Ack 消息都使用 VCO 内的发布请求队列,因此在根联合体接收到 PME_TO_Ack 之前,所有先前注入的 PME 消息将对5系统可见。一旦根联合体的所有下游端口接收到 PME_TO_Ack 消息,根联合体就可以向电源管理器发出信号,表明可以安全地移除电源,而不会丢失任何 PME 消息。

交换机创建分层扩展点,因此必须等待其所有连接的下游端口接收 PME_TO_Ack 消息,然后才能代表其已创建的下游子分层结构向上游发送 PME_TO_Ack 10消息。使用常见的记分板技术可以非常简单地实现这一点。例如,一旦 PME_Turn_Off 广播消息已在交换机的下游广播,交换机只需检查已接收到 PME_TO_Ack 的每个下游端口。一旦其最后一个活动下游端口收到 PME_TO_Ack,交换机将作为代表其整个子层次结构下游的代理向上游发送单个15 PME_TO_Ack 消息。请注意,一旦下游端口收到 PME_TO_Ack 消息并且交换机已对其到达进行评分,则该端口就可以自由地从其内部队列中丢弃数据包并释放相应的已发布请求队列 FC 积分。

5.3.3.3。 PM_PME 消息

25

PM_PME 消息被发布到事务层数据包 (TLP),通知 Power 20管理软件层次结构中的哪个代理请求 PM 状态更改。 PM_PME

与所有其他电源管理系统消息一样,消息必须使用通用流量类别 TC #0。

PM_PME 消息始终按根联合体的方向路由。要在其上游链路上发送 PM_PME 消息,设备必须将链路转换为L0 状态(如果链路尚未处于该状态)。除非另有说明,设备将在传输 PM_PME 消息后将链路保持在L0 状态。

5.3.3.3.1. PM_PME "背压"死锁避免

根复合体通常使用本地缓冲来实现,以临时存储有限数量的 PM_PME 消息,这些消息可能会同时通过层次结构传播。

给定根联合体中可存储的 PM_PME 消息数量有限,如果容量不足,则可以向上游定向发布队列应用反压30个消息。

超出此临时 PM PME 消息缓冲区。

5

10

15

根据以下示例场景,可能会发生死锁: 1. 传入的 PM_PME 消息将根联合体的临时存

储空间填满,而层次结构中仍有其他 PM_PME 消息向上游移动。

- 2.根联合体代表系统软件发出针对PME请求者的PMCSR之一的配置读取请求(例如,读取其PME_Status位)。
- 3. 根据生产者/消费者排序规则,需要相应的拆分完成数据包,以将所有先前发布的 PM_PME 消息推送到其前面,在本例中,这些消息是无处可去的 PM_PME 消息。
- 4、PME服务例程无法取得进展; PM_PME消息存储情况确实如此 没有改善。
- 5、发生死锁。

防止潜在的僵局需要根联合体始终能够在这些情况下取得进展。这必须通过接受发布队列流控制信用允许的任何 PM_PME 消息并丢弃任何创建溢出条件的 PM_PME 消息来完成。这种必需的行为可确保在这些情况下不会发生死锁;然而,PM_PME 消息将被丢弃并因此在此过程中丢失。

为了确保没有 PM_PME 消息永久丢失,所有能够生成 PM_PME 的代理必须实现 PME 服务超时机制,以确保在合理的时间内为其 PME 请求提供服务。

20 如果 100 毫秒(+ 50%/- 5%)后,请求代理的 PME_Status 位尚未清除,则 PME 服务超时机制到期,触发 PME 请求代理重新发送暂时丢失的 PM_PME 消息。如果此时链路处于非通信状态,则在重新发送 PM_PME 消息之前,代理必须按照定义重新激活链路

第5.3.3.2节。

5.3.3.4。项目管理专家规则

25 所有设备功能必须根据 PCI-PM 规范实现 PCI-PM 电源管理功能 (PMC) 寄存器和 PMCSR。这些寄存器采用符合 PCI-PM 的 PCI 功能列表格式。

·支持PME 的功能必须在其PMCSR 中实现PME_Status 位和底层功能行为。

·当功能启动链路唤醒或发出 PM_PME 消息时,它必须设置其 PME_Status 位。

交换机必须将任何下游端口上收到的 PM_PME 路由到其上游端口

接收到 PME_Turn_Off 消息后,设备必须阻止 PM_PME 消息的传输,并向上游传输 PME_TO_Ack 消息。在链路通过 LDn返回到 L0 状态后,允许组件发送 PM_PME 消息。

在链路或层次结构的一部分转变为非通信状态(即,不能发出PM_PME消息的状态)之前,必须向下游广播PME_Turn_Off消息。

第434章