数电EDA实验 4位二进制运算器

姓名：李肇阳；班级：软件41；学号：2014013432；实验日期：2015.12.2

# 一、概述

## 1. 实验目的

学习面向FPGA的简单数字系统的设计流程；

掌握EDA软件Quartus II的原理图输入方式；

熟悉实验装置——实验板，掌握板上外设的工作原理。

## 2. 实验内容

在可编程逻辑器件上实现一个运算器，可以进行4位无符号二进制数的加、减运算，以原理图的输入方式完成。

## 3. 工具、仪器和材料

电子设计自动化（EDA）软件Quartus II和运行之的通用计算机；

采用现场可编程门阵列（FGPA）芯片EP2C70F896C6N的DE2-70实验板。

# 二、设计思路和模块层次

## a) 1位全加器 1-bit-adder

用门电路实现。采用了**与或非**形式的逻辑函数式，使用了若干非门、与门、或非门。

## b) 4位全加器 4-bit-adder

用4个1位全加器顺次连接，构成的串行进位加法器。

## c) 4位加减运算器（二进制输出） 4-bit-adder-substractor-with-binary-outout

在4位全加器的基础上，增加一个输入端来控制进行加法运算还是减法运算。同时，由于按题设要求，运算结果可能取值－15到30，共46种，至少需要6个输出端，所以必须修改输出端，将原进位输出改造为结果的最高位和符号位两个输出端。

减法采用补码运算：先将被减数取反，并将1作为来自低位的进位，与减数一起送入4位全加器；所得结果如果为负数，再次取反并用另一4位全加器在末位加1转换为原码。其中，逐位取反的过程用到了若干异或门。

结果的最高位、符号位的生成，还用到了1位全加器和一些非门、与门。

输出的运算结果的形式为原码（5位）和符号（1位）。

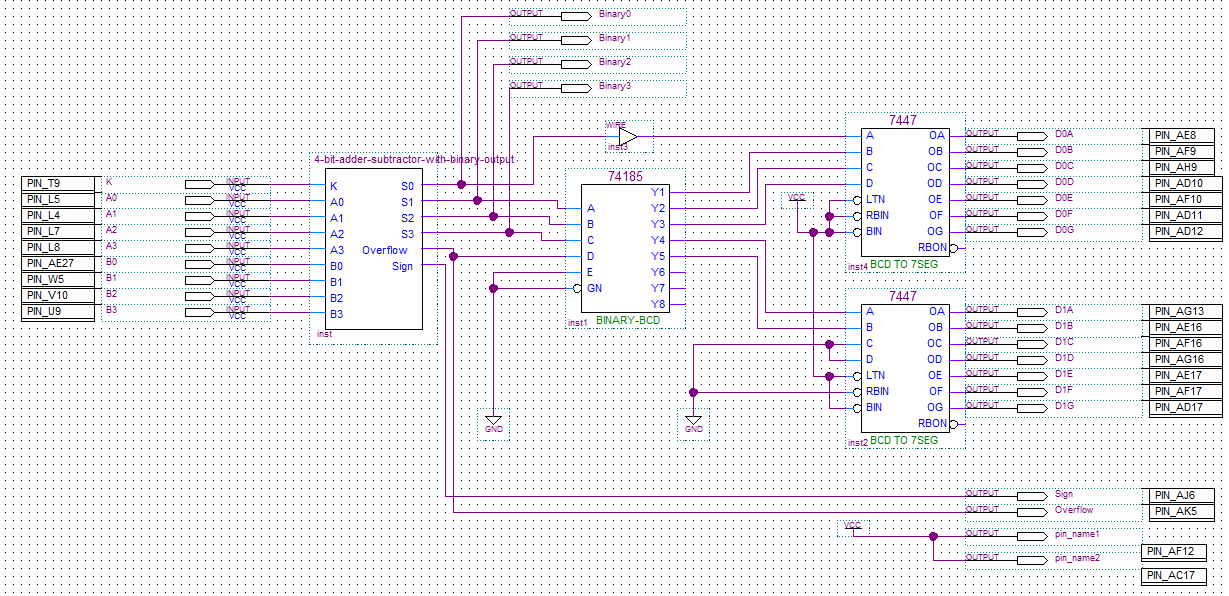
## d) 4位加减运算器（七段字符输出）4-bit-adder-substractor-with-7-seg-output

将二进制结果转换到易于阅读的形式。

把4位加减运算器（二进制输出）的输出的数值部分接到二进制-BCD代码转换器，得到十进制BCD代码；再将十进制个位、十位的BCD代码分别接到两个BCD-七段字符显示译码器上（其中高位还给出灭零输入），转为七段字符编码，进而接数码管。

符号位则直接接到LED灯。

# 三、顶层电路图

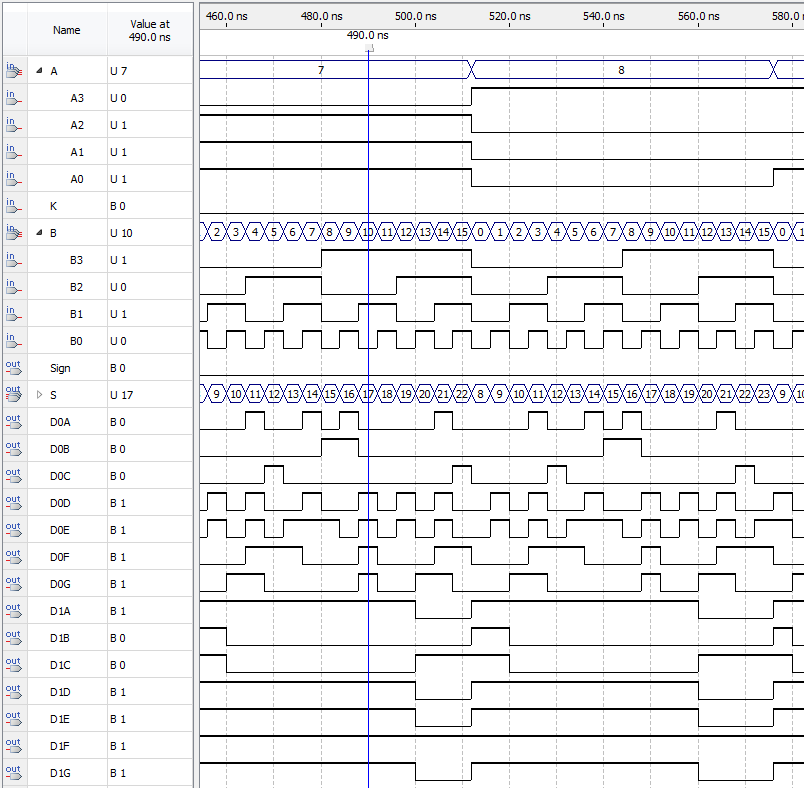


|  |  |  |
| --- | --- | --- |
| 图上端口名 | 含义 | 接到… |
| A0 – A3 | 输入，被操作数A，低位到高位 | 拨码开关 |
| B0 – B3 | 输入，操作数B，低位到高位 | 拨码开关 |
| K | 输入，功能选择，高电平为计算 | 拨码开关 |
| D0A – D0G | 输出，运算结果（十进制）个位的七段字符 | 共阳数码管 |
| D1A – D1G | 输出，运算结果（十进制）十位的七段字符 | 共阳数码管 |
| Sign | 输出，结果的正负号标记，高电平表示负 | 发光二极管 |
| Binary0 – 3, Overflow | 输出，运算结果（二进制）从低位到高位，仅供调试 | 无 |
| pin\_name1, 2 | 输出，恒为高电平，仅用于灭掉数码管的小数点 | 共阳数码管 |

|  |  |
| --- | --- |
| 图上模块 | 功能 |
| 4-bit-adder-abstractor-with-binary-output | 执行运算任务，给出二进制结果 |
| 74185 (BINARY TO BCD) | 将二进制结果转换为十进制各位的BCD代码 |
| 7447 (BCD TO 7-SEG) | 将BCD代码转换为七段字符，供数码管显示 |

# 四、顶层仿真波形图

由于输入情况众多（512种），难以在此完整展现，详请见4-bit-adder-subtractor.sim.vwf波形文件。以下是其中的一部分。



以光标处为例分析。输入 计算得到 ，符号。由于在仿真处采用了Grouping，可以直接读出十进制 。经显示译码得到的结果低位D0之A、B、C三段为低电平，共阳数码管上的对应笔画点亮，字形为数字“7”；结果高位D1之B、C两段为低电平，对应字形为“1”。这一结果符合预期。

# 五、遇到的问题和解决

1. 设计过程中发现，为实现题目要求的4位加减运算器，4位全加器是不够的，实际上需要的是5位甚至6位全加器（由于最大绝对值（30）已达到5位，如完全采用补码运算，则需要使用6位的补码，于是需要6位加法器）。为此，在设计4位加减运算器时，果断使用了新的1位全加器。

2. 完成引脚锁定、下载时发现总是报错，说有一个引脚（DE2-70之拨码开关7，PIN\_AD25）有multiple assignment。经仔细检查，未发现引脚锁定有误。故怀疑该引脚已经被预先定义了别的用途，不可使用。于是改用了另一组拨码开关。

后经同学提示（据网上的博客文章），这一引脚属于Dual-Purpose Pins，其功能可在Device and Pin Options里进行调整。设置为Use as regular I/O即可解决问题。

3. 下载到板子上进行测试时发现，有时数码管上不能得到预期结果。考虑到我的4位加减运算器（二进制输出）在封装前已经仿真无误，故怀疑是代码转换器或显示译码器的接法有误。为此重新阅读了7447和74185的真值表，检查原理图，果然发现了连接错误，改正后再次编译、下载就正确了。

# 六、总结和讨论

通过本实验，我对EDA的一般方法和步骤有了了解。数字电路设计过程中，将具有一定逻辑功能的电路封装成模块，就好比程序设计过程中，将具有一定功能的数据和代码封装成函数和类。经过实验，我对“模块”一词有了更深的理解。

（完）