Universidad Tecnológica Nacional Facultad Regional Buenos Aires Departamento de Ingeniería Electrónica

Técnicas Digitales III 28 de Febrero de 2012 Examen Final

Apellido y Nombres	Legajo	Calificación

1) Escriba el código de un servidor concurrente que espere (a) pedidos de conexión por el port TCP 7887 en las ip 10.0.0.1 y 10.0.0.2 (eth0 y eth1 respectivamente), (b) comandos por el named pipe /tmp/td3/srv-inpipe.

El server debe: (a) inicializar una shared memory *shm1* de 16 Kbytes para armar una base de datos de Información de gestión, (b) Crear una shared memory *shm2* de 4 Kbytes para almacenar las ip válidas de la red, (c) crear un child process por cada pedido de conexión.

Cada child debe: (a) Esperar datos por el port 7887 de la interfaz respectiva, (b) una vez recibidos validar la ip con la lista almacenada en shm2, y solo si está en esta lista retransmitirlo por el mismo port de la otra interfaz. La dirección IP remota está dada por los cuatro primeros bytes de la información recibida por la nueva conexión. (c) almacenar en shm1 interfaz (eth0 o eth1), cantidad de bytes de la transacción, y terminar con carácter fin de líne (\n).

Cada vez que el server reciba el comando "status" (string ASCII) por /tmp/td3/srv-inpipe, debe computar los datos de la shm1, e informar la cantidad de bytes transmitidos por cada interfaz, por /tmp/td3/srv-outpipe.

2) Escriba todas las entradas de las estructuras que se requieran para construir el siguiente esquema de paginación, suponiendo que todas las entradas no mencionadas son nulas.

Rango virtual	Rango físico
0x40000000 a 0x40005FFF	0x5CA0A000 a 0x5CA0FFFF
0xA0000000 a 0xA0003FFF	0x000A9000 a 0x000ACFFF

Todos los rangos incluyen el último valor. Se deben setear los permisos como supervisor.

3) Se tiene un sistema con dos chips Intel Core i5. El procesador 0 del primer chip y el procesador 1 del segundo chip contienen en sus caches L1 y L2 la misma copia de la variable *i*.

El proceso que ejecuta en el procesador 0 del primer Core i5 ejecuta la sentencia i++;

Describa la secuencia de transacciones de bus que se ponen en marcha por parte de los controladores cache, y los recursos y buses utilizados a partir de este evento.

NOTA: Asumir protocolo MESI