## **Universidad Tecnológica Nacional Facultad Regional Buenos Aires** Departamento de Ingeniería Electrónica Examen Final

**Técnicas Digitales III** 6 de Agosto de 2010

Apellido y Nombres	Legajo	Calificación

## Teórico (45 minutos máx.)

- 1. Un procesador genera la siguiente dirección lineal: 0x8Bc170FC. Por los pines de Address sale el número 0x324E70FC. Se pide:
  - a) Calcular el contenido del descriptor de la página de 4 K de memoria física.
  - b) Calcular el número de ese descriptor dentro de tabla de páginas.
  - c) Calcular el número de descriptor de la página de memoria física que contiene la Tabla de Página en donde está el descriptor de la página de 4K direccionada.
- 2. En un kernel multitarea se ha definido el segmento de código del kernel como Kcode sel. Se tiene una rutina para atender una interrupción. La misma comienza en la etiqueta ISR definida dentro de la sección de código del kernel. Escriba:
  - a) El descriptor correspondiente con todos sus atributos para que esta rutina sea tratada como una interrupción proveniente de un dispositivo de hardware
  - b) El descriptor correspondiente con todos sus atributos para que esta rutina sea tratada como una excepción.
  - c) El descriptor correspondiente para que esta rutina sea invocada vía INT de software desde las tareas en modo usuario para acceder a los servicios del kernel.
  - d) Graficar para cada caso el contenido de la pila, si la instrucción involucrada en la interrupción está en el offset 0x87EE0, y la siguiente en 0x87EE9
- 3. Mencione todas las formas/mecanismos disponibles en un procesador IA-32 para que **el código de una tarea** eleve su nivel de privilegio
- 4. ¿Cuál es la diferencia entre un acceso a un operando Doble Cuádruple Word "alineado" en memoria respecto de uno "no alineado"? ¿Hay alguna diferencia de performance?. ¿El acceso se hace con la misma instrucción o con instrucciones diferentes? Justifique.
- 5. Explique las ventajas y desventajas de que un procesador implemente un pipeline de ejecución. ¿Cómo se puede optimizar el rendimiento del mismo?. ¿Cual es el efecto de un "caché miss" en un pipeline de ejecución?



## **Universidad Tecnológica Nacional Facultad Regional Buenos Aires** Departamento de Ingeniería Electrónica Examen Final

Técnicas Digitales III 6 de Agosto de 2010

Apellido y Nombres	Legajo	Calificación

## Ejercicio 2 (75 Minutos max.)

Escriba el código de un servidor concurrente que espere conexiones por el port TCP 9876, comandos por un named fifo ubicado en /home/pipes/command tube.

El server debe limitar por default (en el arrangue) la cantidad de childs activos a 20. Luego dependerá de lo que reciba por el Named FIFO.

Por el named fifo llega un string que puede ser: GET\_STATUS, o SET\_NCHILDS. En el primer caso el servidor debe responder con el ASCII de la cantidad de procesos child activos en ese momento. El segundo comando está seguido por un espacio y dos bytes con el ASCII de la cantidad de childs máximo que puede aceptar. A partir de ese momento el server debe modificar el valor default. Si la cantidad de childs seteada es menor deberá esperar a que terminen por si solos los excedentes.

Por cada conexión creará un proceso hijo que espere comandos por el mismo port. El comando es el nombre de un archivo. El child lo busca en /var/log/tdiii/. Lo transmite completo y finaliza su ejecución