

## 제21장 IIS-버스 인터페이스

### 개요

현재, 콤팩트 디스크, 디지털 오디오 테이프, 디지털 사운드 프로세서, 디지털 TV 사운드 등과 같은 많은 디지털 오디오 시스템이 시장에 나오고 있다. S3C2410X의 인터-IC 사운드(IIS) 버스 인터페이스는 미니 디스크와 휴대용 기기 용으로 외부 8/16비트 스테레오 오디오 코덱 IC에 코덱 인터페이스를 적용하는데 사용된다. IIS 버스 인터페이스는 IIS 버스 데이터 포맷과 MSB 데이터 포맷을 지원한다. 인터페이스는 인터럽트 대신에 FIFO 액세스 용으로 DMA 전송 모드를 제공한다. 번갈아 가면서 데이터를 송/수신 할 수도 있고 동시에 데이터를 송/수신 할 수도 있다.

### 블록 다이어그램

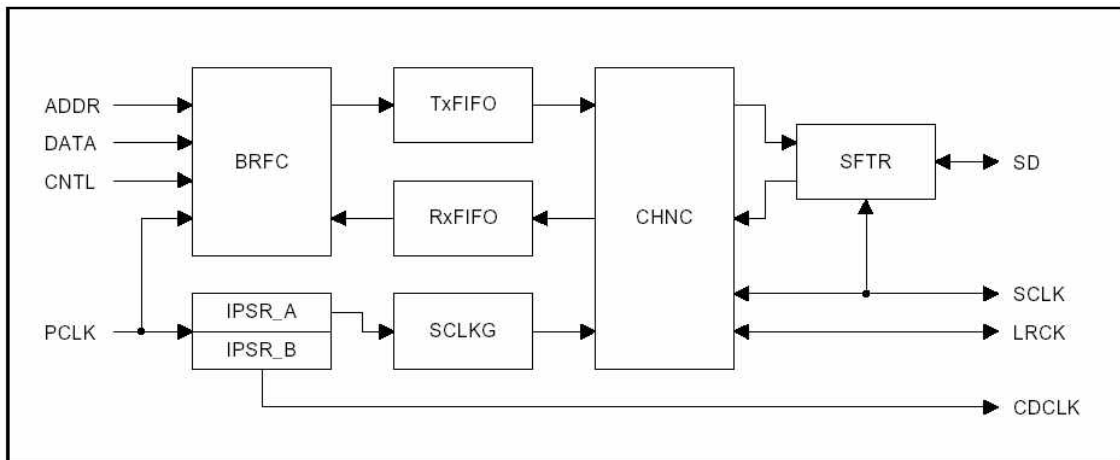


그림 21-1. IIS-버스 블록 다이어그램

### 기능에 대한 설명

버스 인터페이스, 레지스터 뱅크, 상태 머신(BRFC): 버스 인터페이스 로직과 FIFO 액세스는 상태 머신에 의해서 컨트롤 된다.

5비트 듀얼 프리스케일러(IPSER): 1개의 프리스케일러는 IIS 버스 인터페이스의 마스터 클럭 발생기로 사용되며, 다른 1개는 외부 코덱 클럭 발생기로 사용된다.

64-바이트의 FIFO(TxFIFO와 RxFIFO): 데이터 전송시에, 데이터는 TxFIFO에 기록되며, 데이터 수신 시에는 RxFIFO에서 데이터를 읽는다.

마스터 IISCLK 발생기(SCLKG): 마스터 모드에서, 시리얼 비트 클럭은 마스터 클럭에서 발생된다.

채널 발생기와 상태 머신(CHINC): IISCLK와 IISLRCK는 채널 상태 머신에 의해서 발생되고 컨트롤 된다.

16비트 쉬프트 레지스터(SFTR): 전송 모드에서 병렬 데이터가 시리얼 데이터 출력으로 쉬프트되며, 수신 모드에서는 시리얼 데이터 입력이 병렬 데이터로 쉬프트 된다.

### 송/수신 용 모드

## Normal 전송

IIS 컨트롤 레지스터가 송/수신 FIFO 용으로 FIFO ready 플래그 비트를 가진다. FIFO가 데이터 전송 준비를 하면, 전송 FIFO가 비어있지 않을 경우에는 FIFO ready 플래그는 1로 설정된다.

전송 FIFO가 비어있으면, FIFO ready 플래그는 0으로 설정된다. 수신 FIFO가 가득차지 않을 경우에 수신 FIFO의 FIFO ready 플래그는 1로 설정된다; FIFO가 데이터를 수신 할 준비가 되었음을 나타낸다. 수신 FIFO가 가득 차 있으면, FIFO ready 플래그는 0으로 설정된다. 이 플래그는 CPU가 FIFO를 읽거나 기록할 시간을 결정한다. CPU가 이러한 방식으로 송/수신 FIFO에 접근하는 동안에 시리얼 데이터가 송/수신 될 수 있다.

## DMA 전송

이 모드에서, 송/수신 FIFO는 DMA 컨트롤러에 의해서 액세스 된다. 송/수신 모드의 DMA 서비스 요청은 FIFO ready 플래그에 의해서 자동적으로 이루어 진다.

## 송/수신 모드

이 모드에서, IIS 버스 인터페이스는 데이터를 동시에 송/수신 할 수 있다.

## 오디오 시리얼 인터페이스 포맷

### IIS-버스 포맷

IIS 버스는 시리얼 데이터 입력(IISDI), 시리얼 데이터 출력(IISDO), 왼쪽/오른쪽 채널 선택(IISLRCK), 시리얼 비트 클럭(IISCLK) 4개의 라인을 가진다; IISLRCK와 IISCLK를 만들어 내는 디바이스가 마스터 이다.

시리얼 데이터는 먼저 MSB에 2의 보수를 전송한다. 송/수신기의 워드 길이가 다르기 때문에 MSB가 먼저 전송된다. 송신기는 수신기가 얼마나 많은 비트를 핸들링 할 수 있는지에 대해서 알 필요도 없고, 수신기도 얼마나 많은 비트가 전송되는지에 대해서 알 필요도 없다.

시스템의 워드 길이가 송신기의 워드 길이보다 훨씬 크면, 데이터 전송 시에 워드가 잘린다.(LSB는 0으로 설정된다.) 수신기가 워드 길이보다 더 많은 비트를 얻게 되면, LSB 이후의 비트는 무시된다. 반면에, 수신기가 워드 길이보다 적은 비트를 얻게 되면, 내부에 오류 비트가 0으로 설정된다. MSB의 위치는 고정된 반면에, LSB의 위치는 워드의 길이에 따라서 달라진다. 송신기는 IISLRCK가 변경될 때마다 1개의 클럭 주기 동안에 다음 워드의 MSB를 송신한다.

송신기에 의해서 보내진 시리얼 데이터는 클럭 신호의 trailing(High에서 Low)이나 leading(Low에서 High) 에지와 동기화 된다. 어쨌든, 시리얼 데이터는 시리얼 클럭 신호의 leading 에지 상의 수신기로 래치 되어야 하고, leading 에지와 동기화 되는 데이터를 송신할 때 몇 가지의 제한이 있다.

LR 채널 선택 라인은 송신될 채널을 가리킨다. IISLRCK는 시리얼 클럭의 trailing 에지나 leading 에지에서 변경될 수도 있지만, 대칭일 필요는 없다. 슬레이브에서, 이 신호는 클럭 신호의 leading 에지에서 래치된다. IISLRCK 라인은 MSB가 전송되기 전에 1개의 클럭 주기를 변경한다. 이렇게 함으로써, 슬레이브 송신기는 송신 용으로 셋팅 된 시리얼 데이터의 타이

밍을 동기화 한다. 더욱이, 이전의 워드를 저장하고 다음의 워드에 대한 입력을 클리어 하도록 수신기를 인에이블 한다.

### MSB(왼쪽) Justified

MSB / left justified 버스 포맷은 IIS 버스 포맷과 구조적으로 같다. 단지, MSB justified 포맷이 IISLRCK가 변경될 때마다 송신기는 다음 워드의 MSB를 항상 보낸다는 점에서 IIS 버스 포맷과 다르다.

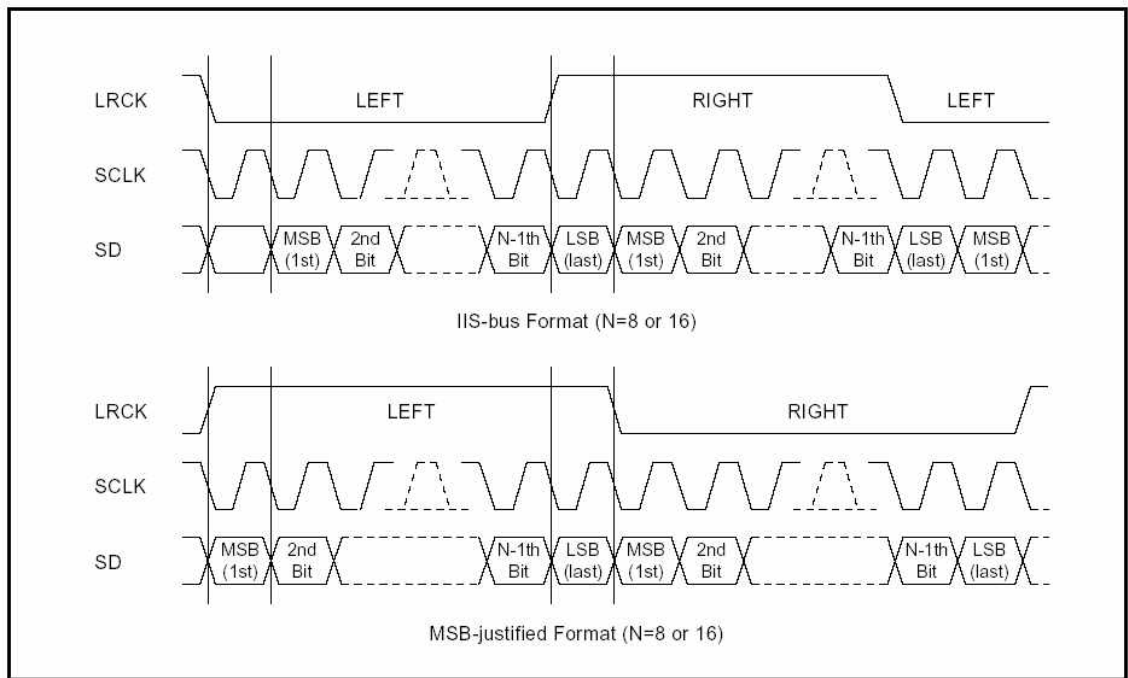


그림 21-2. IIS-버스와 MSB(Left)-justified 데이터 인터페이스 포맷

### 샘플링 주파수와 마스터 클럭

마스터 클럭 주파수(PCLK)는 표 21-1에 보여진 바와 같이 샘플링 주파수에 의한 선택이 가능하다. PCLK가 IIS 프리스케일러에 의해서 만들어지기 때문에, 프리스케일러 값과 PCLK 형태(256 혹은 384fs)는 적절하게 결정되어야 한다. 시리얼 비트 클럭 주파수 형태(16/32/48fs)는 표 21-2의 시리얼 비트/채널과 PCLK에 의해서 선택될 수 있다.

표 21-1. 코덱 클럭(CODECLK=256 혹은 384fs)

IISLRCK (fs)	8.000 kHz	11.025 kHz	16.000 kHz	22.050 kHz	32.000 kHz	44.100 kHz	48.000 kHz	64.000 kHz	88.200 kHz	96.000 kHz
CODECLK (MHz)	256fs									
	2.0480	2.8224	4.0960	5.6448	8.1920	11.2896	12.2880	16.3840	22.5792	24.5760
	384fs									
	3.0720	4.2336	6.1440	8.4672	12.2880	16.9344	18.4320	24.5760	33.8688	36.8640

표 21-2. 사용 가능한 시리얼 비트 클럭 주파수(IISCLK=16 혹은 32 혹은 48fs)

Serial bit per channel	8-bit	16-bit
Serial clock frequency (IISCLK)		
@CODECLK = 256fs	16fs, 32fs	32fs
@CODECLK = 384fs	16fs, 32fs, 48fs	32fs, 48fs

## IIS-버스 인터페이스 특별 레지스터

### IIS 컨트롤(IISCON) 레지스터

Register	Address	R/W	Description	Reset Value
IISCON	0x55000000 (Li/HW, Li/W, Bi/W) 0x55000002 (Bi/HW)	R/W	IIS control register	0x100

IISCON	Bit	Description	Initial State
Left/Right channel index (Read only)	[8]	0 = Left 1 = Right	1
Transmit FIFO ready flag (Read only)	[7]	0 = empty 1 = not empty	0
Receive FIFO ready flag (Read only)	[6]	0 = full 1 = not full	0
Transmit DMA service request	[5]	0 = Disable 1 = Enable	0
Receive DMA service request	[4]	0 = Disable 1 = Enable	0
Transmit channel idle command	[3]	In Idle state the IISLRCK is inactive (Pause Tx). 0 = Not idle 1 = Idle	0
Receive channel idle command	[2]	In Idle state the IISLRCK is inactive (Pause Rx). 0 = Not idle 1 = Idle	0
IIS prescaler	[1]	0 = Disable 1 = Enable	0
IIS interface	[0]	0 = Disable (stop) 1 = Enable (start)	0

#### 주의할 점:

1. IISCON 레지스터는 STRB/SRTH/SRT와 LDRB/LDRH/LDR 명령어나 리틀/빅 엔디안 모드에서 char/short int/int 형태의 포인터를 사용해서 각 바이트, halfword, 워드 유닛으로 액세스가 가능하다.
2. (Li/HW/W) : 리틀/HalfWord/Word  
(Bi/HW/W) : 빅/HalfWord/Word

### IIS 모드 레지스터(IISMOD) 레지스터

Register	Address	R/W	Description	Reset Value
IISMOD	0x55000004 (Li/W, Li/HW, Bi/W) 0x55000006 (Bi/HW)	R/W	IIS mode register	0x0

IISMOD	Bit	Description	Initial State
Master/slave mode select	[8]	0 = Master mode (IISLRCK and IISCLK are output mode). 1 = Slave mode (IISLRCK and IISCLK are input mode).	0
Transmit/receive mode select	[7:6]	00 = No transfer 01 = Receive mode 10 = Transmit mode 11 = Transmit and receive mode	00
Active level of left/right channel	[5]	0 = Low for left channel (High for right channel) 1 = High for left channel (Low for right channel)	0
Serial interface format	[4]	0 = IIS compatible format 1 = MSB (Left)-justified format	0
Serial data bit per channel	[3]	0 = 8-bit 1 = 16-bit	0
Master clock frequency select	[2]	0 = 256fs 1 = 384fs (fs: sampling frequency)	0
Serial bit clock frequency select	[1:0]	00 = 16fs 01 = 32fs 10 = 48fs 11 = N/A	00

주의할 점 :

1. IISMOD 레지스터는 리틀/빅 엔디안 모드의 STRH/STR과 LDRH/LDR 명령어나 short int/int type 포인터를 이용해서 각 halfword와 wordunit에 대한 액세스를 한다.
2. (Li/HW/W) : 리틀/HalfWord/Word  
(Bi/HW/W) : 빅/HalfWord/Word

## IIS 프리스케일러(IISPSR) 레지스터

Register	Address	R/W	Description	Reset Value
IISPSR	0x55000008 (Li/HW, Li/W, Bi/W) 0x5500000A (Bi/HW)	R/W	IIS prescaler register	0x0

IISPSR	Bit	Description	Initial State
Prescaler control A	[9:5]	Data value: 0 ~ 31 Note: Prescaler A makes the master clock that is used the internal block and division factor is N+1.	00000
Prescaler control B	[4:0]	Data value: 0 ~ 31 Note: Prescaler B makes the master clock that is used the external block and division factor is N+1.	00000

주의할 점 :

1. IISPSR 레지스터는 리틀/빅 엔디안 모드의 STRB/STR과 LDRB/LDRH/LDR 명령어나 char/short int/int type 포인터를 이용해서 각 byte, halfword와 wordunit에 대한 액세스를 한다.
2. (Li/HW/W) : 리틀/HalfWord/Word  
(Bi/HW/W) : 빅/HalfWord/Word

## IIS FIFO 컨트롤(IISFCON) 레지스터

Register	Address	R/W	Description	Reset Value
IISFCON	0x5500000C (Li/HW, Li/W, Bi/W) 0x5500000E (Bi/HW)	R/W	IIS FIFO interface register	0x0

IISFCON	Bit	Description	Initial State
Transmit FIFO access mode select	[15]	0 = Normal 1 = DMA	0
Receive FIFO access mode select	[14]	0 = Normal 1 = DMA	0
Transmit FIFO	[13]	0 = Disable 1 = Enable	0
Receive FIFO	[12]	0 = Disable 1 = Enable	0
Transmit FIFO data count (Read only)	[11:6]	Data count value = 0 ~ 32	000000
Receive FIFO data count (Read only)	[5:0]	Data count value = 0 ~ 32	000000

### 주의할 점 :

1. IISFCON 레지스터는 리틀/빅 엔디안 모드의 STRH/STR과 LDRH/LDR 명령어나 short int/int type 포인터를 이용해서 각 halfword와 wordunit에 대한 액세스를 한다.

2. (Li/HW/W) : 리틀/HalfWord/Word

(Bi/HW/W) : 빅/HalfWord/Word

## IIS FIFO(IISFIFO) 레지스터

IIS 버스 인터페이스는 송/수신 모드에 대해서 2개의 64바이트 FIFO를 포함한다. 각 FIFO는 유효한 데이터 크기에 상관없이 각 halfword unit에 대한 데이터를 핸들링 하기 위해서 FIFO를 허가하는 16-width와 32-depth를 갖는다. 송/수신 FIFO 액세스가 FIFO 엔트리를 통해서 수행된다; FENTRY의 어드레스는 0x55000010이다.

Register	Address	R/W	Description	Reset Value
IISFIFO	0x55000010(Li/HW) 0x55000012(Bi/HW)	R/W	IIS FIFO register	0x0

IISFIF	Bit	Description	Initial State
FENTRY	[15:0]	Transmit/Receive data for IIS	0x0

### 주의할 점 :

1. IISFIFO 레지스터는 리틀/빅 엔디안 모드의 STRH와 LDRH 명령어나 short int type 포인터를 이용해서 각 halfword와 word unit에 대한 액세스를 한다.

2. (Li/HW/W) : 리틀/HalfWord/Word

(Bi/HW/W) : 빅/HalfWord/Word