

제20장 IIC-BUS 인터페이스

개요

S3C2410X RISC 마이크로프로세서는 멀티-마스터 IIC-Bus 시리얼 인터페이스를 지원 한다. 시리얼 데이터 라인(SDA)와 시리얼 클럭 라인(SCL)은 IIC Bus에 연결된 버스 마스터와 주변장치 사이에 데이터를 전달한다. SDA와 SCL은 양방향 기능을 가지고 있다.

멀티-마스터 IIC-Bus 모드에서, 여러 개의 S3C2410X RISC 마이크로프로세서는 슬레이브 디바이스와 시리얼 데이터를 주고 받을 수 있다. 마스터 S3C2410X는 IIC-bus에 대한 데이터 전송을 초기화하거나 마칠 수 있다. S3C2410X의 IIC-BUS는 표준 버스 중재 프로시저(Standard bus arbitration procedure)를 사용한다.

멀티-마스터 IIC-Bus 기능을 제어하려면, 아래의 레지스터에 적당한 값을 써 넣어야한다.

- 멀티-마스터 IIC-bus 컨트롤 레지스터 ,IICCON
- 멀티-마스터 IIC-bus 컨트롤/상태 레지스터 , IICSTAT
- 멀티-마스터 IIC-bus Tx/Rx 데이터 쉬프트 레지스터, IICDS
- 멀티-마스터 IIC-bus 어드레스 레지스터, IICADD

IIC-bus가 사용되지 않을 때는, SDA와 SCL라인은 모두 High 레벨로 되어야 한다. SDA가 High 레벨에서 Low 레벨로 변하면 시작 상태로 된다. SCL이 High 레벨인 동안에 SDA가 Low에서 High 레벨로 변하게 되면 정지 상태를 초기화 할 수 있다.

시작 상태와 정지상태는 항상 마스터 디바이스에 의해서 발생된다. 시작 상태가 시작된 후에 버스에 놓인 첫 번째의 바이트 데이터 중 7비트의 주소 값은 버스 마스터 디바이스가 선택한 슬레이브 디바이스를 나타낸다. 8번째 비트는 전송 방향(읽기 혹은 쓰기)을 결정하게 된다.

SDA 라인 상의 모든 데이터 바이트는 8비트로 구성되어야 한다. 이러한 바이트 설정은 버스가 전송 동작 중일 때에 무제한 송/수신이 가능하다. 데이터는 항상 MSB가 먼저 보내지고 나서, 모든 바이트가 ACK 비트에 의해서 바로 보내진다.

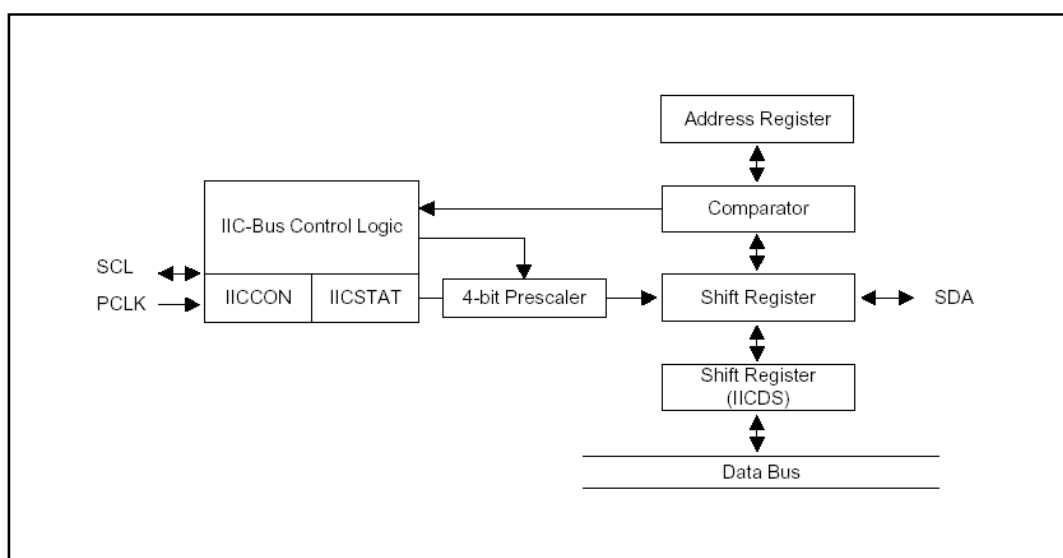


그림 20-1. IIC-Bus 블록 다이어그램

IIC-Bus 인터페이스

S3C2410X IIC-bus 인터페이스는 아래와 같이 4가지 동작 모드를 갖는다:

- 마스터 전송 모드
- 마스터 수신 모드
- 슬레이브 전송 모드
- 슬레이브 수신 모드

위 모드 간의 동작 관계는 아래에서 설명된다.

시작 상태와 정지 상태

IIC-bus 인터페이스가 비활성일 때에는, 대개 슬레이브 모드이다. 즉, 인터페이스는 SDA 라인의 시작 상태(시작 상태는 SCL 라인의 클럭 신호가 High인 동안에 SDA 라인의 신호가 High에서 Low로 전환될 때 초기화 될 수 있다.)를 감지하기 전까지는 슬레이브 모드이어야 한다. 인터페이스 상태가 마스터 모드로 전환되면, SDA 라인 상의 데이터 전송이 초기화 되고 SCL 신호가 발생된다.

마스터가 시작상태를 초기화 할 때는, 슬레이브 장치가 알 수 있도록 슬레이브 어드레스를 전송한다. 1바이트의 어드레스는 7비트의 어드레스와 1비트의 송신 지시자(쓰기나 읽기를 보여주는)로 구성된다. 만약 비트 8이 0이면, 쓰기동작을 나타내며(송신 동작); 비트 8이 1이면, 읽을 데이터를 요청함(수신 동작)을 나타낸다.

마스터는 정지 상태를 전송해서 전송 동작을 마치게 된다. 마스터가 버스에 데이터 전송을 계속하려면, 슬레이브 어드레스 뿐만 아니라 또 다른 시작 상태를 발생해야 한다. 이러한 방식으로, 읽기-쓰기 동작이 다양한 형식으로 수행될 수 있다.

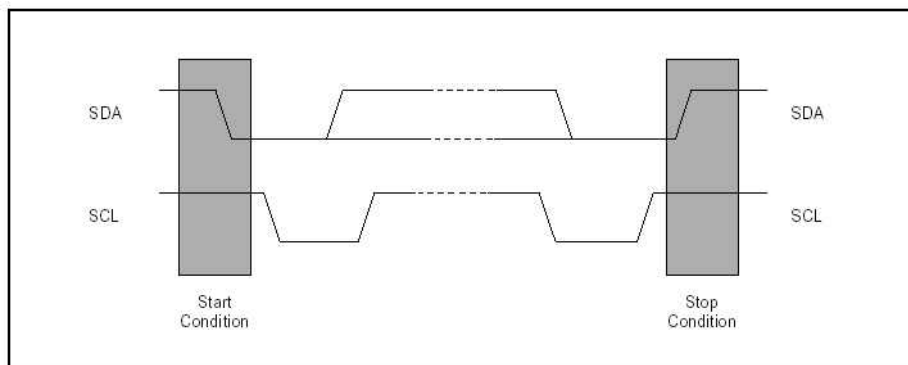


그림 20-2. 시작 상태와 정지 상태

데이터 전송 포맷

SDA 라인에 실려지는 모든 바이트는 8비트의 길이 단위를 가진다. 전송되는 바이트 수는 제한이 없다. 시작상태 다음의 첫 번째 바이트는 어드레스를 가진다. 어드레스는 IIC-bus가 마스터 모드로 동작할 때 마스터에 의해서 전송된다. 각 바이트는 ACK 비트 다음에 와야 한다. 시리얼 데이터와 어드레스의 MSB 비트가 항상 먼저 전송된다.

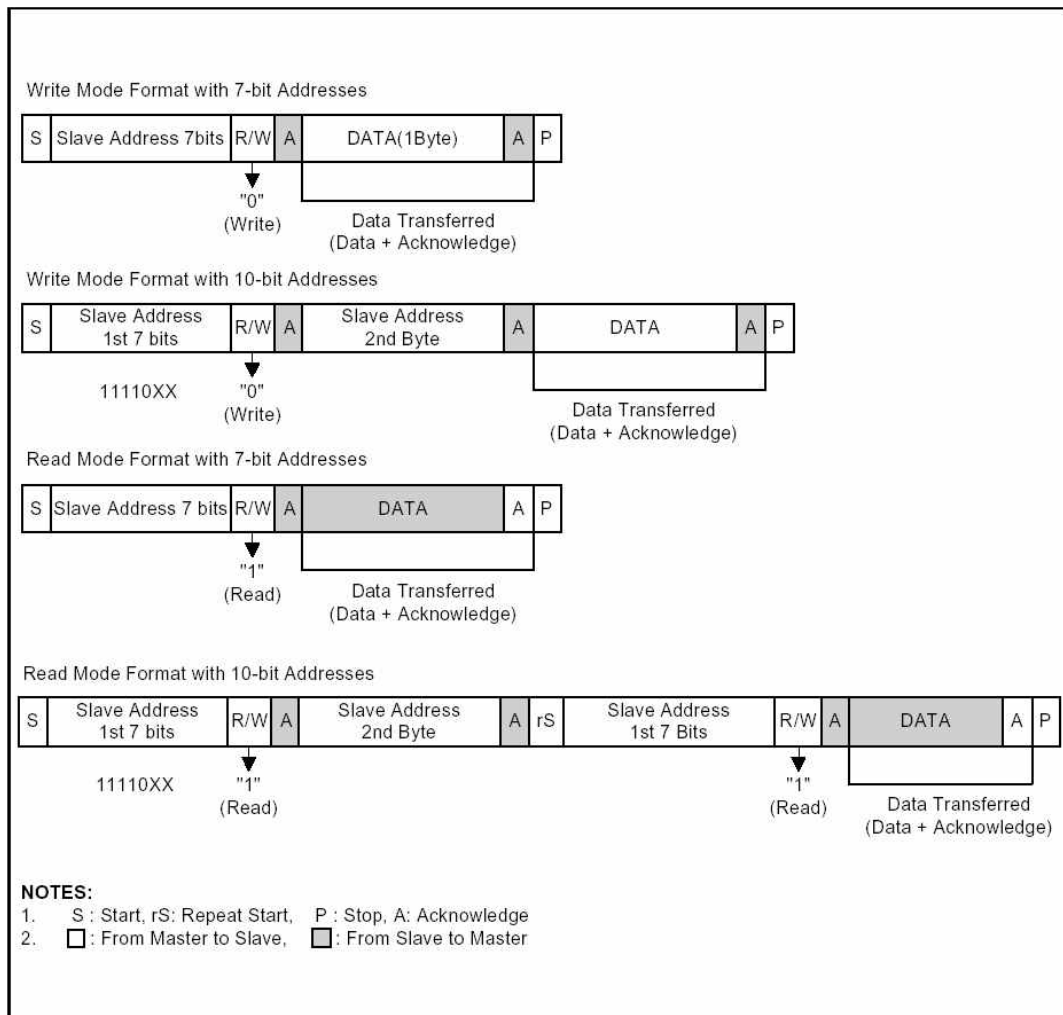


그림 20-3. IIC-Bus 인터페이스 데이터 포맷

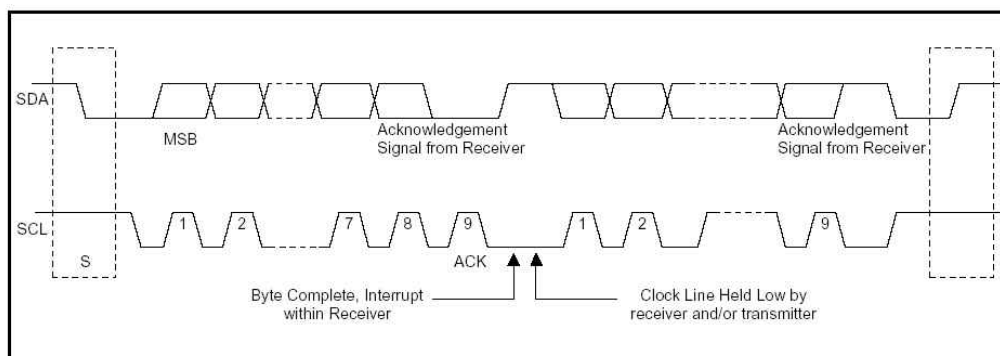


그림 20-4. IIC-bus 상의 데이터 전송

ACK 신호 전송

1바이트 데이터 전송 동작을 완료하려면, 수신기는 송신기에 ACK 비트를 전송한다. ACK 펄스는 SCL 라인의 9번째 클럭에서 발생되어야 한다. 1바이트를 전송하는데 8개의 클럭이 필요하다. 마스터는 ACK 비트를 전송하는데 필요한 클럭 펄스를 발생해야 한다.

ACK 클럭 펄스가 수신되면, 송신기는 SDA 라인의 신호를 High로 만들어서 해제되어야 한다. 수신기는 9번째 SCL 펄스의 High 구간에서 SDA를 Low로 만들기 위해 ACK 클럭 펄스 동안에 SDA 라인을 Low로 구동해야 한다.

ACK 비트 전송 기능은 소프트웨어(IICSTAT)를 통해서 인에이블 혹은 디스에이블이 된다. 어쨌든, 9번째 SCL 클럭의 ACK 펄스는 1바이트의 데이터 전송을 완료하는데 필요한 신호이다.

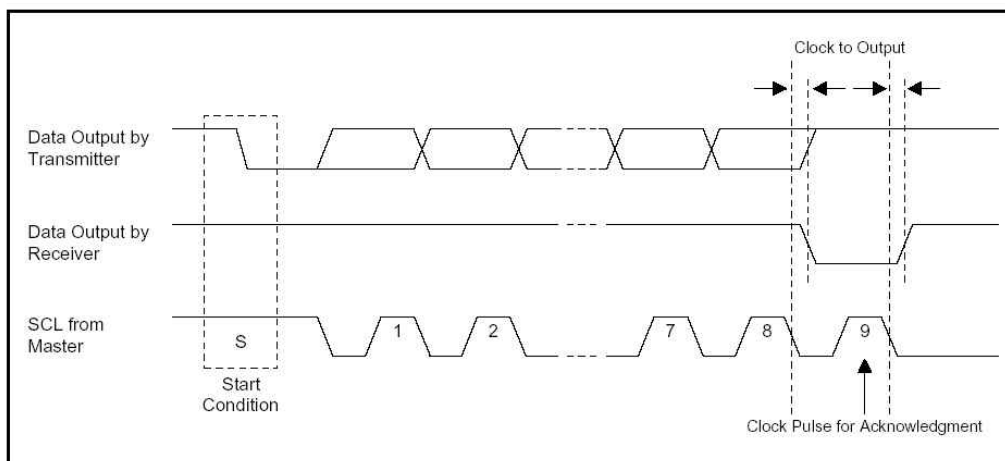


그림 20-5. IIC-Bus 상의 Acknowledge

읽기-쓰기 동작

송신 모드에서, 데이터가 전송되면, IIC-bus 인터페이스는 IIC-bus 데이터 쉬프트(IICDS) 레지스터가 새로운 데이터를 수신 할 때까지 기다린다. 새로운 데이터가 레지스터에 기록되기 전에 SCL 라인은 Low 상태를 유지하며, 데이터가 기록된 후에 해제된다. S3C2410X는 현재의 데이터 전송이 완료 되었는지를 알려주는 인터럽트 발생해야 한다. CPU가 인터럽트 요청을 수신한 후에, IICDS 레지스터에 다시 새로운 데이터를 기록해야 한다.

수신 모드에서, 데이터가 수신되면, IIC-bus 인터페이스는 IICDC 레지스터가 읽힐 때까지 기다린다. 새로운 데이터가 읽히기 전에, SCL 라인은 Low를 유지하며 데이터가 읽힌 후에는 해제된다. S3C2410X는 새로운 데이터 수신 완료를 알려주는 인터럽트를 발생해야 한다. CPU가 인터럽트 요청을 수신한 후에 IIDCS 레지스터에서 데이터를 읽어야 한다.

버스 중재 절차

중재는 2개의 마스터 간에 버스 쟁탈을 막기 위해서 SDA 라인에서 발생한다. SDA High 레벨을 갖는 마스터가 SDA 액티브 Low 레벨을 갖는 다른 마스터를 발견하면, 버스 상의 현재의 레벨이 자신의 레벨과 맞지 않기 때문에 데이터 전송이 초기화되지 않는다. 중재 과정은 SDA 라인이 High로 될 때까지 계속된다.

어쨌든, 2개의 마스터가 동시에 Low 레벨의 SDA 라인이면, 각각의 마스터는 자신에 할당된 마스터쉽 인지 아닌지를 판단해야 한다. 판단을 하려면 각 마스터는 어드레스 비트를 검색해야 한다. 각 마스터가 슬레이브 어드레스를 발생하면, SDA 라인은 High를 유지하기 보다는 Low로 되려고 하기 때문에 SDA 라인의 어드레스 비트를 검색해야 한다. 이러한 경우에, 파워에서는 Low 상태가 High 상태보다 앞서기 때문에 2개의 마스터가 버스 상의 Low 신호를 감지하게 된다. 이렇게 되면, 어드레스의 첫 번째 비트가 Low 레벨인 마스터는 마스터쉽을 얻게되고, 어드레스의 첫 번째 비트가 High 레벨인 마스터는 마스터쉽을 취소하게 된다. 2개의 마스터가 어드레스의 첫 번째 비트가 Low 레벨일 경우에는, 다시, 2번째 비트를 판단하는 중재 과정이 필요하다. 이러한 중재는 마지막 어드레스 비트까지 계속된다.

취소 상태

만약 슬레이브 수신기가 슬레이브 어드레스를 확인할 수 없을 경우에는, SDA line을 High로 유지해야 한다. 이러한 경우에, 마스터는 정지상태를 발생시키고, 전송을 취소한다.

만약 마스터 수신기가 전송이 취소되는 상태에 있게 되면, 마지막 데이터 바이트가 슬레이브에서 수신된 후에 ACK의 발생을 취소해서 슬레이브 전송동작을 끝내도록 신호를 보낸다. 슬레이브 송신기는 마스터가 정지 상태를 발생하도록 SDA를 해제해야 한다.

IIC-BUS 설정

SCL의 주파수를 컨트롤 하려면, 4비트의 프리스케일러 값이 IICCON 레지스터에 설정되어야 한다. IIC-bus 인터페이스 어드레스는 IICADD 레지스터에 저장된다.(기본적으로, IIC-bus 인터페이스 어드레스는 설정되지 않는 값을 가진다.)

각 모드의 동작 흐름도

아래의 단계들은 임의의 IIC Rx/Tx 동작 전에 수행되어야한다.

- 1) 필요하면, IICADD 레지스터에 자신의 슬레이브 어드레스를 기록한다.
- 2) IICCON 레지스터를 설정한다.
 - a) 인터럽트 인에이블
 - b) SCL의 주기 정의
- 3) 시리얼 출력을 인에이블 하기 위해서 IICSTAT를 설정한다.

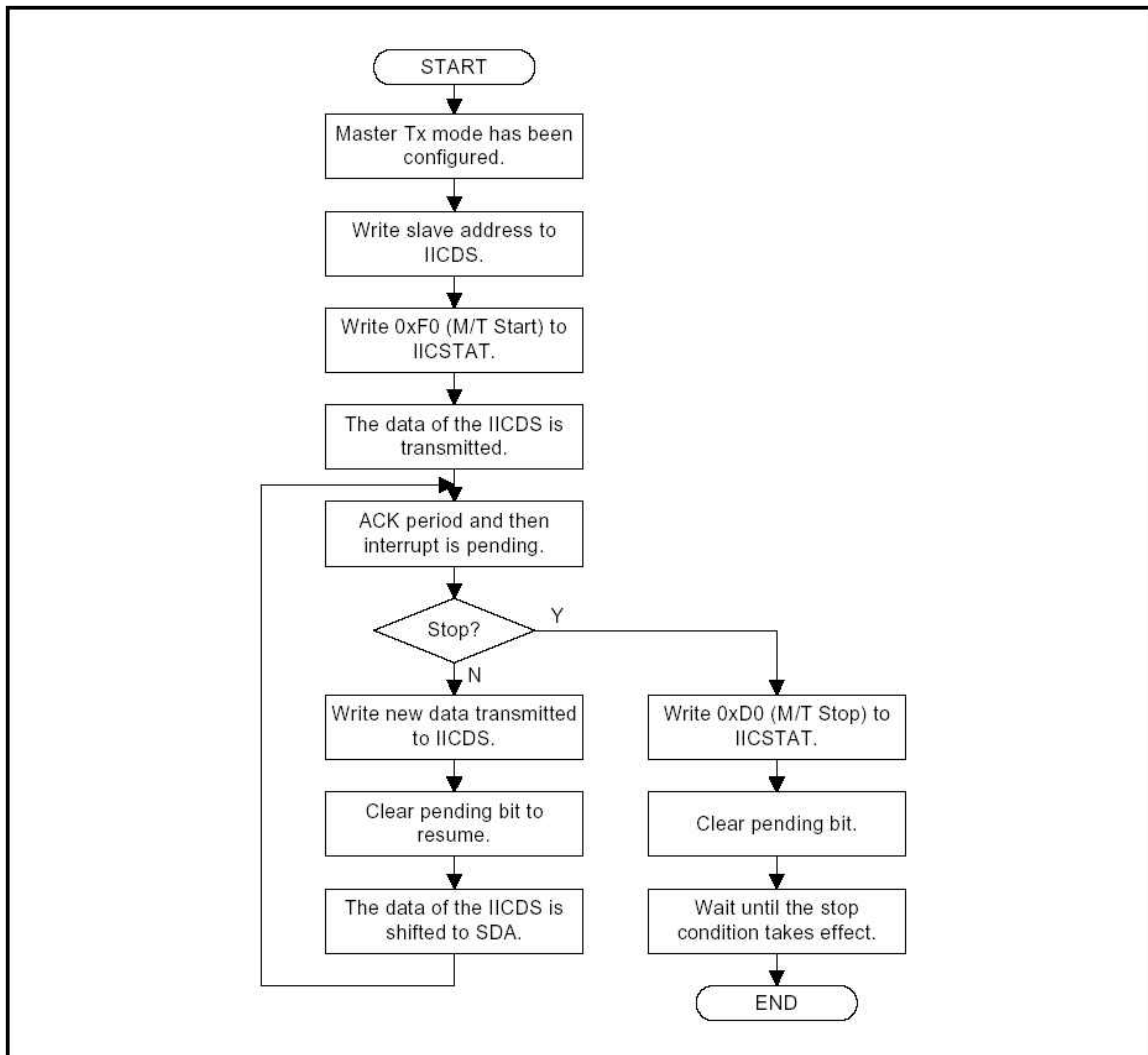


그림 20-6. 마스터/송신 모드 용 동작 절차

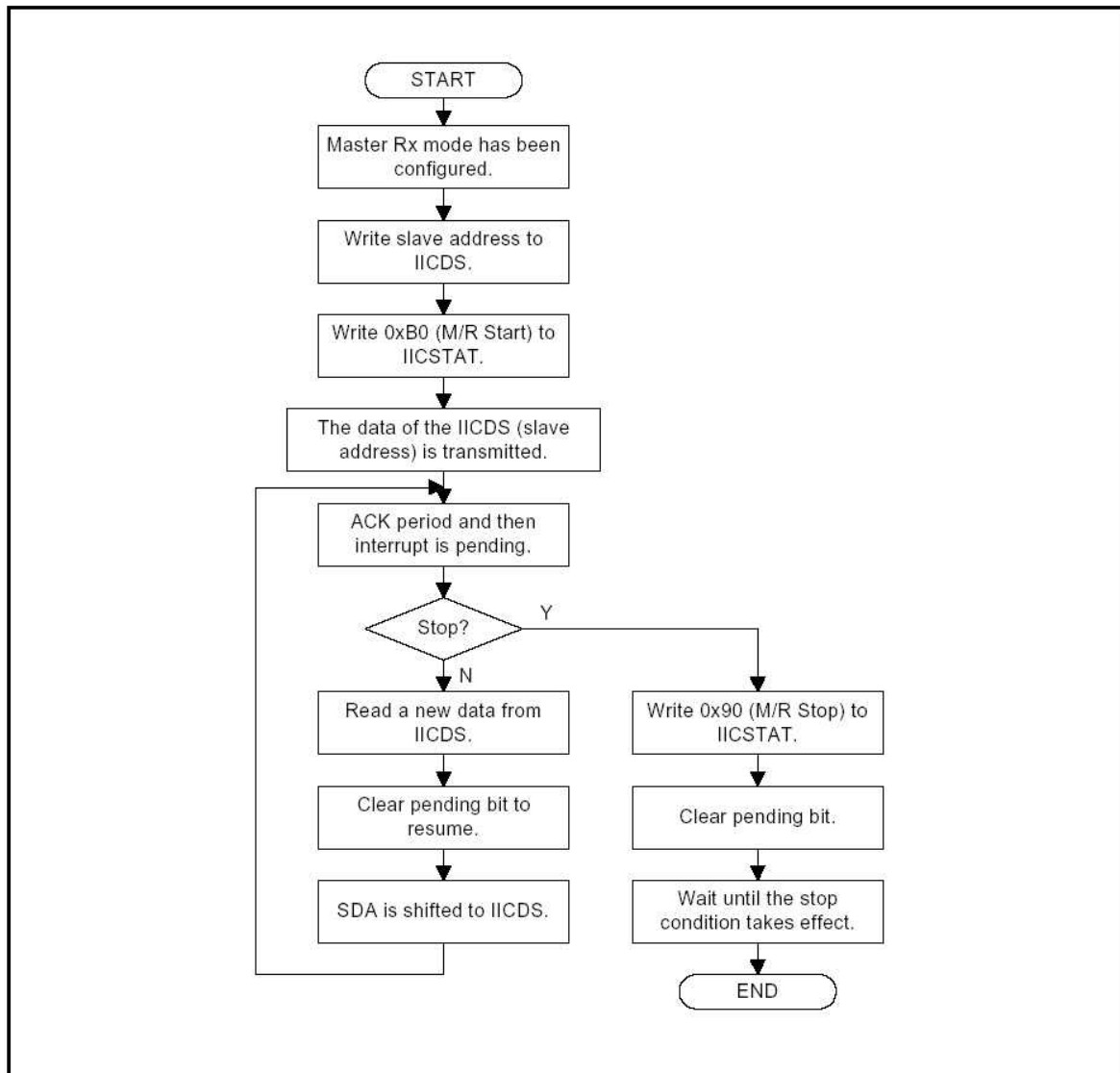


그림 20-7. 마스터/수신기 모드 용 동작 절차

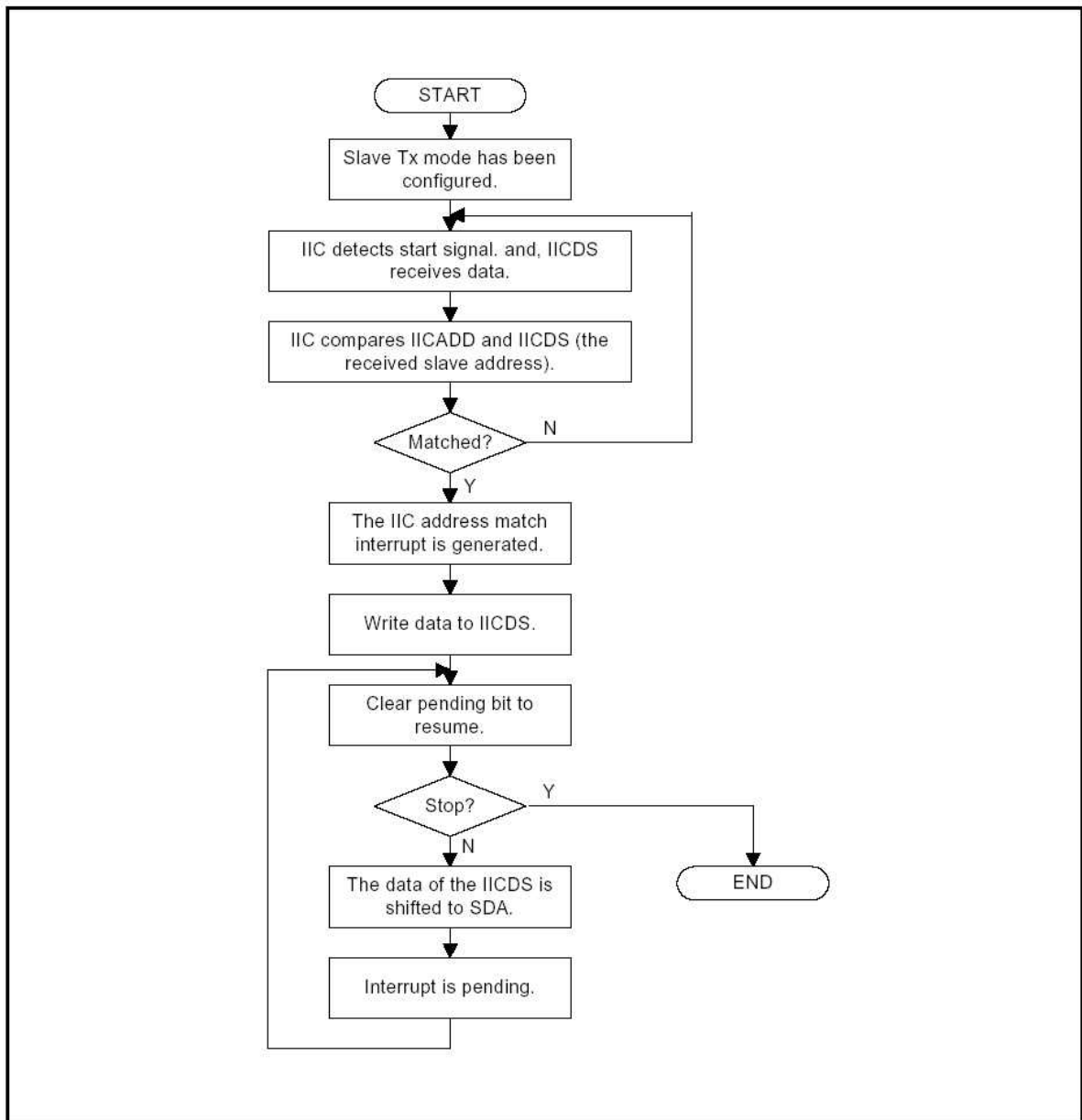


그림 20-8. 슬레이브/수신기 모드 용 동작 절차

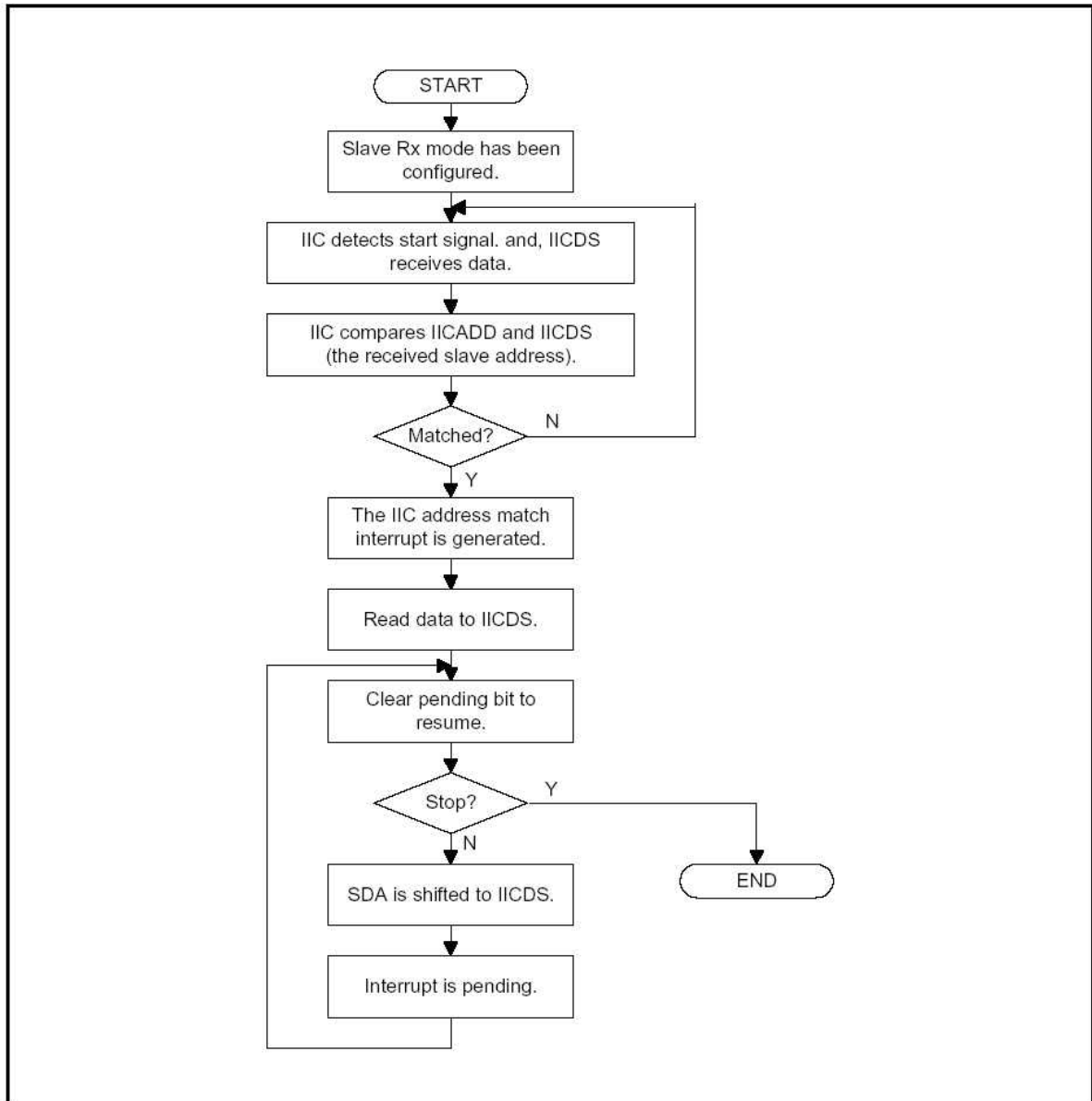


그림 20-9. 슬레이브/수신기 모드 용 동작 절차

IIC-BUS 인터페이스 특별 레지스터

멀티-마스터 IIC-BUS 컨트롤(IICCON) 레지스터

Register	Address	R/W	Description	Reset Value
IICCON	0x54000000	R/W	IIC-Bus control register	0x0X

IICCON	Bit	Description	Initial State
Acknowledge generation (note 1)	[7]	IIC-bus acknowledge enable bit. 0 = Disable, 1 = Enable In Tx mode, the IICSDA is free in the ack time. In Rx mode, the IICSDA is L in the ack time.	0
Tx clock source selection	[6]	Source clock of IIC-bus transmit clock prescaler selection bit. 0 = IICCLK = $f_{PCLK}/16$ 1 = IICCLK = $f_{PCLK}/512$	0
Tx/Rx Interrupt (note 5)	[5]	IIC-Bus Tx/Rx interrupt enable/disable bit. 0 = Disable, 1 = Enable	0
Interrupt pending flag (note 2), (note 3)	[4]	IIC-bus Tx/Rx interrupt pending flag. This bit cannot be written to 1. When this bit is read as 1, the IICSDA is tied to L and the IIC is stopped. To resume the operation, clear this bit as 0. 0 = 1) No interrupt pending (when read). 2) Clear pending condition & Resume the operation (when write). 1 = 1) Interrupt is pending (when read) 2) N/A (when write)	0
Transmit clock value (note 4)	[3:0]	IIC-Bus transmit clock prescaler. IIC-Bus transmit clock frequency is determined by this 4-bit prescaler value, according to the following formula: $Tx\ clock = IICCLK/(IICCON[3:0]+1)$.	Undefined

주의할 점 :

- EEPROM과 인터페이스 할 때, ACK 발생은 Rx 모드의 정지 상태를 발생하기 위해서 마지막 데이터를 읽기 전에 디스에이블 되어야 한다.
- IIC-BUS 인터럽트는 아래와 같은 상황에서 발생된다.
 - 1바이트의 데이터 송신 혹은 수신 동작이 완료될 때
 - 일반 호출이나 슬레이브 어드레스 매칭이 발생할 때
 - 버스 중재가 실패할 때
- IICSDA의 상승 에지 전에 IICSDA의 설정 시간을 조절하려면, IICSDA는 IIC 인터럽트 펜딩 비트를 클리어 하기 전에 기록되어야 한다.
- IICCLK는 IICCON[6]에 의해서 결정된다.
Tx 클럭은 SCL 전이 시간에 의해서 변한다.
IICCON[6]=0일 때, IICCON[3:0]=0x0 혹은 0x1은 사용할 수 없다.
- IICCON[5]=0이면, IICCON[4]는 정확하게 동작하지 않는다.
즉, IIC 인터럽트를 사용하지 않더라도, IICCON[4]=1로 설정되어야 한다.

멀티-마스터 IIC-BUS 컨트롤/상태(IICSTAT) 레지스터

Register	Address	R/W	Description	Reset Value
IICSTAT	0x54000004	R/W	IIC-Bus control/status register	0x0

IICSTAT	Bit	Description	Initial State
Mode selection	[7:6]	IIC-bus master/slave Tx/Rx mode select bits. 00: Slave receive mode 01: Slave transmit mode 10: Master receive mode 11: Master transmit mode	00
Busy signal status / START STOP condition	[5]	IIC-Bus busy signal status bit. 0 = read) Not busy (when read) write) STOP signal generation 1 = read) Busy (when read) write) START signal generation. The data in IICDS will be transferred automatically just after the start signal.	0
Serial output	[4]	IIC-bus data output enable/disable bit. 0 = Disable Rx/Tx, 1 = Enable Rx/Tx	0
Arbitration status flag	[3]	IIC-bus arbitration procedure status flag bit. 0 = Bus arbitration successful 1 = Bus arbitration failed during serial I/O	0
Address-as-slave status flag	[2]	IIC-bus address-as-slave status flag bit. 0 = Cleared when START/STOP condition was detected 1 = Received slave address matches the address value in the IICADD	0
Address zero status flag	[1]	IIC-bus address zero status flag bit. 0 = Cleared when START/STOP condition was detected. 1 = Received slave address is 00000000b.	0
Last-received bit status flag	[0]	IIC-bus last-received bit status flag bit. 0 = Last-received bit is 0 (ACK was received). 1 = Last-received bit is 1 (ACK was not received).	0

멀티-마스터 IIC-BUS 어드레스(IICADD) 레지스터

Register	Address	R/W	Description	Reset Value
IICADD	0x54000008	R/W	IIC-Bus address register	0xXX

IICADD	Bit	Description	Initial State
Slave address	[7:0]	7-bit slave address, latched from the IIC-bus. When serial output enable = 0 in the IICSTAT, IICADD is write-enabled. The IICADD value can be read any time, regardless of the current serial output enable bit (IICSTAT) setting. Slave address = [7:1] Not mapped = [0]	XXXXXXXX

멀티-마스터 IIC-BUS 송신/수신 데이터 쉬프트(IICDS) 레지스터

Register	Address	R/W	Description	Reset Value
IICDS	0x5400000C	R/W	IIC-Bus transmit/receive data shift register	0xXX

IICDS	Bit	Description	Initial State
Data shift	[7:0]	8-bit data shift register for IIC-bus Tx/Rx operation. When serial output enable = 1 in the IICSTAT, IICDS is write-enabled. The IICDS value can be read any time, regardless of the current serial output enable bit (IICSTAT) setting.	XXXXXXXX