

## 제7장 클럭 & 파워 관리

### 개요

클럭 & 파워 관리 블록은 다음과 같은 3부분으로 나뉘어져 있다: 클럭 컨트롤, USB 컨트롤, 파워 컨트롤.

S3C2410X의 클럭 컨트롤은 APB 버스 주변장치에 대한 PCLK, AHB 주변장치에 대한 HCLK, CPU 용 FCLK를 포함한 필요한 클럭 신호를 발생할 수 있다. S3C2410X는 2개의 PLL을 가지고 있다: FCLK, HCLK, PCLK 전용으로 1개, USB 블록(48MHz) 전용으로 1개. 클럭 컨트롤 로직은 PLL 없이도 느린 속도의 클럭을 만들 수 있으며, 파워 소비를 줄일 수 있도록 각 주변 장치에 대한 클럭의 연결/해제를 소프트웨어적으로 컨트롤 할 수 있다.

파워 컨트롤 로직에 대해서, S3C2410X는 주어진 임무를 수행하기 위해서 최적의 파워 소비를 할 수 있도록 하는 다양한 파워 관리부를 가지고 있다. S3C2410X의 파워 관리 블록은 다음의 4가지 모드로 동작한다: Normal 모드, Slow 모드, Idle 모드, Power-Off 모드.

Normal 모드 : S3C2410X의 주변장치 뿐만 아니라 CPU에 클럭을 공급한다. 이 모드에서, 모든 주변장치가 동작할 때 파워 소비가 최대가 된다. 사용자는 소프트웨어를 이용해서 주변장치 기능을 컨트롤한다. 예로, 타이머가 필요하지 않을 경우에, 사용자는 파워 소비를 줄이기 위해서 타이머에 클럭 공급을 중지할 수도 있다.

Slow 모드 : PLL 모드가 아니다. Normal 모드와는 달리, Slow 모드는 PLL 없이도 S3C2410X 안의 FCLK로 외부 클럭(XTIp11 혹은 EXTCLK)를 직접 사용한다. 이 모드에서, 파워 소비는 오직 외부 클럭의 주파수에만 관련된다. PLL에 대한 파워 소비는 배제된다.

Idle 모드 : 다른 주변장치에 클럭을 공급하는 동안에 CPU에 대한 클럭(FCLK)만 연결 해제한다. Idle 모드는 CPU 코어 때문에 파워 소비를 감소시킨다. CPU에 대한 인터럽트 요청이 있을 때에 Idle 모드에서 깨어난다.

Power-Off 모드 : 내부의 파워를 연결 해제한다. 즉, wake-up 로직을 제외한 CPU와 내부의 로직에 대한 파워 소비는 없다. Power-Off 모드를 동작시키려면 2개의 독립적인 파워 소스가 필요하다. 2개의 파워 소스 중 1개는 wake-up 로직에 파워를 공급한다. Power-Off 모드에서, 2번째 파워 소스는 CPU에 공급되며 내부의 로직은 꺼진 상태로 있다. Power-Off 모드에서 깨어나려면, EINT[15:0]이나 RTC 알람 인터럽트를 이용해야 한다.

### 기능 설명

#### 클럭 아키텍처

그림 7-1은 클럭 아키텍처에 대한 블록 다이어그램을 나타낸다. 메인 클럭 소스는 외부의 크리스탈(XTIp11)이나 외부의 클럭(EXTCLK)에서 나온다. 클럭 발생기는 외부의 크리스탈에 연결되는 오실레이터를 포함하며, S3C2410X에 필요한 고주파수 클럭을 발생하는 2개의 PLL을 가진다.

#### 클럭 소스 선택

표 7-1은 S3C2410X에 대한 모드 컨트롤 핀(OM3와 OM2)의 조합과 소스 클럭 선택과의 관계를 나타낸다. OM[3:2] 상태는 nRESET의 상승 에지에서 OM3와 OM2 핀을 참조해서 내부적으로 래치된다.

표 7-1. 부팅 시에 클럭 소스 선택

Mode OM[3:2]	MPLL State	UPLL State	Main Clock source	USB Clock Source
00	On	On	Crystal	Crystal
01	On	On	Crystal	EXTCLK
10	On	On	EXTCLK	Crystal
11	On	On	EXTCLK	EXTCLK

**주의할 점:**

1. 리셋 후에 MPLL이 시작하지만, MPLL 출력(Mpll)은 소프트웨어가 MPLLCON 레지스터에 유효한 셋팅을 할 때까지 시스템 클럭으로 사용되지 않는다. 이러한 셋팅 전에, 외부 크리스탈이나 EXTCLK 소스로부터의 클럭은 시스템 클럭으로 직접 사용된다. 사용자가 MPLLCON 레지스터의 디폴트 값을 변경하지 않을 지라도, 사용자는 MPLLCON 레지스터에 같은 값을 기록해야 한다.
2. OM[3:2]는 OM[1:0]이 11일 때 테스트 모드를 결정하는데 사용된다.

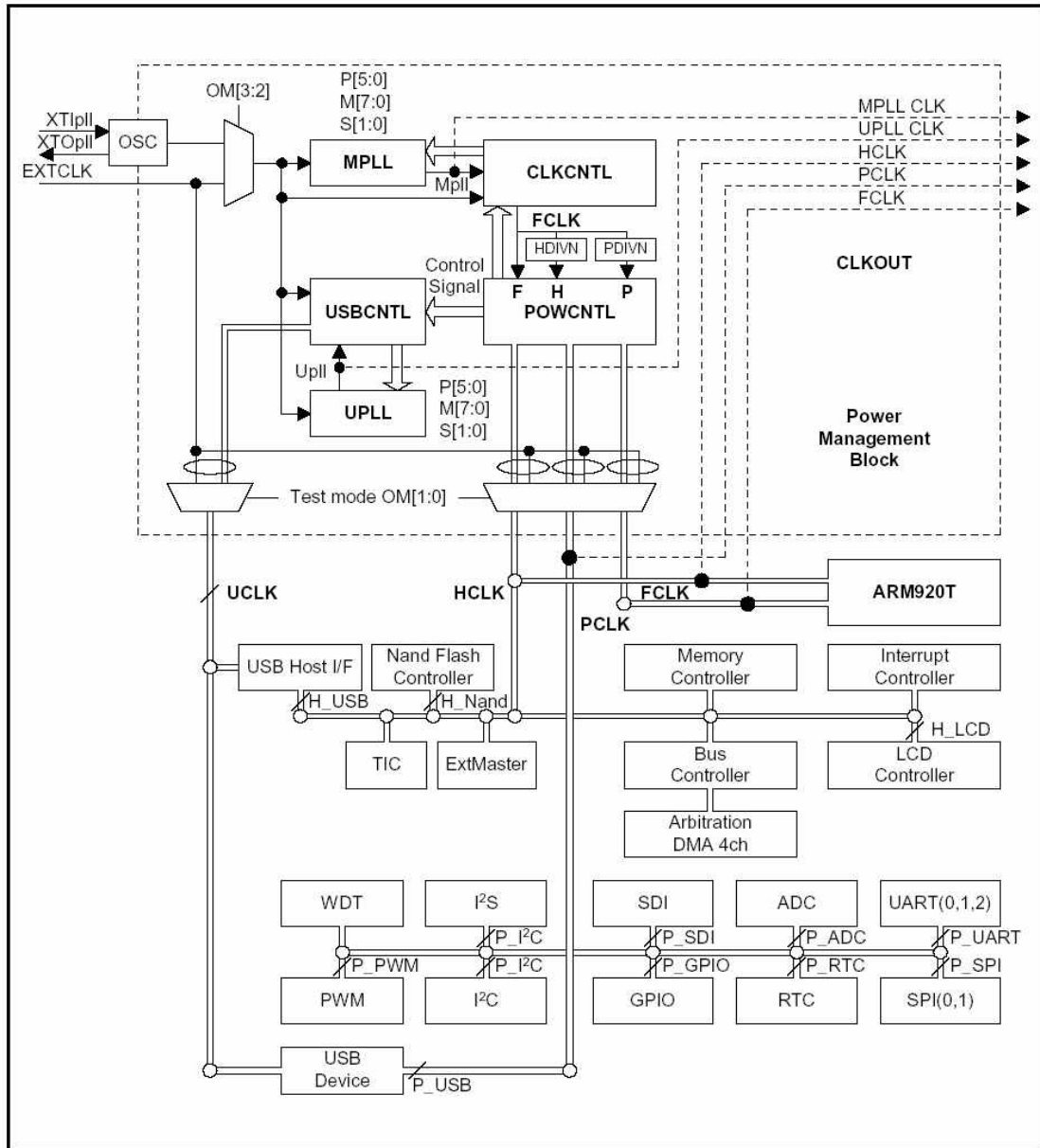


그림 7-1. 클럭 발생기 블록 다이어그램

## PLL

클럭 발생기 안의 MPLL은 주파수와 위상을 갖는 레퍼런스 입력 신호를 가지고 출력 신호를 동기화 한다. 이러한 경우에, 그림 7-2에 나타난 것처럼 다음과 같은 기본적인 블록이 포함된다: DC 전압에 비례해서 출력 주파수를 발생시키는 VCO(전압 컨트롤 오실레이터), p에 의한 입력 주파수(Fin)를 나누는 분주기 P, PFD(위상 주파수 검출기)에 대한 입력 m에 의한 VCO 출력 주파수를 나누는 분주기 M, Mpll(MPLL 블록으로 부터의 출력 주파수) s에 의해서 VCO 출력 주파수를 나누는 분주기 S, 위상 차동 검출기, 차지 펌프, 루프 필터. 출력 클럭 주파수 Mpll은 아래와 같은 공식에 의해서 레퍼런스 입력 주파수 Fin에 관련이 있다:

$$M_{pll} = (m \times F_{in}) / (p \times 2)$$

$m = M(\text{분주기 } M \text{에 대한 값}) + 8$ ,  $p = P(\text{분주기 } P \text{에 대한 값}) + 2$

클럭 발생기 안의 UPLL은 모든 면에서 MPLL과 같다.

다음에서는 위상 차동 검출기, 차지 펌프, VCO(전압 컨트롤 오실레이터), 루프 필터를 포함한 PLL의 동작에 대해서 설명한다.

## PFD(위상 차동 검출기)

PFD는  $F_{ref}$ 와  $F_{vco}$  사이의 위상차를 모니터링 하며, 위상차를 검출 했을 때, 컨트롤 신호(신호 추적)를 발생한다.  $F_{ref}$ 는 그림 7-2에 나타난 바와 같이 레퍼런스 주파수를 의미한다.

## 차지 펌프(Charge Pump)

차지 펌프는 PFD 컨트롤 신호를 VCO를 구동하는 외부의 필터를 통과하는 충전 전압으로 변환한다.

## 루프 필터

차지 펌프에서 발생하는 컨트롤 신호 PFD는  $F_{vco}$ 가  $F_{ref}$ 에 비교될 때마다 커다란 리플을 발생시킬 수도 있다. VCO에 대한 과부하를 피하려면, 저역 통과 필터로 샘플링 하고 컨트롤 신호의 고주파 성분을 필터링 한다. 일반적으로 필터는 저항과 커패시터로 구성되는 1극 RC 필터를 사용한다.

## PLL & 클럭 발생기에 대한 이용 상태

PLL & 클럭 발생기는 아래와 같은 상태로 사용된다.

Loop filter capacitance	5 pF
External X-tal frequency	10 – 20 MHz (note)
External capacitance used for X-tal	15 – 22 pF

주의할 점 :

- 값이 변경될 수도 있다.
- FCLK는 X-tal이나 EXTCLK보다 3배 이상 커야 한다. ( $FCLK \geq 3X\text{-tal}$  혹은  $3EXTCLK$ )

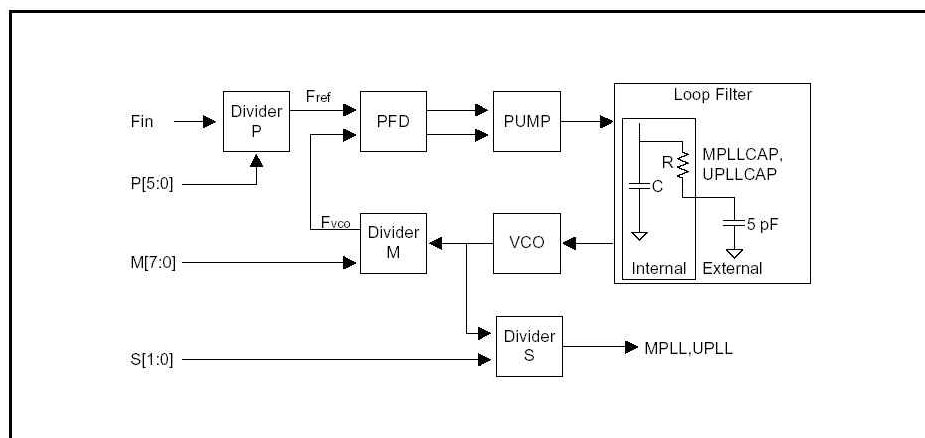


그림 7-2. PLL 블록 다이어그램

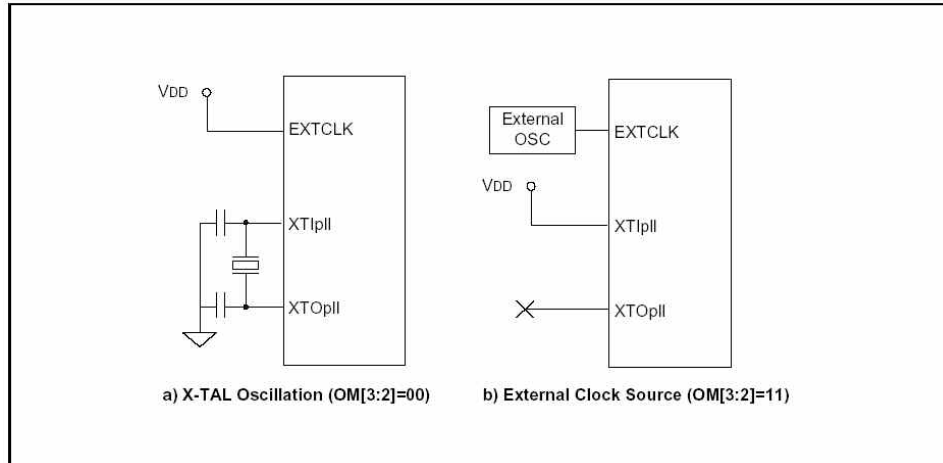


그림 7-3. 메인 오실레이터 회로 예제

## 클럭 컨트롤 로직

클럭 컨트롤 로직은 사용될 클럭 소스, 즉 PLL 클럭(Mpll)이나 외부 클럭(XTIpIl 혹은 EXTCLK)를 결정한다. PLL이 새로운 주파수 값을 설정하면, 클럭 컨트롤 로직은 PLL 출력이 PLL 락 타임을 이용해서 안정화 될 때까지 FCLK를 디스에이블 한다. 클럭 컨트롤 로직은 파워-온 리셋 시에 활성화 되며, 파워-다운 모드에서 깨어난다.

## 파워-온 리셋(XTIpIl)

그림 7-4는 파워-온 리셋 시퀀스 동안의 클럭 동작을 나타낸다. 크리스탈 오실레이터는 몇 밀리 초 안에 오실레이션을 시작한다. OSC(XTIpIl) 클럭이 안정화 된 후에 nRESET이 릴리즈 되면, PLL은 디폴트 PLL 설정에 따른 동작을 시작한다. 어쨌든, PLL은 파워-온 리셋 후에 불안정하며, Fin은 소프트웨어적으로 PLLCON을 새로이 설정하기 전에 Mpll(PLL 출력) 대신에 FCLK로 직접 공급된다. 사용자가 리셋 후에 PLLCON 레지스터의 디폴트 값을 변경하지 않더라도, 사용자는 소프트웨어를 이용해서 같은 값을 PLLCON레지스터에 기록해야 한다.

PLL은 소프트웨어를 이용해서 PLL을 새로운 주파수로 설정한 후에 새로운 주파수에 대한 록업 시퀀스를 재 시작한다. FCLK는 록 타임 후에 즉시 PLL 출력(Mpll)으로 설정된다.

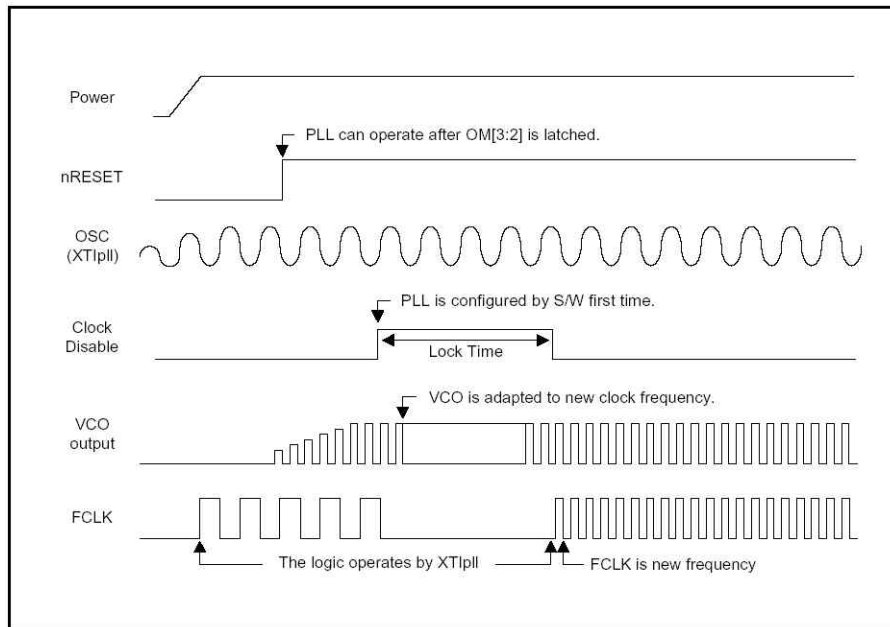


그림 7-4. 파워-온 리셋 시퀀스(외부 클럭 소스가 크리스탈 오실레이터 일 경우)

## PLL 셋팅을 Normal 동작 모드로 변경

S3C2410X가 Normal 모드로 동작하는 동안에, 사용자는 PMS 값을 기록해서 주파수를 변경할 수 있으며, PLL 록 타임은 자동적으로 삽입된다. 록 타임 동안에, 클럭은 S3C2410X의 내부 블록에 공급되지 않는다. 그림 7-5는 타이밍 다이어그램을 나타낸다.

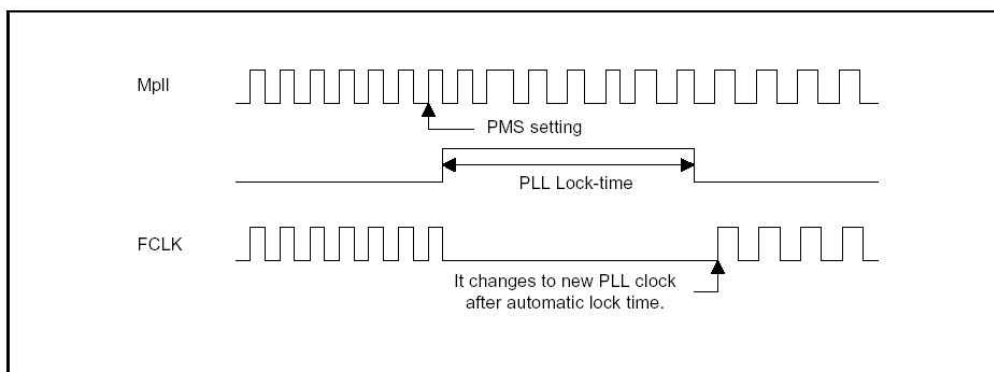


그림 7-5. PMS 값을 셋팅해서 Slow 클럭 변경하기

## USB 클럭 컨트롤

USB 호스트와 디바이스 인터페이스에는 48MHz의 클럭이 사용된다. S3C2410X에서, USB 전용 PLL(UPLL)은 USB 용으로 48MHz의 주파수를 발생한다. UCLK는 PLL(UPLL)이 변경될 때까지 공급되지 않는다.

Condition	UCLK State	UPLL State
After reset	XTIpll or EXTCLK	On
After configuring UPLL	L : during PLL lock time 48MHz: after PLL lock time	On
UPLL is turned off by CLKSLOW register	XTIpll or EXTCLK	Off
UPLL is turned on by CLKSLOW register	48MHz	On

## FCLK, HCLK, PCLK

FCLK는 ARM920T에 의해서 사용된다. HCLK는 ARM920T에 의해서 사용되는 AHB 버스, 메모리 컨트롤러, 인터럽트 컨트롤러, LCD 컨트롤러, DMA와 USB 호스트 블록 용으로 사용된다. PCLK는 WDT, IIS, I2C, PWM 타이머, MMC 인터페이스, ADC, UART, GPIO, RTC, SPI와 같은 주변장치에 사용되는 APB 버스에 사용된다.

S3C2410X는 FCLK, HCLK, PCLK 사이의 분주 비율 선택을 지원한다. 이러한 비율은 CLKDIVN 컨트롤 레지스터의 HDIVN과 PDIVN에 의해서 결정된다.

HDIVN	PDIVN	FCLK	HCLK	PCLK	Divide Ratio
0	0	FCLK	FCLK	FCLK	1 : 1 : 1 (Default)
0	1	FCLK	FCLK	FCLK / 2	1 : 1 : 2
1	0	FCLK	FCLK / 2	FCLK / 2	1 : 2 : 2
1	1	FCLK	FCLK / 2	FCLK / 4	1 : 2 : 4 (recommended)

PMS 값을 셋팅한 후에, CLKDIVN 레지스터를 설정할 필요가 있다. CLKDIVN의 설정 값은 PLL록 타임 후에 유효하게 된다. 이 값은 리셋 시에도 이용되며 파워 관리 모드를 변경한다. 셋팅 값은 1.5HCLK 후에 유효하게 된다. 단지, 1HCLK는 디폴트 값(1:1:1)에서 다른 분주 비율(1:1:2, 1:2:2, 1:2:4)로 변경하는 CLKDIVN레지스터의 값을 이용할 수 있다.

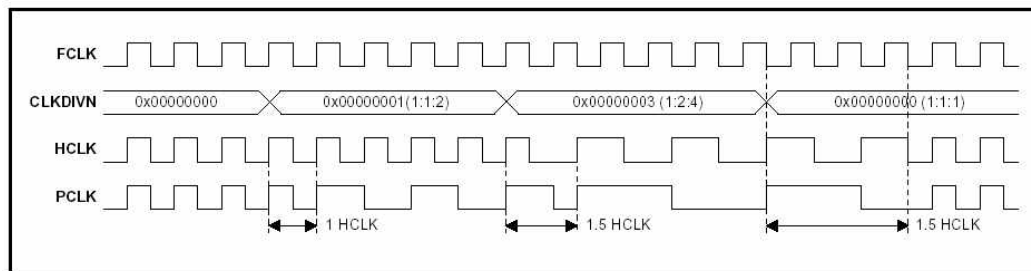


그림 7-6. CLKDIVN 레지스터의 값을 변경

### 주의할 점

1. CLKDIVN은 HCLK와 PCLK를 초과하지 않도록 주의깊게 설정해야 한다.
2. HDIVN의 값이 1이면, CPU 버스 모드는 아래의 명령어를 이용해서 빠른 버스 모드에서 비동기 버스 모드로 변경해야 한다.

MMU\_SetAsyncBusMode

```
mrc    p15, 0, r0, c1, c0, 0
orr     r0, r0, #R1_nF:OR:R1_iA
mcr     p15, 0, r0, c1, c0, 0
```

HDIVN=1이고 CPU 버스 모드가 빠른 버스 모드이면, CPU는 HCLK에 의해서 동작하게 된다. 이렇게 되면, HCLK와 PCLK에 영향을 주지 않고도 CPU 주파수를 절반으로 변경할 수 있다.

## 파워 관리

파워 관리 블록은 S3C2410X의 파워 소비를 줄이기 위해서 소프트웨어를 이용해서 시스템 클럭을 컨트롤 한다. 이 블록은 PLL, 클럭 컨트롤 로직(FCLK, HCLK, PCLK), wakeup 신호와 관련이 있다. 그림 7-7은 S3C2410X의 클럭 분할에 대해서 나타내고 있다.

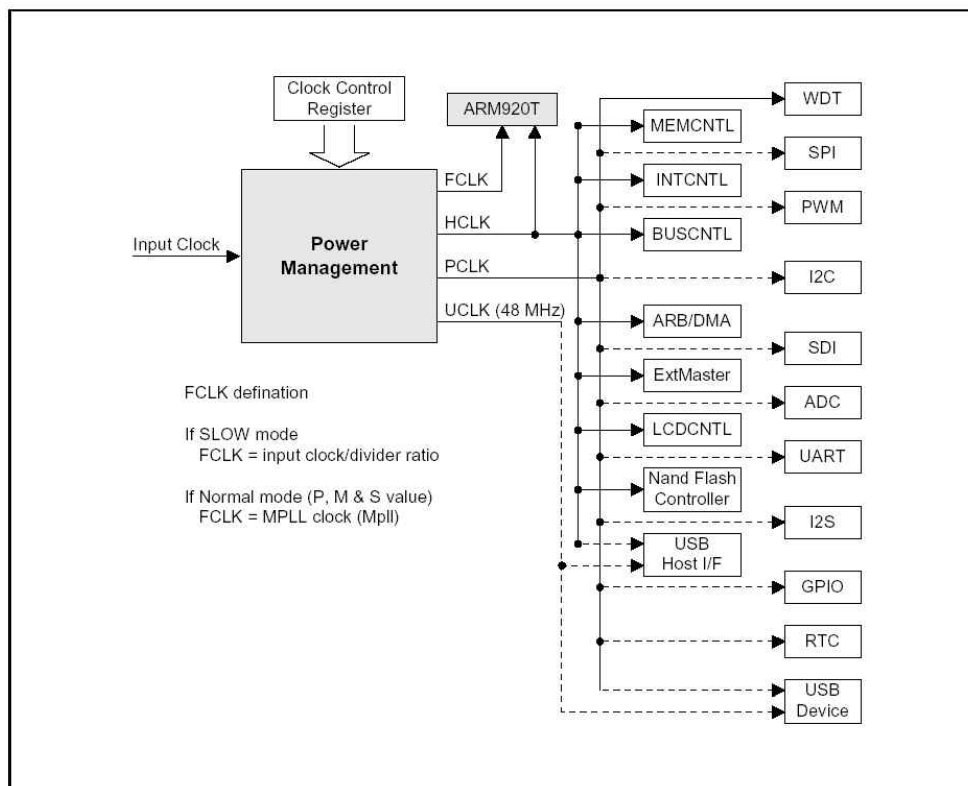


그림 7-7. 클럭 분할 블록 다이어그램

S3C2410X는 4개의 파워 모드를 가진다. 다음에서는 각각의 파워 관리 모드에 대해서 설명한다. 모드 사이의 변환은 자유롭게 허가되지 않는다. 이러한 모드들 간의 가능한 변환은 그림 7-8에 나타나 있다.



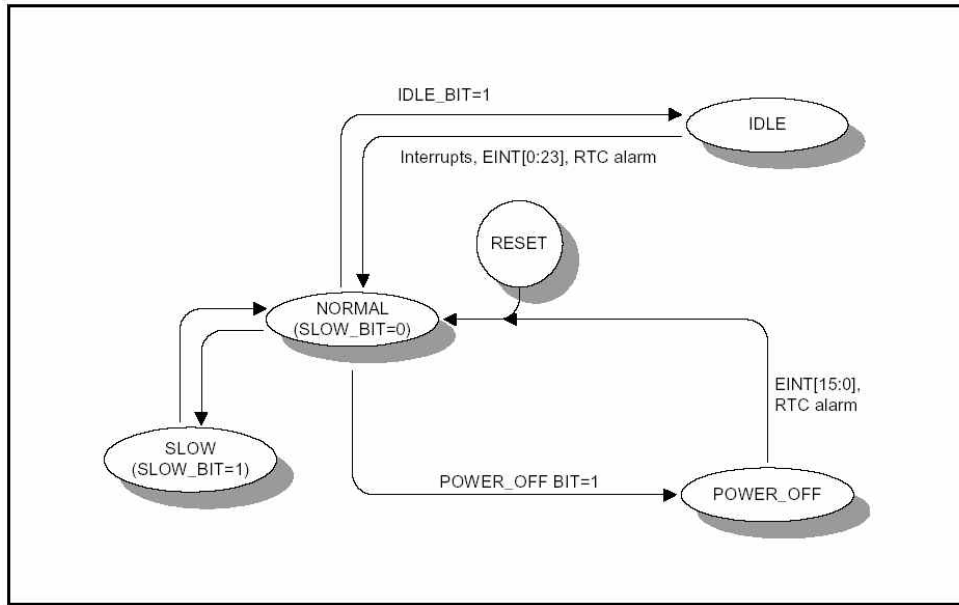


그림 7-8. 파워 관리 상태 다이어그램

표 7-2. 각각의 파워 모드에서의 클럭과 파워 상태

Mode	ARM920T	AHB Modules <sup>(1)</sup> /WDT	Power Management	GPIO	32.768kHz RTC clock	APB Modules <sup>(2)</sup> & USBH/LCD/NAND
NORMAL	O	O	O	SEL	O	SEL
IDLE	X	O	O	SEL	O	SEL
SLOW	O	O	O	SEL	O	SEL
POWER_OFF	OFF	OFF	Wait for wake-up event	Previous state	O	OFF

#### 주의할 점:

1. USB 호스트, LCD, 낸드가 제외된다.
2. WDT가 제외된다. CPU 액세스에 대한 RTC 인터페이스가 포함된다.
3. SEL: 선택가능(O,X), O: 인에이블, X: 디스에이블, OFF: 파워 오프

#### Normal 모드

Normal 모드에서, 모든 주변장치와 기본 블록은 파워 관리 블록, CPU 코어, 버스 컨트롤러, 메모리 컨트롤러, 인터럽트 컨트롤러, DMA를 포함하며, 외부의 마스터가 폴로 동작한다. 그러나, 기본 블록을 제외한 각 주변 장치에 대한 클럭은 파워 소비를 줄이기 위해서 소프트웨어를 이용해서 선택적으로 정지시킬 수 있다.

#### Idle 모드

Idle 모드에서, CPU에 대한 클럭 공급은 버스 컨트롤러, 메모리 컨트롤러, 인터럽트 컨트롤러, 파워 관리 블록을 제외하고는 중단된다. IDLE 모드에서 빠져나가려면, EINT[23:0]이나 RTC 알람 인터럽트 혹은 다른 인터럽트를 사용해야한다.(EINT는 GPIO 블록이 턴-온 될 때 까지는 사용할 수 없다.)

## Slow 모드(Non-PLL 모드)

느린 클럭을 사용하며 PLL의 전력 소비를 없앴으로써 파워 소비를 줄일 수 있는 모드이다. FCLK는 PLL 없이 입력 클럭(XTIp11 혹은 EXTCLK)를 n으로 나눈 주파수이다. 분주 비율은 CLKSLOW 컨트롤 레지스터의 SLOW\_VAL과 CLKDIVN 컨트롤 레지스터에 의해서 결정된다.

표 7-3. CLKSLOW 레지스터와 CLKDIVN 레지스터의 SLOW 클럭 설정

SLOW_VAL	FCLK	HCLK		PCLK		UCLK
		1/1 Option (HDIVN=0)	1/2 Option (HDIVN=1)	1/1 Option (PDIVN=0)	1/2 Option (PDIVN=1)	
0 0 0	EXTCLK or XTIp11 / 1	EXTCLK or XTIp11 / 1	EXTCLK or XTIp11 / 2	HCLK	HCLK / 2	48 MHz
0 0 1	EXTCLK or XTIp11 / 2	EXTCLK or XTIp11 / 2	EXTCLK or XTIp11 / 4	HCLK	HCLK / 2	48 MHz
0 1 0	EXTCLK or XTIp11 / 4	EXTCLK or XTIp11 / 4	EXTCLK or XTIp11 / 8	HCLK	HCLK / 2	48 MHz
0 1 1	EXTCLK or XTIp11 / 6	EXTCLK or XTIp11 / 6	EXTCLK or XTIp11 / 12	HCLK	HCLK / 2	48 MHz
1 0 0	EXTCLK or XTIp11 / 8	EXTCLK or XTIp11 / 8	EXTCLK or XTIp11 / 16	HCLK	HCLK / 2	48 MHz
1 0 1	EXTCLK or XTIp11 / 10	EXTCLK or XTIp11 / 10	EXTCLK or XTIp11 / 20	HCLK	HCLK / 2	48 MHz
1 1 0	EXTCLK or XTIp11 / 12	EXTCLK or XTIp11 / 12	EXTCLK or XTIp11 / 24	HCLK	HCLK / 2	48 MHz
1 1 1	EXTCLK or XTIp11 / 14	EXTCLK or XTIp11 / 14	EXTCLK or XTIp11 / 28	HCLK	HCLK / 2	48 MHz

Slow 모드에서, PLL은 PLL의 전력 소비를 줄이기 위해서 턴-오프 된다. PLL이 Slow 모드에서 턴-오프 되고 사용자가 Slow 모드에서 Normal 모드로 전환하면, PLL은 클럭이 안정화되는 시간(PLL 록 타임)을 필요로 한다. 이러한 PLL 안정화 시간은 록 타임 카운트 레지스터를 갖는 내부의 로직에 의해서 자동적으로 삽입된다. PLL 안정화 시간은 PLL이 턴-온 된 후에 150us 정도 걸린다. PLL 록 타임 동안에, FCLK가 Slow 클럭으로 된다.

사용자는 PLL 온 상태에서 CLKSLOW 레지스터의 SLOW 모드 비트를 인에이블 해서 주파수를 변경할 수 있다. SLOW 클럭은 SLOW 모드 동안에 발생된다. 그림 7-9는 타이밍 다이어그램을 나타낸다.

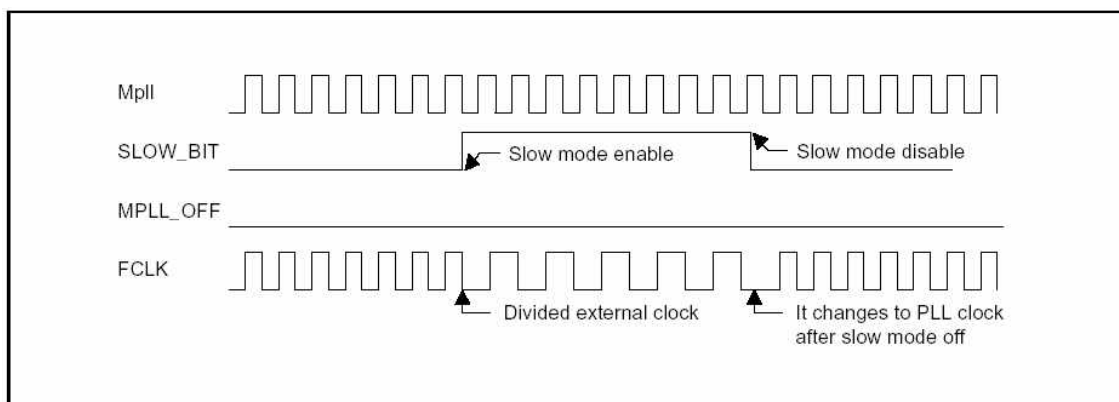


그림 7-9 PLL은 상태에서 Exit\_from\_Slow\_mode 커맨드 실행에 관한 타이밍 다이어그램

사용자가 PLL 록 타임 후에 CLKSLOW 레지스터의 SLOW\_BIT를 디스에이블해서 SLOW 모드에서 Normal 모드로 변환하면, SLOW 모드가 디스에이블 된 후에 바로 주파수가 변경된다. 그림 7-10은 이에 대한 타이밍 다이어그램을 나타낸다.

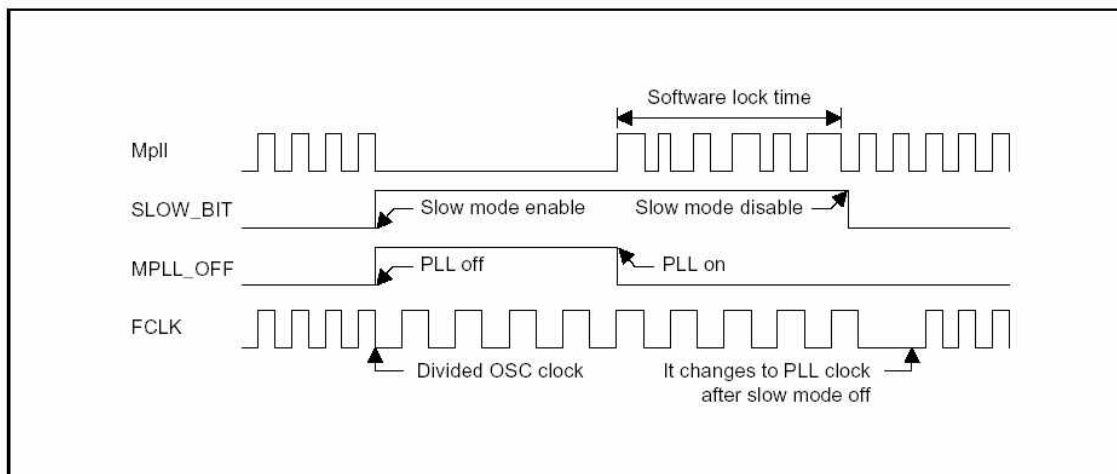


그림 7-10. 록 타임 후에 Exit\_from\_Slow\_mode 커맨드 실행에 관한 타이밍 다이어그램

사용자가 CLKSLOW 레지스터의 SLOW\_BIT와 MPLL\_OFF 비트를 동시에 디스에이블 해서 Slow 모드에서 Normal 모드로 변환하게 되면, 주파수는 PLL 록 타임 바로 후에 변경된다. 그림 7-11은 이에 대한 타이밍 다이어그램을 나타낸다.

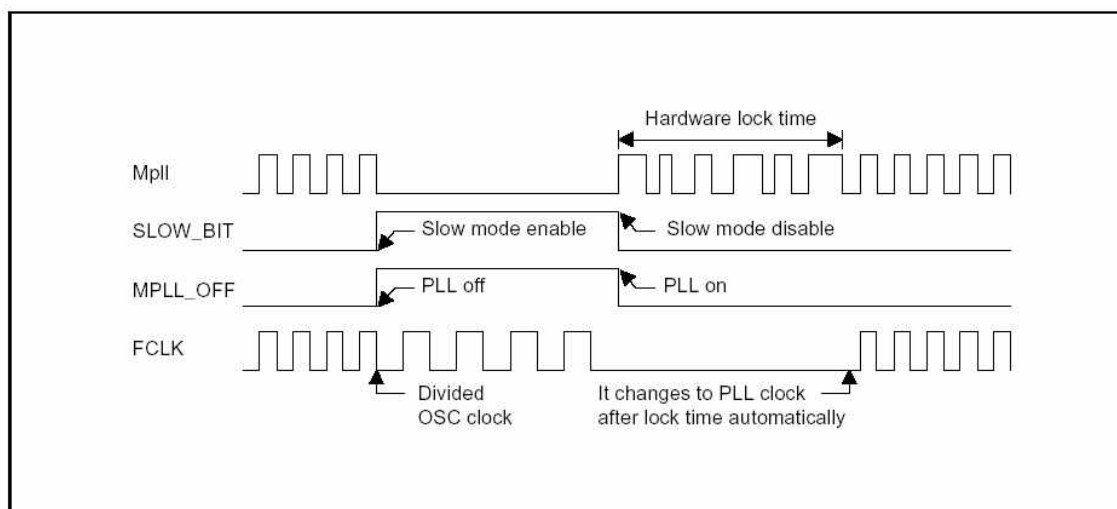


그림 7-11. Exit\_from\_Slow\_mode 커맨드와 Instant PLL\_on 커맨드가 동시에 주어질 경우

## 파워-오프 모드

블록이 내부 파워와 차단된다. 즉, wake-up 로직을 제외하고 CPU와 내부 로직에 대한 전력소비는 없다. 파워-오프 모드를 활성화 하려면 2개의 독립적인 파워 소스가 필요하다. 2개의 파워 소스 중 1개가 wake-up 로직 용으로 공급된다. 또 1개는 CPU를 포함한 다른 내부 로직에 공급되며, 파워 온/오프를 컨트롤 할 수 있어야 한다. 파워-오프 모드에서는, CPU와

내부 로직 용 2번째 파워 소스가 턴-오프 된다. EINT[15:0]이나 RTC 알람 인터럽트를 이용해서 파워-오프 모드에서 깨어난다.

#### 파워-오프 모드로 진입하는 과정

1. GPIO를 파워-오프 모드로 설정한다.
2. INTMSK 레지스터의 모든 인터럽트를 마스크한다.
3. RTC 알람을 포함해서 wake-up 소스를 설정한다. (wake-up 소스에 대응되는 EINTMASK의 비트는 SRCPND나 EINTPEND의 대응되는 비트에 대해서 마스크해서는 안된다. wake-up 소스가 사용되고 EINTMASK의 대응되는 비트가 마스크 되더라도, wake-up은 발생하며 SRCPND나 EINTPEND의 대응되는 비트는 설정되지 않는다.)
4. USB 패드를 suspend 모드로 설정한다.(MISCCR[13:12]=11b)
5. GSTATUS[4:3] 레지스터에 설정한 값을 저장한다. 이 레지스터는 파워-오프 모드 동안에 보존된다.
6. 데이터 버스 D[31:0]에 풀-업 레지스터를 위해서 MISCCR[1:0]을 설정한다. 만약 74LVCH162245와 같은 외부 BUS 홀더가 있으면, 풀-업 저항을 턴-오프 한다. 아닌 경우에는 풀-업 저항을 턴-온 한다.
7. LCDCON1.ENVID 비트를 클리어 해서 LCD를 정지한다.
8. TLB를 채우기 위해서 rREFRESH와 rCLKCON 레지스터를 읽는다.
9. REFRESH[22]=1b를 셋팅해서 SDRAM이 셀프-리프레쉬 모드로 진입하도록 한다.
10. SDRAM 셀프-리프레쉬가 동작할 때까지 기다린다.
11. 파워-오프 모드 동안에 SDRAM 신호(SCLK0, SCLK1, SCKE)가 보호되도록 하기 위해서 MISCCR[19:17]=111b로 설정한다.
12. CLKCON 레지스터의 파워-오프 모드 비트를 설정한다.

#### 파워-오프 모드에서 깨어나는(wake-up) 과정

1. wake-up 소스 중 1개가 동작하면 내부의 리셋 신호가 동작한다. 외부의 nRESET 핀이 동작하는 경우와 같다. 리셋 주기는 내부의 16비트 카운터 로직에 의해서 결정되며 리셋 동작 시간은  $t_{RST} = (65535 / XTAL\_frequency)$ 에 의해서 결정된다.
2. 파워-업이 파워-오프 코드에서 깨어나는 지를 알기 위해서 GSTATUS2[2]를 체크한다.
3. MISCCR[19:17]=000b로 셋팅해서 SDRAM 신호 보호를 해제한다.
4. SDRAM 메모리 컨트롤러를 설정한다.
5. SDRAM 셀프-리프레쉬가 해제될 때까지 기다린다. 대부분의 SDRAM은 모든 SDRAM row를 리프레쉬 할 필요가 있다.
6. GSTATUS[3:4]의 값이 파워-오프 모드 동안에 보존되기 때문에 GSTATUS[3:4]는 사용자 자신의 목적대로 사용될 수 있다.
7.
  - ☞ EINT[3:0]에 대해서 SRCPND 레지스터를 체크한다.
  - ☞ EINT[15:4]에 대해서 SRCPND 대신에 EINTPEND를 체크한다.(SRCPND는 EINTPEND의 몇 비트가 설정되더라도 설정되지 않는다.)
  - ☞ 알람 wake-up를 위해서, SRCPND의 RTC 비트가 알람 wake-up를 설정하지 않기 때문에 RTC 타임을 체크한다.

☞ 파워-오프 모드 동안에 nBATT\_FLT 동작이 있으면, SRCPND의 대응되는 비트가 설정되어야 한다.

## 파워-오프 모드의 핀 상태

파워-오프 모드의 핀 상태는 아래와 같다;

Pin Type	Pin Example	Pin States in Power_OFF Mode
GPIO output pin	GPB0: output	Output ( GPIO data register value is used.)
GPIO input pin	GPB0: input	Input
GPIO bi-directional pin	GPG6:SPIMOSI	Input
Function output pin	nGCS0	Output (the last output level is held.)
Function input pin	nWAIT	Input

## VDDi와 VDDiarm의 파워 컨트롤

파워-오프 모드에서, PWREN 핀에 의해서 컨트롤 되는 VDDi와 VDDiarm이 턴-오프 된다. PWREN 신호가 활성화 되면(H), VDDi와 VDDiarm은 외부의 전압 레귤레이터의 공급을 받는다. PWREN 핀이 비활성화 되면(L), VDDi와 VDDiarm은 턴-오프 된다.

### 주의할 점

VDDi와 VDDiarm이 턴-오프 되더라도, 다른 파워 핀에는 전원이 공급되어야 한다.

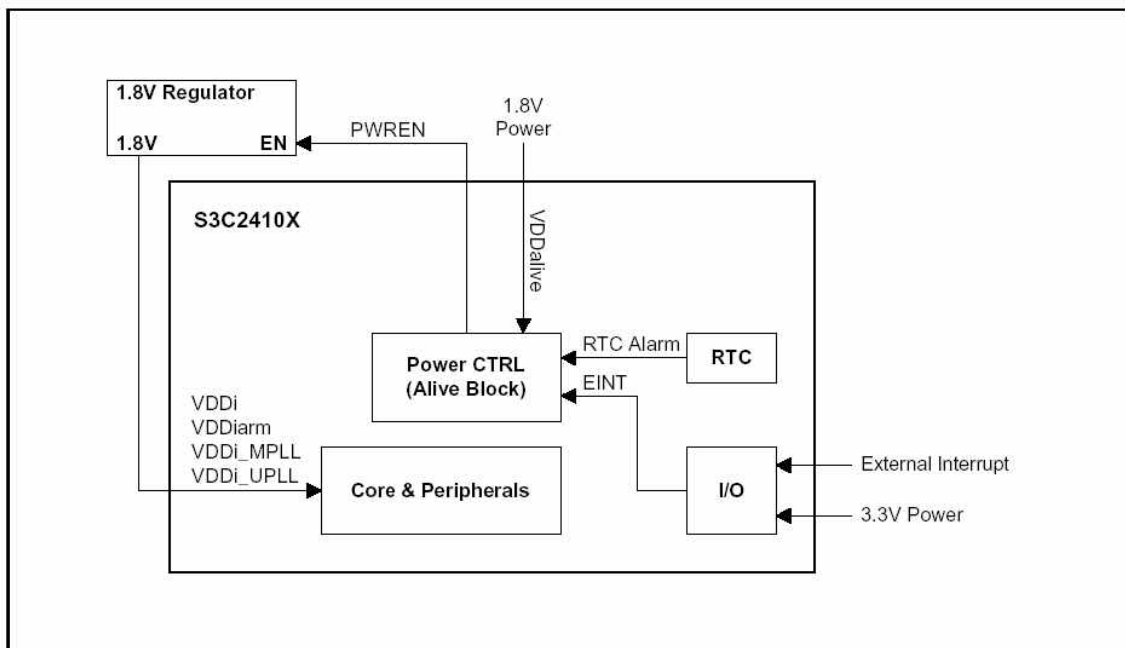


그림 7-12. 파워-오프 모드

## Wakeup 용 EINT[15:0] 신호

S3C2410X는 아래와 같은 상태에서만 파워-오프 모드에서 깨어날 수 있다.

a) 레벨 신호(H 혹은 L)나 에지 신호(상승 혹은 하강 혹은 둘다)가 EINTn 입력 핀에서 동작

한다.

- b) EINT<sub>T</sub> 핀은 GPIO 컨트롤 레지스터의 EINT로 설정되어야 한다.
- c) nBATT\_FLT 핀은 H 레벨이 되어야 한다. GPIO 컨트롤 레지스터의 EINT<sub>T</sub>을 위의 a)에서 고려한 대로 외부 인터럽트 핀으로 설정하는 것이 중요하다.

wake-up 후에, 대응되는 EINT<sub>T</sub> 핀은 wakeup 용으로 사용되지 않는다. 즉, 이 핀은 외부 인터럽트 요청 핀으로 다시 사용될 수 있음을 의미한다.

## Idle 모드로의 진입

CLKCON[2]를 1로 설정해서 Idle 모드로 진입하면, S3C2410X는 약간의 딜레이 후(파워 컨트롤 로직이 CPU wrapper에서 ACK 신호를 받을 때까지)에 Idle 모드로 진입한다.

## PLL 온/오프

PLL은 slow 모드에서 낮은 전력 소비를 위해서 턴-오프 될 수 있다. PLL이 다른 모드에서 턴-오프 되면, MCU 동작이 보장되지 않는다.

프로세서가 Slow 모드에 있고 자신의 상태를 PLL이 턴-온 되는 다른 상태로 변경하려고 하면, PLL이 안정화 된 후에 다른 상태로 이동하기 위해서 SLOW\_BIT가 클리어 되어야 한다.

## 데이터 버스와 파워-오프 모드의 풀-업 저항

파워-오프 모드에서, 데이터 버스(D[31:0] 혹은 D[15:0])는 Hi-Z 상태로 된다. 하지만, I/O 패드의 특성으로 인해서, 데이터 버스 풀-업 저항은 파워-오프 모드에서 저전력 소비를 위해서 턴-온 되어야 한다. D[31:0] 핀 풀-업 저항은 GPIO 컨트롤 레지스터에 의해서 컨트롤 될 수 있다. 어쨌든, 74LVCH162245와 같은 외부의 버스 홀더가 데이터 버스 상에 있으면, 데이터 버스 풀-업 저항을 턴-오프하고 이로써 파워소비를 줄일 수 있다.

## 출력 포트 상태와 파워-오프 모드

출력이 L이면, 내부의 고유 저항에 의해서 전류가 소비된다; 출력이 H이면, 전류가 소비되지 않는다. 출력 포트 에서, 출력 상태가 H이면 전류 소비가 감소된다.

파워-오프 모드에서 전류 소비를 줄이기 위해서 출력 포트를 H 상태로 설정할 것을 추천한다.

## 배터리 폴트 신호(nBATT\_FLT)

nBATT\_FLT의 기능은 아래와 같이 2가지가 있다;

- ☞ CPU가 파워-오프 모드에 있지 않으면, nBATT\_FLT 핀은 인터럽트 요청을 한다. nBATT\_FLT의 인터럽트는 L-레벨 트리거이다.
- ☞ CPU가 파워-오프 모드에 있는 동안에, nBATT\_FLT의 동작은 파워-오프 모드에서 깨어나는 것을 방지 한다. nBATT\_FLT가 동작하면, wake-up 소스는 마스크 되며, 낮은 배터리 용량으로 인한 시스템 오류를 방지한다.

## ADC 파워 다운

ADC는 ADCCON에 추가적인 파워-다운 비트를 가지고 있다. S3C2410X가 파워-오프 모드에 진입하면, ADC는 자시의 파워-다운 모드로 진입해야 한다.

## 클럭 발생기 & 파워 관리 특별 레지스터

### 록 타임 카운트 레지스터(LOCKTIME)

Register	Address	R/W	Description	Reset Value
LOCKTIME	0x4C000000	R/W	PLL lock time count register	0x00FFFFFF

LOCKTIME	Bit	Description	Initial State
U_LTIME	[23:12]	UPLL lock time count value for UCLK. (U_LTIME > 150uS)	0xFFF
M_LTIME	[11:0]	MPLL lock time count value for FCLK, HCLK, and PCLK (M_LTIME > 150uS)	0xFFF

### PLL 컨트롤 레지스터(MPLLCON과 UPLLCON)

$$M_{pll} = (m \times F_{in}) / (p \times 2^s)$$

$$m = (MDIV + 8), p = (PDIV + 2), s = SDIV$$

### PLL 값 선택 가이드

1.  $F_{out} = m \times F_{in} / (p \times 2^s)$ ,  $F_{vco} = m \times F_{in} / p$  여기서  $m=MDIV+8$ ,  $p=PDIV+2$ ,  $s=SDIV$
2.  $F_{in} / (25 \times p) < 28.449e6 / m < F_{in} / (10 \times p)$
3.  $0.7 < 8.456 / \sqrt{m} < 1.8$
4.  $160e6 \leq F_{vco} \leq 400e6$
5.  $20e6 \leq F_{out} \leq 203e6$  (PLL의 최대  $F_{out}$ 는 300Mhz)
6.  $F_{CLK} \geq 3X-tal$  혹은  $3EXTCLK$

**주의할 점 :** PLL 값을 선택하는 기준이 있기는 하지만, 추천 표에 나타난 PLL 값을 선택하기를 추천한다. 다른 값을 사용하려면, 삼성전자에 연락하시오.

Register	Address	R/W	Description	Reset Value
MPLLCON	0x4C000004	R/W	MPLL configuration register	0x0005C080
UPLLCON	0x4C000008	R/W	UPLL configuration register	0x00028080

PLLCON	Bit	Description	Initial State
MDIV	[19:12]	Main divider control	0x5C / 0x28
PDIV	[9:4]	Pre-divider control	0x08 / 0x08
SDIV	[1:0]	Post divider control	0x0 / 0x0

**주의할 점 :** MPLL과 UPLL의 값으로 동시에 설정할 경우에는, MPLL 값을 먼저 설정하고나서 UPLL의 값을 설정한다.

## PLL 값 선택 표

적정한 PLL 값을 찾는 일은 쉽지가 않다. 그래서, 아래의 표에 나타난 PLL 값을 추천한다.

Input Frequency	Output Frequency	MDIV	PDIV	SDIV
12.00MHz	11.289MHz	N/A	N/A	N/A
12.00MHz	16.934MHz	N/A	N/A	N/A
12.00MHz	22.50MHz	N/A	N/A	N/A
12.00MHz	33.75MHz	82 (0x52)	2	3
12.00MHz	45.00MHz	82 (0x52)	1	3
12.00MHz	50.70MHz	161 (0xa1)	3	3
12.00Mhz	48.00Mhz (note)	120 (0x78)	2	3
12.00MHz	56.25MHz	142 (0x8e)	2	3
12.00MHz	67.50MHz	82 (0x52)	2	2
12.00MHz	79.00MHz	71 (0x47)	1	2
12.00MHz	84.75MHz	105 (0x69)	2	2
12.00MHz	90.00MHz	112 (0x70)	2	2
12.00MHz	101.25MHz	127 (0x7f)	2	2
12.00MHz	113.00MHz	105 (0x69)	1	2
12.00MHz	118.50MHz	150 (0x96)	2	2
12.00MHz	124.00MHz	116 (0x74)	1	2
12.00MHz	135.00MHz	82 (0x52)	2	1
12.00MHz	147.00MHz	90 (0x5a)	2	1
12.00MHz	152.00MHz	68 (0x44)	1	1
12.00MHz	158.00MHz	71 (0x47)	1	1
12.00MHz	170.00MHz	77 (0x4d)	1	1
12.00MHz	180.00MHz	82 (0x52)	1	1
12.00MHz	186.00MHz	85 (0x55)	1	1
12.00MHz	192.00MHz	88 (0x58)	1	1
12.00MHz	202.80MHz	161 (0xa1)	3	1

주의할 점 : 48.000Mhz 출력은 UPLLCON 레지스터에 사용된다.

## 클럭 컨트롤 레지스터(CLKCON)

Register	Address	R/W	Description	Reset Value
CLKCON	0x4C00000C	R/W	Clock generator control register	0x7FFF0



CLKCON	Bit	Description	Initial State
SPI	[18]	Control PCLK into SPI block. 0 = Disable, 1 = Enable	1
IIS	[17]	Control PCLK into IIS block. 0 = Disable, 1 = Enable	1
IIC	[16]	Control PCLK into IIC block. 0 = Disable, 1 = Enable	1
ADC(&Touch Screen)	[15]	Control PCLK into ADC block. 0 = Disable, 1 = Enable	1
RTC	[14]	Control PCLK into RTC control block. Even if this bit is cleared to 0, RTC timer is alive. 0 = Disable, 1 = Enable	1
GPIO	[13]	Control PCLK into GPIO block. 0 = Disable, 1 = Enable	1
UART2	[12]	Control PCLK into UART2 block. 0 = Disable, 1 = Enable	1
UART1	[11]	Control PCLK into UART1 block. 0 = Disable, 1 = Enable	1
UART0	[10]	Control PCLK into UART0 block. 0 = Disable, 1 = Enable	1
SDI	[9]	Control PCLK into SDI interface block. 0 = Disable, 1 = Enable	1
PWMTIMER	[8]	Control PCLK into PWMTIMER block. 0 = Disable, 1 = Enable	1
USB device	[7]	Control PCLK into USB device block. 0 = Disable, 1 = Enable	1
USB host	[6]	Control HCLK into USB host block. 0 = Disable, 1 = Enable	1
LCDC	[5]	Control HCLK into LCDC block. 0 = Disable, 1 = Enable	1
NAND Flash Controller	[4]	Control HCLK into NAND Flash Controller block. 0 = Disable, 1 = Enable	1
POWER-OFF	[3]	Control Power Off mode of S3C2410. 0 = Disable, 1 = Transition to Power_OFF mode	0
IDLE BIT	[2]	Enter IDLE mode. This bit is not cleared automatically. 0 = Disable, 1 = Transition to IDLE mode	0
Reserved	[1]	Reserved	0
SM_BIT	[0]	SPECIAL mode. '0' is recommended normally. This bit can be used to enter SPECIAL mode in only the special condition, OM3=1 & wake-up by nRESET. Please contact us to use this bit.	0

### 클럭 SLOW 컨트롤(CLKSLOW) 레지스터

Register	Address	R/W	Description	Reset Value
CLKSLOW	0x4C000010	R/W	Slow clock control register	0x00000004

CLKSLOW	Bit	Description	Initial State
UCLK_ON	[7]	0: UCLK ON (UPLL is also turned on and the UPLL lock time is inserted automatically.) 1: UCLK OFF (UPLL is also turned off.)	0
Reserved	[6]	Reserved	—
MPLL_OFF	[5]	0 : PLL is turned on. After PLL stabilization time (minimum 150us), SLOW_BIT can be cleared to 0. 1 : PLL is turned off. PLL is turned off only when SLOW_BIT is 1.	0
SLOW_BIT	[4]	0 : FCLK = Mpll (MPLL output) 1: SLOW mode FCLK = input clock / (2 x SLOW_VAL) (SLOW_VAL > 0) FCLK = input clock (SLOW_VAL = 0) input clock = XTlppl or EXTCLK	0
Reserved	[3]	—	—
SLOW_VAL	[2:0]	The divider value for the slow clock when SLOW_BIT is on.	0x4

### 클럭 분주 컨트롤(CLKDIVN) 레지스터

Register	Address	R/W	Description	Reset Value
CLKDIVN	0x4C000014	R/W	Clock divider control register	0x00000000

CLKDIVN	Bit	Description	Initial State
Reserved	[2]	Special bus clock ratio for the chip verification.	0
HDIVN	[1]	0: HCLK has the clock same as the FCLK. 1: HCLK has the clock same as the FCLK/2.	0
PDIVN	[0]	0: PCLK has the clock same as the HCLK. 1: PCLK has the clock same as the HCLK/2.	0