

제8장 DMA

개요

S3C2410X는 시스템 버스와 주변장치 버스 사이에 위치하는 4채널의 DMA 컨트롤러를 제공한다. DMA 컨트롤러의 각 채널은 어떠한 제한도 받지 않으면서 시스템 버스의 디바이스와 주변장치 버스 사이에서 데이터 이동을 수행할 수 있다. 즉, 각 채널은 다음과 같은 4가지의 경우를 핸들링 할 수 있다:

- 1) 소스와 목적지 모두 시스템 버스에 있는 경우
- 2) 소스는 시스템 버스 상에 있지만 목적지는 주변장치 버스에 있을 경우
- 3) 소스는 주변장치에 있지만 목적지는 시스템 버스 상에 있는 경우
- 4) 소스와 목적지가 모두 주변장치 버스에 있는 경우

DMA의 주요한 장점으로는 CPU의 개입 없이도 데이터를 전송할 수 있다는 것이다. DMA의 동작은 소프트웨어, 내부 주변장치의 요청, 외부 요청 핀에 의해서 초기화가 가능하다.

DMA 요청 소스

H/W DMA 요청 모드가 DCON 레지스터에 의해서 선택되면, DMA 컨트롤러의 각 채널은 4개의 DMA 소스 중에서 1개를 선택할 수 있다. (S/W 요청 모드가 선택되었는지를 확인하고, 이 DMA 요청 소스가 특별한 의미를 갖는 것은 아니다.) 표 8-1은 각 채널에 대해서 4개의 DMA 소스를 나타낸다.

표 8-1. 각 채널에 대한 DMA 요청 소스

	Source0	Source1	Source2	Source3	Source4
Ch-0	nXDREQ0	UART0	SDI	Timer	USB device EP1
Ch-1	nXDREQ1	UART1	I2SSDI	SPI0	USB device EP2
Ch-2	I2SSDO	I2SSDI	SDI	Timer	USB device EP3
Ch-3	UART2	SDI	SPI1	Timer	USB device EP4

여기서, nXDREQ0과 nXDREQ1은 2개의 외부 소스(외부 디바이스)를 나타내며, I2SSDO와 I2SSDI는 각각 IIS 송신과 수신을 나타낸다.

DMA 동작

DMA는 다음에 3단계로 설명된 3-상태 FSM(유한 상태 머신)을 사용한다:

상태-1 : 초기 상태에서, DMA는 DMA 요청을 기다린다. 요청이 오게 되면, 상태-2로 넘어간다. 이 상태에서, DMA ACK와 INT REQ는 0이다.

상태-2 : 이 상태에서, DMA ACK는 1이 되며 카운터(CURR_TC)는 DCON[19:0] 레지스터에서 호출된다. DMA ACK는 나중에 클리어 될 때까지 1로 남게 됨을 주의하시오.

상태-3 : 이 상태에서, DMA의 동작을 핸들링하는 서브-FSM이 초기화 된다. 서브-FSM은 소스 어드레스에서 데이터를 읽고, 목적지 어드레스에 데이터를 기록한다. 이 동작에서, 데이터 사이즈와 전송 사이즈(single 혹은 burst)가 고려된다. 이 동작은 Single 서비스 모드에서 수행되는 동안에 카운터(CURR_TC)가 Whole 서비스 모드에서 0이 될 때까지 반복된다. 메인 FSM은 서브-FSM이 각 동작을 마칠 때 CURR_TC를 카운트 다운한다. 덧붙이면, 이러한 FSM은 CURR_TC가 0이 되고 DCON[29] 레지스터의 인터럽트 셋팅이 1로 설정될 때 INT REQ 신호를 내보낸다.

그리고 나서, 다음의 상태를 만나게 되면 DMA ACK를 클리어한다.

- 1) CURR_TC가 Whole 서비스 모드에서 0이 된다.
- 2) Atomic 동작은 Single 서비스 모드를 마친다.

Single 서비스 모드에서, 메인 FSM의 3가지 상태가 수행되고 나서, 멈추고, 다른 DMA REQ를 기다린다. DMA REQ가 들어오게 되면, 다른 3가지 상태가 반복된다. 그러므로, DMA ACK가 동작하며 각 atomic 전송시에 멈추게 된다. 대조적으로, Whole 서비스 모드에서, 메인 FSM은 CURR_TC가 0이 될 때까지 상태-3을 기다린다. 그러므로, DMA ACK는 모든 전송시에 동작하며, TC가 0이 될 때 멈춘다.

어쨌든, 서비스 모드(Single 서비스 모드 혹은 Whole 서비스 모드)에 상관없이 CURR_TC가 0이 될 경우에만 INT REQ가 동작한다.

외부의 DMA DREQ/DACK 프로토콜

3가지 형태의 외부 DMA 요청/인식 프로토콜(Single 서비스 요구, Single 서비스 핸드셰이크, Whole 서비스 핸드셰이크 모드)이 존재한다. 각각의 형태는 DMA 요청과 인식과 같은 신호가 이러한 프로토콜과 관계되는 방법을 정의한다.

기본적인 DMA 타이밍

DMA 서비스는 1개의 DMA 동작을 만드는 DMA 동작 동안에 읽기와 쓰기 사이클을 쌍으로 수행함을 의미한다. 그림 8-1에 S3C2410X의 DMA 동작에 대한 기본적인 타이밍도를 나타내고 있다.

- ☞ XnXDREQ와 XnXDACK의 셋업 타임과 딜레이 타임은 모든 모드에서 같다.
- ☞ XnXDREQ가 셋업 타임을 완료하면, 2번 동기화 되고 나서 XnXDACK는 동작한다.
- ☞ XnXDACK가 동작한 후에, DMA는 버스를 요청하고, 만약 버스를 얻게 되면 자신의 동작을 수행한다. XnXDACK는 DMA 동작이 완료될 때 정지한다.

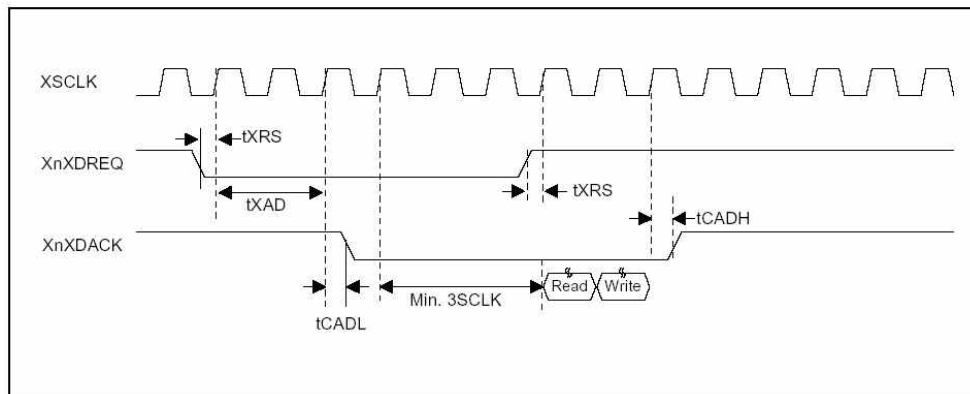


그림 8-1. 기본적인 DMA 타이밍 다이어그램

표 8-2. DMA 컨트롤러 모듈 싱글 타이밍 상수

($V_{DD} = 1.8\text{ V} \pm 0.15\text{ V}$, $T_A = 0\text{ to }70\text{ }^{\circ}\text{C}$, $V_{EXT} = 3.3\text{ V} \pm 0.3\text{ V}$)

Parameter	Symbol	Min	Typ.	Max	Unit
eXternal Request Setup	t_{XRS}	2	—	6	ns
aCcess to Ack Delay when Low transition	t_{CADL}	9	—	11	ns
aCcess to Ack Delay when High transition	t_{CADH}	9	—	11	ns
eXternal Request Delay	t_{XAD}	2	—	—	SCLK

요구/핸드셰이크 모드에 대한 비교

요구 모드와 핸드셰이크 모드는 XnXDREQ와 XnXDACK 사이의 프로토콜과 관련이 있다. 그림 8-2는 이 2가지 모드 사이의 차이점을 보여준다.

1개의 전송(Single/Burst 전송) 후에, DMA는 더블-싱크 XnXDREQ의 상태를 체크한다.

요구 모드

- ☞ XnXDREQ가 동작하고 있으면, 다음 번의 전송이 즉시 시작한다. 그렇지 않으면, 동작할 XnXDREQ를 기다린다.

핸드셰이크 모드

- ☞ XnXDREQ가 동작하지 않으면, DMA는 2 사이클 동안 XnXDACK를 중지한다. 그렇지 않으면, XnXDREQ가 동작하지 않을 때까지 기다린다.

주의할 점

XnXDREQ는 XnXDACK가 high로 된 후에만 low로 된다.

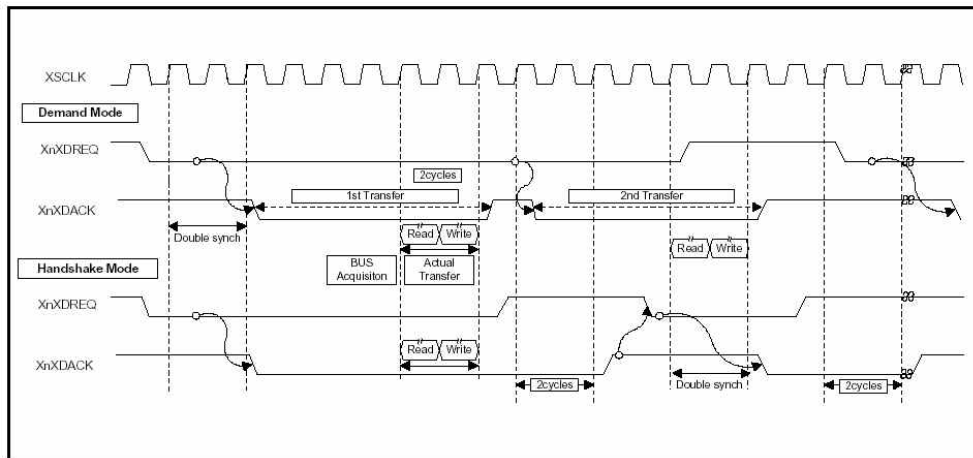


그림 8-2. 요구/핸드셰이크 모드 비교

전송 크기

- ☞ 2가지의 전송 크기가 있다; unit와 Burst 4
- ☞ DMA는 데이터 chunk를 전송하는 동안에 버스를 홀딩한다. 즉, 다른 버스 마스터가 버스를 얻을 수 없다.

Burst 4 전송 크기

4개의 연속적인 읽기와 쓰기가 Burst 4 전송 시에 반복적으로 수행된다.

주의할 점 :

unit 전송 크기 : 1개의 읽기와 1개의 쓰기가 실행된다.

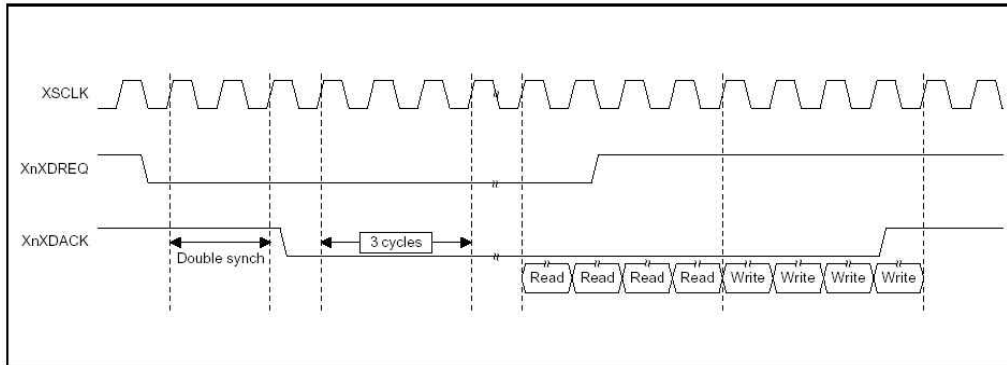


그림 8-3. Burst 4 전송 크기

예제

Unit 전송 크기를 갖는 요구 모드의 Single 서비스

XnXDREQ의 동작은 매 unit 전송(Single 서비스 모드) 시마다 필요하다. XnXDREQ가 동작 (요구 모드)하는 동안에 이러한 동작은 계속되며, 1쌍의 읽기와 쓰기(Single 전송 크기)가 수행된다.

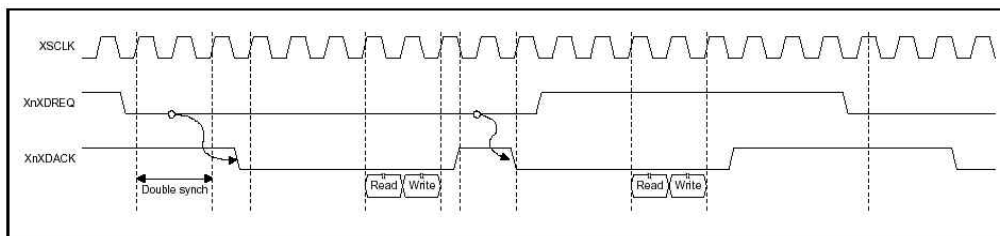


그림 8-4. Unit 전송 크기를 갖는 요구 모드의 Single 서비스

Unit 전송 크기를 갖는 핸드셰이크 모드의 Single 서비스

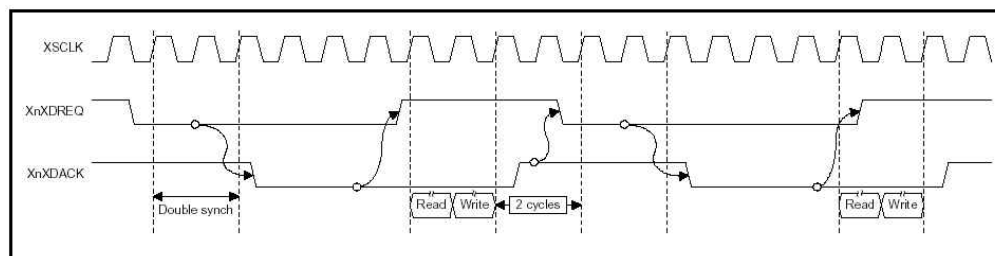


그림 8-5. Unit 전송 크기를 갖는 핸드셰이크 모드의 Single 서비스

Unit 전송 크기를 갖는 핸드셰이크 모드의 Whole 서비스

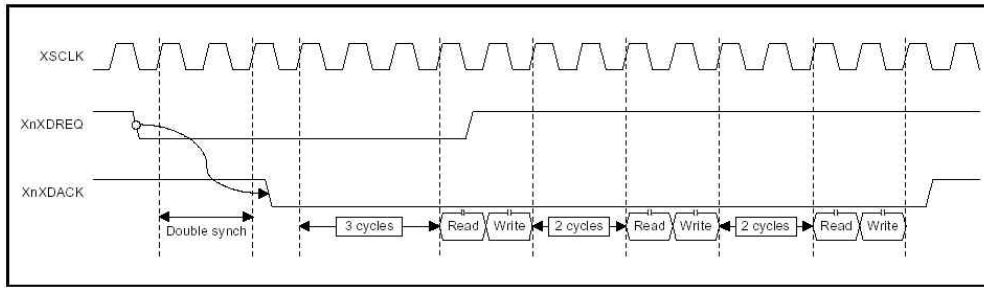


그림 8-6. Unit 전송 크기를 갖는 핸드셰이크 모드의 Whole 서비스

DMA 특별 레지스터

각 DMA 채널은 9개의 컨트롤 레지스터(DMA 컨트롤러에 대해서 4채널이 있으며 총 36개 이다)를 갖는다. 6개의 컨트롤 레지스터는 DMA 전송을 컨트롤 하며, 다른 3개는 DMA 컨트롤러의 상태를 모니터링 한다. 레지스터에 대한 자세한 설명이 아래에 나와 있다.

DMA 초기 소스(DISRC) 레지스터

Register	Address	R/W	Description	Reset Value
DISRC0	0x4B000000	R/W	DMA 0 initial source register	0x00000000
DISRC1	0x4B000040	R/W	DMA 1 initial source register	0x00000000
DISRC2	0x4B000080	R/W	DMA 2 initial source register	0x00000000
DISRC3	0x4B0000C0	R/W	DMA 3 initial source register	0x00000000

DISRCn	Bit	Description	Initial State
S_ADDR	[30:0]	Base address (start address) of source data to transfer. This bit value will be loaded into CURR_SRC only if the CURR_SRC is 0 and the DMA ACK is 1.	0x00000000

DMA 초기 소스 컨트롤(DISRCC) 레지스터

Register	Address	R/W	Description	Reset Value
DISRCC0	0x4B000004	R/W	DMA 0 initial source control register	0x00000000
DISRCC1	0x4B000044	R/W	DMA 1 initial source control register	0x00000000
DISRCC2	0x4B000084	R/W	DMA 2 initial source control register	0x00000000
DISRCC3	0x4B0000C4	R/W	DMA 3 initial source control register	0x00000000

DISRCCn	Bit	Description	Initial State
LOC	[1]	Bit 1 is used to select the location of source. 0: the source is in the system bus (AHB). 1: the source is in the peripheral bus (APB).	0
INC	[0]	Bit 0 is used to select the address increment. 0 = Increment 1 = Fixed If it is 0, the address is increased by its data size after each transfer in burst and single transfer mode. If it is 1, the address is not changed after the transfer. (In the burst mode, address is increased during the burst transfer, but the address is recovered to its first value after the transfer.)	0

DMA 초기 목적지(DIDST) 레지스터

Register	Address	R/W	Description	Reset Value
DIDST0	0x4B000008	R/W	DMA 0 initial destination register	0x00000000
DIDST1	0x4B000048	R/W	DMA 1 initial destination register	0x00000000
DIDST2	0x4B000088	R/W	DMA 2 initial destination register	0x00000000
DIDST3	0x4B0000B8	R/W	DMA 3 initial destination register	0x00000000

DIDSTn	Bit	Description	Initial State
D_ADDR	[30:0]	Base address (start address) of destination for the transfer. This bit value will be loaded into CURR_SRC only if the CURR_DST is 0 and the DMA ACK is 1.	0x00000000

DMA 초기 목적지 컨트롤(DIDSTC) 레지스터

Register	Address	R/W	Description	Reset Value
DIDSTC0	0x4B00000C	R/W	DMA 0 initial destination control register	0x00000000
DIDSTC1	0x4B00004C	R/W	DMA 1 initial destination control register	0x00000000
DIDSTC2	0x4B00008C	R/W	DMA 2 initial destination control register	0x00000000
DIDSTC3	0x4B0000CC	R/W	DMA 3 initial destination control register	0x00000000

DIDSTCn	Bit	Description	Initial State
LOC	[1]	Bit 1 is used to select the location of destination. 0: the destination is in the system bus (AHB). 1: the destination is in the peripheral bus (APB).	0
INC	[0]	Bit 0 is used to select the address increment. 0 = Increment 1 = Fixed If it is 0, the address is increased by its data size after each transfer in burst and single transfer mode. If it is 1, the address is not changed after the transfer. (In the burst mode, address is increased during the burst transfer, but the address is recovered to its first value after the transfer.)	0

DMA 컨트롤(DCON) 레지스터

Register	Address	R/W	Description	Reset Value
DCON0	0x4B000010	R/W	DMA 0 control register	0x00000000
DCON1	0x4B000050	R/W	DMA 1 control register	0x00000000
DCON2	0x4B000090	R/W	DMA 2 control register	0x00000000
DCON3	0x4B0000D0	R/W	DMA 3 control register	0x00000000

DCONn	Bit	Description	Initial State
DMD_HS	[31]	<p>Select one between Demand mode and Handshake mode.</p> <p>0: Demand mode is selected.</p> <p>1: Handshake mode is selected.</p> <p>In both modes, DMA controller starts its transfer and asserts DACK for a given asserted DREQ. The difference between the two modes is whether it waits for the deasserted DACK or not. In the Handshake mode, DMA controller waits for the deasserted DREQ before starting a new transfer. If it finds the deasserted DREQ, it deasserts DACK and waits for another asserted DREQ. In contrast, in the Demand mode, DMA controller does not wait until the DREQ is deasserted. It just deasserts DACK and then starts another transfer if DREQ is asserted. We recommend using Handshake mode for external DMA request sources to prevent unintended starts of new transfers.</p>	0
SYNC	[30]	<p>Select DREQ/DACK synchronization.</p> <p>0: DREQ and DACK are synchronized to PCLK (APB clock).</p> <p>1: DREQ and DACK are synchronized to HCLK (AHB clock).</p> <p>Therefore, for devices attached to AHB system bus, this bit has to be set to 1, while for those attached to APB system, it should be set to 0. For the devices attached to external systems, the user should select this bit depending on which the external system is synchronized with between AHB system and APB system.</p>	0
INT	[29]	<p>Enable/Disable the interrupt setting for CURR_TC (terminal count)</p> <p>0: CURR_TC interrupt is disabled. The user has to view the transfer count in the status register (i.e. polling).</p> <p>1: interrupt request is generated when all the transfer is done (i.e. CURR_TC becomes 0).</p>	0
TSZ	[28]	<p>Select the transfer size of an atomic transfer (i.e. transfer performed each time DMA owns the bus before releasing the bus).</p> <p>0: a unit transfer is performed.</p> <p>1: a burst transfer of length four is performed.</p>	0

DCONn	Bit	Description	Initial State
SERVMODE	[27]	Select the service mode between Single service mode and Whole service mode. 0: Single service mode is selected in which after each atomic transfer (single or burst of length four) DMA stops and waits for another DMA request. 1: Whole service mode is selected in which one request gets atomic transfers to be repeated until the transfer count reaches to 0. In this mode, additional request are not required. Note that even in the Whole service mode, DMA releases the bus after each atomic transfer and then tries to re-get the bus to prevent starving of other bus masters.	0
HWSRCSEL	[26:24]	Select DMA request source for each DMA. DCON0: 000:nXDREQ0 001:UART0 010:SDI 011:Timer 100:USB device EP1 DCON1: 000:nXDREQ1 001:UART1 010:I2SSDI 011:SPI 100:USB device EP2 DCON2: 000:I2SSDO 001:I2SSDI 010:SDI 011:Timer 100:USB device EP3 DCON3: 000:UART2 001:SDI 010:SPI 011:Timer 100:USB device EP4 These bits control the 4-1 MUX to select the DMA request source of each DMA. These bits have meanings only if H/W request mode is selected by DCONn[23].	00
SWHW_SE L	[23]	Select the DMA source between software (S/W request mode) and hardware (H/W request mode). 0: S/W request mode is selected and DMA is triggered by setting SW_TRIG bit of DMASKTRIG control register. 1: DMA source selected by bit[26:24] triggers the DMA operation.	0
RELOAD	[22]	Set the reload on/off option. 0: auto reload is performed when a current value of transfer count becomes 0 (i.e. all the required transfers are performed). 1: DMA channel (DMA REQ) is turned off when a current value of transfer count becomes 0. The channel on/off bit (DMASKTRIGn[1]) is set to 0 (DREQ off) to prevent unintended further start of new DMA operation.	0
DSZ	[21:20]	Data size to be transferred. 00 = Byte 01 = Half word 10 = Word 11 = reserved	00
TC	[19:0]	Initial transfer count (or transfer beat). Note that the actual number of bytes that are transferred is computed by the following equation: DSZ x TSZ x TC. Where, DSZ, TSZ (1 or 4), and TC represent data size (DCONn[21:20]), transfer size (DCONn[28]), and initial transfer count, respectively. This value will be loaded into CURR_SRC only if the CURR_SRC is 0 and the DMA ACK is 1.	00000

DMA 상태(DSTAT) 레지스터

Register	Address	R/W	Description	Reset Value
DSTAT0	0x4B000014	R	DMA 0 count register	000000h
DSTAT1	0x4B000054	R	DMA 1 count register	000000h
DSTAT2	0x4B000094	R	DMA 2 count register	000000h
DSTAT3	0x4B0000D4	R	DMA 3 count register	000000h

DSTATn	Bit	Description	Initial State
STAT	[21:20]	Status of this DMA controller. 00: Indicates that DMA controller is ready for another DMA request. 01: Indicates that DMA controller is busy for transfers.	00b
CURR_TC	[19:0]	Current value of transfer count. Note that transfer count is initially set to the value of DCONn[19:0] register and decreased by one at the end of every atomic transfer.	00000h

DMA 현재 소스(DCSRC) 레지스터

Register	Address	R/W	Description	Reset Value
DCSRC0	0x4B000018	R	DMA 0 current Source Register	0x00000000
DCSRC1	0x4B000058	R	DMA 1 current Source Register	0x00000000
DCSRC2	0x4B000098	R	DMA 2 current Source Register	0x00000000
DCSRC3	0x4B0000D8	R	DMA 3 current Source Register	0x00000000

DCSRCn	Bit	Description	Initial State
CURR_SRC	[30:0]	Current source address for DMA _n	0x00000000

현재 목적(DCDST) 레지스터

Register	Address	R/W	Description	Reset Value
DCDST0	0x4B00001C	R	DMA 0 current destination register	0x00000000
DCDST1	0x4B00005C	R	DMA 1 current destination register	0x00000000
DCDST2	0x4B00009C	R	DMA 2 current destination register	0x00000000
DCDST3	0x4B0000DC	R	DMA 3 current destination register	0x00000000

DCDSTn	Bit	Description	Initial State
CURR_DST	[30:0]	Current destination address for DMA _n	0x00000000

DMA 마스크 트리거(DMASKTRIG) 레지스터

Register	Address	R/W	Description	Reset Value
DMASKTRIG0	0x4B000020	R/W	DMA 0 mask trigger register	000
DMASKTRIG1	0x4B000060	R/W	DMA 1 mask trigger register	000
DMASKTRIG2	0x4B0000A0	R/W	DMA 2 mask trigger register	000
DMASKTRIG3	0x4B0000E0	R/W	DMA 3 mask trigger register	000

DMASKTRIGn	Bit	Description	Initial State
STOP	[2]	Stop the DMA operation. 1: DMA stops as soon as the current atomic transfer ends. If there is no current running atomic transfer, DMA stops immediately. The CURR_TC will be 0. NOTE: Due to possible current atomic transfer, "stop" operation may take several cycles. The finish of the operation (i.e. actual stop time) can be detected as soon as the channel on/off bit (DMASKTRIGn[1]) is set to off. This stop is "actual stop".	0
ON_OFF	[1]	DMA channel on/off bit. 0: DMA channel is turned off. (DMA request to this channel is ignored.) 1: DMA channel is turned on and the DMA request is handled. This bit is automatically set to off if we set the DCONn[22] bit to "no auto reload" and/or STOP bit of DMASKTRIGn to "stop". Note that when DCON[22] bit is "no auto reload", this bit becomes 0 when CURR_TC reaches 0. If the STOP bit is 1, this bit becomes 0 as soon as the current atomic transfer is completed. NOTE: This bit should not be changed manually during DMA operations (i.e. this has to be changed only by using DCON[22] or STOP bit).	0
SW_TRIG	[0]	Trigger the DMA channel in S/W request mode. 1: it requests a DMA operation to this controller. Note that this trigger gets effective after S/W request mode has to be selected (DCONn[23]) and channel ON_OFF bit has to be set to 1 (channel on). When DMA operation starts, this bit is cleared automatically.	0

주의할 점 : DISRC 레지스터, DIDST 레지스터의 값과 DCON 레지스터의 TC 값을 자유로이 변경할 수 있다. 이러한 변경은 현재의 전송이 끝난 후에(즉, CURR_TC가 0으로 될 때) 적용된다. 반면에, 다른 레지스터에 이러한 변경을 가하면 즉시 적용된다. 그러므로, 이러한 레지스터 값을 변경할 때는 주의를 요한다.

S/W Work-Around

DMA 자동-재호출은 DMA 카운터가 0이 된 후에 DMA 요청이 들어올 때에만 발생한다. 즉, 아래의 코드는 DMA 소스 어드레스, 목적 어드레스, 다음 자동-재호출을 위한 카운터 레지스터를 셋팅하기 전에 인터럽트 핸들러를 사용할 DMA에서 사용되어야 한다. 이 코드는 DMA 요청이 들어오고 이전의 자동-재호출 값이 호출될 때까지 기다린다.

```
while((rDSTATn&0xfffff)==0);
```