

제19장 SDIO 보안 디지털 인터페이스

개요

S3C2410X의 SDI(Secure Digital Interface)는 SD 메모리 카드, SDIO 디바이스와 멀티-미디어 카드(MMC)에 인터페이스 된다.

형태

- SD 메모리 카드 스펙 Ver 1.0/MMC 스펙 V2.11과 호환
- SDIO 카드 스펙 Ver 1.0과 호환
- 데이터 Tx/Rx 용 16워드(64바이트) FIFO(depth 16)
- 40비트 커맨드 레지스터(SDICARG[31:0]+SDICCON[7:0])
- 136비트 응답 레지스터(SDIRSPn[127:0]+SDICSTA[7:0])
- 8비트 프리스케일러 로직(Freq. = system clock / (2(P+1)))
- CRC7 & CRC16 발생기
- Normal, DMA 데이터 전송 모드(바이트 혹은 워드 전송)
- 1비트/4비트(wide 버스) 모드 & 블록 / 스트림 모드 스위칭 지원
- SDI 용 데이터 전송 모드에서 25MHz까지 지원
- MMC 용 데이터 전송 모드에서 10MHz까지 지원

블록 다이어그램

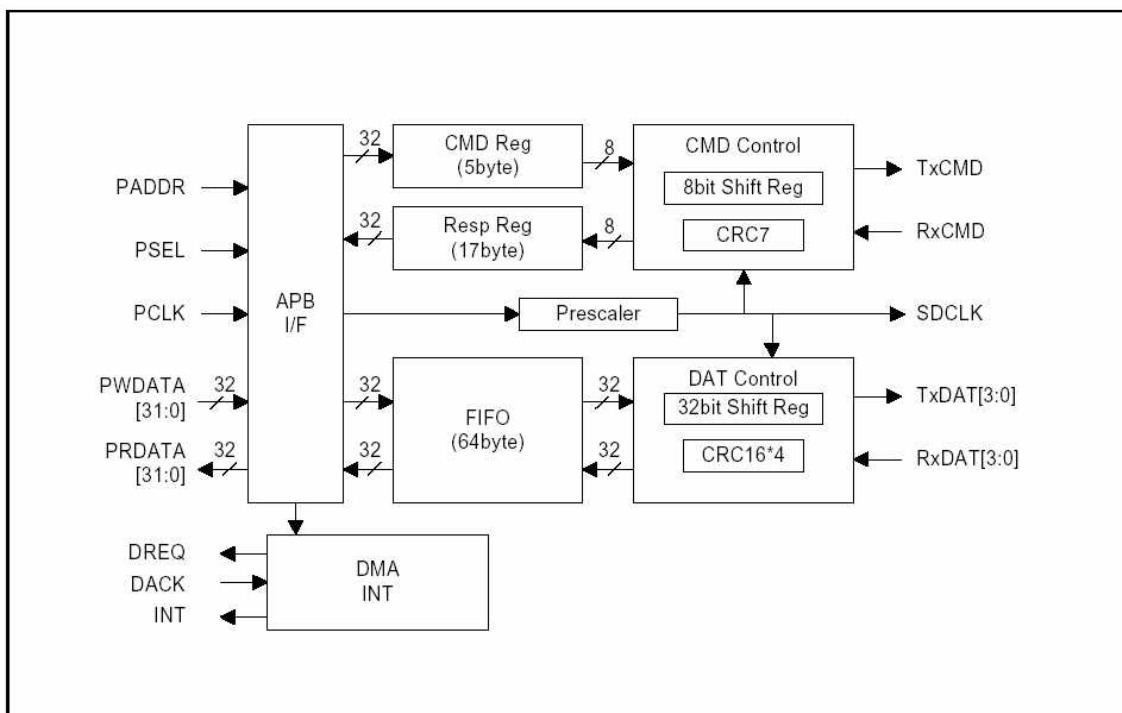


그림 19-1. 블록 다이어그램

SD 동작

시리얼 클럭 라인은 정보를 쉬프트하고 샘플링 하는데 5개의 데이터 라인과 동기화 된다. 전송 주파수를 의존하는 SDIPRE 레지스터에 적절한 비트를 설정한다. baud rate 데이터 레지스터 값을 조정하기 위해서 자신의 주파수를 변경한다.

프로그래밍 절차(Common)

SDI 모듈은 아래와 같은 기본적인 단계로 프로그래밍 된다:

1. SDICON에 적절한 클럭과 인터럽트를 설정한다.
2. SDIPRE에 적절한 값을 설정한다.
3. 카드를 초기화 하기 위해서 74개의 SDCLK 클럭 사이클을 기다린다.

CMD 경로 프로그래밍

1. SDICARG 레지스터에 커맨드 argument(32-bit)를 기록한다.
2. SDICCON[8]을 셋팅해서 커맨드 형태를 결정하고 커맨드를 시작한다.
3. SDICSTA의 플래그가 설정되면 SDI 커맨드 동작의 끝을 확인한다.
 - 커맨드의 형태가 no-response이면, 플래그는 SDICSTA[11]이다.
 - 커맨드의 형태가 with-response이면, 플래그는 SDICSTA[9]이다.
4. 플래그 비트에 1을 기록해서 SDICSTA 레지스터의 대응되는 플래그를 클리어 한다.

DAT 경로 프로그래밍

1. SDIDTIMER 레지스터에 타임아웃 주기를 기록한다.
2. SDIBSIZE 레지스터에 블록의 크기를 기록한다.
3. 블록의 모드, 버스 폭, DMA등을 결정하고 SDIDCON 레지스터를 설정해서 데이터 전송을 시작한다.
4. Tx FIFO가 SDIFSTA 레지스터를 체크해서 Tx-data를 SDIDAT 레지스터에 기록한다.
5. Rx FIFO가 SDIFSTA를 체크하는 동안에 SDIDAT 레지스터에서 Rx-data를 읽는다.
6. 데이터 전송 마침 플래그가 설정되었을 때 SDI 데이터 동작의 끝을 확인한다.
7. 플래그 비트에 1을 기록해서 SDIDSTA 레지스터의 대응되는 비트를 클리어 한다.

NOTES

1. MMC의 경우네, 데이터 전송 용 최대 클럭은 10MHz이다.
2. MMC 쓰기 모드에서, CRC 에러가 정확한 기록에도 불구하고 발생된다. 사용자가 데이터를 신뢰성을 가지고 전송하려면, 기록 후에 데이터를 읽어서 비교한다.
3. 오랜 응답의 경우에, CRC 에러는 SD 디바이스에서 정확한 응답 데이터를 수신한 후에 검출되어야 한다. 사용자는 소프트웨어를 이용해서 수신된 응답에 대한 CRC를 체크해야 한다.

SDIO 동작

SDIO 동작에 대한 2가지의 기능이 있다: SDIO 인터럽트 수신과 읽기 지연 요청 발생 이러한 2가지 기능은 SDICON 레지스터의 RcvIOInt 비트와 RwaitEn 비트가 활성화 될 때 동

작할 수 있다. 세부적인 단계와 상태는 아래를 참조하시오.

SDIO 인터럽트

SD 1비트 모드에서, 인터럽트는 SDDAT1 핀에서 모든 범위를 통해서 수신된다.

SD 4비트 모드에서, SDDAT1 핀은 데이터와 인터럽트를 수신할 때 공유된다. 인터럽트 검출 범위는 다음과 같다:

1. 단일 블록: A와 B 사이의 시간
 - A: 데이터 패킷 완료 후의 2클럭
 - B: 다음 데이터 커맨드의 end 비트 전송 완료
2. 멀티 블록, SDIDCON[21]=0: A와 B 사이의 시간, C에서 인터럽트 검출 범위를 재시작
 - A: 데이터 패킷 완료 후의 2클럭
 - B: A 후의 2클럭
 - C: abort 커맨드 응답의 end 비트 후의 2클럭
3. 멀티 블록, SDIDCON[21] = 1: A와 B 사이의 시간, A에서 재시작
 - A: 데이터 패킷 완료 후 2클럭
 - B: A 후의 2클럭

마지막 블록의 경우네, 인터럽트 주기는 마지막 A에서 시작되지만 B에서 끝나지는 않는다.

읽기 지연 요청

1비트 모드나 4비트 모드에 상관없이, 읽기 지연 요청 신호는 아래와 같은 상태에서 SDDAT2에 신호를 전송한다.

- 여러 동작 읽기 에서, 요청 신호 전송은 데이터 블록의 마침 후에 2클럭에서 시작된다.
- 사용자가 SDIDSTA[10]에 1을 기록할 때 전송이 끝난다.

SDI 특별 레지스터

SDI 컨트롤(SDICON) 레지스터

Register	Address	R/W	Description	Reset Value
SDICON	0x5A000000	R/W	SDI control register	0x0

SDICON	Bit	Description	Initial Value
Byte Order Type (ByteOrder)	[4]	Determine byte order type when you read (write) data from (to) SD host FIFO with word boundary. 0 = Type A, 1 = Type B	0
Receive SDIO Interrupt from card (RcvIOInt)	[3]	Determine whether SD host receives SDIO Interrupt from the card or not (for SDIO). 0 = ignore, 1 = receive SDIO Interrupt	0
Read Wait Enable (RWaitEn)	[2]	Determine read wait request signal generate when SD host waits the next block in multiple block read mode. This bit needs to delay the next block to be transmitted from the card (for SDIO). 0 = disable (no generate), 1 = Read wait enable (use SDIO)	0
FIFO Reset (FRST)	[1]	Reset FIFO value. This bit is automatically cleared. 0 = normal mode, 1 = FIFO reset	0
Clock Out Enable (ENCLK)	[0]	Determine whether SDCLK Out enable or not. 0 = disable (prescaler off), 1 = clock enable	0

NOTE : 바이트 순서 형태

- 타입 A: D[7:0] -> D[15:8] -> D[23:16] -> D[31:24]
- 타입 B: D[31:24] -> D[23:16] -> D[15:8] -> D[7:0]

SDI baud rate 프리스케일러(SDIPRE) 레지스터

Register	Address	R/W	Description	Reset Value
SDIPRE	0x5A000004	R/W	SDI baud rate prescaler register	0x0

SDIPRE	Bit	Description	Initial Value
Prescaler Value	[7:0]	Determine SDI clock (SDCLK) rate as above equation. Baud rate = PCLK / 2 / (Prescaler value + 1)	0x00

SDI 커맨드 argument 레지스터(SDICARG)

Register	Address	R/W	Description	Reset Value
SDICARG	0x5A000008	R/W	SDI command argument register	0x0

SDICARG	Bit	Description	Initial Value
CmdArg	[31:0]	Command Argument	0x00000000

SDI 커맨드 컨트롤(SDICCON) 레지스터

Register	Address	R/W	Description	Reset Value
SDICCON	0x5A00000C	R/W	SDI command control register	0x0

SDICCON	Bit	Description	Initial Value
Abort Command (AbortCmd)	[12]	Determine whether command type is for abort (for SDIO). 0 = normal command, 1 = abort command (CMD12, CMD52)	0
Command with Data (WithData)	[11]	Determine whether command type is with data (for SDIO). 0 = without data, 1 = with data	0
LongRsp	[10]	Determine whether host receives a 136-bit long response or not. 0 = short response, 1 = long response	0
WaitRsp	[9]	Determine whether host waits for a response or not. 0 = no response, 1 = wait response	0
Command Start(CMST)	[8]	Determine whether command operation starts or not. 0 = command ready, 1 = command start	0
CmdIndex	[7:0]	Command index with start 2bit (8bit)	0x00

SDI 커맨드 상태(SDICSTA) 레지스터

Register	Address	R/W	Description	Reset Value
SDICSTA	0x5A000010	R/(W)	SDI command status register	0x0

SDICSTA	Bit	Description	Initial Value
Response CRC Fail(RspCrc)	[12] R/W	CRC check failed when command response received. This flag is cleared by setting one to this bit. 0 = not detect, 1 = crc fail	0
Command Sent (CmdSent)	[11] R/W	Command sent (not concerned with response). This flag is cleared by setting one to this bit. 0 = not detect, 1 = command end	0
Command Time Out (CmdTout)	[10] R/W	Command response timeout (64clk). This flag is cleared by setting one to this bit. 0 = not detect, 1 = timeout	0
Response Receive End (RspFin)	[9] R/W	Command response received. This flag is cleared by setting one to this bit. 0 = not detect, 1 = response end	0
CMD line progress On (CmdOn)	[8] R	Command transfer in progress. 0 = not detect, 1 = in progress	0
RspIndex	[7:0] R	Response index 6bit with start 2bit (8bit)	0x00

SDI 응답 레지스터0(SDIRSP0)

Register	Address	R/W	Description	Reset Value
SDIRSP0	0x5A000014	R	SDI response register 0	0x0

SDIRSP0	Bit	Description	Initial Value
Response0	[31:0]	Card status[31:0](short), card status[127:96](long)	0x00000000

SDI 응답 레지스터1(SDIRSP1)

Register	Address	R/W	Description	Reset Value
SDIRSP1	0x5A000018	R	SDI response register 1	0x0

SDIRSP1	Bit	Description	Initial Value
RCRC7	[31:24]	CRC7 (with end bit, short), card status[95:88](long)	0x00
Response1	[23:0]	Unused (short), card status[87:64](long)	0x000000

SDI 응답 레지스터2(SDIRSP2)

Register	Address	R/W	Description	Reset Value
SDIRSP2	0x5A00001C	R	SDI response register 2	0xy0

SDIRSP2	Bit	Description	Initial Value
Response2	[31:0]	Unused (short), card status[63:32](long)	0x00000000

SDI 응답 레지스터3(SDIRSP3)

Register	Address	R/W	Description	Reset Value
SDIRSP3	0x5A000020	R	SDI response register 3	0x0y

SDIRSP3	Bit	Description	Initial Value
Response3	[31:0]	Unused (short), card status[31:0](long)	0x00000000

SDI 데이터/busy 타이머(SDIDTIMER) 레지스터

Register	Address	R/W	Description	Reset Value
SDIDTIMER	0x5A000024	R/W	SDI data / busy timer register	0x2000

SDIDTIMER	Bit	Description	Initial Value
DataTimer	[15:0]	Data / busy timeout period (0~65535 cycle)	0x2000

SDI 블록 사이즈(SDIBSIZE) 레지스터

Register	Address	R/W	Description	Reset Value
SDIBSIZE	0x5A000028	R/W	SDI block size register	0x0

SDIBSIZE	Bit	Description	Initial Value
BlkSize	[11:0]	Block size value (0~4095 byte). Do not care when stream mode	0x000

NOTE : 멀티 블록의 경우에, BlkSize는 워드 크기(4바이트)로 할당되어야 한다.(BlkSize[1:0]=00)

SDI 데이터 컨트롤(SDIDCON) 레지스터

Register	Address	R/W	Description	Reset Value
SDIDCON	0x5A00002C	R/W	SDI data control register	0x0

SDIDCON	Bit	Description	Initial Value
SDIO Interrupt Period Type (PrdType)	[21]	Determine whether SDIO Interrupt period is 2 cycle or extend more cycle when last data block is transferred (for SDIO). 0 = exactly 2 cycle, 1 = more cycle(likely single block)	0
Transmit After Response (TARSP)	[20]	Determine when data transmit start after response receive or not. 0 = directly after DatMode set, 1 = after response receive(assume DatMode sets to 2'b11)	0
Receive After Command (RACMD)	[19]	Determine when data receive start after command sent or not. 0 = directly after DatMode set, 1 = after command sent (assume DatMode sets to 2'b10)	0
Busy After Command (BACMD)	[18]	Determine when busy receive start after command sent or not. 0 = directly after DatMode set, 1 = after command sent (assume DatMode sets to 2'b01)	0
Block mode (BlkMode)	[17]	Data transfer mode. 0 = stream data transfer, 1 = block data transfer	0
Wide bus enable (WideBus)	[16]	Determine enable wide bus mode. 0 = standard bus mode(only SDIDAT[0] used), 1 = wide bus mode(SDIDAT[3:0] used)	0
DMA Enable (EnDMA)	[15]	Enable DMA. 0 = disable(polling), 1 = dma enable	0
Stop by force (STOP)	[14]	Determine whether data transfer stop by force or not. 0 = normal, 1 = stop by force	0
Data Transfer Mode (DatMode)	[13:12]	Determine the direction of data transfer. 00 = ready, 01 = only busy check start 10 = data receive start, 11 = data transmit start	00
BlkNum	[11:0]	Block Number (0~4095). Do not care when stream mode.	0x000

NOTE : TARST, RACMD와 BACMD 비트 중 1개를 1로 설정하려면, SDICCON 레지스터의 SDIDCON 레지스터 head에 기록해야 한다.

SDI 데이터 Remain 카운터(SDIDCNT) 레지스터

Register	Address	R/W	Description	Reset Value
SDIDCNT	0x5A000030	R	SDI data remain counter register	0x0

SDIDCNT	Bit	Description	Initial Value
BlkNumCnt	[23:12]	Remaining block number	0x000
BlkCnt	[11:0]	Remaining data byte of 1 block	0x000

SDI 데이터 상태(SDIDSTA) 레지스터

Register	Address	R/W	Description	Reset Value
SDIDSTA	0x5A000034	R/(W)	SDI data status register	0x0

SDIDSTA	Bit	Description	Initial Value
Read Wait Request Occur (RWaitReq)	[10] R/W	Read wait request signal transmits to SD card. The request signal is stopped and this flag is cleared by setting one to this bit.(for SDIO) 0 = not occur, 1 = Read wait request occur	0
SDIO Interrupt Detect (IOIntDet)	[9] R/W	SDIO interrupt detects. This flag is cleared by setting one to this bit.(for SDIO) 0 = not detect, 1 = SDIO interrupt detect	0
FIFO Fail error (FFfail)	[8] R/W	FIFO fail error when FIFO occurs overrun / underrun / misaligned data saving. This flag is cleared by setting one to this bit. 0 = not detect, 1 = FIFO fail	0
CRC Status Fail (CrcSta)	[7] R/W	CRC Status error when data block sent (CRC check failed - returned from card). This flag is cleared by setting one to this bit. 0 = not detect, 1 = crc status fail	0
Data Receive CRC Fail (DatCrc)	[6] R/W	Data block received error (CRC check failed - calculated by host). This flag is cleared by setting one to this bit. 0 = not detect, 1 = receive crc fail	0
Data Time Out (DatTout)	[5] R/W	Data / Busy receive timeout. This flag is cleared by setting one to this bit. 0 = not detect, 1 = timeout	0
Data Transfer Finish (DatFin)	[4] R/W	Data transfer completes (data counter is zero). This flag is cleared by setting one to this bit. 0 = not detect, 1 = data finish detect	0
Busy Finish (BusyFin)	[3] R/W	Only busy check finish. This flag is cleared by setting one to this bit. 0 = not detect, 1 = busy finish detect	0
Start Bit Error (SbitErr)	[2] R/W	Start bit is not detected on all data signals in wide bus mode. This flag is cleared by setting one to this bit. 0 = not detect, 1 = command end	0
Tx Data progress On (TxDatOn)	[1] R	Data transmit in progress. 0 = not active, 1 = data Tx in progress	0
Rx Data Progress On (RxDatOn)	[0] R	Data receive in progress. 0 = not active, 1 = data Rx in progress	0

SDI FIFO 상태(SDIFSTA) 레지스터

Register	Address	R/W	Description	Reset Value
SDIFSTA	0x5A000038	R	SDI FIFO status register	0x0

SDIFSTA	Bit	Description	Initial State
FIFO available Detect for Tx (TFDET)	[13]	Indicate that FIFO data is available for transmission when DatMode (SDIDCON[12]) is data transmit mode. If DMA mode is enable, SD host requests DMA operation. 0 = not detect (FIFO full), 1 = detect($0 \leq \text{FIFO} \leq 63$)	0
FIFO available Detect for Rx (RFDET)	[12]	Indicate that FIFO data is available for reception when DatMode (SDIDCON[12]) is data receive mode. If DMA mode is enable, SD host requests DMA operation. 0 = not detect(FIFO empty), 1 = detect($1 \leq \text{FIFO} \leq 64$)	0
Tx FIFO Half Full (TFHalf)	[11]	Set to 1 whenever Tx FIFO is less than 33byte. 0 = $33 \leq \text{Tx FIFO} \leq 64$, 1 = $0 \leq \text{Tx FIFO} \leq 32$	0
Tx FIFO Empty (TFEmpty)	[10]	Set to 1 whenever Tx FIFO is empty. 0 = $1 \leq \text{Tx FIFO} \leq 64$, 1 = Empty(0byte)	0
Rx FIFO Last Data Ready (RFLast)	[9]	Set to 1 whenever Rx FIFO has last data of all block. 0 = not received yet, 1 = Last data ready	0
Rx FIFO Full (RFFull)	[8]	Set to 1 whenever Rx FIFO is full. 0 = $0 \leq \text{Rx FIFO} \leq 63$, 1 = Full(64byte)	0
Rx FIFO Half Full (RFHalf)	[7]	Set to 1 whenever Rx FIFO is more than 31byte. 0 = $0 \leq \text{Rx FIFO} \leq 31$, 1 = $32 \leq \text{Rx FIFO} \leq 64$	0
FIFO Count (FFCNT)	[6:0]	Number of data (byte) in FIFO	0000000

SDI 데이터(SDIDAT) 레지스터

Register	Address	R/W	Description	Reset Value
SDIDAT	0x5A00003C(Li/W, Li/B, Bi/W) 0x5A00003F(Bi/B)	R/W	SDI data register	0x0

SDIDAT	Bit	Description	Initial State
Data Register	[31:0]	This field contains the data to be transmitted or received over the SDI channel.	0x00000000

NOTES :

1. (Li/W, Li/B) : 엔디안 모드가 리틀일 때 워드/바이트 단위로 액세스
2. (Bi/W) : 엔디안 모드가 빅일 때 워드 단위로 액세스
3. (Bi/B) : 엔디안 모드가 빅일 때 바이트 단위로 액세스

SDI 인터럽트 마스크(SDIIMSK) 레지스터

Register	Address	R/W	Description	Reset Value
SDIIMSK	0x5A000040	R/W	SDI interrupt mask register	0x0

SDIIMSK	Bit	Description	Initial Value
RspCrc Interrupt Enable	[17]	Response CRC error interrupt. 0 = disable, 1 = interrupt enable	0
CmdSent Interrupt Enable	[16]	Command sent(without response) interrupt. 0 = disable, 1 = interrupt enable	0
CmdTout Interrupt Enable	[15]	Command response timeout interrupt. 0 = disable, 1 = interrupt enable	0
RspEnd Interrupt Enable	[14]	Command response received interrupt. 0 = disable, 1 = interrupt enable	0
RWaitReq Interrupt Enable	[13]	Read wait request interrupt. 0 = disable, 1 = interrupt enable	0
IOIntDet Interrupt Enable	[12]	SD host receives SDIO Interrupt from the card (for SDIO). 0 = disable, 1 = interrupt enable	0
FFfail Interrupt Enable	[11]	FIFO fail error interrupt. 0 = disable, 1 = interrupt enable	0
CrcSta Interrupt Enable	[10]	CRC status errors interrupt. 0 = disable, 1 = interrupt enable	0
DatCrc Interrupt Enable	[9]	Data CRC fail interrupt. 0 = disable, 1 = interrupt enable	0
DatTout Interrupt Enable	[8]	Data timeout interrupt. 0 = disable, 1 = interrupt enable	0
DatFin Interrupt Enable	[7]	Data counter zero interrupt. 0 = disable, 1 = interrupt enable	0
BusyFin Interrupt Enable	[6]	Busy checks complete interrupt. 0 = disable, 1 = interrupt enable	0
SBitErr Interrupt Enable	[5]	Start bit error interrupt. 0 = disable, 1 = interrupt enable	0
TFHalf Interrupt Enable	[4]	Tx FIFO half interrupt. 0 = disable, 1 = interrupt enable	0
TFFempty Interrupt Enable	[3]	Tx FIFO empty interrupt. 0 = disable, 1 = interrupt enable	0
RFLast Interrupt Enable	[2]	Rx FIFO has last data interrupt. 0 = disable, 1 = interrupt enable	0
RFFull Interrupt Enable	[1]	Rx FIFO full interrupt. 0 = disable, 1 = interrupt enable	0
RFHalf Interrupt Enable	[0]	Rx FIFO half interrupt. 0 = disable, 1 = interrupt enable	0

SDI Data/Busy 타이머 레지스터

SDI data/busy 타이머 레지스터는 16비트 카운터를 가진다. 25MHz의 동작 시에, 카운트가 가능한 최대 동작 시간은 2.6ms(40ns*0x1000)이다. 그러나, 어떤 카드는 매우 긴 액세스 시간(TAAC)를 가지며, TAAC가 100ms를 넘는다. 이러한 경우에 SDI는 데이터 타임아웃 에러 상태를 발생한다. 이러한 문제를 해결하기 위해서 아래의 흐름도를 참조하십시오.

