

제1장 개 요

소개

이 문서는 16/32-bit 마이크로프로세서인 삼성 S3C2410X에 대한 매뉴얼이다. 이 제품은 소형 사이즈이면서, 저가격, 저전력, 고성능의 마이크로컨트롤러로써, 휴대형 장치와 범용 기기에 탑재되도록 설계되었다. 시스템 제작 비용을 줄이기 위해서, S3C2410X는 각각 분리된 16KB의 명령어 캐쉬, 16KB의 데이터 캐쉬, 가상의 메모리 관리 유닛을 핸들링하는 MMU, LCD 컨트롤러(STN & TFT), NAND 플래쉬 부트 로더, 시스템 관리자(칩 선택 로직과 SDRAM 컨트롤러), 3채널의 UART, 4채널의 DMA, 4채널의 PWM 타이머, I/O 포트, RTC, 8채널의 10-bit ADC와 터치 스크린 인터페이스, IIC-BUS 인터페이스, IIS-BUS 인터페이스, USB 호스트, USB 디바이스, SD 호스트 & 멀티 미디어 카드 인터페이스, 2채널의 SPI와 클럭 발생을 위한 PLL 등을 내장하고 있다.

S3C2410X는 ARM920T 코어, 0.18um의 CMOS 표준 cell, 메모리 컴파일러 등을 이용해서 개발되었다. 이 제품은 비용과 전력에 민감한 응용분야에 적용되도록 설계되었으며, Advanced Microcontroller Bus Architecture(AMBA)라고 불리는 새로운 버스 아키텍처를 채택하였다.

S3C2410X는 Advanced RISC Machines, Ltd라는 회사에서 개발한 16/32-bit ARM920T RISC 프로세서를 CPU 코어로 사용하고 있다. ARM920T는 MMU, AMBA BUS, 각 8-word 라인 길이를 갖는 16KB의 명령어 캐쉬와 16KB의 데이터 캐쉬가 분리되어 있는 하버드 캐쉬 아키텍처로 구성되어 있다.

S3C2410X는 거의 모든 주변장치를 내장하였기 때문에 시스템 구성 비용을 최소화 할 수 있고, 추가적인 부품 장착이 없이도 여러 기능들을 사용할 수 있다. 구체적인 내용을 정리하면, 아래와 같다:

- ☞ 1.8V의 내부 전압, 1.8V/2.5V/3.3V 메모리, 16KB의 I-Cache/16KB의 D-Cache/MMU를 갖는 3.3V 외부 I/O 마이크로 프로세서
- ☞ 외부의 메모리 컨트롤러(SDRAM 컨트롤과 칩 선택 로직)
- ☞ 1채널의 LCD 전용 DMA를 갖는 LCD 컨트롤러(4K의 컬러 STN과 256K의 컬러 TFT)
- ☞ 외부의 request 핀을 갖는 4채널의 DMA
- ☞ 3채널의 UART(IrDA 1.0, 16-Byte Tx FIFO, 16-Byte Rx FIFO)/2채널의 SPI
- ☞ 1채널의 멀티-마스터 IIC-BUS/1채널의 IIS-BUS 컨트롤러
- ☞ SD 호스트 인터페이스 버전 1.0 & 멀티-미디어 카드 프로토콜 버전 2.11과 호환
- ☞ 2-포트의 USB 호스트/1-포트의 USB 디바이스(버전 1.1)
- ☞ 4채널의 PWM 타이머 & 1채널의 내부 타이머
- ☞ 와치 도그 타이머
- ☞ 117-bit의 범용 I/O 포트/24-채널의 외부 인터럽트 소스
- ☞ 전원 컨트롤: Normal, Slow, Idle, 파워-off 모드
- ☞ 8채널의 10-bit ADC와 터치 스크린 인터페이스

- ☞ calendar 기능을 하는 RTC
- ☞ 칩 안에 내장된 PLL 클럭 발생기

세부 사항

아키텍처

- ☞ 휴대용 기가와 범용의 임베디드 장치에 응용이 가능한 통합 시스템
- ☞ ARM920T CPU 코어를 내장하여 16/32-bit의 RISC 아키텍처와 막강한 명령어 셋을 가짐
- ☞ WinCE, EPOC 32와 리눅스를 지원할 수 있는 MMU를 내장한 향상된 ARM 아키텍처
- ☞ 명령어 캐쉬, 데이터 캐쉬, 쓰기 버퍼, 메인 메모리의 बैं드폭과 성능의 지연(latency) 효과를 줄이기 위한 물리 어드레스 TAG RAM
- ☞ ARM 디버그 아키텍처를 지원하는 ARM920T CPU 코어
- ☞ 내부의 향상된 마이크로프로세서 버스 아키텍처(AMBA) (AMBA2.0, AHB/APB)

시스템 관리자

- ☞ 리틀/빅 엔디안 지원
- ☞ 어드레스 공간: 각 बैं크 당 128M Byte(총 1G Byte)
- ☞ 각 बैं크 당 8/16/32-bit의 데이터 버스 폭의 설정 가능
- ☞ बैं크 0에서 बैं크 6까지 고정된 बैं크 스타트 어드레스
- ☞ बैं크 7은 बैं크 스타트 어드레스와 बैं크 사이즈 조정 가능
- ☞ 8개의 메모리 बैं크:
 - ROM, SRAM, 기타에 6개의 메모리 बैं크
 - ROM/SRAM/SDRAM에 2개의 메모리 बैं크
- ☞ 모든 메모리 बैं크에 대한 액세스 사이클의 설정 가능
- ☞ 버스 사이클을 확장하기 위한 외부의 지연 시그널 지원
- ☞ SDRAM의 파워-다운 시에 자가-충전(self-refresh) 모드 지원
- ☞ 다양한 형태의 ROM 부팅 지원(NOR/NAND Flash, EEPROM, 기타)

NAND 플래쉬 부트 로더

- ☞ NAND 플래쉬 메모리에서 부팅 지원
- ☞ 부팅용 4KB의 내부 버퍼
- ☞ 부팅 후 NAND 플래쉬 메모리의 저장 기능 지원

캐쉬 메모리

- ☞ I-Cache(16KB)와 D-Cache(16KB)를 갖는 64-방향 set-associative 캐쉬
- ☞ 라인 당 8워드의 길이를 가지며, 1개의 유효한 bit와 2개의 dirty bit를 가짐
- ☞ Pseudo 랜덤 혹은 라운드 로빈 대체 알고리즘
- ☞ 메인 메모리 업데이트 용 write-through 혹은 write-back 캐쉬 기능
- ☞ 쓰기 버퍼는 16 워드의 데이터와 4개의 어드레스를 유지

클럭 & 파워 관리자

☞ 온-칩 MPLL과 UPLL:

UPLL은 USB 호스트/디바이스 동작에 사용되는 클럭을 발생

MPLL은 MCU가 최대 [203Mhz@1.8V](#) 에서 동작하도록 하는 클럭을 발생

☞ 클럭은 소프트웨어적인 컨트롤에 의해서 각각의 기능 블록에 선택적으로 공급될 수 있음.

☞ 파워 모드: Normal, Slow, Idle, 파워-오프 모드

Normal 모드: 정상적인 동작 모드

Slow 모드: PLL을 이용하지 않는 낮은 주파수의 클럭

Idle 모드: CPU로의 클럭 공급만 중단되는 모드

파워-오프 모드: 모든 주변장치를 포함하는 코어 전력이 셧 다운

☞ EINT[15:0] 혹은 RTC 알람 인터럽트를 이용해서 파워-오프 모드에서 깨어남

인터럽트 컨트롤러

☞ 55개의 인터럽트 소스(1개의 와치도그 타이머, 5개의 타이머, 9개의 UART, 24개의 외부 인터럽트, 4개의 DMA, 2개의 RTC, 2개의 ADC, 1개의 IIC, 2개의 SPI, 1개의 SDI, 2개의 USB, 1개의 LCD, 1개의 Battery Fault)

☞ 외부의 인터럽트 소스에서의 레벨/에지 모드

☞ 에지와 레벨의 극성 변환 기능

☞ 매우 급한 인터럽트 요구 시에 빠른 인터럽트 요구(FIQ)를 지원

펄스 폭 변조(PWM)를 갖는 타이머

☞ 4채널 16-bit PWM 타이머/1채널 16-bit의 DMA-based 혹은 인터럽트-based 동작을 하는 내부 타이머

☞ duty 사이클, 주파수, 극성의 소프트웨어적인 설정 가능

☞ 데드-존 발생

☞ 외부 클럭 소스 지원

RTC(리얼 타임 클럭)

☞ full 클럭 형태: 밀리 초(msec), 초, 분, 시, date, 일, 월, 년

☞ 32.768KHz로 동작

☞ 알람 인터럽트

☞ 틱(tick) 인터럽트

범용 I/O 포트

☞ 24개의 외부 인터럽트 포트

☞ 멀티 플렉싱의 입력/출력 포트

UART

☞ DMA-based 혹은 인터럽트-based 동작을 하는 3채널 UART

☞ 5-bit, 6-bit, 7-bit, 8-bit의 시리얼 데이터 송/수신(Tx/Rx)을 지원

☞ UART 동작에 외부 클럭(UCLK) 공급

- ☞ baud rate 설정 기능
- ☞ IrDA 1.0 지원
- ☞ Loopback 모드로 테스트
- ☞ 각 채널은 내부에 16-byte의 Tx FIFO와 16-byte의 Rx FIFO를 가짐

DMA 컨트롤러

- ☞ 4채널의 DMA 컨트롤러
- ☞ 메모리 간, I/O에서 메모리, 메모리에서 I/O, I/O 간의 전송 지원
- ☞ 전송률 향상을 위한 Burst 전송 모드

A/D 컨버터 & 터치 스크린 인터페이스

- ☞ 8채널의 멀티플렉싱 ADC
- ☞ 최대로 500KSPS와 10-bit 해상도

STN LCD 디스플레이

- ☞ 3가지 형태의 STN LCD 패널 지원: 4-bit 듀얼 스캔, 4-bit 싱글 스캔, 8-bit 싱글 스캔 디스플레이 형태
- ☞ 모노크롬 모드, 4 gray 레벨, 16 gray 레벨, 256 컬러와 4096 컬러의 STN LCD 지원
- ☞ 멀티 스크린 사이즈를 지원
 - 실제 스크린 사이즈: 640×480, 320×240, 160×160, 등등
 - 최대 가상 스크린 사이즈는 4Mbyte
 - 256 컬러 모드에서의 최대 가상 스크린 사이즈: 4096×1024, 2048×2048, 1024×4096 등등

TFT 컬러 디스플레이

- ☞ 1, 2, 4, 8 bpp(bit-per-pixel)의 팔레트 컬러 디스플레이 지원
- ☞ 16 bpp의 non-팔레트 트루-컬러 디스플레이 지원
- ☞ 24 bpp 모드에서 최대 16M 컬러 지원
- ☞ 멀티 스크린 사이즈를 지원
 - 실제 스크린 사이즈: 640×480, 320×240, 160×160, 등등
 - 최대 가상 스크린 사이즈는 4Mbyte
 - 64K 컬러 모드 시의 최대의 가상 스크린 사이즈: 2048×1024, 등등

와치도그 타이머

- ☞ 16-bit의 와치도그 타이머
- ☞ 타임-아웃 시 인터럽트 요구 혹은 시스템 리셋

IIC-Bus 인터페이스

- ☞ 1채널의 멀티-마스터 IIC-Bus
- ☞ 시리얼 8-bit의 양방향 데이터 전송은 표준 모드에서 100Kbit/s이며, 빠른 모드에서는 400Kbit/s까지 업이 가능

IIS-Bus 인터페이스

- ☞ DMA-based 동작을 위한 오디오 인터페이스에 1채널의 IIS-Bus가 사용됨
- ☞ 채널 당 시리얼, 8/16-bit 데이터 전송
- ☞ Tx/Rx에 128Byte(64-Byte + 64-Byte) FIFO
- ☞ IIS 포맷과 MSB-justified 데이터 포맷을 지원

USB 호스트

- ☞ 2-포트의 USB 호스트
- ☞ OHCI Rev. 1.0으로 컴파일
- ☞ USB 스펙 버전 1.1과 호환

USB Device

- ☞ 1-포트의 USB 디바이스
- ☞ USB 디바이스에 5개의 엔드포인트
- ☞ USB 스펙 버전 1.1과 호환

SD 호스트 인터페이스

- ☞ SD 메모리 카드 프로토콜 버전 1.0과 호환
- ☞ SDIO 카드 프로토콜 버전 1.0과 호환
- ☞ Tx/Rx 시에 byte FIFO
- ☞ DMA-based 혹은 인터럽트-based 동작
- ☞ 멀티미디어 카드 프로토콜 버전 2.11과 호환

SPI 인터페이스

- ☞ 2채널의 시리얼 주변장치 인터페이스 프로토콜 버전 2.11과 호환
- ☞ Tx/Rx 시에 2×8 bit의 쉬프트 레지스터
- ☞ DMA-based 혹은 인터럽트-based 동작

전압의 동작 범위

- ☞ 코어: 1.8V
- ☞ 메모리: 2.5V/3.3V
- ☞ I/O: 3.3V

주파수의 동작 범위

- ☞ 최대 203MHz까지 동작 가능

패키지

- ☞ 272핀의 FBGA 타입

블록 다이어그램

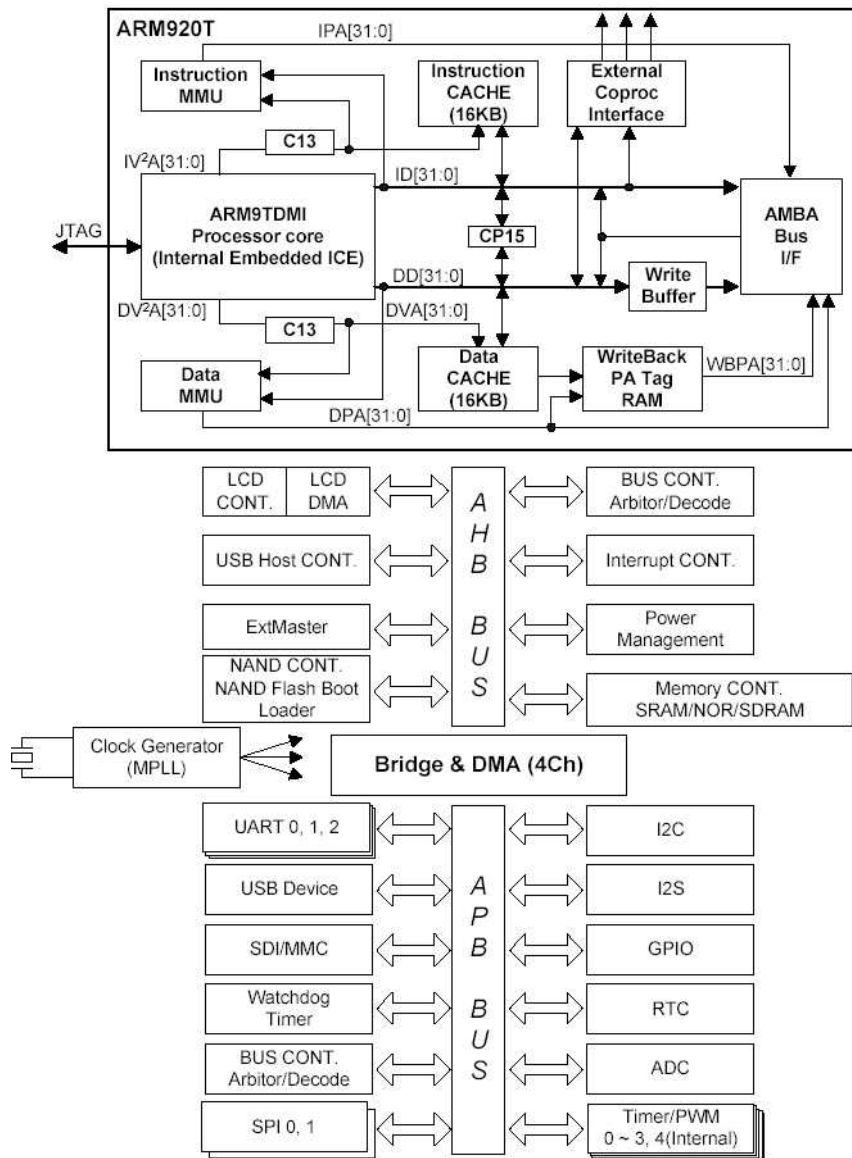


그림 1-1. S3C2410X의 블록 다이어그램

Pin 배열

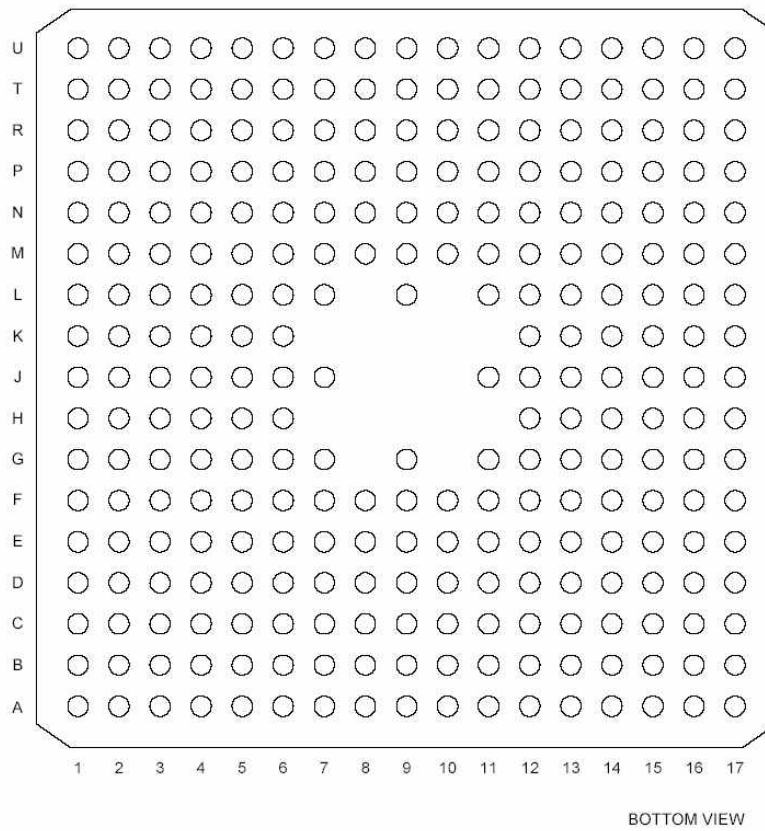


그림 1-2. S3C2410X의 Pin 배열(272-FBGA)

Table 1-1. 272-Pin FBGA Pin Assignments – Pin Number Order (Sheet 1 of 3)

Pin Number	Pin Name	Pin Number	Pin Name	Pin Number	Pin Name
A1	DATA19	B14	ADDR0/GPA0	D10	ADDR19/GPA4
A2	DATA18	B15	nSRAS	D11	VDDi
A3	DATA16	B16	nBE1:nWBE1:DQM1	D12	ADDR10
A4	DATA15	B17	VSSi	D13	ADDR5
A5	DATA11	C1	DATA24	D14	ADDR1
A6	VDDMOP	C2	DATA23	D15	VSSMOP
A7	DATA6	C3	DATA21	D16	SCKE
A8	DATA1	C4	VDDi	D17	nGCS0
A9	ADDR21/GPA6	C5	DATA12	E1	DATA31
A10	ADDR16/GPA1	C6	DATA7	E2	DATA29
A11	ADDR13	C7	DATA4	E3	DATA28
A12	VSSMOP	C8	VDDi	E4	DATA30
A13	ADDR6	C9	ADDR25/GPA10	E5	VDDMOP
A14	ADDR2	C10	VSSMOP	E6	VSSMOP
A15	VDDMOP	C11	ADDR14	E7	DATA3
A16	nBE3:nWBE3:DQM3	C12	ADDR7	E8	ADDR26/GPA11
A17	nBE0:nWBE0:DQM0	C13	ADDR3	E9	ADDR23/GPA8
B1	DATA22	C14	nSCAS	E10	ADDR18/GPA3
B2	DATA20	C15	nBE2:nWBE2:DQM2	E11	VDDMOP
B3	DATA17	C16	nOE	E12	ADDR11
B4	VDDMOP	C17	VDDi	E13	nWE
B5	DATA13	D1	DATA27	E14	nGCS3/GPA14
B6	DATA9	D2	DATA25	E15	nGCS1/GPA12
B7	DATA5	D3	VSSMOP	E16	nGCS2/GPA13
B8	DATA0	D4	DATA26	E17	nGCS4/GPA15
B9	ADDR24/GPA9	D5	DATA14	F1	TOUT1/GPB1
B10	ADDR17/GPA2	D6	DATA10	F2	TOUT0/GPB0
B11	ADDR12	D7	DATA2	F3	VSSMOP
B12	ADDR8	D8	VDDMOP	F4	TOUT2/GPB2
B13	ADDR4	D9	ADDR22/GPA7	F5	VSSOP

Table 1-1. 272-Pin FBGA Pin Assignments – Pin Number Order (Sheet 2 of 3)

Pin Number	Pin Name	Pin Number	Pin Name	Pin Number	Pin Name
F6	VSSi	H4	nXDREQ1/GPB8	K13	TXD2/nRTS1/GPH6
F7	DATA8	H5	nTRST	K14	RXD1/GPH5
F8	VSSMOP	H6	TCK	K15	TXD0/GPH2
F9	VSSi	H12	CLE/GPA17	K16	TXD1/GPH4
F10	ADDR20/GPA5	H13	VSSOP	K17	RXD0/GPH3
F11	VSSi	H14	VDDMOP	L1	VD0/GPC8
F12	VSSMOP	H15	VSSi	L2	VD1/GPC9
F13	SCLK0	H16	XTOpll	L3	LCDVF2/GPC7
F14	SCLK1	H17	XTIpll	L4	VD2/GPC10
F15	nGCS5/GPA16	J1	TDI	L5	VDDiarm
F16	nGCS6.nSCS0	J2	VCLK.LCD_HCLK/GPC1	L6	LCDVF1/GPC6
F17	nGCS7.nSCS1	J3	TMS	L7	IIC_SCL/GPE14
G1	nXBACK/GPB5	J4	LEND:STH/GPC0	L9	EINT11/nSS1/GPG3
G2	nXDACK1/GPB7	J5	TDO	L11	VDDi_UPLL
G3	TOUT3/GPB3	J6	VLINE:HSYNC:CPV/GPC2	L12	nRTS0/GPH1
G4	TCLK0/GPB4	J7	VSSiarm	L13	UPLLCAP
G5	nXBREQ/GPB6	J11	EXTCLK	L14	nCTS0/GPH0
G6	VDDalive	J12	nRESET	L15	EINT6/GPF6
G7	VDDiarm	J13	VDDi	L16	UCLK/GPH8
G9	VSSMOP	J14	VDDalive	L17	EINT7/GPF7
G11	ADDR15	J15	PWREN	M1	VSSiarm
G12	ADDR9	J16	nRSTOUT/GPA21	M2	VD5/GPC13
G13	nWAIT	J17	nBATT_FLT	M3	VD3/GPC11
G14	ALE/GPA18	K1	VDDOP	M4	VD4/GPC12
G15	nFWE/GPA19	K2	VM:VDEN:TP/GPC4	M5	VSSiarm
G16	nFRE/GPA20	K3	VDDiarm	M6	VDDOP
G17	nFCE/GPA22	K4	VFRAME:VSYNC:STV/GPC3	M7	VDDiarm
H1	VSSiarm	K5	VSSOP	M8	IIC_SDA/GPE15
H2	nXDACK0/GPB9	K6	LCDVF0/GPC5	M9	VSSiarm
H3	nXDREQ0/GPB10	K12	RXD2/nCTS1/GPH7	M10	DP1/PDP0

Table 1-1. 272-Pin FBGA Pin Assignments – Pin Number Order (Sheet 3 of 3)

Pin Number	Pin Name	Pin Number	Pin Name	Pin Number	Pin Name
M11	EINT23/nYPON/GPG15	P8	SPICLK0/GPE13	T5	I2SLRCK/GPE0
M12	RTCVDD	P9	EINT12/LCD_PWREN/GPG4	T6	SDCLK/GPE5
M13	VSSi_MPLL	P10	EINT18/GPG10	T7	SPIMISO0/GPE11
M14	EINT5/GPF5	P11	EINT20/XMON/GPG12	T8	EINT10/nSS0/GPG2
M15	EINT4/GPF4	P12	VSSOP	T9	VSSOP
M16	EINT2/GPF2	P13	DP0	T10	EINT17/GPG9
M17	EINT3/GPF3	P14	VDDi_MPLL	T11	EINT22/YMON/GPG14
N1	VD6/GPC14	P15	VDDA_ADC	T12	DN0
N2	VD8/GPD0	P16	XTIrtc	T13	OM3
N3	VD7/GPC15	P17	MPLLCAP	T14	VSSA_ADC
N4	VD9/GPD1	R1	VDDiarm	T15	AIN1
N5	VDDiarm	R2	VD14/GPD6	T16	AIN3
N6	CDCLK/GPE2	R3	VD17/GPD9	T17	AIN5
N7	SDDAT1/GPE8	R4	VD18/GPD10	U1	VD15/GPD7
N8	VSSiarm	R5	VSSOP	U2	VD19/GPD11
N9	VDDOP	R6	SDDAT0/GPE7	U3	VD21/GPD13
N10	VDDiarm	R7	SDDAT3/GPE10	U4	VSSiarm
N11	DN1/PDN0	R8	EINT8/GPG0	U5	I2SSDI/nSS0/GPE3
N12	Vref	R9	EINT14/SPIMOSI1/GPG6	U6	I2SSDO/I2SSDI/GPE4
N13	AIN7	R10	EINT15/SPICLK1/GPG7	U7	SPIMOSI0/GPE12
N14	EINT0/GPF0	R11	EINT19/TCLK1/GPG11	U8	EINT9/GPG1
N15	VSSi_UPLL	R12	CLKOUT0/GPH9	U9	EINT13/SPIMISO1/GPG5
N16	VDDOP	R13	R/nB	U10	EINT16/GPG8
N17	EINT1/GPF1	R14	OM0	U11	EINT21/nXPON/GPG13
P1	VD10/GPD2	R15	AIN4	U12	CLKOUT1/GPH10
P2	VD12/GPD4	R16	AIN6	U13	NCON
P3	VD11/GPD3	R17	XTOrtc	U14	OM2
P4	VD23/nSS0/GPD15	T1	VD13/GPD5	U15	OM1
P5	I2SSCLK/GPE1	T2	VD16/GPD8	U16	AIN0
P6	SDCMD/GPE6	T3	VD20/GPD12	U17	AIN2
P7	SDDAT2/GPE9	T4	VD22/nSS1/GPD14	–	–

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 1 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
C3	DATA21	DATA21	Hi-z	Hi-z	I	t12
B1	DATA22	DATA22	Hi-z	Hi-z	I	t12
C2	DATA23	DATA23	Hi-z	Hi-z	I	t12
D3	VSSMOP	VSSMOP	P	P	P	s3o
E5	VDDMOP	VDDMOP	P	P	P	d3o
C1	DATA24	DATA24	Hi-z	Hi-z	I	t12
D2	DATA25	DATA25	Hi-z	Hi-z	I	t12
D4	DATA26	DATA26	Hi-z	Hi-z	I	t12
D1	DATA27	DATA27	Hi-z	Hi-z	I	t12
E3	DATA28	DATA28	Hi-z	Hi-z	I	t12
E2	DATA29	DATA29	Hi-z	Hi-z	I	t12
E4	DATA30	DATA30	Hi-z	Hi-z	I	t12
E1	DATA31	DATA31	Hi-z	Hi-z	I	t12
F3	VSSMOP	VSSMOP	P	P	P	s3o
F5	VSSOP	VSSOP	P	P	P	s3o
F2	TOUT0/GPB0	GPB0	—/—	O(L)/—	I	t8
F1	TOUT1/GPB1	GPB1	—/—	O(L)/—	I	t8
F4	TOUT2/GPB2	GPB2	—/—	O(L)/—	I	t8
G3	TOUT3/GPB3	GPB3	—/—	O(L)/—	I	t8
G4	TCLK0/GPB4	GPB4	—/—	—/—	I	t8
G1	nXBACK/GPB5	GPB5	—/—	—/—	I	t8
G5	nXBREQ/GPB6	GPB6	—/—	—/—	I	t8
G2	nXDACK1/GPB7	GPB7	—/—	—/—	I	t8
G6	VDDalive	VDDalive	P	P	P	d1i
G7	VDDiarm	VDDiarm	P	P	P	d1c
H1	VSSIarm	VSSIarm	P	P	P	s3i
H4	nXDREQ1/GPB8	GPB8	—/—	—/—	I	t8
H2	nXDACK0/GPB9	GPB9	—/—	—/—	I	t8
H3	nXDREQ0/GPB10	GPB10	—/—	—/—	I	t8
H5	nTRST	nTRST	I	I	I	is
H6	TCK	TCK	I	I	I	is
J1	TDI	TDI	I	I	I	is
J3	TMS	TMS	I	I	I	is

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 2 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
J5	TDO	TDO	O	O	O	ot
J4	LEND:STH/GPC0	GPC0	—/—	O(L)/—	I	t8
J2	VCLK:LCD_HCLK/GPC1	GPC1	—/—	O(L)/—	I	t8
J6	VLINE:HSYNC:CPV/GPC2	GPC2	—/—	O(L)/—	I	t8
K3	VDDIarm	VDDIarm	P	P	P	d1c
J7	VSSIarm	VSSIarm	P	P	P	s3i
K2	VM:VDEN:TP/GPC4	GPC4	—/—	O(L)/—	I	t8
K4	VFRAME:VSYNC:STV/GPC3	GPC3	—/—	O(L)/—	I	t8
K1	VDDOP	VDDOP	P	P	P	d3o
K5	VSSOP	VSSOP	P	P	P	s3o
K6	LCDVF0/GPC5	GPC5	—/—	O(L)/—	I	t8
L6	LCDVF1/GPC6	GPC6	—/—	O(L)/—	I	t8
L3	LCDVF2/GPC7	GPC7	—/—	O(L)/—	I	t8
L1	VD0/GPC8	GPC8	—/—	O(L)/—	I	t8
L2	VD1/GPC9	GPC9	—/—	O(L)/—	I	t8
L4	VD2/GPC10	GPC10	—/—	O(L)/—	I	t8
M3	VD3/GPC11	GPC11	—/—	O(L)/—	I	t8
L5	VDDIarm	VDDIarm	P	P	P	d1c
M1	VSSIarm	VSSIarm	P	P	P	s3i
M4	VD4/GPC12	GPC12	—/—	O(L)/—	I	t8
M2	VD5/GPC13	GPC13	—/—	O(L)/—	I	t8
N1	VD6/GPC14	GPC14	—/—	O(L)/—	I	t8
N3	VD7/GPC15	GPC15	—/—	O(L)/—	I	t8
N2	VD8/GPD0	GPD0	—/—	O(L)/—	I	t8
N4	VD9/GPD1	GPD1	—/—	O(L)/—	I	t8
P1	VD10/GPD2	GPD2	—/—	O(L)/—	I	t8
P3	VD11/GPD3	GPD3	—/—	O(L)/—	I	t8
P2	VD12/GPD4	GPD4	—/—	O(L)/—	I	t8
R1	VDDIarm	VDDIarm	P	P	P	d1c
M5	VSSIarm	VSSIarm	P	P	P	s3i
T1	VD13/GPD5	GPD5	—/—	O(L)/—	I	t8
R2	VD14/GPD6	GPD6	—/—	O(L)/—	I	t8
U1	VD15/GPD7	GPD7	—/—	O(L)/—	I	t8

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 3 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
T2	VD16/GPD8	GPD8	—/—	O(L)/—	I	t8
R3	VD17/GPD9	GPD9	—/—	O(L)/—	I	t8
R4	VD18/GPD10	GPD10	—/—	O(L)/—	I	t8
U2	VD19/GPD11	GPD11	—/—	O(L)/—	I	t8
T3	VD20/GPD12	GPD12	—/—	O(L)/—	I	t8
U3	VD21/GPD13	GPD13	—/—	O(L)/—	I	t8
T4	VD22/nSS1/GPD14	GPD14	—/—	O(L)/—	I	t8
P4	VD23/nSS0/GPD15	GPD15	—/—	O(L)/—	I	t8
N5	VDDiarm	VDDiarm	P	P	P	d1c
U4	VSSiarm	VSSiarm	P	P	P	s3i
M6	VDDOP	VDDOP	P	P	P	d3o
R5	VSSOP	VSSOP	P	P	P	s3o
T5	I2SLRCK/GPE0	GPE0	—/—	O(L)/—	I	t8
P5	I2SSCLK/GPE1	GPE1	—/—	O(L)/—	I	t8
N6	CDCLK/GPE2	GPE2	—/—	O(L)/—	I	t8
U5	I2SSDI/nSS0/GPE3	GPE3	—/—/—	—/—/—	I	t8
U6	I2SSDO/I2SSDI/GPE4	GPE4	—/—/—	O(L)/—/—	I	t8
T6	SDCLK/GPE5	GPE5	—/—	O(L)/—	I	t8
P6	SDCMD/GPE6	GPE6	—/—	Hi-z/—	I	t8
R6	SDDAT0/GPE7	GPE7	—/—	Hi-z/—	I	t8
N7	SDDAT1/GPE8	GPE8	—/—	Hi-z/—	I	t8
P7	SDDAT2/GPE9	GPE9	—/—	Hi-z/—	I	t8
R7	SDDAT3/GPE10	GPE10	—/—	Hi-z/—	I	t8
T7	SPIMISO0/GPE11	GPE11	—/—	Hi-z/—	I	t8
U7	SPIMOSI0/GPE12	GPE12	—/—	Hi-z/—	I	t8
P8	SPICLK0/GPE13	GPE13	—/—	Hi-z/—	I	t8
M7	VDDiarm	VDDiarm	P	P	P	d1c
N8	VSSiarm	VSSiarm	P	P	P	s3i
L7	IIC_SCL/GPE14	GPE14	—/—	Hi-z/—	I	d8
M8	IIC_SDA/GPE15	GPE15	—/—	Hi-z/—	I	d8
R8	EINT8/GPG0	GPG0	—/—	—/—	I	t8
U8	EINT9/GPG1	GPG1	—/—	—/—	I	t8
T8	EINT10/nSS0/GPG2	GPG2	—/—/—	—/—/—	I	t8

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 4 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
L9	EINT11/nSS1/GPG3	GPG3	-/-/-	-/-/-	I	t8
P9	EINT12/LCD_PWREN/GPG4	GPG4	-/-/-	-/O(L)/-	I	t8
U9	EINT13/SPIMISO1/GPG5	GPG5	-/-/-	-/Hi-z/-	I	t8
R9	EINT14/SPIMOSI1/GPG6	GPG6	-/-/-	-/Hi-z/-	I	t8
T9	VSSOP	VSSOP	P	P	P	s3o
N9	VDDOP	VDDOP	P	P	P	d3o
N10	VDDiarm	VDDiarm	P	P	P	d1c
M9	VSSiarm	VSSiarm	P	P	P	s3i
R10	EINT15/SPICLK1/GPG7	GPG7	-/-/-	-/Hi-z/-	I	t8
U10	EINT16/GPG8	GPG8	-/-	-/-	I	t6
T10	EINT17/GPG9	GPG9	-/-	-/-	I	t6
P10	EINT18/GPG10	GPG10	-/-	-/-	I	t6
R11	EINT19/TCLK1/GPG11	GPG11	-/-/-	-/-/-	I	t12
P11	EINT20/XMON/GPG12	GPG12	-/-/-	-/O(L)/-	I	t12
U11	EINT21/nXPON/GPG13	GPG13	-/-/-	-/O(L)/-	I	t12
T11	EINT22/YMON/GPG14	GPG14	-/-/-	-/O(L)/-	I	t12
M11	EINT23/nYPON/GPG15	GPG15	-/-/-	-/O(L)/-	I	t12
R12	CLKOUT0/GPH9	GPH9	-/-	O(L)/-	I	t12
U12	CLKOUT1/GPH10	GPH10	-/-	O(L)/-	I	t12
M10	DP1/PDP0	DP1	-	-	AI	us
N11	DN1/PDN0	DN1	-	-	AI	us
P13	DP0	DP0	-	-	AI	us
T12	DN0	DN0	-	-	AI	us
U13	NCON	NCON	-	-	I	is
R13	R/nB	R/nB	-	-	I	is
T13	OM3	OM3	-	-	I	is
U14	OM2	OM2	-	-	I	is
U15	OM1	OM1	-	-	I	is
R14	OM0	OM0	-	-	I	is
P12	VSSOP	VSSOP	P	P	P	s3o
T14	VSSA_ADC	VSSA_ADC	P	P	P	s3t
N12	Vref	Vref	-	-	AI	ia
U16	AIN0	AIN0	-	-	AI	r10

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 5 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
T15	AIN1	AIN1	—	—	AI	r10
U17	AIN2	AIN2	—	—	AI	r10
T16	AIN3	AIN3	—	—	AI	r10
R15	AIN4	AIN4	—	—	AI	r10
T17	AIN5	AIN5	—	—	AI	r10
R16	AIN6	AIN6	—	—	AI	r10
N13	AIN7	AIN7	—	—	AI	r10
P15	VDDA_ADC	VDDA_ADC	P	P	P	d3t
R17	XTOrtc	XTOrtc	—	—	AO	gp
P16	XTIrtc	XTIrtc	—	—	AI	gp
M12	RTCVDD	RTCVDD	P	P	P	d1j
P14	VDDi_MPLL	VDDi_MPLL	P	P	P	d1c
M13	VSSi_MPLL	VSSi_MPLL	P	P	P	s3i
P17	MPLLCAP	MPLLCAP	—	—	AI	gp
L11	VDDi_UPLL	VDDi_UPLL	P	P	P	d1c
N15	VSSi_UPLL	VSSi_UPLL	P	P	P	s3i
L13	UPLLCAP	UPLLCAP	—	—	AI	gp
N16	VDDOP	VDDOP	P	P	P	d3o
N14	EINT0/GPF0	GPF0	—/—	—/—	I	t8
N17	EINT1/GPF1	GPF1	—/—	—/—	I	t8
M16	EINT2/GPF2	GPF2	—/—	—/—	I	t8
M17	EINT3/GPF3	GPF3	—/—	—/—	I	t8
M15	EINT4/GPF4	GPF4	—/—	—/—	I	t8
M14	EINT5/GPF5	GPF5	—/—	—/—	I	t8
L15	EINT6/GPF6	GPF6	—/—	—/—	I	t8
L17	EINT7/GPF7	GPF7	—/—	—/—	I	t8
L16	UCLK/GPH8	GPH8	—/—	—/—	I	t8
L14	nCTS0/GPH0	GPH0	—/—	—/—	I	t8
L12	nRTS0/GPH1	GPH1	—/—	O(H)/—	I	t8
K15	TXD0/GPH2	GPH2	—/—	O(H)/—	I	t8
K17	RXD0/GPH3	GPH3	—/—	—/—	I	t8
K16	TXD1/GPH4	GPH4	—/—	O(H)/—	I	t8
K14	RXD1/GPH5	GPH5	—/—	—/—	I	t8

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 6 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
K13	TXD2/nRTS1/GPH6	GPH6	—/—	O(H)/—	I	t8
K12	RXD2/nCTS1/GPH7	GPH7	—/—	—/—	I	t8
J17	nBATT_FLT	nBATT_FLT	—	—	I	is
J16	nRSTOUT/GPA21	nRSTOUT	—/—	O(L)/—	O(L)	b8
J15	PWREN	PWREN	O(H)	O(L)	O(H)	b8
J12	nRESET	nRESET	—	—	I	is
J14	VDDalive	VDDalive	P	P	P	d1i
J11	EXTCLK	EXTCLK	—	—	AI	is
J13	VDDi	VDDi	P	P	P	d1c
H17	XTIpll	XTIpll	—	—	AI	m26
H16	XTOpll	XTOpll	—	—	AO	m26
H15	VSSi	VSSi	P	P	P	s3i
H13	VSSOP	VSSOP	P	P	P	s3o
H14	VDDMOP	VDDMOP	P	P	P	d3o
G17	nFCE/GPA22	nFCE	O(H)/—	O(H)/—	O(H)	b8
G16	nFRE/GPA20	nFRE	O(H)/—	O(H)/—	O(H)	b8
G15	nFWE/GPA19	nFWE	O(H)/—	O(H)/—	O(H)	b8
G14	ALE/GPA18	ALE	O(L)/—	O(L)/—	O(L)	b8
H12	CLE/GPA17	CLE	O(L)/—	O(L)/—	O(L)	b8
G13	nWAIT	nWAIT	—	—	I	is
F17	nGCS7:nSCS1	nGCS7	Hi-z	O(H)	O(H)	ot
F16	nGCS6:nSCS0	nGCS6	Hi-z	O(H)	O(H)	ot
F15	nGCS5/GPA16	nGCS5	Hi-z	O(H)/—	O(H)	ot
E17	nGCS4/GPA15	nGCS4	Hi-z	O(H)/—	O(H)	ot
E14	nGCS3/GPA14	nGCS3	Hi-z	O(H)/—	O(H)	ot
E16	nGCS2/GPA13	nGCS2	Hi-z	O(H)/—	O(H)	ot
E15	nGCS1/GPA12	nGCS1	Hi-z	O(H)/—	O(H)	ot
D17	nGCS0	nGCS0	Hi-z	O(H)	O(H)	ot
D16	SCKE	SCKE	Hi-z	O(L)	O(H)	ot
D15	VSSMOP	VSSMOP	P	P	P	s3o
F14	SCLK1	SCLK1	Hi-z	O(L)	O(SCLK)	t16
C17	VDDi	VDDi	P	P	P	d1c
F13	SCLK0	SCLK0	Hi-z	O(L)	O(SCLK)	t16

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 7 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
B17	VSSi	VSSi	P	P	P	s3i
E13	nWE	nWE	Hi-z	O(H)	O(H)	ot
C16	nOE	nOE	Hi-z	O(H)	O(H)	ot
A17	nBE0:nWBE0:DQM0	DQM0	Hi-z	O(H)	O(H)	ot
B16	nBE1:nWBE1:DQM1	DQM1	Hi-z	O(H)	O(H)	ot
C15	nBE2:nWBE2:DQM2	DQM2	Hi-z	O(H)	O(H)	ot
A16	nBE3:nWBE3:DQM3	DQM3	Hi-z	O(H)	O(H)	ot
B15	nSRAS	nSRAS	Hi-z	O(H)	O(H)	ot
C14	nSCAS	nSCAS	Hi-z	O(H)	O(H)	ot
A15	VDDMOP	VDDMOP	P	P	P	d3o
F12	VSSMOP	VSSMOP	P	P	P	s3o
B14	ADDR0/GPA0	ADDR0	Hi-z/-	O(L)/-	O(L)	ot
D14	ADDR1	ADDR1	Hi-z	O(L)	O(L)	ot
A14	ADDR2	ADDR2	Hi-z	O(L)	O(L)	ot
C13	ADDR3	ADDR3	Hi-z	O(L)	O(L)	ot
B13	ADDR4	ADDR4	Hi-z	O(L)	O(L)	ot
D13	ADDR5	ADDR5	Hi-z	O(L)	O(L)	ot
A13	ADDR6	ADDR6	Hi-z	O(L)	O(L)	ot
C12	ADDR7	ADDR7	Hi-z	O(L)	O(L)	ot
B12	ADDR8	ADDR8	Hi-z	O(L)	O(L)	ot
G12	ADDR9	ADDR9	Hi-z	O(L)	O(L)	ot
A12	VSSMOP	VSSMOP	P	P	P	s3o
E11	VDDMOP	VDDMOP	P	P	P	d3o
D12	ADDR10	ADDR10	Hi-z	O(L)	O(L)	ot
E12	ADDR11	ADDR11	Hi-z	O(L)	O(L)	ot
D11	VDDi	VDDi	P	P	P	d1c
F11	VSSi	VSSi	P	P	P	s3i
B11	ADDR12	ADDR12	Hi-z	O(L)	O(L)	ot
A11	ADDR13	ADDR13	Hi-z	O(L)	O(L)	ot
C11	ADDR14	ADDR14	Hi-z	O(L)	O(L)	ot
G11	ADDR15	ADDR15	Hi-z	O(L)	O(L)	ot
A10	ADDR16/GPA1	ADDR16	Hi-z	O(L)/-	O(L)	ot
B10	ADDR17/GPA2	ADDR17	Hi-z	O(L)/-	O(L)	ot

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 8 of 9)

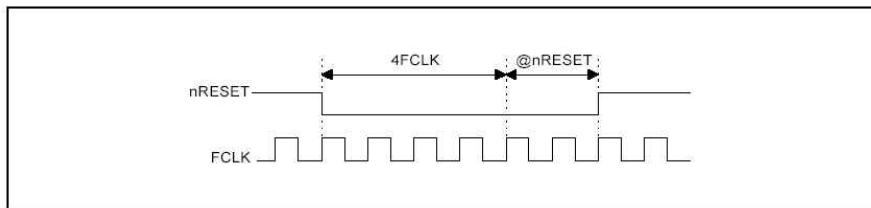
Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
C10	VSSMOP	VSSMOP	P	P	P	s3o
E10	ADDR18/GPA3	ADDR18	Hi-z/-	O(L)	O(L)	ot
D10	ADDR19/GPA4	ADDR19	Hi-z/-	O(L)	O(L)	ot
F10	ADDR20/GPA5	ADDR20	Hi-z/-	O(L)	O(L)	ot
A9	ADDR21/GPA6	ADDR21	Hi-z/-	O(L)	O(L)	ot
D9	ADDR22/GPA7	ADDR22	Hi-z/-	O(L)	O(L)	ot
E9	ADDR23/GPA8	ADDR23	Hi-z/-	O(L)	O(L)	ot
B9	ADDR24/GPA9	ADDR24	Hi-z/-	O(L)	O(L)	ot
C9	ADDR25/GPA10	ADDR25	Hi-z/-	O(L)	O(L)	ot
E8	ADDR26/GPA11	ADDR26	Hi-z/-	O(L)	O(L)	ot
C8	VDDi	VDDi	P	P	P	d1c
F9	VSSi	VSSi	P	P	P	s3i
D8	VDDMOP	VDDMOP	P	P	P	d3o
G9	VSSMOP	VSSMOP	P	P	P	s3o
B8	DATA0	DATA0	Hi-z	Hi-z	Hi-z	t12
A8	DATA1	DATA1	Hi-z	Hi-z	Hi-z	t12
D7	DATA2	DATA2	Hi-z	Hi-z	Hi-z	t12
E7	DATA3	DATA3	Hi-z	Hi-z	Hi-z	t12
C7	DATA4	DATA4	Hi-z	Hi-z	Hi-z	t12
B7	DATA5	DATA5	Hi-z	Hi-z	Hi-z	t12
A7	DATA6	DATA6	Hi-z	Hi-z	Hi-z	t12
C6	DATA7	DATA7	Hi-z	Hi-z	Hi-z	t12
A6	VDDMOP	VDDMOP	P	P	P	d3o
F8	VSSMOP	VSSMOP	P	P	P	s3o
F7	DATA8	DATA8	Hi-z	Hi-z	Hi-z	t12
B6	DATA9	DATA9	Hi-z	Hi-z	Hi-z	t12
D6	DATA10	DATA10	Hi-z	Hi-z	Hi-z	t12
A5	DATA11	DATA11	Hi-z	Hi-z	Hi-z	t12
C5	DATA12	DATA12	Hi-z	Hi-z	Hi-z	t12
B5	DATA13	DATA13	Hi-z	Hi-z	Hi-z	t12
D5	DATA14	DATA14	Hi-z	Hi-z	Hi-z	t12
A4	DATA15	DATA15	Hi-z	Hi-z	Hi-z	t12
B4	VDDMOP	VDDMOP	P	P	P	d3o

Table 1-2. 272-Pin FBGA Pin Assignments (Sheet 9 of 9)

Pin Number	Pin Name	Default Function	I/O State @BUS REQ	I/O State @PWR-off	I/O State @nRESET	I/O Type
E6	VSSMOP	VSSMOP	P	P	P	s3o
C4	VDDi	VDDi	P	P	P	d1c
F6	VSSi	VSSi	P	P	P	s3i
A3	DATA16	DATA16	Hi-z	Hi-z	Hi-z	t12
B3	DATA17	DATA17	Hi-z	Hi-z	Hi-z	t12
A2	DATA18	DATA18	Hi-z	Hi-z	Hi-z	t12
A1	DATA19	DATA19	Hi-z	Hi-z	Hi-z	t12
B2	DATA20	DATA20	Hi-z	Hi-z	Hi-z	t12

주의할 점:

1. @BUS REQ.는 다른 버스 마스터가 사용하고 있는 외부의 버스 핀의 상태를 나타낸다.
2. ‘-’ 표시는 Bus Request 모드에서 변하지 않는 핀 상태를 나타낸다.
3. Hi-z 또는 Pre는 Hi-z이나 이전의 상태를 말하며, MISCCR 레지스터의 설정에 따라서 결정된다.
4. AI/AO는 아날로그 입/출력을 나타낸다.
5. P, I, O는 파워, 입력, 출력을 나타낸다.
6. I/O 상태 @nRESET은 아래의 클럭 동안 @nRESET의 핀 상태를 나타낸다.



7. 아래의 표는 I/O 형태와 이에 대한 설명을 나타낸다.

I/O Type	Descriptions
d1i(vdd1ih), s3i(vss3i)	1.8V Vdd/Vss for internal logic
d1c(vdd1ih_core), s3i(vss3i)	1.8V Vdd/Vss for internal logic without input driver
d3o(vdd3op), s3o(vss3op)	3.3V Vdd/Vss for external logic
d3t(vdd3t_abb), s3t(vss3t_abb)	3.3V Vdd/Vss for analog circuitry
is(phis)	Input pad, LVCMOS schmitt-trigger level
us(pbusb)	USB pad
ol(phot8)	Output pad, tri-state, io=8mA
b8(phob8)	Output pad, io=8mA
t16(phot16sm)	Output pad, tri-state, medium slew rate, io=16mA
r10(phiar10_abb)	Analog input pad with 10-ohm resistor
ia(phia_abb)	Analog input pad
gp(phgpad_option)	Pad for analog pin
m26(phsosc26)	Oscillator cell with enable and feedback resistor
t6(phitbsu100ct6sm)	Bi-directional pad, 5V tolerant LVCMOS schmitt-trigger, 100Kohm pull-up resistor with control, tri-state, io=6mA
t8(phbsu100ct8sm)	Bi-directional pad, LVCMOS schmitt-trigger, 100Kohm pull-up resistor with control, tri-state, io=8mA
t12(phbsu100ct12sm)	Bi-directional pad, LVCMOS schmitt-trigger, 100Kohm pull-up resistor with control, tri-state, io=12mA
d8(phbsu100cd8sm)	Bi-directional pad, LVCMOS schmitt-trigger, 100Kohm pull-up resistor with control, open-drain, io=8mA

시그널에 대한 설명

신호	I/O	설 명
Bus Controller		
OM[1:0]	I	OM[1:0]은 제작 시에만 사용되는 Test 모드를 설정. nGCS0의 버스 폭을 결정. 리셋 사이클 동안에 풀업/풀다운 저항이 로직의 레벨을 결정함. 00: Nand-부팅, 01: 16-bit, 10: 32-bit, 11: Test 모드
ADDR[26:0]	O	어드레스 버스 ADDR[26:0]은 대응되는 뱅크의 메모리 어드레스에 어드레스 값을 출력.
DATA[31:0]	IO	데이터 버스 DATA[31:0]은 메모리 읽기 동안에 데이터를 입력받고 메모리 쓰기 동안에 데이터를 출력. 버스 폭은 8/16/32-bit 설정이 가능.
nGCS[7:0]	O	칩 선택 nGCS[7:0]은 메모리 어드레스가 각 뱅크의 어드레스 영역과 같을 때 활성화 됨. 액세스 사이클의 수와 뱅크 사이즈는 프로그래밍으로 설정이 가능.
nWE	O	쓰기 인에이블 nWE는 현재의 버스 사이클이 쓰기 사이클임을 나타냄.
nOE	O	출력 인에이블 nOE는 현재의 버스 사이클이 읽기 사이클임을 나타냄.
nXBREQ	I	버스 유지 요구 nXBREQ는 다른 버스 마스터가 로컬 버스 컨트롤을 요청하는 것을 허가함. BACK 활성화는 버스 컨트롤이 인정됨을 나타냄.
nXBACK	O	버스 유지 인식 nXBACK는 S3C2410X가 로컬 버스 컨트롤을 다른 버스 마스터에게 양보함을 나타냄.
nWAIT	I	nWAIT는 현재의 버스 사이클을 연기하도록 요청함. nWAIT가 Low인 동안은, 현재의 버스 사이클이 완료될 수 없음.

SDRAM/SRAM		
nSRAS	O	SDRAM Row 어드레스 스트로브
nSCAS	O	SDRAM Column 어드레스 스트로브
nSCS[1:0]	O	SDRAM 칩 선택
DQM[3:0]	O	SDRAM 데이터 마스크
SCLK[1:0]	O	SDRAM 클럭
SCKE	O	SDRAM 클럭 인에이블
nBE[3:0]	O	상위 바이트/하위 바이트 인에이블(16-bit의 SRAM인 경우)
nWBE[3:0]	O	쓰기 바이트 인에이블

NAND Flash		
CLE	O	커맨드 래치 인에이블
ALE	O	어드레스 래치 인에이블
nFCE	O	Nand Flash 칩 인에이블
nFRE	O	Nand Flash 읽기 인에이블
nFWE	O	Nand Flash 쓰기 인에이블
NCON	I	Nand Flash 설정
R/nB	I	Nand Flash Ready/Busy

LCD Control Unit		
VD[23:0]	O	STN/TFT/SEC TFT: LCD 데이터 버스
LCD_PWREN	O	STN/TFT/SEC TFT: LCD 패널 파워 인에이블 컨트롤 신호
VCLK	O	STN/TFT: LCD 클럭 신호
VFRAME	O	STN: LCD 프레임 신호
VLINE	O	STN: LCD 라인 신호
VM	O	STN: VM은 Row 전압과 Column 전압의 극성을 변경함.
VSYNC	O	TFT: 수직 동기 신호
HSYNC	O	TFT: 수평 동기 신호
VDEN	O	TFT: 데이터 인에이블 신호
LEND	O	TFT: 라인 끝 신호
STV	O	SEC TFT: SEC TFT LCD 패널 컨트롤 신호
CPV	O	SEC TFT: SEC TFT LCD 패널 컨트롤 신호
LCD_HCLK	O	SEC TFT: SEC TFT LCD 패널 컨트롤 신호
STH	O	SEC TFT: SEC TFT LCD 패널 컨트롤 신호
LCDVF[2:0]	O	SEC TFT: 특수 TFT LCD(OE/REV/REVB)의 타이밍 컨트롤 신호

Interrupt Control Unit		
EINT[23:0]	I	외부 인터럽트 요청
DMA		
nXDREQ[1:0]	I	외부 DMA 요청
nXDACK[1:0]	O	외부 DMA 인식

UART		
RxD[2:0]	I	UART 데이터 수신 입력
TxD[2:0]	O	UART 데이터 전송 출력
nCTS[1:0]	I	UART는 입력 신호 전송 위해 clear
nRTS[1:0]	O	UART는 출력 신호 전송 위해 요청
UCLK	I	UART 클럭 신호
ADC		
AIN[7:0]	AI	ADC 입력[7:0]. 사용하지 않을 경우에 Low(Ground)가 되어야 함.
Vref	AI	ADC Vref
IIC-Bus		
IICSDA	IO	IIC-Bus 데이터
IICSCL	IO	IIC-Bus 클럭
IIS-Bus		
I2SLRCK	IO	IIS-bus 채널 선택 클럭
I2SSDO	O	IIS-bus 시리얼 데이터 출력
I2SDI	I	IIS-bus 시리얼 데이터 입력
I2SSCLK	IO	IIS-bus 시리얼 클럭
CDCLK	O	CODEC 시스템 클럭

Touch Screen		
nXPON	O	+ X축 온/오프 컨트롤 신호
XMON	O	- X축 온/오프 컨트롤 신호
nYPON	O	+ Y축 온/오프 컨트롤 신호
YMON	O	- Y축 온/오프 컨트롤 신호
USB Host		
DN[1:0]	IO	USB 호스트의 DATA(-)
DP[1:0]	IO	USB 호스트의 DATA(+)
USB Device		
PDN0	IO	USB 주변장치의 DATA(-)
PDP0	IO	USB 주변장치의 DATA(+)
SPI		
SPIMISO[1:0]	IO	SPI가 마스터로 설정되면, SPIMISO는 마스터 데이터 입력 라인임. SPI가 슬레이브로 설정될 때, 핀의 역할은 반전됨.
SPIMOSI[1:0]	IO	SPI가 마스터로 설정되면, SPIMOSI는 마스터 데이터 출력 라인임. SPI가 슬레이브로 설정될 때, 핀의 역할은 반전됨.
SPICLK[1:0]	IO	SPI 클럭
nSS[1:0]	I	SPI 칩 선택(슬레이브 모드에서만)
SD		
SDDAT[3:0]	IO	SD 수신/송신 데이터
SDCMD	IO	SD 수신 응답/송신 커맨드
SDCLK	O	SD 클럭

General Port		
GPn[116:0]	IO	범용 입/출력 포트(몇 포트는 출력으로만 쓰임)
Timer/PWM		
TOUT[3:0]	O	Timer 출력[3:0]
TCLK[1:0]	I	외부 타이머 클럭 입력

JTAG Test Logic		
nTRST	I	nTRST(TAP 컨트롤러 리셋)은 시작 시에 TAP 컨트롤러를 리셋 함. 디버거가 사용되면, 10K의 풀-업 저항이 연결되어야 함. 디버거(black ICE)가 사용되지 않으면, nTRST 핀은 Low 액티브 펄스(일반적으로 nRESET에 연결됨)가 되어야 함.
TMS	I	TMS(TAP 컨트롤러 모드 선택)는 TAP 컨트롤러의 상태 시퀀스를 컨트롤 함. 10K의 풀-업 저항이 TMS 핀에 연결되어야 함.
TCK	I	TCK(TAP 컨트롤러 클럭)는 JTAG 로직에 클럭 입력을 제공함. 10K의 풀-업 저항이 TCK 핀에 연결되어야 함.
TDI	I	TDI(TAP 컨트롤러 데이터 입력)은 명령어와 데이터를 테스트 할 수 있는 시리얼 입력임. 10K의 풀-업 저항이 TDI 핀에 연결되어야 함.
TDO	O	TDO(TAP 컨트롤러 데이터 출력)는 명령어와 데이터를 테스트 할 수 있는 시리얼 출력임.

Reset, Clock & Power		
nRESET	ST	nRESET는 진행중인 동작을 멈추고, S3C2410X를 리셋 상태로 놓는다. 리셋 시에 nRESET은 프로세서의 파워가 안정화 된 후에 적어도 4개의 FCLK 동안은 Low 레벨을 유지하고 있어야 함.
nRSTOUT	O	외부의 디바이스 리셋 컨트롤(nRSTOUT = nRESET & nWDTRST & SW_RESET)
PWREN	O	1.8V의 코어 전력 온/오프 컨트롤 신호
nBATT_FLT	I	배터리 상태 체크(Low 배터리 상태의 경우에 파워-오프 모드에서는 깨어나지 않음.). 사용하지 않을 경우에는 High(3.3V)로 두어야 함.
OM[3:2]	I	OM[3:2]는 클럭 신호 생성을 결정. OM[3:2] = 00b, MPLL CLK와 UPLL CLK 소스에 크리스탈을 사용. OM[3:2] = 01b, MPLL CLK에는 크리스탈, UPLL CLK 소스에는 EXTCLK가 사용됨. OM[3:2] = 10b, MPLL CLK에는 EXTCLK, UPLL CLK 소스에는 크리스탈이 사용됨. OM[3:2] = 11b, MPLL 과 UPLL CLK 소스에 EXTCLK가 사용됨.
EXTCLK	I	외부 클럭 소스 OM[3:2] = 11b이면, MPLL과 UPLL CLK 소스에 EXTCLK가 사용됨. OM[3:2] = 10b이면, MPLL CLK 소스에만 EXTCLK가 사용됨. OM[3:2] = 01b이면, UPLL CLK 소스에만 EXTCLK가 사용됨. 사용하지 않을 경우, High(3.3V)로 둘 것.

XTIpll	AI	내부의 OSC 회로에 크리스탈 입력으로 사용. OM[3:2] = 00b이면, MPLL과 UPLL CLK 소스에 XTIpll이 사용됨. OM[3:2] = 01b이면, MPLL CLK 소스에만 XTIpll이 사용됨. OM[3:2] = 10b이면, UPLL CLK 소스에만 XTIpll이 사용됨. 사용하지 않을 경우, XTIpll은 High(3.3V)로 둘 것.
XTOpll	AO	내부의 OSC 회로에 크리스탈 출력으로 사용. OM[3:2] = 00b이면, MPLL과 UPLL CLK 소스에 XTOpll이 사용됨. OM[3:2] = 01b이면, MPLL CLK 소스에만 XTOpll이 사용됨. OM[3:2] = 10b이면, UPLL CLK 소스에만 XTOpll이 사용됨. 사용하지 않을 경우, 플로팅 상태로 둘 것.
MPLLCAP	AI	메인 클럭에 사용되는 루프 필터 캐패시터
UPLLCAP	AI	USB 클럭에 사용되는 루프 필터 캐패시터
XTIrtc	AI	RTC용 32kHz의 크리스탈 입력, 사용하지 않을 경우 High(3.3V) 임.
XTOrtc	AO	RTC용 32kHz의 크리스탈 출력, 사용하지 않을 경우 플로팅 상태임.
CLKOUT[1:0]	O	클럭 출력 신호. MISCCR 레지스터의 CLKSEL은 MPLL, UPLL CLK, FCLK, HCLK, PCLK 사이의 클럭 출력 모드를 설정함.

Power		
VDDalive	P	S3C2410X의 리셋 블록과 포트 상태 레지스터 VDD(1.8V). normal 모드 혹은 파워-오프 모드에서도 항상 전원 공급이 되어야 함.
VDDi/VDDiarm	P	S3C2410X CPU의 코어 로직 VDD(1.8V).
VSSi/VSSiarm	P	S3C2410X의 코어 로직 VSS.
VDDi_MPLL	P	S3C2410X의 MPLL 아날로그와 디지털 VDD(1.8V).
VSSi_MPLL	P	S3C2410X의 MPLL 아날로그와 디지털 VSS.
VDDOP	P	S3C2410X의 I/O 포트 VDD(3.3V).
VDDMOP	P	S3C2410X의 메모리 I/O VDD. 3.3V : SCLK가 100MHz까지 가능 2.5V : SCLK가 80MHz까지 가능
VSSOP	P	S3C2410X의 I/O 포트 VSS.
RTCVDD	P	RTC VDD(1.8V, 3.3V는 지원하지 않음). (RTC가 사용되지 않으면, 이 핀은 전원에 연결되어야 함.).
VDDi_UPLL	P	S3C2410X의 UPLL 아날로그와 디지털 VDD(1.8V).
VSSi_UPLL	P	S3C2410X의 UPLL 아날로그와 디지털 VSS.
VDDA_ADC	P	S3C2410X의 ADC VDD(3.3V).
VSSA_ADC	P	S3C2410X의 ADC VSS.

S3C2410X의 특수 레지스터

Table 1-4. S3C2410X Special Registers (Sheet 1 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
Memory Controller					
BWSCON	0x48000000	←	W	R/W	Bus Width & Wait Status Control
BANKCON0	0x48000004				Boot ROM Control
BANKCON1	0x48000008				BANK1 Control
BANKCON2	0x4800000C				BANK2 Control
BANKCON3	0x48000010				BANK3 Control
BANKCON4	0x48000014				BANK4 Control
BANKCON5	0x48000018				BANK5 Control
BANKCON6	0x4800001C				BANK6 Control
BANKCON7	0x48000020				BANK7 Control
REFRESH	0x48000024				DRAM/SDRAM Refresh Control
BANKSIZE	0x48000028				Flexible Bank Size
MRSRB6	0x4800002C				Mode register set for SDRAM
MRSRB7	0x48000030				Mode register set for SDRAM

Table 1-4. S3C2410X Special Registers (Sheet 2 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
USB Host Controller					
HcRevision	0x49000000	←	W		Control and Status Group
HcControl	0x49000004				
HcCommonStatus	0x49000008				
HcInterruptStatus	0x4900000C				
HcInterruptEnable	0x49000010				
HcInterruptDisable	0x49000014				
HcCCA	0x49000018				Memory Pointer Group
HcPeriodCurrentED	0x4900001C				
HcControlHeadED	0x49000020				
HcControlCurrentED	0x49000024				
HcBulkHeadED	0x49000028				
HcBulkCurrentED	0x4900002C				
HcDoneHead	0x49000030				Frame Counter Group
HcRmInterval	0x49000034				
HcFmRemaining	0x49000038				
HcFmNumber	0x4900003C				
HcPeriodicStart	0x49000040				
HcLSThreshold	0x49000044				Root Hub Group
HcRhDescriptorA	0x49000048				
HcRhDescriptorB	0x4900004C				
HcRhStatus	0x49000050				
HcRhPortStatus1	0x49000054				
HcRhPortStatus2	0x49000058				

Interrupt Controller					
SRCPND	0X4A000000	←	W	R/W	Interrupt Request Status
INTMOD	0X4A000004			W	Interrupt Mode Control
INTMSK	0X4A000008			R/W	Interrupt Mask Control
PRIORITY	0X4A00000C			W	IRQ Priority Control
INTPND	0X4A000010			R/W	Interrupt Request Status
INTOFFSET	0X4A000014			R	Interrupt request source offset
SUBSRCPND	0X4A000018			R/W	Sub source pending
INTSUBMSK	0X4A00001C			R/W	Interrupt sub mask

Table 1-4. S3C2410X Special Registers (Sheet 3 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
DMA					
DISRC0	0x4B000000	←	W	R/W	DMA 0 Initial Source
DISRCC0	0x4B000004				DMA 0 Initial Source Control
DIDST0	0x4B000008				DMA 0 Initial Destination
DIDSTC0	0x4B00000C				DMA 0 Initial Destination Control
DCON0	0x4B000010				DMA 0 Control
DSTAT0	0x4B000014			R	DMA 0 Count
DCSRC0	0x4B000018				DMA 0 Current Source
DCDST0	0x4B00001C				DMA 0 Current Destination
DMASKTRIG0	0x4B000020	←	W	R/W	DMA 0 Mask Trigger
DISRC1	0x4B000040				DMA 1 Initial Source
DISRCC1	0x4B000044				DMA 1 Initial Source Control
DIDST1	0x4B000048				DMA 1 Initial Destination
DIDSTC1	0x4B00004C				DMA 1 Initial Destination Control
DCON1	0x4B000050				DMA 1 Control
DSTAT1	0x4B000054			R	DMA 1 Count
DCSRC1	0x4B000058				DMA 1 Current Source
DCDST1	0x4B00005C				DMA 1 Current Destination
DMASKTRIG1	0x4B000060	←	W	R/W	DMA 1 Mask Trigger
DISRC2	0x4B000080				DMA 2 Initial Source
DISRCC2	0x4B000084				DMA 2 Initial Source Control
DIDST2	0x4B000088				DMA 2 Initial Destination
DIDSTC2	0x4B00008C				DMA 2 Initial Destination Control
DCON2	0x4B000090				DMA 2 Control
DSTAT2	0x4B000094			R	DMA 2 Count
DCSRC2	0x4B000098				DMA 2 Current Source
DCDST2	0x4B00009C				DMA 2 Current Destination
DMASKTRIG2	0x4B0000A0	←	W	R/W	DMA 2 Mask Trigger
DISRC3	0x4B0000C0			R/W	DMA 3 Initial Source
DISRCC3	0x4B0000C4				DMA 3 Initial Source Control
DIDST3	0x4B0000C8				DMA 3 Initial Destination
DIDSTC3	0x4B0000CC				DMA 3 Initial Destination Control
DCON3	0x4B0000D0				DMA 3 Control
DSTAT3	0x4B0000D4			R	DMA 3 Count
DCSRC3	0x4B0000D8				DMA 3 Current Source
DCDST3	0x4B0000DC				DMA 3 Current Destination
DMASKTRIG3	0x4B0000E0			R/W	DMA 3 Mask Trigger

Table 1-4. S3C2410X Special Registers (Sheet 4 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/ Write	Function
Clock & Power Management					
LOCKTIME	0x4C000000	←	W	R/W	PLL Lock Time Counter
MPLLCON	0x4C000004				MPLL Control
UPLLCON	0x4C000008				UPLL Control
CLKCON	0x4C00000C				Clock Generator Control
CLKSLOW	0x4C000010				Slow Clock Control
CLKDIVN	0x4C000014				Clock divider Control
LCD Controller					
LCDCON1	0X4D000000	←	W	R/W	LCD Control 1
LCDCON2	0X4D000004				LCD Control 2
LCDCON3	0X4D000008				LCD Control 3
LCDCON4	0X4D00000C				LCD Control 4
LCDCON5	0X4D000010				LCD Control 5
LCDSADDR1	0X4D000014				STN/TFT: Frame Buffer Start Address1
LCDSADDR2	0X4D000018				STN/TFT: Frame Buffer Start Address2
LCDSADDR3	0X4D00001C				STN/TFT: Virtual Screen Address Set
REDLUT	0X4D000020				STN: Red Lookup Table
GREENLUT	0X4D000024				STN: Green Lookup Table
BLUELUT	0X4D000028				STN: Blue Lookup Table
DITHMODE	0X4D00004C				STN: Dithering Mode
TPAL	0X4D000050				TFT: Temporary Palette
LCDINTPND	0X4D000054				LCD Interrupt Pending
LCDSRCPND	0X4D000058				LCD Interrupt Source
LCDINTMSK	0X4D00005C				LCD Interrupt Mask
LPCSEL	0X4D000060	LPC3600 Control			
NAND Flash					
NFCONF	0x4E000000	←	W	R/W	NAND Flash Configuration
NFCMD	0x4E000004				NAND Flash Command
NFADDR	0x4E000008				NAND Flash Address
NFDATA	0x4E00000C				NAND Flash Data
NFSTAT	0x4E000010			R	NAND Flash Operation Status
NFECC	0x4E000014			R/W	NAND Flash ECC

Table 1-4. S3C2410X Special Registers (Sheet 5 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
UART					
ULCON0	0x50000000	←	W	R/W	UART 0 Line Control
UCON0	0x50000004				UART 0 Control
UFCON0	0x50000008				UART 0 FIFO Control
UMCON0	0x5000000C				UART 0 Modem Control
UTRSTAT0	0x50000010			R	UART 0 Tx/Rx Status
UERSTAT0	0x50000014				UART 0 Rx Error Status
UFSTAT0	0x50000018				UART 0 FIFO Status
UMSTAT0	0x5000001C				UART 0 Modem Status
UTXH0	0x50000023	0x50000020	B	W	UART 0 Transmission Hold
URXH0	0x50000027	0x50000024		R	UART 0 Receive Buffer
UBRDIV0	0x50000028	←	W	R/W	UART 0 Baud Rate Divisor
ULCON1	0x50004000	←	W	R/W	UART 1 Line Control
UCON1	0x50004004				UART 1 Control
UFCON1	0x50004008				UART 1 FIFO Control
UMCON1	0x5000400C				UART 1 Modem Control
UTRSTAT1	0x50004010			R	UART 1 Tx/Rx Status
UERSTAT1	0x50004014				UART 1 Rx Error Status
UFSTAT1	0x50004018				UART 1 FIFO Status
UMSTAT1	0x5000401C				UART 1 Modem Status
UTXH1	0x50004023	0x50004020	B	W	UART 1 Transmission Hold
URXH1	0x50004027	0x50004024		R	UART 1 Receive Buffer
UBRDIV1	0x50004028	←	W	R/W	UART 1 Baud Rate Divisor
ULCON2	0x50008000	←	W	R/W	UART 2 Line Control
UCON2	0x50008004				UART 2 Control
UFCON2	0x50008008				UART 2 FIFO Control
UTRSTAT2	0x50008010			R	UART 2 Tx/Rx Status
UERSTAT2	0x50008014				UART 2 Rx Error Status
UFSTAT2	0x50008018				UART 2 FIFO Status
UTXH2	0x50008023	0x50008020	B	W	UART 2 Transmission Hold
URXH2	0x50008027	0x50008024		R	UART 2 Receive Buffer
UBRDIV2	0x50008028	←	W	R/W	UART 2 Baud Rate Divisor

Table 1-4. S3C2410X Special Registers (Sheet 6 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
PWM Timer					
TCFG0	0x51000000	←	W	R/W	Timer Configuration
TCFG1	0x51000004				Timer Configuration
TCON	0x51000008				Timer Control
TCNTB0	0x5100000C				Timer Count Buffer 0
TCMPB0	0x51000010				Timer Compare Buffer 0
TCNTO0	0x51000014			R	Timer Count Observation 0
TCNTB1	0x51000018			R/W	Timer Count Buffer 1
TCMPB1	0x5100001C				Timer Compare Buffer 1
TCNTO1	0x51000020			R	Timer Count Observation 1
TCNTB2	0x51000024			R/W	Timer Count Buffer 2
TCMPB2	0x51000028				Timer Compare Buffer 2
TCNTO2	0x5100002C			R	Timer Count Observation 2
TCNTB3	0x51000030			R/W	Timer Count Buffer 3
TCMPB3	0x51000034				Timer Compare Buffer 3
TCNTO3	0x51000038			R	Timer Count Observation 3
TCNTB4	0x5100003C			R/W	Timer Count Buffer 4
TCNTO4	0x51000040				Timer Count Observation 4

Table 1-4. S3C2410X Special Registers (Sheet 7 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/ Write	Function
USB Device					
FUNC_ADDR_REG	0x52000143	0x52000140	B	R/W	Function Address
PWR_REG	0x52000147	0x52000144			Power Management
EP_INT_REG	0x5200014B	0x52000148			EP Interrupt Pending and Clear
USB_INT_REG	0x5200015B	0x52000158			USB Interrupt Pending and Clear
EP_INT_EN_REG	0x5200015F	0x5200015C			Interrupt Enable
USB_INT_EN_REG	0x5200016F	0x5200016C			Interrupt Enable
FRAME_NUM1_REG	0x52000173	0x52000170		R	Frame Number Lower Byte
INDEX_REG	0x5200017B	0x52000178		R/W	Register Index
EP0_CSR	0x52000187	0x52000184			Endpoint 0 Status
IN_CSR1_REG	0x52000187	0x52000184			In Endpoint Control Status
IN_CSR2_REG	0x5200018B	0x52000188			In Endpoint Control Status
MAXP_REG	0x5200018F	0x5200018C			Endpoint Max Packet
OUT_CSR1_REG	0x52000193	0x52000190			Out Endpoint Control Status
OUT_CSR2_REG	0x52000197	0x52000194			Out Endpoint Control Status
OUT_FIFO_CNT1_REG	0x5200019B	0x52000198		R	Endpoint Out Write Count
OUT_FIFO_CNT2_REG	0x5200019F	0x5200019C			Endpoint Out Write Count
EP0_FIFO	0x520001C3	0x520001C0		R/W	Endpoint 0 FIFO
EP1_FIFO	0x520001C7	0x520001C4			Endpoint 1 FIFO
EP2_FIFO	0x520001CB	0x520001C8			Endpoint 2 FIFO
EP3_FIFO	0x520001CF	0x520001CC			Endpoint 3 FIFO
EP4_FIFO	0x520001D3	0x520001D0			Endpoint 4 FIFO
EP1_DMA_CON	0x52000203	0x52000200			EP1 DMA Interface Control
EP1_DMA_UNIT	0x52000207	0x52000204			EP1 DMA Tx Unit Counter
EP1_DMA_FIFO	0x5200020B	0x52000208			EP1 DMA Tx FIFO Counter
EP1_DMA_TX_LO	0x5200020F	0x5200020C			EP1 DMA Total Tx Counter
EP1_DMA_TX_MD	0x52000213	0x52000210			EP1 DMA Total Tx Counter
EP1_DMA_TX_HI	0x52000217	0x52000214			EP1 DMA Total Tx Counter

Table 1-4. S3C2410X Special Registers (Sheet 8 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/W rite	Function
USB Device (Continued)					
EP2_DMA_CON	0x5200021B	0x52000218	B	R/W	EP2 DMA Interface Control
EP2_DMA_UNIT	0x5200021F	0x5200021C			EP2 DMA Tx Unit Counter
EP2_DMA_FIFO	0x52000223	0x52000220			EP2 DMA Tx FIFO Counter
EP2_DMA_TX_LO	0x52000227	0x52000224			EP2 DMA Total Tx Counter
EP2_DMA_TX_MD	0x5200022B	0x52000228			EP2 DMA Total Tx Counter
EP2_DMA_TX_HI	0x5200022F	0x5200022C			EP2 DMA Total Tx Counter
EP3_DMA_CON	0x52000243	0x52000240			EP3 DMA Interface Control
EP3_DMA_UNIT	0x52000247	0x52000244			EP3 DMA Tx Unit Counter
EP3_DMA_FIFO	0x5200024B	0x52000248			EP3 DMA Tx FIFO Counter
EP3_DMA_TX_LO	0x5200024F	0x5200024C			EP3 DMA Total Tx Counter
EP3_DMA_TX_MD	0x52000253	0x52000250			EP3 DMA Total Tx Counter
EP3_DMA_TX_HI	0x52000257	0x52000254			EP3 DMA Total Tx Counter
EP4_DMA_CON	0x5200025B	0x52000258			EP4 DMA Interface Control
EP4_DMA_UNIT	0x5200025F	0x5200025C			EP4 DMA Tx Unit Counter
EP4_DMA_FIFO	0x52000263	0x52000260			EP4 DMA Tx FIFO Counter
EP4_DMA_TX_LO	0x52000267	0x52000264			EP4 DMA Total Tx Counter
EP4_DMA_TX_MD	0x5200026B	0x52000268			EP4 DMA Total Tx Counter
EP4_DMA_TX_HI	0x5200026F	0x5200026C			EP4 DMA Total Tx Counter
Watchdog Timer					
WTCON	0x53000000	←	W	R/W	Watchdog Timer Mode
WTDAT	0x53000004				Watchdog Timer Data
WTCNT	0x53000008				Watchdog Timer Count
IIC					
IICCON	0x54000000	←	W	R/W	IIC Control
IICSTAT	0x54000004				IIC Status
IICADD	0x54000008				IIC Address
IICDS	0x5400000C				IIC Data Shift
IIS					
IISCON	0x55000000,02	0x55000000	HW,W	R/W	IIS Control
IISMOD	0x55000004,06	0x55000004	HW,W		IIS Mode
IISPSR	0x55000008,0A	0x55000008	HW,W		IIS Prescaler
IISFCN	0x5500000C,0E	0x5500000C	HW,W		IIS FIFO Control
IISFIFO	0x55000012	0x55000010	HW		IIS FIFO Entry

Table 1-4. S3C2410X Special Registers (Sheet 9 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
I/O port					
GPACON	0x56000000	←	W	R/W	Port A Control
GPADAT	0x56000004				Port A Data
GPBCON	0x56000010				Port B Control
GPBDAT	0x56000014				Port B Data
GPBUP	0x56000018				Pull-up Control B
GPCCON	0x56000020				Port C Control
GPCDAT	0x56000024				Port C Data
GPCUP	0x56000028				Pull-up Control C
GPDCON	0x56000030				Port D Control
GPDDA1T	0x56000034				Port D Data
GPDUP	0x56000038				Pull-up Control D
GPECON	0x56000040				Port E Control
GPEDAT	0x56000044				Port E Data
GPEUP	0x56000048				Pull-up Control E
GPFCON	0x56000050				Port F Control
GPFDAT	0x56000054				Port F Data
GPFUP	0x56000058				Pull-up Control F
GPGCON	0x56000060				Port G Control
GPGDAT	0x56000064				Port G Data
GPGUP	0x56000068				Pull-up Control G
GPHCON	0x56000070				Port H Control
GPHDAT	0x56000074				Port H Data
GPHUP	0x56000078				Pull-up Control H
MISCCR	0x56000080	←	W	R/W	Miscellaneous Control
DCLKCON	0x56000084				DCLK0/1 Control
EXTINT0	0x56000088				External Interrupt Control Register 0
EXTINT1	0x5600008C				External Interrupt Control Register 1
EXTINT2	0x56000090				External Interrupt Control Register 2
EINTFLT0	0x56000094				Reserved
EINTFLT1	0x56000098				Reserved
EINTFLT2	0x5600009C				External Interrupt Filter Control Register 2
EINTFLT3	0x560000A0				External Interrupt Filter Control Register 3
EINTMASK	0x560000A4				External Interrupt Mask
EINTPEND	0x560000A8				External Interrupt Pending
GSTATUS0	0x560000AC				External Pin Status
GSTATUS1	0x560000B0				External Pin Status

Table 1-4. S3C2410X Special Registers (Sheet 10 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/Write	Function
RTC					
RTCCON	0x57000043	0x57000040	B	R/W	RTC Control
TICNT	0x57000047	0x57000044			Tick time count
RTCALM	0x57000053	0x57000050			RTC Alarm Control
ALMSEC	0x57000057	0x57000054			Alarm Second
ALMMIN	0x5700005B	0x57000058			Alarm Minute
ALMHOUR	0x5700005F	0x5700005C			Alarm Hour
ALMDATE	0x57000063	0x57000060			Alarm Day
ALMMON	0x57000067	0x57000064			Alarm Month
ALMYEAR	0x5700006B	0x57000068			Alarm Year
RTCRST	0x5700006F	0x5700006C			RTC Round Reset
BCDSEC	0x57000073	0x57000070			BCD Second
BCDMIN	0x57000077	0x57000074			BCD Minute
BCDHOUR	0x5700007B	0x57000078			BCD Hour
BCDDATE	0x5700007F	0x5700007C			BCD Day
BCDDAY	0x57000083	0x57000080			BCD Date
BCDMON	0x57000087	0x57000084			BCD Month
BCDYEAR	0x5700008B	0x57000088			BCD Year
A/D converter					
ADCCON	0x58000000	←	W	R/W	ADC Control
ADCTSC	0x58000004				ADC Touch Screen Control
ADCDLY	0x58000008				ADC Start or Interval Delay
ADCDAT0	0x5800000C			R	ADC Conversion Data
ADCDAT1	0x58000010				ADC Conversion Data
SPI					
SPCON0,1	0x59000000,20	←	W	R/W	SPI Control
SPSTA0,1	0x59000004,24			R	SPI Status
SPPIN0,1	0x59000008,28			R/W	SPI Pin Control
SPPRE0,1	0x5900000C,2C				SPI Baud Rate Prescaler
SPTDAT0,1	0x59000010,30			R	SPI Tx Data
SPRDAT0,1	0x59000014,34				SPI Rx Data

Table 1-4. S3C2410X Special Registers (Sheet 11 of 11)

Register Name	Address (B. Endian)	Address (L. Endian)	Acc. Unit	Read/ Write	Function
SD interface					
SDICON	0x5A000000	←	W	R/W	SDI Control
SDIPRE	0x5A000004				SDI Baud Rate Prescaler
SDICmdArg	0x5A000008				SDI Command Argument
SDICmdCon	0x5A00000C				SDI Command Control
SDICmdSta	0x5A000010			R/(C)	SDI Command Status
SDIRSP0	0x5A000014			R	SDI Response
SDIRSP1	0x5A000018				SDI Response
SDIRSP2	0x5A00001C				SDI Response
SDIRSP3	0x5A000020				SDI Response
SDIDTimer	0x5A000024			R/W	SDI Data / Busy Timer
SDIBSize	0x5A000028				SDI Block Size
SDIDatCon	0x5A00002C				SDI Data control
SDIDatCnt	0x5A000030			R	SDI Data Remain Counter
SDIDatSta	0x5A000034			R/(C)	SDI Data Status
SDIFSTA	0x5A000038			R	SDI FIFO Status
SDIDAT	0x5A00003F	0x5A00003C	B	R/W	SDI Data
SDIntMsk	0x5A000040	←	W		SDI Interrupt Mask

주의를 요하는 S3C2410X의 특수 레지스터

1. 리틀 엔디안 모드에서는 리틀 엔디안 어드레스가 사용되어야 한다. 마찬가지로, 빅 엔디안 모드에서는 빅 엔디안 어드레스가 사용되어야 한다.
2. 특수 레지스터는 각각의 요구되는 액세스 유닛에 액세스 되어야 한다.
3. ADC 레지스터, RTC 레지스터, UART 레지스터를 제외한 모든 레지스터들은 리틀/빅 엔디안 모드에서 워드 단위(32bit)로 읽기/쓰기 수행이 이루어져야 한다.
4. ADC 레지스터, RTC 레지스터, UART 레지스터들은 특수한 액세스 유닛과 특수한 어드레스에 의해서 읽기/쓰기가 수행되어야 함을 기억하시오. 더욱이, 어떤 엔디안 모드를 사용할 것인지를 심사숙고 해야 한다.
5. W : 32-bit 레지스터, LDR/STR 혹은 int 형태의 포인터(int *)로 접근되어야 함.
HW: 16-bit 레지스터, LDRH/STRH 혹은 short int 형태의 포인터(short int *)로 접근되어야 함.
B : 8-bit 레지스터, LDRB/STRB 혹은 char 형태의 포인터(char int *)로 접근되어야 함.