
AESOP Embedded Forum
Sejong Lee (<http://www.aesop-embedded.org>)

개 요

이 문서는 S3C6400 데이터시트에서
제 30장 IIC를 번역한 자료입니다.

제 30장. IIC

이번 장은 S3C6400 RISC 마이크로프로세서에 들어있는
IIC 버스 인터페이스의 사용법과 기능을 설명하고 있습니다.

30.1 개관

S3C6400 리스크(RISC) 마이크로프로세서는 multi-master(다중 마스터) IIC-bus serial interface를 지원한다. 시리얼 데이터 라인(SDA)과 시리얼 클럭 라인(SCL)은 bus master와 주변장치 사이에서 정보를 실어나른다. 두 라인은 IIC 버스에 연결된다. SDA와 SCL 라인은 양방향이다.

Multi-master IIC 버스 모드에서, 다수의 S3C6400 리스크 마이크로프로세서는 slave장치로 시리얼 데이터를 전송하거나 slave 장치로부터 시리얼 데이터를 수신할 수 있다. Master S3C6400은 IIC 버스상에서 데이터 전송을 초기화 하거나 중지할 수 있다. S3C6400의 IIC 버스는 표준버스 조정 프로시저로 사용된다.

Multi-master IIC 버스 동작을 제어하기 위해, 값들은 반드시 다음의 레지스터들에 써져야 한다.

- Multi-master IIC 버스제어 레지스터
- Multi-master IIC 버스제어/상태 레지스터
- Multi-master IIC 버스 Tx/Rx 데이터 시프트 레지스터
- Multi-master IIC 버스주소 레지스터

IIC 버스가 자유로울 때(데이터 전송이 없는 상태) SDA와 SCL 라인은 모두 high 레벨 상태이어야 한다. SDA가 high에서 low상태로 전이하면 Start condition(시작상태)로 된다. SDA가 low에서 high상태로 전이하면 SCL이 high상태로 유지하는 동안 Stop condition(정지상태)로 된다.

Start and Stop condition은 언제나 마스터 디바이스에 의해 생성된다. Start condition이 개시된 후 마스터 디바이스는 첫 번째로 출력되는 데이터에 7비트 주소를 writing 함으로서 slave장치를 선택한다. 8번째 비트는 전송의 방향을 결정한다.(read or write)

SDA에 올려지는 모든 데이터는 총 8비트이어야 한다. 버스 전송 동작중에 보내거나 받는 바이트에는 제한이 없다. 데이터는 항상 MSB부터 보내지고 매번의 바이트는 즉시 ACK(acknowledge: 인식) 비트가 따른다.

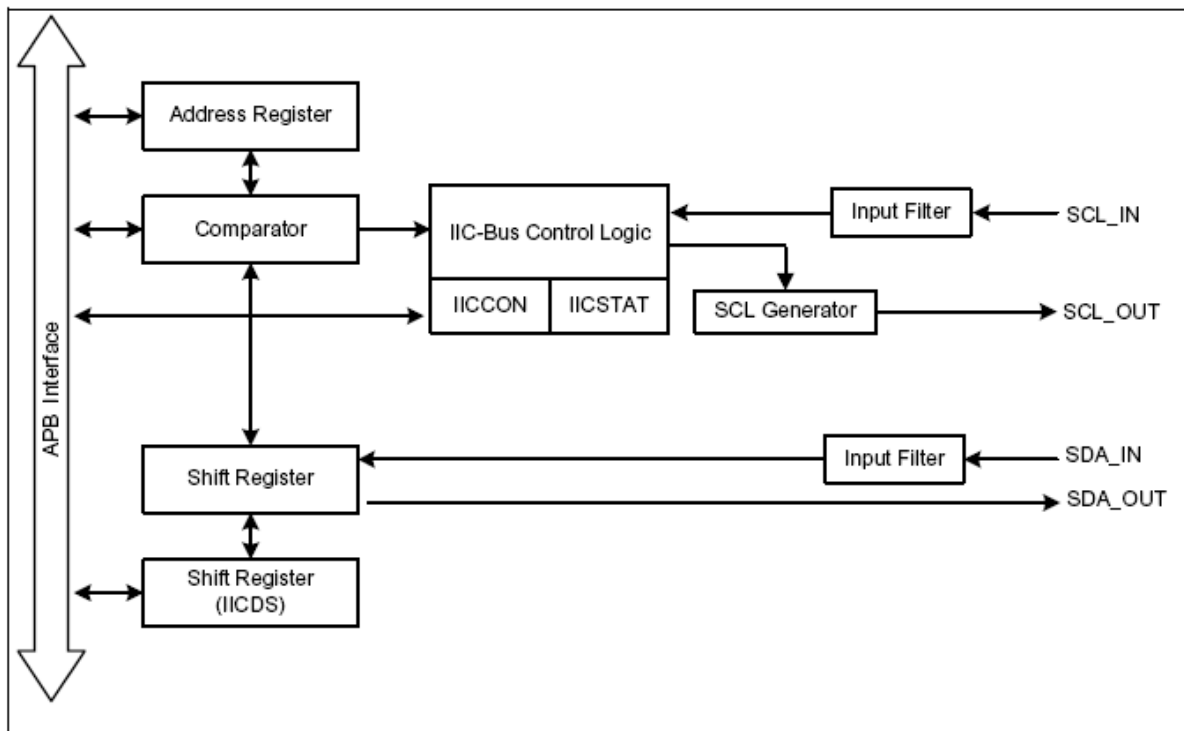


Figure 30-1. IIC-Bus Block Diagram

30.2 IIC 버스 인터페이스

S3C6400의 IIC 버스 인터페이스는 4가지 동작 모드를 가진다.

Master 전송모드
Master 수신모드
Slave 전송모드
Slave 수신모드

이 동작 모드에 대한 기능적 관계는 아래에서 설명하고 있다.

30.3 Start and Stop condition (시작 및 정지 상태)

IIC 버스 인터페이스가 비활성화 상태일 때, 보통 slave 모드이다. 다시 말하면, 이 인터페이스는 SDA 라인상에서 Start condition이 감지되기 전에 slave 모드에 있어야 한다.(Start condition은 클럭 신호 라인인 SCL이 high상태일 동안 SDA라인을 high에서 low로 천이하여 개시할 수 있다.) 인터페이스 상태가 마스터 모드로 변경되었을 때, SDA 라인상의 데이터 전송은 시작되고 SCL 신호가 생성된다.

Start condition은 SDA 라인을 통하여 1바이트 시리얼 데이터를 전송할 수 있고 Stop condition은 데이터 전송을 종료할 수 있다. Stop condition은 SCL이 high일 때 SDA라인이 low에서 high상태로 천이한다. Start and Stop condition은 언제나 마스터에 의해 생성된다. IIC 버스는 Start condition은 생성되었을 때 분주하다. Stop condition은 IIC 버스를 한가하게 만들 것이다.

마스터가 Start condition을 개시했을 때, 마스터는 slave장치를 인식하기 위해 slave주소를 전송한다. 1바이트의 주소 필드는 7비트 주소값과 전송방향을 가리키는 1비트로 구성되어 있다.(showing write or read) 만약 8번째 비트가 0이면 이것은 write동작을 나타낸다. (전송 동작) 만약 8번째 비트가 1이면 이것은 data read 요청을 나타낸다.(수신 동작)

마스터는 transmitting a Stop condition에 의해 전송 동작을 완료한다. 만약 마스터가 버스에 데이터 전송을 계속하길 원한다면 마스터는 다른 start condition과 slave주소를 생성할 것이다. 이런 방법으로 다양한 형식으로 read-write 동작을 수행할 수 있다.

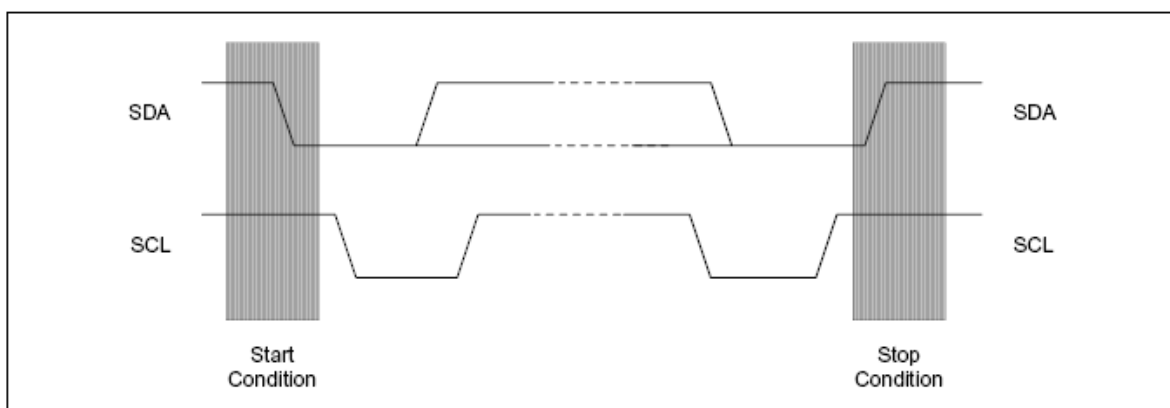


Figure 30-2. Start and Stop Condition Block Diagram

30.4 데이터 전송 형식

SDA 라인상의 매번의 바이트는 8비트의 길이어야만 한다. 바이트는 전송때마다 무제한으로 전송된다. Start condition을 따르는 첫 번째 바이트는 주소 필드를 갖는다. 주소 필드는 IIS 버스가 마스터 모드에서 동작할 때 마스터에 의해 전송된다. 각각의 바이트는 ACK(인식) 비트가 따른다. 시리얼 데이터 또는 주소값의 MSB(상위비트) 비트가 항상 먼저 전송된다.

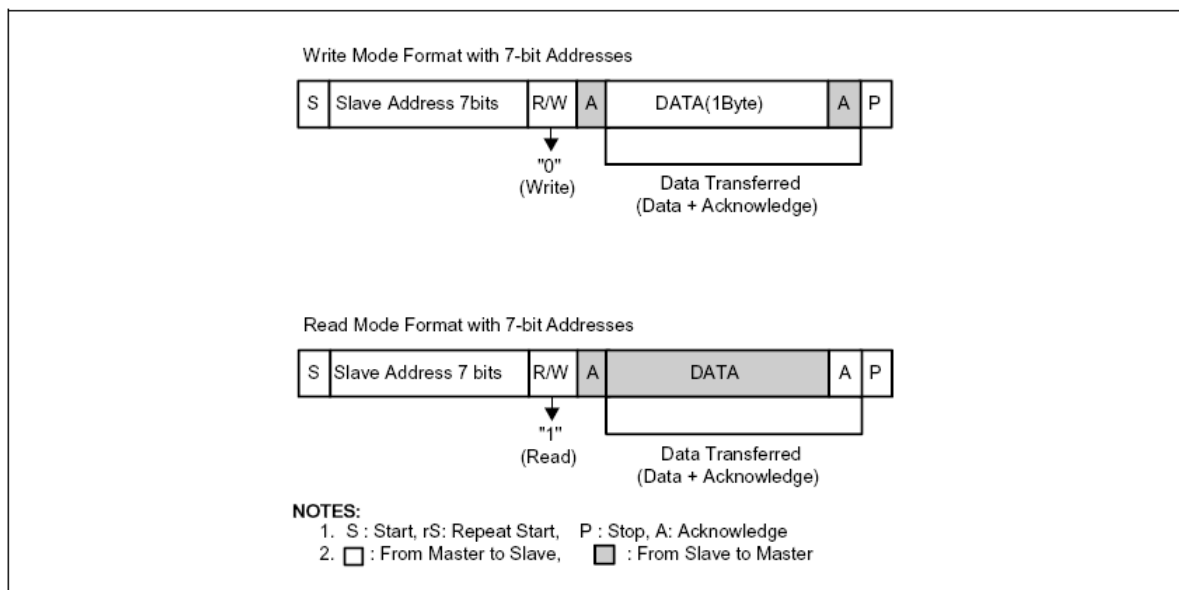


Figure 30-3. Data Transfer on the IIC-Bus Block Diagram

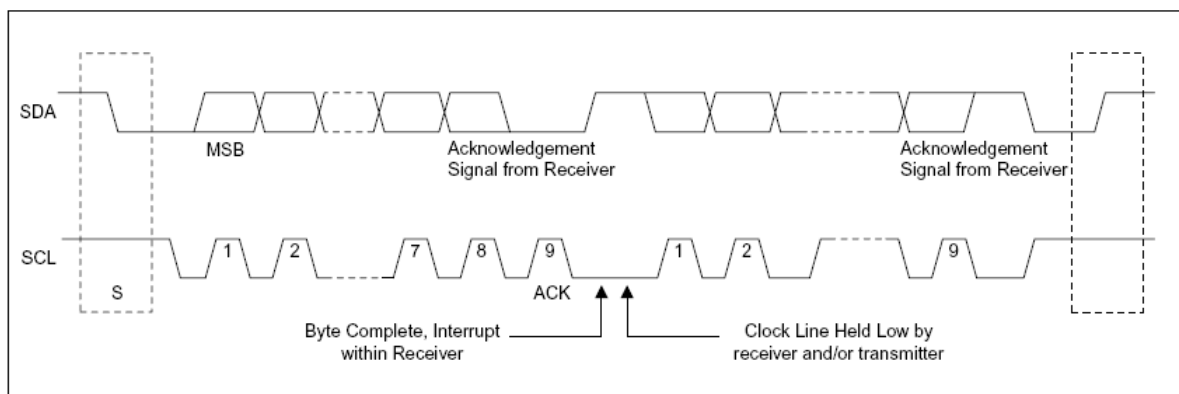


Figure 30-4. Data Transfer on the IIC-Bus Block Diagram

30.5 ACK(인식) 신호 전송

1바이트 전송 동작을 완료하기 위해, 수신쪽은 ACK 비트를 전송쪽에 반드시 보낸다. ACK 펄스는 SCL 라인의 9번째 클럭에 발생한다. 8개의 클럭은 1바이트를 전송하는데 필요하다. 마스터는 ACK 비트를 전송할 필요가 있을 때 클럭 펄스를 생성한다.

전송쪽은 ACK 클럭 펄스를 받았을 때 SDA라인을 high로 만들어 SDA 라인을 해제한다. 수신쪽은 SDA 라인을 low로 유지한다. ACK 클럭 펄스동안, SDA를 low로 유지하기 위해, 9번째 SCL 펄스의 high 상태일 동안에.

ACK 비트 전송 기능은 소프트웨어(IICSTAT)에 의해 enable 또는 disable할 수 있다. 그러나 SCL의 9번째 클럭상의 ACK 펄스는 1바이트 데이터 전송동작 완료가 필요하다.

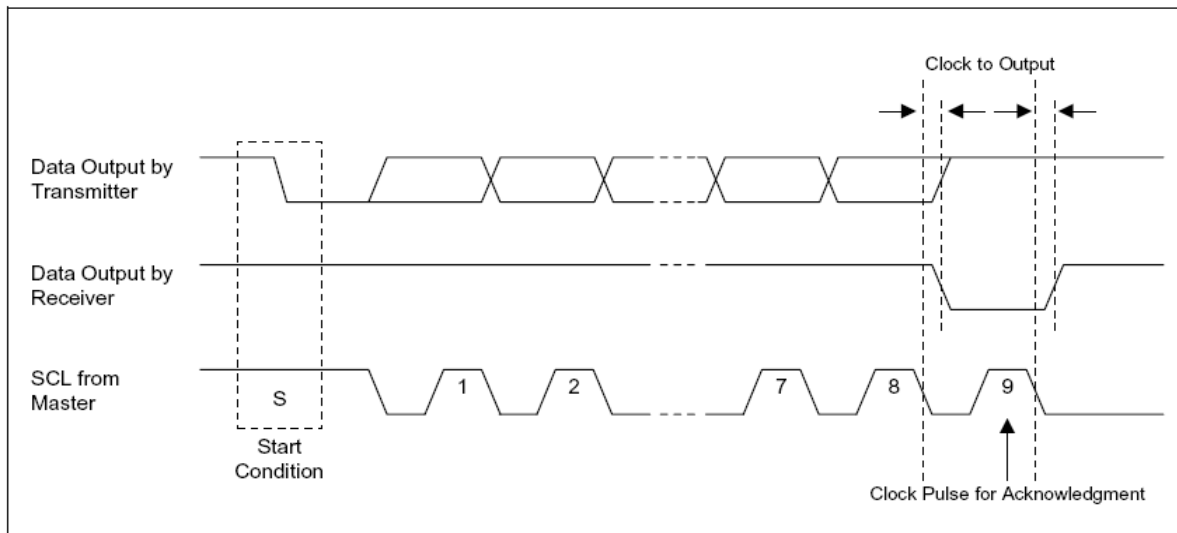


Figure 30-5. Acknowledge on the IIC-Bus Block Diagram

30.6 읽기 및 쓰기 동작

전송모드에서 데이터가 전송되었을 때, IIC 버스 인터페이스는 IIC 버스 데이터 시프트(IICDS) 레지스터가 새로운 데이터를 받을 때 까지 기다린다. 그 레지스터에 새로운 데이터가 쓰여지기 전에, SCL 라인은 low로 잡고 있고 새로운 데이터가 쓰여지면 그 때 SCL 라인을 해제한다.(풀어놓는다.) S3C6400은 현재 데이터의 전송완료로 인지하기 위해 인터럽트를 가지고 있다. CPU가 인터럽트 요청을 받은 후, CPU는 새로운 데이터를 다시 IICDS 레지스터에 쓴다.

수신모드에서 데이터를 받을 때, IIC 버스 인터페이스는 IICDS 레지스터를 읽을 때 까지 기다린다. 새로운 데이터를 읽어내기 전에, SCL 라인은 low로 잡고 있고 다 읽은 후 SCL 라인을 해제한다. S3C6400은 새로운 데이터 수신완료로 인식하기 위해 인터럽트를 가지고 있다. CPU가 인터럽트 요청을 받으면, IICDS 레지스터로부터 데이터를 읽는다.

30.7 버스 중재(조정) 절차 (bus arbitration procedures)

중재는 버스상에서 두 개의 마스터가 회선 쟁탈을 벌이는 것을 막기 위해 SDA 라인상에서 일어난다. 만약 SDA가 high 레벨에 있는 마스터가 SDA가 low 레벨에 있는 다른 마스터를 발견했을 때, 마스터는 데이터 전송을 개시할 수 없을 것이다. 왜냐하면 버스상의 현재 레벨 상태는 마스터와 같지 않기 때문이다. 중재 절차는 SDA 라인이 high로 돌아올 때까지 연장된다.

그러나 마스터들이 SDA 라인에서 동시에 low일 때, 각각의 마스터는 마스터 직위가 할당되었는지 아닌지 검토한다. 검토목적을 위해 각각의 마스터는 address bit를 감지해야 한다. 각각의 마스터가 slave address를 생성하는 동안 마스터는 또한 SDA 라인상의 address bit를 감지한다. 왜냐하면 SDA 라인은 high를 유지하기 보다 low를 가지기 쉽기 때문이다. 하나의 마스터가 첫 번째 address bit처럼 low를 생성한다고 간주하면 다른 마스터가 high를 유지하고 있는 동안에, 이 경우 양쪽의 마스터는 버스상에서 low를 감지할 것이다. 왜냐하면 전력면에서 low상태는 high상태보다 우수하기 때문이다. 이 상태가 발생하면, low(주소의 첫 번째 비트 같은)를 생성하는 것은 마스터가 마스터 직위를 얻게 해준다. 반면에 high(주소의 첫 번째 비트 같은)를 생성하는 것은 마스터가 마스터 직위를 철회하게 한다. 만약 양쪽의 마스터가 주소의 처음 비트처럼 low를 생성할 때, 두 번째 주소비트에 대한 중재가 다시 있을 것이다. 이 중재는 마지막 주소비트의 끝까지 계속된다. 양쪽 마스터가 각각 같은 장치에게 요청한다고 간주하면, data-bit를 위해 중재가 다시 있을 것이다.

30.8 중단 상태 (abort condition)

만약 Slave receiver가 slave주소의 확인을 인지할 수 없다면, slave receiver는 SDA 라인을 high 상태로 잡고 있을 것이다. 이 경우, 마스터는 전송을 중지하기 위해 stop condition을 생성한다.

만약 Master receiver가 전송중지에 연계되면 master receiver는 slave전송 동작의 끝임을 알린다. slave로부터 마지막 데이터 바이트를 받은 후 ACK 생성을 취소함으로써, Slave transmitter는 SDA를 해제한다. Master가 stop condition을 생성하는 것을 허가하기 위해.

30.9 IIC 버스 구성

시리얼 클럭(SCL)의 주파수를 제어하기 위해, 4비트 프리스케일러 값은 IICCON 레지스터에 프로그램 될 수 있다. IIC 버스 인터페이스 주소는 IIC 버스 주소(IICADD) 레지스터에 저장된다. (초기값으로 IIC 버스 인터페이스 주소는 미지의 값을 갖는다.)

30.10 동작 플로우 차트 (각각의 모드에서)

다음의 단계는 IIC Tx/Rx 동작전에 실행되어야 한다.

1. Write own slave address on IICADD register, if needed
2. Set IICCON register
 - a) Enable interrupt
 - b) Define SCL period
3. Set IICSTAT to enable Serial Output

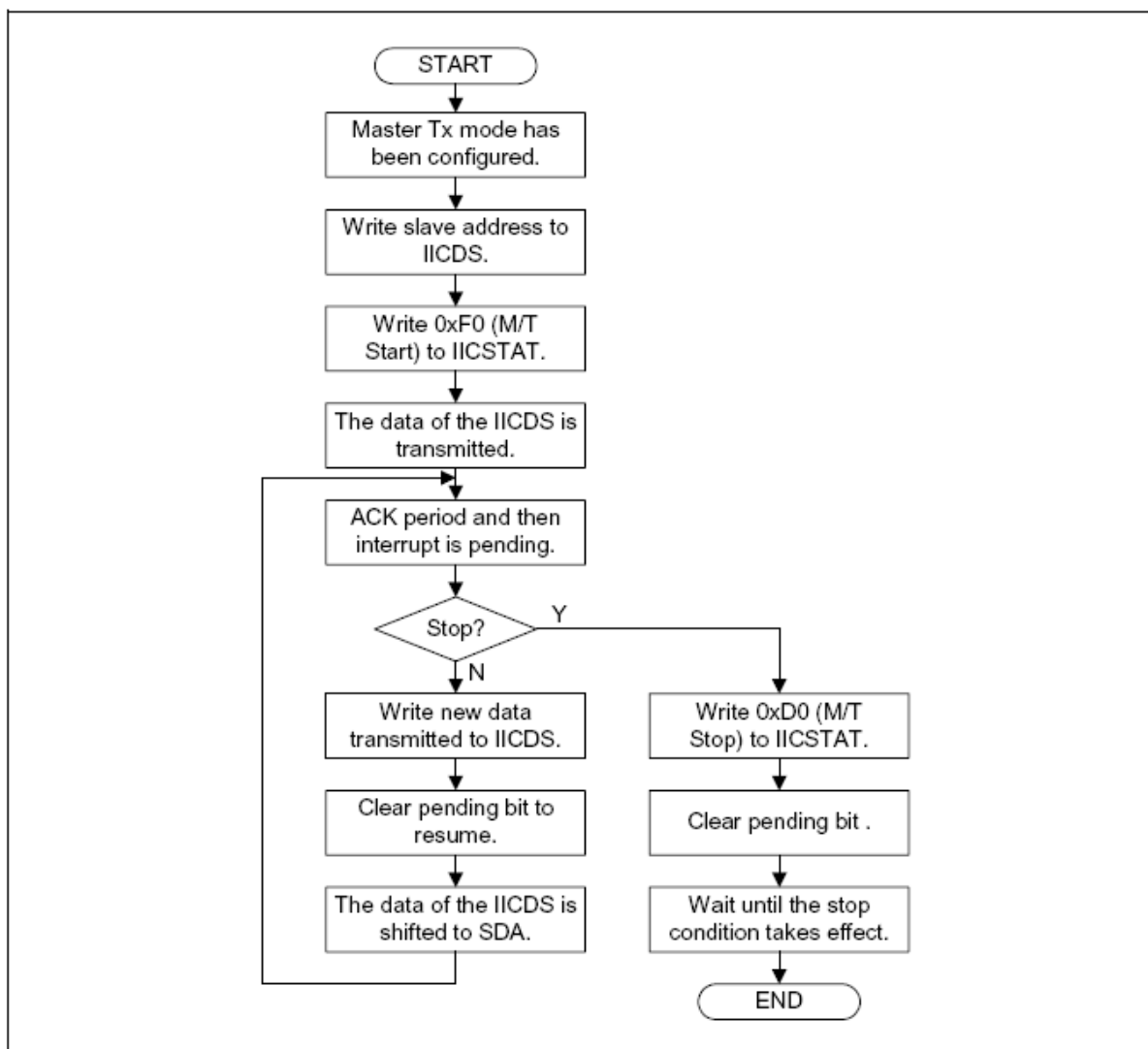


Figure 30-6. Operations for Master/Transmitter Mode

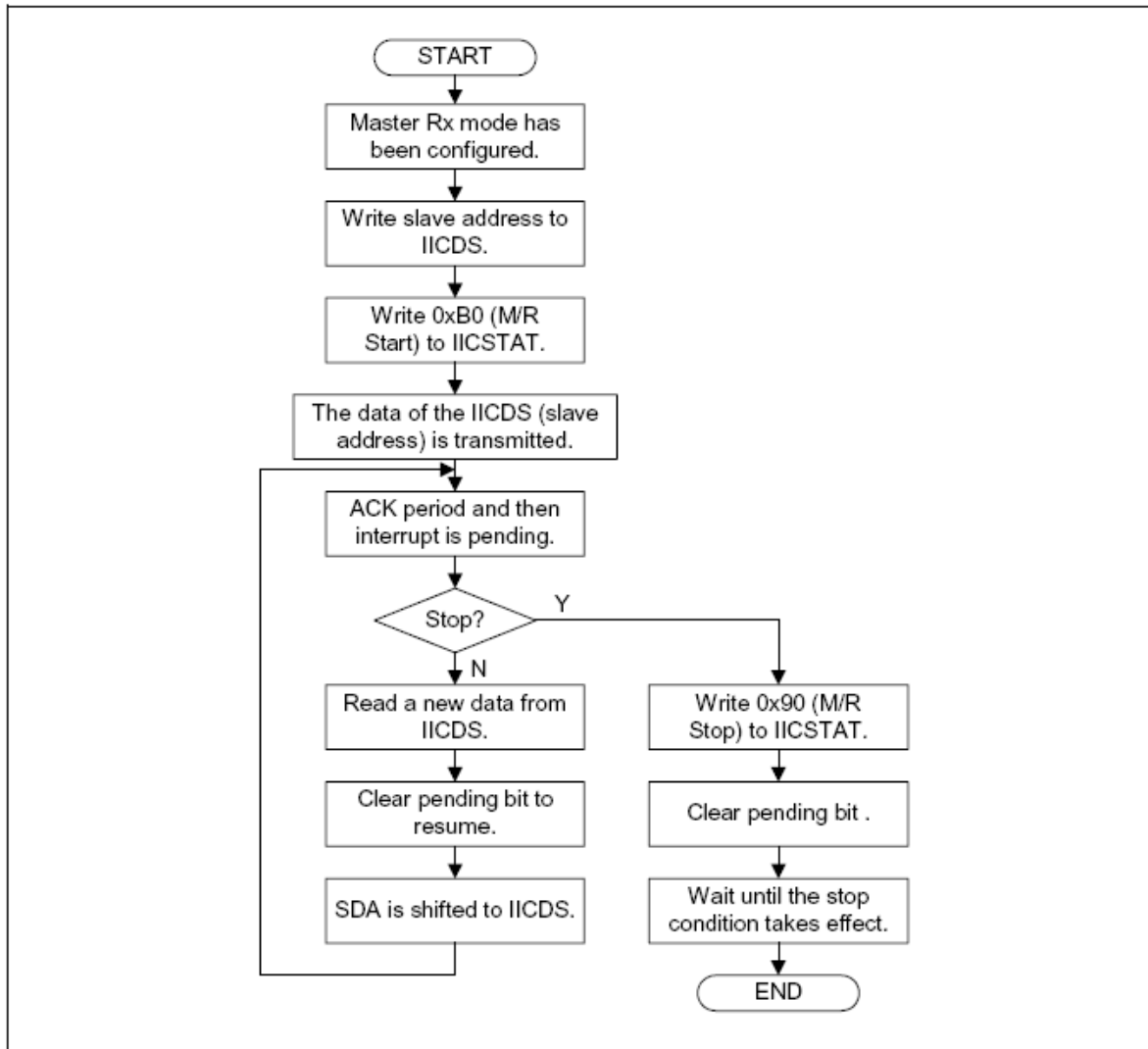


Figure 30-7. Operations for Master/Receiver Mode

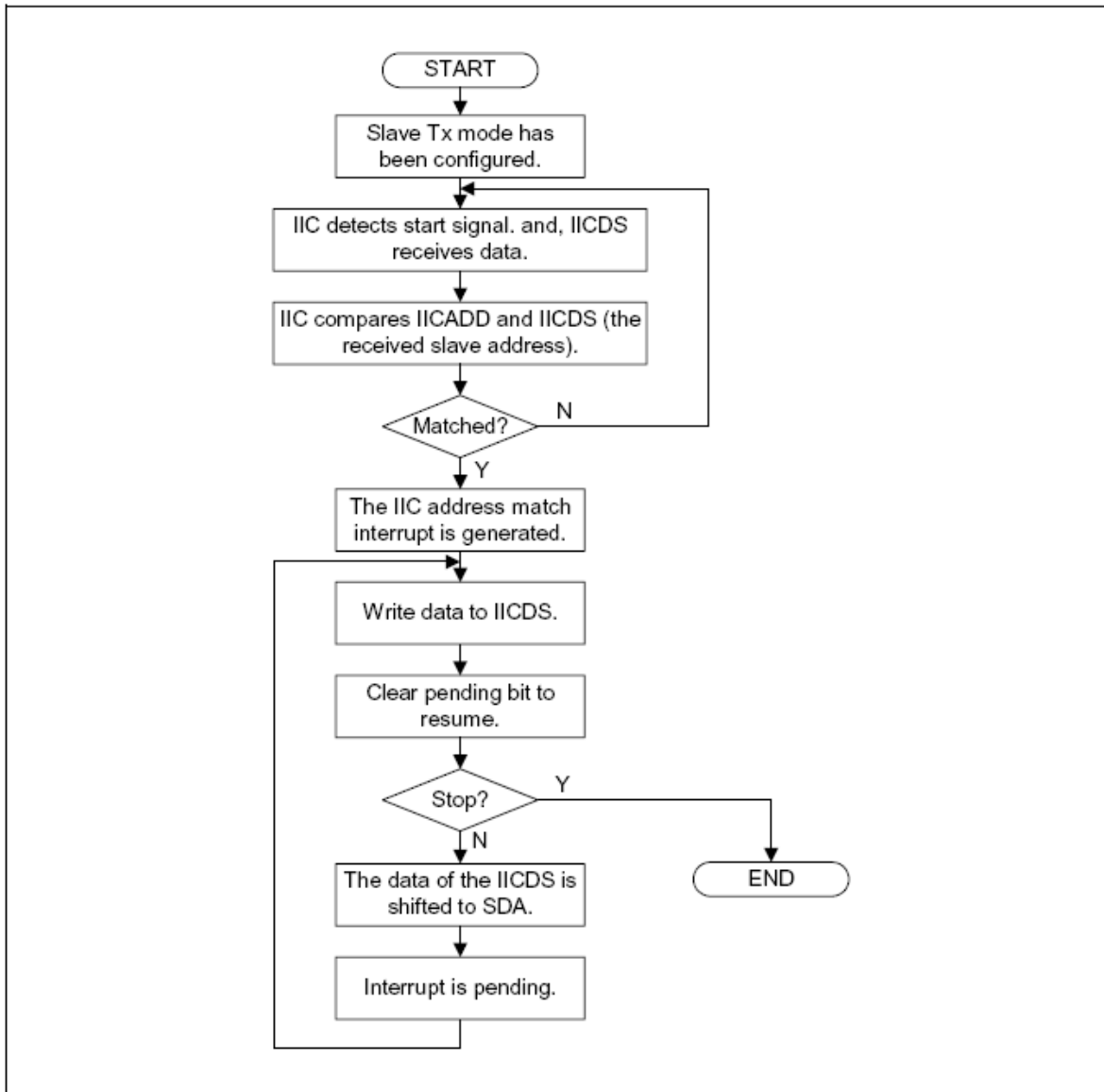


Figure 30-8. Operations for Slave/Transmitter Mode

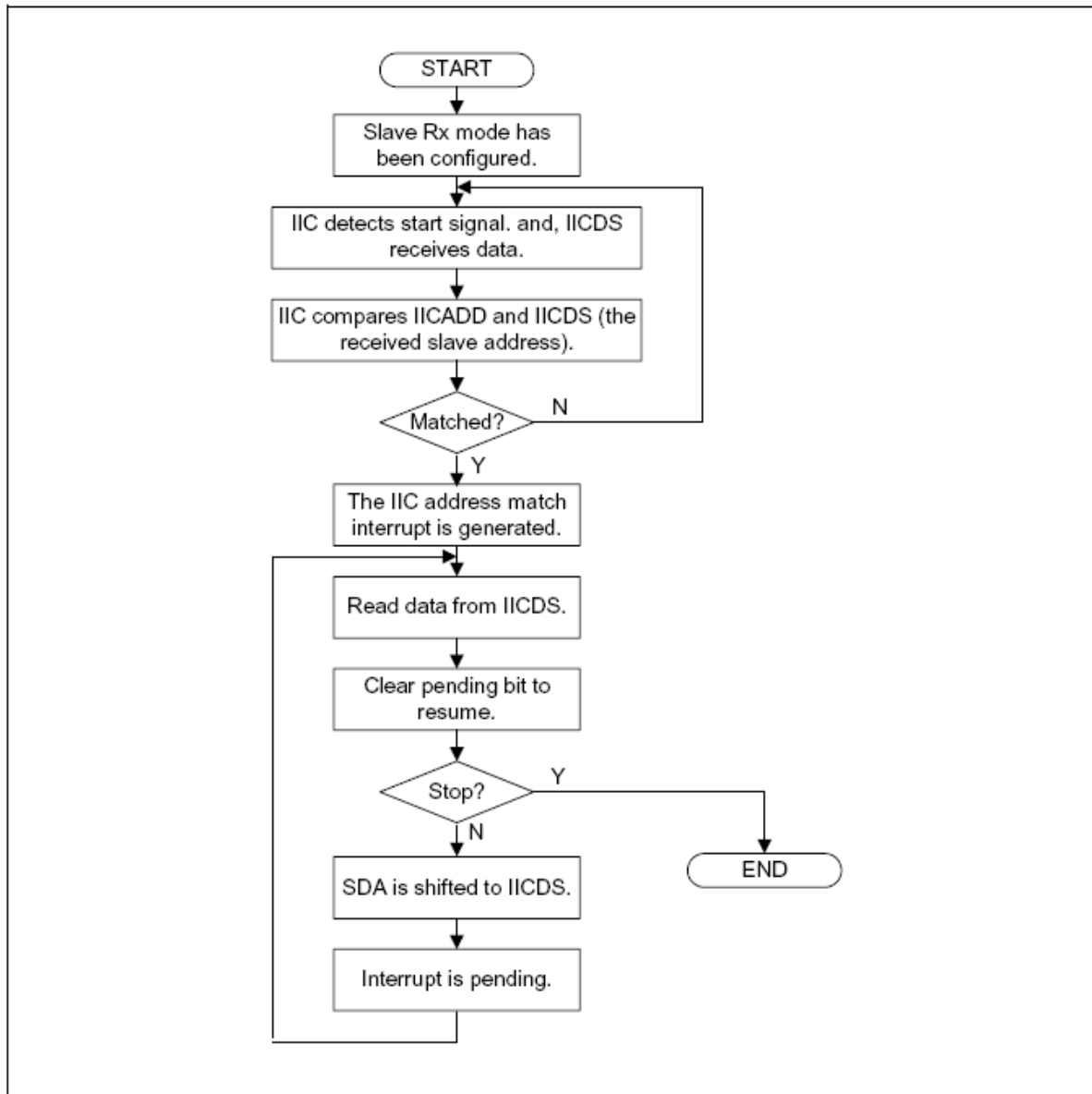


Figure 30-9. Operations for Slave/Receiver Mode

30.11 IIC 버스 인터페이스 특수 레지스터

30.11.1 다중 마스터 IIC 버스 제어 (IICCON) 레지스터

Register	Address	R/W	Description	Reset Value
IICCON	0x7F004000	R/W	IIC-Bus control register	0x0X

IICCON	Bit	Description	Initial State
Acknowledge generation (1)	[7]	IIC-bus acknowledge enable bit. 0: Disable 1: Enable In Tx mode, the IICSDA is free in the ack time. In Rx mode, the IICSDA is L in the ack time.	0
Tx clock source selection	[6]	Source clock of IIC-bus transmit clock prescaler selection bit. 0: IICCLK = PCLK /16 1: IICCLK = PCLK /512	0
Tx/Rx Interrupt (5)	[5]	IIC-Bus Tx/Rx interrupt enable/disable bit. 0: Disable, 1: Enable	0
Interrupt pending flag (2) (3)	[4]	IIC-bus Tx/Rx interrupt pending flag. This bit cannot be written to 1. When this bit is read as 1, the IICSDA is tied to L and the IIC is stopped. To resume the operation, clear this bit as 0. 0: 1) No interrupt pending (when read). 2) Clear pending condition & Resume the operation (when write). 1: 1) Interrupt is pending (when read) 2) N/A (when write)	0
Transmit clock value (4)	[3:0]	IIC-Bus transmit clock prescaler. IIC-Bus transmit clock frequency is determined by this 4-bit prescaler value, according to the following formula: Tx clock = IICCLK/(IICCON[3:0]+1).	Undefined

NOTES:

- Interfacing with EEPROM, the ack generation may be disabled before reading the last data in order to generate the STOP condition in Rx mode.
- An IIC-bus interrupt occurs 1) when a 1-byte transmits or a receive operation is completed, 2) when a general call or a slave address match occurs, or 3) if bus arbitration fails.
- To adjust the setup time of SDA before SCL rising edge, IICDS has to be written before clearing the IIC interrupt pending bit.
- IICCLK is determined by IICCON [6].
Tx clock can vary by SCL transition time.
When IICCON[6]=0, IICCON[3:0]=0x0 or 0x1 is not available.
- If the IICCON[5]=0, IICCON[4] does not operate correctly.
So, It is recommended that you set IICCON[5]=1, although you does not use the IIC interrupt.

30.11.2 다중 마스터 IIS 버스 제어/상태 (IICSTAT) 레지스터

Register	Address	R/W	Description	Reset Value
IICSTAT	0x7F004004	R/W	IIC-Bus control/status register	0x0

IICSTAT	Bit	Description	Initial State
Mode selection	[7:6]	IIC-bus master/slave Tx/Rx mode select bits. 00: Slave receive mode 01: Slave transmit mode 10: Master receive mode 11: Master transmit mode	00
Busy signal status / START STOP condition	[5]	IIC-Bus busy signal status bit. 0: read) Not busy (when read) write) STOP signal generation 1: read) Busy (when read) write) START signal generation. The data in IICDS will be transferred automatically just after the start signal.	0
Serial output	[4]	IIC-bus data output enable/disable bit. 0: Disable Rx/Tx, 1: Enable Rx/Tx	0
Arbitration status flag	[3]	IIC-bus arbitration procedure status flag bit. 0: Bus arbitration successful 1: Bus arbitration failed during serial I/O	0
Address-as-slave status flag	[2]	IIC-bus address-as-slave status flag bit. 0: Cleared after reading of IICSTAT register 1: Received slave address matches the address value in the IICADD	0
Address zero status flag	[1]	IIC-bus address zero status flag bit. 0: Cleared when START/STOP condition was detected 1: Received slave address is 00000000b.	0
Last-received bit status flag	[0]	IIC-bus last-received bit status flag bit. 0: Last-received bit is 0 (ACK was received). 1: Last-received bit is 1 (ACK was not received).	0

30.11.3 다중 마스터 IIC 버스 주소 (IICADD) 레지스터

Register	Address	R/W	Description	Reset Value
IICADD	0x7F004008	R/W	IIC-Bus address register	0xXX

IICADD	Bit	Description	Initial State
Slave address	[7:0]	7-bit slave address, latched from the IIC-bus. When serial output enable = 0 in the IICSTAT, IICADD is write-enabled. The IICADD value can be read any time, regardless of the current serial output enable bit (IICSTAT) setting. Slave address : [7:1] Not mapped : [0]	XXXXXXXX

30.11.4 MULTI-MASTER IIC-BUS TRANSMIT/RECEIVE DATA SHIFT (IICDS) REGISTER

Register	Address	R/W	Description	Reset Value
IICDS	0x7F00400C	R/W	IIC-Bus transmit/receive data shift register	0xXX

IICDS	Bit	Description	Initial State
Data shift	[7:0]	8-bit data shift register for IIC-bus Tx/Rx operation. When serial output enable = 1 in the IICSTAT, IICDS is write-enabled. The IICDS value can be read any time, regardless of the current serial output enable bit (IICSTAT) setting.	XXXXXXXX

30.11.5 MULTI-MASTER IIC-BUS LINE CONTROL (IICLC) REGISTER

Register	Address	R/W	Description	Reset Value
IICLC	0x7F004010	R/W	IIC-Bus multi-master line control register	0x00

IICLC	Bit	Description	Initial State
Filter enable	[2]	IIC-bus filter enable bit. When SDA port is operating as input, this bit should be High. This filter can prevent from occurred error by a glitch during double of PCLK time. 0: Filter disable 1: Filter enable	0
SDA output delay	[1:0]	IIC-Bus SDA line delay length selection bits. SDA line is delayed as following clock time(PCLK) 00: 0 clocks 01: 5 clocks 10: 10 clocks 11: 15 clocks	00

Revision History

Date	Editor	Version	Descriptions
2008-08-01	Sejong Lee	1.0	최초 작성