

AESOP Embedded Forum  
Sejong Lee (<http://www.aesop-embedded.org>)

## 개 요

이 문서는 S3C6400 데이터시트에서  
제 36장 IIS-BUS INTERFACE를 번역한 자료입니다.

### 제 36장. IIS 버스 인터페이스

#### 36.1 개관

IIS(Inter-IC Sound)는 널리 보급되어 있는 오디오 인터페이스 중의 하나이다. Bus는 오직 오디오 데이터만 다루는 반면에 다른 신호들, sub-coding과 control은 분리되어 전송된다. 두 개의 IIS 버스를 통해 데이터를 전송하는 것이 가능하다. 핀의 필요 개수를 최소화하고 배선을 간단히 유지하기 위해, 3-line 시리얼 버스가 사용되고 이것은 two time-multiplexed 데이터 채널인 word선택 라인과 clock 라인으로 구성되어 있다.

#### 36.2 특징

IIS 버스 인터페이스는 다음의 특징들을 포함하고 있다.

- 2포트 스테레오 IIS 버스(DMA 기반의 동작을 가진 오디오 인터페이스를 위한)
- Serial, 채널당 8/16비트 데이터 전송
- IIS 지원, MSB쪽에 자리수를 맞추거나 LSB쪽에 자리수를 맞추는 데이터 형식
- 각각의 포트당 64바이트 Tx FIFO/64바이트 RX FIFO

### 36.3 SIGNAL DESCRIPTIONS(신호 설명)

IIS external pad는 PCM, AC97, 기타등등 같은 IPs를 공유한다. IIS위한 이런 pad를 사용하기 위해 GPIO는 IIS가 시작되기 전에 꼭 set되어야 한다. 더 많은 정보가 필요하거나 GPIO 세팅을 올바르게 하기 위해서는 데이터시트의 GPIO chapter를 참고하자.

| Name         | Type         | Source/Destination | Description                                |
|--------------|--------------|--------------------|--|
| Xi2sCLK[0]   | Input/Output | Pad                | IIS-bus0 serial clock(bit clock)           |
| Xi2sCDCLK[0] | Output       | Pad                | IIS0 Codec system clock                    |
| Xi2sLRCK[0]  | Input/Output | Pad                | IIS-bus0 channel select(word select) clock |
| Xi2sDI[0]    | Input        | Pad                | IIS-bus0 serial data input                 |
| Xi2sDO[0]    | Output       | Pad                | IIS-bus0 serial data output                |
| Xi2sCLK[1]   | Input/Output | Pad                | IIS-bus1 serial clock(bit clock)           |
| Xi2sCDCLK[1] | Output       | Pad                | IIS1 Codec system clock                    |
| Xi2sLRCK[1]  | Input/Output | Pad                | IIS-bus1 channel select(word select) clock |
| Xi2sDI[1]    | Input        | Pad                | IIS-bus1 serial data input                 |
| Xi2sDO[1]    | Output       | Pad                | IIS-bus1 serial data output                |

### 36.4 블록 다이어그램

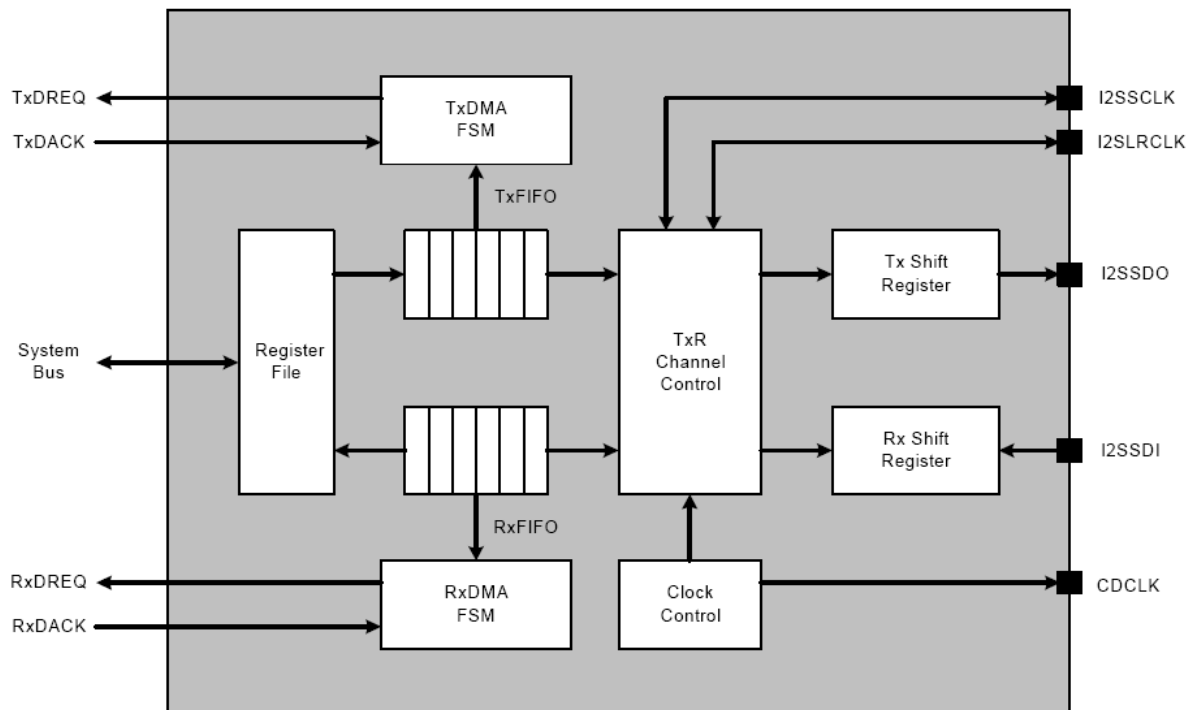


Figure 36-1. IIS-Bus Block Diagram

## 36.5 FUNCTIONAL DESCRIPTIONS(기능 설명)

IIS 인터페이스는 Figure 36-1에 보이는 것처럼 register bank, FIFO, shift register, clock control, DMA finite state machine, 그리고 channel control block으로 구성되어 있다. 각각의 FIFO는 32비트 폭과 16 depth(깊이) 구조를 가지고 left/right channel data를 포함한다는 것에 주의하라. 따라서 FIFO 액세스와 데이터 전송은 left/right쌍의 단위로 다루어진다.

### 36.5.1 마스터/슬레이브 모드

마스터 또는 슬레이브 모드는 IISMOD 레지스터의 IMS 비트를 설정함으로써 선택할 수 있다. 마스터 모드에서는 I2SSCLK(serial clock 또는 bit clock)과 I2SLRCLK(word select 또는 channel select)가 내부적으로 생성되고 외부장치에 공급된다. 따라서 나누기에 의해 I2SSCLK와 I2SLRCLK를 생성하려면 I2SCDCLK(System Clock)이 필요해진다. IIS pre-scaler(클럭 분배기)는 내부 시스템 클럭으로부터 분배된 주파수로 I2SCDCLK를 생성하기 위해 사용된다. 외부 마스터 모드에서 I2SCDCLK는 IIS 외부로부터 공급될 수 있다. I2SSCLK와 I2SLRCLK는 슬레이브 모드에서 pin(GPIO)으로부터 공급받는다.

마스터/슬레이브 모드는 TX/RX와는 다르다. 마스터/슬레이브 모드는 I2SLRCLK와 I2SSCLK의 방향을 나타낸다. I2SCDCLK(이것은 단지 예비용이다.)의 방향은 중요하지 않다. 만약 IIS 버스 인터페이스가 IIS 코덱으로 clock signal을 전송하면 IIS 버스는 마스터 모드로 놓이게 된다. 그러나 만약 IIS 버스 인터페이스가 IIS 코덱으로부터 clock signal을 받게되면 IIS 버스는 슬레이브 모드로 상태로 된다. TX/RX 모드는 데이터 흐름의 방향을 나타낸다. 만약 IIS 버스 인터페이스가 IIS 코덱으로 데이터를 전송하면 이것이 TX 모드이다. 반면에 IIS 버스 인터페이스가 IIS 코덱으로부터 데이터를 받는다면 RX 모드이다. TX/RX 모드로부터 마스터/슬레이브 모드를 구별해보자.

Figure 36-2는 I2SCDCLK의 route(루트, 길)를 보여주고 있다. IIS 클럭 제어블록과 시스템 콘트롤러에 있는 internal master 또는 external master 세팅을 가지고 있다. RCLK는 root clock을 가리키고 이 clock은 internal master 모드로 외부 IIS 코덱칩에 공급될 수 있다는 것에 주목하자.

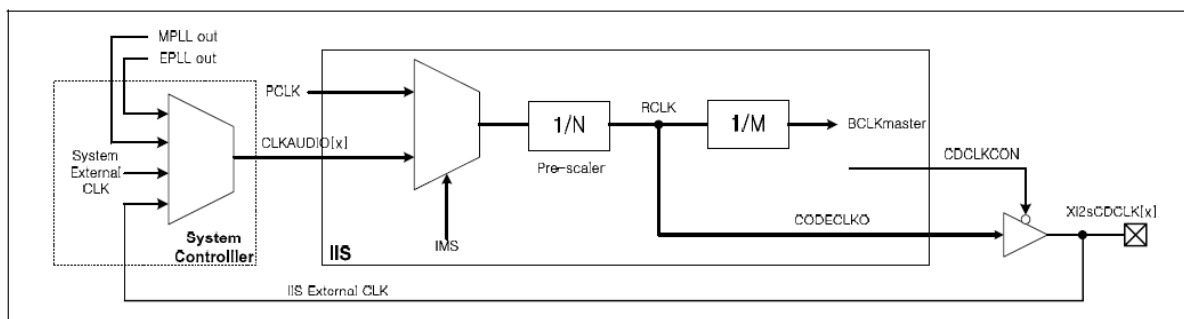


Figure 36-2. IIS Clock Control Block Diagram

### 36.5.2 DMA 전송

DMA 전송모드에서 전송 또는 수신 FIFO는 DMA 컨트롤러에 의해 액세스 가능하다. DMA 서비스 요청은 전송 또는 수신 FIFO 상태에 의해 내부적으로 활성화된다. I2SCON 레지스터의 FTXEMPTY, FRXEMPTY, FTXFULL, 그리고 FRXFULL 비트는 전송 또는 수신 FIFO 데이터 상태를 나타낸다. 특히, FTXEMPTY와 FRXFULL 비트는 DMA 서비스 요청을 위한 ready flag이다. 전송 DMA 서비스요청은 TXFIFO가 비어있지 않을 때 활성화되고 수신 DMA 서비스요청은 RXFIFO가 가득 채워지지 않았을 때 활성화된다.

DMA 전송은 signal data에 대해 오직 handshaking 방법만 사용한다. DMA 인식이 활성화된 시간 동안에 데이터읽기 또는 쓰기가 반드시 실행되어야 함을 주목하자.

DMA request point

- TX mode: (FIFO is not full) & (TXDMACTIVE is active)
- RX mode: (FIFO is not empty) & (RXDMACTIVE is active)

Note: 이것은 DMA 모드에서 오직 신호전송만 지원한다.

## 36.6 오디오 시리얼 데이터 형식

### 36.6.1 IIS 버스 형식

IIS 버스는 시리얼 데이터 입력 I2SSDI, 시리얼 데이터 출력 I2SSDO, 왼쪽/오른쪽 채널 선택 클럭인 I2SLRCLK, 시리얼 비트 클럭인 I2SBCLK를 포함하여 4개의 라인을 가진다. I2SLRCLK와 I2SBCLK를 생성하는 장치는 master이다.

시리얼 데이터는 고정된 위치를 가지는 MSB를 선두로해서 2의 보수로 전송된다. 반면에 LSB의 위치는 word 길이에 좌우된다. Transmitter는 I2SLRCLK가 변경된 후 1클럭 동안 다음 word의 MSB를 보낸다. 시리얼 데이터는 아마도 클럭 신호의 trailing 또는 leading edge에 동기화되어 Transmitter에 의해 보내진다. 그러나 시리얼 데이터는 클럭신호의 leading edge에서 receiver로 latch(데이터를 붙잡다.)됨에 틀림없다. 따라서 leading edge로 동기화되어 전송되는 데이터는 몇 가지 제약이 있다.

LR 채널 선택 라인은 채널이 전송되는 것을 가리킨다. I2SLRCLK는 아마도 클럭신호의 trailing 또는 leading edge에서 변경될 것이다. 그러나 대칭적이기 위해 필수사항은 아니다. 슬레이브에서 이 신호는 클럭 신호의 leading edge에서 latch(데이터를 붙잡다.)된다. I2SLRCLK 라인은 MSB가 전송되기 전 1클럭 동안에 변경된다. 이것은 슬레이브 Transmitter가 시리얼 데이터의 동기화 타이밍을 이끌어내게 해주고 전송을 위한 구성을 해 줄 것이다. 게다가 이전 word를 저장하기 위해 receiver를 활성화 하고 다음 word를 위해 입력을 clear한다.

### 36.6.2 MSB (LEFT)에 자리맞춤

MSB 자리맞춤 형식은 IIS 버스 형식과 유사하다. MSB 자리맞춤 형식을 제외하고 Transmitter는 I2SLRCLK가 변경될 때면 다음 word의 MSB를 언제나 동시에 보낸다.

### 36.6.3 LSB (RIGHT)에 자리맞춤

LSB 자리맞춤 형식은 MSB 자리맞춤 형식의 반대이다. 다시 말하면, 전송되는 시리얼 데이터는 I2SLRCLK 변화의 끝부분에 정렬된다.

Figure 36-3은 IIS의 오디오 시리얼 형식인 MSB 자리맞춤, 그리고 LSB 자리맞춤을 보여준다. 이 그림에서 word 길이는 16비트이고 L2SLRCLK는 I2SBCLK(BFS is 48 fs, where fs is sampling frequency, I2SLRCLK frequency)의 매24사이클마다 천이(변화)를 만든다는 것에 주목하자.

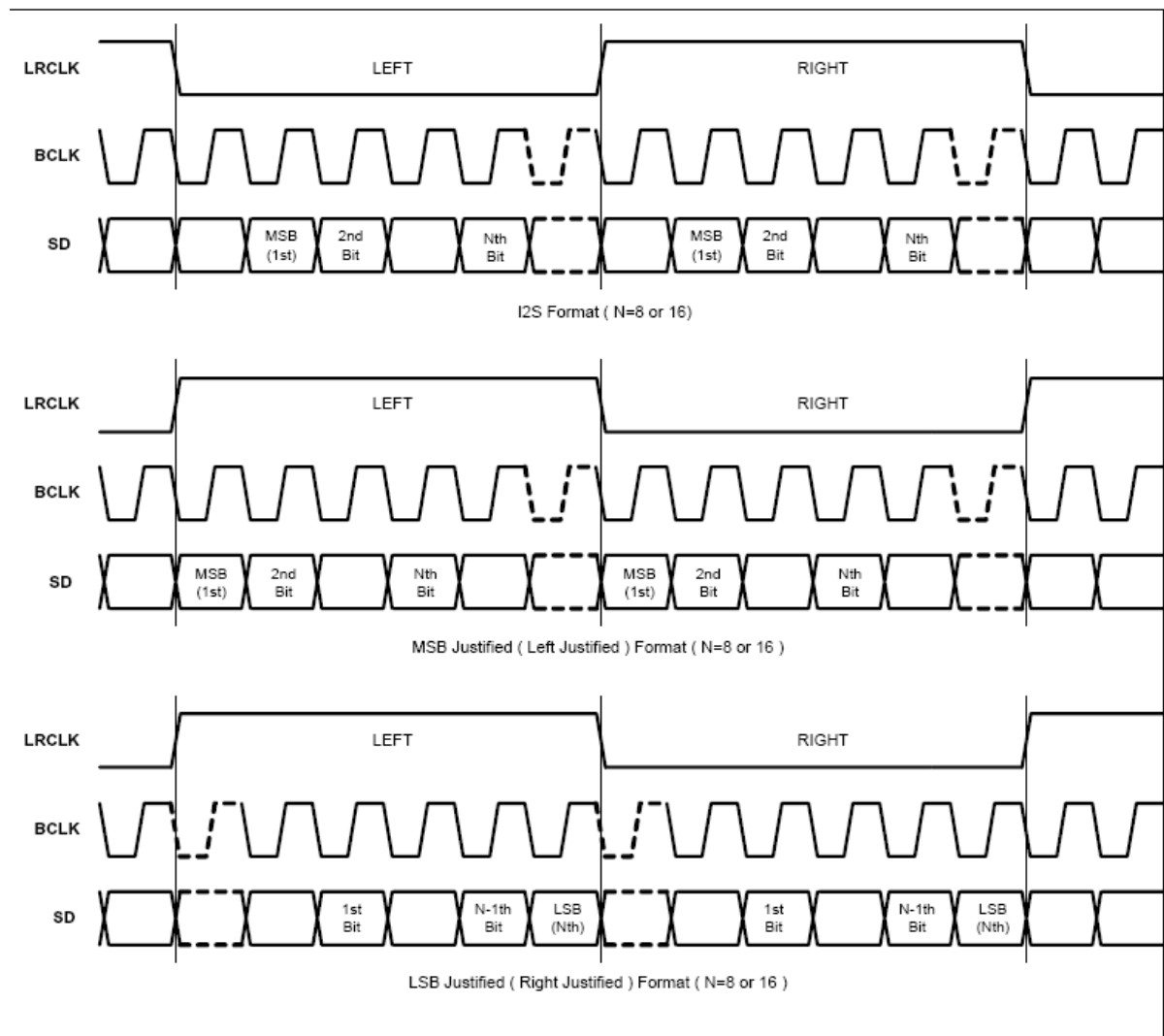


Figure 36-3. IIS Audio Serial Data Formats

### 36.7 샘플링 주파수와 마스터 클럭

마스터 클럭 주파수(RCLK)는 Table 36-1에 보이는 샘플링 주파수에 의해 선택될 수 있다. 왜냐하면 RCLK는 ISS pre-scaler에 의해 만들어지기 때문이다. Pre-scaler 값과 RCLK(256fs 또는 384fs 또는 512fs 또는 768fs) 타입은 알맞게 결정되어야 한다.

**Table 36-1. CODEC clock (CODECLK = 256fs, 384fs, 512fs, 768fs)**

| IISLRCK (fs)  | 8.000 kHz | 11.025 kHz | 16.000 kHz | 22.050 kHz | 32.000 kHz | 44.100 kHz | 48.000 kHz | 64.000 kHz | 88.200 kHz | 96.000 kHz |
|---------------|-----------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| CODECLK (MHz) | 256fs     |            |            |            |            |            |            |            |            |            |
|               | 2.0480    | 2.8224     | 4.0960     | 5.6448     | 8.1920     | 11.2896    | 12.2880    | 16.3840    | 22.5792    | 24.5760    |
|               | 384fs     |            |            |            |            |            |            |            |            |            |
|               | 3.0720    | 4.2336     | 6.1440     | 8.4672     | 12.2880    | 16.9344    | 18.4320    | 24.5760    | 33.8688    | 36.8640    |
|               | 512fs     |            |            |            |            |            |            |            |            |            |
|               | 4.0960    | 5.6448     | 8.1920     | 11.2900    | 16.3840    | 22.5790    | 24.5760    | 32.7680    | 45.1580    | 49.1520    |
|               | 768fs     |            |            |            |            |            |            |            |            |            |
|               | 6.1440    | 8.4672     | 12.2880    | 16.9340    | 24.5760    | 33.8690    | 36.8640    | 49.1520    | -          | -          |

**NOTE:** fs represents sampling frequency.

CODECLK Frequency = fs\*(256 or 384 or 512 or 768)

### 36.8 IIS CLOCK MAPPING TABLE(클럭 변환 테이블)

I2SMOD 레지스터의 BFS, RFS 그리고 BLC 비트를 선택하기 위해 다음의 테이블을 참고해야 한다. Table 36-2는 mapping 관련된 허용 클럭주파수를 보여준다.

**Table 36-2. IIS clock mapping table**

| Clock Frequency |             | RFS   |              |              |              |
|-----------------|-------------|---|--------------|--------------|--------------|
|                 |             | 256 fs (00B)  | 512 fs (01B) | 384 fs (10B) | 768 fs (11B) |
| BFS             | 16 fs (10B) | (a)   | (a)          | (a)          | (a)          |
|                 | 24 fs (11B) | -   | -            | (a)          | (a)          |
|                 | 32 fs (00B) | (a) (b)   | (a) (b)      | (a) (b)      | (a) (b)      |
|                 | 48 fs (01B) | -   | -            | (a) (b)      | (a) (b)      |
| Descriptions    |             | (a) Allowed when BLC is 8-bit<br>(b) Allowed when BLC is 16-bit |              |              |              |

**NOTE:** Bit Clock Frequency  $\geq$  fs \* (bit length \* 2). The codec clock is a multiple of the bit clock.

## 36.9 프로그래밍 가이드

IIS 버스 인터페이스는 programmed I/O instruction을 사용한 프로세서나 DMA 컨트롤러에 의해 액세스될 수 있다.

### 36.9.1 초기화

1. IIS 버스 인터페이스를 사용하기 전에 IIS 모드를 위한 GPIO 설정과 신호의 방향 체크를 해야 한다. I2SLRCLK, I2SSCLK 그리고 I2SCDCLK는 inout-type이다. I2SSDI와 I2SSDO 각각은 입력과 출력이다.

2. 클럭 소스는 꼭 선택해야 한다. S3C6400은 5가지 클럭소스를 가지고 있다. 그것은 MPLL, EPLL, PCLK, system external clock 그리고 IIS external clock이다. 더 많은 정보를 원한다면 Figure 36-2를 참고하자.

### 36.9.2 재생모드(TX모드) with DMA

1. TXFIFO는 동작하기 전에 데이터를 쏟아버린다. TX/RX 모드로부터 슬레이브/마스터 모드를 구분할 수 없다면, 마스터/슬레이브 모드와 TX/RX 모드에 대해서 학습해야 한다. 더 많은 정보를 원한다면 마스터/슬레이브 chapter를 참고하기 바란다.

2. I2SMOD 레지스터와 I2SPSR(IIS pre-scaler 레지스터)를 정확히 설정한다.

3. 안정적으로 시스템을 동작시키기 위해 내부 TXFIFO는 전송하기전에 거의 꽉차있어야 한다. DMA는 이런 이유로 인하여 시작된다.

4. IIS 버스는 인터럽트를 지원하지 않는다. 사용자는 오직 SFR 액세스를 통하여 polling 상태를 체크할 수 있다.

5. 만약 TXFIFO가 꽉 찼다면, you make I2SACTIVE be asserted.

### 36.9.3 녹음 모드(RX 모드) with DMA

1. RXFIFO는 동작하기 전에 데이터를 쏟아버린다. 만약 마스터/슬레이브 모드와 TX/RX 모드를 구별할 수 없다면 사용자는 마스터/슬레이브 모드와 TX/RX 모드에 대해서 학습해야한다. 더 많은 정보가 필요하다면 마스터/슬레이브 chapter를 참고하기 바란다.

2. I2SMOD 레지스터와 I2SPSR(IIS pre-scaler 레지스터)을 정확히 설정한다.

3. 시스템을 안정적으로 동작시키기 위해, 내부 RXFIFO는 DMA 동작전에 적어도 1바이트 데이터를 가지고 있어야 한다. 이런 이유 때문에, you make I2SACTIVE be asserted.

4. SFR을 통하여 polling에 의한 상태를 체크

5. 만약 RXFIFO가 비어있지 않다면, RXDMACTIVE를 시작한다.

### 36.9.10 IIS 버스 인터페이스 특수 레지스터

Table 36-3. Register summary of IIS interface

| Register | Address                  | R/W | Description                                  | Reset Value |
|----------|--------------------------|-----|--|-------------|
| IISCON   | 0x7F002000<br>0x7F003000 | R/W | IIS interface control register               | 0xE00       |
| IISMOD   | 0x7F002004<br>0x7F003004 | R/W | IIS interface mode register                  | 0x0         |
| IISFIC   | 0x7F002008<br>0x7F003008 | R/W | IIS interface FIFO control register          | 0x0         |
| IISPSR   | 0x7F00200C<br>0x7F00300C | R/W | IIS interface clock divider control register | 0x0         |
| IISTXD   | 0x7F002010<br>0x7F003010 | W   | IIS interface transmit data register         | 0x0         |
| IISRXD   | 0x7F002014<br>0x7F003014 | R   | IIS interface receive data register          | 0x0         |

#### 36.10.1 IISCON

| Register | Address                  | Description                    | Reset Value |
|----------|--------------------------|--------------------------------|-------------|
| IISCON   | 0x7F002000<br>0x7F003000 | IIS interface control register | 0x0000_0E00 |

| IISCON   | Bit     | R/W | Description   |
|----------|---------|-----|---|
| Reserved | [31:12] | R/W | Reserved. Program to zero.  |
| LRI      | [11]    | R   | Left/Right channel clock indication. Note that LRI meaning is dependent on the value of LRP bit of I2SMOD register.<br>0: Left (when LRP bit is low) or right (when LRP bit is high)<br>1: Right (when LRP bit is low) or left (when LRP bit is high) |
| FTXEMPT  | [10]    | R   | Tx FIFO empty status indication.<br>0: FIFO is not empty (ready for transmit data to channel)<br>1: FIFO is empty (not ready for transmit data to channel)  |
| FRXEMPT  | [9]     | R   | Rx FIFO empty status indication.<br>0: FIFO is not empty<br>1: FIFO is empty  |
| FTXFULL  | [8]     | R   | Tx FIFO full status indication.<br>0: FIFO is not full<br>1: FIFO is full   |



| IISCON       | Bit | R/W | Description  |
|--------------|-----|-----|--|
| FRXFULL      | [7] | R   | Rx FIFO full status indication.<br>0: FIFO is not full (ready for receive data from channel)<br>1: FIFO is full (not ready for receive data from channel)  |
| TXDMA_PAUSE  | [6] | R/W | Tx DMA operation pause command. Note that when this bit is activated at any time, the DMA request will be halted after current on-going DMA transfer is completed.<br>0: No pause DMA operation<br>1: Pause DMA operation      |
| RXDMA_PAUSE  | [5] | R/W | Rx DMA operation pause command. Note that when this bit is activated at any time, the DMA request will be halted after current on-going DMA transfer is completed.<br>0: No pause DMA operation<br>1: Pause DMA operation      |
| TXCH_PAUSE   | [4] | R/W | Tx channel operation pause command. Note that when this bit is activated at any time, the channel operation will be halted after left-right channel data transfer is completed.<br>0: No pause operation<br>1: Pause operation |
| RXCH_PAUSE   | [3] | R/W | Rx channel operation pause command. Note that when this bit is activated at any time, the channel operation will be halted after left-right channel data transfer is completed.<br>0: No pause operation<br>1: Pause operation |
| TXDMA_ACTIVE | [2] | R/W | Tx DMA active (start DMA request). Note that when this bit is set from high to low, the DMA operation will be forced to stop immediately.<br>0: Inactive, 1: Active  |
| RXDMA_ACTIVE | [1] | R/W | Rx DMA active (start DMA request). Note that when this bit is set from high to low, the DMA operation will be forced to stop immediately.<br>0: Inactive, 1: Active  |
| I2S_ACTIVE   | [0] | R/W | IIS interface active (start operation).<br>0: Inactive, 1: Active  |

### 36.10.2 IISMOD

| Register | Address                  | Description                 | Reset Value |
|----------|--------------------------|-----------------------------|-------------|
| IISMOD   | 0x7F002004<br>0x7F003004 | IIS interface mode register | 0x0000_0000 |

| IISMOD   | Bit     | R/W | Description  |
|----------|---------|-----|--|
| Reserved | [31:13] | R/W | Reserved. Program to zero.   |
| CDCLKCON | [12]    | R/W | Determine codec clock source<br>0 : Use internal codec clock source<br>1 : Get codec clock source from external codec chip<br>(For more information refer to Figure 36-2)  |
| IMS      | [11:10] | R/W | IIS master (internal/external) or slave mode select.<br>00: Master mode (, using PCLK)<br>01: Master mode (, using CLKAUDIO[x])<br>10: Slave mode (divide mode, using PCLK)<br>11: Slave mode (bypass mode, using I2SCLK)<br>(For more information refer to Figure 36-2) |
| TXR      | [9:8]   | R/W | Transmit or receive mode select.<br>00: Transmit only mode<br>01: Receive only mode<br>10: Transmit and receive simultaneous mode<br>11: Reserved  |
| LRP      | [7]     | R/W | Left/Right channel clock polarity select.<br>0: Low for left channel and high for right channel<br>1: High for left channel and low for right channel  |
| SDF      | [6:5]   | R/W | Serial data format.<br>00: IIS format<br>01: MSB-justified (left-justified) format<br>10: LSB-justified (right-justified) format<br>11: Reserved   |
| RFS      | [4:3]   | R/W | IIS root clock (codec clock) frequency select.<br>00: 256 fs, where fs is sampling frequency<br>01: 512 fs<br>10: 384 fs<br>11: 768 fs   |
| BFS      | [2:1]   | R/W | Bit clock frequency select.<br>00: 32 fs, where fs is sampling frequency<br>01: 48 fs<br>10: 16 fs<br>11: 24 fs  |
| BLC      | [0]     | R/W | Bit length per channel.<br>0: 16-bit, 1: 8-bit   |

### 36.10.3 IISFIC

| Register | Address                  | Description                         | Reset Value |
|----------|--------------------------|-------------------------------------|-------------|
| IISFIC   | 0x7F002008<br>0x7F003008 | IIS interface FIFO control register | 0x0000_0000 |

| IISFIC   | Bit     | R/W | Description   |
|----------|---------|-----|---|
| Reserved | [31:16] | R/W | Reserved. Program to zero.  |
| TFLUSH   | [15]    | R/W | TX FIFO flush command.<br>0: No flush, 1: Flush   |
| Reserved | [14:13] | R/W | Reserved. Program to zero.  |
| FTXCNT   | [12:8]  | R   | TX FIFO data count. FIFO has 16 depth, so value ranges from 0 to 16.<br>N: Data count N of FIFO |
| RFLUSH   | [7]     | R/W | RX FIFO flush command.<br>0: No flush, 1: Flush   |
| Reserved | [6:5]   | R/W | Reserved. Program to zero.  |
| FRXCNT   | [4:0]   | R   | RX FIFO data count. FIFO has 16 depth, so value ranges from 0 to 16.<br>N: Data count N of FIFO |

### 36.10.4 IISPSR

| Register | Address                  | Description                                  | Reset Value |
|----------|--------------------------|--|-------------|
| IISPSR   | 0x7F00200C<br>0x7F00300C | IIS interface clock divider control register | 0x0000_0000 |

| IISPSR   | Bit     | R/W | Description   |
|----------|---------|-----|---|
| Reserved | [31:16] | R/W | Reserved. Program to zero.  |
| PSRAEN   | [15]    | R/W | Pre-scaler (Clock divider) active.<br>0: Inactive, 1: Active            |
| Reserved | [14]    | R/W | Reserved. SBZ   |
| PSVALA   | [13:8]  | R/W | Pre-scaler (Clock divider) division value.<br>N: Division factor is N+1 |
| Reserved | [7:0]   | R/W | Reserved. Program to zero.  |

### 36.10.5 IISTXD

| Register | Address                  | Description                          | Reset Value |
|----------|--------------------------|--------------------------------------|-------------|
| IISTXD   | 0x7F002010<br>0x7F003010 | IIS interface transmit data register | 0x0000_0000 |

| IISTXD | Bit    | R/W | Description   |
|--------|--------|-----|---|
| IISTXD | [31:0] | W   | TX FIFO write data. Note that the left/right channel data is allocated as the following bit fields.<br>R[31:16], L[15:0] when 16-bit BLC<br>R[23:16], L[7:0] when 8-bit BLC |

### 36.10.6 IISRXD

| Register | Address                  | Description                         | Reset Value |
|----------|--------------------------|-------------------------------------|-------------|
| IISRXD   | 0x7F002014<br>0x7F003014 | IIS interface receive data register | 0x0000_0000 |

| IISRXD | Bit    | R/W | Description  |
|--------|--------|-----|--|
| IISRXD | [31:0] | R   | RX FIFO read data. Note that the left/right channel data is allocated as the following bit fields.<br>R[31:16], L[15:0] when 16-bit BLC<br>R[23:16], L[7:0] when 8-bit BLC |

## Revision History

| Date       | Editor     | Version | Descriptions |
|------------|------------|---------|--------------|
| 2008-07-26 | Sejong Lee | 1.0     | 최초 작성        |
|            |            |         |              |
|            |            |         |              |