

제15장 TFT LCD 컨트롤러

개요

S3C2410X의 LCD 컨트롤러는 시스템 메모리의 비디오 버퍼에서 외부의 LCD 드라이버에 LCD 이미지 데이터를 전송하는 로직으로 구성된다.

LCD 컨트롤러는 모노 LCD에서, 시간에 가반한 dithering 알고리즘과 FRC(프레임 비율 컨트롤)방법을 이요한 2비트/픽셀(4레벨 그레이 스케일), 4비트/픽셀(16레벨 그레이 스케일) 모드를 지원하며 8비트/픽셀(256레벨 컬러)와 12비트/픽셀(4096레벨 컬러)의 STN LCD와 인터페이스가 가능하다.

또한 픽셀 당 1비트, 2비트, 4비트 8비트의 팔레트 기반 TFT 컬러 LCD 패널과, 픽셀 당 16비트와 24비트의 팔레트가 없는 트루 컬러를 지원한다.

LCD 컨트롤러는 수평/수직 픽셀, 데이터 라인 너비, 인터페이스 타이밍, 리프레쉬 비율과 관련된 스크린 상에 요구되는 여러 가지 기능을 지원하는 프로그래밍이 가능하다.

형태

STN LCD 디스플레이:

- ☞ 3가지 형태의 LCD 패널 지원 : 4비트 듀얼 스캔, 4비트 싱글 스캔, 8비트 싱글 스캔 디스플레이 형태
- ☞ 4그레이 레벨과 16그레이 레벨의 모노 LCD 지원
- ☞ 256 컬러와 4096 컬러의 STN LCD 패널 지원
- ☞ 여러 가지 화면 크기 지원
실제 화면 크기 : 640X480, 320X240, 160X160, 기타
최대 가상 화면 크기는 4M 바이트이다.
256 컬러 모드에서 최대 가상 화면 크기 : 4096X1024, 2048X2048, 1024X4096, 기타

TFT LCD 디스플레이:

- ☞ 1, 2, 4, 8비트 팔레트 컬러 TFT 디스플레이 지원
- ☞ 16비트 팔레트 없는 트루-컬러 TFT 디스플레이 지원
- ☞ 24비트 팔레트 없는 트루-컬러 TFT 디스플레이 지원
- ☞ 24비트 모드에서 최대 16M 컬러 지원
- ☞ 여러 가지 화면 크기 지원
실제 화면 크기 : 640X480, 320X240, 160X160, 기타
최대 가상 화면 크기는 4M 바이트이다.
64K 컬러 모드에서 최대 가상 화면 크기 : 2048X1024 기타

공통된 형태

LCD 컨트롤러는 시스템 메모리에 위치한 비디오 버퍼에서 이미지 데이터 패치를 지원하는 전용 DMA를 가지고 있으며, 아래와 같은 형태가 포함된다:

- ☞ 전용 인터럽트 기능(INT_FrSyn 과 INT_FiCnt)
- ☞ 시스템 메모리가 디스플레이 메모리로 사용된다.

- ☞ 다양한 가상 디스플레이 화면(하드웨어 수평/수직 스크롤 지원) 지원
- ☞ 여러 디스플레이 패널에 대한 타이밍 컨트롤 지원
- ☞ WinCE 데이터 포맷 뿐만 아니라 리틀과 빅-엔디언 방트 순서 지원
- ☞ SEC TFT LCD 패널(삼성 3.5"/256K 컬러/반사형 a-Si TFT LCD) 지원
 - LTS350Q1-PD1 : 터치 패널과 프론트 라이트 유닛을 장착한 TFT LCD 패널
 - LTS350Q1-PD2 : TFT LCD 패널만

NOTE

WinCE는 12비트 패키지 데이터 포맷을 지원하지 않는다.
WinCE가 12비트 컬러 모드를 지원할 수 있는지를 확인하십시오.

외부 인터페이스 신호

VFRAME/VSYNCR/STV	: 프레임 동기 신호(STN)/수직 동기 신호(TFT)/SEC TFT 신호
VLINE/HSYNCR/CPV	: 라인 동기 펄스 신호(STN)/수평 동기 신호(TFT)/SEC TFT 신호
VCLK/LCD_HCLK	: 픽셀 클럭 신호(STN/TFT)/SEC TFT 신호
VD[23:0]	: LCD 픽셀 데이터 출력 포트(STN/TFT/SEC TFT)
VM/VDEN/TP	: LCD 구동을 위한 AC 바이어스 신호(STN)/데이터 인에이블 신호(TFT)/SEC TFT 신호
LEND/STH	: 라인 엔드 신호(TFT)/SEC TFT 신호
LCD_PWREN	: LCD 패널 파워 인에이블 컨트롤 신호
LCDVF0	: SEC TFT 신호 OE
LCDVF1	: SEC TFT 신호 REV
LCDVF2	: SEC TFT 신호 REVB

33개의 출력 포트는 24개의 데이터 비트와 9개의 컨트롤 비트로 구성된다.

블록 다이어그램

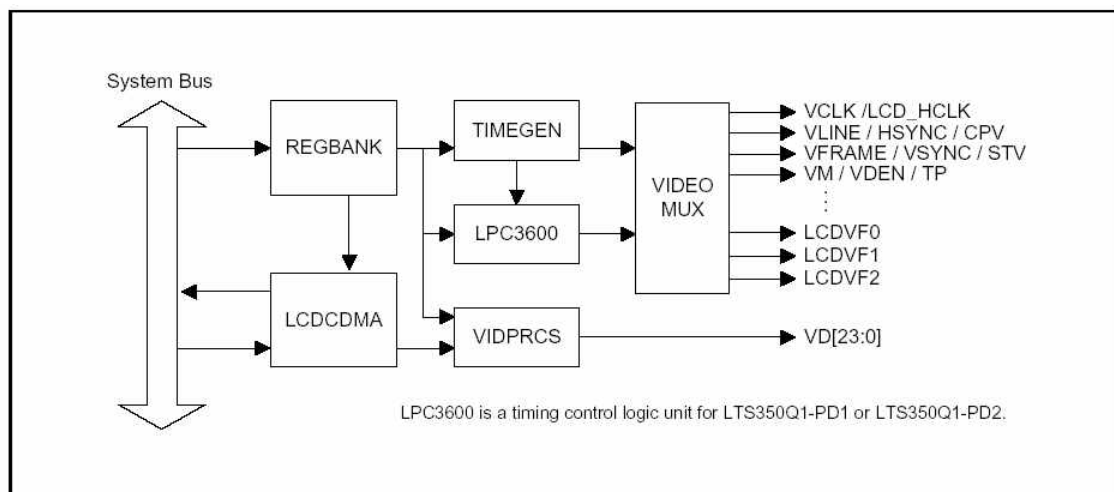


그림 15-1. LCD 컨트롤러 블록 다이어그램

S3C2410X의 LCD 컨트롤러는 비디오 데이터를 전송하고 VFRAME, VLINE, VCLK, VM 등의 컨트롤 신호를 만드는데 사용된다. 이러한 컨트롤 신호에 추가해서, S3C2410X는 그림 15-1에 나타난 바와 같이 VD[23:0]의 비디오 데이터 포맷에 대한 데이터 포트를 가지고 있다. LCD 컨트롤러는 REGBACK, LCDCDMA, VIDPRCS, TIMEGEN, LPC3600(그림 15-1의 LCD 컨트롤러 블록 다이어그램을 참조하십시오.)으로 구성된다. REGBANK는 17개의 프로그래밍이 가능한 레지스터 셋과 LCD 컨트롤러를 설정하는데 사용되는 256X16 팔레트 메모리를 갖고 있다. LCDCDMA는 DMA 전용이며, 프레임 메모리의 비디오 데이터를 LCD 드라이버에 자동으로 전송할 수 있다. 이러한 DMA를 이용하면, 비디오 데이터는 CPU의 개입 없이도 스크린에 디스플레이 된다. VIDPRCS는 LCDCDMA에서 비디오 데이터를 수신하며, 예로 4/8비트 단일 스캔이나 4비트 듀얼 스캔 디스플레이 모드와 같이 적절한 데이터 포맷으로 변경한 후에 VD[23:0]의 데이터 포트를 통해서 비디오 데이터를 LCD 드라이버에 전송한다. TIMEGEN은 여러 종류의 LCD 드라이버에서 발견되는 인터페이스 타이밍과 rate에 필요한 기능을 지원하는 프로그램 로직으로 구성된다. TIMEGEN 블록은 VFRAME, VLINE, VCLK, VM 등을 발생시킨다.

데이터의 흐름에 대한 설명은 아래와 같다:

FIFO 메모리는 LCDCDMA에 나타나 있다. FIFO가 비어있거나 부분적으로 비어있을 때, LCDCDMA는 burst 메모리 전송 모드에 기반한 프레임 메모리에서 데이터 패치를 요청한다. 전송 요청이 메모리 컨트롤러의 버스 중재자에 의해서 받아들여지면, 시스템 메모리에서 내부의 FIFO로 4개의 성공적인 워드 데이터 전송이 이루어진다. FIFO의 총 크기는 28워드이며, 12워드의 FIFOL과 16워드의 FIFOH로 구성된다. S3C2410X는 듀얼 스캔 디스플레이 모드를 지원하기 위한 2개의 FIFO를 가지고 있다. 단일 스캔 모드의 경우에, FIFO 중 1개가 사용될 수 있다.

STN LCD 컨트롤러 동작

타이밍 발생(TIMEGEN)

TIMEGEN은 VFRAME, VLINE, VCLK, VM과 같은 LCD 드라이버 용 컨트롤 신호를 발생한다. 이러한 컨트롤 신호는 REGBANK의 LCDCON1/2/3/4/5 레지스터의 설정과 상당한 관련이 있다. REGBANK의 LCD 컨트롤 레지스터 상의 설정을 하게 되면, TIMEGEN은 여러 종류의 LCD 드라이버를 지원하는 프로그래밍 된 컨트롤 신호를 발생한다.

VFRAME 펄스는 프레임 당 1개의 주파수에서 처음 라인의 주기 동안에 동작한다. VFRAME 신호는 LCD의 라인 포인터를 디스플레이의 탑에 가져와서 동작한다.

VM 신호는 LCD 드라이버가 픽셀을 온/오프 하는데 사용되는 row와 column 전압의 극성을 변경하도록 돕는다. VM의 토글 rate는 LCDCON1 레지스터의 MMODE 비트와 LCDCON4 레지스터의 MVAL field에 의존한다. MMODE 비트가 0이면, VM 신호는 모든 프레임을 토글하도록 설정된다. MMODE 비트가 1이면, VM 신호는 MVAL[7:0] 값에 의한 VLINE의 특별한 number의 elapse의 모든 이벤트 상에서 토글 되도록 설정된다. 그림 15-4는 MVAL[7:0]=0x2

의 값을 갖는 MMODE=0과 MMODE=1을 위한 예를 보여주고 있다. MMODE=1일 때, VM rate는 아래와 같이 MVAL[7:0]과 관련이 있다:

$$VM\ Rate = VLINE\ Rate / (2 * MVAL)$$

VFRAME와 VLINE 펄스 발생은 LCDCON2/3 레지스터의 HOZVAL field와 LINEVAL field의 설정과 관련이 있다. 각 field는 LCD의 사이즈와 디스플레이 모드와 관련이 있다. 즉, HOZVAL과 LINEVAL은 LCD 패널의 사이즈와 아래 공식의 디스플레이 모드에 의해서 결정된다:

$$HOZVAL = (\text{Horizontal display size} / \text{Number of the valid VD data line}) - 1$$

$$\text{컬러 모드 : Horizontal display size} = 3 * \text{Number of Horizontal Pixel}$$

4비트 단일 스캔 디스플레이 모드에서, 유효한 VD 데이터 라인의 Number는 4이어야 한다. 4비트 듀얼 스캔 디스플레이의 경우에, 유효한 VD 데이터 라인의 Number는 8비트 단일 스캔 디스플레이 모드 동안에 4가 되어야 하며, 유효한 VD 데이터 라인의 Number는 8이어야 한다.

$$LINEVAL = (\text{Vertical display size}) - 1 : \text{단일 스캔 디스플레이 형태의 경우}$$

$$LINEVAL = (\text{Vertical display size} / 2) - 1 : \text{듀얼 스캔 디스플레이 형태의 경우}$$

VCLK 신호의 rate는 LCDCON1 레지스터의 CLKVAL field의 설정에 달려 있다. 표 15-1은 VCLK와 CLKVAL 사이의 관계를 정의한다. CLKVAL의 최소 값은 2이다.

$$VCLK(Hz) = HCLK / (CLKVAL \times 2)$$

프레임 rate는 VFRAME 신호 주파수 이다. 프레임 rate는 VCLK와 HCLK 뿐만 아니라 LCDCON1/2/3/4 레지스터의 HOZVAL, LINEBLANK, LINEVAL, WDLY[1:0], WLH[1:0]의 field와 관련이 있다. 대부분의 LCD 드라이버는 자신의 충분한 프레임 rate를 가져야 한다. 프레임 rate는 아래와 같이 계산된다:

$$frame_rate(Hz) =$$

$$1 / \{ (1/VCLK) \times (HOZVAL + 1) + (1/HCLK) \times (A + B + (LINEBLANK \times 8)) \} \times (LINEVAL + 1)$$

$$A = 2^{(4 + WLH)}, B = 2^{(4 + WDLY)}$$

표 15-1. VCLK와 CLKVAL 사이의 관계(STN, HCLK=60MHz)

CLKVAL	60 MHz/X	VCLK
2	60 MHz/4	15.0 MHz
3	60 MHz/6	10.0 MHz
:	:	:
1023	60 MHz/2046	29.3 kHz

비디오 동작

S3C2410X의 LCD 컨트롤러는 모노 모드 뿐만 아니라 8비트 컬러 모드, 12비트 컬러 모드, 4레벨의 그레이 스케일 모드, 16레벨의 그레이 스케일 모드를 지원한다. 그레이나 컬러 모

드에서, 시간 기반의 dithering 알고리즘이나 프레임 rate 컨트롤(FRC) 방법에 따른 그레이 레벨의 음영이나 컬러 모드를 적용하는 것이 필요하다. 나중에 설명할 lookup 테이블에서 프로그래밍을 통해서 선택이 가능하다. 모노 모드는 비디오 데이터를 LCD 드라이버에 쉬프트해서 FIFOH의 데이터를 4비트 스트림으로 직렬 전송한다.

아래에서는 lookup 테이블과 FRC 차원에서 그레이와 컬러 모드의 동작에 대해서 설명한다.

Lookup 테이블

S3C2410X는 사용자에게 유연한 동작을 위해서 다양한 컬러나 그레이 레벨의 맵핑을 선택할 수 있는 lookup 테이블을 지원한다. lookup 테이블은 컬러 레벨이나 그레이 레벨을 선택할 수 있는 팔레트이다. 즉, 사용자는 4 그레이 레벨 모드의 lookup 테이블을 이용해서 16 그레이 레벨 사이에 4 그레이 레벨을 선택할 수 있다. 그레이 레벨은 16 그레이 레벨 모드에서 선택될 수 없다; 모든 16 그레이 레벨은 가능한 16 그레이 레벨에서 선택되어야 한다. 256컬러의 모드의 경우에, 3비트는 빨간색으로, 3비트는 녹색으로, 2비트는 파란색으로 할당도니다. 256컬러는 8개의 빨간색, 8개의 녹색, 4개의 파란색의 조합으로 이루어진다. 컬러 모드에서, lookup 테이블은 적절한 선택을 위해서 사용된다. 8개의 빨간색 레벨은 16개의 가능한 빨간색 레벨에서 선택되며, 8개의 녹색 레벨은 16개의 녹색 레벨에서, 4개의 파란색 레벨은 16개의 파란색 레벨에서 선택된다. 4096 컬러 모드의 경우에, 256 컬러 모드와 같은 선택이 없다.

그레이 모드 동작

S3C2410X의 LCD 컨트롤러는 2개의 그레이 모드를 지원한다: 픽셀 당 2비트 그레이, 픽셀 당 4비트 그레이. 픽셀 당 2비트 그레이 모드는 16개의 가능한 그레이 레벨 중에서 4개의 그레이 레벨을 선택하는 lookup 테이블(BLUELUT)을 이용한다. 픽셀 당 2비트 그레이 lookup 테이블은 컬러 모드의 파란색 lookup 테이블과 같은 파란색 lookup 테이블(BLUELUT) 레지스터의 BLUEVAL[15:0]을 사용한다. BLUEVAL[3:0]이 9이면, 레벨 0은 16 그레이 레벨 중에서 그레이 레벨 9에 의해서 나타난다. BLUEVAL[3:0]이 15이면, 레벨 0은 16 그레이 레벨 중에서 그레이 레벨 15에 의해서 나타난다. 위에서 언급한 방법과 같은 방식으로, 레벨 1은 BLUEVAL[7:4]로 표시되며, 레벨 2는 BLUEVAL[11:8], 레벨 3은 BLUEVAL[15:12]에 의해서 나타난다. 이러한 BLUEVAL[15:0] 중에서 4그룹이 레벨 0, 레벨 1, 레벨 2, 레벨 3으로 나타난다. 16 그레이 레벨에서, 16 그레이 레벨과 같은 선택이 없다.

256 레벨의 컬러 모드 동작

S3C2410X의 LCD 컨트롤러는 픽셀 당 8비트인 256 컬러 디스플레이 모드를 지원할 수 있다. 컬러 디스플레이 모드는 dithering 알고리즘과 FRC를 이용해서 256 레벨의 컬러를 발생시킬 수 있다. 픽셀 당 8비트는 빨간색에 대해서 3비트, 녹색에 대해서 3비트, 파란색에 대해서 2비트로 엔코딩 된다. 컬러 디스플레이 모드는 빨간색, 녹색, 파란색에 대해서 분리된 lookup 테이블을 사용한다. 각각의 lookup 테이블은 lookup 테이블 엔트리를 프로그래밍 할 때 BLUELUT 레지스터의 BLUEVAL[15:0], GREENLUT 레지스터의 GREENVAL[31:0], REDLUT 레지스터의 REDVAL[31:0]을 사용한다.

그레이 레벨의 디스플레이와 비슷하게, REDLUR 레지스터의 4비트 field나 8 그룹, 즉, REDVAL[31:28], REDLUT[27:24], REDLUT[23:20], REDLUT[19:16], REDLUT[15:12], REDLUT[11:8], REDLUT[7:4], REDLUT[3:0]은 각각의 빨간색 레벨에 할당된다. 4비트의 가능한 조합은 16이며, 각각의 빨간색은 16가지 경우 중에서 1 레벨에 할당되어야 한다. 즉, 사용자는 lookup 테이블의 형태를 이용해서 적절한 빨간색 레벨을 선택할 수 있다. 녹색에 대해서, GREENLUT 레지스터의 GREENVAL[31:0]은 lookup 테이블로 할당되며, 빨간색의 경우와 같다. 비슷하게, BLUELUT 레지스터의 BLUEVAL[15:0]은 lookup 테이블로 할당된다. 파란색에 대해서, 2비트가 4개의 파란색 레벨에 할당되며, 8개의 빨간색이나 녹색 레벨과는 다르다.

4096 레벨의 컬러 모드 동작

S3C2410X의 LCD 컨트롤러는 픽셀 당 12비트에 해당하는 4096 컬러 디스플레이 모드를 지원한다. 컬러 디스플레이 모드는 dithering 알고리즘과 FRC를 이용해서 4096 레벨의 컬러를 발생시킨다. 픽셀 당 12비트는 빨간색에 4비트, 녹색에 4비트, 파란색에 4비트로 인코딩된다. 4096 컬러 디스플레이 모드는 lookup 테이블을 사용하지 않는다.

Dithering과 프레임 rate 컨트롤

STN LCD 디스플레이(모노를 제외)에서, 비디오 데이터는 dithering 알고리즘에 의해서 처리되어야 한다. TITHFRC 블록은 flicker를 감소시키는 시간 기반의 dithering 알고리즘과 STN 패널의 그레이 레벨과 컬러 레벨을 디스플레이 하는 FRC의 2가지 기능을 제공한다. FRC에 기반한 STN 패널의 그레이 레벨과 컬러 레벨의 디스플레이 메인 원리를 설명한다. 예로, 16 레벨 중 세 번째 그레이(3/16)를 디스플레이 하기 위해서 3time의 픽셀은 온 되며 13time의 픽셀은 오프된다. 즉, 3프레임이 16프레임 중에서 선택되며, 3 프레임은 픽셀이 온 되며 13 프레임의 픽셀은 오프된다. 이러한 16프레임은 주기적으로 디스플레이 되어야 한다. FRC에 의해서 그레이 레벨 디스플레이로 불리는 스크린 상에 그레이 레벨을 표시하는 방법이다. 실제 예가 표 15-2에 나타나 있다. 표에서 14번째 그레이 레벨을 나타내려면, 6/7 듀티 사이클을 가져야 하며, 이는 6time 동안 픽셀이 온 되고 1time 동안 오프되는 것을 의미한다. 다른 경우에 대해서도 표 15-2에 나타나 있다.

STN LCD 디스플레이에서, 프레임 부근에서 동시에 픽셀이 온-오프되는 Flicker Noise를 기억해야 한다. 예로, 처음 프레임 상의 모든 픽셀이 온 되고 다음 프레임의 모든 픽셀이 오프되면, Flicker Noise가 최대로 된다. 스크린 상의 Flicker Noise를 줄이기 위해서, 프레임 사이의 픽셀 온-오프가 같아야 한다. 이렇게 하려면, 모든 프레임의 이웃한 픽셀 패턴을 다양화 하는 시간-기반의 dithering 알고리즘이 사용되어야 한다. 16 그레이 레벨에 대해서, FRC는 그레이 레벨과 FRC 사이에 다음과 같은 관계를 가진다. 15번째 그레이 레벨은 항상 픽셀-온 되어야 하고 14번째 그레이 레벨은 6타임 동안 픽셀-온 되고 1타임 동안 픽셀-오프되며, 13번째 그레이 레벨은 4타임 동안 픽셀-온되고 1타임 동안 픽셀-오프되고, ..., 0번째 그레이 레벨은 항상 표 15-2에 나타난 것과 같이 픽셀-오프 된다.

표 15-2. Dither 듀티 사이클 예제

Pre-Dithered Data (gray level number)	Duty Cycle	Pre-Dithered Data (gray level number)	Duty Cycle
15	1	7	1/2
14	6/7	6	3/7
13	4/5	5	2/5
12	3/4	4	1/3
11	5/7	3	1/4
10	2/3	2	1/5
9	3/5	1	1/7
8	4/7	0	0

디스플레이 형태

LCD 컨트롤러는 3가지 형태의 LCD 드라이버를 지원한다: 4비트 듀얼 스캔, 4비트 단일 스캔, 8비트 단일 스캔 모드. 그림 15-2는 모노 디스플레이에 대해서 이러한 3가지의 디스플레이 형태를 나타내며, 그림 15-3은 컬러 디스플레이에 대한 3가지 디스플레이 형태를 나타낸다.

4비트 듀얼 스캔 디스플레이 형태

4비트 듀얼 스캔 디스플레이는 동시에 상위와 하위 디스플레이에 데이터를 쉬프트 하는 8 병렬 데이터 라인을 사용한다. 8 병렬 데이터 라인의 4비트 데이터는 그림 15-2에 나타난 것처럼 상위 half에 쉬프트되고 4비트의 데이터는 하위 half에 쉬프트 된다. 디스플레이의 각 half가 쉬프트 되고 전송될 때 프레임의 끝에 도달한다. LCD 컨트롤러의 LCD 출력에 대해서 8핀(VD[7:0])은 직접 LCD 드라이버에 연결될 수 있다.

4비트 단일 스캔 디스플레이 형태

4비트 단일 스캔 디스플레이는 전체 프레임이 쉬프트되고 전송될 때까지 한 번에 디스플레이의 단일 수평 라인에 데이터를 쉬프트 한다. LCD 컨트롤러의 LCD 출력에 대해서 4핀(VD[3:0])은 직접 LCD 드라이버에 연결되며, 4핀(VD[7:4])은 사용되지 않는다.

8비트 단일 스캔 디스플레이 형태

8비트 단일 스캔 디스플레이는 전체 프레임이 쉬프트 되고 전송될 때까지 한 번에 디스플레이의 단일 수평 라인에 데이터를 쉬프트 하는데 8개의 병렬 데이터 라인을 사용한다. LCD 컨트롤러의 LCD 출력에 대해서 8핀(VD[7:0])은 직접 LCD 드라이버에 연결될 수 있다.

256 컬러 디스플레이

컬러 디스플레이는 픽셀 당 이미지 데이터 중 3비트(빨간색, 녹색, 파란색)를 필요로 하며, 각 수평 라인에 대한 수평 쉬프트 레지스터의 개수는 1개의 수평 라인의 3배의 픽셀 개수에 대응된다. 결과적으로 수평 라인 당 픽셀의 개수가 3배인 수평 쉬프트 레지스터가 된다. 이 RGB는 병렬 데이터 라인을 통해서 LCD 드라이버로 쉬프트 된다. 그림 15-3은 3가지 형태의 컬러 디스플레이용 병렬 데이터 라인의 픽셀 차수와 RGB를 보여준다.

4096 컬러 디스플레이

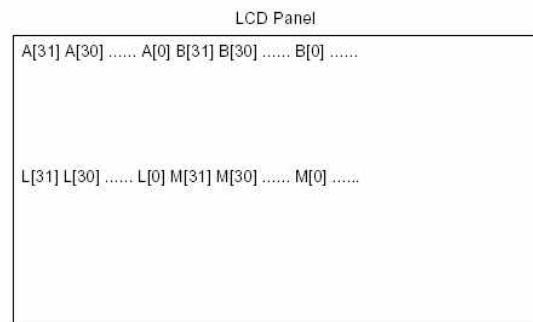
컬러 디스플레이는 픽셀 당 3비트(빨간색, 녹색, 파란색)의 이미지 데이터를 필요로 하며, 각 수평 라인에 대한 수평 쉬프트 레지스터의 개수는 수평 라인의 픽셀의 개수의 3배가 된다. 이러한 RGB는 병렬 데이터 라인을 통해서 LCD 드라이버로 쉬프트 된다. 이 RGB는 비디오 버퍼의 비디오 데이터 시퀀스에 의해서 결정된다.

메모리 데이터 포맷(STN, BSWP=0)

모노 4비트 듀얼 스캔 디스플레이:

Video Buffer Memory:

Address	Data
0000H	A[31:0]
0004H	B[31:0]
	•
	•
	•
1000H	L[31:0]
1004H	M[31:0]
	•
	•
	•



모노 4비트 단일 스캔 디스플레이 & 8비트 단일 스캔 디스플레이:

Video Buffer Memory:

Address	Data
0000H	A[31:0]
0004H	B[31:0]
0008H	C[31:0]
	•
	•
	•



메모리 데이터 포맷 (STN, BSWP=0)

4레벨의 그레이 모드에서, 비디오 데이터의 2비트는 1픽셀에 대응된다.
 16레벨의 그레이 모드에서, 비디오 데이터의 4비트는 1픽셀에 대응된다.
 256 레벨의 컬러 모드에서, 비디오 데이터의 8비트는 1픽셀에 대응도된다.
 바이트 안의 컬러 데이터 포맷은 아래와 같다:

Bit [7:5]	Bit [4:2]	Bit[1:0]
Red	Green	Blue

4096 레벨의 컬러 모드에서, 비디오 데이터 중 12비트는 1픽셀에 대응된다. 아래의표는 워드의 컬러 데이터 포맷을 보여주고 있다:

RGB 순서

DATA	[31:28]	[27:24]	[23:20]	[19:16]	[15:12]	[11:8]	[7:4]	[3:0]
Word #1	Red(1)	Green(1)	Blue(1)	Red(2)	Green(2)	Blue(2)	Red(3)	Green(3)
Word #2	Blue(3)	Red(4)	Green(4)	Blue(4)	Red(5)	Green(5)	Blue(5)	Red(6)
Word #3	Green(6)	Blue(6)	Red(7)	Green(7)	Blue(7)	Red(8)	Green(8)	Blue(8)

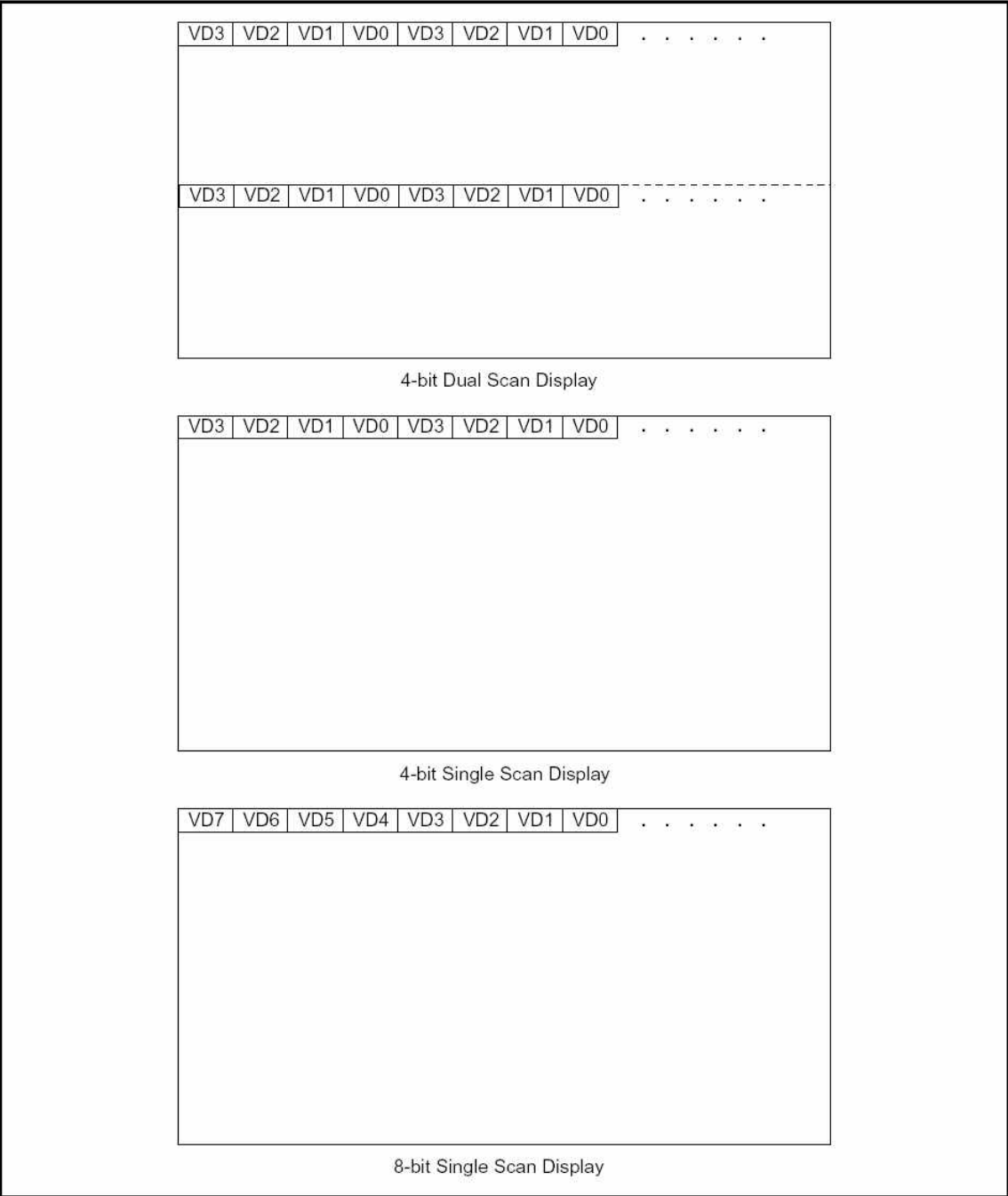


그림 15-2. 모노 디스플레이 형태(STN)

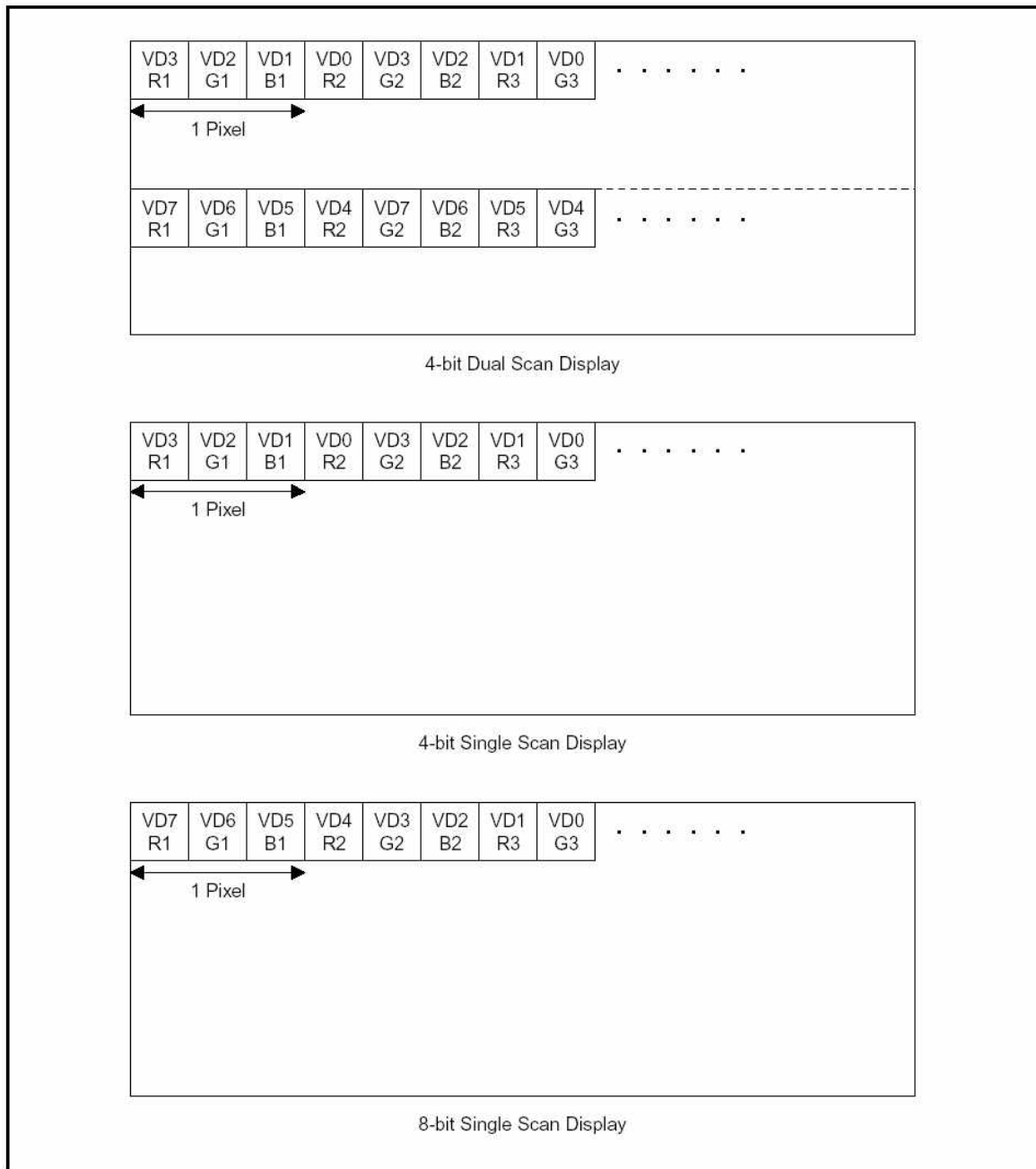


그림 15-3. 컬러 디스플레이 형태(STN)

요구되는 타이밍

이미지 데이터는 VD[7:0] 신호를 이용해서 메모리에서 LCD 드라이버로 전송되어야 한다. VCLK 신호는 LCD 드라이버의 쉬프트 레지스터에 데이터를 공급하는 클럭이다. 각 데이터의 수평 라인이 LCD 드라이버의 쉬프트 레지스터로 쉬프트 된 후에, VLINE 신호는 패널의 라인을 디스플레이하는데 사용된다.

VM 신호는 디스플레이 용으로 AC 신호를 제공한다. LCD는 DC 전압이 걸릴 때마다 deteriorate하려는 LCD 플라즈마 때문에, 픽셀을 온하고 오프 하는데 사용되는 row와 column

전압의 극성을 변경하는데 사용되는 신호이다. 모든 프레임을 토글하거나 프로그래밍을 통해서 VLINE 신호의 수를 토글하도록 설정할 수 있다.

그림 15-4는 LCD 드라이버 인터페이스에 필요한 타이밍을 나타내고 있다.

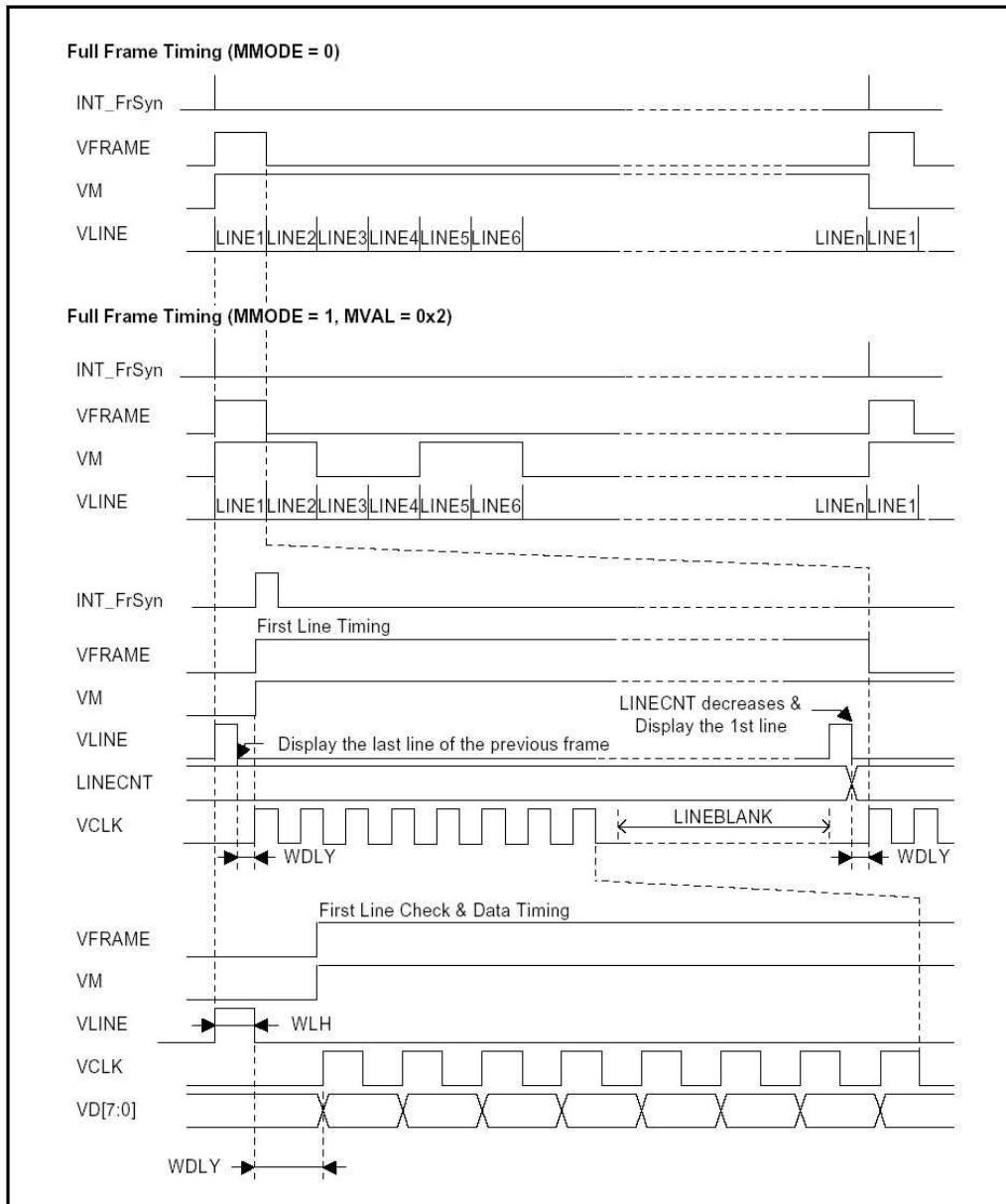


그림 15-4. 8비트 단일 스캔 디스플레이 형태의 STN LCD 타이밍

TFT LCD 컨트롤러의 동작

TIMEGEN은 VSYNC, HSYNC, VCLK, VDEN, LEND 등의 신호를 LCD 드라이버에 공급하는 로직이다. 이러한 컨트롤 신호들은 REGBANK 안의 LCDCON1/2/3/4/5 레지스터와 관련되어 있다. REGBANK의 LCD 컨트롤 레지스터를 설정함으로써, TIMEGEN이 다양한 종류의 LCD 드

라이버를 지원할 수 있는 적절한 컨트롤 신호들을 발생한다.

VSYNC는 LCD의 Line 포인터가 LCD 화면의 가장 위에서 시작할 수 있도록 동작신호를 제공한다.

VSYNC와 HSYNC는 LCDCON2/3 레지스터의 HOZVAL과 LINEVAL을 설정해서 펄스를 발생시킨다. HOZVAL과 LINEVAL은 아래와 같은 공식에 따라서, LCD 패널의 크기로 결정된다:

$$\text{HOZVAL} = (\text{Horizontal display size}) - 1$$

$$\text{LINEVAL} = (\text{Vertical display size}) - 1$$

VCLK의 signal rate는 LCDCON1 레지스터의 CLKVAL에 따라서 결정된다. 표 15-3은 VCLK와 CLKVAL과의 관계를 나타내고 있다. CLKVAL에 대입할 수 있는 최소 값은 0이다.

$$\text{VCLK(Hz)} = \text{HCLK}/[(\text{CLKVAL}+1) \times 2]$$

frame rate는 VSYNC의 주파수이며, LCDCON1/2/3/4 레지스터의 VSYNC, VBPD, VFDP, LINEVAL, HSYNC, HBPD, HFPD, HOZVAL, CLKVAL을 이용해서 조정할 수 있다. 대부분의 LCD는 자신에 맞는 적절한 frame rate를 가지고 있으므로, 이에 맞추어 주어야 한다. frame rate를 계산하는 공식은 아래와 같다:

$$\text{Frame rate} = 1/[\{(VSPW+1)+(VBPD+1)+(LINEVAL+1)+(VFDP+1)\} \times \{(HSPW+1)+(HBPD+1)+(HFPD+1)+(HOZVAL+1)\} \times \{2 \times (\text{CLKVAL}+1)/(\text{HCLK})\}]$$

표 15-3. VCLK와 CLKVAL 사이의 관계(TFT, HCLK=60MHz)

CLKVAL	60MHz/X	VCLK
1	60MHz/4	15.0MHz
2	60MHz/6	10.0MHz
.....
1023	60MHz/2048	30.0KHz

비디오 동작

S3C2410X의 TFT LCD 컨트롤러는 1,2,4,8 bpp(bit/pixel)의 팔레트 기반 컬러 디스플레이와 16, 24 bpp의 팔레트 없는 트루 컬러 디스플레이를 지원한다.

256 컬러 팔레트

S3C2410X는 다양한 컬러 맵핑 선택이 가능하도록 256 컬러 팔레트를 지원함으로써, 사용자에게 편의를 제공한다.

메모리 데이터 포맷(TFT)

이제부터는 각 디스플레이 모드에 대한 예제도 함께 다루도록 한다.

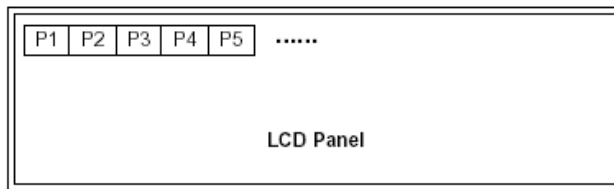
24BPP 디스플레이

(BSWP=0, HWSWP=0, BPP24BL=0)

	D[31:24]	D[23:0]
000H	Dummy Bit	P1
004H	Dummy Bit	P2
008H	Dummy Bit	P3
.....		

(BSWP=0, HWSWP=0, BPP24BL=1)

	D[31:8]	D[7:0]
000H	P1	Dummy Bit
004H	P2	Dummy Bit
008H	P3	Dummy Bit
.....		



VD Pin Descriptions at 24BPP

VD	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RED	7	6	5	4	3	2	1	0																
GREEN									7	6	5	4	3	2	1	0								
BLUE																	7	6	5	4	3	2	1	0

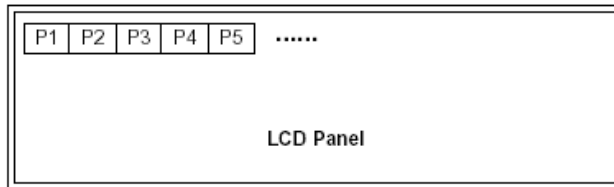
16BPP 디스플레이

(BSWP=0, HWSWP=0)

	D[31:24]	D[23:0]
000H	P1	P2
004H	P3	P4
008H	P5	P6
.....		

(BSWP=0, HWSWP=1)

	D[31:8]	D[7:0]
000H	P2	P1
004H	P4	P3
008H	P6	P5
.....		



VD Pin Connections at 16BPP

(5:6:5)

VD	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RED	4	3	2	1	0	NC									NC							NC		
GREEN									5	4	3	2	1	0										
BLUE																	4	3	2	1	0			

(5:5:5:1)

VD	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RED	4	3	2	1	0	I	NC								NC								NC	
GREEN									4	3	2	1	0	I										
BLUE																	4	3	2	1	0	I		

NOTE: The unused VD pins can be used as GPIO.

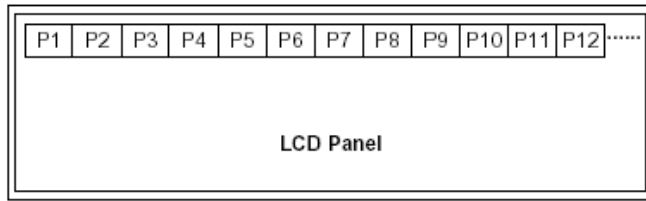
8BPP 디스플레이

(BSWP = 0, HWSWP = 0)

	D[31:24]	D[23:16]	D[15:8]	D[7:0]
000H	P1	P2	P3	P4
004H	P5	P6	P7	P8
008H	P9	P10	P11	P12
...				

(BSWP = 1, HWSWP = 0)

	D[31:24]	D[23:16]	D[15:8]	D[7:0]
000H	P4	P3	P2	P1
004H	P8	P7	P6	P5
008H	P12	P11	P10	P9
...				



4BPP 디스플레이

(BSWP = 0, HWSWP = 0)

	D[31:28]	D[27:24]	D[23:20]	D[19:16]	D[15:12]	D[11:8]	D[7:4]	D[3:0]
000H	P1	P2	P3	P4	P5	P6	P7	P8
004H	P9	P10	P11	P12	P13	P14	P15	P16
008H	P17	P18	P19	P20	P21	P22	P23	P24
...								

(BSWP = 1, HWSWP = 0)

	D[31:28]	D[27:24]	D[23:20]	D[19:16]	D[15:12]	D[11:8]	D[7:4]	D[3:0]
000H	P7	P8	P5	P6	P3	P4	P1	P2
004H	P15	P16	P13	P14	P11	P12	P9	P10
008H	P23	P24	P21	P22	P19	P20	P17	P18
...								

2BPP 디스플레이

(BSWP = 0, HWSWP = 0)

D	[31:30]	[29:28]	[27:26]	[25:24]	[23:22]	[21:20]	[19:18]	[17:16]
000H	P1	P2	P3	P4	P5	P6	P7	P8
004H	P17	P18	P19	P20	P21	P22	P23	P24
008H	P33	P34	P35	P36	P37	P38	P39	P40
...								

D	[15:14]	[13:12]	[11:10]	[9:8]	[7:6]	[5:4]	[3:2]	[1:0]
000H	P9	P10	P11	P12	P13	P14	P15	P16
004H	P25	P26	P27	P28	P29	P30	P31	P32
008H	P41	P42	P43	P44	P45	P46	P47	P48
...								

256 팔레트 사용(TFT)

팔레트 설정과 포맷 컨트롤

S3C2410X는 TFT LCD 디스플레이를 하는데 256 컬러의 팔레트를 지원한다. 사용자는 아래와 같은 2가지의 포맷으로 6만4천 컬러에서 256 컬러를 추출한다. 256 컬러 팔레트는 256(depth) X 16-bit SPSRAM으로 구성된다. 포맷으로는 5:6:5(R:G:B)와 5:5:5:1(R:G:B:I)가 지원된다. 5:5:5:1의 포맷을 사용하려면, Intensity 데이터(I)는 각 RGB 데이터의 공통 LSB를 이용한다.

5:5:5:1 포맷은 R(5+I):G(5+I):B(5+I) 포맷과 같다.

한 예로, 5:5:5:1 포맷에서, 사용자가 표 15-5와 같이 쓸려고 한다면, VD 핀을 TFT LCD 패널 (R(5+I)=VD[23:19]+VD[18], VD[10], VD[2], G(5+I)=VD[15:11]+VD[18], VD[10], VD[2], B(5+I)=VD[7:3]+VD[18], VD[10], VD[2])에 연결하고, LCDCON5 레지스터의 FRM565를 0으로 설정해야 한다.

Table 15-4. 5:6:5 Format

INDEX\Bit Pos.	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Address
00H	R4	R3	R2	R1	R0	G5	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0	0X4D000400 (note1)
01H	R4	R3	R2	R1	R0	G5	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0	0X4D000404
.....																
FFH	R4	R3	R2	R1	R0	G5	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0	0X4D0007FC
Number of VD	23	22	21	20	19	15	14	13	12	11	10	7	6	5	4	3	

Table 15-5. 5:5:5:1 Format

INDEX\Bit Pos.	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	Address
00H	R4	R3	R2	R1	R0	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0	I	0X4D000400
01H	R4	R3	R2	R1	R0	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0	I	0X4D000404
.....																
FFH	R4	R3	R2	R1	R0	G4	G3	G2	G1	G0	B4	B3	B2	B1	B0	I	0X4D0007FC
Number of VD	23	22	21	20	19	15	14	13	12	11	7	6	5	4	3	2) ²⁾	

NOTES:

1. 0x4D0004000은 팔레트 시작 어드레스 이다.
2. VD18, VD10, VD2는 같은 출력 값 I를 갖는다.
3. DATA[31:16]은 무효하다.

팔레트 읽기/쓰기

사용자가 팔레트에 읽기/쓰기를 수행할 때, LCDCON5 레지스터의 VSTATUS가 체크되어야 하며, 읽기/쓰기 동작이 VSTATUS의 ACTIVE 상태 동안에는 금지되어야 한다.

일시적인 팔레트 설정

S3C2410X는 프레임 버퍼나 팔레트에 복잡한 변경을 하지 않고도 사용자가 프레임에 1가지 컬러로 채울수 있는 것이 가능하다. 1가지 컬러로 채워지는 프레임은 TPAL 레지스터의 TPALVAL에 LCD 패널에 표시되는 컬러 값을 기록해서 디스플레이 될 수 있으며, TPALEN을 인에이블 한다.

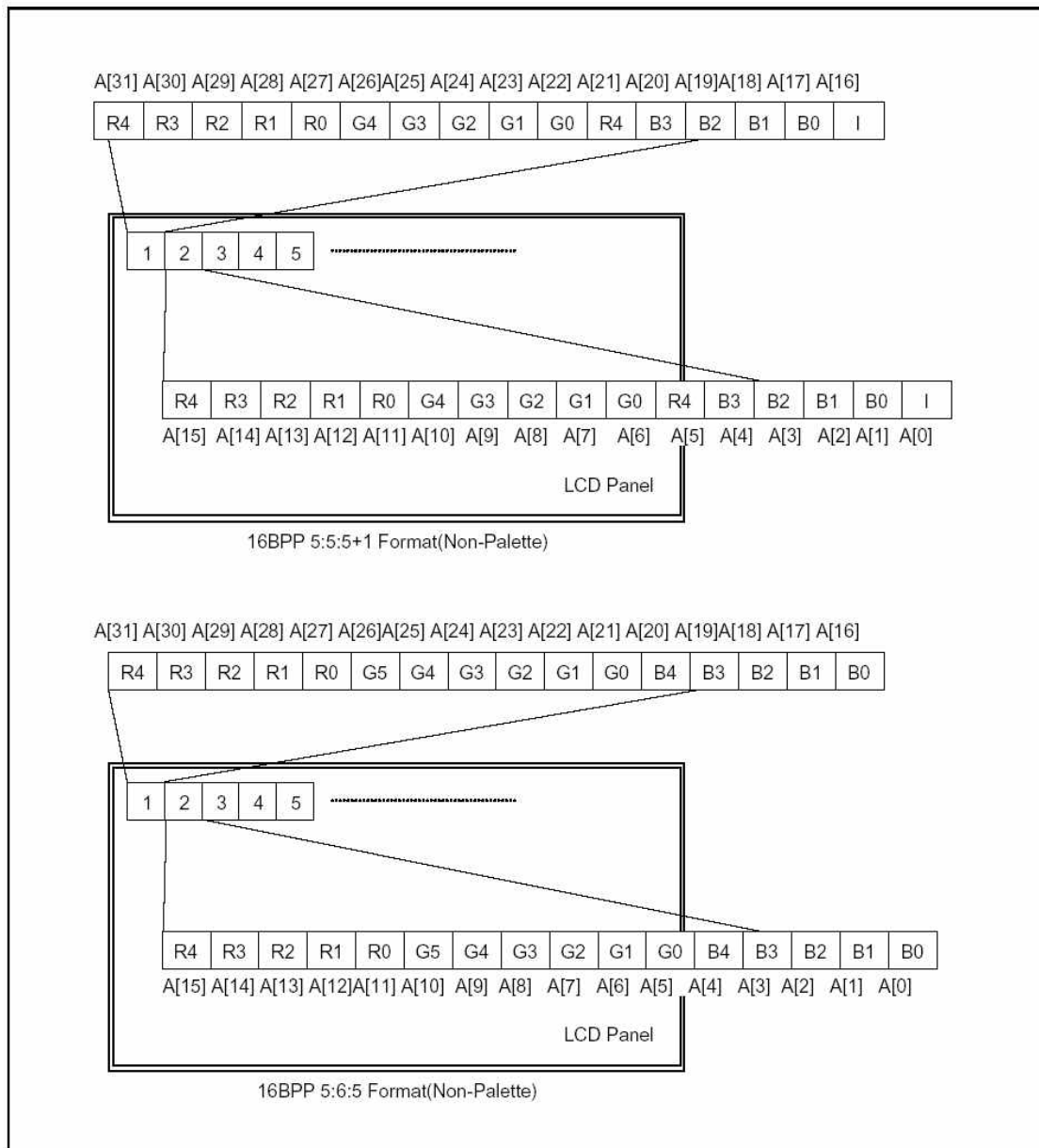


그림 15-5. 16BPP 디스플레이 형태(TFT)

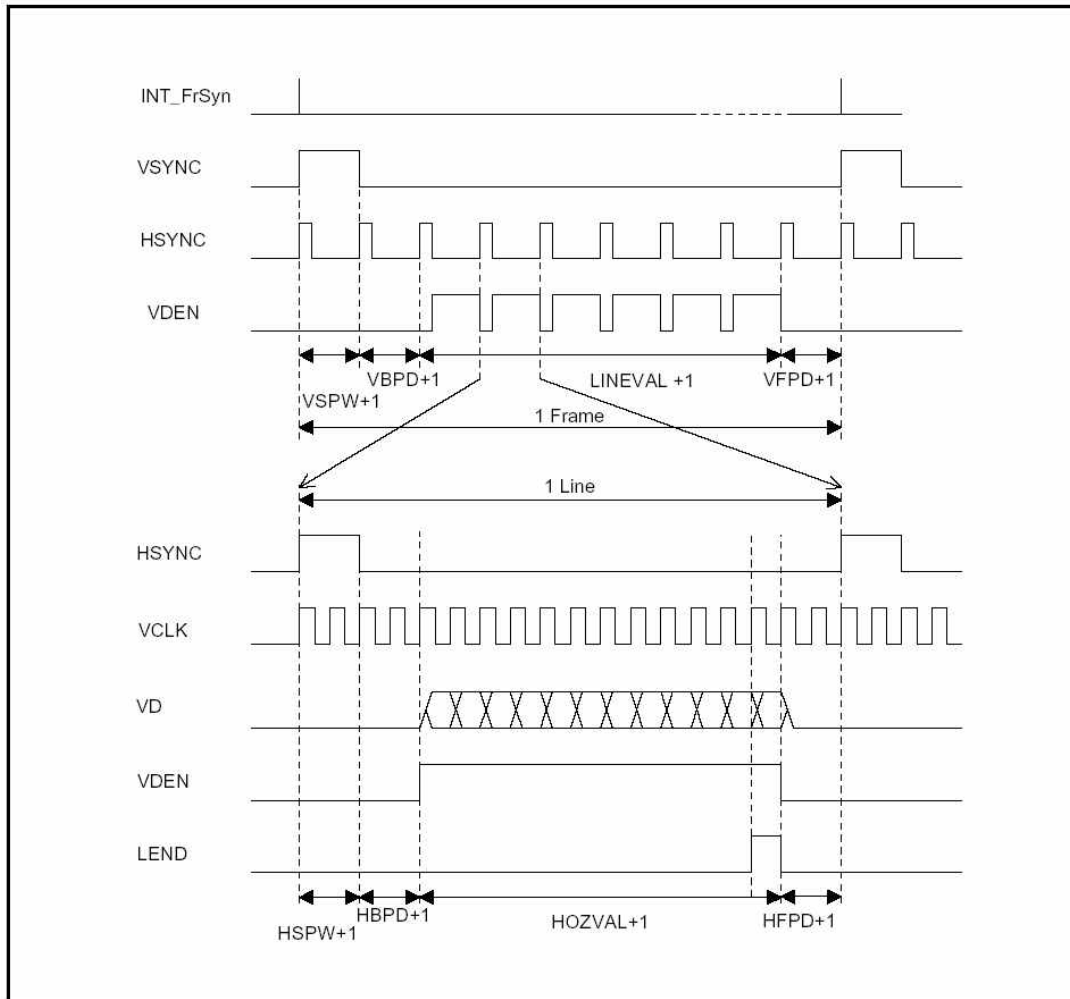


그림 15-6. TFT LCD 타이밍 예제

삼성 TFT LCD 패널(3.5" portrait/256K 컬러/반사형 A-SI TFT LCD)

S3C2410X는 SEC TFT LCD 패널을 지원한다.

LTS350Q1-PD1: 터치 패널과 프론트 라이트 유닛을 갖는 TFT LCD

LTS350Q1-PD2: TFT LCD 패널만

S3C2410X는 LTS350Q1-PD1과 PD2에 사용하는 아래와 같은 타이밍 신호를 제공한다:

STH:	수평 시작 펄스
TP:	소스 드라이버 데이터 로드 펄스
INV:	디지털 데이터 inversion
LCD_HCLK:	수평 샘플링 클럭
CPV:	수직 쉬프트 클럭
STV:	수직 시작 펄스
OE:	게이트 온 인에이블
REV:	inversion 신호
REVB:	inversion 신호

즉, LTS350Q1-PD1과 PD2는 추가적인 타이밍 컨트롤 로직 없이도 S3C2410X와 연결될 수 있

다.

사용자는 LTS320Q1-PD1과 PD2의 스펙에서 추천하는 INV 신호와 그레이 스케일 전압 발생 회로, 다양한 전압, Vcom 발생 회로를 추가해야 한다. 자세한 설명은 앞의 스펙을 참조 하시오.

Caution:

S3C2410X는 AHB 버스의 클럭으로 동작하는 HCLK를 가진다. SEC TFT LCD 패널은 수평 샘플링 클럭(HCLK)을 갖는다. 이러한 2개의 HCLK는 혼동될 수 있기 때문에 S3C2410X의 HCLK는 HCLK이며, LTS350의 다른 HCLK는 LCD_HCLK이다.

SEC TFT LCD 패널의 HCLK가 LCD_HCLK로 변경되었는지를 체크한다.

수직 디스플레이(TFT/STN)

S3C2410X는 하드웨어 수평이나 수직 스크롤을 지원한다. 스—린이 스크롤 되면, LCDSADDR1/2 레지스터의 LCDBASEU와 LCDBASEL의 field는 변경되어야 하며(그림 15-8), OFFSIZE와 PAGEWIDTH의 값은 예외가 된다.

이미지가 저장되는 비디오 버퍼는 LCD 패널 스크린의 크기보다 커야 한다.

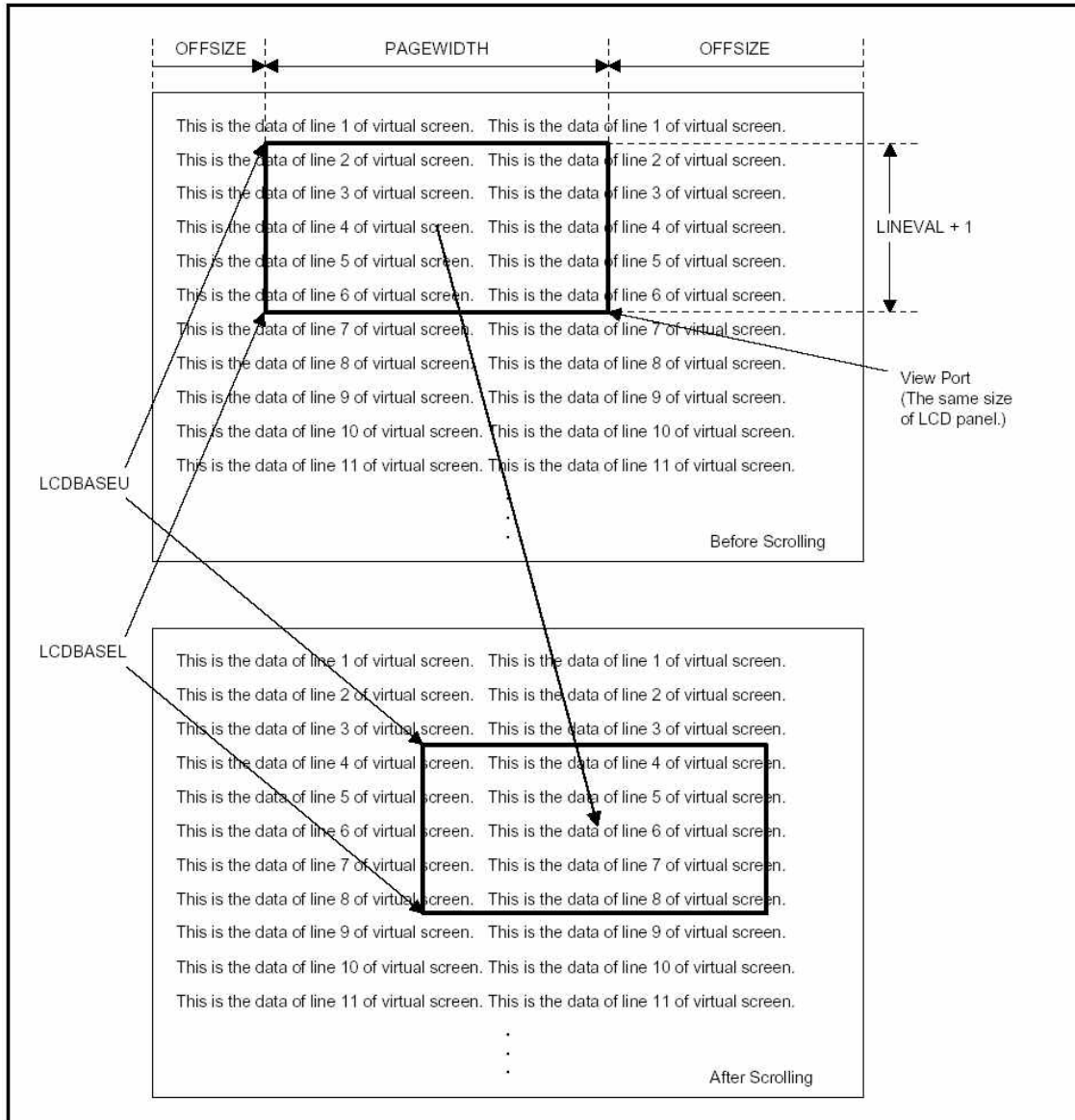


그림 15-7. 수직 디스플레이의 스크롤 예제(단일 스캔)

LCD 파워 인에이블(STN/TFT)

S3C2410X는 파워 인에이블(PWREN) 기능을 가지고 있다. PWREN 신호가 인에이블 되어 있으면, LCD_PWREN의 출력 값은 ENVID에 의해서 컨트롤 된다. 즉, LCD_PWREN 핀이 LCD 패널의 파워 온/오프 컨트롤 핀에 연결되면, LCD 패널의 파워는 ENVID를 셋팅해서 자동적으로 컨트롤 된다.

S3C2410X는 PWREN 신호의 극성을 반전하기 위해서 INVPWREN 비트를 지원한다. 이러한 기능은 LCD 패널이 자신의 파워 온-오프 컨트롤 포트를 갖고 포트가 LCD_PWREN 핀에 연결될 경우에만 가능하다.

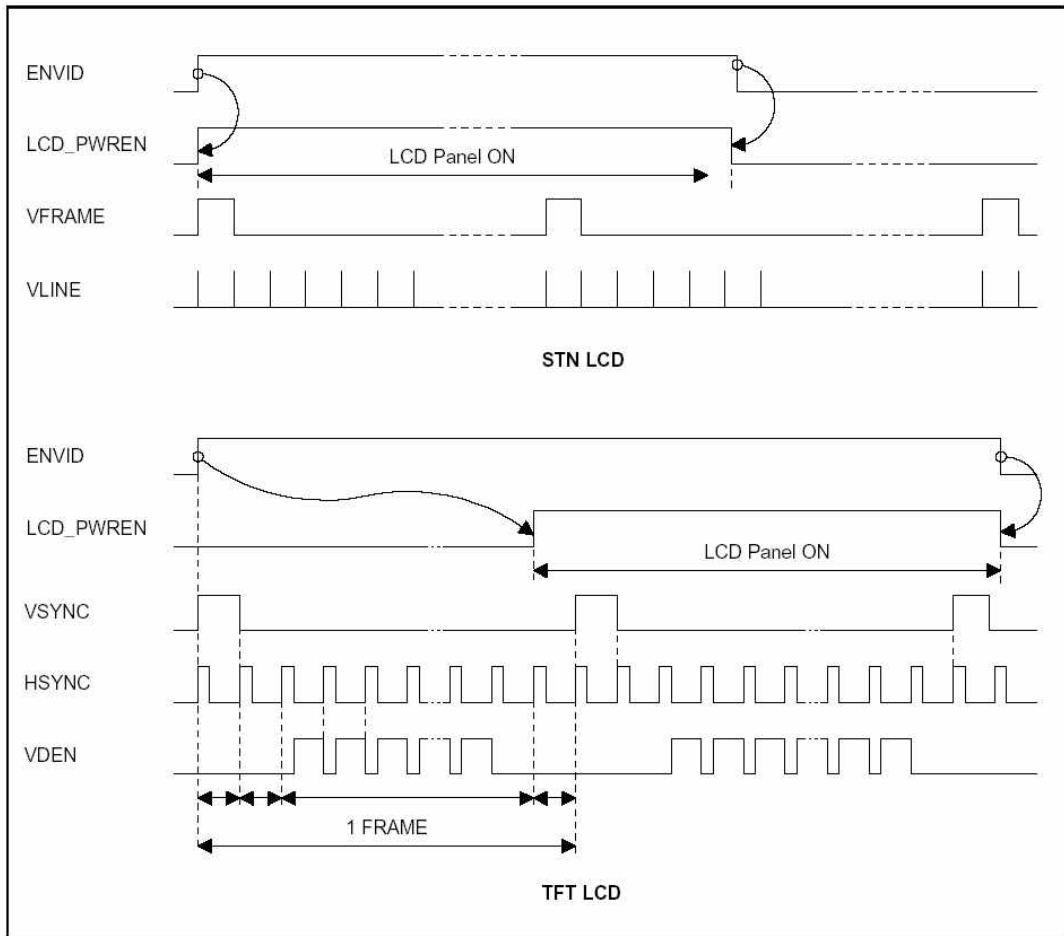


그림 15-8. PWREN 기능의 예 (PWREN=1, INVPWREN=0)

LCD 컨트롤러 특별 레지스터

LCD 컨트롤1 레지스터

Register	Address	R/W	Description	Reset Value
LCDCON1	0X4D000000	R/W	LCD control 1 register	0x00000000

LCDCON1	Bit	Description	Initial State
LINECNT (read only)	[27:18]	Provide the status of the line counter. Down count from LINEVAL to 0	0000000000
CLKVAL	[17:8]	Determine the rates of VCLK and CLKVAL[9:0]. STN: $VCLK = HCLK / (CLKVAL \times 2)$ ($CLKVAL \geq 2$) TFT: $VCLK = HCLK / [(CLKVAL+1) \times 2]$ ($CLKVAL \geq 0$)	0000000000
MMODE	[7]	Determine the toggle rate of the VM. 0 = Each Frame, 1 = The rate defined by the MVAL	0
PNRMODE	[6:5]	Select the display mode. 00 = 4-bit dual scan display mode (STN) 01 = 4-bit single scan display mode (STN) 10 = 8-bit single scan display mode (STN) 11 = TFT LCD panel	00
BPPMODE	[4:1]	Select the BPP (Bits Per Pixel) mode. 0000 = 1 bpp for STN, Monochrome mode 0001 = 2 bpp for STN, 4-level gray mode 0010 = 4 bpp for STN, 16-level gray mode 0011 = 8 bpp for STN, color mode 0100 = 12 bpp for STN, color mode 1000 = 1 bpp for TFT 1001 = 2 bpp for TFT 1010 = 4 bpp for TFT 1011 = 8 bpp for TFT 1100 = 16 bpp for TFT 1101 = 24 bpp for TFT	0000
ENVID	[0]	LCD video output and the logic enable/disable. 0 = Disable the video output and the LCD control signal. 1 = Enable the video output and the LCD control signal.	0

LCD 컨트롤 2 레지스터

Register	Address	R/W	Description	Reset Value
LCDCON2	0X4D000004	R/W	LCD control 2 register	0x00000000

LCDCON2	Bit	Description	Initial State
VBPD	[31:24]	TFT: Vertical back porch is the number of inactive lines at the start of a frame, after vertical synchronization period. STN: These bits should be set to zero on STN LCD.	0x00
LINEVAL	[23:14]	TFT/STN: These bits determine the vertical size of LCD panel.	0000000000
VFPD	[13:6]	TFT: Vertical front porch is the number of inactive lines at the end of a frame, before vertical synchronization period. STN: These bits should be set to zero on STN LCD.	00000000
VSPW	[5:0]	TFT: Vertical sync pulse width determines the VSYNC pulse's high level width by counting the number of inactive lines. STN: These bits should be set to zero on STN LCD.	000000

LCD 컨트롤 3 레지스터

Register	Address	R/W	Description	Reset Value
LCDCON3	0X4D000008	R/W	LCD control 3 register	0x00000000

LCDCON3	Bit	Description	Initial state
HBPD (TFT)	[25:19]	TFT: Horizontal back porch is the number of VCLK periods between the falling edge of HSYNC and the start of active data.	0000000
WDLY (STN)		STN: WDLY[1:0] bits determine the delay between VLINE and VCLK by counting the number of the HCLK. WDLY[7:2] are reserved. 00 = 16 HCLK, 01 = 32 HCLK, 10 = 48 HCLK, 11 = 64 HCLK	
HOZVAL	[18:8]	TFT/STN: These bits determine the horizontal size of LCD panel. HOZVAL has to be determined to meet the condition that total bytes of 1 line are 4n bytes. If the x size of LCD is 120 dot in mono mode, x=120 cannot be supported because 1 line consists of 15 bytes. Instead, x=128 in mono mode can be supported because 1 line is composed of 16 bytes (2n). LCD panel driver will discard the additional 8 dot.	00000000000
HFPD (TFT)	[7:0]	TFT: Horizontal front porch is the number of VCLK periods between the end of active data and the rising edge of HSYNC.	0X00
LINEBLANK (STN)		STN: These bits indicate the blank time in one horizontal line duration time. These bits adjust the rate of the VLINE finely. The unit of LINEBLANK is HCLK X 8. Ex) If the value of LINEBLANK is 10, the blank time is inserted to VCLK during 80 HCLK.	

LCD 컨트롤 4 레지스터

Register	Address	R/W	Description	Reset Value
LCDCON4	0X4D00000C	R/W	LCD control 4 register	0x00000000

LCDCON4	Bit	Description	Initial state
MVAL	[15:8]	STN: These bit define the rate at which the VM signal will toggle if the MMODE bit is set to logic '1'.	0X00
HSPW(TFT)	[7:0]	TFT: Horizontal sync pulse width determines the HSYNC pulse's high level width by counting the number of the VCLK.	0X00
WLH(STN)		STN: WLH[1:0] bits determine the VLINE pulse's high level width by counting the number of the HCLK. WLH[7:2] are reserved. 00 = 16 HCLK, 01 = 32 HCLK, 10 = 48 HCLK, 11 = 64 HCLK	

LCD 컨트롤 5 레지스터

Register	Address	R/W	Description	Reset Value
LCDCON5	0X4D000010	R/W	LCD control 5 register	0x00000000

LCDCON5	Bit	Description	Initial state
Reserved	[31:17]	This bit is reserved and the value should be '0'.	0
VSTATUS	[16:15]	TFT: Vertical Status (read only). 00 = VSYNC 01 = BACK Porch 10 = ACTIVE 11 = FRONT Porch	00
HSTATUS	[14:13]	TFT: Horizontal Status (read only). 00 = HSYNC 01 = BACK Porch 10 = ACTIVE 11 = FRONT Porch	00
BPP24BL	[12]	TFT: This bit determines the order of 24 bpp video memory. 0 = LSB valid 1 = MSB Valid	0
FRM565	[11]	TFT: This bit selects the format of 16 bpp output video data. 0 = 5:5:5:1 Format 1 = 5:6:5 Format	0
INVCLK	[10]	STN/TFT: This bit controls the polarity of the VCLK active edge. 0 = The video data is fetched at VCLK falling edge 1 = The video data is fetched at VCLK rising edge	0
INVLINE	[9]	STN/TFT: This bit indicates the VLINE/HSYNC pulse polarity. 0 = Normal 1 = Inverted	0
INVFRAME	[8]	STN/TFT: This bit indicates the VFRAME/VSNC pulse polarity. 0 = Normal 1 = Inverted	0
INVVD	[7]	STN/TFT: This bit indicates the VD (video data) pulse polarity. 0 = Normal 1 = VD is inverted.	0

LCDCON5	Bit	Description	Initial state
INVVDEN	[6]	TFT: This bit indicates the VDEN signal polarity. 0 = Normal 1 = Inverted	0
INVPWREN	[5]	STN/TFT: This bit indicates the PWREN signal polarity. 0 = Normal 1 = Inverted	0
INVLEND	[4]	TFT: This bit indicates the LEND signal polarity. 0 = Normal 1 = Inverted	0
PWREN	[3]	STN/TFT: LCD_PWREN output signal enable/disable. 0 = Disable PWREN signal 1 = Enable PWREN signal	0
ENLEND	[2]	TFT: LEND output signal enable/disable. 0 = Disable LEND signal 1 = Enable LEND signal	0
BSWP	[1]	STN/TFT: Byte swap control bit. 0 = Swap Disable 1 = Swap Enable	0
HWSWP	[0]	STN/TFT: Half-Word swap control bit. 0 = Swap Disable 1 = Swap Enable	0

프레임 버퍼 시작 어드레스 1 레지스터

Register	Address	R/W	Description	Reset Value
LCDADDR1	0X4D000014	R/W	STN/TFT: Frame buffer start address 1 register	0x00000000

LCDSADDR1	Bit	Description	Initial State
LCDBANK	[29:21]	These bits indicate A[30:22] of the bank location for the video buffer in the system memory. LCDBANK value cannot be changed even when moving the view port. LCD frame buffer should be within aligned 4MB region, which ensures that LCDBANK value will not be changed when moving the view port. So, care should be taken to use the malloc() function.	0x00
LCDBASEU	[20:0]	For dual-scan LCD: These bits indicate A[21:1] of the start address of the upper address counter, which is for the upper frame memory of dual scan LCD or the frame memory of single scan LCD. For single-scan LCD: These bits indicate A[21:1] of the start address of the LCD frame buffer.	0x000000

프레임 버퍼 시작 어드레스 2 레지스터

Register	Address	R/W	Description	Reset Value
LCDSADDR2	0X4D000018	R/W	STN/TFT: Frame buffer start address 2 register	0x00000000

LCDSADDR2	Bit	Description	Initial State
LCDBASEL	[20:0]	For dual-scan LCD: These bits indicate A[21:1] of the start address of the lower address counter, which is used for the lower frame memory of dual scan LCD. For single scan LCD: These bits indicate A[21:1] of the end address of the LCD frame buffer. $\text{LCDBASEL} = ((\text{the frame end address}) \gg 1) + 1$ $= \text{LCDBASEU} + (\text{PAGEWIDTH} + \text{OFFSIZE}) \times (\text{LINEVAL} + 1)$	0x0000

NOTE : 사용자는 LCD 컨트롤러가 턴-온 되는 동안에 스크롤에 대한 LCDBASEU와 LCDBASEL의 값을 변경할 수 있다. 그러나, 사용자는 프레임을 변경하기에 앞서 LCD FIFO가 다음의 프레임 데이터를 패치 하는 동안에, LCDCON1 레지스터의 LINECNT field를 참조해서 FRAME의 끝에서 LCDBASEU와 LCDBASEL 레지스터의 값을 변경할 수 없다.

즉, 프레임을 변경하면, 미리 패치된 FIFO의 데이터가 필요없게 되며, LCD 컨트롤러는 부정확한 스크린에 디스플레이된다. LINECNT를 체크하기 위해서, 인터럽트가 마스크되어야 한다. 임의의 인터럽트가 LINECNT를 읽은 후에 실행되면, 읽은 LINECNT의 값은 인터럽트 서비스 루틴(ISR)의 수행 시간 때문에 필요없게 된다.

프레임 버퍼 시작 어드레스 3 레지스터

Register	Address	R/W	Description	Reset Value
LCDSADDR3	0X4D00001C	R/W	STN/TFT: Virtual screen address set	0x00000000

LCDSADDR3	Bit	Description	Initial State
OFFSIZE	[21:11]	Virtual screen offset size (the number of half words). This value defines the difference between the address of the last half word displayed on the previous LCD line and the address of the first half word to be displayed in the new LCD line.	0000000000
PAGEWIDTH	[10:0]	Virtual screen page width (the number of half words). This value defines the width of the view port in the frame.	000000000

NOTE : PAGEWIDTH와 OFFSIZE의 값은 ENVID비트가 0일 때 변경되어야 한다.

Example 1. LCD panel = 320*240, 16gray, single scan

Frame start address = 0x0c500000

Offset dot number = 2048 dots (512 half words)

LINEVAL = 240-1 = 0xef

PAGEWIDTH = 320*4/16 = 0x50

OFFSIZE = 512 = 0x200

LCDBANK = 0x0c500000 >> 22 = 0x31

LCDBASEU = 0x100000 >> 1 = 0x80000

LCDBASEL = 0x80000 + (0x50 + 0x200) * (0xef + 1) = 0xa2b00

Example 2. LCD panel = 320*240, 16gray, dual scan

Frame start address = 0x0c500000

Offset dot number = 2048 dots (512 half words)

LINEVAL = 120-1 = 0x77

PAGEWIDTH = 320*4/16 = 0x50

OFFSIZE = 512 = 0x200

LCDBANK = 0x0c500000 >> 22 = 0x31

LCDBASEU = 0x100000 >> 1 = 0x80000

LCDBASEL = 0x80000 + (0x50 + 0x200) * (0x77 + 1) = 0x91580

Example 3. LCD panel = 320*240, color, single scan

Frame start address = 0x0c500000

Offset dot number = 1024 dots (512 half words)

LINEVAL = 240-1 = 0xef

PAGEWIDTH = 320*8/16 = 0xa0

OFFSIZE = 512 = 0x200

LCDBANK = 0x0c500000 >> 22 = 0x31

LCDBASEU = 0x100000 >> 1 = 0x80000

LCDBASEL = 0x80000 + (0xa0 + 0x200) * (0xef + 1) = 0xa7600

RED Lookup 테이블 레지스터

Register	Address	R/W	Description	Reset Value
REDLUT	0X4D000020	R/W	STN: Red lookup table register	0x00000000

REDLUT	Bit	Description	Initial State
REDVAL	[31:0]	These bits define which of the 16 shades will be chosen by each of the 8 possible red combinations. 000 = REDVAL[3:0], 001 = REDVAL[7:4] 010 = REDVAL[11:8], 011 = REDVAL[15:12] 100 = REDVAL[19:16], 101 = REDVAL[23:20] 110 = REDVAL[27:24], 111 = REDVAL[31:28]	0x00000000

GREEN Lookup 테이블 레지스터

Register	Address	R/W	Description	Reset Value
GREENLUT	0X4D000024	R/W	STN: Green lookup table register	0x00000000

GREENLUT	Bit	Description	Initial State
GREENVAL	[31:0]	These bits define which of the 16 shades will be chosen by each of the 8 possible green combinations. 000 = GREENVAL[3:0], 001 = GREENVAL[7:4] 010 = GREENVAL[11:8], 011 = GREENVAL[15:12] 100 = GREENVAL[19:16], 101 = GREENVAL[23:20] 110 = GREENVAL[27:24], 111 = GREENVAL[31:28]	0x00000000

BLUE Lookup 테이블 레지스터

Register	Address	R/W	Description	Reset Value
BLUELUT	0X4D000028	R/W	STN: Blue lookup table register	0x0000

BULELUT	Bit	Description	Initial State
BLUEVAL	[15:0]	These bits define which of the 16 shades will be chosen by each of the 4 possible blue combinations. 00 = BLUEVAL[3:0], 01 = BLUEVAL[7:4] 10 = BLUEVAL[11:8], 11 = BLUEVAL[15:12]	0x0000

NOTE : 어드레스 0x14A0002C에서 0x14A00048까지는 사용되어서는 안된다. 이 영역은 테스트 모드를 위해서 예약되어 있다.

Dithering 모드 레지스터

Register	Address	R/W	Description	Reset Value
DITHMODE	0X4D00004C	R/W	STN: Dithering mode register. This register reset value is 0x00000 But, user can change this value to 0x12210. (Refer to a sample program source for the latest value of this register.)	0x00000

DITHMODE	Bit	Description	Initial state
DITHMODE	[18:0]	Use one of following value for your LCD: 0x00000 or 0x12210	0x00000

Temp 팔레트 레지스터

Register	Address	R/W	Description	Reset Value
TPAL	0X4D000050	R/W	TFT: Temporary palette register. This register value will be video data at next frame.	0x00000000

TPAL	Bit	Description	Initial state
TPALEN	[24]	Temporary palette register enable bit. 0 = Disable 1 = Enable	0
TPALVAL	[23:0]	Temporary palette value register. TPALVAL[23:16] : RED TPALVAL[15:8] : GREEN TPALVAL[7:0] : BLUE	0x000000

LCD 인터럽트 펜딩 레지스터

Register	Address	R/W	Description	Reset Value
LCDINTPND	0X4D000054	R/W	Indicate the LCD interrupt pending register	0x0

LCDINTPND	Bit	Description	Initial state
INT_FrSyn	[1]	LCD frame synchronized interrupt pending bit. 0 = The interrupt has not been requested. 1 = The frame has asserted the interrupt request.	0
INT_FiCnt	[0]	LCD FIFO interrupt pending bit. 0 = The interrupt has not been requested. 1 = LCD FIFO interrupt is requested when LCD FIFO reaches trigger level.	0

LCD 소스 펜딩 레지스터

Register	Address	R/W	Description	Reset Value
LCDSRCPND	0X4D000058	R/W	Indicate the LCD interrupt source pending register	0x0

LCDSRCPND	Bit	Description	Initial state
INT_FrSyn	[1]	LCD frame synchronized interrupt source pending bit. 0 = The interrupt has not been requested. 1 = The frame has asserted the interrupt request.	0
INT_FiCnt	[0]	LCD FIFO interrupt source pending bit. 0 = The interrupt has not been requested. 1 = LCD FIFO interrupt is requested when LCD FIFO reaches trigger level.	0

LCD 인터럽트 마스크 레지스터

Register	Address	R/W	Description	Reset Value
LCDINTMSK	0X4D00005C	R/W	Determine which interrupt source is masked. The masked interrupt source will not be serviced.	0x3

LCDINTMSK	Bit	Description	Initial state
FIWSEL	[2]	Determine the trigger level of LCD FIFO. 0 = 4 words 1 = 8 words	
INT_FrSyn	[1]	Mask LCD frame synchronized interrupt. 0 = The interrupt service is available. 1 = The interrupt service is masked.	1
INT_FiCnt	[0]	Mask LCD FIFO interrupt. 0 = The interrupt service is available. 1 = The interrupt service is masked.	1

LPC3600 컨트롤 레지스터

Register	Address	R/W	Description	Reset Value
LPCSEL	0X4D000060	R/W	This register controls the LPC3600 modes.	0x4

LPCSEL	Bit	Description	Initial state
RES_SEL	[1]	1 = 240×320	0
LPC_EN	[0]	Determine LPC3600 Enable/Disable. 0 = LPC3600 Disable 1 = LPC3600 Enable	0

레지스터 설정 가이드(STN)

LCD 컨트롤러는 특별 레지스터 설정을 통한 여러 가지의 스크린 사이즈를 지원한다. CLKVAL 값은 VCLK의 주파수에 의해서 결정된다. 이 값은 VCLK 값이 데이터 전송 rate 보다 훨씬 클 경우에 결정된다. LCD 컨트롤러의 VD 포트에 대한 데이터 전송율은 CLKVAL 레지스터의 값을 결정하는데 사용된다.

데이터 전송율은 아래와 같은 공식으로 주어진다:

$$\text{데이터 전송율} = \text{HS} \times \text{VS} \times \text{FR} \times \text{MV}$$

HS: 수평 LCD 사이즈

VS: 수직 LCD 사이즈

FR: 프레임 rate

MV: 모드 의존 값

표 15-6. 각 디스플레이 모드에 대한 MV 값

Mode	MV Value
Mono, 4-bit single scan display	1/4
Mono, 8-bit single scan display or 4-bit dual scan display	1/8
4 level gray, 4-bit single scan display	1/4
4 level gray, 8-bit single scan display or 4-bit dual scan display	1/8
16 level gray, 4-bit single scan display	1/4
16 level gray, 8-bit single scan display or 4-bit dual scan display	1/8
Color, 4-bit single scan display	3/4
Color, 8-bit single scan display or 4-bit dual scan display	3/8

LCDBASEU 레지스터의 값은 프레임 버퍼의 첫 어드레스 값이다. 하위의 4비트는 burst 4 워드의 액세스 동안에 제거되어야 한다. LCDBASEL 레지스터의 값은 LcD 사이즈와 LCDBASEU에 따라서 결정된다. LCDBASEL 값은 아래와 같은 공식에 의해서 주어진다:

$$LCDBASEL = LCDBASEU + LCDBASEL \text{ 옵셋}$$

예제 1:

160 X 160, 4레벨의 그레이, 80 프레임/sec, 4비트 단일 스캔 디스플레이, HCLK 주파수는 60MHz이며 WLH=1, WDLY=1이다.

$$\text{데이터 전송율} = 160 \times 160 \times 80 \times 1/4 = 512\text{kHz}$$

$$\text{CLKVAL}=58, \quad \text{VCLK}=517\text{kHz}$$

$$\text{HOZVAL}=39, \quad \text{LINEVAL}=159$$

$$\text{LINEBLANK}=10$$

$$\text{LCDBASEL} = \text{LCDBASEU} + 3200$$

NOTE : 시스템의 부하가 커지면, CPU 성능은 낮아진다.

예제 2(가상의 스크린 레지스터):

4레벨의 그레이, 가상의 스크린 사이즈 = 1024 X 1024, LCD 사이즈=320 X 240, LCDBASEU=0 X 64, 4비트 듀얼 스캔

$$\begin{aligned} 1 \text{ halfword} &= 8 \text{ pixels (4-level gray),} \\ \text{Virtual screen 1 line} &= 128 \text{ halfword} = 1024 \text{ pixels,} \\ \text{LCD 1 line} &= 320 \text{ pixels} = 40 \text{ halfword,} \\ \text{OFFSIZE} &= 128 - 40 = 88 = 0 \times 58, \\ \text{PAGEWIDTH} &= 40 = 0 \times 28 \end{aligned}$$

$$\text{LCDBASEL} = \text{LCDBASEU} + (\text{PAGEWIDTH} + \text{OFFSIZE}) \times (\text{LINEVAL} + 1) = 100 + (40 + 88) \times 120 = 0 \times 3C64$$

그레이 레벨 선택 가이드

S3C2410X의 LCD 컨트롤러는 FRC를 이용해서 16 그레이 레벨을 발생한다. FRC 특성은 그

레이 레벨에서 기대치 않은 패턴의 원인이 될 수도 있다. 원하지 않는 에러 패턴이 빠른 LCD 응답이나 느린 프레임 rate에서 나타날 수도 있다.

LCD 그레이 레벨의 질이 LCD 자신의 특성에 달려있기 때문에, 사용자는 자신의 LCD 상의 모든 그레이 레벨을 본 후에 적절한 그레이 레벨을 선택해야 한다.

아래의 과정을 통한 그레이 레벨 선택하기:

1. 삼성에서 최근의 dithering 패턴 레지스터의 값을 얻는다.
2. LCD에 16 그레이 바를 디스플레이 한다.
3. 프레임 rate를 최적의 값으로 변경한다.
4. 최적의 값을 얻기 위해서 VM의 주기를 변경한다.
5. 16 그레이 바를 보면서, 자신의 LCD에 표시되는 그레이 레벨을 선택한다.
6. 오직 좋은 그레이 레벨을 사용한다.

LCD 리프레쉬 버스 밴드폭 계산 가이드

S3C2410X의 LCD 컨트롤러는 다양한 LCD 디스플레이 크기를 지원한다. 적절한 크기를 선택하기 위해서 사용자는 LCD 디스플레이 크기, 픽셀 당 비트, 프레임 rate, 메모리 버스 폭, 메모리 형태, 등등에 의해서 결정되는 LCD 리프레쉬 버스 밴드폭을 고려해야 한다.

$$\text{LCD Data Rate (Byte/s)} = \text{bpp} \times (\text{Horizontal display size}) \times (\text{Vertical display size}) \times (\text{Frame rate}) / 8$$

$$\text{LCD DMA Burst Count (Times/s)} = \text{LCD Data Rate(Byte/s)} / 16(\text{Byte}) ; \text{LCD DMA using 4words(16Byte) burst}$$

Pdma는 LCD DMA 액세스 주기를 말한다. 즉, Pdma의 값은 비디오 데이터 패치를 위해서 4-beat burst의 주기를 가리킨다. 즉, Pdma는 메모리의 형태와 셋팅에 의존한다.

실제로, LCD 시스템 로드는 LCD DMA burst 카운트와 Pdma에 의해서 결정된다.

$$\text{LCD system load} = \text{LCD DMA burst count} \times \text{Pdma}$$

예제 3:

640 X 480, 8bpp, 60frame/sec, 16비트 데이터 버스 폭, SDRAM(Trp=2HCLK/Trcd=2HCLK/CL=2HCLK)와 HCLK 주파수는 60MHz이다.

$$\text{LCD Data Rate} = 8 \times 640 \times 480 \times 60 / 8 = 18.432\text{Mbyte/s}$$

$$\text{LCD DMA Burst Count} = 18.432 / 16 = 1.152\text{M/s}$$

$$\text{Pdma} = (\text{Trp} + \text{Trcd} + \text{CL} + (2 \times 4) + 1) \times (1/60 \text{ MHz}) = 0.250\text{ms}$$

$$\text{LCD System Load} = 1.152 \times 250 = 0.288$$

$$\text{system bus occupation rate} = (0.288/1) \times 100 = 28.8\%$$

레지스터 셋팅 가이드(TFT LCD)

CLKVAL 레지스터 값은 VCLK의 주파수와 프레임 rate를 결정한다.

$$\text{Frame Rate} = 1 / [\{ (\text{VSPW} + 1) + (\text{VBPd} + 1) + (\text{LINEVAL} + 1) + (\text{VFPD} + 1) \} \times \{ (\text{HSPW} + 1) + (\text{HBPD} + 1) + (\text{HFPD} + 1) + (\text{HOZVAL} + 1) \} \times \{ 2 \times (\text{CLKVAL} + 1) / (\text{HCLK}) \}]$$

어플리케이션에서, 시스템 타이밍은 메모리 대역폭 내용에 의한 LCD 컨트롤러의 FIFO의 under-run 상태를 피하도록 고려되어야 한다.

예제 4:

TFT 해상도 : 240×320

VSPW=2, VBPD=14, LINEVAL=239, VFPD=4

HSPW=25, HBPD=15, HOZVAL=239, HFPD=1

CLKVAL=5

HCLK=60M(Hz)

아래의 파라미터는 LCD 사이즈와 드라이버 스펙에 의해서 참조되어야 한다:

VSPW, VBPD, LINEVAL, VFPD, HSPW, HBPD, HOZVAL, HFPD

타겟 프레임 rate가 60-70Hz이면, CLKVAL은 5가 되어야 한다.

즉, 프레임 rate=67Hz