

제5장 메모리 컨트롤러

개요

메모리 컨트롤러는 외부에 장착된 메모리에 접근할 때 필요한 메모리 컨트롤 신호를 공급한다.

S3C2410X는 아래와 같은 형태를 가지고 있다:

- ☞ 리틀/빅 엔디안(소프트웨어적으로 선택함)
- ☞ 어드레스 공간 : 1뱅크 당 128MB(총 1GB/8 뱅크)
- ☞ 뱅크 0(16/32-bit)을 제외한 모든 뱅크는 (8/16/32-bit)로 접근할 수 있도록 프로그래밍 가능
- ☞ 총 8개의 메모리 뱅크
 - ROM, SRAM, 등에 6개의 메모리 뱅크 할당
 - ROM, SRAM, SDRAM, 등에 나머지 2개의 뱅크 할당
- ☞ 7개의 고정된 메모리 뱅크 시작 어드레스
- ☞ 1개의 변경 가능한 메모리 뱅크 시작 어드레스와 뱅크 크기
- ☞ 모든 메모리 뱅크에 대한 접근 사이클을 프로그래밍으로 조정 가능
- ☞ 버스 사이클 확장용 외부 지연 가능
- ☞ SDRAM에서 자가-충전 모드와 파워 다운 모드 지원

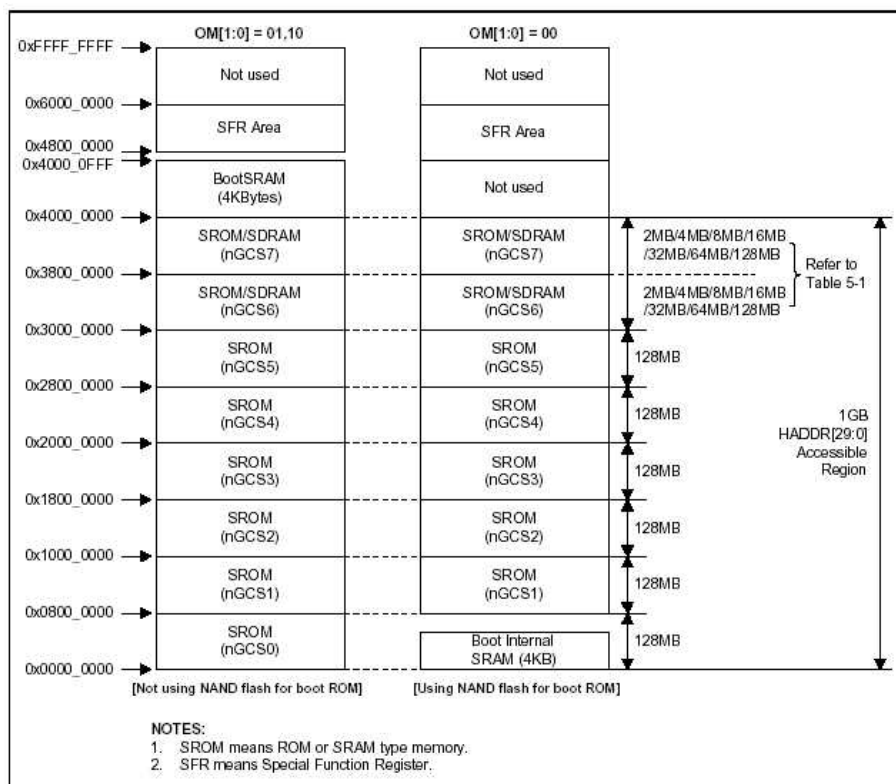


그림 5-1. 리셋 후의 메모리 맵(S3C2410X)

Address	2MB	4MB	8MB	16MB	32MB	64MB	128MB
Bank 6							
Start address	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000	0x3000_0000
End address	0x301f_ffff	0x303f_ffff	0x307f_ffff	0x30ff_ffff	0x31ff_ffff	0x33ff_ffff	0x37ff_ffff
Bank 7							
Start address	0x3020_0000	0x3040_0000	0x3080_0000	0x3100_0000	0x3200_0000	0x3400_0000	0x3800_0000
End address	0x303f_ffff	0x307f_ffff	0x30ff_ffff	0x31ff_ffff	0x33ff_ffff	0x37ff_ffff	0x3fff_ffff

표 5-1. 뱅크 6/7 어드레스

주의할 점 : 뱅크 6과 뱅크 7의 사이즈는 같아야 함

기능 설명

뱅크 0의 버스 폭

뱅크 0의 데이터 버스는 nGCS0을 이용해서 16-bit 혹은 32-bit로 설정이 되어 있어야 한다. 뱅크 0은 ROM 뱅크에서 부팅(0x0000_0000에 맵핑)되기 때문에, 뱅크 0의 버스 폭은 ROM에 접근하기 전에 결정되어야 하므로, 리셋 시에 OM[1:0]을 통해서 레벨이 먼저 결정되어야 한다.

OM1 (Operating Mode 1)	OM0 (Operating Mode 0)	Booting ROM Data width
0	0	Nand Flash Mode
0	1	16-bit
1	0	32-bit
1	1	Test Mode

메모리(SROM/SDRAM) 어드레스 핀 연결

MEMORY ADDR. PIN	S3C2410X ADDR. @ 8-bit DATA BUS	S3C2410X ADDR. @ 16-bit DATA BUS	S3C2410X ADDR. @ 32-bit DATA BUS
A0	A0	A1	A2
A1	A1	A2	A3
...

SDRAM 뱅크 어드레스 핀 연결

표 5-2. SDRAM 뱅크 어드레스 설정

Bank Size	Bus Width	Base Component	Memory Configuration	Bank Address
2MB	x8	16Mb	(1M x 8 x 2banks) x 1 ea	A20
	x16		(512K x 16 x 2banks) x 1 ea	
4MB	x8	16Mb	(2M x 4 x 2banks) x 2 ea	A21
	x16		(1M x 8 x 2banks) x 2 ea	
	x32		(512K x 16 x 2banks) x 2 ea	
8MB	x16	16Mb	(2M x 4 x 2banks) x 4 ea	A22
	x32	16Mb	(1M x 8 x 2banks) x 4 ea	
	x8	64Mb	(4M x 8 x 2banks) x 1 ea	A[22:21]
	x8		(2M x 8 x 4banks) x 1 ea	
	x16		(2M x 16 x 2banks) x 1 ea	A22
	x16		(1M x 16 x 4banks) x 1 ea	A[22:21]
	x32		(512K x 32 x 4banks) x 1 ea	
16MB	x32	16Mb	(2M x 4 x 2banks) x 8 ea	A23
	x8	64Mb	(8M x 4 x 2banks) x 2 ea	
	x8		(4M x 4 x 4banks) x 2 ea	A[23:22]
	x16		(4M x 8 x 2banks) x 2 ea	A23
	x16		(2M x 8 x 4banks) x 2 ea	A[23:22]
	x32		(2M x 16 x 2banks) x 2 ea	A23
	x32		(1M x 16 x 4banks) x 2 ea	A[23:22]
	x8	128Mb	(4M x 8 x 4banks) x 1 ea	
	x16		(2M x 16 x 4banks) x 1 ea	
32MB	x16	64Mb	(8M x 4 x 2banks) x 4 ea	A24
	x16		(4M x 4 x 4banks) x 4 ea	A[24:23]
	x32		(4M x 8 x 2banks) x 4 ea	A24
	x32		(2M x 8 x 4banks) x 4 ea	A[24:23]
	x16	128Mb	(4M x 8 x 4banks) x 2 ea	
	x32		(2M x 16 x 4banks) x 2 ea	
	x8	256Mb	(8M x 8 x 4banks) x 1 ea	
	x16		(4M x 16 x 4banks) x 1 ea	
64MB	x32	128Mb	(4M x 8 x 4banks) x 4 ea	A[25:24]
	x16	256Mb	(8M x 8 x 4banks) x 2 ea	
	x32		(4M x 16 x 4banks) x 2 ea	
	x8	512Mb	(16M x 8 x 4banks) x 1 ea	
128MB	x32	256Mb	(8M x 8 x 4banks) x 4 ea	A[26:25]
	x8	512Mb	(32M x 4 x 4banks) x 2 ea	
	x16		(16M x 8 x 4banks) x 2 ea	
	x32		(8M x 16 x 4banks) x 2 ea	

nWAIT 핀 동작

각 메모리 뱅크에 연결되는 WAIT가 인에이블 되면, 메모리 뱅크가 활성화 되는 동안에 nOE 신호의 시간은 외부의 nWAIT 핀에 의해서 지연되어야 한다. nWAIT는 tacc-1로 체크한다. 샘플링 nWAIT가 high로 된 후에 nOE는 다음의 클럭에서 동작하지 않는다. nWE 신호는 nOE와 같은 동작을 한다.

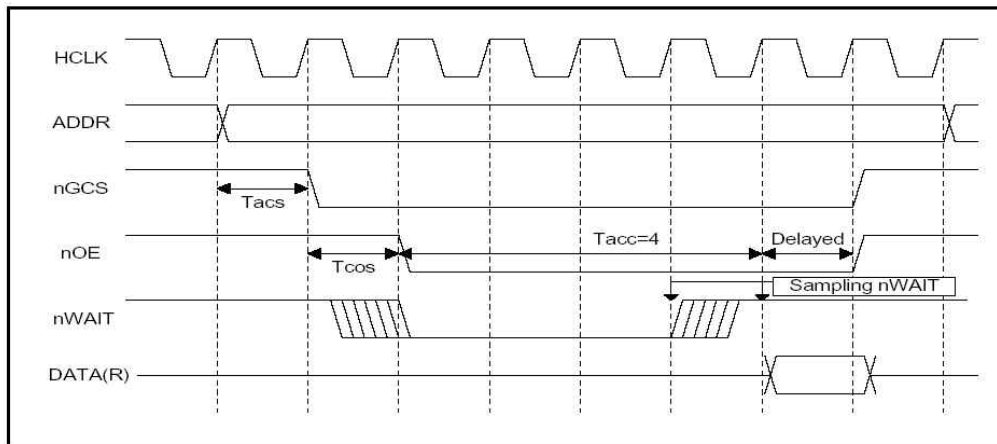


그림 5-2. S3C2410X 외부 nWAIT 타이밍 다이어그램(Tacc=4)

nXBREQ/nXBACK 핀 동작

nXBREQ가 동작하면, S3C2410X는 nXBACK가 low로 될 때 응답한다. nXBACK=L이면, 어드레스/데이터 버스와 메모리 컨트롤 신호는 표 1-1과 같이 Hi-Z 상태로 된다. nXBREQ가 동작하지 않으면, nXBACK도 동작하지 않는다.

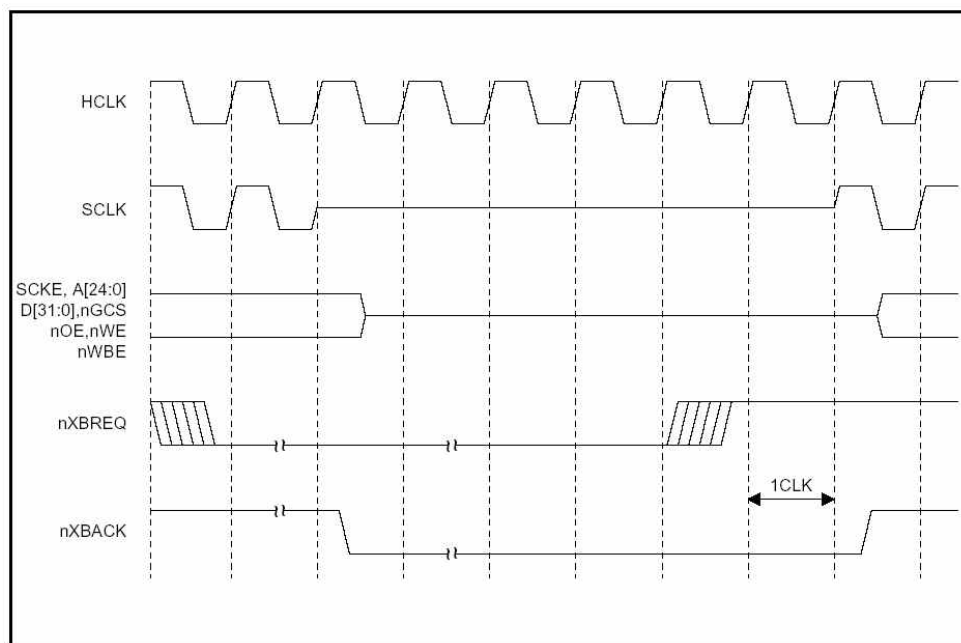


그림 5-3. S3C2410X의 nXBREQ/nXBACK 타이밍 다이어그램

ROM 메모리 인터페이스 예

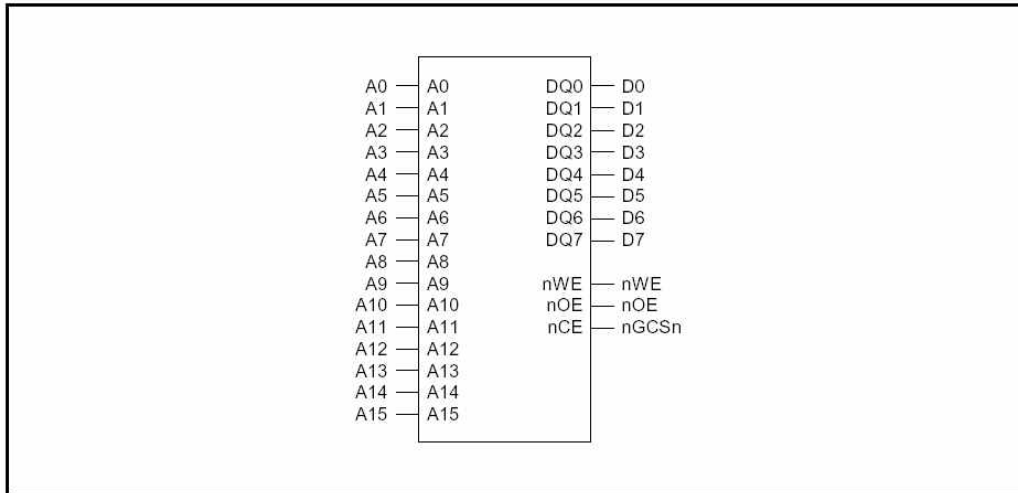


그림 5-4. 8비트 ROM 메모리와 인터페이스

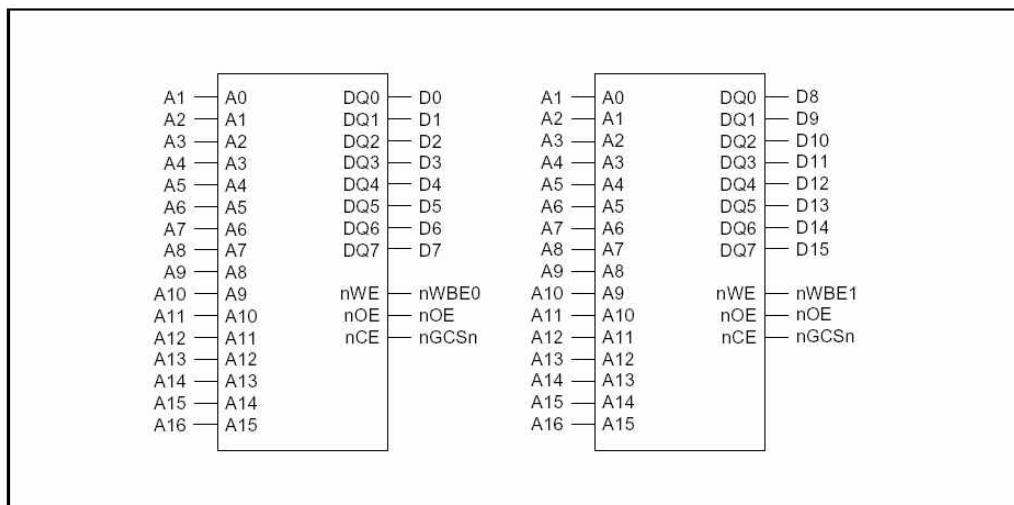


그림 5-5. 8비트 ROM X 2 메모리와 인터페이스

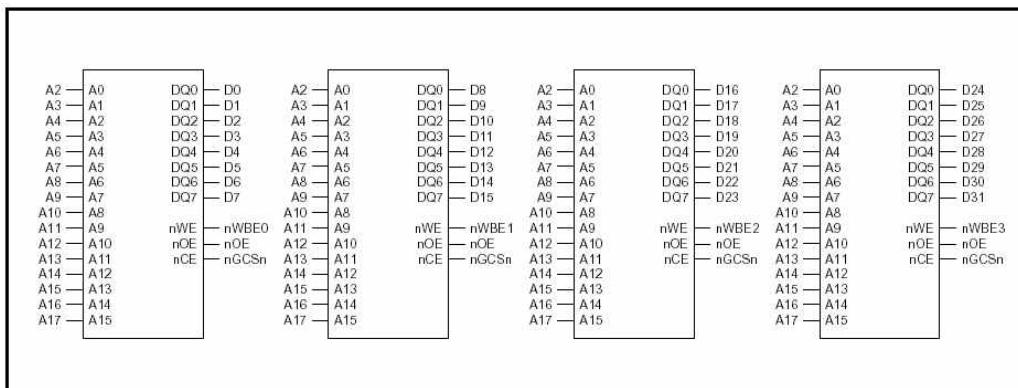


그림 5-6. 8비트 ROM X 4 메모리와 인터페이스

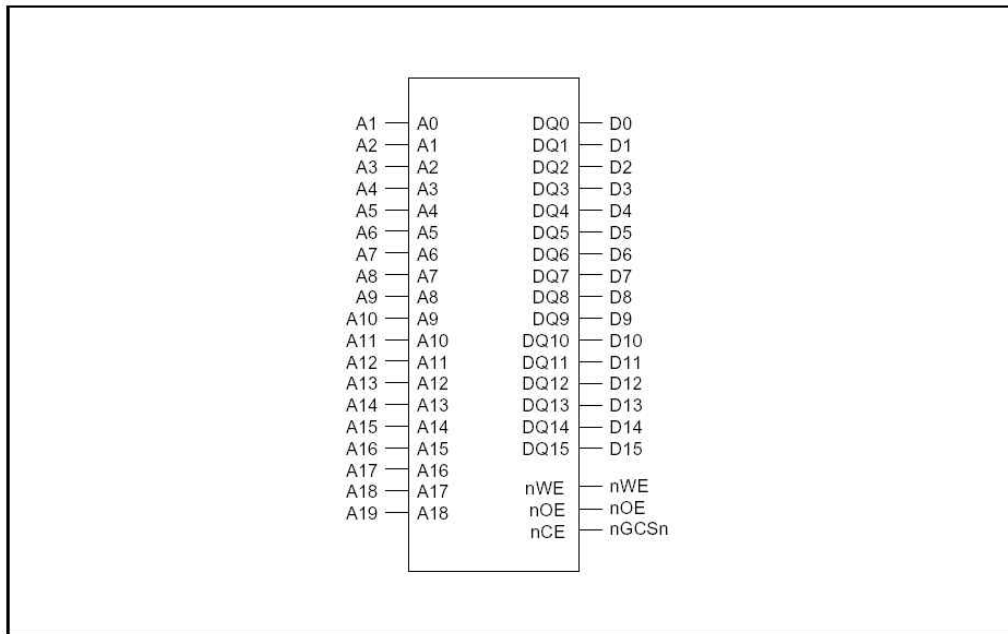


그림 5-7. 16비트 ROM 메모리와 인터페이스

SRAM 메모리 인터페이스 예

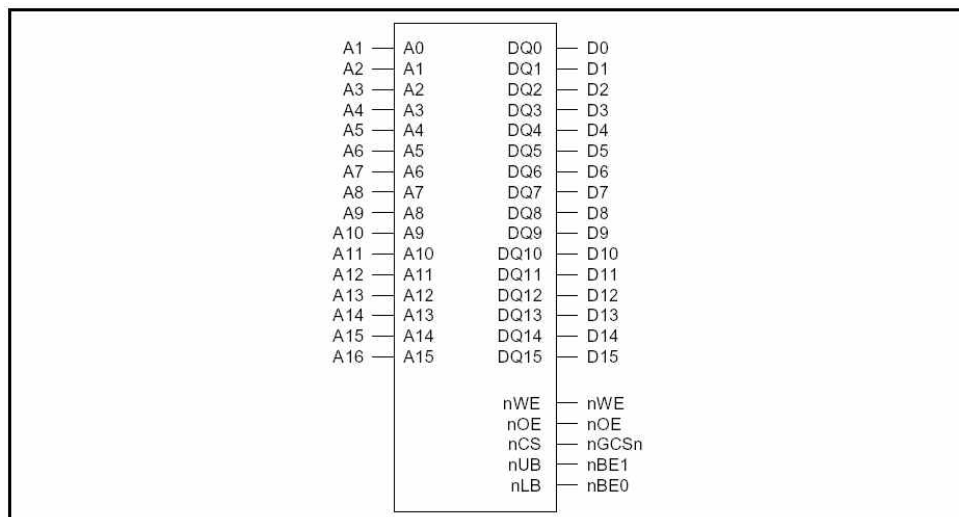


그림 5-8. 16비트 SRAM 메모리와 인터페이스

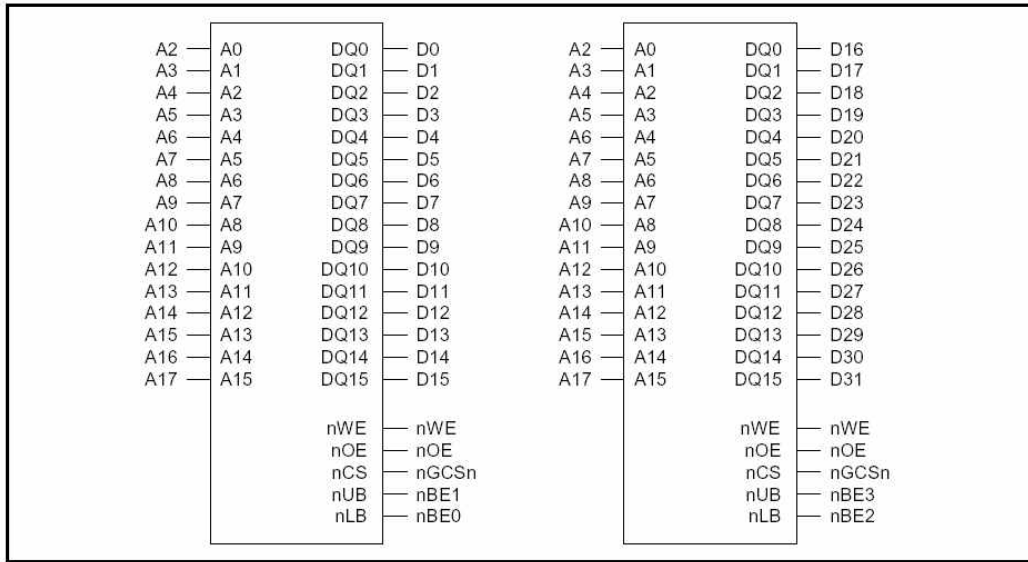


그림 5-9. 16비트 SRAM X2 메모리와 인터페이스

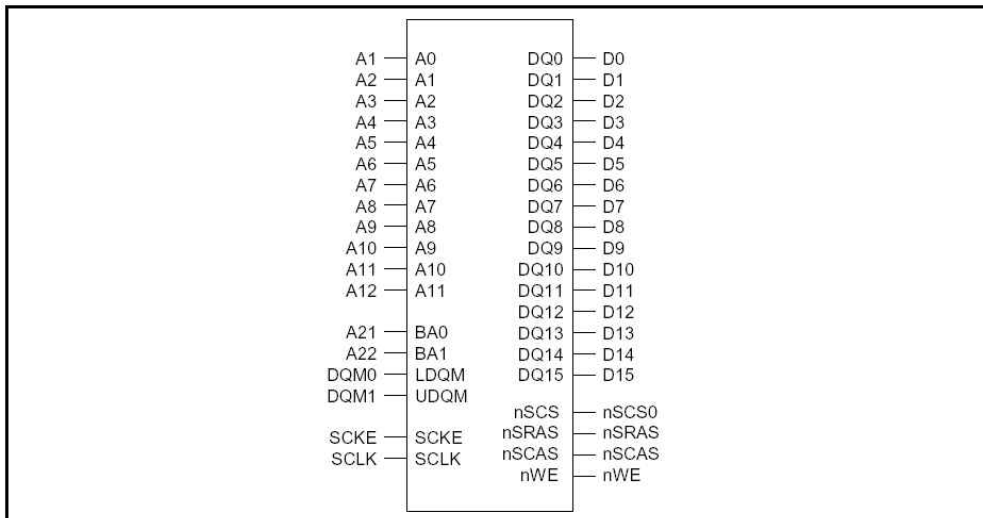


그림 5-10. 16비트 SDRAM(8MB:1Mb X 16 X 4banks) 메모리 인터페이스

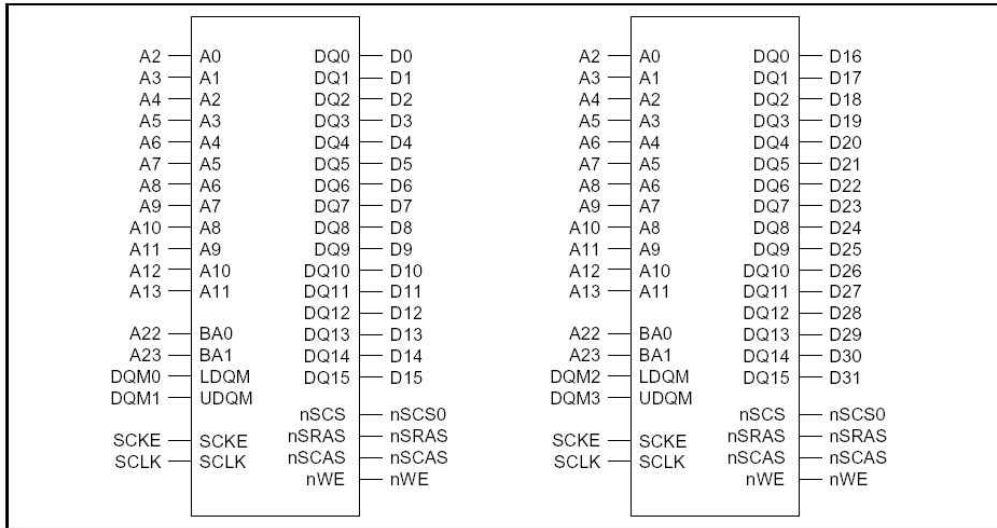


그림 5-11. 16비트 SDRAM(16MB:1Mb X 16 X 4banks X 2ea) 메모리 인터페이스
주의할 점 : SDRAM의 뱅크 어드레스 설정은 표 5-2를 참조하십시오.

액세스 사이클 프로그래밍

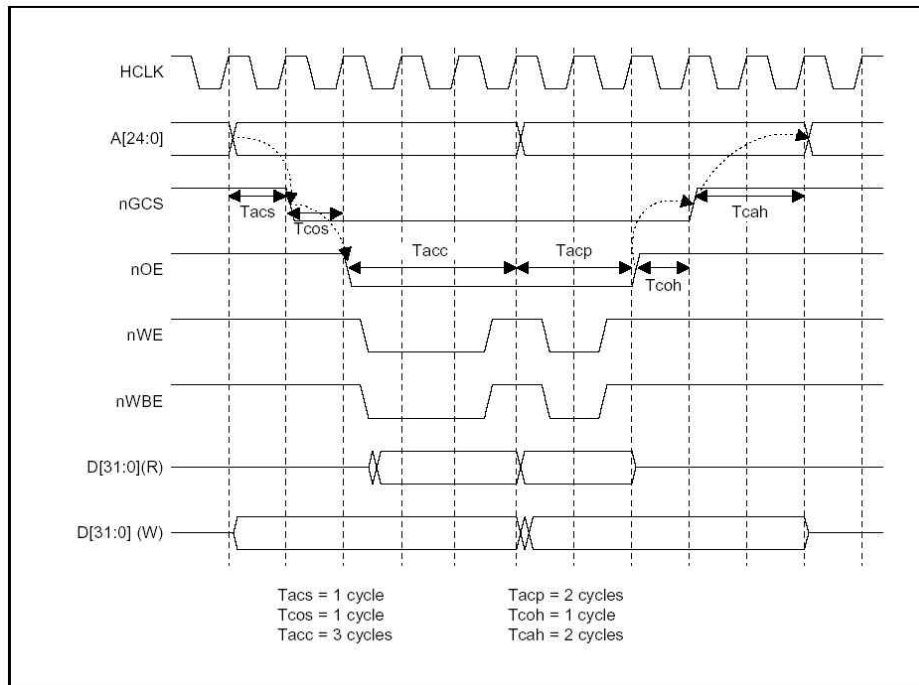


그림 5-12. S3C2410X nGCS 타이밍 다이어그램

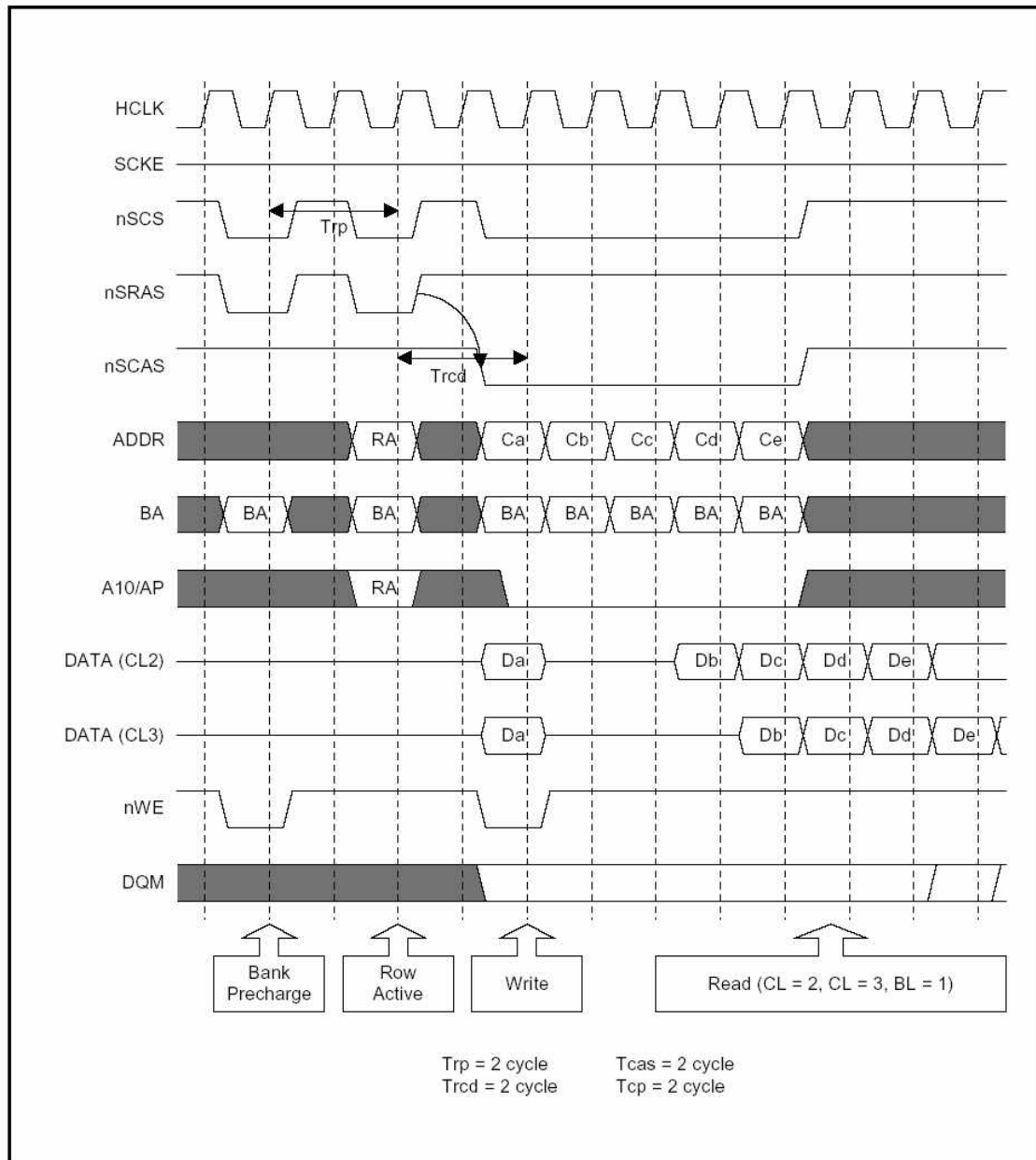


그림 5-13. S3C2410X SDRAM 타이밍 다이어그램

버스 폭 & WAIT 컨트롤 레지스터(BWSCON)

Register	Address	R/W	Description	Reset Value
BWSCON	0x48000000	R/W	Bus width & wait status control register	0x000000

BWSCON	Bit	Description	Initial state
ST7	[31]	Determine SRAM for using UB/LB for bank 7. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0])	0
WS7	[30]	Determine WAIT status for bank 7. 0 = WAIT disable 1 = WAIT enable	0
DW7	[29:28]	Determine data bus width for bank 7. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
ST6	[27]	Determine SRAM for using UB/LB for bank 6. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0])	0
WS6	[26]	Determine WAIT status for bank 6. 0 = WAIT disable, 1 = WAIT enable	0
DW6	[25:24]	Determine data bus width for bank 6. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
ST5	[23]	Determine SRAM for using UB/LB for bank 5. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0])	0
WS5	[22]	Determine WAIT status for bank 5. 0 = WAIT disable, 1 = WAIT enable	0
DW5	[21:20]	Determine data bus width for bank 5. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
ST4	[19]	Determine SRAM for using UB/LB for bank 4. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0])	0
WS4	[18]	Determine WAIT status for bank 4. 0 = WAIT disable 1 = WAIT enable	0
DW4	[17:16]	Determine data bus width for bank 4. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
ST3	[15]	Determine SRAM for using UB/LB for bank 3. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0])	0
WS3	[14]	Determine WAIT status for bank 3. 0 = WAIT disable 1 = WAIT enable	0
DW3	[13:12]	Determine data bus width for bank 3. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
ST2	[11]	Determine SRAM for using UB/LB for bank 2. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0].)	0
WS2	[10]	Determine WAIT status for bank 2. 0 = WAIT disable 1 = WAIT enable	0
DW2	[9:8]	Determine data bus width for bank 2. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
ST1	[7]	Determine SRAM for using UB/LB for bank 1. 0 = Not using UB/LB (The pins are dedicated nWBE[3:0]) 1 = Using UB/LB (The pins are dedicated nBE[3:0])	0
WS1	[6]	Determine WAIT status for bank 1. 0 = WAIT disable, 1 = WAIT enable	0
DW1	[5:4]	Determine data bus width for bank 1. 00 = 8-bit 01 = 16-bit, 10 = 32-bit 11 = reserved	0
DW0	[2:1]	Indicate data bus width for bank 0 (read only). 01 = 16-bit, 10 = 32-bit The states are selected by OM[1:0] pins	-
Reserved	[0]		-

주의할 점 :

- 메모리 컨트롤러의 모든 마스터 클럭 형태는 버스 클럭으로 연결된다.
예로, SRAM의 HCLK는 버스 클럭과 같으며, SDRAM의 SCLK 또한 버스 클럭과 같다. 제5

장(메모리 컨트롤러)에서, 1개의 클럭은 1개의 버스 클럭을 말한다.
 2. nBE[3:0]은 nWBE[3:0]과 nOE의 AND이다.

뱅크 컨트롤 레지스터(BANKCONn: nGCS0 ~ nGCS5)

Register	Address	R/W	Description	Reset Value
BANKCON0	0x48000004	R/W	Bank 0 control register	0x0700
BANKCON1	0x48000008	R/W	Bank 1 control register	0x0700
BANKCON2	0x4800000C	R/W	Bank 2 control register	0x0700
BANKCON3	0x48000010	R/W	Bank 3 control register	0x0700
BANKCON4	0x48000014	R/W	Bank 4 control register	0x0700
BANKCON5	0x48000018	R/W	Bank 5 control register	0x0700

BANKCONn	Bit	Description	Initial State
Tacs	[14:13]	Address set-up time before nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcos	[12:11]	Chip selection set-up time before nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacc	[10:8]	Access cycle 000 = 1 clock 001 = 2 clocks 010 = 3 clocks 011 = 4 clocks 100 = 6 clocks 101 = 8 clocks 110 = 10 clocks 111 = 14 clocks NOTE: When nWAIT signal is used, Tacc ≥ 4 clocks.	111
Tcoh	[7:6]	Chip selection hold time after nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	000
Tcah	[5:4]	Address hold time after nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacp	[3:2]	Page mode access cycle @ Page mode 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 6 clocks	00
PMC	[1:0]	Page mode configuration 00 = normal (1 data) 01 = 4 data 10 = 8 data 11 = 16 data	00

뱅크 컨트롤 레지스터(BANKCONn: nGCS6 ~ nGCS7)

Register	Address	R/W	Description	Reset Value
BANKCON6	0x4800001C	R/W	Bank 6 control register	0x18008
BANKCON7	0x48000020	R/W	Bank 7 control register	0x18008

BANKCONn	Bit	Description	Initial State
MT	[16:15]	Determine the memory type for bank6 and bank7. 00 = ROM or SRAM 01 = Reserved (Do not use) 10 = Reserved (Do not use) 11 = Sync. DRAM	11
Memory Type = ROM or SRAM [MT=00] (15-bit)			
Tacs	[14:13]	Address set-up time before nGCS 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcos	[12:11]	Chip selection set-up time before nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tacc	[10:8]	Access cycle 000 = 1 clock 001 = 2 clocks 010 = 3 clocks 011 = 4 clocks 100 = 6 clocks 101 = 8 clocks 110 = 10 clocks 111 = 14 clocks	111
Tcoh	[7:6]	Chip selection hold time after nOE 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcah	[5:4]	Address hold time after nGCSn 00 = 0 clock 01 = 1 clock 10 = 2 clocks 11 = 4 clocks	00
Tcap	[3:2]	Page mode access cycle @ Page mode 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = 6 clocks	00
PMC	[1:0]	Page mode configuration 00 = normal (1 data) 01 = 4 consecutive accesses 10 = 8 consecutive accesses 11 = 16 consecutive accesses	00
Memory Type = SDRAM [MT=11] (4-bit)			
Trcd	[3:2]	RAS to CAS delay 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks	10
SCAN	[1:0]	Column address number 00 = 8-bit 01 = 9-bit 10 = 10-bit	00

리프레쉬 컨트롤 레지스터

Register	Address	R/W	Description	Reset Value
REFRESH	0x48000024	R/W	SDRAM refresh control register	0xac0000

REFRESH	Bit	Description	Initial State
REFEN	[23]	SDRAM Refresh Enable 0 = Disable 1 = Enable (self/auto refresh)	1
TREFMD	[22]	SDRAM Refresh Mode 0 = Auto Refresh 1 = Self Refresh In self-refresh time, the SDRAM control signals are driven to the appropriate level.	0
Trp	[21:20]	SDRAM RAS pre-charge Time 00 = 2 clocks 01 = 3 clocks 10 = 4 clocks 11 = Not support	10
Tsrc	[19:18]	SDRAM Semi Row Cycle Time 00 = 4 clocks 01 = 5 clocks 10 = 6 clocks 11 = 7 clocks SDRAM's Row_Cycle time (Trc) = Tsrc + Trp If) Trp = 3 clocks & Tsrc = 7 clocks, Trc = 3 + 7 = 10 clocks	11
Reserved	[17:16]	Not used	00
Reserved	[15:11]	Not used	0000
Refresh Counter	[10:0]	SDRAM refresh count value. Refresh period = (2 ¹¹ -refresh_count+1)/HCLK Ex) If refresh period is 15.6 us and HCLK is 60 MHz, the refresh count is as follows: Refresh count = 2 ¹¹ + 1 - 60x15.6 = 1113	0

뱅크사이즈 레지스터

Register	Address	R/W	Description	Reset Value
BANKSIZE	0x48000028	R/W	Flexible bank size register	0x0

BANKSIZE	Bit	Description	Initial State
BURST_EN	[7]	ARM core burst operation enable. 0 = Disable burst operation. 1 = Enable burst operation.	0
Reserved	[6]	Not used	0
SCKE_EN	[5]	SDRAM power down mode enable control by SCKE 0 = SDRAM power down mode disable 1 = SDRAM power down mode enable	0
SCLK_EN	[4]	SCLK is enabled only during SDRAM access cycle for reducing power consumption. When SDRAM is not accessed, SCLK becomes 'L' level. 0 = SCLK is always active. 1 = SCLK is active only during the access (recommended).	0
Reserved	[3]	Not used	0
BK76MAP	[2:0]	BANK6/7 memory map 010 = 128MB/128MB 001 = 64MB/64MB 000 = 32M/32M 111 = 16M/16M 110 = 8M/8M 101 = 4M/4M 100 = 2M/2M	010

SDRAM 모드 레지스터 설정 레지스터(MRSR)

Register	Address	R/W	Description	Reset Value
MRSRB6	0x4800002C	R/W	Mode register set register bank6	xxx
MRSRB7	0x48000030	R/W	Mode register set register bank7	xxx

MRSR	Bit	Description	Initial State
Reserved	[11:10]	Not used	—
WBL	[9]	Write burst length 0: Burst (Fixed) 1: Reserved	x
TM	[8:7]	Test mode 00: Mode register set (Fixed) 01, 10 and 11: Reserved	xx
CL	[6:4]	CAS latency 000 = 1 clock, 010 = 2 clocks, 011=3 clocks Others: reserved	xxx
BT	[3]	Burst type 0: Sequential (Fixed) 1: Reserved	x
BL	[2:0]	Burst length 000: 1 (Fixed) Others: Reserved	xxx

주의할 점 : MRSR 레지스터는 코드가 SDRAM에서 실행되는 동안에 재설정되어서는 안된다.

중요한 사항

Power_OFF 모드에서, SDRAM은 SDRAM 셀프-리프레쉬 모드로 진입해야 한다.