

5 DRAM CONTROLLER

5.1 OVERVIEW

DRAM 컨트롤러는 ARM PrimeCell CP003 AXI Dynamic Memory Controller(PL340) 출신입니다. 컨피규레이션 레지스터의 프로그래밍을 위한 Original AMBA APB 3.0 Port는 APB Master Port에 연결된 AXI slave Port를 구현한 AxiToApb bridge 컴포넌트로 커버합니다. (매끄럽지 못하네요 -_-;)

DRAM 컨트롤러는 컨피규레이션 레지스터의 프로그래밍과 SDRAM에 접근하기 위해 AMBA AXI 호환 버스를 가지고 있습니다. DRAM 컨트롤러는 PL340의 컨피규레이션 레지스터에 chip configuration, ID configuration, 메모리의 타이밍 파라미터를 씌으로써 프로그래밍 할 수 있습니다.

DRAM 컨트롤러는 SDRAM 혹은 DRAM 컨트롤러 자신을 위한 직접적인 명령어를 받을 수 있습니다. direct_cmd 레지스터에 명령어를 씌으로써 DRAM 컨트롤러는 'Prechargeall', 'Autorefresh', 'NOP', 'MRS'('EMRS') 같은 명령어를 SDRAM에 보낼 수 있습니다. memc_cmd 레지스터에 명령어를 씌으로써 DRAM 컨트롤러는 'Config', 'Ready', 'Low_Power' 상태로 진입시킬 수 있습니다.

DRAM 컨트롤러는 두 가지 방법으로 power-down 지원합니다. DRAM 컨트롤러는 SDRAM이 여러 클럭 사이클동안 정지되어 있을 때 자동으로 DMC0_CKE 혹은 DMC_CKE1 신호를 비활성화(deassert)시킴으로써 precharge power-down 혹은 active power-down 상태로 놓습니다. DRAM 컨트롤러는 STOP, Deep Stop, Sleep 모드와 같은 power-down 모드로 들어갔을 때 SDRAM을 self-refresh 상태로 놓을 수 있습니다.

auto-refresh 명령어는 리프레쉬 카운터가 auto-refresh 주기 레지스터에 리프레쉬 주기 값에 도달하였을 때 주기적으로 SDRAM에 발생합니다.

5.2 FEATURE

- SDR SDRAM, mobile SDR SDRAM, DDR SDRAM, mobile DDR SDRAM을 지원
- 두 개의 확장 메모리 칩을 지원
- 32/64-bit AMBA AXI 버스를 지원
- 16/32-bit 메모리 버스를 지원
 - Memory Port0: 16-bit 메모리 버스를 지원
 - Memory Port1: 16-bit DDR SDRAM과 mobile DDR SDRAM을 지원
32-bit DDR SDRAM과 mobile DDR SDRAM을 지원
- Address Space : Memory Port0은 칩셀렉트 당 1Gbit(128MB)까지 지원
Memory Port1은 칩셀렉트 당 2Gbit(256MB)까지 지원
- active and precharge power-down을 지원
- Quality of Service는 낮은 전송 지연의 특징이 있습니다.
- 외부메모리버스의 이용에 최적화 되어 있습니다.
- SFR 설정에 의해 외부메모리 타입을 선택할 수 있도록 지원
- 두 개의 우수한 독점적인 접근 전송을 지원
- SFR 설정에 의해 메모리 접근 타이밍을 구성할 수 있습니다.
- 확장된 MRS(EMRS)세트를 지원
- Memory Port1을 위한 CKE는 개별적으로 컨트롤 할 수 있습니다.
- Memory Port1은 16-bit SDRAM, mobile SDRAM을 지원하지 않습니다.

5.3 SDRAM MEMORY INTERFACE

DRAM 컨트롤러는 두 개의 같은 타입에 메모리 칩을 지원하고 최대 256MBytes(Memory Port1) 까지 할당 할 수 있습니다. 같은 포트의 모든 칩은 클럭 인에이블 신호와 칩셀렉트 신호를 제외한 모든 핀을 공유합니다. 외부 메모리 핀 컨피규레이션은 Table 5-1과 5-2에 있습니다.

CKE의 리셋 값은 SPCONSLP[4]에 의해 컨트롤 됩니다. 만약 값이 0이라면 리셋이 되었을 때 Xm0CKE와 Xm1CKE는 zero입니다. 만약 값이 1이라면 리셋이 되었을 때 Xm0CKE와 Xm1CKE는 one입니다. 그러나 CKE의 리셋 값은 DRAM에 접근하지 않는 동안에 값을 변경 시켜야만 합니다.

Table 5-1. Memory Port 0 Pin Description

Signal	Type	Description
Xm0SCLK	Input	Memory clock
Xm0SCLKn	Input	Memory clock (negative)
Xm0CKE	Input	Clock enable per chip
Xm0CSn[6:7]	Input	Chip select per chip (active low)
Xm0RAS	Input	Row address strobe (active low)
Xm0CAS	Input	Column address strobe (active low)
Xm0WEndmc	Input	Write enable (active low)
Xm0ADDR[13:0]	Input	Address bus
Xm0ADDR[15:14]	Input	Bank select
Xm0DATA[15:0]	Inout	Data bus
Xm0DQM[1:0]	Input	Data bus mask bits
Xm0DQS[1:0]	Inout	Data strobe inout, DDR and mDDR only

Table 5-2. Memory Port 1 Pin Description

Signal	Type	Description
Xm1SCLK	Input	Memory clock
Xm1SCLKn	Input	Memory clock (negative)
Xm1CKE[1:0]	Input	Clock enable per chip
Xm1CSN[1:0]	Input	Chip select per chip (active low)
Xm1RAS	Input	Row address strobe (active low)
Xm1CAS	Input	Column address strobe (active low)
Xm1WEN	Input	Write enable (active low)
Xm1ADDR[13:0]	Input	Address bus
Xm1ADDR[15:14]	Input	Bank select
Xm1DATA[31:0]	Inout	Data bus
Xm1DQM[3:0]	Input	Data bus mask bits
Xm1DQS[3:0]	Inout	Data strobe inout, DDR and mDDR only

5.4 SDRAM INITIALIZATION SEQUENCE

power-on 리셋을 하면, DRAM 컨트롤러와 DRAM컨트롤러에 연결된 SDRAM을 초기화 해야만 합니다. 과정을 시작하기 위해 SDRAM 데이터시트를 참조하십시오. 시퀀스 예제는 아래와 같습니다.

5.4.1 DRAM CONTROLLER INITIALIZATION SEQUENCE

- DRAM 컨트롤러를 'Config' 상태로 만들기 위해 memc_cmd에 '3b100'을 프로그래밍 하세요
- chip, id configuration 레지스터에 메모리 타이밍 파라미터를 프로그래밍 하세요.
- SDRAM의 파워와 클럭이 안정화되도록 200us를 기다리십시오. 그러나 CPU가 동작을 시작 하였을 때 파워와 클럭은 이미 안정화 되어 있습니다.
- 메모리 초기화 시퀀스를 실행 하십시오
- DRAM 컨트롤러를 'Ready' 상태로 만들기 위해 mem_cmd에 '3b000'을 프로그래밍 하세요.
- 메모리의 상태가 'Ready'를 의미하는 '2b01'이 될 때까지 memc_stat의 메모리 상태 필드를 체크하세요.

5.4.2 SDR/MOBILE SDR SDRAM INITIALIZAITON SEQUENCE

- DRMA 컨트롤러가 'NOP'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b10'을 프로그래밍하세요.
- DRMA 컨트롤러가 'Prechargeall'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b00'을 프로그래밍하세요.
- DRMA 컨트롤러가 'Autorefresh'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b11'을 프로그래밍하세요.
- DRMA 컨트롤러가 'Autorefresh'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b11'을 프로그래밍하세요. (의도적으로 두 번하는 건가요? 아니면 매뉴얼이 잘못된건가요?)
- 만약 메모리 타입이 Moboile SDR SDRAM일때
 - DRMA 컨트롤러가 'MRS'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b10'을 프로그래밍하세요.
 - EMRS를 위한 बैं크 어드레스는 세트 되어 있어야 합니다.
- DRMA 컨트롤러가 'MRS'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b10'을 프로그래밍하세요.
 - MRS를 위한 बैं크 어드레스는 세트 되어 있어야 합니다.

5.4.3 DDR/MOBILE DDR SDRAM INITIALIZATION SEQUENCE

- DRMA 컨트롤러가 'NOP'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b10'을 프로그래밍하세요.
- DRMA 컨트롤러가 'Prechargeall'명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b00'을 프로그래밍하세요.

S3C6400X 유저 매뉴얼 한글화 작업

- DRMA 컨트롤러가 'Autorefresh' 명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b11'을 프로그래밍하세요.
- DRMA 컨트롤러가 'Autorefresh' 명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b11'을 프로그래밍하세요. (의도적으로 두 번하는 건가요? 아니면 매뉴얼이 잘못된건가요?)
- DRMA 컨트롤러가 'MRS' 명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b10'을 프로그래밍하세요.
 - EMRS를 위한 बैं크 어드레스는 세트 되어 있어야 합니다.
- DRMA 컨트롤러가 'MRS' 명령을 발생시킬 수 있도록 direct_cmd에 mem_cmd에 '2b10'을 프로그래밍하세요.
 - MRS를 위한 बैं크 어드레스는 세트 되어 있어야 합니다.

5.5 REGISTER DISCRPTION

5.5.1 DRAM CONTROLLER STATUS REGISTER

Register	Address	R/W	Description	Reset Value
P0MEMSTAT	0x7E000000	R	16-bit DRAM controller status register	0xAB0
P1MEMSTAT	0x7E001000	R	32-bit DRAM controller status register	0xAB4

PnMEMSTAT	Bit	Description	Initial State
Reserved	[31:14]	정의되지 않음	
Reserved	[13:12]	항상 0 이 읽힘	00
Exclusive Monitor	[11:10]	항상 01이 읽힘	01
Reserved	[9]	항상 0이 읽힘	0
Memory chips	[8:7]	DRAM 컨트롤러가 지원할 수 있는 서로 다른 칩셀렉트의 최대 개수 : 11 = 4 chips 그러나 S3C6400은 DRAM 컨트롤러 당 오직 2개의 칩셀렉트 신호를 사용한다.	11
Memory type	[6:4]	DRAM 컨트롤러가 지원하는 SDRAM의 타입 100 = SDR SDRAM(nomal or mobile) 혹은 DDR SDRAM(nomal or mobile)	100
Memory width	[3:2]	외부 메모리 데이터 패스의 수 00= 16-bit 01= 32-bit 10=reserved 11=reserved	00/01
Controller status	[1:0]	DRAM 컨트롤러의 상태 00= Config 01= Ready 10= Paused 11= Low-power	00

5.5.2 DRAM CONTROLLER COMMAND REGISTER

Register	Address	R/W	Description	Reset Value
P0MEMCCMD	0x7E000004	W	16-bit DRAM controller command register	
P1MEMCCMD	0x7E001004	W	32-bit DRAM controller command register	

PnMEMCCMD	Bit	Description	Initial State
	[31:3]	정의되지 않은 값이 읽힘. 0을 쓰세요.	
Memc_cmd	[2:0]	DRAM 컨트롤러의 상태를 변경시킨다. 000= GO 001= Sleep 010= Wakeup 011= Pause 100= Configure 101~111= Reserved	

5.5.3 DIRECT COMMAND REGISTER

Register	Address	R/W	Description	Reset Value
P0_DIRECTCMD	0x7E000008	W	16-bit DRAM controller direct command register	
P1_DIRECTCMD	0x7E001008	W	32-bit DRAM controller direct command register	

PnDIRECTCMD	Bit	Description	Initial State
	[31:22]	정의되지 않은 값이 읽힘. 0을 쓰세요.	
Chip number	[21:20]	외부 메모리 칩 어드레스비트에 매핑된 비트	
Memory Command	[19:18]	요구된 명령을 결정한다. 00= Prechargeall 01= Autorefresh 10= MRS or EMRS 11= NOP	
Bank address	[17:16]	항상 0이 읽힘	
	[15:14]	정의되지 않음. 항상 0을 쓰세요	
Address 13_to_0	[13:0]	명령어가 MRS 혹은 EMRS 접근을 할 때 외부 메모리 어드레스 비트 [13:0]에 매핑된 비트	

5.5.4 MEMORY CONFIGURATION REGISTER

Register	Address	R/W	Description	Reset Value
P0MEMCFG	0x7E00000C	R/W	16-bit DRAM controller memory config register	0x01_0020
P1MEMCFG	0x7E00100C	R/W	32-bit DRAM controller memory config register	0x01_0020

PnMEMCFG	Bit	Description	Initial State
cke_config	[31]	CKE 컨트롤 컨피규레이션을 선택한다. P1MEMCFG only 0= 하나의 CKE 컨트롤을 지원한다. 1= 각각의 CKE 컨트롤을 지원한다.	0
Reserved	[30:23]	정의되지 않은 값이 읽힘. 0을 쓰세요.	
Active chips	[22:21]	memory 칩의 수만큼 리플레쉬 명령어 생성을 가능하게 한다. DRAM 컨트롤러의 상태 레지스터에 정의된 칩의 개수만큼 명령어를 생성 가능하도록 한다. 00= 1 chip 01= 2 chips 10= Reserved 11= Reserved	00
Reserved	[20:18]	이 필드는 0으로 세트 하세요.	000
Memory burst	[17:15]	SDRAM에 읽기/쓰기 명령어를 수행하도록 하는 데이터 접근 횟수를 인코딩한다. 000= Burst 1	010

		001= Burst 2 010= Burst 3 011= Burst 4 100= Burst 5 101~111= Reserved	
Stop_mem_clock	[14]	메모리클럭이 인에이블 되어있고 SDRAM에 접근이 수행되지 않을 때 동적으로 정지 된다.	0
Auto power down	[13]	When Auto power down is set, the memory interface automatically places the SDRAM into power-down state by de-asserting OE when the command FIFO has been empty for Power_down_prd memory clock cycles.	0
Power_down_prd	[12:7]	SDRAM의 auto power down을 위한 메모리 클럭 사이클의 수	000000
AP bit	[6]	메모리 어드레스에서 auto-precharge bit의 위치를 인코딩한다. 0= address bit 10. 1= address bit 8.	0
Row bits	[5:3]	row address로 구성되는 AXI address의 비트에 수를 인코딩한다. 000= 11 bits 001= 12 bits 010= 13 bits 011= 14 bits 100= 15 bits 101= 16 bits 110= 10 bits 111= 9 bits	100
Column bits	[2:0]	column address 구성되는 AXI address의 비트에 수를 인코딩한다. 000= 8 bits 001= 9 bits 010= 10 bits 011= 11 bits 100= 12 bits 101= 7 bits 110= 6 bits 111= Reserved	000

5.5.5 REFRESH PERIOD REGISTER

Register	Address	R/W	Description	Reset Value
P0REFRESH	0x7E000010	R/W	16-bit DRAM controller refresh period register	0xA60
P1REFRESH	0x7E001010	R/W	32-bit DRAM controller refresh period register	0xA60

PnREFRESH	Bit	Description	Initial State
	[31:15]	Read undefined. Write as Zero	
Refresh period	[14:0]	Memory refresh period in memory clock cycles.	0xA60

5.5.6 CAS LATENCY REGISTER

Register	Address	R/W	Description	Reset Value
P0CASLAT	0x7E000014	R/W	16-bit DRAM controller CAS latency register	0x6
P1CASLAT	0x7E001014	R/W	32-bit DRAM controller CAS latency register	0x6

PnCASLAT	Bit	Description	Initial State
	[31:4]	정의되지 않은 값이 워킹. 0을 쓰세요.	
CAS Latency	[3:1]	메모리 클럭 사이클에서 CAS 지연	011
CAS Half cycle	[0]	CAS 지연이 bits[3:1]에 주어진 값보다 메모리 클럭 사이클이 반사이클 이상인지 아닌지를 인코딩한다. 0= Zero cycle offset to value in [3:1], [0]은 MDDR 혹은 SDR 모드에서 0이어야만 한다. 1= Half cycle offset to value in [3:1].	0

5.5.7 T_DQSS REGISTER

Register	Address	R/W	Description	Reset Value
P0T_DQSS	0x7E000018	R/W	16-bit DRAM controller t_DQSS register	0x1
P1T_DQSS	0x7E001018	R/W	32-bit DRAM controller t_DQSS register	0x1

PnT_DQSS	Bit	Description	Initial State
	[31:2]	Read undefined. Write as Zero	
t_DQSS	[1:0]	Write to DQS in memory clock cycles.	1

5.5.8 T_MRD REGISTER

Register	Address	R/W	Description	Reset Value
P0T_MRD	0x7E00001C	R/W	16-bit DRAM controller t_MRD register	0x02
P1T_MRD	0x7E00101C	R/W	32-bit DRAM controller t_MRD register	0x02

PnT_MRD	Bit	Description	Initial State
	[31:7]	Read undefined. Write as Zero	
t_MRD	[6:0]	Set mode register command time in memory clock cycles.	0x02

5.5.9 T_RAS REGISTER

Register	Address	R/W	Description	Reset Value
P0T_RAS	0x7E000020	R/W	16-bit DRAM controller t_RAS register	0x7
P1T_RAS	0x7E001020	R/W	32-bit DRAM controller t_RAS register	0x7

PnT_RAS	Bit	Description	Initial State
	[31:4]	Read undefined. Write as Zero	
t_RAS	[3:0]	Set RAS to precharge delay in memory clock cycles.	0x7

5.5.10 T_RC REGISTER

Register	Address	R/W	Description	Reset Value
P0T_RC	0x7E000024	R/W	16-bit DRAM controller t_RC register	0xB
P1T_RC	0x7E001024	R/W	32-bit DRAM controller t_RC register	0xB

PnT_RC	Bit	Description	Initial State
	[31:4]	Read undefined. Write as Zero	
t_RC	[3:0]	Set Active bank x to Active bank x delay in memory clock cycles.	0xB

5.5.11 T_RCD REGISTER

Register	Address	R/W	Description	Reset Value
P0T_RCD	0x7E000028	R/W	16-bit DRAM controller t_RCD register	0x1D
P1T_RCD	0x7E001028	R/W	32-bit DRAM controller t_RCD register	0x1D

PnT_RCD	Bit	Description	Initial State
	[31:6]	Read undefined. Write as Zero	
scheduled_RCD	[5:3]	Set the RAS to CAS minimum delay in memory clock cycles -3.	011
t_RCD	[2:0]	Set the RAS to CAS minimum delay in memory clock cycles	101

5.5.12 T_RFC REGISTER

Register	Address	R/W	Description	Reset Value
P0T_RFC	0x7E00002C	R/W	16-bit DRAM controller t_RFC register	0x212
P1T_RFC	0x7E00102C	R/W	32-bit DRAM controller t_RFC register	0x212

PnT_RFC	Bit	Description	Initial State
	[31:10]	Read undefined. Write as Zero	
scheduled_RFC	[9:5]	Set the autorefresh command time in memory clock cycles -3.	0x10
t_RFC	[4:0]	Set the autorefresh command time in memory clock cycles	0x12

5.5.13 T_RP REGISTER

Register	Address	R/W	Description	Reset Value
P0T_RP	0x7E000030	R/W	16-bit DRAM controller t_RP register	0x1D
P1T_RP	0x7E001030	R/W	32-bit DRAM controller t_RP register	0x1D

PnT_RP	Bit	Description	Initial State
	[31:6]	Read undefined. Write as Zero	
scheduled_RP	[5:3]	Set the precharge to RAS delay in memory clock cycles -3.	011
t_RP	[2:0]	Set the precharge to RAS delay in memory clock cycles	101

5.5.14 T_RRD REGISTER

Register	Address	R/W	Description	Reset Value
P0T_RRD	0x7E000034	R/W	16-bit DRAM controller t_RRD register	0x2
P1T_RRD	0x7E001034	R/W	32-bit DRAM controller t_RRD register	0x2

PnT_RRD	Bit	Description	Initial State
	[31:4]	Read undefined. Write as Zero	
t_RRD	[3:0]	Set Active bank x to Active bank y delay in memory clock cycles.	0x2

5.5.15 T_WR REGISTER

Register	Address	R/W	Description	Reset Value
P0T_WR	0x7E000038	R/W	16-bit DRAM controller t_WR register	0x3
P1T_WR	0x7E001038	R/W	32-bit DRAM controller t_WR register	0x3

PnT_WR	Bit	Description	Initial State
	[31:3]	Read undefined. Write as Zero	
t_WR	[2:0]	Set the write to precharge delay in memory clock cycles.	011

5.5.16 T_WTR REGISTER

Register	Address	R/W	Description	Reset Value
P0T_WTR	0x7E00003C	R/W	16-bit DRAM controller t_WTR register	0x2
P1T_WTR	0x7E00103C	R/W	32-bit DRAM controller t_WTR register	0x2

PnT_WTR	Bit	Description	Initial State
	[31:3]	Read undefined. Write as Zero	
t_WTR	[2:0]	Set the write to read delay in memory clock cycles.	010

5.5.17 T_XP REGISTER

Register	Address	R/W	Description	Reset Value
P0T_XP	0x7E000040	R/W	16-bit DRAM controller t_XP register	0x01
P1T_XP	0x7E001040	R/W	32-bit DRAM controller t_XP register	0x01

PnT_XP	Bit	Description	Initial State
	[31:8]	Read undefined. Write as Zero	
t_XP	[7:0]	Set the exit power down command time in memory clock cycles.	0x01

5.5.18 T_XSR REGISTER

Register	Address	R/W	Description	Reset Value
P0T_XSR	0x7E000044	R/W	16-bit DRAM controller t_XSR register	0x0A
P1T_XSR	0x7E001044	R/W	32-bit DRAM controller t_XSR register	0x0A

PnT_XSR	Bit	Description	Initial State
	[31:8]	Read undefined. Write as Zero	
t_XSR	[7:0]	Set the exit self refresh command time in memory clock cycles.	0x0A

5.5.19 T_ESR REGISTER

Register	Address	R/W	Description	Reset Value
P0T_ESR	0x7E000048	R/W	16-bit DRAM controller t_ESR register	0x14
P1T_ESR	0x7E001048	R/W	32-bit DRAM controller t_ESR register	0x14

PnT_ESR	Bit	Description	Initial State
	[31:8]	Read undefined. Write as Zero	
t_ESR	[7:0]	Set the self refresh command time in memory clock cycles.	0x14

5.6 MEMORY CONFIGURATION 2 REGISTER

Register	Address	R/W	Description	Reset Value
P0MEMCFG2	0x7E00004C	R/W	16-bit DRAM controller configuration register	0x0B00
P1MEMCFG2	0x7E00104C	R/W	32-bit DRAM controller configuration register	0x0B40

PnMEMCFG2	Bit	Description	Initial State
Rreserved	[31:13]	정의되지 않은 값이 워킹. 0을 쓰세요.	
Read delay	[12:11]	들어온 리드(read)데이터의 de-skew를 허용하기 위한 pad 인터페이스를 통해 읽을 때 사용하는 지연을 인코딩한다. 00= Read delay 0 cycle(SDR SDRAM) 01= Read delay 1 cycle(DDR SDRAM, mobile DDR SDRAM) 10,11=Read delay 2 cycle	01
Memory type	[10:8]	DRAM 컨트롤러에 붙여지는 SDRAM의 타입 000= SDR SDRAM 001= DDR SDRAM 011= mobile DDR SDRAM 010= Reserved 1xx= Reserved	011
Memory width	[7:6]	외부 메모리의 데이터 패스(path) 00= 16-bits 01= 32-bits 10= Reserved 11= Reserved	00/01
Banks bits	[5:4]	뱅크 어드레스를 구성하는 AXI address의 비트 수를 인코딩한다. 00= 2bits 01= 1bit 10= 0bit 11= Reserved	00
Reserved	[3]	정의되지 않은 값이 워킹. 0을 쓰세요.	0
DQM init	[2]	메모리 리셋이 비활성화(de-assert)되었을 때 DQM의 상태	0
Clock config	[1:0]	클럭 체계의 지원: 00= AXI clock과 메모리 클럭은 비동기 되어 있다. 01= AXI clock과 메모리 클럭은 동기 되어 있다. 그리고 AXI clock은 메모리 클럭과 같은 주기 이거나 더 느리다. S3C6400X는 동기 컨피규레이션을 지원한다. 만약 이 값이 비동기로 세팅되어 있다면, S3C6400X의 성능하락을 참아야 한다. 10~11= Reserved	00

5.6.1 ID_N_CFG REGISTER

Register	Address	R/W	Description	Reset Value
P0_id_0_cfg ~P0_id_15_cfg	0x7E000100 ~0x7E00013C	R/W	16-bit DRAM controller id_<n>_cfg register	0x000
P1_id_0_cfg ~P1_id_15_cfg	0x7E001100 ~0x7E00113C	R/W	32-bit DRAM controller id_<n>_cfg register	0x000

Pn_id_<n>_cfg	Bit	Description	Initial State
	[31:10]	Read undefined. Write as Zero	
QoS_MAX	[9:2]	Set a maximum quality of service.	0x00
QoS_MIN	[1]	Set a minimum quality of service.	0
QoS_Enable	[0]	Enables a quality of service value to be applied to memory reads from address ID <n>.	0

AXI bus master IDs의 Table

AXI ID	Master bus name	Related IPs
0x00	I Block	Camera, JPEG
0x01	F Block	Display Controller
0x02	P Block	2D, TV Encoder, TV Scaler
0x03	V Block	MFC
0x04	X Block	HSMMC, USB OTG
0x05	T Block	Host I/F
0x06	M Block	DMA0, DMA1
0x07	S Block	Security Sub Block, SDMA0, SDMA1
0x08	ARM Instruction	ARM Core Instruction
0x09	ARM Data	ARM Core Data
0x0A	ARM DMA	ARM Core DMA
0x0B	CF	CFCON

5.6.2 CHIP_N_CFG REGISTER

Register	Address	R/W	Description	Reset Value
P0_chip_0_cfg	0x7E000200	R/W	16-bit DRAM controller chip_<n>_cfg register	0x0FF00
P0_chip_1_cfg	0x7E000204			
P1_chip_0_cfg	0x7E001200	R/W	32-bit DRAM controller chip_<n>_cfg register	0x0FF00
P1_chip_1_cfg	0x7E001204			

Pn_chip_<n>_cfg	Bit	Description	Initial State
	[31:17]	정의되지 않은 값이 워킹. 0을 쓰세요.	
BRC_RBC	[16]	AXI address로부터 해독(decode)해서 memory organization을 선택한다. 0= Row-Bank-Column organization 1= Bank-Row-Column organization	0
Address match	[15:8]	칩이 선택되었는지를 결정하기위해 AXI address bits[31:24]의 비교값	0xFF
Address mask	[7:0]	칩이 선택되었는지를 결정하기위해 AXI address bits[31:24]의 마스크: 1= 상응하는 어드레스 비트가 비교를 위해 사용됨	0x00

5.6.3 USER_STATUS REGISTER

Register	Address	R/W	Description	Reset Value
P0_user_stat	0x7E000300	R	16-bit DRAM controller user_stat register	0x00
P1_user_stat	0x7E001300	R	32-bit DRAM controller user_stat register	0x00

Pn_user_stat	Bit	Description	Initial State
	[31:8]	Read undefined. Write as Zero	
DQS[3] delay	[7:6]	Shows input dqs[3] delay.	0
DQS[2] delay	[5:4]	Shows input dqs[2] delay.	0
DQS[1] delay	[3:2]	Shows input dqs[1] delay.	0
DQS[0] delay	[1:0]	Shows input dqs[0] delay.	0

5.6.4 USER_CONFIG REGISTER

Register	Address	R/W	Description	Reset Value
P0_user_cfg	0x7E000304	W	16-bit DRAM controller user_cfg register	0x00
P1_user_cfg	0x7E001304	W	32-bit DRAM controller user_cfg register	0x00

Pn_user_cfg	Bit	Description	Initial State
	[31:8]	Read undefined. Write as Zero	
DQS[3] delay	[7:6]	Selects input dqs[3] delay.	0
DQS[2] delay	[5:4]	Selects input dqs[2] delay.	0
DQS[1] delay	[3:2]	Selects input dqs[1] delay.	0
DQS[0] delay	[1:0]	Selects input dqs[0] delay.	0

Revision History

날짜	작성자	버전	특이사항
2008.07.22	황승곤	1.0	최초작성