

AESOP Embedded Forum
Sejong Lee (<http://www.aesop-embedded.org>)

개 요

이 문서는 S3C6400 데이터시트에서
제 35장 AC97 Controller를 번역한 자료입니다.
오역된 부분이 있을 수 있으니 이 점 양해 부탁드립니다.

제 35장. AC97 컨트롤러

이번 장은 S3C6400 RISC 마이크로프로세서에 내장되어 있는
AC97 컨트롤러의 기능과 사용법을 설명하고 있습니다.

35.1 개관

S3C6400 의 AC97 컨트롤러 장치는 AC97 revision 2.0 특성을 지원한다. AC97 컨트롤러는 audio controller link (AC-link)를 사용해서 AC97 코덱과 통신한다. 컨트롤러는 스테레오 PCM 데이터를 코덱으로 보낸다. 코덱에 있는 외부 DAC(digital-to-analog converter)는 오디오 샘플을 아날로그 오디오 파형으로 변환한다. 컨트롤러는 코덱으로부터 스테레오 PCM 데이터와 모노 Mic 데이터를 수신하고 메모리에 저장한다. 이번 장은 AC97 컨트롤러 장치에 대한 프로그래밍 모델을 설명한다. 이번 장의 선행조건으로서 AC97 revision 2.0 스펙에 대한 이해가 필요하다.

35.2 특징

AC97 컨트롤러는 다음의 특징을 포함하고 있다.

- 스테레오 PCM In(Slot3, Slot4), 모노 Mic(Slot6), 스테레오 PCM Out(Slot3, Slot4)을 위한 독립 채널들.
- 모든 채널은 오직 16비트 샘플만 지원.
- 가변적 샘플링 비율의 AC97 코덱 인터페이스 (48KHz와 그 이하)
- 채널을 위한 16비트, 16depth FIFO
- 오직 primary Codec만 지원

35.3 Signals

Name	Direction	Description
X97RESETn	Output	AC_RESETn : Active-low CODEC reset.
X97BITCLK	Input	AC_BIT_CLK : 12.288MHz bit-rate clock
X97SYNC	Output	AC_SYNC : 48 kHz frame indicator and synchronizer
X97SDO	Output	AC_SDO : Serial audio output data.
X97SDI	Input	AC_SDI : Serial audio input data.

35.4 AC97 컨트롤러 동작

이번 단락은 AC-link, Power-down, Wake-up 절차에 관련한 AC97 컨트롤러 동작에 대해 설명한다.

35.4.1 블록 다이어그램

Figure 35-1 은 S3C6400 AC97 컨트롤러의 기능적 블록 다이어그램을 보여주고 있다. AC-link 로부터의 AC97 신호는 점대점 동기 시리얼 상호연결(point-to-point synchronous serial inter-connecting)이다. 이 신호는 양방향(full-duplex) 데이터 전송을 지원한다. 모든 디지털 오디오 스트림과 command/status 정보들은 AC-link 를 통해 통신한다.

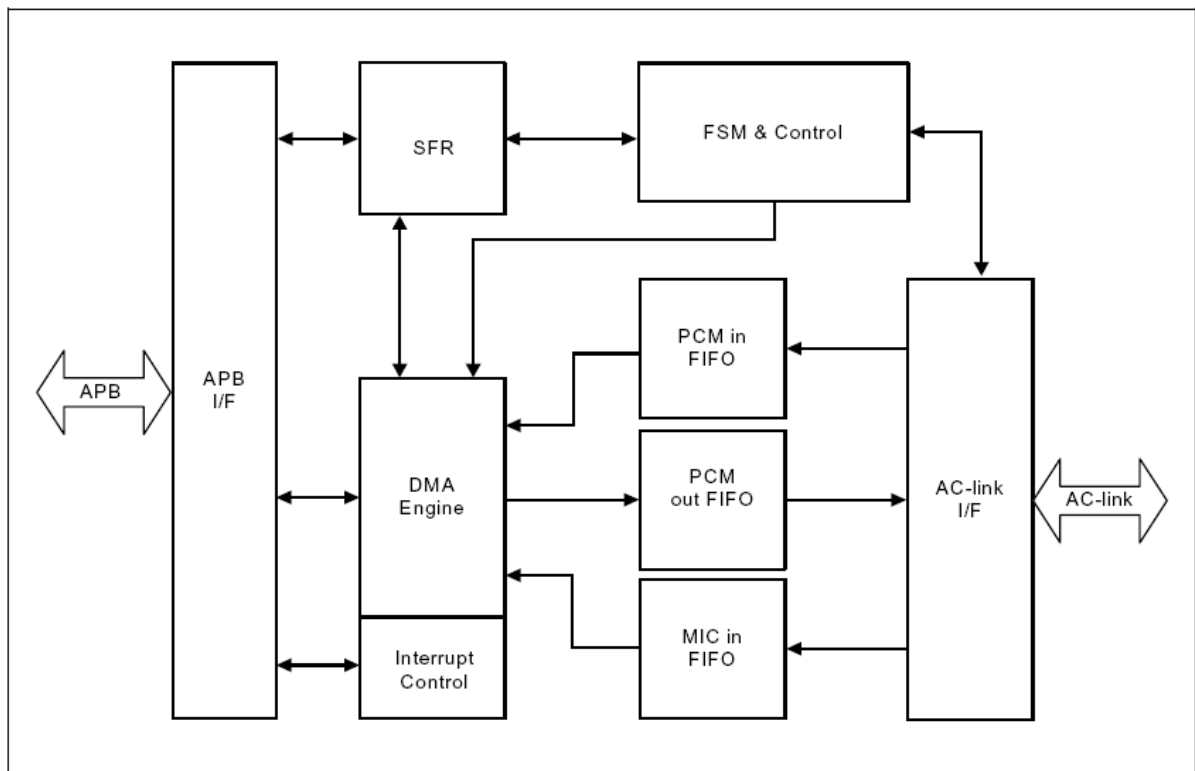


Figure 35-1. AC97 Block Diagram

35.4.2 Internal Data Path (내부 데이터 경로)

Figure 35-2 는 S3C6400 AC97 컨트롤러의 내부 데이터 경로를 보여주고 있다. 이것은 스테레오 Pulse Code Modulated(PCM) In, 스트레오 PCM Out, 모노 Mic-in 버퍼를 가지고 있고, 16 비트와 16 엔트리 버퍼로 구성되어 있다. 또한 AC-link 를 통한 20 비트 I/O 시프트 레지스터를 가지고 있다.

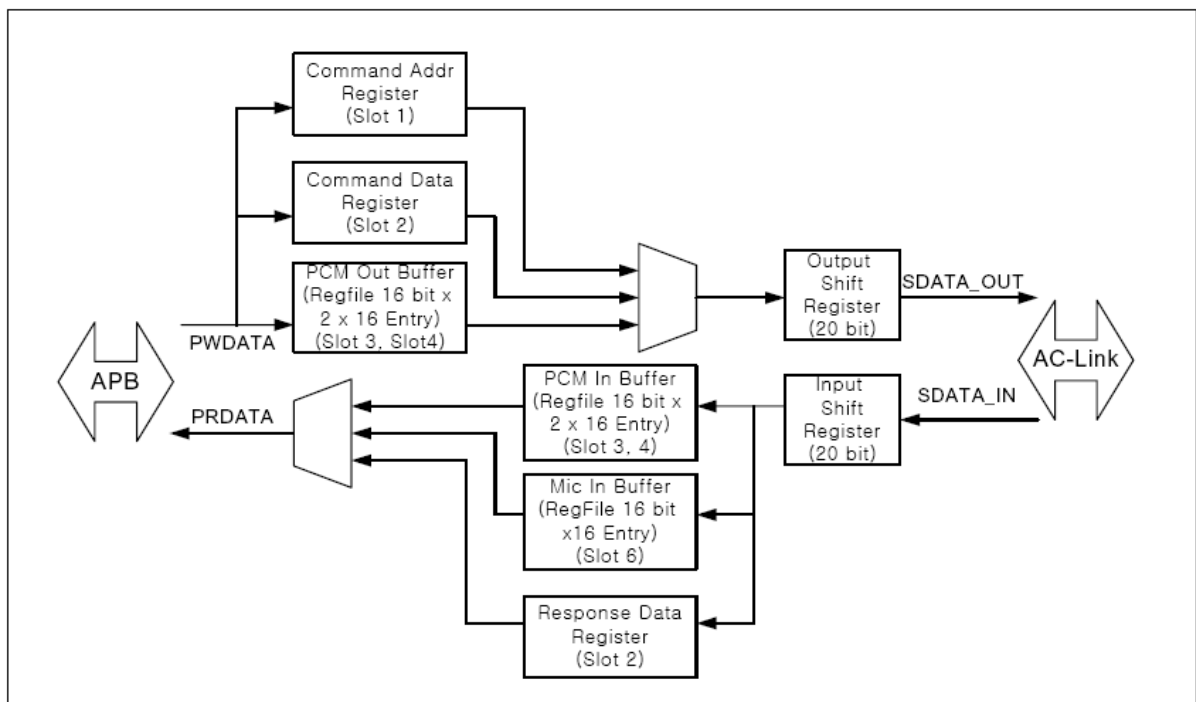


Figure 35-2. Internal Data Path

35.4.3 동작 플로우 차트 (Operation Flow Chart)

AC97 컨트롤러를 초기화할 때, 사용자는 system 리셋 또는 cold 리셋을 해야한다. 왜냐하면 우리는 외부 AC97 오디오 코덱의 이전 상태를 모르기 때문이다. 이로서 GPIO 가 이미 준비되었다는게 확실해진다. 그 다음 사용자는 codec ready interrupt 를 활성화한다. 사용자는 polling 이나 interrupt 에 의해 codec ready interrupt 를 체크할 수 있다. 인터럽트가 발생했을 때, 사용자는 codec ready interrupt 를 반드시 해제해야 한다. 이제부터 DMA 나 PIO(directly to write data to register)를 사용해서 메모리로부터 레지스터로 또는 레지스터로부터 메모리로 데이터를 전송할 수 있다. 만약 내부 FIFO(TX FIFO 또는 RX FIFO)가 비어있지 않다면, 데이터가 전송될 수 있게 해준다. 추가로 사용자는 미리 AC-Link 를 켤 수 있다.

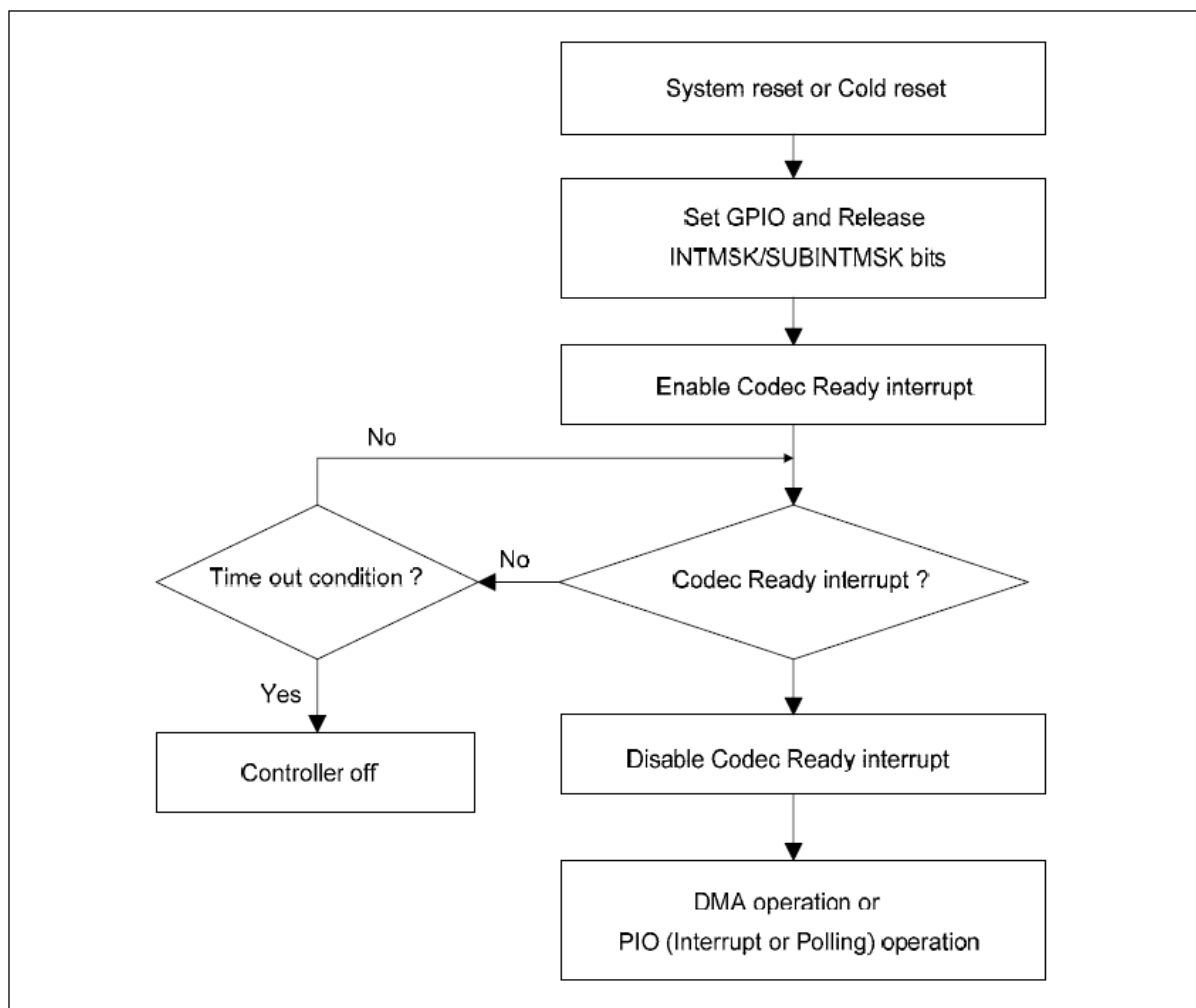


Figure 35-3. AC97 Operation Flow Chart

35.4.4 AC-LINK 디지털 인터페이스 프로토콜

각각의 AC97 코덱은 5 개 핀의 디지털 시리얼 인터페이스로 짜여져 있고 S3C6400 의 AC97 컨트롤러와 연결된다. AC-link 는 양방향이고, 고정된 클럭, PCM 디지털 스트림이다. AC-link 는 control register 액세스와 다중 입출력 오디오 스트림을 다루기 위해 time division multiplexed(TDM) 스키마를 사용한다. AC-link 구조는 각각의 오디오 프레임을 12 개의 나가는 데이터 스트림과 12 개의 들어오는 데이터 스트림으로 나눈다. 각각의 스트림은 20 비트 샘플 해상도를 가지고 있고 DAC 와 최소 16 비트 해상도의 ADC(analog-to-digital converter)가 요구된다.

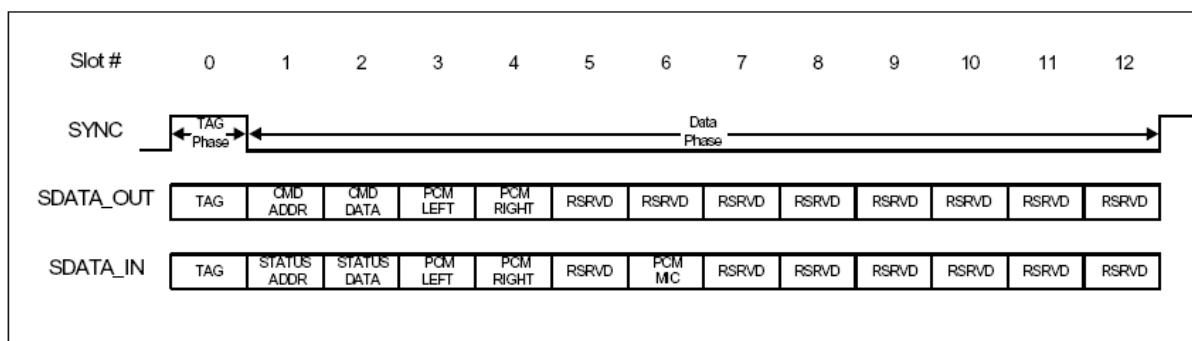


Figure 35-4. Bi-directional AC-link Frame with Slot Assignments

Figure 35-4 는 S3C6400 AC97 컨트롤러에 의해 제공되는 슬롯 정의를 보여준다. S3C6400 AC97 컨트롤러는 AC-link 상의 모든 데이터 트랜잭션에 대해 동기화를 제공해준다.

데이터 트랜잭션은 13 time slot 그룹으로 분해되며 총 256 비트 정보로 구성되어 있고 이것을 프레임이라 부른다. time slot 0 은 Tag Phase 라 부르고 16 비트의 길이이다. 다른 12 개의 time slot 들은 Data Phase 라 부른다. Tag Phase 는 유효한 프레임인지 판단하는 1 비트와 Data Phase 의 time slot 에 유효한 데이터를 가지고 있는지를 인식하기 위한 12 비트를 포함하고 있다. 각각의 Data Phase 에 있는 time slot 은 20 비트의 길이이다. 프레임은 SYNC 가 high 로 될 때 시작한다. 시간의 총합은 SYNC 가 high 일 때 Tag Phase 에 따른다. AC97 프레임은 고정된 48KHz 간격에서 발생하고 12.288MHz 의 비트율 클럭인 BITCLK 와 동기적이다.

컨트롤러와 코덱은 언제 데이터를 전송할지와 언제 수신된 데이터를 샘플링할지 결정하기 위해 SYNC 와 BITCLK 를 사용한다. transmitter 천이는 각각의 BITCLK 의 rising edge 에서 시리얼 데이터 스트림을, receiver 는 BITCLK 의 falling edge 에서 시리얼 데이터 스트림을 샘플링한다. transmitter 는 시리얼 데이터 스트림의 유효한 슬롯에 반드시 Tag(꼬리표)를 붙인다. 유효한 슬롯은 slot0 에 Tag 된다. AC-link 상의 시리얼 데이터는 MSB 부터 LSB 로 정렬된다. Tag Phase 의 첫 번째 비트는 비트 15 이고 Data Phase 에 있는 각각의 슬롯의 첫 번째 비트는 비트 19 이다. 어떤 슬롯이든 슬롯의 마지막 비트는 비트 0 이다.

35.4.5 AC-LINK 출력 프레임 (SDATA_OUT)

Slot 0: Tag Phase

Slot 0 에서 첫 번째 비트(SDATA_OUT, bit 15)는 모든 프레임의 유효성을 나타낸다. 만약 비트 15 가 1 이면 현재 프레임은 적어도 하나의 유효한 time slot 을 포함하고 있다. 다음 위치의 12 비트는 12 time slot 각각에 유효한 데이터를 포함하고 있는지에 대응된다. slot 0 의 비트 0 과 1 은 다음 단락에서 설명한 것처럼 CODEC 레지스터에 I/O 읽기, 쓰기를 위해 CODEC IO 비트처럼 사용된다. 이러한 방법으로 고정된 48KHz 오디오 샘플링율을 기반으로 AC-link 와 교차하여 다른 샘플링율의 데이터 스트림을 전송할 수 있다.

Slot 1: Command Address Port

slot 1 은 control register address 와 통신하고 AC97 컨트롤러에 command information 을 read/write 한다. 소프트웨어가 primary CODEC 을 액세스할 때, 하드웨어는 프레임을 다음과 같이 설정한다.

- slot 0 에서 1, 2slot 에 대한 유효 비트가 설정된다.
- slot1 에서 비트 19 는 set(read)되거나 clear(write)된다. slot1 의 비트 18-12 는 CODEC register 의 규정된 인덱스에 설정된다. 다른것은 0(reserved)으로 채워진다.
- slot2 는 출력 프레임 때문에 writing 에 대한 데이터로 설정된다.

Slot 2: Command Data Port

slot2 는 16 비트 해상도로 데이터를 쓴다. (19:4] is valid data)

Slot3: PCM Playback Left channel

slot3 은 오디오 출력 프레임이고 왼쪽 디지털 오디오 스트림을 구성한다. 만약 16 비트보다 적은 해상도의 샘플을 가지고 있다면, AC97 컨트롤러는 슬롯에 0 으로서 모두 유효하지 못한 비트로 채운다.

Slot 4: PCM Playback Right channel

slot 4 는 오디오 출력 프레임이고 오른쪽 디지털 오디오 스트림을 구성한다. 만약 16 비트보다 적은 해상도의 샘플을 가진다면, AC97 컨트롤러는 슬롯에 0 으로서 비유효한 비트로 채울 것이다.

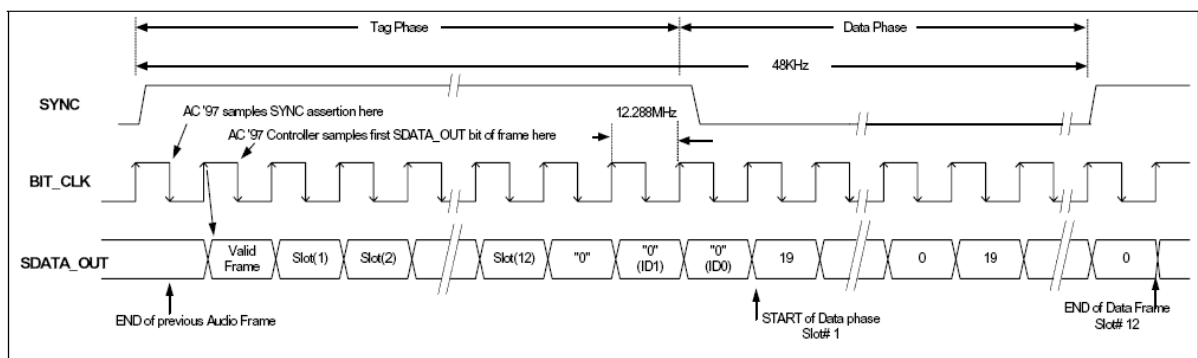


Figure 35-5. AC-link Output Frame

35.4.6 AC-LINK 입력 프레임 (SDATA_IN)

Slot 0: Tag Phase

slot 0 에서 첫 번째 비트(SDATA_OUT, bit 15)는 AC97 컨트롤러가 CODEC 준비 상태에 있는지, 아닌지를 나타낸다. 만약 CODEC ready bit 가 0 이면, 이것은 AC97 컨트롤러가 normal operation 을 위한 준비가 되지 않았다는 의미이다. 이 상태는 reset 으로 전원이 해제된 후의 평상시 상태이고 AC97 컨트롤러의 전압 참조는 안정화된다.

Slot1: Status Address Port/SLOTREQ bits

status port 는 AC97 컨트롤러의 기능에 대한 상태를 감시한다. 이것은 믹서설정이나 전원관리에 대해 제한적이지 않다. 오디오 입력 프레임 슬롯 1 의 스트림은 슬롯 2 에 데이터가 반환되었는지에 대한 control register index 를 보내온다, 만약 컨트롤러가 슬롯 0 일 동안 유효한 것처럼 슬롯 1 과 2 에 Tag 한다면, 컨트롤러는 가장 최근 읽은 command 에서 마지막 유효한 command address 가 실행된 것과 일치하는 status address 가 수반될 때 status data 를 수용한다. 다중 샘플링을 출력을 위해 CODEC 은 SLOTREQ 비트를 활성화(low)로 설정하는 것을 결정하기 위해 각각의 오디오 출력 프레임의 시작에서 sample-rate control register, FIFO state, incoming SDATA_OUT tag bit 를 시험한다. SLOTREQ 비트는 다음 오디오 출력 프레임의 컨트롤러로부터 어느 출력 slot 이 데이터를 필요로 하는지를 현재 오디오 입력 프레임이 가리키는 동안 설정된다. 48KHz 로 고정된 동작에서 SLOTREQ 비트는 활성화(low)되고, 샘플은 각각의 프레임에 전송된다. multiple sample-rate 입력에서 각각의 입력 slot 을 위한 "tag"비트는 유효한 데이터가 존재하는지 아닌지를 가리킨다.

Table 35-1. Input Slot 1 Bit Definitions

Bit	Description
19	RESERVED (Filled with zero)
18-12	Control register index (Filled with zeroes if AC97 tags is invalid)
11	Slot 3 request : PCM Left channel
10	Slot 4 request : PCM Right channel
9	Slot 5 request : NA
8	Slot 6 request : MIC channel
7	Slot 7 request : NA
6	Slot 8 request : NA
5	Slot 9 request : NA
4	Slot 10 request : NA
3	Slot 11 request : NA
2	Slot 12 request : NA
1, 0	RESERVED (Filled with zero)

Slot 2: Status Data Port

slot 2 는 16 비트의 해상도를 가지는 status data 이다. ([19:4] is valid data)

Slot 3: PCM Record Left channel

오디오 입력 프레임인 Slot 3 은 AC97 코덱의 왼쪽 채널 오디오 출력이다. 만약 샘플이 16 비트보다 적은 해상도를 가지고 있다면, AC97 코덱은 슬롯에 0 을 채움으로서 유효하지 못한 비트 상태를 가지게 한다.

Slot 4: PCM Record Right channel

오디오 입력 프레임인 Slot 4 는 AC97 코덱의 오른쪽 채널 오디오 출력이다. 만약 샘플이 16 비트보다 낮은 해상도를 가진다면 AC97 코덱은 슬롯에 모두 0 을 채워서 비유효한 비트 상태로 만든다.

Slot 6: Microphone Record Data

AC97 컨트롤러는 MIC 입력 채널을 위해 오직 16 비트 해상도만 지원한다.

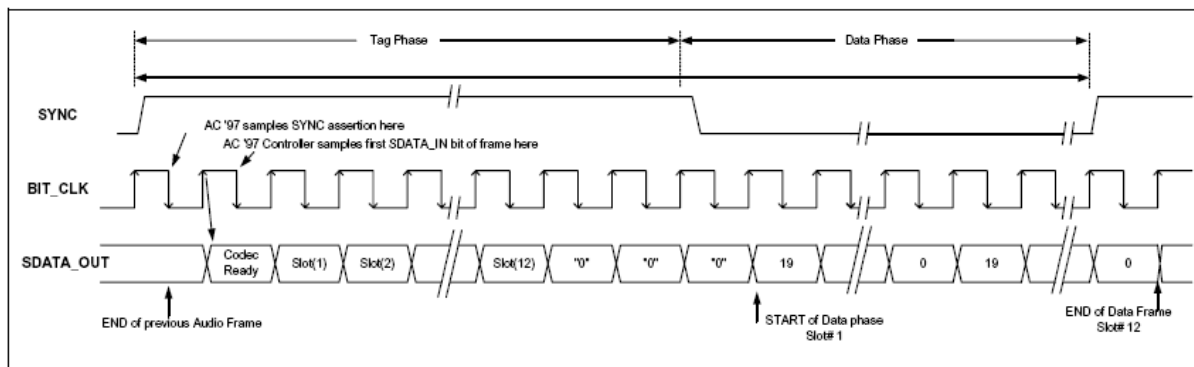


Figure 35-6. AC-link Input Frame

35.4.7 AC97 POWER-DOWN (절전)

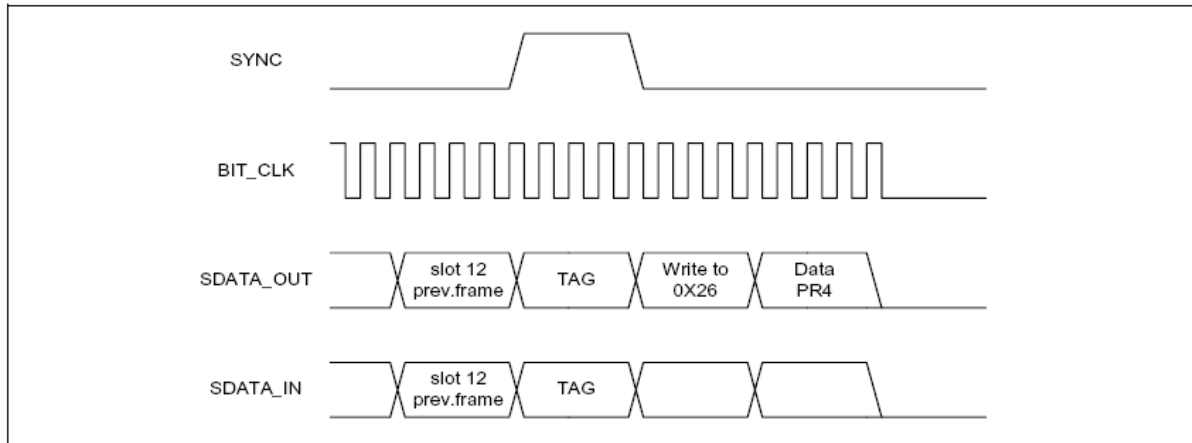


Figure 35-7. AC97 Power-down Timing

Powering Down the AC-link (AC-link 절전하기)

AC-link 신호는 AC97 코덱의 Power-down 레지스터 (0x26) 비트 PR4 가 1(by writing 0x1000)로 설정되었을 때 저전력 모드로 들어간다. 그런 다음 Primary Codec 은 BITCLK 와 SDATA_IN 둘 다 논리 0 의 전압 상태로 만든다. 타이밍 다이어그램에 따르는 절차는 Figure 35-7 에서 보여주고 있다.

AC97 컨트롤러는 AC-link 를 통해 Power-down 레지스터 (0x26)에 쓴것을 전송한다. AC97 컨트롤러를 설정하는 것은 Power-down 레지스터 비트 PR4(data 0x1000)에 쓰기할 때 slot3-12 로 데이터를 전송하지 못하게 하기 위해서이고 power down 요청을 받았을 때, 다른 데이터 처리를 위해서 Codec 은 필요하지 않다. Codec 프로세스가 요청하면 BITCLK 와 SDATA_IN 은 즉시 논리 0 레벨로 천이한다. AC97 컨트롤러는 AC_GLBCTRL 레지스터에 프로그래밍한 후, SYNC 와 SDATA_OUT 을 논리 0 레벨로 만든다.

Waking up the AC-link – Wake Up Triggered by AC97 Controller

AC-link 프로토콜은 AC97 cold 리셋과 AC97 warm 리셋을 제공한다. 현재의 power-down state 는 궁극적으로 AC97 리셋을 사용했는지를 나타낸다. 레지스터들은 AC97 cold 리셋이 수행되지 않는한 모든 power-down 모드 동안에는 같은 상태에 머물러야 한다. AC97 cold 리셋에서, AC97 레지스터는 기본 값들로 초기화한다. power down 이 된 후에, AC-link 는 SYNC 신호 재실행에 의한 재시작을 하기 전에 프레임에서 power-down 이 발생한 후, 최소값인 4 오디오 프레임 시간동안 반드시 기다려야 한다. AC-link 의 전위소비량이 증가할 때, 이것은 Codec ready bit (input slot0, bit 15)를 통한 용이함을 나타낸다.

Cold AC97 Reset

cold 리셋은 nRESET 핀이 AC_GLBCTRL 을 통해서 설정되었을 때, 생성된다. nRESET 수행하거나 취소하는 것은 BITCLK 와 SDATA_OUT 을 활성화한다. 모든 AC97 control register 는 리셋 값으로서 기본 power 로 초기화한다. nRESET 는 비동기 AC97 입력이다.

Warm AC97 Reset

Warm AC97 reset 은 현재의 AC97 레지스터 값 변경없이 AC-link 를 원래대로 복귀시킨다. warm 리셋은 BITCLK 가 없고 SYNC 가 high 일 때 발생한다. 보통의 오디오 프레임에서 SYNC 는 동기적 AC97 입력이다. BITCLK 가 없을 때, SYNC 는 AC97 로 warm 리셋을 발생해서 비동기적 입력처럼 다뤄진다. AC97 컨트롤러는 SYNC 가 다시 low 로 될 때까지 BITCLK 는 활성화 되어서는 안된다. 이것은 새로운 오디오 프레임이 거짓으로 감지되는 것을 막아준다.

35.4.8 AC97 컨트롤러의 상태 다이어그램

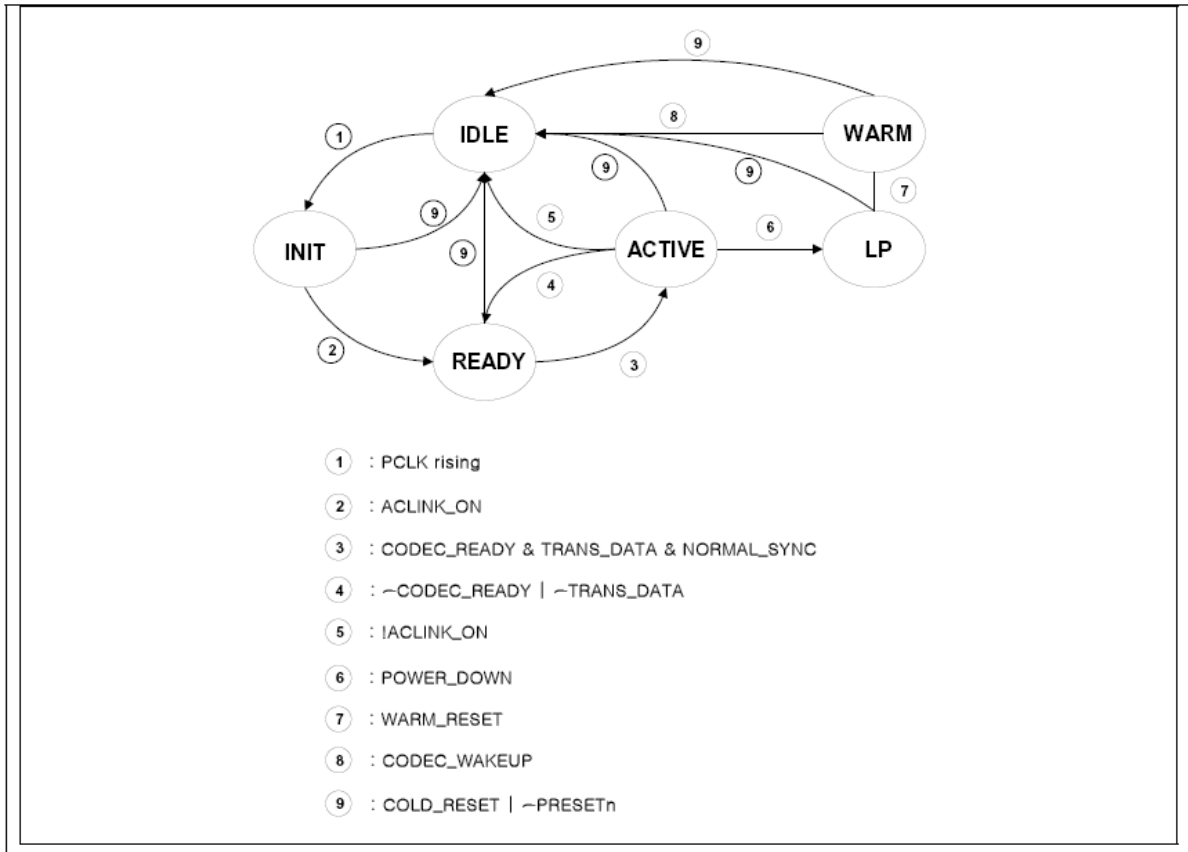


Figure 35-8. AC97 State Diagram

이것은 AC97 컨트롤러의 상태 다이어그램이다. AC97 컨트롤러의 state machine 을 이해하는데 도움이 될 것이다. 위 그림에서 상태는 peripheral clock(PCLK)에 의해 동기화된다. AC_GLBSTAT 레지스터로 상태를 감시(monitor)할 수 있다.

35.5 AC97 컨트롤러 특수 레지스터

AC97 Special function register summary

Register	Address	R/W	Description	Reset Value
AC_GLBCTRL	0x7F001000	R/W	AC97 Global Control Register	0x00000000
AC_GLBSTAT	0x7F001004	R	AC97 Global Status Register	0x00000001
AC_CODEC_CMD	0x7F001008	R/W	AC97 Codec Command Register	0x00000000
AC_CODEC_STAT	0x7F00100C	R	AC97 Codec Status Register	0x00000000
AC_PCMADDR	0x7F001010	R	AC97 PCM Out/In Channel FIFO Address Register	0x00000000
AC_MICADDR	0x7F001014	R	AC97 Mic In Channel FIFO Address Register	0x00000000
AC_PCMDATA	0x7F001018	R/W	AC97 PCM Out/In Channel FIFO Data Register	0x00000000
AC_MICDATA	0x7F00101C	R	AC97 MIC In Channel FIFO Data Register	0x00000000

35.5.1 AC97 GLOBAL CONTROL REGISTER (AC_GLBCTRL)

This is the global register of the AC97 controller. There are interrupt control registers, DMA control registers, AC-Link control register, data transmission control register and related reset control register.

Register	Address	R/W	Description	Reset Value
AC_GLBCTRL	0x7F001000	R/W	AC97 Global Control Register	0x00000000

AC_GLBCTRL	Bit	Description	Initial State
-	[31]	Reserved.	0
Codec ready interrupt clear	[30]	1 : Interrupt clear(write only)	0
PCM out channel underrun interrupt clear	[29]	1 : Interrupt clear(write only)	0
PCM in channel overrun interrupt clear	[28]	1 : Interrupt clear(write only)	0
Mic in channel overrun interrupt clear	[27]	1 : Interrupt clear(write only)	0
PCM out channel threshold interrupt clear	[26]	1 : Interrupt clear(write only)	0
PCM in channel threshold interrupt clear	[25]	1 : Interrupt clear(write only)	0
MIC in channel threshold interrupt clear	[24]	1 : Interrupt clear(write only)	0
-	[23]	Reserved	0
Codec ready interrupt enable	[22]	0 : Disable 1 : Enable	0
PCM out channel underrun interrupt enable	[21]	0 : Disable 1 : Enable (FIFO is empty)	0

AC_GLBCTRL	Bit	Description	Initial State
PCM in channel overrun interrupt enable	[20]	0 : Disable 1 : Enable (FIFO is full)	0
Mic in channel overrun interrupt enable	[19]	0 : Disable 1 : Enable (FIFO is full)	0
PCM out channel threshold interrupt enable	[18]	0 : Disable 1 : Enable (FIFO is half empty)	0
PCM in channel threshold interrupt enable	[17]	0 : Disable 1 : Enable (FIFO is half full)	0
MIC in channel threshold interrupt enable	[16]	0 : Disable 1 : Enable (FIFO is half full)	0
-	[15:14]	Reserved.	00
PCM out channel transfer mode	[13:12]	00 : Off 01 : PIO 10 : DMA 11 : Reserved	00
PCM in channel transfer mode	[11:10]	00 : Off 01 : PIO 10 : DMA 11 : Reserved	00
MIC in channel transfer mode	[9:8]	00 : Off 01 : PIO 10 : DMA 11 : Reserved	00
-	[7:4]	Reserved.	0000
Transfer data enable using AC-link	[3]	0 : Disable 1 : Enable	0
AC-Link on	[2]	0 : Off 1 : SYNC signal transfer to Codec	0
Warm reset	[1]	0 : Normal 1 : Wake up codec from power down	0
Cold reset	[0]	0 : Normal 1 : Reset Codec and Controller Registers	0

35.5.2 AC97 GLOBAL STATUS REGISTER (AC_GLBSTAT)

This is the status register. When the interrupt is occurs, you can check what the interrupt source is.

Register	Address	R/W	Description	Reset Value
AC_GLBSTAT	0x7F001004	R	AC97 Global Status Register	0x00000001

AC_GLBSTAT	Bit	Description	Initial State
-	[31:23]	Reserved.	0x00
Codec ready interrupt	[22]	0 : Not requested 1 : Requested	0
PCM out channel underrun interrupt	[21]	0 : Not requested 1 : Requested	0
PCM in channel overrun interrupt	[20]	0 : Not requested 1 : Requested	0
MIC in channel overrun interrupt	[19]	0 : Not requested 1 : Requested	0
PCM out channel threshold interrupt	[18]	0 : Not requested 1 : Requested	0
PCM in channel threshold interrupt	[17]	0 : Not requested 1 : Requested	0
MIC in channel threshold interrupt	[16]	0 : Not requested 1 : Requested	0
-	[15:3]	Reserved.	0x000
Controller main state	[2:0]	000 : Idle 001 : Init 010 : Ready 011 : Active 100 : LP 101 : Warm	001

35.5.3 AC97 CODEC COMMAND REGISTER (AC_CODEC_CMD)

When you control writing or reading, you must set the Read enable bit. If you want to write data to the AC97 Codec, you set the index (or address) of the AC97 Codec and data.

Register	Address	R/W	Description	Reset Value
AC_CODEC_CMD	0x7F001008	R/W	AC97 Codec Command Register	0x00000000

AC_CODEC_CMD	Bit	Description	Initial State
-	[31:24]	Reserved	0x00
Read enable	[23]	0 : Command write (1) 1 : Status read	0
Address	[22:16]	Codec command address	0x00
Data	[15:0]	Codec command data	0x0000

NOTE: When the commands are written on the AC_CODEC_CMD register, It is recommended to have the delay time between the command and the next command is more than 1 / 48kHz.

35.5.4 AC97 CODEC STATUS REGISTER (AC_CODEC_STAT)

If the Read enable bit is 1 and Codec command address is valid, Codec status data is also valid.

Register	Address	R/W	Description	Reset Value
AC_CODEC_STAT	0x7F00100C	R	AC97 Codec Status Register	0x00000000

AC_CODEC_STAT	Bit	Description	Initial State
-	[31:23]	Reserved.	0x00
Address	[22:16]	Codec status address	0x00
Data	[15:0]	Codec status data	0x0000

NOTES: If you want to read data from AC97 codec register via the AC_CODEC_STAT register, you must follow the following steps.

1. Write command address and data on the AC_CODEC_CMD register with Bit[23] =1.
2. Have a proper delay. It depends on Codec type
3. Read command address and data from AC_CODEC_STAT register.

35.5.5 AC97 PCM OUT/IN CHANNEL FIFO ADDRESS REGISTER (AC_PCMADDR)

To index the internal PCM FIFOs address.

Register	Address	R/W	Description	Reset Value
AC_PCMADDR	0x7F001010	R	AC97 PCM Out/In Channel FIFO Address Register	0x00000000

AC_PCMADDR	Bit	Description	Initial State
-	[31:28]	Reserved.	0000
Out read address	[27:24]	PCM out channel FIFO read address	0000
-	[23:20]	Reserved.	0000
In read address	[19:16]	PCM in channel FIFO read address	0000
-	[15:12]	Reserved.	0000
Out write address	[11:8]	PCM out channel FIFO write address	0000
-	[7:4]	Reserved.	0000
In write address	[3:0]	PCM in channel FIFO write address	0000

35.5.6 AC97 MIC IN CHANNEL FIFO ADDRESS REGISTER (AC_MICADDR)

To index the internal MIC-in FIFO address.

Register	Address	R/W	Description	Reset Value
AC_MICADDR	0x7F001014	R	AC97 MIC In Channel FIFO Address Register	0x00000000

AC_MICADDR	Bit	Description	Initial State
-	[31:20]	Reserved.	0000
Read address	[19:16]	MIC in channel FIFO read address	0000
-	[15:4]	Reserved.	0x000
Write address	[3:0]	MIC in channel FIFO write address	0000

35.5.7 AC97 PCM OUT/IN CHANNEL FIFO DATA REGISTER (AC_PCMDATA)

This is PCM out/in channel FIFO data register.

Register	Address	R/W	Description	Reset Value
AC_PCMDATA	0x7F001018	R/W	AC97 PCM Out/In Channel FIFO Data Register	0x00000000

AC_PCMDATA	Bit	Description	Initial State
Right data	[31:16]	PCM out/in right channel FIFO data Read : PCM in right channel Write : PCM out right channel	0x0000
Left data	[15:0]	PCM out/in left channel FIFO data Read : PCM in left channel Write : PCM out left channel	0x0000

35.5.8 AC97 MIC IN CHANNEL FIFO DATA REGISTER (AC_MICDATA)

This is MIC-in channel FIFO data register.

Register	Address	R/W	Description	Reset Value
AC_MICDATA	0x7F00101C	R	AC97 MIC In Channel FIFO Data Register	0x00000000

AC_MICDATA	Bit	Description	Initial State
-	[31:16]	Reserved	0x0000
Mono data	[15:0]	MIC in mono channel FIFO data	0x0000

Revision History

Date	Editor	Version	Descriptions
2008-08-11	Sejong Lee	1.0	최초 작성