

AESOP Embedded Forum
Sejong Lee (<http://www.aesop-embedded.org>)

개 요

이 문서는 S3C6400 데이터시트에서
제 8장 Nand Flash Controller를 번역한 것입니다.

제 8장. 낸드 플래시 컨트롤러

S3C6400 CPU는 낸드플래시 메모리를 제어할 수 있는 컨트롤러가 내장되어 있습니다.
S3C6400은 NAND 플래시 뿐만 아니라 SRAM과 NAND가 결합된 퓨전메모리인
OneNAND 플래시 메모리도 지원합니다.

8.1 개관

최근들어 NOR 플래시 메모리 가격이 상승하였으며 SDRAM과 NAND 플래시 메모리의 가격은 알맞은 상태이다. 이것은 업체가 낸드플래시로 부트코드를 실행하거나 SDRAM에 메인코드를 실행하는 것을 선호하는 이유가 된다.

S3C6400의 부트코드는 외부 NAND 플래시 메모리상에서 실행할 수 있다. S3C6400은 'Steppingstone'(징검돌)이라 부르는 내부 SRAM을 갖추고 있다. 이것은 NAND flash boot loader를 지원한다. 부팅할 때 낸드 플래시의 처음 4KB는 Steppingstone에 적재되고 Steppingstone에 적재된 부트코드는 실행된다.

일반적으로 부트코드는 NAND 플래시의 내용들을 SDRAM으로 복사한다. 하드웨어 ECC를 사용하여 낸드 플래시 데이터의 유효성을 검사한다. 낸드 플래시의 내용을 SDRAM으로 복사한 후, 메인 프로그램은 SDRAM에서 실행된다.

낸드 플래시를 사용하려면, 'XSELNAND'핀을 High Level로 연결해야 한다.

8.2 특징

낸드 플래시 컨트롤러는 다음의 특징을 포함하고 있다.

1. Auto boot: 리셋하는 동안 부트코드는 4KB Steppingstone에 전송된다. 부트코드가 전송된 후 부트코드는 Steppingstone에서 실행된다. Note: 낸드 플래시 컨트롤러는 부팅할 때 ECC 오류정정을 지원하지 않는다.
2. Nand Flash memory 인터페이스: 512Bytes 페이지와 2KB 페이지 지원
3. Software mode: 사용자는 낸드 플래시 메모리를 직접 접근할 수 있다. 예를들면 read/erase/program을 할 수 있다.
4. 인터페이스: 8비트 NAND flash memory interface bus.
5. 하드웨어 ECC 생성, Detection and indication (Software correction)
6. SLC, MLC 플래시 메모리 둘 다 지원: 1비트 ECC and 4비트 ECC 지원 for NAND Flash.(추천: 1비트 ECC는 SLC에 사용, 4비트 ECC는 MLC 낸드 플래시에 사용)
7. SFR 인터페이스: Data와 ECC Data register 접근을 위한 Byte/half word/word 지원 그리고 other registers 접근을 위한 Word 지원
8. Steppingstone 인터페이스: Byte/half word/word 접근 지원
9. 내부 SRAM 버퍼에 있는 4KB Steppingstone은 낸드플래시 부팅후에 다른 목적으로 사용할 수 있다.

8.3 블록 다이어그램

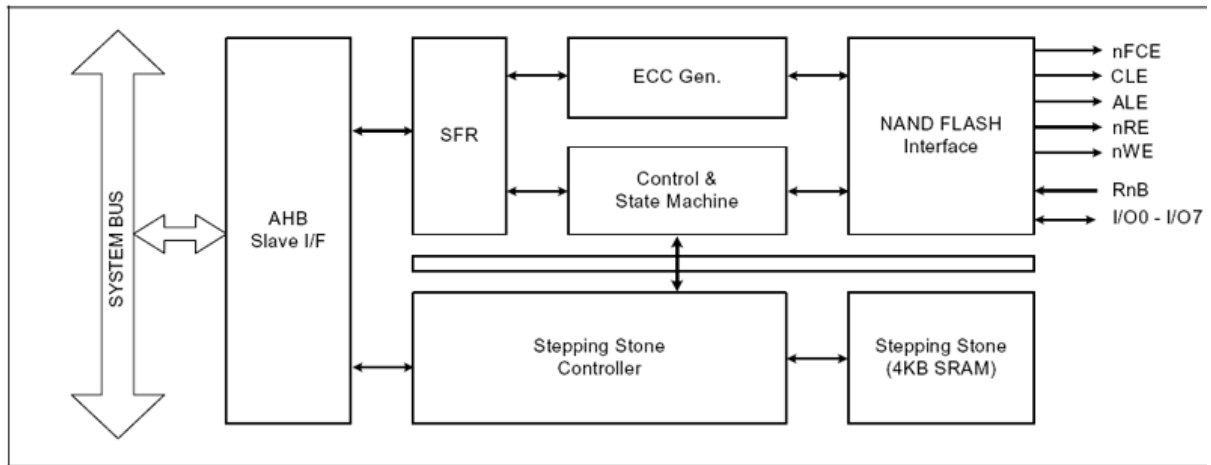


Figure 8-1. 낸드 플래시 컨트롤러 블록 다이어그램

8.4 부트로더 기능

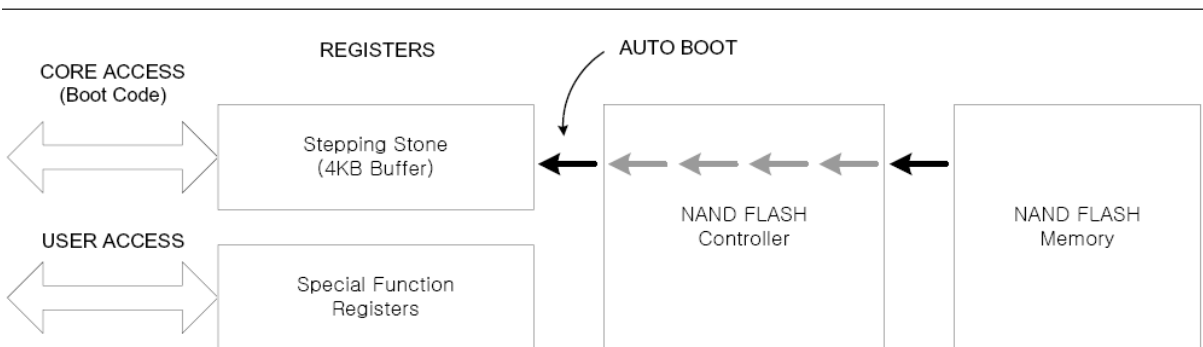


Figure 8-2. 낸드 플래시 컨트롤러 부트로더 블록 다이어그램

리셋하는 동안 낸드 플래시 컨트롤러는 XOM 핀의 상태를 이용하여 장착된 낸드 플래시의 정보를 가져온다. (PIN CONFIGURATION 참고) 파워 온 리셋 또는 시스템 리셋의 경우, 낸드 플래시 컨트롤러는 4KB 부트로더 코드를 자동으로 steppingstone으로 적재한다. 부트로더 코드의 이동이 끝난 후 코드는 steppingstone에서 실행된다.

NOTE

Auto-boot 모드의 경우, 부트로더 코드를 위한 ECC 검사는 하지 않는다. 따라서 낸드 플래시의 처음 4KB는 비트 에러를 가져서는 안된다.

8.5 핀 설정 테이블

OM[4:0]	PageSize	AddrCycle
0000x	0 (512-byte)	0 (3 cycle)
0001x	0 (512-byte)	1 (4 cycle)
0010x	1 (2-Kbyte)	0 (4 cycle)
0011x	1 (2-Kbyte)	1 (5 cycle)

위의 설정값은 낸드 플래시를 부팅메모리로 사용할 때 적절하다. 만약 낸드 플래시가 부트메모리로 사용하지 않는다면, 설정값은 NFINCON SFR 'NFINCONF' (0x70200000)를 setting함으로서 변경할 수 있다. PageSize와 AddrCycle은 모두 NFINCONF(0x70200000)에 있는 필드(기록란,항목)이다.

8.6 낸드 플래시 메모리 타이밍

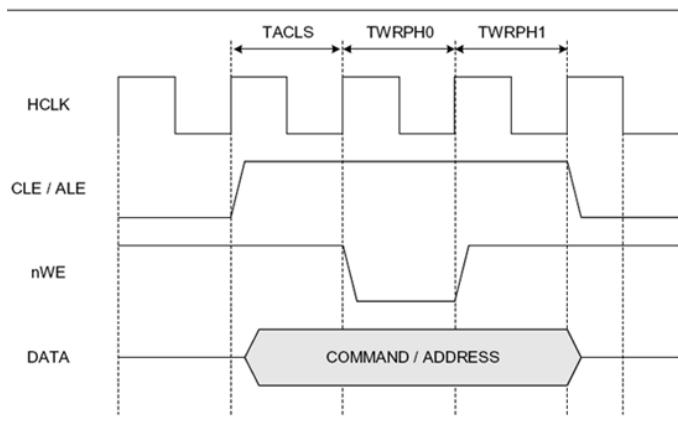


Figure 8-3. CLE & ALE 타이밍 (TACLS=1, TWRPH0=0, TWRPH1=0) 블록 다이어그램

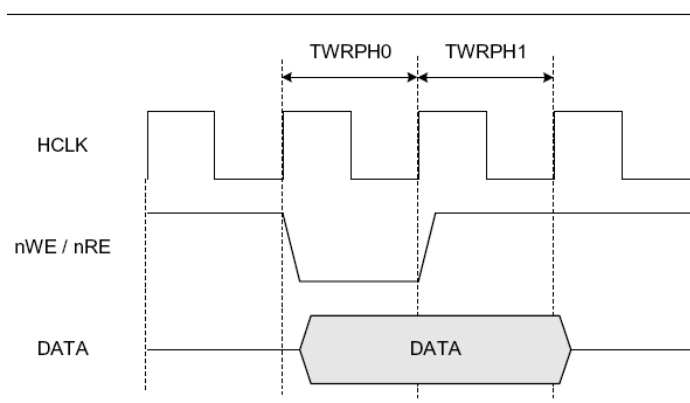


Figure 8-4. nWE & nRE 타이밍 (TWRPH0=0, TWRPH1=0) 블록 다이어그램

8.7 낸드 플래시 액세스

S3C6400X는 낸드 플래시를 직접적으로 접근하는 방법을 지원하지 않는다. S3C6400X는 낸드 플래시 접근을 위해 신호 제어 방법(signal control mechanism)만 지원한다.

command register에 쓰기(NFCMMD) = 낸드 플래시 command cycle

address register에 쓰기(NFADDR) = 낸드 플래시 address cycle

data register에 쓰기(NFDATA) = 낸드 플래시에 데이터 쓰기 (write cycle)

data register로부터 읽기(NFDATA) = 낸드 플래시로부터 데이터 읽기 (read cycle)

main ECC 레지스터와 Spare ECC 레지스터 읽기(NFMECCD0/1, NFSECCD) = 낸드 플래시로부터 데이터 읽기

NOTE

낸드 플래시를 액세스 할 때, polling the signal 또는 인터럽트를 사용하여 RnB 상태 입력 핀을 체크해야 한다.

8.8 데이터 레지스터 설정

8비트 낸드 플래시 메모리 인터페이스

A. Word Access

Register	Bit [31:24]	Bit [23:16]	Bit [15:8]	Bit [7:0]
NFDATA	4 th I/O[7:0]	3 rd I/O[7:0]	2 nd I/O[7:0]	1 st I/O[7:0]

B. Half-word Access

Register	Bit [31:24]	Bit [23:16]	Bit [15:8]	Bit [7:0]
NFDATA	Invalid value	Invalid value	2 nd I/O[7:0]	1 st I/O[7:0]

C. Byte Access

Register	Bit [31:24]	Bit [23:16]	Bit [15:8]	Bit [7:0]
NFDATA	Invalid value	Invalid value	Invalid value	1 st I/O[7:0]

8.9 징검돌 (4KB SRAM)

낸드 플래시 컨트롤러는 부팅시 Steppingstone(징검돌)을 버퍼로 사용한다. 그리고 Steppingstone은 여러 다른 목적으로도 사용할 수 있다.

8.10 1-BIT/4-BIT ECC (에러 정정 코드)

낸드 플래시 컨트롤러는 1-bit ECC를 위한 4개의 ECC (Error Correction Code) 모듈과 4-bit ECC를 위한 1개의 ECC 모듈을 가지고 있다.

Main data 영역을 위한 1-bit ECC 모듈은 2048 bytes ECC 패리티 코드 생성용으로 사용될 수 있다. 그리고 Spare 영역을 위한 1 bit ECC 모듈은 4 bytes ECC 패리티 코드 생성용으로 사용될 수 있다.

4-bit ECC 모듈은 512 bytes ECC 패리티 코드 생성용으로 사용될 수 있다.

4-bit ECC 모듈은 512 bytes마다 패리티 코드를 생성한다. 그러나 1 bit ECC 모듈은 byte 마다 패리티 코드를 생성한다.

8.10.1 ECC 모듈의 특징

ECC 생성은 Control Register의 ECC Lock(MainECCLock, SpareECCLock) bit에 의해 제어된다. ECCLock이 Low일 때, ECC 코드는 H/W ECC 모듈에 의해 생성된다.

1-BIT ECC 레지스터 설정

다음의 표는 외부 낸드 플래시의 Spare영역을 읽어서 1-bit ECC 값을 설정하는 것을 보여준다. H/W 모듈에 의해 생성된 ECC 패리티 코드를 비교하기 위해서는 메모리로부터 읽은 각각의 ECC 데이터는 반드시 main영역을 위한 NFMECCDn에 Spare영역을 위한 NFSECCD에 각각 라이팅(write)해야 한다.

NOTE

4-bit ECC를 해독(복호화)하는 scheme(도식, 방법)은 1-bit ECC와 다르다.

1. 낸드 플래시 메모리 인터페이스

Register	Bit [31:24]	Bit [23:16]	Bit [15:8]	Bit [7:0]
NFMECCD0	Not used	2 nd ECC for I/O[7:0]	Not used	1 st ECC for I/O[7:0]
NFMECCD1	Not used	4 th ECC for I/O[7:0]	Not used	3 rd ECC for I/O[7:0]

Register	Bit [31:24]	Bit [23:16]	Bit [15:8]	Bit [7:0]
NFSECCD	Not used	2 nd ECC for I/O[7:0]	Not used	1 st ECC for I/O[7:0]

8.10.2 1-BIT ECC 인코딩과 디코딩 프로그래밍

소프트웨어 모드로 1-bit ECC를 사용하려면 ECCType을 0(enable 1-bit ECC)으로 리셋한다. ECC 모듈은 MainECCLock (NFCONT[7])과 SpareECCLock (NFCONT[6])이 unlocked('0') 되었을 때 read/write data를 위한 ECC parity code를 생성한다. 사용자는 InitMECC (NFCONT[5])와 InitSECC (NFCONT[4]) 비트에 1을 writing 함으로서 ECC 값을 초기화 해야하고 데이터를 read 또는 write하기 전에 MainECCLock (NFCONT[7]) 비트를 '0'(unlock)으로 clear해야 한다.

MainECCLock (NFCONT[7])과 SpareECCLock (NFCONT[6]) 비트는 ECC Parity code가 생성되었는지 아닌지를 제어한다.

ECC 모듈은 데이터를 읽거나 썼다면 언제나 NFMECC0/1 레지스터에 ECC parity code를 생성한다.

한 페이지를 읽거나 쓰기완료한 후에(spare영역은 포함하지 않음) MainECCLock 비트를 '1'(Lock)로 SET한다. ECC parity code는 잠겨지고 ECC 상태 레지스터의 값은 변경될 것이다.

Spare영역의 ECC parity code를 생성하기 위해서는 SpareECCLock (NFCONT[6]) 비트를 '0'(unlock)으로 clear한다.

데이터를 읽거나 쓸때면 spare영역 ECC 모듈은 NFSECC 레지스터에 ECC parity code를 생성한다.

spare영역을 읽거나 쓰기를 완료한 후에 SpareECCLock 비트를 '1'(Lock)로 set한다. ECC parity code는 잠겨지고 ECC 상태 레지스터의 값은 변경될 것이다.

지금부터 사용자는 이 값을 가지고 spare 영역에 기록하거나 또는 bit 에러를 체크하는데 사용할 수 있다.

예를들면, 페이지 읽기 동작에서 main data의 비트 에러를 체크하기 위해, main data영역을 위한 ECC 코드를 생성한 후에, 사용자는 ECC parity code(spare영역에 저장된다.)를 NFMECCD0과 NFMECCD1에 옮겨야 한다. 지금부터 NFECCECC0은 valid error status값을 갖는다.

NOTE:

NFSECCD는 spare영역에 대한 ECC 값이다. 보통 사용자는 main data영역으로부터 생성된 ECC 값을 spare영역에 기록(write)할 것이다. 그 값은 NFMECC0/1과 같을 것이다.

8.10.3 4-BIT ECC 프로그래밍 가이드 (인코딩)

소프트웨어 모드 상태에서 4-bit ECC를 사용하려면 MsgLength를 0 (512-byte 메시지 길이)으로 하고 ECCType을 1로 한다. ECC 모듈은 512-byte write data에 대한 ECC 패리티 코드를 생성한다. 그리고 사용자는 data write하기 전에 InitMECC (NFCONT[5]) 비트를 1로 writing해서 ECC값을 리셋해야 하고 MainECCLock (NFCONT[7]) 비트를 0 (unlock)으로 clear해야 한다.

MainECCLock (NFCONT[7]) 비트는 ECC parity code가 생성되는지 아닌지를 제어한다. 데이터 쓰기를 할 때마다 4-bit ECC 모듈은 내부적으로 ECC parity code를 생성한다.

512바이트의 데이터 쓰기(spare영역의 데이터는 포함하지 않음)를 마친 후 parity code는 NFMECC0, NFMECC1 레지스터에 자동으로 업데이트 된다. 만약 512-byte 낸드 플래시 메모리를 사용한다면 사용자는 이 값을 spare영역에 program 할 수 있다. 하지만, 512-byte page 이상의 낸드 플래시를 사용한다면 사용자는 즉시 program 할 수 없다. 이 경우에 사용자는 이 parity code를 DRAM같은 다른 메모리에 복사해야 한다. 모든 main data를 writing한 후에 사용자는 복사된 ECC 값을 Spare영역에 write 할 수 있다. Parity code는 parity code 자체를 포함하여 스스로 데이터를 정정할 수 있는 정보를 가지고 있다.

spare 영역의 ECC parity code를 생성하기 위해 MsgLength를 1로 set하고, ECCType를 1 (enable 4-bit ECC)로 한다. ECC 모듈은 24-byte write data를 위한 ECC parity code를 생성한다. 따라서 사용자는 데이터 쓰기를 하기전에 InitMECC (NFCONT[5]) 비트를 1로 하여 ECC 값을 초기화해야 하고 MainECCLock (NFCONT[7]) 비트를 0 (unlock)으로 clear해야 한다. MainECCLock (NFCONT[7]) 비트는 ECC parity code가 생성되는지 아닌지를 제어한다.

데이터가 써질때마다 4-bit ECC 모듈은 내부적으로 ECC parity code를 생성한다.

24-byte meta 데이터 또는 extra 데이터 쓰기를 마쳤을 때 parity code는 NFMECC0, NFMECC1 레지스터에 자동적으로 업데이트된다. 사용자는 이 parity code를 spare영역에 program할 수 있다. Parity code는 parity code 자체를 포함하여 스스로 에러를 교정할 수 있는 정보를 가지고 있다.

8.10.4 4-BIT 프로그래밍 가이드 (디코딩)

4-bit ECC를 사용하기 위해서는 MsgLength를 0 (512-byte message length)으로 하고 ECCType을 1 (enable 4-bit ECC)로 set한다. ECC 모듈은 512-byte read data를 위한 ECC parity code를 생성한다. 따라서 사용자는 데이터를 읽기전에 InitMECC (NFCONT[5]) 비트를 1로 writing해서 ECC 값을 reset해야 하고 MainECCLock (NFCONT[7]) 비트를 0 (unlock)으로 clear해야 한다. MainECCLock (NFCONT[7]) 비트는 ECC parity code가 생성되는지 아닌지를 제어한다.

데이터를 읽을 때마다, 4-bit ECC 모듈은 내부적으로 ECC parity code를 생성한다.

512바이트(spare영역의 데이터는 포함하지 않음.) 읽기를 완료한 후 사용자는 parity code를 읽어야 한다. 4-bit ECC 모듈은 error bit인지 아닌지를 발견하기 위해 parity code를 필요로 한다. 그래서 사용자는 512바이트를 읽은후 바로 ECC parity code를 읽어야 한다. 한 번 ECC parity code를 읽으면 4-bit ECC 엔진은 내부적으로 어떤 에러가 있는지 찾는다. 4-bit ECC 에러 검색 엔진은 어떤 에러이든 찾기위해 최소 155 사이클을 필요로 한다. 이 시간동안 사용자는 외부 낸드 플래시로부터 main data를 읽는 것을 계속할 수 있다. ECCDecDone(NFSTAT[6])은 ECC 디코딩이 끝났는지 아닌지를 체크하는 것으로 사용된다.

ECCDecDone (NFSTAT[6])이 1로 set 되었을 때 NFECCECERR0은 error비트가 존재하는지 아닌지를 나타낸다. 만약 어떤 에러가 존재한다면 사용자는 NFECCECERR0/1과 NFMLCBITPT 레지스터를 참조하여 고칠 수 있다.

만약 읽어야할 main data가 더 있다면 step2로 가서 계속한다.

meta data 에러 검사를 하기 위해서는 MsgLength를 1 (25-byte message length)로 set하고 ECCType을 1 (enable 4-bit ECC)로 한다. ECC 모듈은 24-byte read data를 위한 ECC parity code를 생성한다. 따라서 사용자는 InitMECC (NFCONT[5]) 비트를 1로 write해서 ECC 값을 reset해야 하고 ,MainECCLock (NFCONT[7]) 비트는 0 (unlock)으로 clear해야 한다. MainECCLock (NFCONT[7]) 비트는 ECC parity code가 생성되는지 아닌지를 제어한다.

데이터를 읽을 때 마다 4-bit ECC 모듈은 내부적으로 ECC parity code를 생성한다.

24-byte 읽기를 마친 후 사용자는 parity code를 읽어야 한다. 4-bit ECC 모듈은 error bit가 있는지 없는지를 발견하기 위해 parity code를 필요로 한다. 한 번 ECC parity code를 읽을 때 4-bit ECC 엔진은 내부적으로 어떤 에러가 있는지 검색을 시작한다. 4-bit ECC 에러 검색 엔진은 어떤 에러를 찾기위해 최소 155사이클이 필요하다. 이 시간 동안 사용자는 외부 낸드플래시 메모리로부터 main data 읽기를 진행할 수 있다. ECCDecDone(NFSTAT[6])은 ECC 디코딩이 완료되었는지 아닌지를 체크하는데 사용된다.

ECCDecDone (NFSTAT[6])이 1로 set되어 있을 때 NFECCECERR0은 error비트가 존재하는지 아닌지를 가리킨다. 만약 어떤 에러든 존재한다면 사용자는 NFECCECERR0/1과 NFMLCBITPT 레지스터를 참조하여 고칠 수 있다.

8.11 메모리 매핑 (낸드부트와 NOR-FLASH부트)

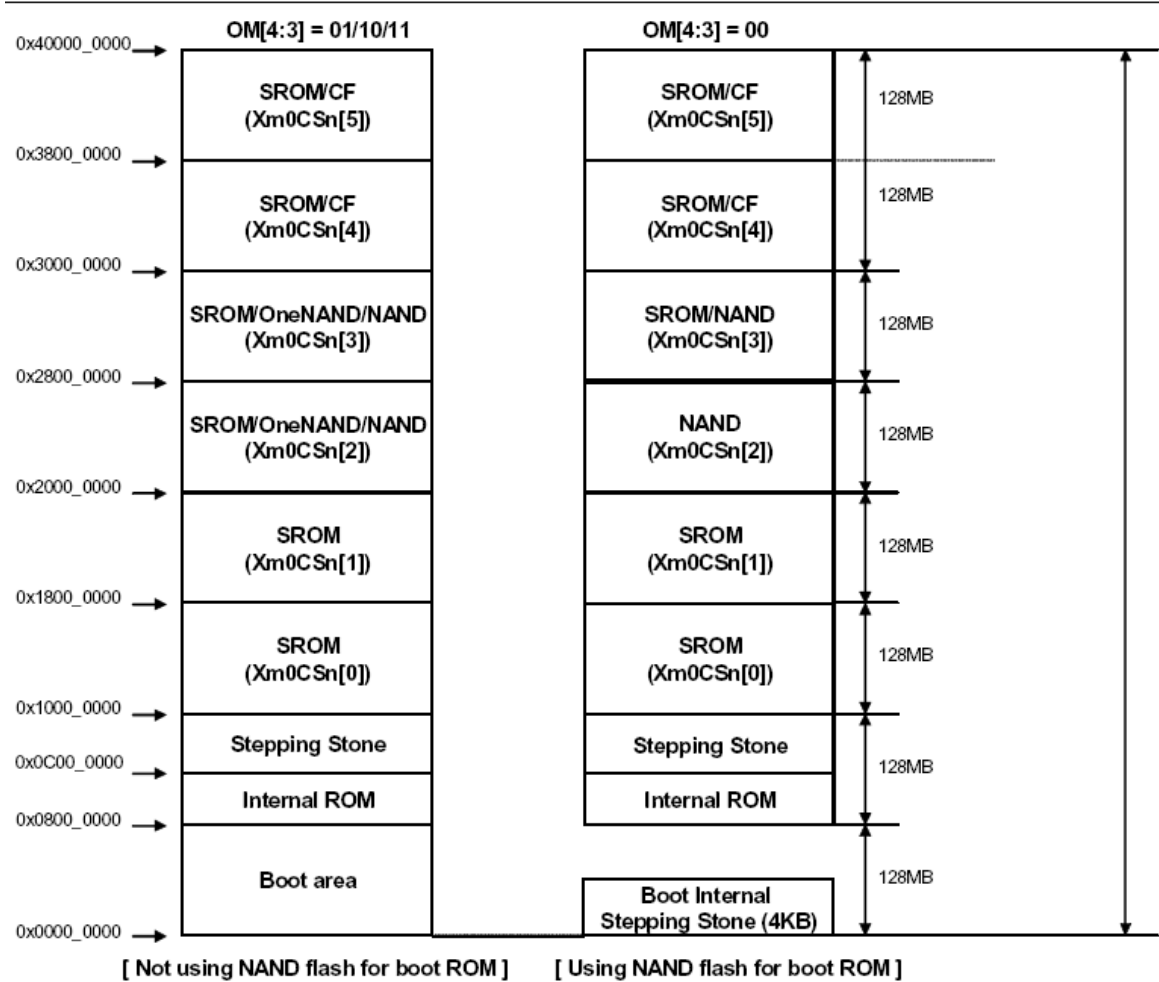


Figure 8-5. 낸드 플래시 메모리 매핑 블록 다이어그램

NOTE: SROM은 ROM 또는 SRAM 또는 NOR 타입의 메모리를 의미한다.

8.12 낸드플래시 메모리 설정

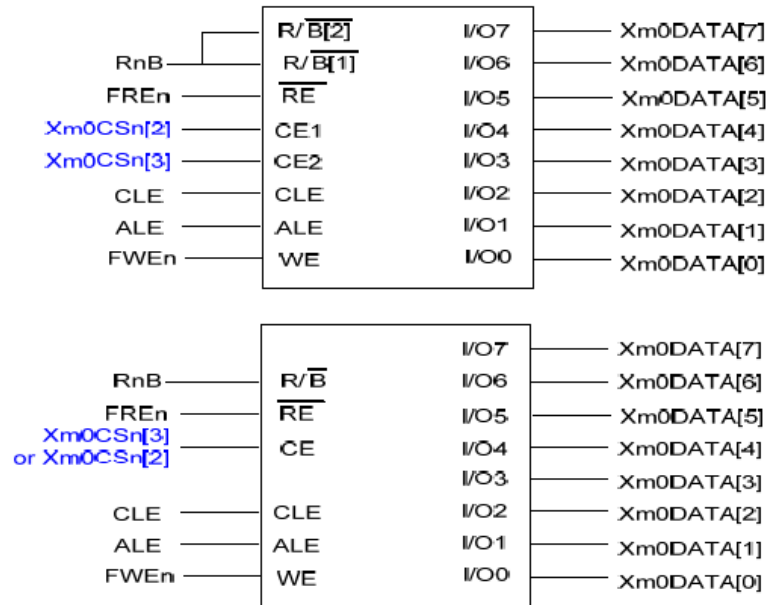


Figure 8-6. A 8비트 낸드플래시 메모리 인터페이스 블록 다이어그램

NOTE: 낸드 컨트롤러는 두 개의 낸드플래시 메모리 제어를 지원한다.

	NAND BOOT	Other BOOT
Xm0CSn[2]	NAND CONTROLLER CS0	Configurable
Xm0CSn[3]	NAND CONTROLLER CS1	Configurable

만약 NAND BOOT를 하고 싶다면, Xm0CSn[2]는 boot로 사용되어야 한다.

8.13 낸드플래시 컨트롤러 특수 레지스터

8.13.1 낸드플래시 컨트롤러 레지스터 맵

Address	R/W	Reset value	Name	Description
Base + 0x00	R/W	0x0000100X	NFCONF	Configuration register
Base + 0x04	R/W	0x000100C6	NFCONT	Control register
Base + 0x08	R/W	0x00	NFCMMD	Command register
Base + 0x0c	R/W	0x0000XX00	NFADDR	Address register
Base + 0x10	R/W	0XXXXXXXXX	NFDATA	Data register
Base + 0x14	R/W	0x00000000	NFMECCD0	1 st and 2 nd main ECC data register
Base + 0x18	R/W	0x00000000	NFMECCD1	3 rd and 4 th main ECC data register
Base + 0x1c	R/W	0x00000000	NFSECCD	Spare ECC read register
Base + 0x20	R/W	0x000000	NFSBLK	Programmable start block address register
Base + 0x24	R/W	0x000000	NFEBLK	Programmable end block address register
Base + 0x28	R/W	0x0080001D	NFSTAT	NAND status registet
Base + 0x2C	R	0x007FFFFFA	NFECCERR0	ECC error status0 register
Base + 0x30	R	0x007FFFFFA	NFECCERR1	ECC error status1 register
Base + 0x34	R	0XXXXXXX	NFMECC0	Generated ECC status0 register
Base + 0x38	R	0XXXXXXX	NFMECC1	Generated ECC status1 register
Base + 0x3C	R	0XXXXXXX	NFSECC	Generated Spare area ECC status register
Base + 0x40	R	0x00000000	NFMLCBITPT	4-bit ECC error bit pattern register
* Base = 0x7020_0000				

8.13.2 낸드플래시 설정 레지스터

Register	Address	R/W	Description	Reset Value
NFCONF	0x70200000	R/W	NAND Flash Configuration register	0x0000100X

NFCONF	Bit	Description	Initial State
NANDBoot	[31]	Read Only. Shows whether NAND boot or not 1=NAND Flash memory boot	0
Reserved	[30:26]	Reserved	00000
MsgLength	[25]	Message(Data) length for 4-bit ECC 0 : 512-byte for main data area 1: 24-byte for meta data	0
ECCType	[24]	ECC type selection 0: 1-bit ECC 1: 4-bit ECC	0
Reserved	[15]	Reserved	0
TACLS	[14:12]	CLE & ALE duration setting value (0~7) Duration = HCLK x TACLS	001
Reserved	[11]	Reserved	0
TWRPH0	[10:8]	TWRPH0 duration setting value (0~7) Duration = HCLK x (TWRPH0 + 1)	000
Reserved	[7]	Reserved	0
TWRPH1	[6:4]	TWRPH1 duration setting value (0~7) Duration = HCLK x (TWRPH1 + 1)	000
PageSize	[3]	AND flash memory for auto-booting 0: Support 512 byte/page NAND flash memory 1: Support 2048 byte/page NAND flash memory This bit is determined by OM[2] pin status during reset and wake-up from sleep mode. This bit can be changed by software. However this bit is meaningful only at boot time.	H/W Set
Reserved	[2]	Reserved. Must be written 1.	1
AddrCycle	[1]	NAND flash memory Address cycle for auto-booting When PageSize is 0, 0: 3 address cycle 1: 4 address cycle When PageSize is 1, 0: 4 address cycle 1: 5 address cycle This bit is determined by OM[1] pin status during reset and wake-up from sleep mode. This bit can be changed by software. However this bit is meaningful only at boot time.	H/W Set
Reserved	[0]	Reserved. Must be written 0.	0

8.13.3 CONTROL(제어) 레지스터

Register	Address	R/W	Description	Reset Value
NFCONT	0x70200004	R/W	NAND Flash control register	0x000100C6

NFCONT	Bit	Description	Initial State
Reserved	[31:19]	Reserved	0
ECC Direction	[18]	4-bit ECC encoding / decoding control 0: Decoding 4-bit ECC, It is used for page read 1: Encoding 4-bit ECC, It is used for page program	0
Lock-tight	[17]	Lock-tight configuration 0: Disable lock-tight 1: Enable lock-tight, Once this bit is set to 1, you cannot clear. Only reset or wake up from sleep mode can make this bit disable (cannot cleared by software). When it is set to 1, the area setting in NFSBLK (0x70200020) to NFEBLK (0x70200024)-1 is unlocked, and except this area, write or erase command will be invalid and only read command is valid. When you try to write or erase locked area, the illegal access will be occurred (NFSTAT [5] bit will be set). If the NFSBLK and NFEBLK are same, entire area will be locked.	0
Soft Lock	[16]	Soft Lock configuration 0: Disable lock 1: Enable lock Soft lock area can be modified at any time by software. When it is set to 1, the area setting in NFSBLK (0x70200020) to NFEBLK (0x70200024)-1 is unlocked, and except this area, write or erase command will be invalid and only read command is valid. When you try to write or erase locked area, the illegal access will be occurred (NFSTAT [5] bit will be set). If the NFSBLK and NFEBLK are same, entire area will be locked.	1
Reserved	[15:13]	Reserved. Should be written to 0.	000
EnbECCDecINT	[12]	4-bit ECC decoding completion interrupt control 0: Disable interrupt 1: Enable interrupt	0
Reserved	[11]	Reserved	0

NFCONT	Bit	Description	Initial State
EnbIllegalAccINT	[10]	Illegal access interrupt control 0: Disable interrupt 1: Enable interrupt Illegal access interrupt will occurs when CPU tries to program or erase locking area (the area setting in NFSBLK (0x70200020) to NFEBLK (0x70200024)- 1).	0
EnbRnBINT	[9]	RnB status input signal transition interrupt control 0: Disable RnB interrupt 1: Enable RnB interrupt	0
RnB_TransMode	[8]	RnB transition detection configuration 0: Detect rising edge 1: Detect falling edge	0
MainECCLock	[7]	Lock Main area ECC generation 0: Unlock Main area ECC 1: Lock Main area ECC Main area ECC status register is NFMECC0/1(0x70200034/38),	1
SpareECCLock	[6]	Lock Spare area ECC generation. 0: Unlock Spare ECC 1: Lock Spare ECC Spare area ECC status register is NFSECC(0x7020003C),	1
InitMECC	[5]	1: Initialize main area ECC decoder/encoder (write-only)	0
InitSECC	[4]	1: Initialize spare area ECC decoder/encoder (write-only)	0
Reserved	[3]	Reserved	0
Reg_nCE1	[2]	NAND Flash Memory Xm0CS3 signal control 0: Force Xm0CS3 to low(Enable chip select) 1: Force Xm0CS3 to High(Disable chip select) Note: Even Reg_nCE1 and Reg_nCE0 are set to zero simultaneously, only one of them is asserted.	1
Reg_nCE0	[1]	NAND Flash Memory Xm0CS2 signal control 0: Force Xm0CS2 to low(Enable chip select) 1: Force Xm0CS2 to High(Disable chip select) Note: During boot time, it is controlled automatically. This value is only valid while MODE bit is 1	1
MODE	[0]	NAND Flash controller operating mode 0: NAND Flash Controller Disable (Don't work) 1: NAND Flash Controller Enable	0

8.13.4 COMMAND REGISTER(명령 레지스터)

Register	Address	R/W	Description	Reset Value
NFCMMD	0x70200008	R/W	NAND Flash command set register	0x00

NFCMMD	Bit	Description	Initial State
Reserved	[31:8]	Reserved	0x00
NFCMMD	[7:0]	NAND Flash memory command value	0x00

8.13.5 ADDRESS REGISTER

Register	Address	R/W	Description	Reset Value
NFADDR	0x7020000C	R/W	NAND Flash address set register	0x0000XX00

REG_ADDR	Bit	Description	Initial State
Reserved	[31:8]	Reserved	0x00
NFADDR	[7:0]	NAND Flash memory address value	0x00

8.13.6 DATA REGISTER

Register	Address	R/W	Description	Reset Value
NFDATA	0x70200010	R/W	NAND Flash data register	0xFFFF

NFDATA	Bit	Description	Initial State
NFDATA	[31:0]	NAND Flash read/program data value for I/O (Note) Refer to DATA REGISTER CONFIGURATION .	0xFFFF

8.13.7 MAIN DATA AREA REGISTER(메인 데이터 영역 레지스터)

Register	Address	R/W	Description	Reset Value
NFMECCD0	0x70200014	R/W	NAND Flash ECC 1 st 2 nd register for main area data read (Note) Refer to ECC MODULE FEATURES .	0x00000000
NFMECCD1	0x70200018	R/W	NAND Flash ECC 3 rd 4 th register for main area data read (Note) Refer to ECC MODULE FEATURES .	0x00000000

NFMECCD0	Bit	Description	Initial State
Reserved	[31:24]	Not used	0x00
ECCData1	[23:16]	ECC1 for I/O[7:0]	0x00
Reserved	[15:8]	Not used	0x00
ECCData0	[7:0]	ECC0 for I/O[7:0]	0x00

NOTE: Only word access is valid.

NFMECCD1	Bit	Description	Initial State
Reserved	[31:24]	Not used	0x00
ECCData3	[23:16]	ECC3 for I/O[7:0]	0x00
Reserved	[15:8]	Not used	0x00
ECCData2	[7:0]	ECC2 for I/O[7:0]	0x00

8.13.8 SPARE AREA ECC REGISTER (Spare영역 ECC 레지스터)

Register	Address	R/W	Description	Reset Value
NFSECCD	0x7020001C	R/W	NAND Flash ECC(Error Correction Code) register for spare area data read	0x00000000

NFSECCD	Bit	Description	Initial State
Reserved	[31:24]	Not used	0x00
SECCData1	[23:16]	2 nd Spare area ECC for I/O[7:0]	0x00
Reserved	[15:8]	Not used	0x00
SECCData0	[7:0]	1 st Spare area ECC for I/O[7:0]	0x00

NOTE: word 또는 half word 방식으로 접근하는것만 유효하다.

8.13.9 PROGRAMMABLE BLOCK ADDRESS REGISTER (프로그램 가능한 블록주소 레지스터)

Register	Address	R/W	Description	Reset Value
NFSBLK	0x70200020	R/W	NAND Flash programmable start block address	0x000000
NFEBLK	0x70200024	R/W	NAND Flash programmable end block address Nand Flash can be programmed between start and end address. When the Soft lock or Lock-tight is enabled and the Start and End address has same value, Entire area of NAND flash will be locked.	0x000000

NFSBLK	Bit	Description	Initial State
Reserved	[31:24]	Reserved	0x00
SBLK_ADDR2	[23:16]	The 3 rd block address of the block erase operation	0x00
SBLK_ADDR1	[15:8]	The 2 nd block address of the block erase operation	0x00
SBLK_ADDR0	[7:0]	The 1 st block address of the block erase operation (Only bit [7:5] are valid)	0x00

NFEBLK	Bit	Description	Initial State
Reserved	[31:24]	Reserved	0x00
EBLK_ADDR2	[23:16]	The 3 rd block address of the block erase operation	0x00
EBLK_ADDR1	[15:8]	The 2 nd block address of the block erase operation	0x00
EBLK_ADDR0	[7:0]	The 1 st block address of the block erase operation (Only bit [7:5] are valid)	0x00

NFSBLK와 NFEBLK는 Soft lock bit (NFCONT[16])가 enabled되어있는 동안 변경될 수 있다. 그러나 Lock-tight bit (NFCONT[17])이 set되어 있을때에는 변경될 수 없다.

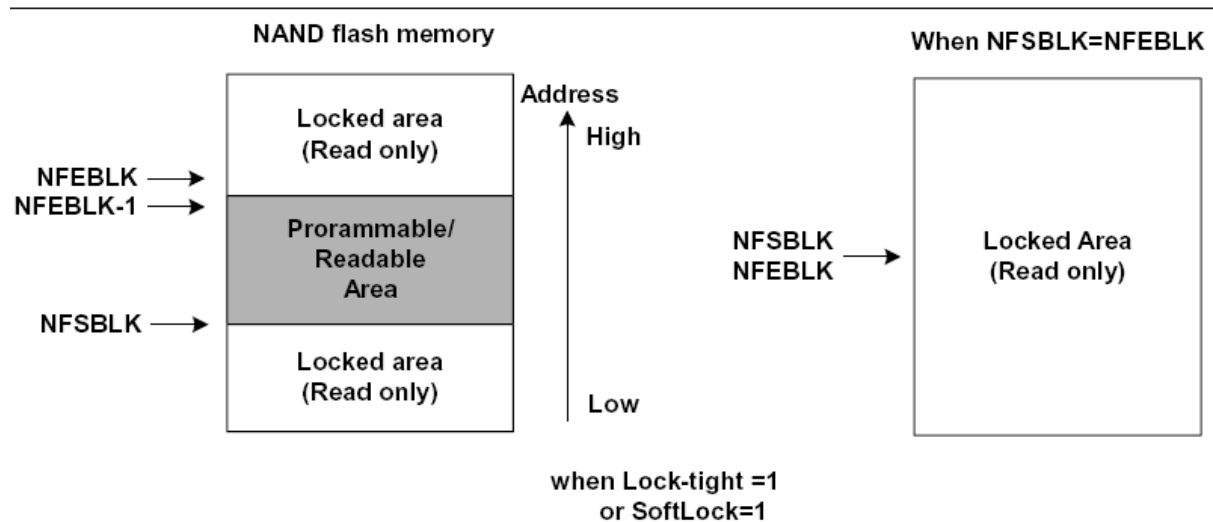


Figure 8-8 Softlock과 Lock-tight

8.13.10 NFCON 상태 레지스터

Register	Address	R/W	Description	Reset Value
NFSTAT	0x70200028	R/W	NAND Flash operation status register	0x0080001D

NFSTAT	Bit	Description	Initial State
Reserved	[31:24]	Read undefined	0x00
BootDone	[23]	When NAND Flash is set as booting device, it indicates whether loading boot area to Stepping stone is finished or not.	1
Reserved	[22:7]	Reserved	0x00
ECCDecDone	[6]	When 4-bit ECC decoding is finished, this value set and issue interrupt if enabled. The NFMLCBITPT, NFMECC0 and NFMECC1 have valid values., .To clear this write to '1' 1: 4-bit ECC decoding is completed	0
IllegalAccess	[5]	Once Soft Lock or Lock-tight is enabled, The illegal access (program, erase) to the memory makes this bit set. 0: illegal access is not detected 1: illegal access is detected	0
RnB_TransDetect	[4]	When RnB low to high transition is occurred, this value set and issue interrupt if enabled. To clear this write '1'. 0: RnB transition is not detected 1: RnB transition is detected Transition configuration is set in RnB_TransMode(NFCONT[8]).	1
NCE[1] (Read-only)	[3]	The status of Xm0CS3 output pin	1
NCE[0] (Read-only)	[2]	The status of Xm0CS2 output pin	1
Reserved	[1]	Reserved	0
RnB (Read-only)	[0]	The status of RnB input pin. 0: NAND Flash memory busy 1: NAND Flash memory ready to operate	1

8.13.11 ECC0/1 에러 상태 레지스터

Register	Address	R/W	Description	Reset Value
NFECCERR0	0x7020002C	R	NAND Flash ECC Error Status register for I/O [7:0]	0x007FFFFA
NFECCERR1	0x70200030	R	NAND Flash ECC Error Status register for I/O [7:0]	0x007FFFFA

When ECCType is 1-bit ECC.

NFECCERR0	Bit	Description	Initial State
Reserved	[31:25]	Reserved	0x00
SErrorDataNo	[24:21]	In spare area, Indicates which number data is error	0011
SErrorBitNo	[20:18]	In spare area, Indicates which bit is error	111
MErrorDataNo	[17:7]	In main data area, Indicates which number data is error	0x7FF
MErrorBitNo	[6:4]	In main data area, Indicates which bit is error	111
SpareError	[3:2]	Indicates whether spare area bit fail error occurred 00: No Error 01: 1-bit error(correctable) 10: Uncorrectable 11: ECC area error	10
MainError	[1:0]	Indicates whether main data area bit fail error occurred 00: No Error 01: 1-bit error(correctable) 10: Uncorrectable 11: ECC area error	10

NFECCERR1	Bit	Description	Initial State
Reserved	[31:0]	Reserved	0x00

NOTE: 위의 값들은 ECC 레지스터와 ECC 상태 레지스터 모두 유효한 값을 가지고 있을 때에만 유효하다.

When ECCType is 4-bit ECC.

NFECERR0	Bit	Description	Initial State
ECC Busy	[31]	Indicates the 4-bit ECC decoding engine is searching whether a error exists or not 0: Idle 1: Busy	0
ECC Ready	[30]	ECC Ready bit	1
Free Page	[29]	Indicates the page data read from NAND flash has all 'FF' value.	0
4-bit MECC Error	[28:26]	4-bit ECC decoding result 000: No error 001: 1-bit error 010: 2-bit error 011: 3-bit error 100: 4-bit error 101: Uncorrectable 11x: reserved Note: If it happens that there are more errors than 4 bits, 4-bit ECC module does not ensure right detection.	000
2 nd Bit Error Location	[25:16]	Error byte location of 2 nd bit error	0x00
Reserved	[15:10]	Reserved	
1 st Bit Error Location	[9:0]	Error byte location of 1 st bit error	0x00

NOTE: 이 값들은 ECCDecDone (NFSTAT[6])가 1로 set되었을 때 갱신된다.

NFECERR1	Bit	Description	Initial State
Reserved	[31:26]	Reserved	0x00
4 th Bit Error Location	[25:16]	Error byte location of 4 th bit error	0x00
Reserved	[15:10]	Reserved	
3 rd Bit Error Location	[9:0]	Error byte location of 3 rd bit error	0x00

NOTE: 이 값들은 ECCDecDone (NFSTAT[6]가 1로 set되었을 때 갱신된다.

8.13.12 MAIN DATA 영역 ECC0 상태 레지스터

Register	Address	R/W	Description	Reset Value
NFMECC0	0x70200034	R	NAND Flash ECC status register	0xFFFFFFFF
NFMECC1	0x70200038	R	NAND Flash ECC status register	0xFFFFFFFF

When ECCType is 1-bit ECC

NFMECC0	Bit	Description	Initial State
MECC0_3	[31:24]	ECC3 for data[7:0]	0xXX
MECC0_2	[23:16]	ECC2 for data[7:0]	0xXX
MECC0_1	[15:8]	ECC1 for data[7:0]	0xXX
MECC0_0	[7:0]	ECC0 for data[7:0]	0xXX

NFMECC1	Bit	Description	Initial State
Reserved	[31:0]	Reserved	0x00000000

NOTE: 낸드플래시 컨트롤러는 MainECCLock (NFCONT[7]) 비트가 0 (unlock)일동안 main data를 읽거나 쓸 때 NFMECC를 생성한다.

When ECCType is 4-bit ECC.

NFMECC0	Bit	Description	Initial State
4 th Parity	[31:24]	4 th Check Parity generated from main area	0x00
3 rd Parity	[23:16]	3 rd Check Parity generated from main area	0x00
2 nd Parity	[15:8]	2 nd Check Parity generated from main area	0x00
1 st Parity	[7:0]	1 st Check Parity generated from main area	0x00

NFMECC1	Bit	Description	Initial State
Reserved	[31:24]	Reserved	0x00
7 th Parity	[23:16]	7 th Check Parity generated from main area	0x00
6 th Parity	[15:8]	6 th Check Parity generated from main area	0x00
5 th Parity	[7:0]	5 th Check Parity generated from main area	0x00

NOTE: 낸드플래시 컨트롤러는 MainECCLock (NFCONT[7]) 비트가 0(unlock)일동안 main data를 읽거나 쓸 때, 이 ECC parity code를 생성한다.

8.13.13 SPARE 영역 ECC 상태 레지스터

Register	Address	R/W	Description	Reset Value
NFSECC	0x7020003C	R	NAND Flash ECC register for I/O [7:0]	0xFFFFFFFF

NFSECC	Bit	Description	Initial State
Reserved	[31:16]	Reserved	0XXXXX
SECC0_1	[15:8]	Spare area ECC1 Status for I/O[7:0]	0xXX
SECC0_0	[7:0]	Spare area ECC0 Status for I/O[7:0]	0xXX

NOTE: 낸드플래시 컨트롤러는 SpareECCLock (NFCONT[6]) 비트가 0 (unlock)일 동안 spare 지역의 data를 읽거나 쓸 때 NFSECC를 생성한다.

8.13.14 4-BIT ECC 에러 패턴 레지스터

Register	Address	R/W	Description	Reset Value
NFMLCBITPT	0x70200040	R	NAND Flash 4-bit ECC Error Pattern register for data[7:0]	0x00000000

NFMLCBITPT	Bit	Description	Initial State
4 th Error bit pattern	[31:24]	4 th Error bit pattern	0x00
3 rd Error bit pattern	[23:16]	3 rd Error bit pattern	0x00
2 nd Error bit pattern	[15:8]	2 nd Error bit pattern	0x00
1 st Error bit pattern	[7:0]	1 st Error bit pattern	0x00

Revision History

Date	Editor	Version	Descriptions
2008-07-19	Sejong Lee	1.0	최초 작성