

제11장 UART

개요

S3C2410X UART(Universal 비동기 송/수신기)는 각각이 인터럽트 기반 모드나 DMA 기반 모드에서 동작할 수 있는 3개의 독립 비동기 시리얼 I/O 포트를 제공한다. 즉, UART는 CPU와 UART 사이에 데이터 전송을 위해서 인터럽트나 DMA를 요청할 수 있다. UART는 시스템 클럭을 이용해서 115.2K bps까지 동작이 가능하다. 외부 디바이스가 UCLK로 UART에 공급하면, UART는 최고 속도에서 동작한다. 각 UART 채널은 송/수신 용으로 2개의 16바이트 FIFO를 포함하고 있다.

S3C2410X의 UART는 IR 송/수신, 1개 혹은 2개의 정지 비트, 5,6,7,8 비트 데이터 너비와 패리티 체크가 가능하며, baud rate의 선택이 가능하다.

각 UART는 baud-rate 발생기, 송신기, 수신기, 컨트롤 유닛을 포함하고 있으며, 그림 11-1에 나타나 있다. baud-rate 발생기는 PCLK나 UCLK에 의해서 체크된다. 송신기와 수신기는 16바이트의 FIFO와 데이터 쉬프트를 포함하고 있다. 데이터는 FIFO에 기록되며, 송신되기 전에 송신 쉬프트로 복사된다. 데이터는 송신 데이터 핀(TxDn)에 의해서 쉬프트 된다. 반면에, 수신된 데이터는 수신 데이터 핀(RxDn)에서 쉬프트되며 쉬프트에서 FIFO로 복사된다.

형태

- RxD0, TxD0, RxD1, TxD1, RxD2, DMA-기반 혹은 인터럽트-기반의 TxD2
- UART Ch0, 1과 IrDA 1.0 & 16바이트 FIFO의 2
- UART ch0과 nRTS0, nCTS0, nRTS1, nCTS1을 갖는 1
- 핸드셰이크 송/수신 지원

블록 다이어그램

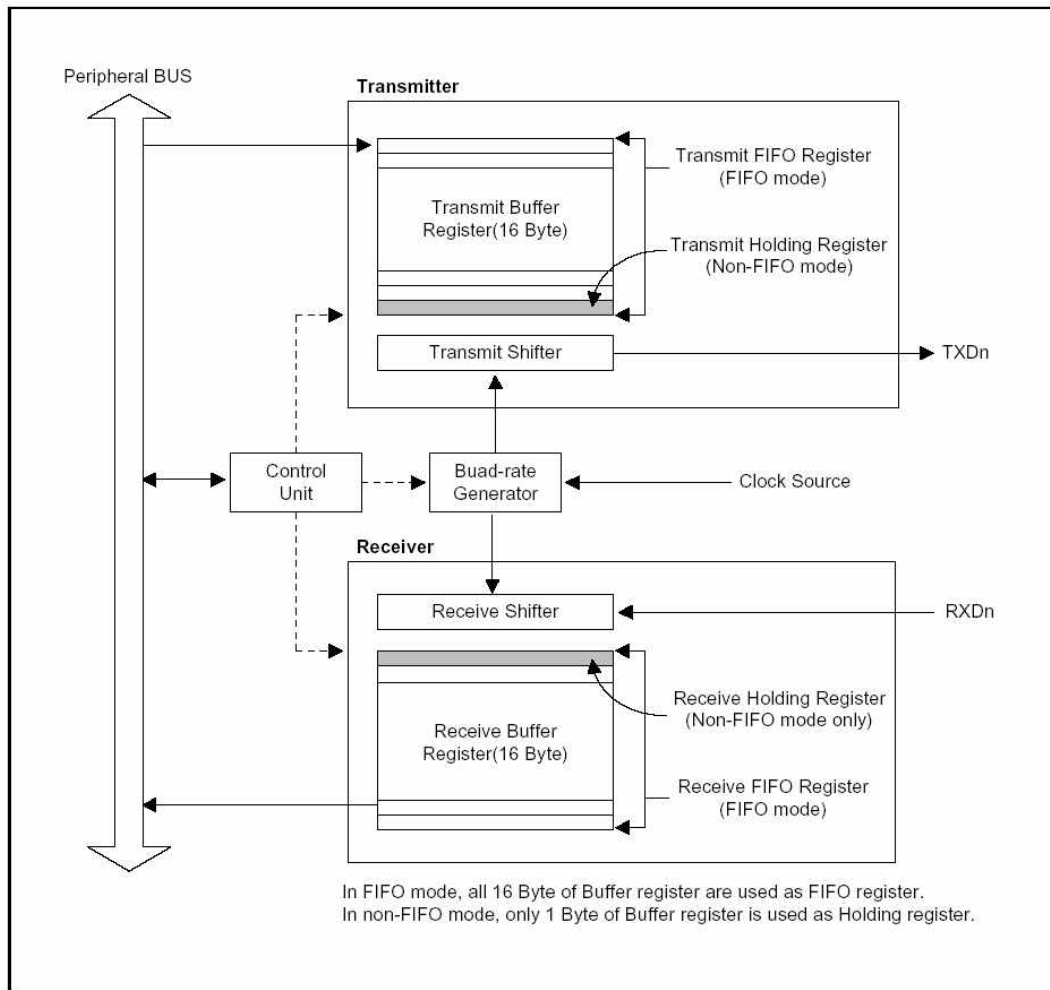


그림 11-1. UART 블록 다이어그램

UART 동작

아래에서 데이터 송신, 데이터 수신, 인터럽트 발생, baud-rate 발생, loopback 모드, infra-red 모드, auto flow 컨트롤을 포함하는 UART 동작에 대해서 설명한다.

데이터 송신

송신 용 데이터 프레임의 프로그래밍이 가능하다. 각각이 라인 컨트롤 레지스터(ULCONn)에 의해서 정의되는 시작 비트, 5에서 8까지의 데이터 비트, 옵션의 패리티 비트와 1에서 2의 정지 비트로 구성된다. 송신기는 1개의 프레임 전송 시간에 로직 0 상태를 직렬로 보내는 break condition을 나타낸다. 이러한 블록은 송신 워드가 완전히 전송된 후에 break 신호를 송신한다. break 신호가 송신된 후에, 데이터를 Tx FIFO에 연속적으로 전송한다.

데이터 수신

송신과 같이, 수신용 데이터 프레임도 프로그래밍이 가능하다. 라인 컨트롤 레지스터(ULCONn)에 시작 비트, 5에서 8까지의 데이터 비트, 옵션의 패리티 비트, 1에서 2까지의 정지 비트로 구성된다. 수신기는 각각이 에러 플래그를 설정하는 overrun 에러, 패리티 에러,

프레임 에러와 break condition을 검출할 수 있다.

- overrun 에러는 이전의 데이터가 읽히기 전에 새로운 데이터가 이전의 데이터를 덮어쓰기를 하는 것을 나타낸다.
- 패리티 에러는 수신기가 기대하지 않은 패리티 condition을 검출하는 것을 나타낸다.
- 프레임 에러는 수신된 데이터가 유효한 정지 비트를 갖지 않음을 나타낸다.
- break condition은 RxDn 입력이 1개의 프레임 전송 시간보다 긴 주기동안에 로직 0 상태를 유지하는 것을 가리킨다.

3워드의 시간 동안에 임의의 데이터를 수신하지 않을 때 수신 타임-아웃 condition이 발생하며 Rx FIFO는 FIFO 모드에서 비어있지 않는다.

자동 흐름 컨트롤(AFC)

S3C2410X의 UART0과 UART1은 nRTS와 nCTS 신호를 이용한 자동 흐름 컨트롤을 지원한다. 이러한 경우에, 외부의 UART에 연결될 수 있다. 사용자가 UART를 모뎀에 연결하고 싶으면, UMCOnn의 자동 흐름 컨트롤을 디스에이블하고 소프트웨어에 의한 nRTS 신호를 컨트롤 한다.

AFC에서, nRTS는 수신기의 상태에 따라서 달라지며 nCTS 신호는 송신기의 동작을 컨트롤 한다. UART의 송신기는 nCTS가 활성화 될 경우에 FIFO의 데이터를 전송한다. UART가 데이터를 수신하기 전에, nRTS는 2바이트 이상의 FIFO를 수신할 때 활성화 되며, 1바이트 이하의 FIFO를 수신할 때 비활성화 된다.

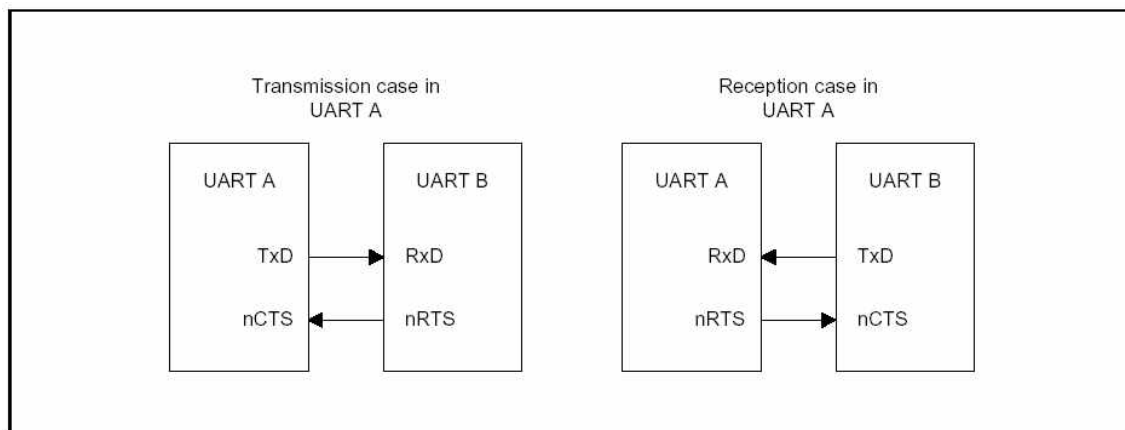


그림 11-2. UART AFC 인터페이스

NOTE: UART2는 S3C2410X가 nRTS2와 nCTS2를 가지고 있지 않기 때문에, AFC 기능을 지원하지 않는다.

Non 자동-흐름 컨트롤의 예제

FIFO를 갖는 Rx 동작

1. 수신 모드(인터럽트 혹은 DMA 모드) 선택
2. UFSTA의 레지스터의 Rx FIFO 카운트의 값을 체크한다. 값이 15보다 작으면, 사용자는 UMCOnn[0]의 값을 1로 설정하고, 15보다 크거나 같으면, 0으로 설정한다.

3. 2단계를 반복한다.

FIFO를 갖는 Rx 동작

1. 송신 모드(인터럽트나 DMA 모드)를 선택
2. UMSTATn[0]의 값을 체크한다. 값이 1이면, 사용자는 Tx FIFO 레지스터에 데이터를 기록한다.

RS-232C 인터페이스

사용자가 UART를 모뎀 인터페이스에 연결하려면, nRTS, nCTS, nDSR, nDTR, DCD와 nRI 신호가 필요하다. 이러한 경우에, 사용자는 AFC가 RS-232C 인터페이스를 지원하지 않기 때문에 이러한 신호를 소프트웨어를 이용해서 범용 I/O 포트를 컨트롤 할 수 있다.

인터럽트/DMA 요청 발생

S3C2410X의 각 UART는 7가지 상태 신호를 갖는다: overrun 에러, 패리티 에러, 프레임 에러, break, 수신 버퍼 데이터 준비, 송신 버퍼 비움, 송신 쉬프트 비움, 이러한 모든 신호는 UART 상태 레지스터(UTRSTATn/UERSTATn)에 대응된다.

overrun 에러, 패리티 에러, 프레임 에러와 break condition은 수신-에러-상태-인터럽트-인 에이블 비트가 UCONn 컨트롤 비트를 1로 설정하면 에러 상태 인터럽트 요청을 수신할 수 있는 수신 에러 상태로 참조된다. 수신-에러-상태-인터럽트-요청이 검출되면, UERSTATn의 값을 읽어서 요청을 증명할 수 있다.

수신기가 FIFO 모드에서 FIFO 레지스터를 수신 하기 위해서 수신 쉬프트의 데이터를 송신 할 때 그리고, 수신된 데이터의 개수가 Rx FIFO 트리거 레벨이고, 컨트롤 레지스터의 수신 모드(UCONn)이 1로 선택되면 Rx 인터럽트가 발생된다.

Non-FIFO 모드에서, 홀딩 레지스터를 수신하는 수신 쉬프트의 데이터를 전송하면 인터럽트 요청과 폴링 모드 하에서 Rx 인터럽트가 발생된다.

송신기가 자신의 송신 FIFO 레지스터의 데이터를 송신 쉬프트에 전송하고 송신 FIFO에 남아있는 데이터의 개수가 Rx FIFO 트리거 레벨에 도달하면, 컨트롤 레지스터의 송신모드가 인터럽트 요청 혹은 폴링 모드로 선택될 때 Tx 인터럽트가 발생된다.

Non-FIFO 모드에서, 송신 홀딩 레지스터에서 송신 쉬프트에 데이터를 전송하면 인터럽트 요청과 폴링 모드 하에서 Tx 인터럽트가 발생한다.

컨트롤 레지스터의 수신 모드와 송신 모드가 DMAn 요청 모드로 선택되면 위에서 언급한 상태에서 Rx나 Tx 인터럽트 대신에 DMAn 요청이 발생한다.

표 11-1. FIFO와 연결되는 인터럽트

Type	FIFO Mode	Non-FIFO Mode
Rx interrupt	Generated whenever receive data reaches the trigger level of receive FIFO. Generated when the number of data in FIFO does not reaches Rx FIFO trigger Level and does not receive any data during 3 word time (receive time out). This interval follows the setting of Word Length bit.	Generated by the receive holding register whenever receive buffer becomes full.
Tx interrupt	Generated whenever transmit data reaches the trigger level of transmit FIFO (Tx FIFO trigger Level).	Generated by the transmit holding register whenever transmit buffer becomes empty.
Error interrupt	Generated when frame error, parity error, or break signal are detected. Generated when it gets to the top of the receive FIFO without reading out data in it (overflow error).	Generated by all errors. However if another error occurs at the same time, only one interrupt is generated.

UART 에러 상태 FIFO

UART는 Rx FIFO 레지스터 외에도 에러 상태 FIFO를 가진다. 에러 상태 FIFO는 FIFO 레지스터 중에서 어느 데이터가 에러를 가지고 수신되는지를 나타낸다. 에러 인터럽트는 에러를 갖는 데이터가 읽을 준비가 되었을 때에만 문제가 된다. 에러 상태 FIFO를 클리어 하려면, 에러를 갖는 URXHn과 UERSTATn이 읽혀야 한다.

예로, UART Rx FIFO가 A,B,C,D,E 문자를 수신하고 B를 수신하는 동안에 프레임 에러가 발생하고 D를 수신하는 동안에 패리티 에러가 발생한다고 가정한다.

에러를 수신하는 실제 UART는 에러를 수신한 문자가 아직 읽히지 않았기 때문에 임의의 에러 인터럽트를 발생하지 않는다. 에러 인터럽트는 문자가 읽힐 때 발생된다.

그림 11-3은 2개의 에러를 포함해서 5개의 문자를 수신하는 UART를 나타낸다.

Time	Sequence Flow	Error Interrupt	Note
#0	When no character is read out	—	
#1	A, B, C, D, and E is received	—	
#2	After A is read out	The frame error (in B) interrupt occurs.	The 'B' has to be read out.
#3	After B is read out	—	
#4	After C is read out	The parity error (in D) interrupt occurs.	The 'D' has to be read out.
#5	After D is read out	—	
#6	After E is read out	—	

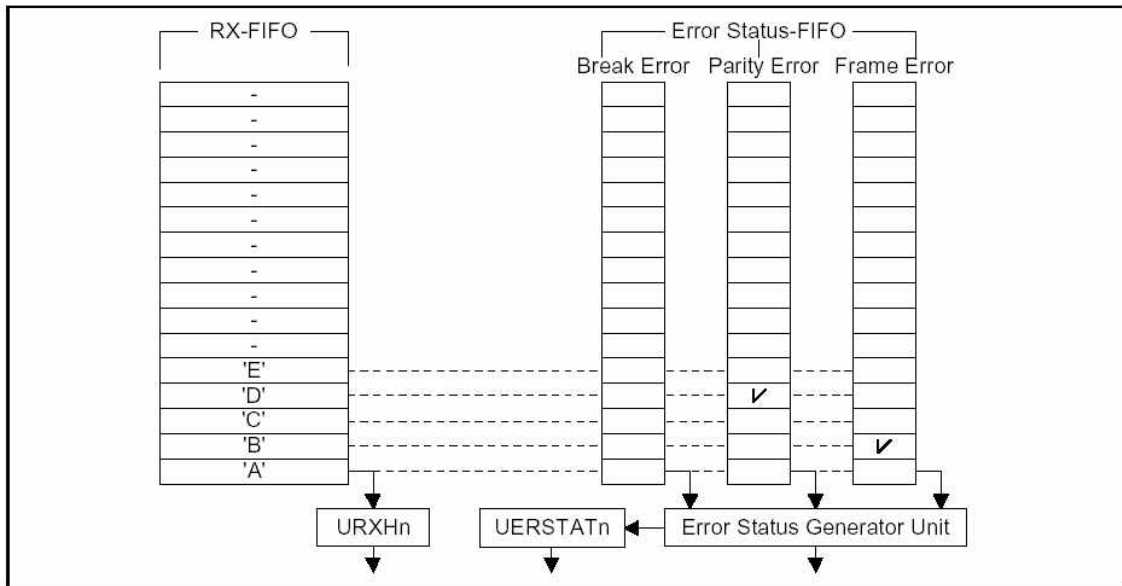


그림 11-3. 2개의 에러를 갖는 5문자를 수신하는 UART

baud-rate 발생

각 UART의 baud-rate 발생기는 수신기와 송신기에 대한 시리얼 클럭을 제공한다. baud-rate 발생기 용 소스 클럭은 S3C2410X의 내부 시스템 클럭이나 UCLK로 선택될 수 있다. 즉, UCONn의 클럭 선택을 통해서 선택이 가능하다. baud-rate 클럭은 소스 클럭(PCLK나 UCLK)을 16으로 나누어서 발생하며, 16비트 분주기는 UART baud-rate 나누기 레지스터(UBRDIVn)에 정의된다. UBRDIVn은 아래와 같은 공식으로 결정된다:

$$\text{UBRDIVn} = (\text{int})(\text{PCLK}/(\text{bps} \times 16)) - 1$$

여기서, 제수는 1에서 ($2^{16}-1$)이다.

정확한 UART 동작을 위해서, S3C2410X는 나눗셈을 위해서 UCLK를 지원한다. S3C2410이 외부의 UART 디바이스나 시스템에 의해서 공급되는 UCLK를 사용하면, UART의 시리얼 클럭은 정확하게 UCLK와 동기된다. 즉, 사용자는 좀 더 정확한 UART 동작을 얻을 수 있다. UBRDIVn은 아래와 같이 결정된다:

$$\text{UBRDIVn} = (\text{int})(\text{UCLK}/(\text{bps} \times 16)) - 1$$

여기서, 제수는 1에서 ($2^{16}-1$)이다. UCLK는 PCLK보다 작아야 한다.

예로, baud-rate가 115200 bps이고 PCLK나 UCLK가 40MHz이면, UBRDIVn이 결정된다.

$$\begin{aligned} \text{UBRDIVn} &= (\text{int})(4000000/(115200 \times 16)) - 1 \\ &= (\text{int})(21.7) - 1 \\ &= 21 - 1 = 20 \end{aligned}$$

loopback 모드

S3C2410X의 UART는 통신 링크의 fault를 isolate 할 목적으로 loopback 모드를 참조하는 테스트 모드를 제공한다. 이 모드는 UART의 RXD와 TXD의 연결을 인에이블한다. 이 모드에

서, 전송된 데이터는 RXD를 거쳐서 수신기에 수신된다. 이러한 형태는 프로세서가 내부의 송신을 증명하고 각 SIO 채널의 데이터 경로를 수신한다. 이 모드는 UART 컨트롤 레지스터 (UCONn)의 loopback 비트를 설정해서 선택할 수 있다.

break condition

break는 송신 데이터 출력 상에서 1개의 프레임 전송 타임 동안에 low 레벨의 신호가 계속되는 것으로 정의된다.

적외선(IR) 모드

S3C2410X의 UART 블록은 적외선 송/수신을 지원하며, UART 라인 컨트롤 레지스터 (ULCONn)의 적외선 모드를 셋팅해서 선택할 수 있다. 그림 11-4는 IR 모드를 적용하는 방법을 나타낸다.

IR 전송 모드에서, 송신 펄스는 normal 시리얼 통신 비율인 3/16의 비율로 나온다; IR 수신 모드에서, 수신기는 0 값을 인식하기 위해서 3/16 펄스 주기를 검출해야 한다.(그림 11-6과 11-7의 프레임 타이밍 다이어그램을 참조하시오.)

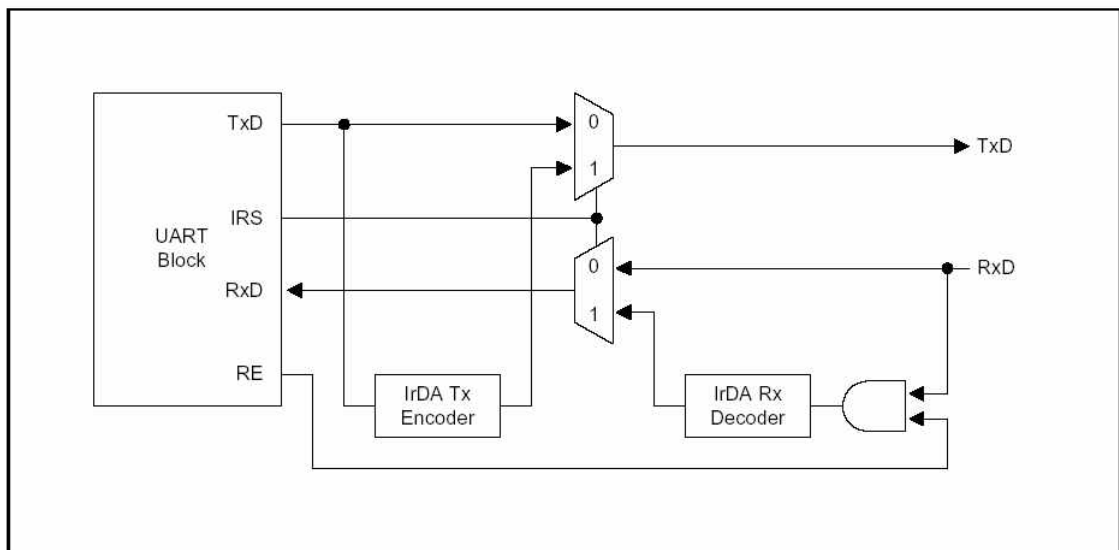


그림 11-4. IrDA 기능 블록 다이어그램



그림 11-5. 시리얼 I/O 프레임 타이밍 다이어그램(Normal UART)

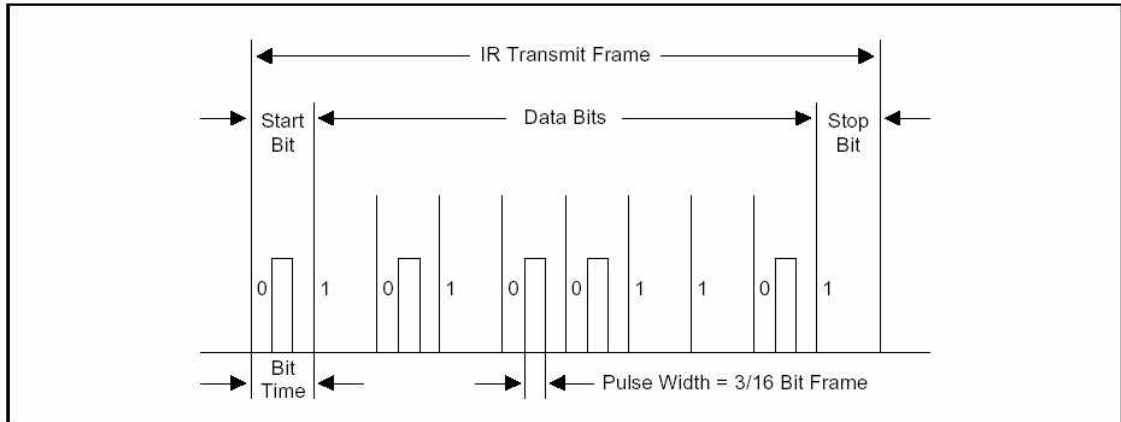


그림 11-6. 적외선 송신 모드 프레임 타이밍 다이어그램

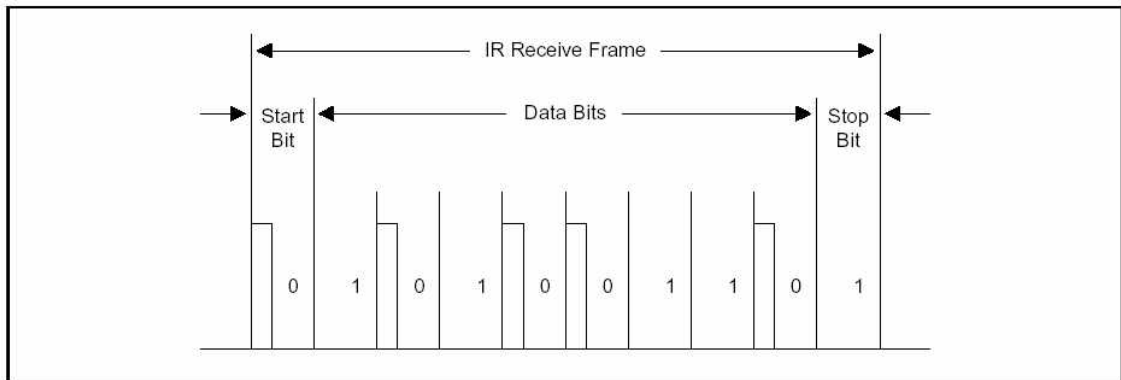


그림 11-7. 적외선 수신 모드 프레임 타이밍 다이어그램

UART 특별 레지스터

UART 라인 컨트롤 레지스터

UART 블록에는 ULCON0, ULCON1, ULCON2를 포함한 3개의 UART 라인 컨트롤 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
ULCON0	0x50000000	R/W	UART channel 0 line control register	0x00
ULCON1	0x50004000	R/W	UART channel 1 line control register	0x00
ULCON2	0x50008000	R/W	UART channel 2 line control register	0x00

ULCONn	Bit	Description	Initial State
Reserved	[7]		0
Infra-Red Mode	[6]	Determine whether or not to use the Infra-Red mode. 0 = Normal mode operation 1 = Infra-Red Tx/Rx mode	0
Parity Mode	[5:3]	Specify the type of parity generation and checking during UART transmit and receive operation. 0xx = No parity 100 = Odd parity 101 = Even parity 110 = Parity forced/checked as 1 111 = Parity forced/checked as 0	000
Number of Stop Bit	[2]	Specify how many stop bits are to be used for end-of-frame signal. 0 = One stop bit per frame 1 = Two stop bit per frame	0
Word Length	[1:0]	Indicate the number of data bits to be transmitted or received per frame. 00 = 5-bits 01 = 6-bits 10 = 7-bits 11 = 8-bits	00

UART 컨트롤 레지스터

UART 블록에는 UCON0, UCON1, UCON2를 포함한 3개의 UART 컨트롤 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UCON0	0x50000004	R/W	UART channel 0 control register	0x00
UCON1	0x50004004	R/W	UART channel 1 control register	0x00
UCON2	0x50008004	R/W	UART channel 2 control register	0x00

UCONn	Bit	Description	Initial State
Clock Selection	[10]	Select PCLK or UCLK for the UART baud rate. 0=PCLK : $UBRDIVn = (int)(PCLK / (bps \times 16)) - 1$ 1=UCLK(@GPH8) : $UBRDIVn = (int)(UCLK / (bps \times 16)) - 1$	0
Tx Interrupt Type	[9]	Interrupt request type. 0 = Pulse (Interrupt is requested as soon as the Tx buffer becomes empty in Non-FIFO mode or reaches Tx FIFO Trigger Level in FIFO mode.) 1 = Level (Interrupt is requested while Tx buffer is empty in Non-FIFO mode or reaches Tx FIFO Trigger Level in FIFO mode.)	0
Rx Interrupt Type	[8]	Interrupt request type. 0 = Pulse (Interrupt is requested the instant Rx buffer receives the data in Non-FIFO mode or reaches Rx FIFO Trigger Level in FIFO mode.) 1 = Level (Interrupt is requested while Rx buffer is receiving data in Non-FIFO mode or reaches Rx FIFO Trigger Level in FIFO mode.)	0
Rx Time Out Enable	[7]	Enable/Disable Rx time out interrupt when UART FIFO is enabled. The interrupt is a receive interrupt. 0 = Disable 1 = Enable	0
Rx Error Status Interrupt Enable	[6]	Enable the UART to generate an interrupt upon an exception, such as a break, frame error, parity error, or overrun error during a receive operation. 0 = Do not generate receive error status interrupt. 1 = Generate receive error status interrupt.	0
Loopback Mode	[5]	Setting loopback bit to 1 causes the UART to enter the loopback mode. This mode is provided for test purposes only. 0 = Normal operation 1 = Loopback mode	0
Send Break Signal	[4]	Setting this bit causes the UART to send a break during 1 frame time. This bit is automatically cleared after sending the break signal. 0 = Normal transmit 1 = Send break signal	0

Transmit Mode	[3:2]	Determine which function is currently able to write Tx data to the UART transmit buffer register. 00 = Disable 01 = Interrupt request or polling mode 10 = DMA0 request (Only for UART0), DMA3 request (Only for UART2) 11 = DMA1 request (Only for UART1)	00
Receive Mode	[1:0]	Determine which function is currently able to read data from UART receive buffer register. 00 = Disable 01 = Interrupt request or polling mode 10 = DMA0 request (Only for UART0), DMA3 request (Only for UART2) 11 = DMA1 request (Only for UART1)	00

NOTE : UART가 FIFO 트리거 레벨에 도달하지 않고 FIFO를 갖는 DMA 수신 모드에서 3 워드 시간 동안에 데이터를 수신하지 않으면, Rx 인터럽트가 발생되고, 사용자는 FIFO의 상태를 체크하고 나머지를 읽는다.

UART FIFO 컨트롤 레지스터

UART 블록에는 UFCON0, UFCON1, UFCON2를 포함한 3개의 UART FIFO 컨트롤 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UFCON0	0x50000008	R/W	UART channel 0 FIFO control register	0x0
UFCON1	0x50004008	R/W	UART channel 1 FIFO control register	0x0
UFCON2	0x50008008	R/W	UART channel 2 FIFO control register	0x0

UFCONn	Bit	Description	Initial State
Tx FIFO Trigger Level	[7:6]	Determine the trigger level of transmit FIFO. 00 = Empty 01 = 4-byte 10 = 8-byte 11 = 12-byte	00
Rx FIFO Trigger Level	[5:4]	Determine the trigger level of receive FIFO. 00 = 4-byte 01 = 8-byte 10 = 12-byte 11 = 16-byte	00
Reserved	[3]		0
Tx FIFO Reset	[2]	Auto-cleared after resetting FIFO 0 = Normal 1 = Tx FIFO reset	0
Rx FIFO Reset	[1]	Auto-cleared after resetting FIFO 0 = Normal 1 = Rx FIFO reset	0
FIFO Enable	[0]	0 = Disable 1 = Enable	0

NOTE : UART가 FIFO 트리거 레벨에 도달하지 않고, FIFO를 갖는 DMA 수신 모드에서 3워드 시간 동안에 데이터를 수신하지 않으며, Rx 인터럽트가 발생되며, 사용자는 FIFO의 상태를 체크하고 나머지를 읽어야 한다.

UART 모뎀 컨트롤 레지스터

UART 블록에 UMCON0, UMCON1을 포함하는 2개의 UART 모뎀 컨트롤 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UMCON0	0x5000000C	R/W	UART channel 0 Modem control register	0x0
UMCON1	0x5000400C	R/W	UART channel 1 Modem control register	0x0
Reserved	0x5000800C	-	Reserved	Undef

UMCONn	Bit	Description	Initial State
Reserved	[7:5]	These bits must be 0's	00
Auto Flow Control (AFC)	[4]	0 = Disable 1 = Enable	0
Reserved	[3:1]	These bits must be 0's	00
Request to Send	[0]	If AFC bit is enabled, this value will be ignored. In this case the S3C2410X will control nRTS automatically. If AFC bit is disabled, nRTS must be controlled by software. 0 = 'H' level (Inactivate nRTS) 1 = 'L' level (Activate nRTS)	0

NOTE : S3C2410X가 nRTS2와 nCTS2를 가지고 있지 않기 때문에, UART2는 AFC 기능을 지원하지 않는다.

UART TX/RX 상태 레지스터

UART 블록에 UTRSTAT0, UTRSTAT1, UTRSTAT2를 포함하는 3개의 UART Tx/Rx 상태 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UTRSTAT0	0x50000010	R	UART channel 0 Tx/Rx status register	0x6
UTRSTAT1	0x50004010	R	UART channel 1 Tx/Rx status register	0x6
UTRSTAT2	0x50008010	R	UART channel 2 Tx/Rx status register	0x6

UTRSTATn	Bit	Description	Initial State
Transmitter empty	[2]	Set to 1 automatically when the transmit buffer register has no valid data to transmit and the transmit shift register is empty. 0 = Not empty 1 = Transmitter (transmit buffer & shifter register) empty	1
Transmit buffer empty	[1]	Set to 1 automatically when transmit buffer register is empty. 0 = The buffer register is not empty 1 = Empty (In Non-FIFO mode, Interrupt or DMA is requested. In FIFO mode, Interrupt or DMA is requested, when Tx FIFO Trigger Level is set to 00 (Empty)) If the UART uses the FIFO, users should check Tx FIFO Count bits and Tx FIFO Full bit in the UFSTAT register instead of this bit.	1
Receive buffer data ready	[0]	Set to 1 automatically whenever receive buffer register contains valid data, received over the RXDn port. 0 = Empty 1 = The buffer register has a received data (In Non-FIFO mode, Interrupt or DMA is requested) If the UART uses the FIFO, users should check Rx FIFO Count bits and Rx FIFO Full bit in the UFSTAT register instead of this bit.	0

UART 에러 상태 레지스터

UART 블록에 UERSTAT0, UERSTAT1, UERSTAT2를 포함한 3개의 UART Rx 에러 상태 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UERSTAT0	0x50000014	R	UART channel 0 Rx error status register	0x0
UERSTAT1	0x50004014	R	UART channel 1 Rx error status register	0x0
UERSTAT2	0x50008014	R	UART channel 2 Rx error status register	0x0

UERSTATn	Bit	Description	Initial State
Reserved	[3]	0 = No frame error during receive 1 = Frame error (Interrupt is requested.)	0
Frame Error	[2]	Set to 1 automatically whenever a frame error occurs during receive operation. 0 = No frame error during receive 1 = Frame error (Interrupt is requested.)	0
Reserved	[1]	0 = No frame error during receive 1 = Frame error (Interrupt is requested.)	0
Overrun Error	[0]	Set to 1 automatically whenever an overrun error occurs during receive operation. 0 = No overrun error during receive 1 = Overrun error (Interrupt is requested.)	0

NOTE : 이 비트(UERSATn[3:0])은 UART 에러 상태 레지스터가 읽힐 때 자동적으로 0으로 클리어 된다.

UART FIFO 상태 레지스터

UART 블록에는 UFSTAT0, UFSTAT1, UFSTAT2를 포함한 3개의 UART FIFO 상태 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UFSTAT0	0x50000018	R	UART channel 0 FIFO status register	0x00
UFSTAT1	0x50004018	R	UART channel 1 FIFO status register	0x00
UFSTAT2	0x50008018	R	UART channel 2 FIFO status register	0x00

UFSTATn	Bit	Description	Initial State
Reserved	[15:10]		0
Tx FIFO Full	[9]	Set to 1 automatically whenever transmit FIFO is full during transmit operation 0 = 0-byte ≤ Tx FIFO data ≤ 15-byte 1 = Full	0
Rx FIFO Full	[8]	Set to 1 automatically whenever receive FIFO is full during receive operation 0 = 0-byte ≤ Rx FIFO data ≤ 15-byte 1 = Full	0
Tx FIFO Count	[7:4]	Number of data in Tx FIFO	0
Rx FIFO Count	[3:0]	Number of data in Rx FIFO	0

UART 모뎀 상태 레지스터

UART 블록에는 UMSTAT0, UMSTAT1, UMSTAT2를 포함한 2개의 UART 모뎀 상태 레지스터가 있다.

Register	Address	R/W	Description	Reset Value
UMSTAT0	0x5000001C	R	UART channel 0 Modem status register	0x0
UMSTAT1	0x5000401C	R	UART channel 1 Modem status register	0x0
Reserved	0x5000801C	—	Reserved	Undef

UMSTAT0	Bit	Description	Initial State
Reserved	[3]		0
Delta CTS	[2]	Indicate that the nCTS input to the S3C2410X has changed state since the last time it was read by CPU. (Refer to Figure 11-8.) 0 = Has not changed 1 = Has changed	0
Reserved	[1]		0
Clear to Send	[0]	0 = CTS signal is not activated (nCTS pin is high.) 1 = CTS signal is activated (nCTS pin is low.)	0

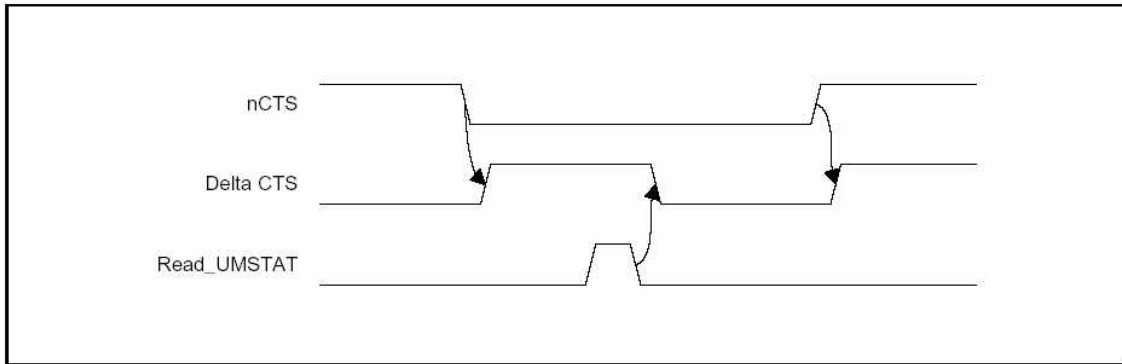


그림 11-8. nCTS와 델타 CTS 타이밍 다이어그램

UART 송신 버퍼 레지스터(홀딩 레지스터 & FIFO 레지스터)

UART 블록에는 UTXH0, UTXH1, UTXH2를 포함한 3개의 UART 송신 버퍼 레지스터가 있다. UTXHn은 데이터 전송용 8비트 데이터를 가지고 있다.

Register	Address	R/W	Description	Reset Value
UTXH0	0x50000020(L) 0x50000023(B)	W (by byte)	UART channel 0 transmit buffer register	—
UTXH1	0x50004020(L) 0x50004023(B)	W (by byte)	UART channel 1 transmit buffer register	—
UTXH2	0x50008020(L) 0x50008023(B)	W (by byte)	UART channel 2 transmit buffer register	—

UTXHn	Bit	Description	Initial State
TXDATAn	[7:0]	Transmit data for UARTn	—

NOTE : (L) : 엔디안 모드는 리틀 엔디안이다.

(B) : 엔디안 모드는 빅 엔디안이다.

UART 수신 버퍼 레지스터(홀딩 레지스터 & FIFO 레지스터)

UART 블록에는 URXH0, URXH1, URXH2를 포함한 3개의 UART 수신 버퍼 레지스터가 있다. URXHn은 데이터 수신용으로 8비트 데이터를 가진다.

Register	Address	R/W	Description	Reset Value
URXH0	0x50000024(L) 0x50000027(B)	R (by byte)	UART channel 0 receive buffer register	—
URXH1	0x50004024(L) 0x50004027(B)	R (by byte)	UART channel 1 receive buffer register	—
URXH2	0x50008024(L) 0x50008027(B)	R (by byte)	UART channel 2 receive buffer register	—

URXHn	Bit	Description	Initial State
RXDATAn	[7:0]	Receive data for UARTn	—

NOTE : overrun 에러가 발생하면, URXHn이 읽혀져야 한다. 그렇지 않으면, 다음에 수신되는

데이터가 UERSTATn의 overrun비트가 클리어 되더라도 overrun 에러를 발생한다.

UART baud rate 제수 레지스터

UART 블록에는 UBRDIV0, UBRDIV1과 UBRDIV2를 포함한 3개의 UART baud rate divisor 레지스터가 있다. baud rate divisor 레지스터(UBRDIVn)에 저장되는 값은 아래와 같이 시리얼 Tx/Rx 클럭 비율을 결정하는데 사용된다:

$$\text{UBRDIVn} = (\text{int})(\text{PCLK}/(\text{bps} \times 16)) - 1$$

혹은

$$\text{UBRDIVn} = (\text{int})(\text{UCLK}/(\text{bps} \times 16)) - 1$$

여기서, divisor은 1에서 ($2^{16}-1$)이며 UCLK는 PCLK보다 작아야 한다.

예로, baud-rate가 115200 bps이고 PCLK나 UCLK가 40MHz이면 UBRDIVn은 아래와 같다:

$$\text{UBRDIVn} = (\text{int})(4000000/(115200 \times 16)) - 1$$

$$= (\text{int})(21.7) - 1$$

$$= 21 - 1 = 20$$

Register	Address	R/W	Description	Reset Value
UBRDIV0	0x50000028	R/W	Baud rate divisor register 0	—
UBRDIV1	0x50004028	R/W	Baud rate divisor register 1	—
UBRDIV2	0x50008028	R/W	Baud rate divisor register 2	—

UBRDIVn	Bit	Description	Initial State
UBRDIV	[15:0]	Baud rate division value UBRDIVn > 0	—