自顶向下设计

Verilog的基本设计单元是“模块”，模块分为两个部分，一部分描述接口，一部分描述逻辑功能。很多时候，程序符号和电路引脚是一致的。Verilog语句位于module和endmodule声明之间，主要包括：端口定义，I/O说明，内部信号声明和功能定义几个方面。

module block(a,b,c,d)

input a,b;

output c,d;

assign c=a|b;

assign d=a&b;

endmodule

**常用数据类型**，

reg, wire, integer和parameter

数字表达式 re

parameter 参数名=表达式；表示常量。常用于定义延迟时间和变量宽度。其他模块调用时可以修改parameter的值。再一个模块中修改另一个模块的参数时，用defparam命令。

变量

Q:

1.理解到哪一级，系统级，算法级，RTL级，门级，开关级？

2.可综合？

3.并行or顺序？

4.实例原件，always块？P28

5.不定值，高阻值？P30