

# Laboratorium 1

## Transkoder liczb

Łukasz Kwinta, Kacper Kozubowski, Ida Ciepiela

marzec 2024

### Spis treści

---

<b>1</b>	<b>Cel zadania</b>	<b>3</b>
<b>2</b>	<b>Idea rozwiązania</b>	<b>3</b>
<b>3</b>	<b>Układ transkodera liczb pierwszych</b>	<b>3</b>
3.1	Black box . . . . .	3
3.2	Tabela prawdy . . . . .	4
3.3	Tablice Karnaugh . . . . .	5
3.3.1	Człon J . . . . .	5
3.3.2	Człon I . . . . .	6
3.3.3	Człon H . . . . .	6
3.3.4	Człon G . . . . .	7
3.3.5	Człon F . . . . .	7
3.3.6	Człon E . . . . .	8
3.4	Implementacja . . . . .	8
3.4.1	Transkoder J . . . . .	10
3.4.2	Transkoder I . . . . .	11
3.4.3	Transkoder H . . . . .	12
3.4.4	Transkoder G . . . . .	13
3.4.5	Transkoder F . . . . .	14
3.4.6	Transkoder E . . . . .	15

---

<b>4</b>	<b>Enkoder BCD</b>	<b>15</b>
4.1	Black box . . . . .	16
4.2	Tabela prawdy . . . . .	18
4.3	Funkcje logiczne . . . . .	20
4.3.1	Funkcja M . . . . .	20
4.3.2	Funkcja L . . . . .	20
4.3.3	Funkcja K . . . . .	20
4.3.4	Funkcja J . . . . .	20
4.3.5	Funkcja I . . . . .	20
4.3.6	Funkcja H . . . . .	20
4.4	Implementacja . . . . .	20
4.4.1	Enkoder M . . . . .	22
4.4.2	Enkoder L . . . . .	23
4.4.3	Enkoder K . . . . .	24
4.4.4	Enkoder J . . . . .	25
4.4.5	Enkoder I . . . . .	26
4.4.6	Enkoder H . . . . .	26
<b>5</b>	<b>Układ testowy</b>	<b>26</b>
5.1	Analiza przebiegu . . . . .	27
<b>6</b>	<b>Zastosowania</b>	<b>29</b>

## 1 Cel zadania

Celem zadania było zaprojektować, zbudować i przetestować układ kombinacyjny realizujący transkoder czterobitowej liczby naturalnej (wraz z zerem) na sześciobitową liczbę pierwszą, bazując wyłącznie na bramkach NAND.

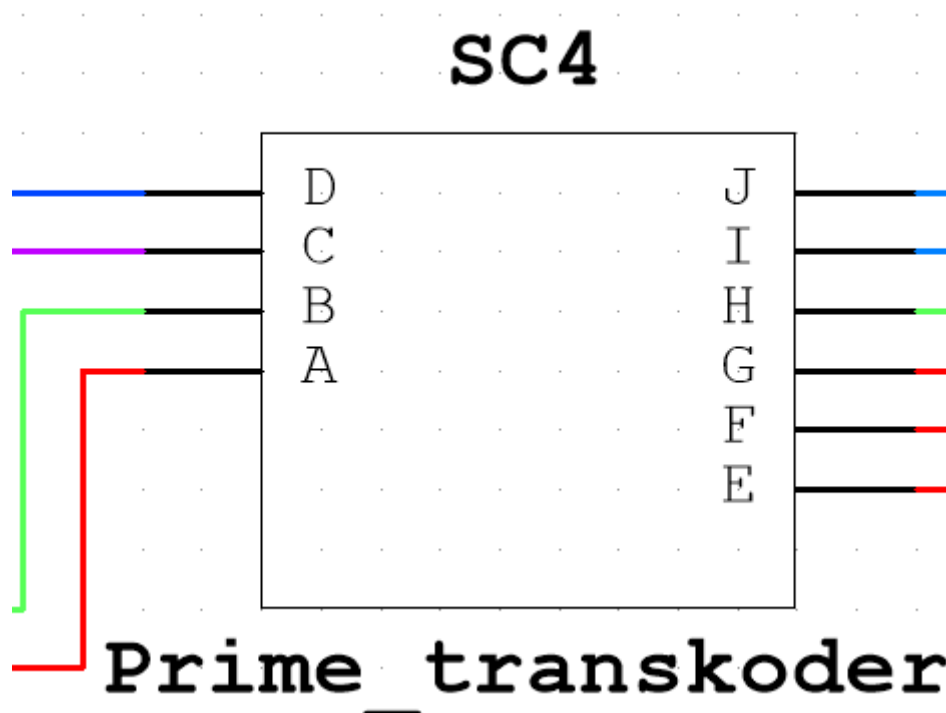
## 2 Idea rozwiązania

Nasze rozwiązanie opiera się na przekształcaniu 4 bitów wejściowych za pomocą transkoderów, generując w rezultacie 6 bitów wyjściowych. Aby uzyskać konkretne kombinacje bitów wyjściowych, zastosowaliśmy funkcje logiczne opracowane z wykorzystaniem tablic Karnaugh.

## 3 Układ transkodera liczb pierwszych

### 3.1 Black box

Pierwszym krokiem w projektowaniu układu jest przedstawienie go jako tzw. "Black Box". Czyli taką czarną skrzynkę dla której określamy tylko wejście i oczekiwany wynik działania dla danego wejścia ale nie wgłębiamy się w implementację.



Rysunek 3.1: Czarna skrzynka transkodera

Wejście do układu stanowią 4 piny ABCD kodujące binarnie wejściową liczbę 0-15. Stan wysoki na pinach stanowi logiczną jedynkę (1), a stan niski logiczne zero (0).

Numer bitu	3	2	1	0
Bit	A	B	C	D
Mnożnik	$2^3$	$2^2$	$2^1$	$2^0$

Tabela 3.1: Kodowanie pinów ABCD

Wyjście układu stanowi 6 pinów EFGHIJ kodujące pierwsze 16 liczb pierwszych. Tak samo jak na wejściu stan wysoki na pinach stanowi logiczną jedynkę (1), a stan niski logiczne zero (0).

Numer bitu	5	4	3	2	1	0
Bit	E	F	G	H	I	J
Mnożnik	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$

Tabela 3.2: Kodowanie pinów EFGHIJ

Układ mapuje wejście na wyjście w następujący sposób - zakładając notację binarną zapisanego mapowania.

Wejście	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Oczekiwane wyjście	2	3	5	7	11	13	17	19	23	29	31	37	41	43	47	53

Tabela 3.3: mapowanie wejścia na wyjście

## 3.2 Tabela prawdy

Poniżej zapisaliśmy tabelę prawd dla projektowanego układu:

Wejście				Wyjście					
A	B	C	D	E	F	G	H	I	J
0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	0	1	0	1
0	0	1	1	0	0	0	1	1	1
0	1	0	0	0	0	1	0	1	1
0	1	0	1	0	0	1	1	0	1
0	1	1	0	0	1	0	0	0	1
0	1	1	1	0	1	0	0	1	1
1	0	0	0	0	1	0	1	1	1
1	0	0	1	0	1	1	1	0	1
1	0	1	0	0	1	1	1	1	1
1	0	1	1	1	0	0	1	0	1
1	1	0	0	1	0	1	0	0	1
1	1	0	1	1	0	1	0	1	1
1	1	1	0	1	0	1	1	1	1
1	1	1	1	1	1	0	1	0	1

Tabela 3.4: Tabela prawdy dla układu

### 3.3 Tablice Karnaugh

Poniżej przedstawione są tabele Karnaugh których użyliśmy do zbudowania transkoderów poszczególnych bitów. W poniższym zapisie  $A+B$  oznacza bramkę  $OR(A, B)$ ,  $AB$  oznacza  $AND(A, B)$  i  $\bar{A}$  oznacza  $NOT(A)$ .

#### 3.3.1 Człon J

		$CD$			
		00	01	11	10
$AB$	00	0	1	1	1
	01	1	1	1	1
	11	1	1	1	1
	10	1	1	1	1

Tabela 3.5: Tabela Karnaugh dla członu J

$$f_{(1)} = A + C + D + B$$

## 3.3.2 Człon I

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	1	1	1	0
	01	1	0	1	0
	11	0	1	0	1
	10	1	0	0	1

Tabela 3.6: Tabela Karnaugh dla członu I

$$f_{(1)} = A\overline{C}\overline{D} + \overline{A}C\overline{D} + \overline{A}\overline{B}C + \overline{A}C\overline{D} + \overline{B}C\overline{D} + A\overline{B}\overline{C}D$$

## 3.3.3 Człon H

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	0	0	1	1
	01	0	1	0	0
	11	0	0	1	1
	10	1	1	1	1

Tabela 3.7: Tabela Karnaugh dla członu H

$$f_{(1)} = \overline{A}\overline{B} + AC + \overline{B}C + \overline{A}\overline{B}\overline{C}D$$

## 3.3.4 Człon G

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	0	0	0	0
	01	1	1	0	0
	11	1	1	0	1
	10	0	1	0	1

Tabela 3.8: Tabela Karnaugh dla członu G

$$f_{(1)} = \textcolor{green}{B}\overline{\textcolor{green}{C}} + \textcolor{red}{A}\overline{\textcolor{red}{C}}\overline{\textcolor{red}{D}} + \textcolor{yellow}{A}\overline{\textcolor{yellow}{C}}\textcolor{yellow}{D}$$

## 3.3.5 Człon F

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	0	0	0	0
	01	0	0	1	1
	11	0	0	1	0
	10	1	1	0	1

Tabela 3.9: Tabela Karnaugh dla członu F

$$f_{(1)} = \textcolor{red}{A}\overline{\textcolor{red}{B}}\overline{\textcolor{red}{D}} + \textcolor{green}{A}\overline{\textcolor{green}{B}}\overline{\textcolor{green}{C}} + \textcolor{yellow}{A}\overline{\textcolor{yellow}{B}}\textcolor{yellow}{C} + \textcolor{blue}{B}\textcolor{blue}{C}\textcolor{blue}{D}$$

## 3.3.6 Człon E

		<i>CD</i>			
		00	01	11	10
<i>AB</i>	00	0	0	0	0
	01	0	0	0	0
	11	1	1	1	1
	10	0	0	1	0

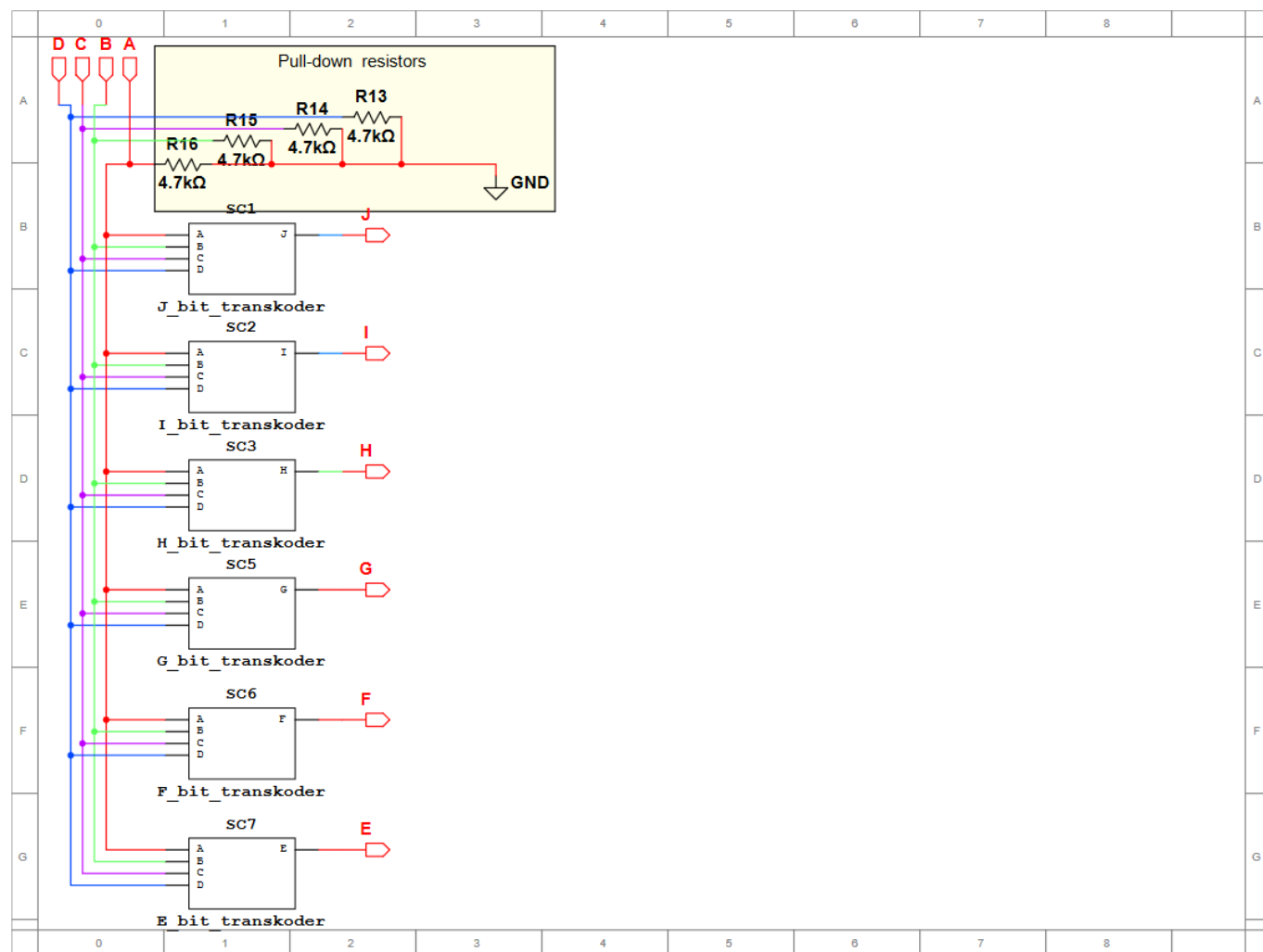
Tabela 3.10: Tabela Karnaugh dla członu E

$$f_{(1)} = AB + ACD$$

## 3.4 Implementacja

Otrzymane z tablic Karnough funkcje zostały odpowiednio przekształcone tak, aby używały jedynie bramek NAND i następnie zostały one zaimplementowane. Zdecydowaliśmy się na użycie schematów hierarchicznych - subcircuit - dla zwiększenia czytelności schematu. Na pierwszym poziomie znajdują się same transkodery pojedynczych bitów - czarne skrzynki które otrzymują całe wejście, a w wyniku dają konkretny bit wyjścia, innymi słowy każda funkcja logiczna została zaimplementowana na oddzielnym schemacie, a następnie zgromadziliśmy je w jeden podschemat stanowiący cały projektowany układ "Prime transkoder"





Rysunek 3.2: Podszemat najwyższego rzędu, gromadzący w sobie podszematy właściwych funkcji logicznych

Użyliśmy rezystorów pull-down na wejściu układu, które ściągają niepodpięty sygnał do logicznego zera aby zapewnić poprawne funkcjonowanie układu nawet gdy wejście nie jest podpięte w całości.

Poniżej implementacje poszczególnych funkcji logicznych zgodnie z funkcjami otrzymanymi z tablic Karnaugh razem z przekształceniami aby używane były wyłącznie bramki NAND. Najczęściej używanymi przez nas przekształceniami będą:

$$OR(A, B) = NAND(NOT(A), NOT(B))$$

$$AND(A, B) = NOT(NAND(A, B))$$

$$NOT(A) = NAND(A, A)$$

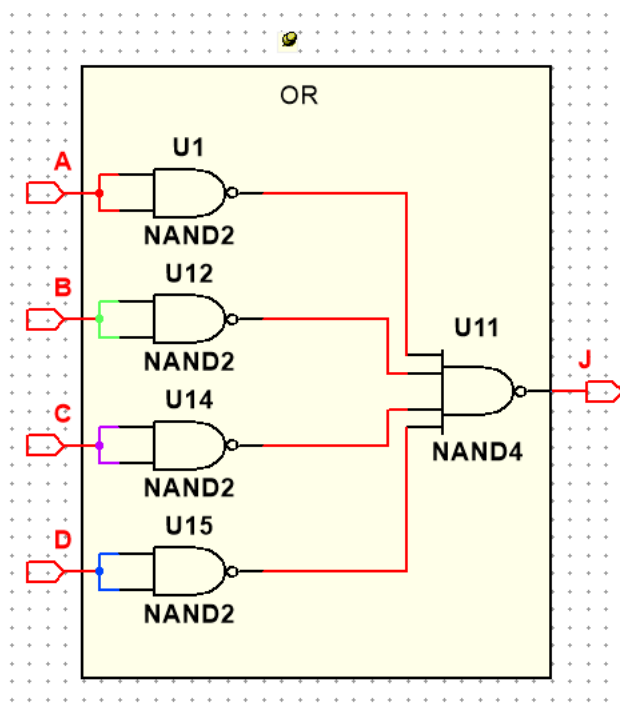
Warto zauważyć, że w następującej sytuacji:

$$OR(AND(A, B)) = NAND(NOT(NOT(NAND(A, B))), NOT(NOT(NAND(A, B))))$$

Co można uprościć do poniższej formuły:

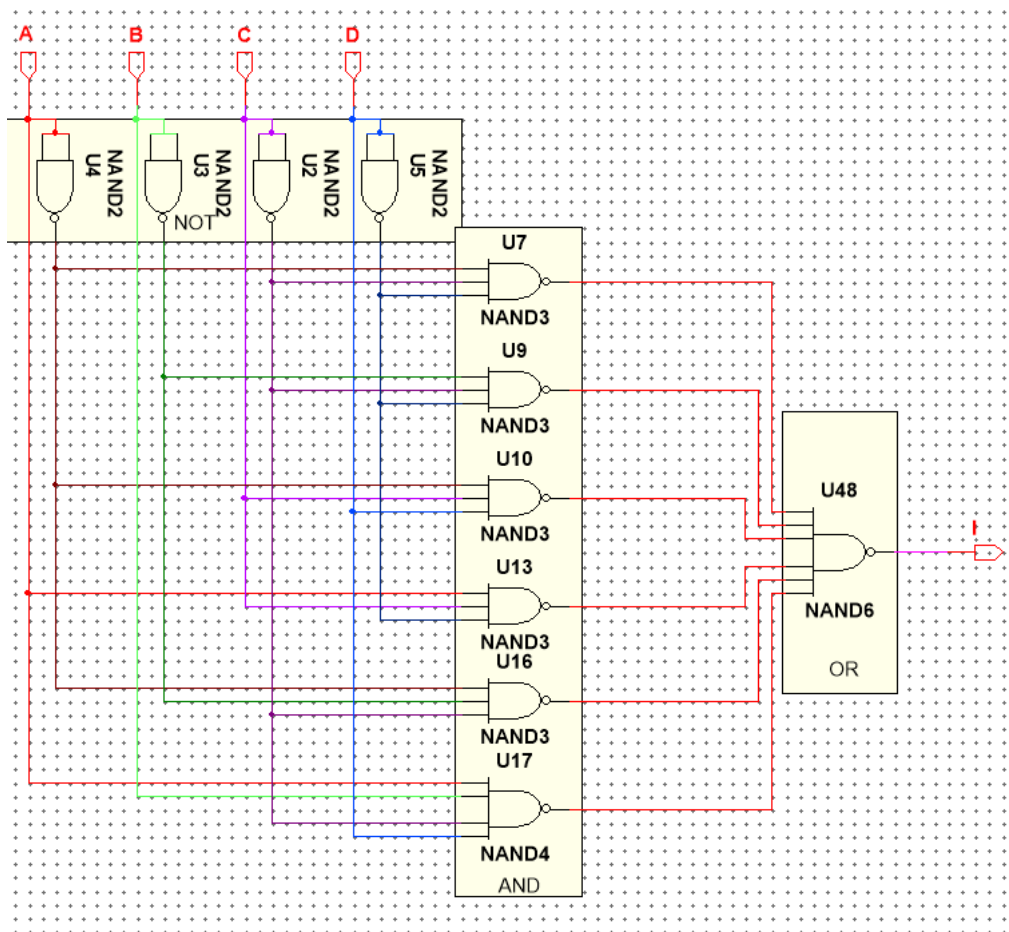
$$NAND(NAND(A, B), NAND(A, B))$$

## 3.4.1 Transkoder J



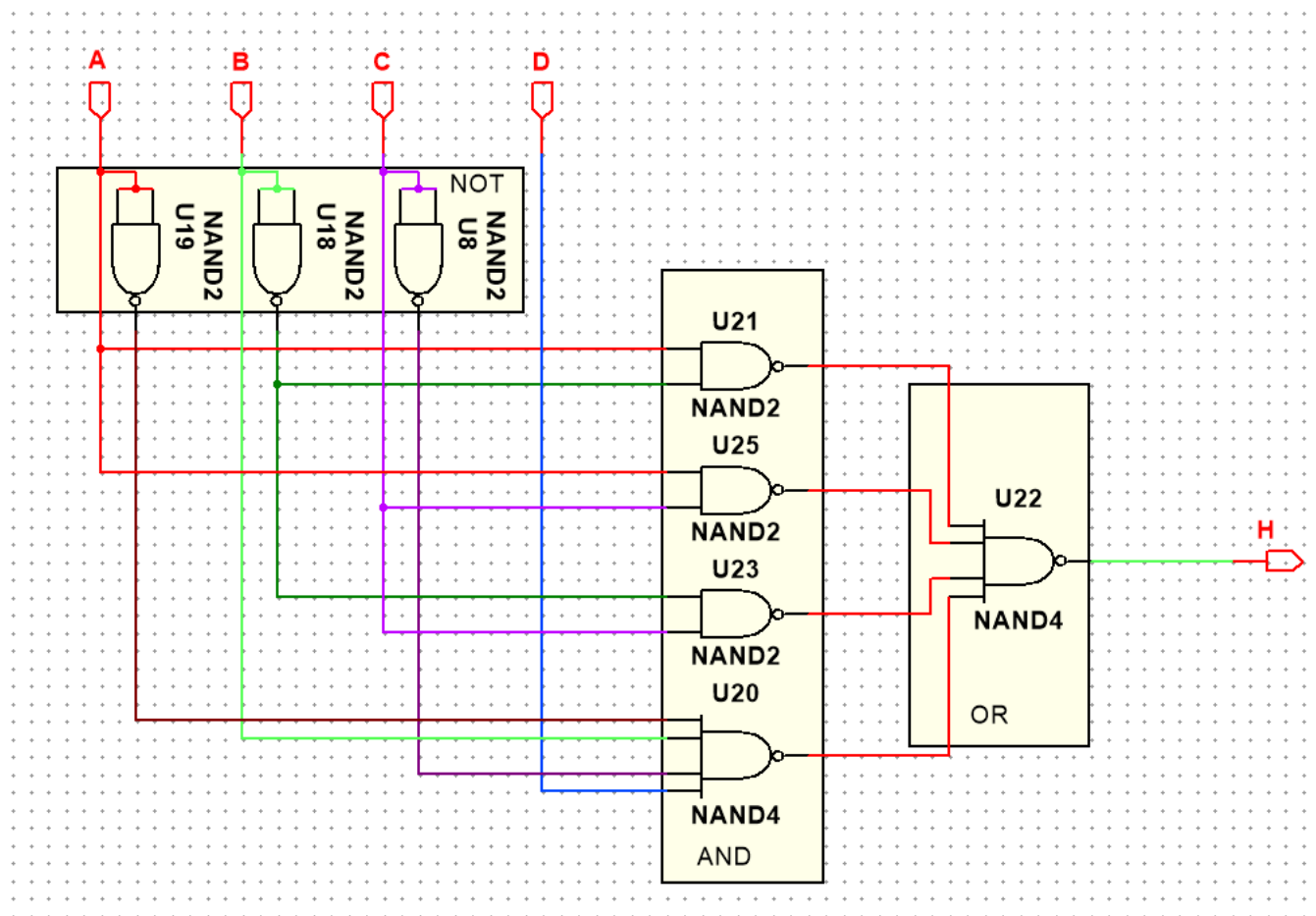
Rysunek 3.3: Podszemat funkcji logicznej dla członu J

## 3.4.2 Transkoder I



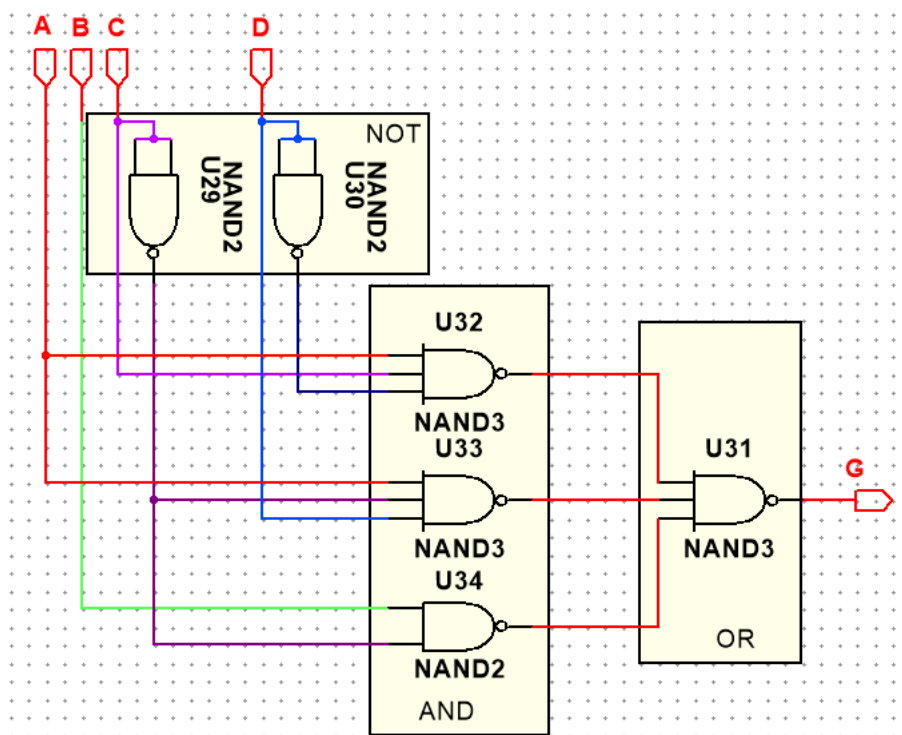
Rysunek 3.4: Podszemat funkcji logicznej dla członu I

## 3.4.3 Transkoder H



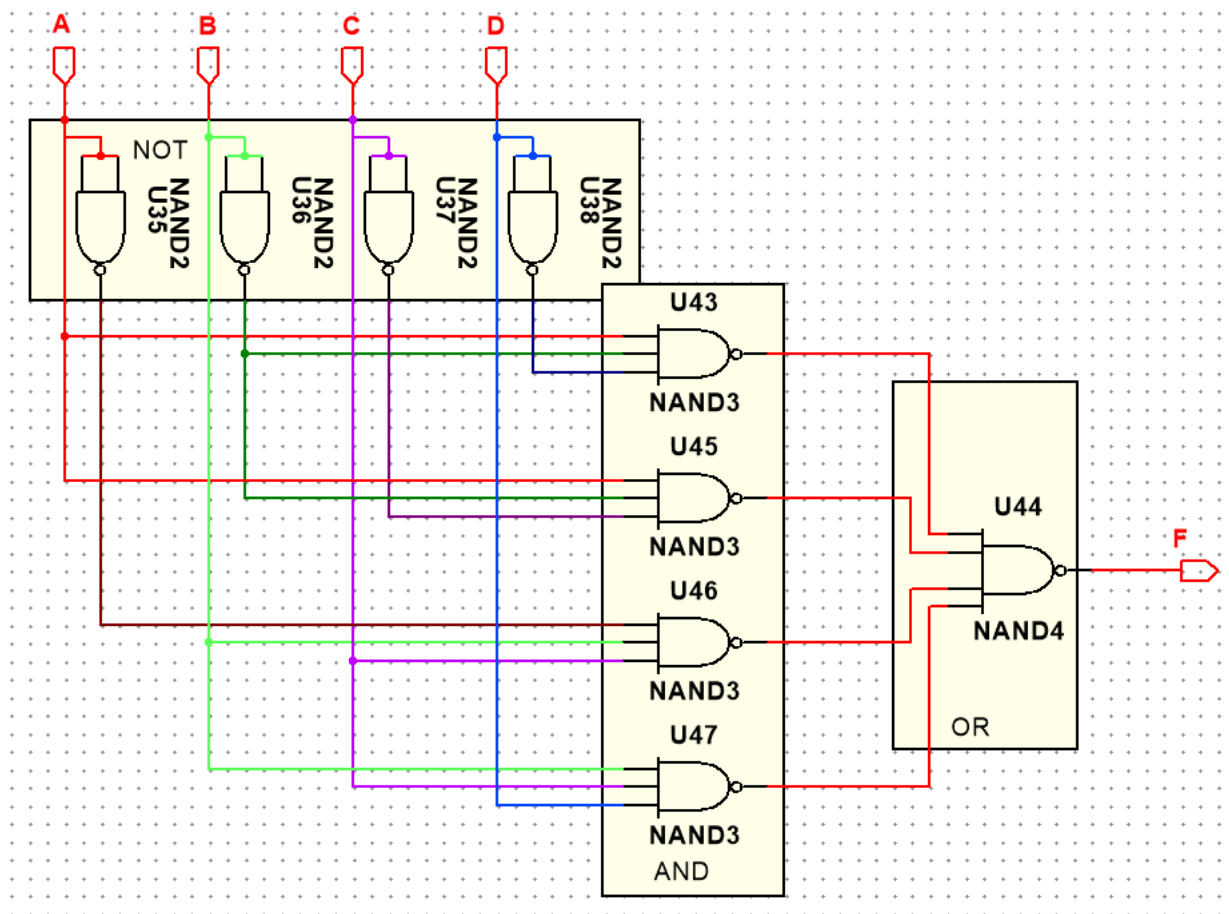
Rysunek 3.5: Podszemat funkcji logicznej dla członu H

## 3.4.4 Transkoder G



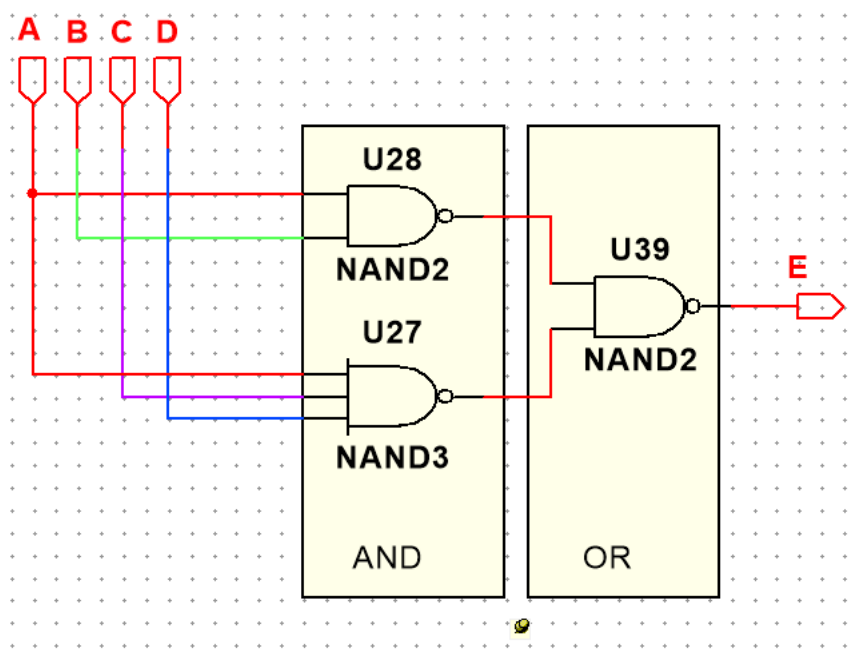
Rysunek 3.6: Podszemat funkcji logicznej dla członu G

## 3.4.5 Transkoder F



Rysunek 3.7: Podszemat funkcji logicznej dla członu F

## 3.4.6 Transkoder E

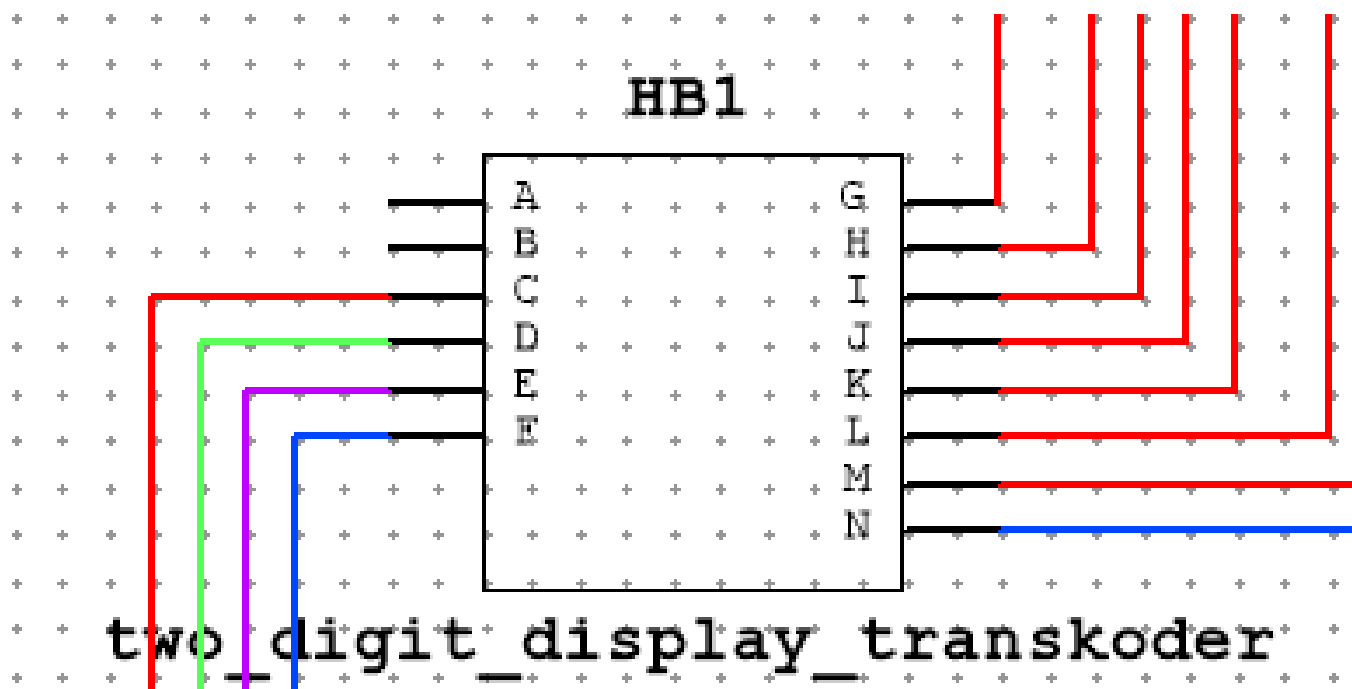


Rysunek 3.8: Podszemat funkcji logicznej dla członu E

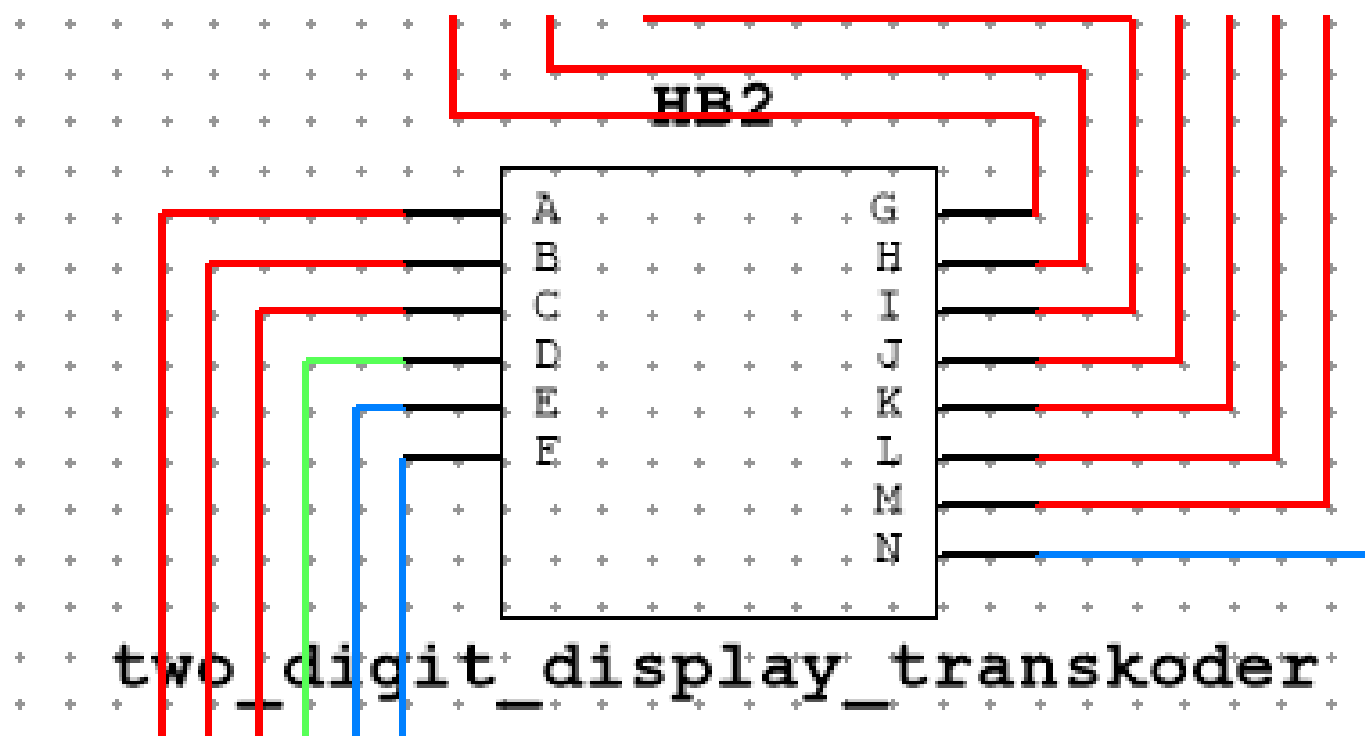
## 4 Enkoder BCD

Aby wyświetlać liczby dwucyfrowe w poprawny sposób zdecydowaliśmy się na zaimplementowanie enkodera BCD (Binary Coded Decimal). Jest to format w którym liczba dziesiętna jest kodowana cyfra po cyfrze przez 4 bitowe liczby binarne. Pozwala to na łatwe wyświetlanie wielocyfrowych liczb. W programie Multisim nie udało nam się znaleźć gotowego układu z większą niż 4 bity liczbą wejść, dlatego sami go zaimplementowaliśmy. Jako, że nie jest to bezpośredni cel ćwiczenia, nie rozpisywaliśmy ręcznie tablic Karnaugh - dla 6 zmiennych wejściowych jest to bardziej złożona operacja, lecz skorzystaliśmy z gotowego kalkulatora w internecie (<http://www.32x8.com/var6.html>), aby wygenerować funkcję logiczną. Tabelę prawd wygenerowaliśmy samemu algorytmicznie, a następnie zaznaczyliśmy odpowiednie bity w kalkulatorze online w ten sposób otrzymując funkcje logiczne. Użyliśmy go dwukrotnie. Jeden służy do przedstawienia liczb 0-15, drugi zaś do przedstawienia kolejnych liczb pierwszych.

## 4.1 Black box



Rysunek 4.1: Czarna skrzynka enkodera BCD dla wejścia



Rysunek 4.2: Czarna skrzynka enkodera BCD dla wyjścia

Wejście do układu stanowią 6 pinów ABCDEF kodujące binarnie wejściową liczbę 0-63. Stan wysoki na pinach stanowi logiczną jedynkę (1), a stan niski logiczne zero (0).



Numer bitu	5	4	3	2	1	0
Bit	A	B	C	D	E	F
Mnożnik	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$

Tabela 4.1: Kodowanie pinów ABCDEF

Wyjście układu stanowi 8 pinów GHIJKLMN kodujące oddzielnie 2 cyfry składające się na liczbę 2 cyfrową. Tak samo jak na wejściu stan wysoki na pinach stanowi logiczną jedynkę (1), a stan niski logiczne zero (0).

Numer bitu	7	6	5	4	3	2	1	0
Bit	G	H	I	J	K	L	M	N
Mnożnik	$2^7$	$2^6$	$2^5$	$2^4$	$2^3$	$2^2$	$2^1$	$2^0$

Tabela 4.2: Kodowanie pinów GHIJKLMN

Układ mapuje wejście na wyjście w następujący sposób - zakładając notację binarną zapisanego mapowania.

Wejście	0	1	2	3	4	5	6	7	8	9	10	...	63
Oczekiwane wyjście	0 0	0 1	0 2	0 3	0 4	0 5	0 6	0 7	0 8	0 9	1 0	...	6 3

Tabela 4.3: Mapowanie wejścia na wyjście

## 4.2 Tabela prawdy

Poniżej zapisaliśmy tabelę prawd dla projektowanego układu:

Wejście						Wyjście							
A	B	C	D	E	F	G	H	I	J	K	L	M	N
0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	0	1	1	0	0	0	0	0	0	1	1
0	0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	0	1	0	1	0	0	0	0	0	1	0	1
0	0	0	1	1	0	0	0	0	0	0	1	1	0
0	0	0	1	1	1	0	0	0	0	0	1	1	1
0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	0	0	1	0	0	0	0
0	0	1	0	1	1	0	0	0	1	0	0	0	1
0	0	1	1	0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	0	0	1	0	0	1	1
0	0	1	1	1	0	0	0	0	1	0	1	0	0
0	0	1	1	1	1	0	0	0	1	0	1	0	1
0	1	0	0	0	0	0	0	0	1	0	1	1	0
0	1	0	0	0	1	0	0	0	1	0	1	1	1
0	1	0	0	1	0	0	0	0	1	1	0	0	0
0	1	0	0	1	1	0	0	0	1	1	0	0	1
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	1	0	0	1	0	0	0	0	1
0	1	0	1	1	0	0	0	1	0	0	0	1	0
0	1	0	1	1	1	0	0	1	0	0	0	1	1
0	1	1	0	0	0	0	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	1	0	0	1	0	1
0	1	1	0	1	0	0	0	1	0	0	1	1	0
0	1	1	0	1	1	0	0	1	0	0	1	1	1
0	1	1	1	0	0	0	0	1	0	1	0	0	0
0	1	1	1	1	0	1	0	1	0	1	0	0	1
0	1	1	1	1	1	0	0	1	1	0	0	0	0
0	1	1	1	1	1	1	0	1	1	0	0	0	1

cd.

Wejście						Wyjście							
A	B	C	D	E	F	G	H	I	J	K	L	M	N
1	0	0	0	0	0	0	0	1	1	0	0	1	0
1	0	0	0	0	1	0	0	1	1	0	0	1	1
1	0	0	0	1	0	0	0	1	1	0	1	0	0
1	0	0	0	1	1	0	0	1	1	0	1	0	1
1	0	0	1	0	0	0	0	1	1	0	1	1	0
1	0	0	1	0	1	0	0	1	1	0	1	1	1
1	0	0	1	1	0	0	0	1	1	1	0	0	0
1	0	0	1	1	1	0	0	1	1	1	0	0	1
1	0	1	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	0	1	0	1	0	0	0	0	0	1
1	0	1	0	1	0	0	1	0	0	0	0	1	0
1	0	1	0	1	1	0	1	0	0	0	0	1	1
1	0	1	1	0	0	0	1	0	0	0	1	0	0
1	0	1	1	0	1	0	1	0	0	0	1	0	1
1	0	1	1	1	0	0	1	0	0	0	1	1	0
1	0	1	1	1	1	0	1	0	0	0	1	1	1
1	1	0	0	0	0	0	1	0	0	1	0	0	0
1	1	0	0	0	1	0	1	0	0	1	0	0	1
1	1	0	0	1	0	0	1	0	1	0	0	0	0
1	1	0	0	1	1	0	1	0	1	0	0	0	1
1	1	0	1	0	0	0	1	0	1	0	0	1	0
1	1	0	1	0	1	0	1	0	1	0	0	1	1
1	1	0	1	1	0	0	1	0	1	0	1	0	0
1	1	0	1	1	1	0	1	0	1	0	1	0	1
1	1	1	0	0	0	0	1	0	1	0	1	1	0
1	1	1	0	0	1	0	1	0	1	0	1	1	1
1	1	1	0	1	0	0	1	0	1	1	0	0	0
1	1	1	1	0	0	0	1	1	0	0	0	0	0
1	1	1	1	1	0	1	0	1	0	0	0	0	1
1	1	1	1	1	1	0	1	1	0	0	0	1	0
1	1	1	1	1	1	0	1	1	0	0	0	1	1

Tabela 4.4: Tabela prawdy dla układu

### 4.3 Funkcje logiczne

#### 4.3.1 Funkcja M

$$f_{(1)} = \overline{ABCE} + \overline{ACDE} + \overline{ABCE} + \overline{ACDE} + \overline{ABCE} + ACDE + \overline{ABCE} + \overline{ABCE} + \overline{ABCE} + \overline{ABCE}$$

#### 4.3.2 Funkcja L

$$f_{(1)} = \overline{ABCD} + \overline{BCDE} + \overline{ABDE} + \overline{ABCD} + \overline{BCDE} + \overline{ABDE} + \overline{ABCE} + \overline{ABCE}$$

#### 4.3.3 Funkcja K

$$f_{(1)} = \overline{ABCE} + \overline{ABCE} + \overline{ABCE} + \overline{ABCE} + \overline{ABCE} + \overline{ABCE}$$

#### 4.3.4 Funkcja J

$$f_{(1)} = \overline{ABC} + \overline{ACE} + \overline{ACD} + \overline{ABCE} + \overline{ABCD} + \overline{ACDE} + \overline{ABCE} + \overline{ABCE}$$

#### 4.3.5 Funkcja I

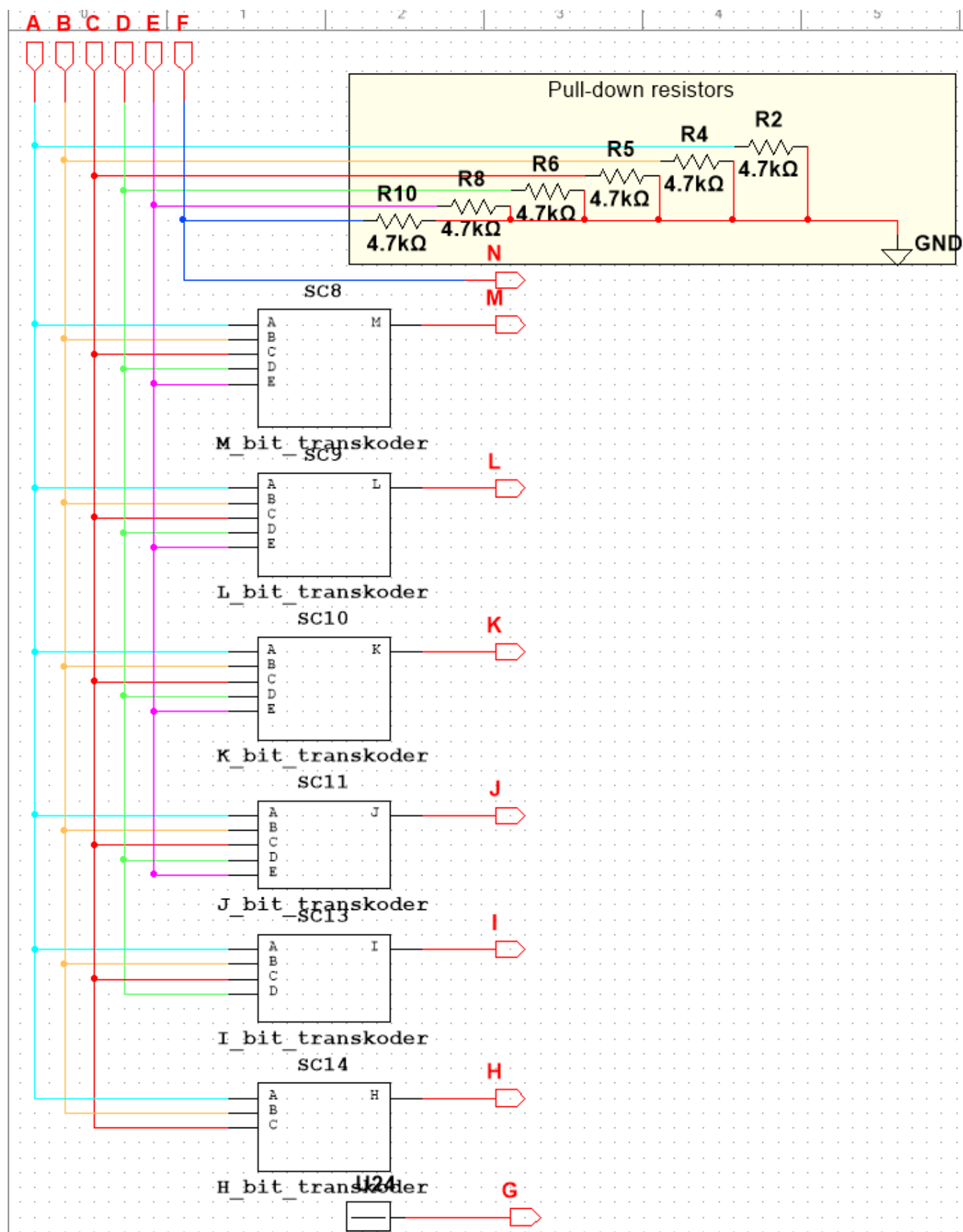
$$f_{(1)} = \overline{ABD} + \overline{ABC} + BCD + \overline{ABC}$$

#### 4.3.6 Funkcja H

$$f_{(1)} = AB + AB$$

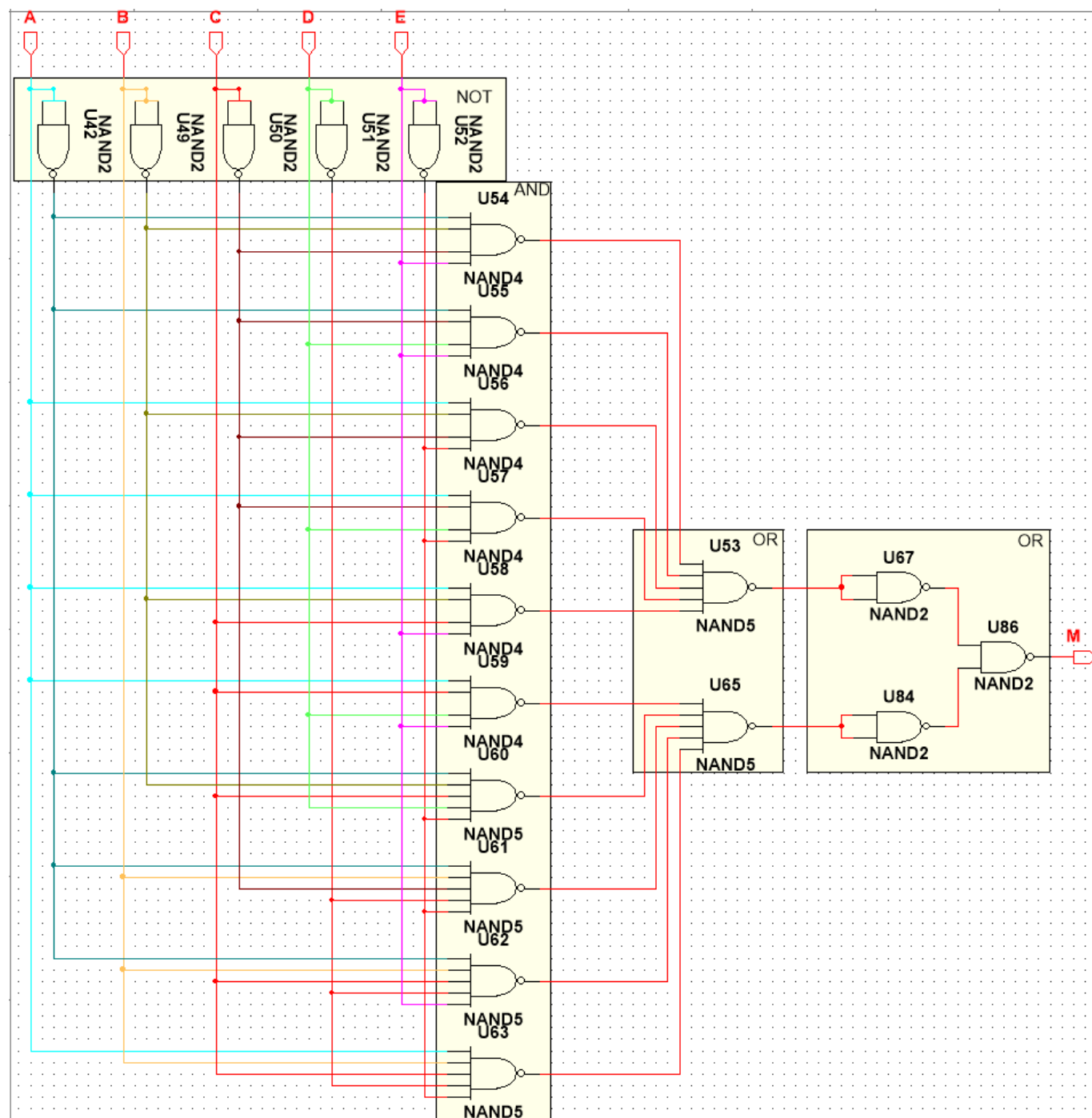
### 4.4 Implementacja

Tak jak poprzednio, otrzymane funkcje logiczne zostały w naszym układzie zaimplementowane wyłącznie przy użyciu bramek NAND. Tutaj również wykorzystaliśmy schematy hierarchiczne, zachowując, ten sam co wcześniej, podział na czarną skrzynkę, główny podschemat i transkodery dla poszczególnych bitów.



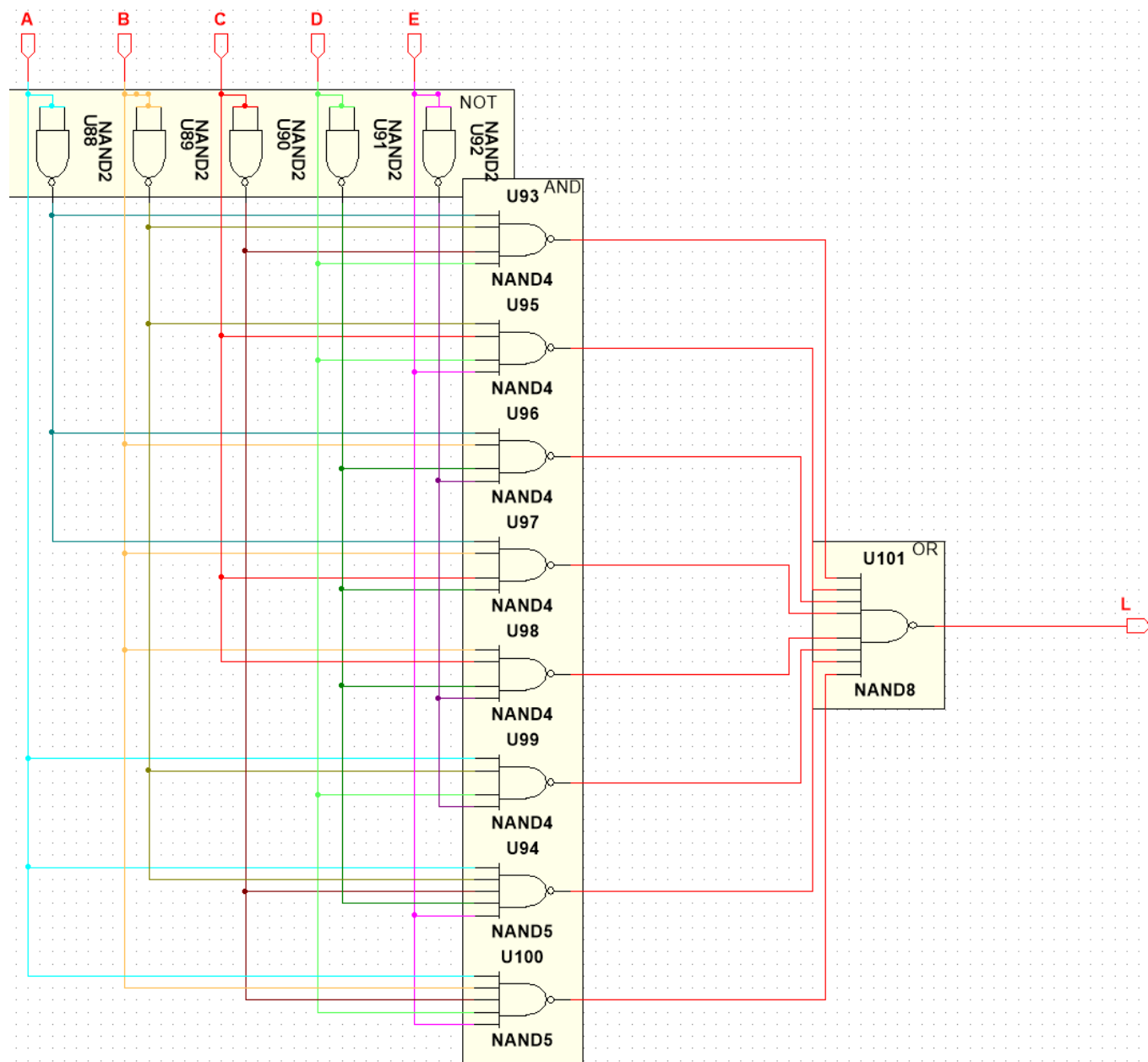
Rysunek 4.3: Podschemat najwyższego rzędu, gromadzący w sobie podschematy właściwych funkcji logicznych

## 4.4.1 Enkoder M



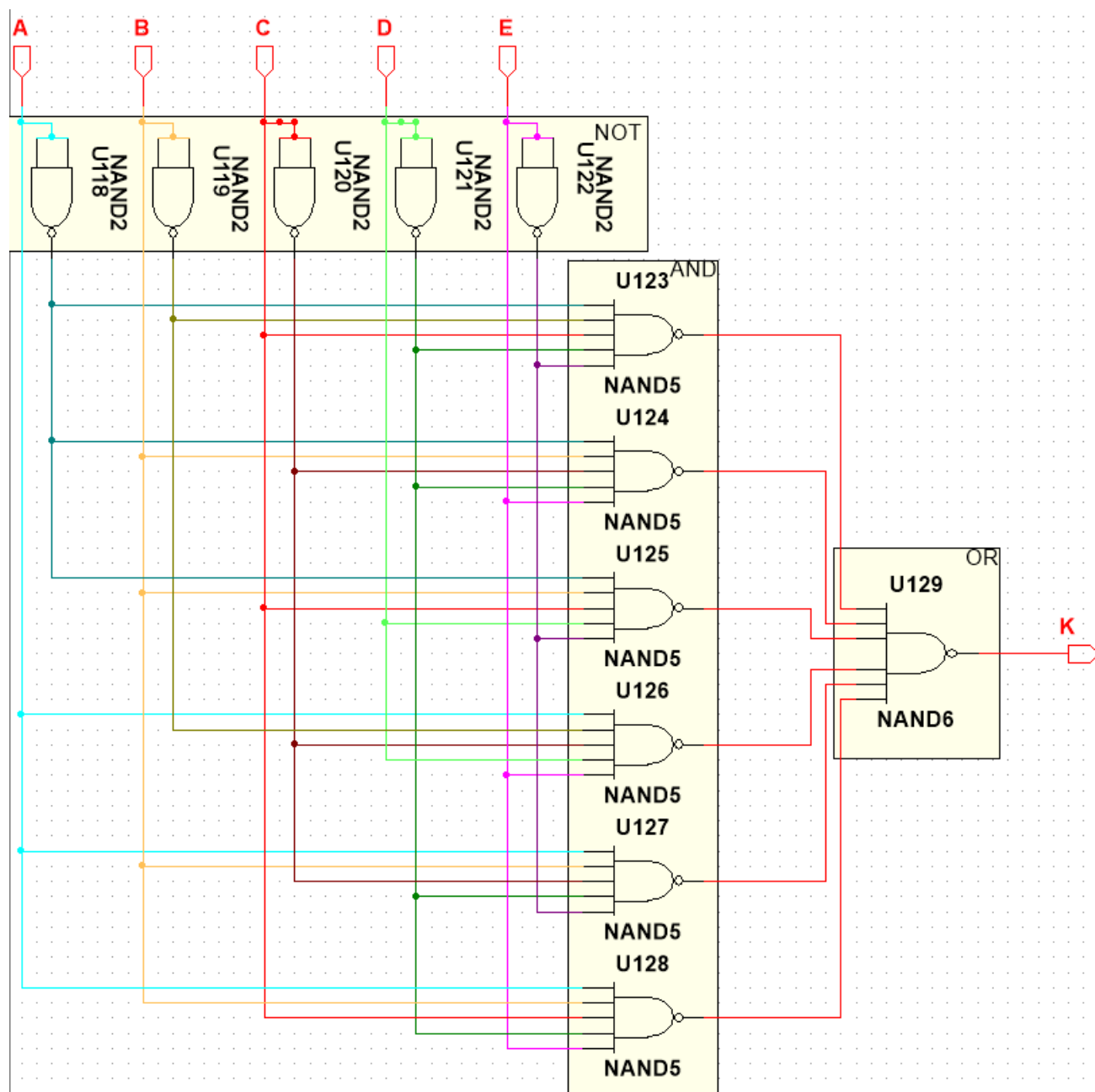
Rysunek 4.4: Podszemat funkcji logicznej dla członu M

## 4.4.2 Enkoder L



Rysunek 4.5: Podszemat funkcji logicznej dla członu L

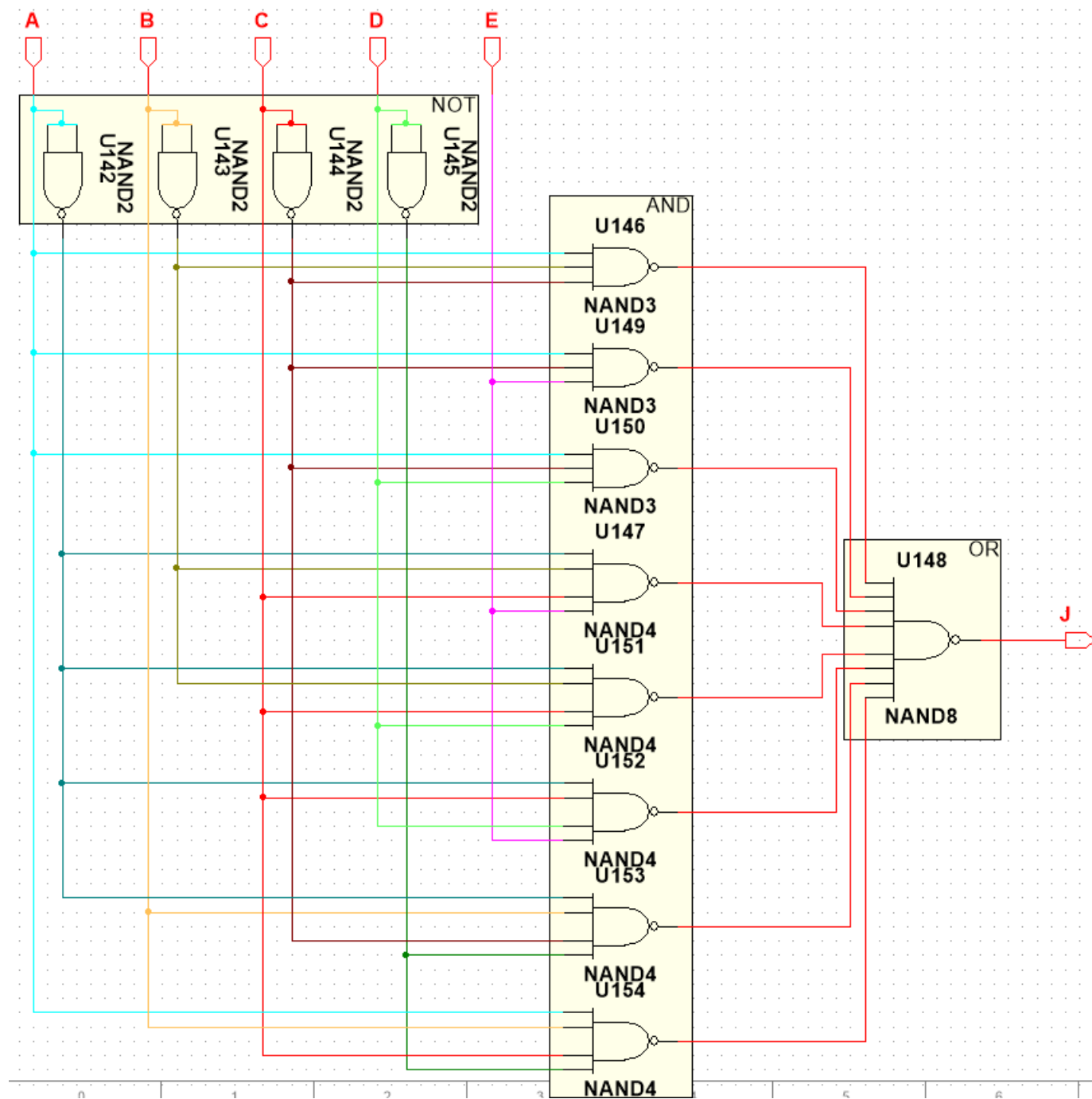
## 4.4.3 Enkoder K



Rysunek 4.6: Podszemat funkcji logicznej dla członu K

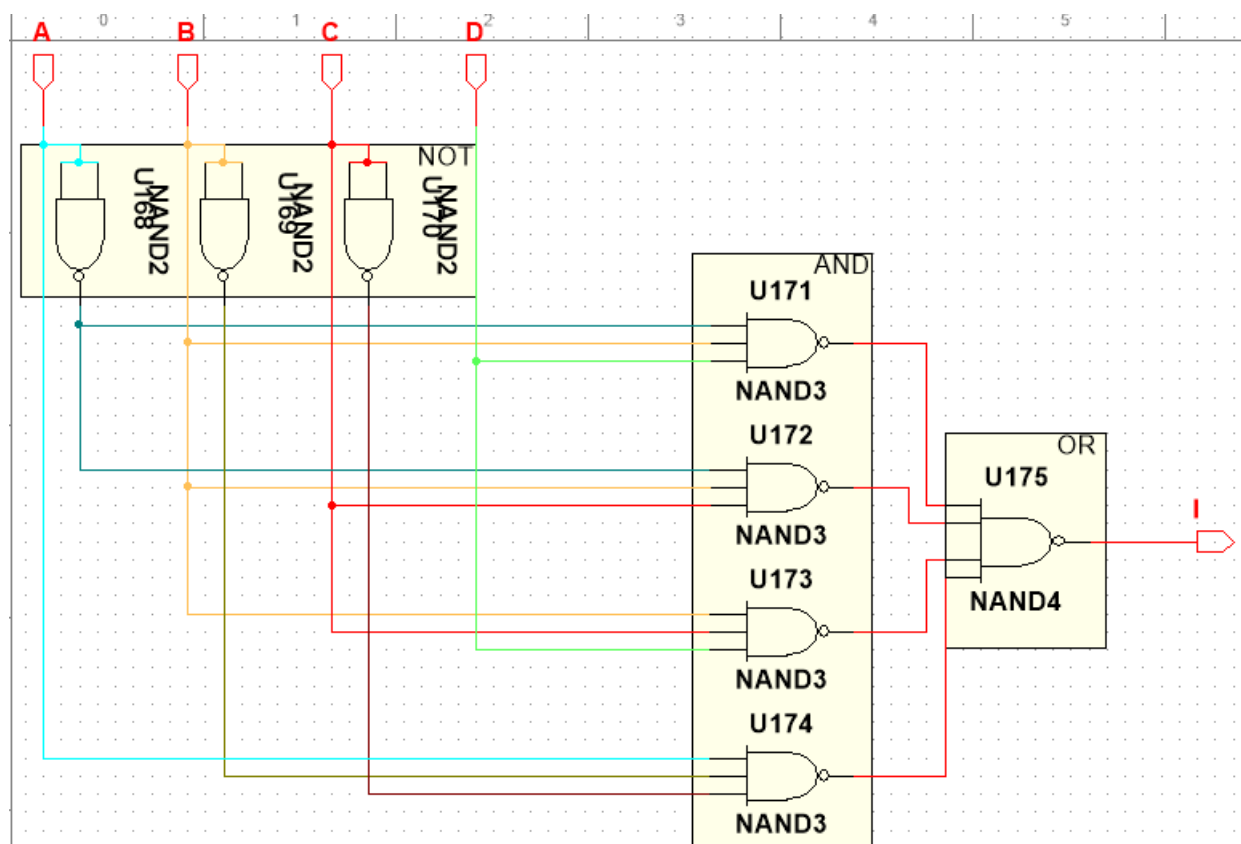


## 4.4.4 Enkoder J



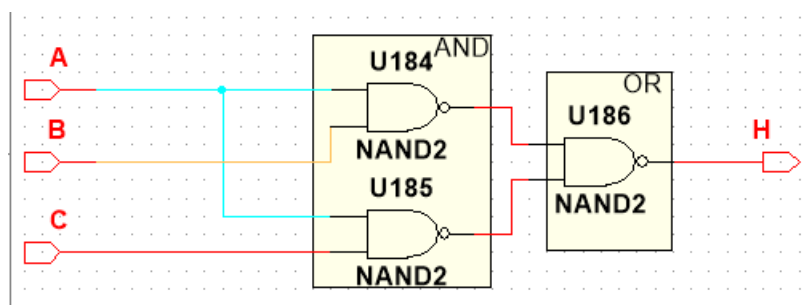
Rysunek 4.7: Podszemat funkcji logicznej dla członu J

## 4.4.5 Enkoder I



Rysunek 4.8: Podszemat funkcji logicznej dla członu I

## 4.4.6 Enkoder H



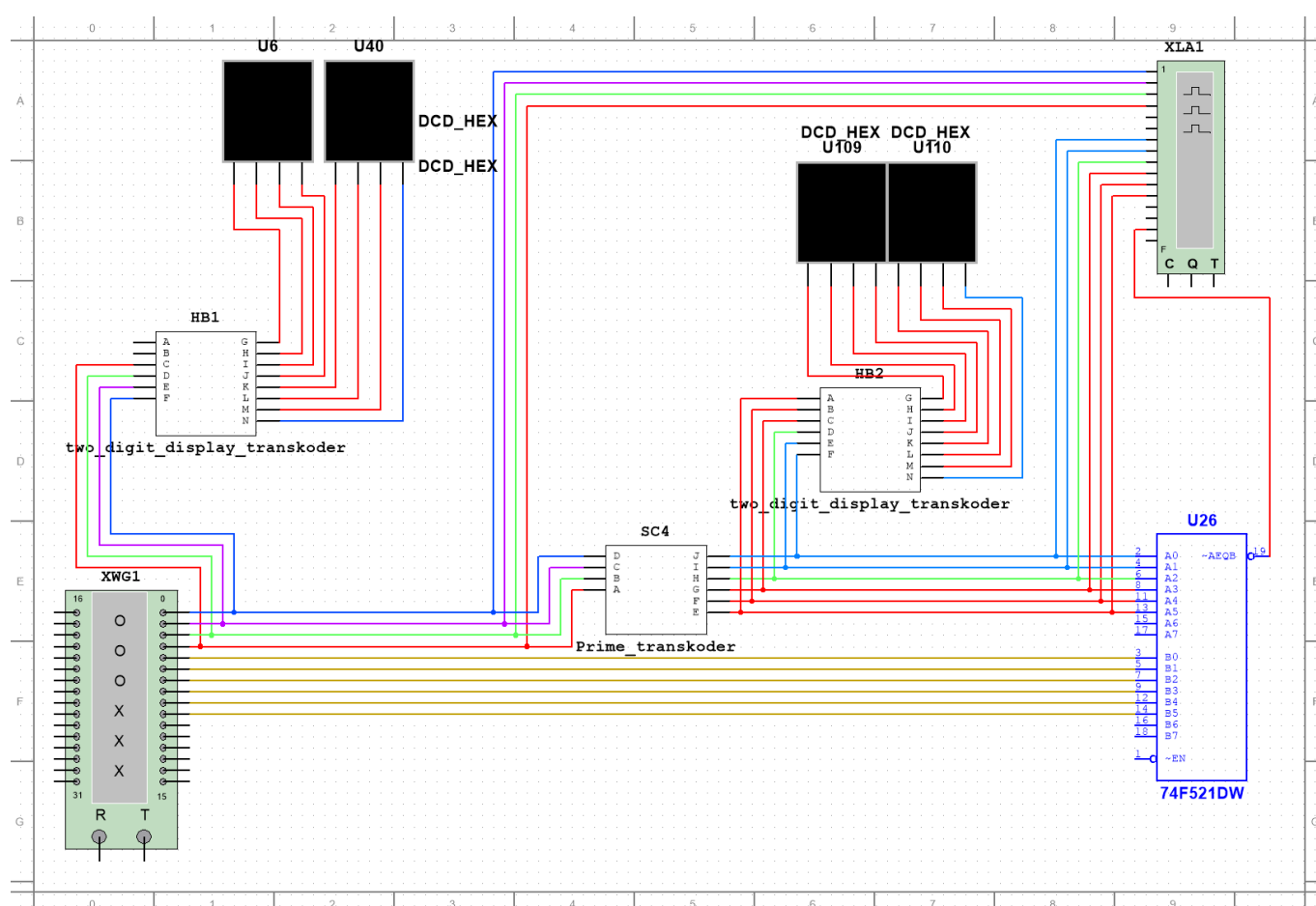
Rysunek 4.9: Podszemat funkcji logicznej dla członu H

## 5 Układ testowy

Aby przetestować projektowany element zestawiliśmy układ zawierający:

- Word Generator - generuje 4 bity wejściowe dla naszego układu, oraz 6 bitów oczekiwanego wyjścia - zakodowane liczby pierwsze
- Comparator - porównuje wyjście układu z zakodowanym wyjściem z generatora sygnałów

- Logic Analyzer - pozwala na wyświetlenie przebiegów wejścia i wyjścia układu, aby sprawdzić poprawność jego działania
- Wyświetlacze HEX - wyświetlacze 7 segmentowe z enkoderem pozwalające wyświetlić liczby 0-15 jako cyfry szesnastkowe
- Prime transkoder - nasz zaprojektowany układ transkodujący liczby 0-15 na liczby pierwsze
- two digit display transkoder - nasz autorski enkoder BCD, pozwalający lepiej zwizualizować działanie naszego układu



Rysunek 5.1: Schemat całego układu

## 5.1 Analiza przebiegu

- Word Generator

Generuje 4 bity wejściowe dla układu, które są następnie przesyłane do Prime Transkodera oraz do Two Digit Display Transkodera.

Generuje 6 bitów oczekiwanego wyjścia, które są zakodowanymi liczbami

pierwszymi. Te bity są porównywane przez Comparator z wyjściem Prime Transkodera.

- Prime Transkoder

Otrzymuje 4 bity wejściowe od Word Generator.

Transkoduje otrzymane bity wejściowe na liczby pierwsze zgodnie z opisaną tabelą.

Wygenerowane liczby pierwsze są przekazywane do Comparatora w celu porównania z oczekiwanym wyjściem.

- Comperator

Porównuje wyjście z Prime Transkodera (liczby pierwsze) z zakodowanymi liczbami pierwszymi wygenerowanymi przez Word Generator.

Jeśli wyjście układu jest zgodne z oczekiwanym wyjściem, generuje sygnał informujący o poprawności działania układu.

- Two Digit Display Transkoder

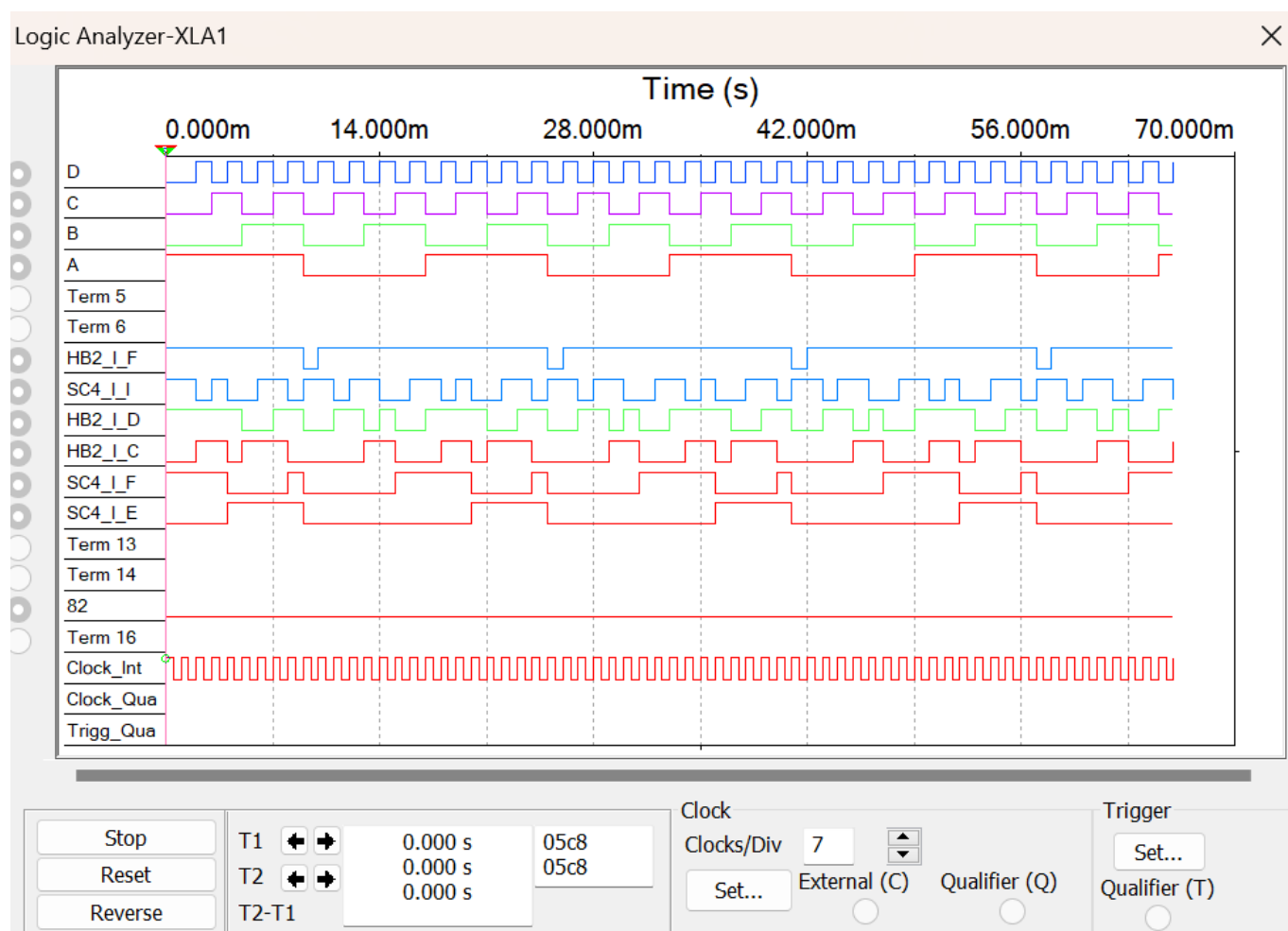
Pierwszy z nich otrzymuje od Word Generatora 4 bity wejściowe i transkoduje je zgodnie z opisaną tabelą, a następnie przekazuje do wyświetlaczy HEX

Drugi z nich otrzymuje od Prime Transkodera 6 bitów wejściowych i transkoduje je zgodnie z opisaną tabelą, a następnie przekazuje do wyświetlaczy HEX

- Wyświetlacze HEX

Pomagają w lepszym zobrazowaniu działania układu poprzez wizualizację zadanych liczb.

- Logic Analyzer



Rysunek 5.2: Zrzut ekranu z analizatora logicznego w trakcie działania układu

## 6 Zastosowania

Poniżej wymieniamy przykładowe zastosowania zaprojektowanego układu:

- Transkoder generujący liczby pierwsze na podstawie prostej liczby może być zastosowany w urządzeniach szyfrujących. Dużo łatwiej jest wygenerować (pseudo)-losową liczbę z przedziału 0-15 i ją przekształcić na liczbę pierwszą za pomocą takiego transkodera niż wybierać losową liczbę pierwszą. Wiele algorytmów szyfrujących czy funkcji hashujących bazuje na liczbach pierwszych więc taki układ miałby tam zastosowanie.
- Innym zastosowaniem układów z rodziny transkoderów - lecz nie necessarily tego konkretnego - może być przekształcenie kodu jakiegoś błędu reprezentowanego w systemie przez liczby 0-15 na jakiś inny kod błędu, który np. nadaje się do wyświetlenia użytkownikowi - bo mówi coś więcej o istocie problemu.