

Hw #02 {Flip Flop tipo D}

Lenguajes de descripción de hardware

Hernández Castellanos César Uriel

En el presente documento se desarrolla un par de Flip Flop tipo D, los cuales van a contar con un reinicio diferente, por una parte tendremos un reinicio sincrono y por el otro lado un reinicio asincrono.

1 Asincrono

```
AsynDFFProcess: PROCESS (CLK, RESET)
BEGIN
    IF RESET THEN
        Q <= '0';
    ELSIF (RISING_EDGE (CLK) ) THEN
        Q<=D;
    END IF;
END PROCESS;
```

3 Simulación

En la simulación de un Flip Flop tiene D como reinicio sincrono es posible apreciar que a pesar de que nuestra señal de reloj no se encuentra en algún flanco, nuestro reinicio funciona independientemente de las demás señales.

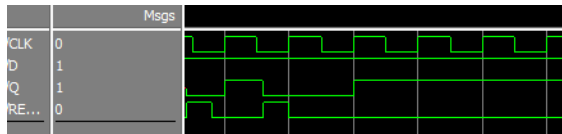


Figure 1: Resultado de la simulación

2 Sincrono

```
SynDFFProcess: PROCESS (CLK)
BEGIN
    IF RESET THEN
        Q <= '0';
    ELSIF (RISING_EDGE (CLK) ) THEN
        Q<=D;
    END IF;
END PROCESS;
```

4 Simulación

En la simulación de un Flip Flop tipo D con reinicio sincrono es posible ver que nuestra señal de reinicio tiene efecto hasta que encuentra un flanco de subida.

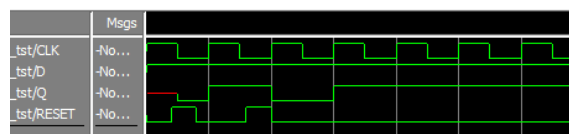


Figure 2: Resultado de la simulación

5 Diagrama RTL

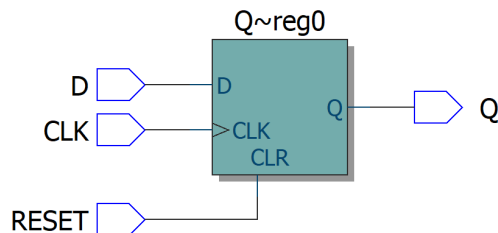


Figure 3: Flip Flop tipo D con reinicio asincrono

6 Diagrama RTL

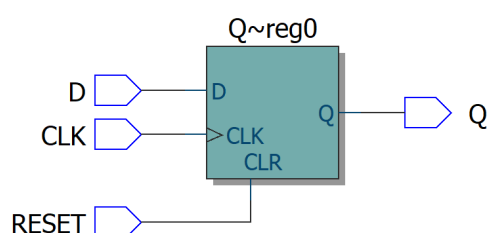


Figure 4: Flip Flop tipo D con reinicio sincrono