

Hw #01 {Full Adder}

Lenguajes de descripción de hardware

Hernández Castellanos César Uriel

En el presente documento se desarrolla un sumador completo, el cual tiene la característica de contar con un acarreo de entrada y salida, se implementó el diseño del circuito en VHDL y Verilog.

1 Implementación en VHDL

```
PROCESS (A, B, Sum, Cin, Cout, PartialSum, Tmp)
BEGIN
    Tmp<=('0' & A)+('0' & B)+Cin;
    PartialSum<=Tmp(N-1 DOWNTO 0);
    Cout<=Tmp(N);
END PROCESS;
```

2 Implementación en Verilog

```
always @ (*)
begin
    {Cout, PartialSum} = A + B + Cin;
end
```

3 Simulación

Una vez terminada la implementación se procedió a comprobar el funcionamiento correcto de nuestro diseño digital, para esto se optó por simular el sumador completo de un bit, esto con fines de simplicidad.

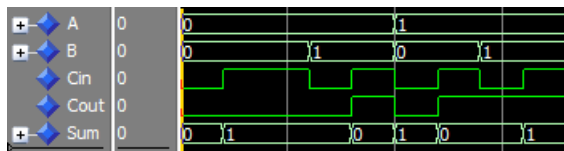


Figure 1: Resultado de la simulación

Para una mayor claridad se vaciaron los resultados de la simulación en una tabla de verdad.

4 Tabla de verdad

En la tabla siguiente es posible apreciar de manera más clara los resultados de la simulación.

Inputs			Output	
A	B	Cin	Cout	Sum
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

5 Diagrama de bloques

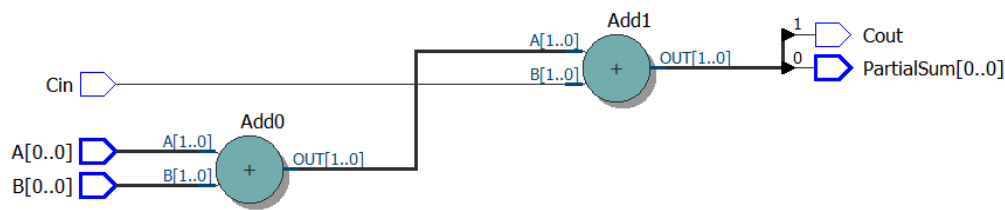


Figure 2: Diagrama a bloques del sumador con acarreo de entrada y salida