

Hw #04

Lenguajes de descripción de hardware

Hernández Castellanos César Uriel

Considerar el siguiente código escrito en lenguaje verilog.

```
If (test)
    Ax = A & B;
else
    By = A | B
```

Completar el código en el lenguaje de su elección, compilar y simular y usar el visor RTL Viewer.

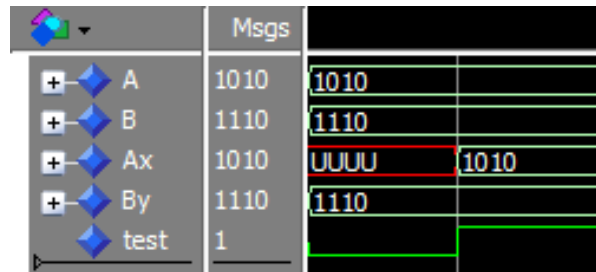


Figure 1: Simulación

1 Implementación

```
PROCESS (A, B, Test)
```

```
BEGIN
```

```
    IF (Test = '1') THEN
        Ax<= A and B;
    ELSIF (Test = '0') THEN
        By<= A or B;
    END IF;
```

```
END PROCESS;
```

El código completo puede ser consultado en el siguiente [respositorio](#).

2 Simulación

En la figura siguiente es posible apreciar la simulación del circuito descrito, su funcionamiento se basa en que al tener un uno lógico en la señal test se realizará un and entre los dos buses de entrada y en el otro caso un or.

3 Diagrama RTL

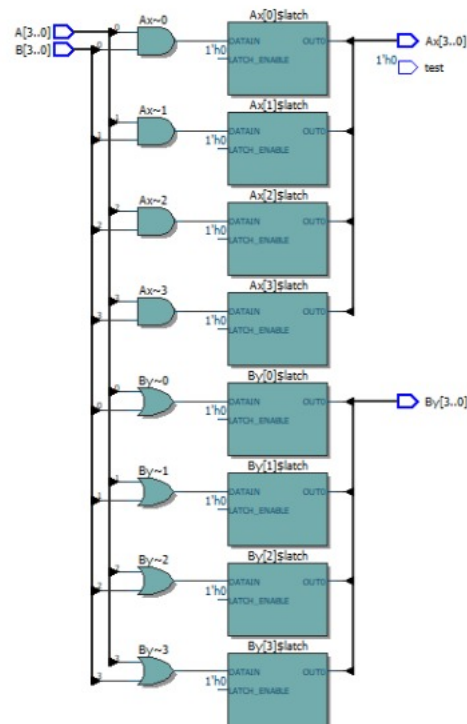


Figure 2: Resultado del visor RTL