

Proyecto	1	Página	1/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
Grupo	1	Revisado en:	30/08/2016
Revisado por:	Alfonso Chacón Rodríguez	Diseñadores	Keylor Mena Venegas Luis Leon Vega Luis Merayo Gatica

1. Resumen

Muchos de los monitores que se emplean, actualmente, en computadoras personales emplean el protocolo de comunicación de video VGA (Video Graphics Array). Este protocolo fue diseñado para controlar monitores basados en la tecnología de tubos al vacío, específicamente, el tubo de rayos catódicos (CRT).

El funcionamiento de estos monitores estaba basado en los televisores de esta misma tecnología, donde empleaban cañones de color controlados por los cátodos y dirigían el haz de electrones mediante electromagnetismo, logrando barrer la pantalla de fósforo que se ilumina gracias al choque de los electrones contra el material.

No obstante, el protocolo continúa utilizándose en la actualidad, a pesar de que la tecnología CRT ha quedado en obsolescencia. Para este proyecto, se realizará un controlador de un monitor LCD que emplee el protocolo VGA, esto, empleando una FPGA Nexys 3 para poder implementar la lógica que se diseñará para construir el controlador y, de esta forma, acelerar el proceso de prototipado del diseño.

Finalmente, este documento contendrá el proceso de diseño del controlador, la comprobación del diseño mediante simulación y los resultados experimentales producto del prototipado y la implementación en la FPGA Nexys 3.

2. Introducción

El controlador VGA a desarrollar en este proyecto contiene señales de sincronía vertical y horizontal que permiten barrer la pantalla de forma completa y, además, se requiere generar señales analógicas para modificar los tonos de color. En total, se deben diseñar etapas para poder generar la imagen, cambiar los colores y sincronizar la señal del monitor para que la tarea pueda realizarse de forma exitosa.

Para la implementación se tomará en cuenta la placa de desarrollo Nexys 3 de Digilent, que posee una FPGA Spartan-6 de Xilinx y posee un convertidor de digital a analógico en la salida de los colores hacia el monitor que permite generar hasta 256 colores distintos (combinaciones de 3 tonos de rojo y verde y 2 tonos de color azul). Asimismo, la velocidad del reloj de este dispositivo es de 100 MHz, que equivale a 4 veces más, la frecuencia requerida para el proyecto, de acuerdo con Pong Chu [1].

Por otro lado, otras de las conveniencias para usar esta placa de desarrollo de Digilent es la posibilidad de desarrollar su descripción de hardware en el entorno de Xilinx ISE, que permite controlar la descripción en lenguajes HDL en cuanto a los recursos disponibles de la Spartan-6. Esto facilita el manejo de la implementación y brinda la posibilidad de emplear una basta cantidad de instrucciones embebidas al IDE (Entorno de desarrollo).

Para concluir este apartado, se empleará la técnica de diseño Top-Down para poder crear un diseño de forma eficiente y, así, finalizar de acuerdo con el cronograma dispuesto como parte del plan de proyecto.

3. Objetivos

- Proponer un diseño a nivel de bloques de un controlador VGA que sea capaz de desplegar caracteres o símbolos en 8 colores distintos.
- Emplear las técnicas de diseño Top-Down.

Proyecto	1	Página	2/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
	VGA	Revisado en:	30/08/2016
Grupo	1	Diseñadores	Keylor Mena Venegas
Revisado por:	Alfonso Chacón Rodríguez		Luis Leon Vega
			Luis Merayo Gatica

- Desarrollar el código en Verilog, verificarlo a nivel de simulación de post-síntesis y a una velocidad de reloj de al menos 100 MHz.
- Comprobar el funcionamiento mediante la implementación en una FPGA Nexys.

4. Descripción del sistema

El circuito controlador se ha definido en cuatro bloques principales, encargados de generar el barrido, los datos y la sincronía requerida para el funcionamiento del monitor mediante el protocolo VGA. A nivel general, el bloque de contadores son los que llevan el control del circuito en todo momento, permitiendo generar señales de sincronía y movilizar la memoria para poder decodificar los datos de una memoria en forma de matriz. Esta memoria alimenta el circuito de control de control para poder generar las señales de color. En la Figura 1.

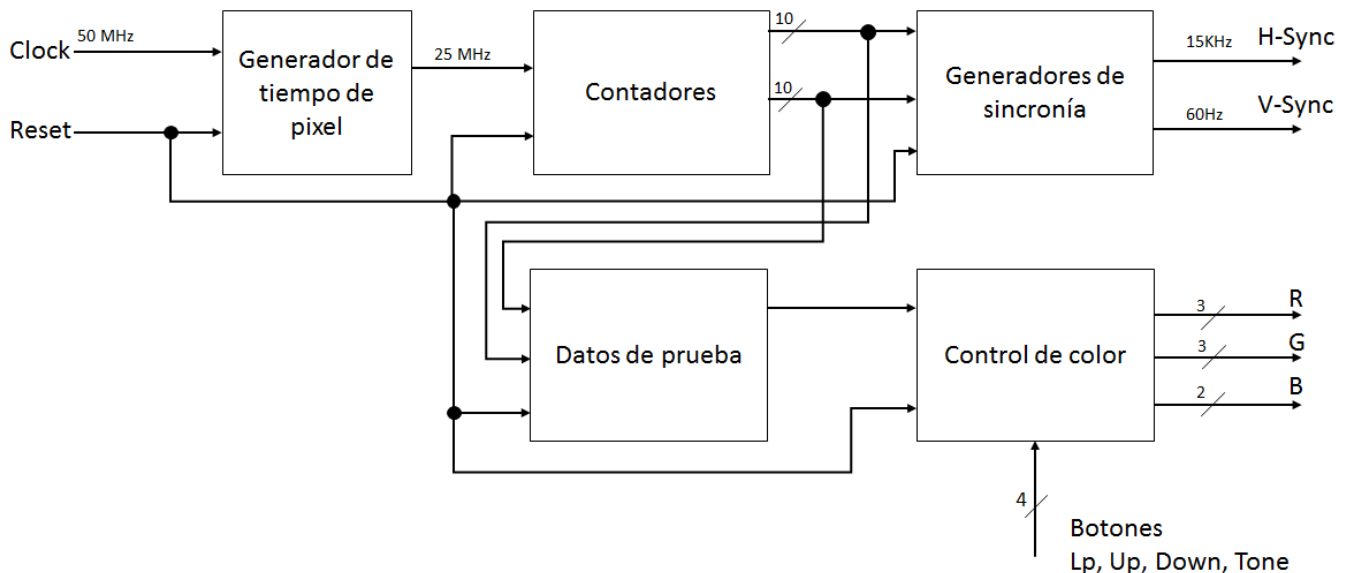


Figura 1: Diagrama de bloques general del controlador VGA

4.1. Diseño Top-Down del circuito

4.1.1. Diagrama de primer nivel

Previo a comenzar el diseño, se han establecido las entradas y salidas del circuito para poder determinar las necesidades que deben ser cubiertas. El diagrama de entradas y salidas se muestra en la Figura 2.

En cuanto a las entradas, se encuentran las principales para el funcionamiento del circuito, las cuales son el reloj (Clock) y el reinicio (Reset). Estos permiten a los circuitos secuenciales trabajar de forma adecuada. Por otro lado, se encuentran los selectores de tono (Tone) y color de letra-pantalla (LP). En el caso del selector de tono, este permite modificar la tonalidad del color de la pantalla o de las letras; si este selector no está habilitado, el color primario “RGB ” será cambiado. En el segundo caso, del selector color de letra-pantalla, este permite distinguir si se quiere cambiar el color del letra o de la pantalla. Finalmente, los botones de “Up ”y “Down ”, que permiten alterar los valores en función de

Proyecto	1	Página	3/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
	VGA	Revisado en:	30/08/2016
Grupo	1	Diseñadores	Keylor Mena Venegas
Revisado por:	Alfonso Chacón Rodríguez		Luis Leon Vega
			Luis Merayo Gatica

la configuración en los selectores, anteriormente, mencionados.

Para las salidas, se tienen las esenciales para el funcionamiento correcto del monitor mediante el protocolo VGA, las cuales son las señales de sincronía vertical y horizontal; “V-Sync ”y “H-Sync ”de forma respectiva. Y, se tiene además, las señales de datos analógicos de color; “R ”, “G ”y “B ”, que corresponden al color rojo, verde y azul, respectivamente.

ENTRADAS	SALIDAS
<ul style="list-style-type: none"> • <u>Clock</u>: entrada que da la sincronía entre los bloques • <u>Reset</u>: entrada que reinicia los bloque para la sincronía. • Cambio de tono (<u>Tone</u>): interruptor que permite alterar el tono y los colores de las letras o la pantalla. • LP: permite seleccionar el cambio de color entre la pantalla o las letras • Up/Down: botones que permiten cambiar el color y el tono de la pantalla y las palabras 	<ul style="list-style-type: none"> • <u>V-Sync</u>: salida que controla la sincronía vertical de la pantalla. • <u>H-Sync</u>: Salida que controla la sincronía horizontal de la pantalla. • B: salida al monitor que controla la salida del color azul • R: salida al monitor que controla la salida del color rojo • G: salida al monitor que controla la salida del color verde

Figura 2: Diagrama de primer nivel del VGA.

4.1.2. Diagrama de segundo nivel

Un acercamiento a más profundo al diseño del proyecto se brinda en el segundo nivel de diseño mostrado en la Figura 3. Este diagrama se acerca más a la realidad del circuito necesitado para conformar el controlador VGA. Al igual como se describió en la descripción del sistema, el diseño contempla a los contadores fundamentales para controlar el circuito en su totalidad.

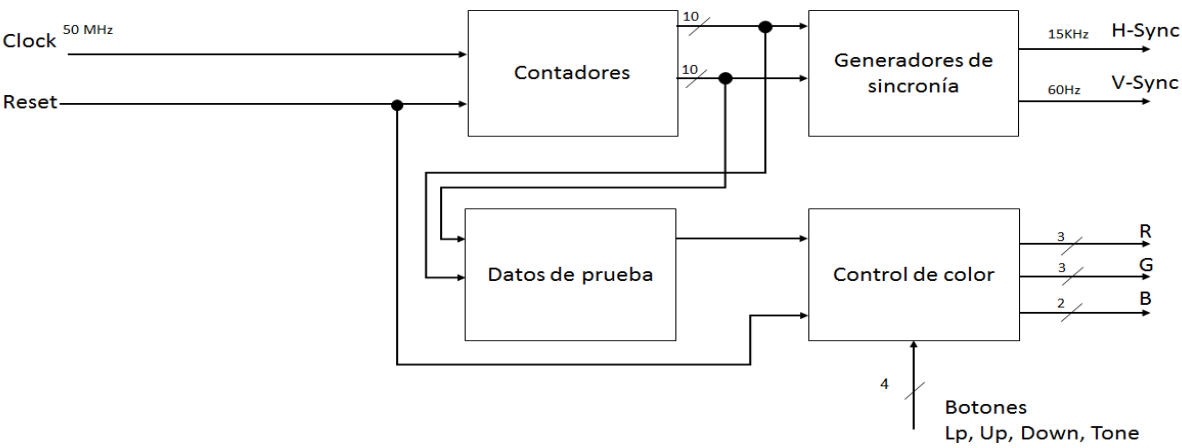


Figura 3: Diagrama de segundo nivel del VGA.

Los contadores, en este caso, son los encargados de llevar el conteo de las filas y columnas que se desplegarán en la pantalla del monitor conectado al circuito. Estos contadores suministrarán bus hacia

Proyecto	1	Página	4/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
Grupo	1	Revisado en:	30/08/2016
Revisado por:	Alfonso Chacón Rodríguez	Diseñadores	Keylor Mena Venegas Luis Leon Vega Luis Merayo Gatica

los “Generadores de Sincronía ” para poder establecer una correcta conexión del monitor con el controlador. Asimismo, se alimenta el bloque de “Datos de prueba ”, que permitirá señalar a la etapa siguiente, “Control de color ”, cuando debe escribir la letra, poner fondo de pantalla y apagar la señal para generar los “blank ”.

El “Control de color ” permite establecer el color que se pone en el fondo de la pantalla y a las letras. Esto de acuerdo con lo seleccionado por el usuario mediante el uso de los selectores de tono (Tone), de letra-pantalla (LP) y los botones Up/Down. Además, permite discernir cuando se debe colocar la pantalla en “blank ” durante los fragmentos de la señal de sincronía que no son escribibles.

4.1.3. Diagrama de tercer nivel

Adentrando, finalmente, en la estructura más específica del circuito, se encuentra el diagrama de tercer nivel, ilustrado en la Figura 8. Para desarrollar correctamente el módulo, se debe tener en cuenta el diagrama de tiempos que se usa para establecer el protocolo, descrito en la Figura 4. Este diagrama de tiempos está construido en función de la Figura 5, extraída de la hoja de datos de la placa de desarrollo, Nexys 3 [2].

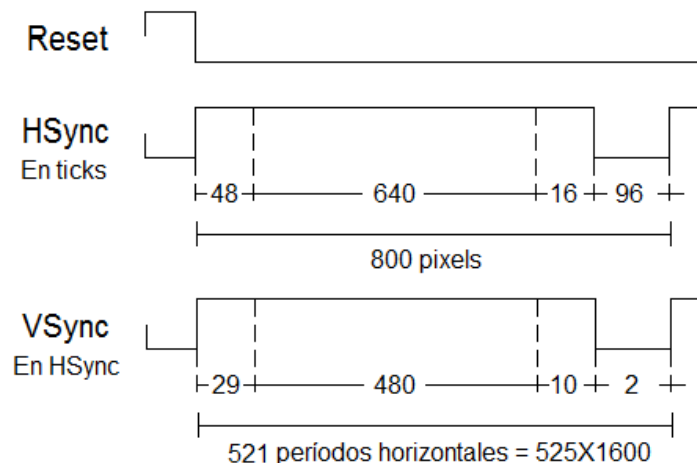
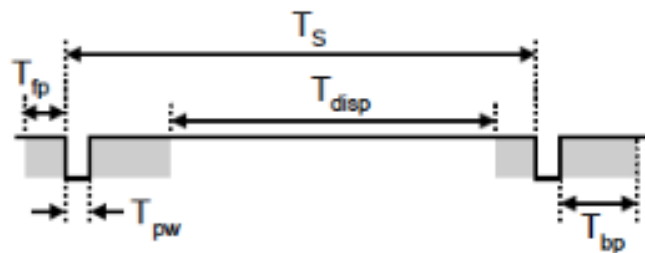


Figura 4: Diagrama de tiempos de contadores

No obstante, para seguir el diagrama del tercer nivel de la Figura 8 y alimentar el contador horizontal con el reloj proporcionado de 100 MHz por parte de la Nexys 3 [2], se puede dimensionar el contador para que sea de 12 bits y ejecutar una división por 4, esto mediante el descarte de los dos primeros bits menos significativos. Por ello, el contador tendrá un tope de 3200 (800x4) y serán aprovechados los primeros 10 bits más significativos.

Por otra parte, el contador vertical debe incrementarse en cada ciclo del contador horizontal. En consecuencia, el contador vertical debe ser habilitado por el contador horizontal. De acuerdo con pruebas en el simulador, el contador interno horizontal (de 12 bits) debe levantar la bandera de conteo en los 1320 ticks, es decir, a la mitad del conteo para que haya un desfase correcto y los tiempos coincidan de forma correcta con errores despreciables. Esto permite que el generador de sincronía vertical inicie su pulso cuando el generador de sincronía horizontal finalice su pulso. Este contador tendrá un tope de 521, de acuerdo con lo visto en la Figura 4.

Proyecto	1	Página	5/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
	VGA	Revisado en:	30/08/2016
Grupo	1	Diseñadores	Keylor Mena Venegas
Revisado por:	Alfonso Chacón Rodríguez		Luis Leon Vega
			Luis Merayo Gatica



Symbol	Parameter	Vertical Sync			Horiz. Sync	
		Time	Clocks	Lines	Time	Clks
T_S	Sync pulse	16.7ms	416,800	521	32 us	800
T_{disp}	Display time	15.36ms	384,000	480	25.6 us	640
T_{pw}	Pulse width	64 us	1,600	2	3.84 us	96
T_{fp}	Front porch	320 us	8,000	10	640 ns	16
T_{bp}	Back porch	928 us	23,200	29	1.92 us	48

Figura 5: Diagrama de tiempos de contadores

Cuadro 1: Datos presentes en la Memoria para iniciales

Dato	Posiciones Horizontales	Posiciones Verticales
Blank = 1 y Letra = X	[0,48] U [688,800]	[0,30] U [510,521]
Blank = 0 y Letra = 1	[0,48] U [688,800]	[0,30] U [510,521]

Los generadores de sincronía vertical y horizontal están diseñados de tal forma, que, cuando el contador horizontal tenga una magnitud de 0 a 96, se coloque un 0 en la salida “H-Sync” y en caso contrario, la salida será 1. Algo similar ocurre con el contador vertical, que en este caso, la magnitud del contador vertical debe rondar los 0-2 para poder colocar un 0 en la salida “V-Sync”.

En cuanto al bloque de Memoria, este bloque es una memoria de acceso matricial, es decir, tiene doble direccionamiento. La primera forma de direccionamiento es la horizontal, que permite hacer una selección por filas. La segunda forma es la vertical, que permite seleccionar columnas. Esta memoria está dimensionada de 800 campos horizontales y 521 campos verticales. En total, se contabilizan 416800 espacios en la memoria. Asimismo, cada espacio cuenta con 2 bits, que permiten almacenar cuando se debe pintar una letra o fondo de pantalla o, bien, hacer un “Blank”. Esta memoria, por tanto, permite establecer cuando debe hacerse la transmisión de los colores y cuando se deben apagar dichas señales en el “Control de Salida”. Para entender la estructura de esta memoria, se propone la ilustración en la Figura 6

Cabe destacar que, en el bloque de memoria, se han colocado las iniciales “LLA” mediante los datos insertados y presentados en la Tabla 1.

En general, el comportamiento de las etapas anteriores debe ser similar al presentado en la Figura 7.

Proyecto	1	Página	6/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
Grupo	1	Revisado en:	30/08/2016
Revisado por:	Alfonso Chacón Rodríguez	Diseñadores	Keylor Mena Venegas Luis Leon Vega Luis Merayo Gatica

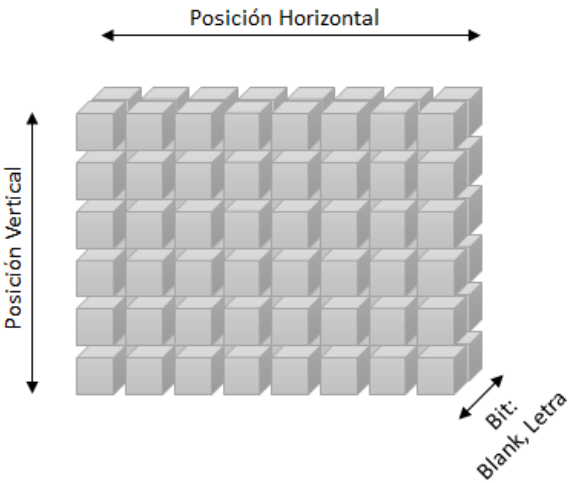


Figura 6: Estructura de la Memoria

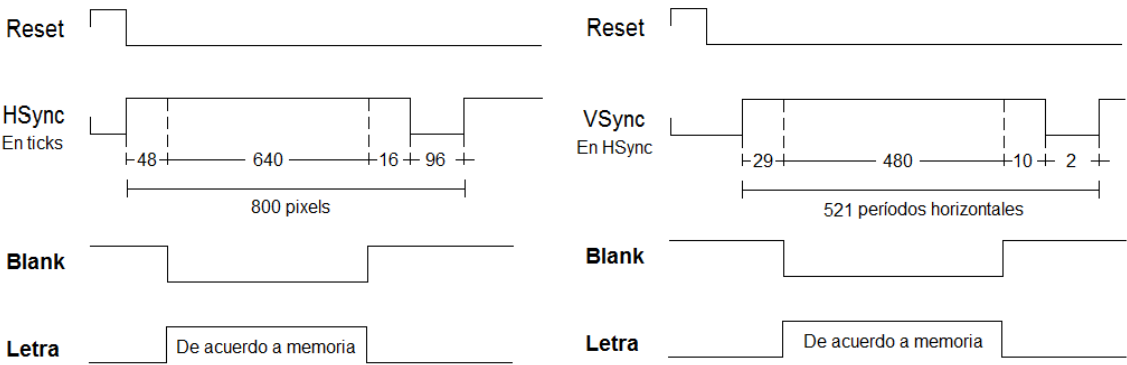


Figura 7: Estructura de la Memoria

Asimismo, el “Control de croma ”, como su nombre alude, es donde se realiza el control de los colores y los tonos. Este control permite almacenar las configuraciones de forma volatil seleccionadas por el usuario mediante las entradas Up, Down, LP y TC (Tone). De esta forma, se transmite los colores que tendrán las letras y el fondo de pantalla, para que sea regulado mediante el “Control de Salida ”, al recibir las señales de Letra y de Blank.

Por otro lado, el “Control de Salida ”permite modificar las salidas de los colores analógicos para modificar los tonos. Este control maneja las entradas digitales del DAC para poder hacer cambios en la tensión de la señales de R, G y B.

Finalmente, a continuación se presenta un resumen de las entradas y salidas de cada bloque, para aclarar las necesidades del diseño de tercer nivel. Véase la Tabla 2.

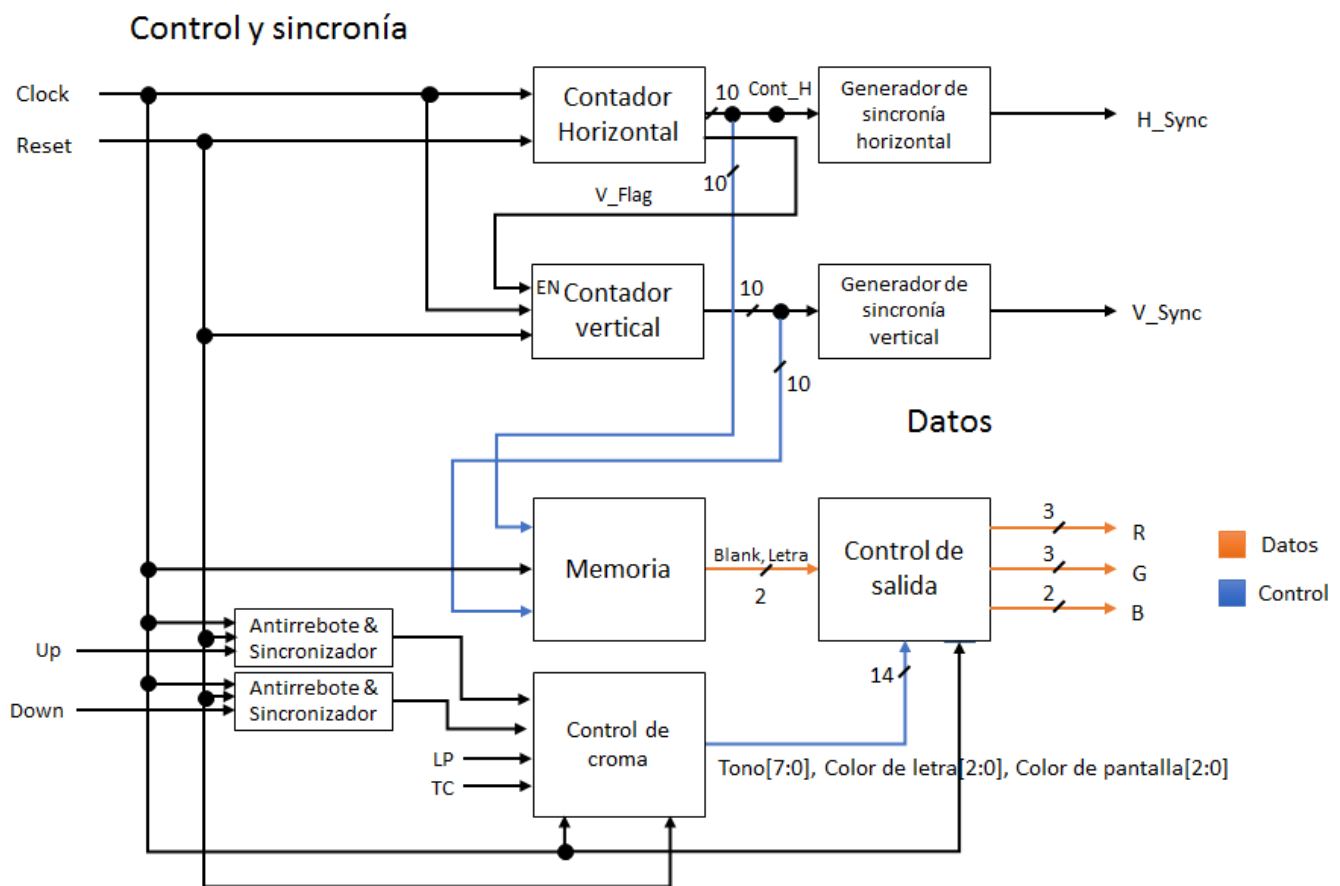


Figura 8: Interfaz del VGA.

Proyecto	1	Página	8/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
Grupo	1	Revisado en:	30/08/2016
Revisado por:	Alfonso Chacón Rodríguez	Diseñadores	Keylor Mena Venegas Luis Leon Vega Luis Merayo Gatica

Cuadro 2: Tabla de entradas y salidas del circuito

Bloque	Entradas / Salidas	Ancho
Contador Horizontal	(Entrada) CLK: Corresponde al reloj del sistema.	1
	(Entrada) Reset: Permite reiniciar el contador	1
	(Salida) Cont_H: Es el resultado del contador.	10
	(Salida) V_Flag: Incrementa el contador vertical	1
Contador Vertical	(Entrada) CLK: Corresponde al reloj del sistema	1
	(Entrada) Reset: Permite reiniciar el contador	1
	(Salida) Cont_V: Es el resultado del contador.	10
Generador H-Sync	(Entrada) Cont_H: Es el resultado del contador H.	10
	(Salida) H-Sync: Salida al monitor	1
Generador V-Sync	(Entrada) Cont_V: Es el resultado del contador V.	10
	(Salida) V-Sync: Salida al monitor	1
Memoria	(Entrada) Cont_H: Es el resultado del contador H	10
	(Entrada) Cont_V: Es el resultado del contador V.	10
	(Salida) Blank: Alerta de señales de sincronía en Control de salida	1
	(Salida) Letra: Determina si se debe pintar una letra o fondo	1
Antirrebotes & Sinc.	(Entrada) CLK: Corresponde al reloj del sistema	1
	(Entrada) Reset: Permite reiniciar el contador	1
	(Entrada) Botón: Recibe la señal del botón	1
	(Salida) Bit: Salida libre de rebotes y sincronizada	1
Control de Croma	(Entrada) CLK: Corresponde al reloj del sistema	1
	(Entrada) Reset: Permite reiniciar el contador	1
	(Entrada) Up: Permite incrementar un registro	1
	(Entrada) Down: Permite decrementar un registro	1
	(Entrada) TC: Modifica el tono del color	1
	(Entrada) LP: Modifica el color de la pantalla o de la letra	1
	(Salida) Tono: Representa el tono seleccionado por el usuario	8
	(Salida) Color_P: Contiene el color del fondo de pantalla	3
	(Salida) Color_L: Contiene el color de la letra	3
Control de Salida	(Entrada) CLK: Corresponde al reloj del sistema	1
	(Entrada) Tono: Representa el tono seleccionado por el usuario	8
	(Entrada) Color_P: Contiene el color del fondo de pantalla	3
	(Entrada) Color_L: Contiene el color de la letra	3
	(Entrada) Blank: Alerta de señales de sincronía en Control de salida	1
	(Entrada) Letra: Determina si se debe pintar una letra o fondo	1
	(Salida) R: Representa la combinación de tonos de rojo al DAC	3
	(Salida) G: Representa la combinación de tonos de verde al DAC	3
	(Salida) B: Representa la combinación de azul de rojo al DAC	2

Proyecto	1	Página	9/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
Grupo	1	Revisado en:	30/08/2016
Revisado por:	Alfonso Chacón Rodríguez	Diseñadores	Keylor Mena Venegas Luis Leon Vega Luis Merayo Gatica

Cuadro 3: Hoja de conexiones para Nexys3

I/O de la Unidad	Tipo	Asignado en Nexys3
CLK	Entrada	V10
Reset	Entrada	B8
TC	Entrada	T10
LP	Entrada	T9
Up	Entrada	A8
Down	Entrada	C9
H-Sync	Salida	N6
V-Sync	Salida	P7
R[2:0]	Bus-Salida	{U7, V7, N7}
G[2:0]	Bus-Salida	{P8, V6, N6}
B[1:0]	Bus-Salida	{R7, T7}

5. Datos y resultados

5.1. Simulaciones

5.2. Mediciones

6. Análisis de datos y resultados

7. Hoja de datos de unidades desarrolladas

Dentro de las especificaciones de la unidad desarrollada, se encuentra la implementación sobre una FPGA con un reloj de 100MHz, que es el equivalente al obtenido en la Nexys3. Por otro lado, se requiere el uso de dos entrada de pulso o estado momentáneo, tales como botones conectadas como entradas “Up” y “Down”. Por otro lado, se requieren dos entradas de estado permanente manejadas por interruptores, conectados en las entradas “Reset”, “TC” y “LP”. En la Tabla 3 se verá más claramente la organización de pines. Asimismo, se aclara que, para efectos eléctricos, se sigue la hoja de datos de la Nexys3 [2].

8. Conclusiones y recomendaciones

8.1. Conclusiones

- El desarrollo de la descripción de hardware a alto nivel, aprovechando el lenguaje Verilog y el sintetizador incorporado en Xilinx ISE facilita la tarea de implementación de un diseño para su futuro prototipado. Asimismo, el sintetizador permite aprovechar al máximo los recursos de una FPGA.
- El empleo de la simulación pre-síntesis permite monitorizar el comportamiento del código de una forma ideal y guía el desarrollo de la implementación por HDL.

Proyecto	1	Página	10/10
Trabajo	Desarrollo de un controlador VGA	Actualizado en:	27/08/2016
Grupo	1	Revisado en:	30/08/2016
Revisado por:	Alfonso Chacón Rodríguez	Diseñadores	Keylor Mena Venegas Luis Leon Vega Luis Merayo Gatica

- La simulación post-síntesis a nivel de compuertas es una gran herramienta para comprobar la compatibilidad de lo implementado en HDL para verificar su correcto funcionamiento al momento de transferirlo a una FPGA.
- El empleo de herramientas de control de versiones son una muy buena práctica para desarrollar código entre uno o varios programadores y para corrección de posibles errores.
- Es posible controlar un monitor mediante el protocolo VGA. Este protocolo es bastante flexible para poder desplegar datos, ya que facilita un control pixel por pixel en el monitor y eso puede flexibilizar la exposición de datos en la pantalla.

8.2. Recomendaciones

- Durante la etapa de planificación y diseño, es necesario que todos los miembros del equipo estén presentes e involucrados, ya que esto permitirá mayor fluidez en el desarrollo del proyecto y el entendimiento del mismo.
- Es necesario, además, que los miembros del equipo tengan una buena comunicación y delimitar los roles que cada miembro tiene. Esto evitará futuros choques en las tareas de cada miembro.
- Se debe considerar, al inicio del trabajo, la plataforma de desarrollo que se empleará. Esto evitará modificaciones en el diseño en el momento de implementar el prototipo. Es bueno, también, tener a mano durante todo el diseño y la descripción en HDL, la hoja de datos de la plataforma.
- Crear un cronograma de trabajo sintetizado y asignar tareas por objetivos ayuda a tener una buena organización del equipo en cuanto al tiempo disponible para las tareas. Esto evitará contratiempos y posibles choques en las tareas.
- Se debe explorar con bastante anterioridad las herramientas de software que se emplearán durante el proyecto. Esto evitará posibles contratiempos al aprender a usarlas durante la implementación del proyecto.
- Simular de forma detallada un circuito permite encontrar posibles fuentes de error, tal como sirvió de ayuda para encontrar el desfase de las señales de sincronía de forma adecuada para que se cumplieran los tiempos de forma casi exacta a lo expresado por el fabricante.

Referencias

- [1] Chu, Pong P. (2008) *FPGA prototyping by Verilog examples. Xilinx SpartanTM-3 Version*, John Wiley & Sons, Inc.
- [2] Digilent. (2013) *Nexys3 Board Reference Manual*, Xilinx, Inc.