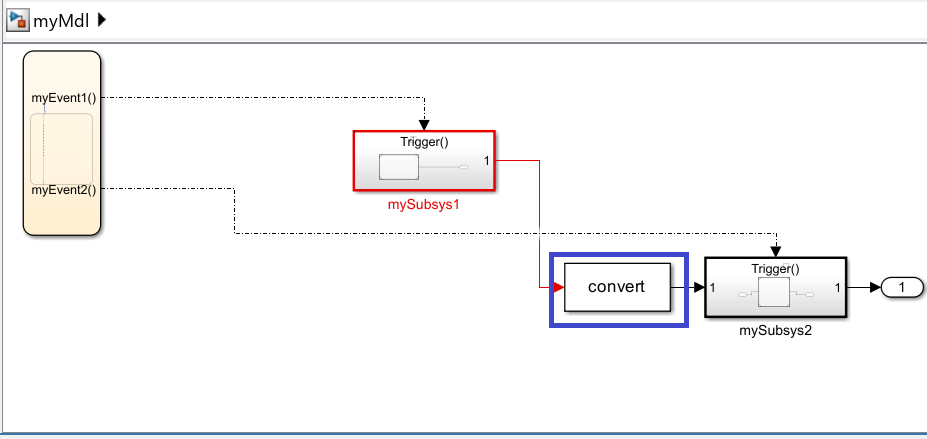
简化模型：



这是一个典型的会引起 input data dependency 报错的结构（虽然提到了 loop，但是这个报错并不指向代数环）。

A screenshot of a computer

Description automatically generated

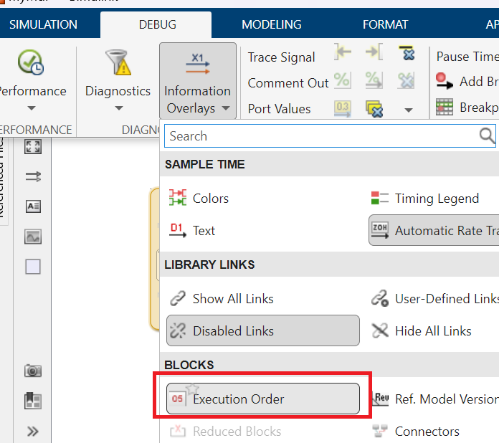
这个结构的特点在于，两个具有数据流先后关系的触发子系统，中间连接一个直馈模块（模型截图中的蓝框部分；直馈模块也就是不带状态的模块，例如Gain, Data type conversion, Signal conversion 等，对应地，Unity delay/传递函数等模块带有状态）。

我们可以将这个数据流拆开看一下为什么会这样：

A diagram of a computer

Description automatically generated

打开执行顺序显示：



会看到第一个尝试执行的是这个直馈模块：

A diagram of a computer

Description automatically generated with medium confidence

但是此时，在数据流中，上游触发子系统的数据还没有送过来。

有一个类似的情况可以参考此范例：

[Simulink Subsystem Semantics - MATLAB & Simulink (mathworks.com)](https://www.mathworks.com/help/simulink/slref/simulink-subsystem-semantics.html)

中的 sl\_subsys\_fcncallerr7，区别在于这里只有一个触发子系统，上游的数据流和调度信号来自同一个原子子系统，但问题的根源是类似的，都是直馈模块执行时，输入数据还没从上游给出。解决方案是：

1）添加 memory 模块（或者delay）

2）将这个直馈模块移入下游的触发子系统中

A screenshot of a computer

Description automatically generated