

# 基于FPGA的出租车计价系统设计

王 翠

(盐城工学院 实验教学部, 江苏 盐城 224051)

**摘 要:** 设计出租车计价系统, 运用自顶向下的设计思想, 以芯片 Cyclone II EP2C8T144C8 为设计核心, 采用 Quartus II 仿真软件, 对设计电路的各模块及整个系统进行了 EDA 仿真验证。结果表明, 该计价系统具有计时、计费、计程和动态显示的功能, 符合设计要求, 修改 VHDL 语言源程序, 可完成更多的出租车计价系统的扩展功能。

**关键词:** 出租车计价; 自顶向下; VHDL; FPGA

**中图分类号:** TN911.7-34

**文献标识码:** A

**文章编号:** 1004-373X(2012)05-0179-03

## Design of taximeter based on FPGA

WANG Cui

(Department of Experimental Teaching, Yancheng Institute of Technology, Yancheng 224051, China)

**Abstract:** A taximeter based on Quartus II simulation software was designed by using FPGA chip cyclone II EP2C8T144C8, which is of top-down design idea. The circuit of each module and the entire system were simulated. The simulation results prove that the taximeter system is of counting time, billing, metering and dynamic display function. To modify the VHDL language source code, it can complete more taximeter extended functions.

**Keywords:** taximeter; top-down; VHDL; FPGA

## 0 引 言

随着电子技术的发展, 出租车计价器的设计也从传统的全部由机械元器件组成的机械式设计到半电子式(即用电子线路代替部分机械器件的出租车计价器<sup>[1]</sup>), 再从集成电路式到目前基于 FPGA 芯片为核心的系统的设计共经历了四个阶段, 利用 FPGA 芯片, 用较少的外部硬件和适当的软件相互配合, 可以通过软件编程来完成更多的附加功能, 设计比较灵活, 并且还具有功耗小, 体积小、低成本、安全可靠、使用方便<sup>[2]</sup>等优点。因此, 使用 FPGA 来设计出租车计价系统已受到人们的关注, 也能更好地发挥其优点。

本文以 FPGA 为设计载体, 通过 VHDL 语言编程, 采用 Quartus II 仿真软件, 设计了一种能动态显示出租车计时、计费、计程的系统, 具有一定的实际应用价值。

## 1 出租车计价系统的设计要求

### 1.1 实现计费功能

车起步开始计费, 首先显示起步价(本次设计为 8.0 元), 行程在 3 km 以内, 按起步价收费; 当行驶超过

3 km, 1.6 元/km, 车暂时停车(如遇红绿灯或中途暂时停车), 当等待时间超过 3 min, 按 1 元/min 收费。

### 1.2 实现显示功能

能动态显示出租车行驶的里程, 范围为 00~99 km (考虑到出租车就在市区或近郊附近活动), 同时显示等待时间, 范围为 00~59 min, 显示总计价值, 范围为 00~999.9 元, 计价分辨率为 0.1 元。

## 2 出租车计价系统的设计体系

图 1 为整个系统的顶层框图, 根据层次化设计理论<sup>[3]</sup>, 将出租车自动计价系统自顶向下可分为分频模块、控制模块、计量模块、译码和动态扫描显示模块。

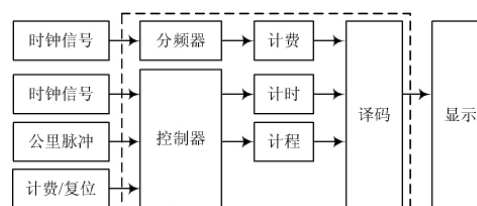


图1 系统的顶层框图

(1) 分频模块。通过分频<sup>[4]</sup>产生不同频率的脉冲信号用来实现系统的计费, 本次设计中通过对 240 Hz 的输入脉冲进行 15 次, 24 次和 240 次分频, 得到 16 Hz, 10 Hz 和 1 Hz 的三种频率, 分别用于 1.6 元,

1元和0.1元的计费。

(2) 计量控制模块。计量控制模块是出租车自动计费器系统的主体部分<sup>[5]</sup>,该模块主要完成出租车的计时、计价、计程功能。计时器的量程为59 min,满量程自动归零。计程器的量程为99 km,满量程自动归零。行程在3 km内,且等待累计时间在3 min内,起步价费为8元;3 km外以1.6元/km计费,等待累计时间超过3 min按1元/min计费。

(3) 译码显示模块。该模块经过8选1数据选择器将计费数据(4位BCD码)、计时数据(2位BCD码)、计程数据(2位BCD码)动态显示输出。其中计费数据最大显示为999.9元;计时数据最大显示为59 min;计程数据最大显示为99 km。

### 3 出租车计价系统的实现

系统的顶层原理图如图2所示,出租车计价器系统由主体FPGA电路taxi模块和动态扫描显示部分(8选1选择器mux8\_1模块、模8计数器mo8模块、七段数码显示译码器di\_LED模块、生成动态扫描显示片选信号的3-8译码器模块74138)<sup>[6]</sup>组成。

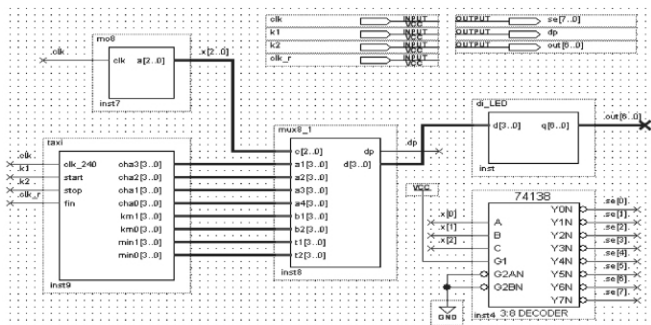


图2 系统顶层原理图

#### 3.1 系统各功能模块

##### 3.1.1 taxi模块

Taxi模块是系统中十分重要的模块,模块设计中,系统的输入信号为clk\_240(240 Hz)、计价开始信号start、等待信号stop、里程脉冲信号fin。系统的输出信号有总费用数cha3(百),cha2(拾),cha1(元),cha0(角),行驶距离信号为km1,km0,等待时间信号为m1,m0。

Taxi模块的控制过程为: start作为计费开始开关,当start为高电平时,系统开始跟据输入情况计数,有乘客上车并开始行驶时,fin脉冲到来,进行行驶里程计数,这时的stop应为0,中途若停车等待,就需把stop置为1,同时fin为0,进行等待计费,当乘客下车时,直接将start置为0,系统停止工作。taxi模块又可分为分频(fenpin)、计量(jiliang)、kongzhi(控制)和计费(jif-

ei)四个子模块<sup>[3,7]</sup>, taxi模块的内部结构如图3所示。

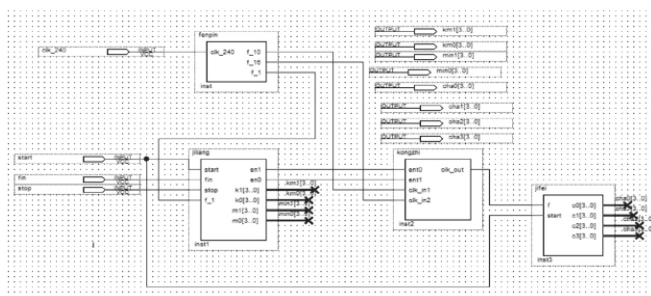


图3 taxi模块的内部结构图

Fenpin模块是将输入端clk\_240(240 Hz)的时钟信号进行分频,分别得到f\_16(16 Hz),f\_10(10 Hz),f\_1(1 Hz)的信号,用于计量时的1.6元,1元,0.1元。

Jiliang模块用来计时和计程,fin为汽车的里程脉冲信号,当fin为高电平时,以记录的f\_1的脉冲个数作为行驶的公里里程数,start是汽车计量开始信号,stop为等待信号。f\_1是计量驱动信号,当f\_1的脉冲到来,如果fin=1,记录f\_1的个数(即行驶公里数),当行驶超过3 km,ent0输出为1。当stop为高电平时,记录f\_1的脉冲个数,60个脉冲为1 min,当超过3 min时,ent1输出为1。仿真波形如图4所示。

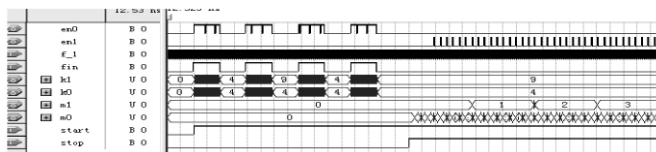


图4 jiliang模块的仿真波形图

Kongzhi模块主要根据jiliang模块的ent1和ent0的不同输出信号选择不同的输出频率供jifei模块计费,ent1=1时f=10 Hz,ent0=1时f=16 Hz。

Jifei模块实际就是一个四位十进制加法器,仿真图形如图5所示,在taxi模块中,它根据不同的输入脉冲频率对脉冲个数进行计数。jiliang模块每计一次, jifei模块就实现16次或10次脉冲计数,即实现超时的1元/min,超里程时的1.6元/km的收费。

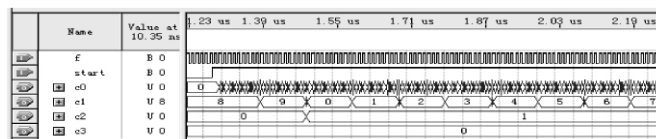


图5 模块jifei的仿真波形图

对整个taxi模块进行仿真,结果如图6所示,由图中可知,当stop为高电平时,汽车行驶了km1km0=35 km,计费cha3cha2cha1cha0为0592,即59.2元,与8+(35-3)×1.6=59.2元一致,图中当等待超过3 min时,价格按1元/min计费,仿真结果正确。

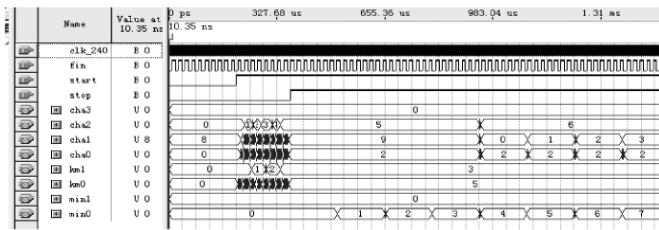


图6 主体 taxi 模块的仿真波形图

### 3.1.2 动态扫描显示部分

此模块包含 mo8 计数器、mux8\_1(8 选 1 选择器)、di\_led 七段数码显示译码器 3 个子模块。

mo8 计数器:输入信号 clk 为系统输入的 240 Hz 基准时钟,输出 a 为模 8 的二进制码<sup>[8]</sup>。

mux8\_1 模块是根据输入信号 c[2..0]的地址码 000 至 111 分别对应了 cha3,cha2,ch1,ch0,km1,km0,min1,min0 八个四位 BCD 码,dp 为小数点指示信号,在计费的第二位数字上带有小数点,仿真波形如图 7 所示。

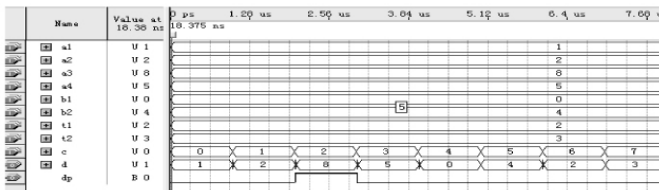


图7 mux8\_1 模块的仿真波形图

di\_led 数码显示译码模块,将输入信号 d[3..0]转换为 q[6..0],即 g,f,e,d,c,b,a 七段译码输出(高电平有效)<sup>[9]</sup>,3F 对应为 0,仿真波形图如图 8 所示。

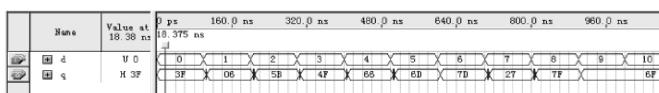


图8 di\_led 模块的仿真波形图

由于采用动态扫描,主要是根据人视觉暂留现象,一般影像在人眼中保留 0.1~0.5 s 左右,74LS138 的输出码依次选通 8 个数码管。只要频率够高,依次点亮 8 个数码管时,给人视觉是同时点亮<sup>[10]</sup>。

### 3.2 总体电路的仿真结果

通过对整个设计系统的仿真分析,结果如图 9 所示,输出依次是 3F 7D 27.5B 66 3F 3F 3F,其中总价格为 3F7D27.5B(即 67.2 元),里程数为 663F(即 40 km),

等待时间为 3F3F(即 0 min), $8 + (40 - 3) \times 1.6 = 67.2$  元,仿真结果正确。

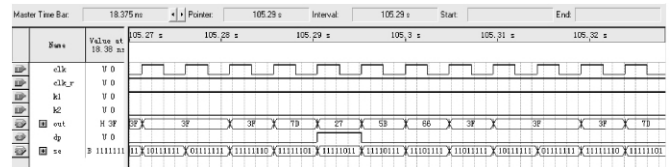


图9 总体电路的仿真波形图

## 4 结 语

通过仿真验证表明,本文所设计的出租车计价系统能动态显示行驶的里程、等待时间和计费数目等,符合预定的设计功能要求。但设计中对出租里程计数精度不高,若要提高精度,需根据设计要求设置取样里程的脉冲,在计量(jiliang)模块的输入频率中要做相应的修改,当出租车计费标准发生变化时,也可以通过修改 VHDL 源程序达到要求,另外,还可以扩展语音播报或票据打印等附加功能,此系统的设计体现了 FPGA 设计的自顶向下的设计思想,基于 FPGA 的设计灵活性强、功耗低、集成度高,具有广阔的市场前景。

## 参 考 文 献

- [1] 陈伟宏. 基于 Proteus 的多功能出租车计价器设计[J]. 重庆工学院学报:自然科学版, 2009, 23(6): 83-86.
- [2] 潘松, 黄继业. EDA 技术实用教程[M]. 北京: 科学出版社, 2002.
- [3] 徐志军, 徐光辉. CPLD/FPGA 的开发与应用[M]. 北京: 电子工业出版社, 2002.
- [4] 任爱锋, 初秀琴. 基于 FPGA 的嵌入式系统设计[M]. 西安: 西安电子科技大学出版社, 2004.
- [5] 王诚, 吴继华. Altera FPGA/CPLD 设计(基础篇)[M]. 北京: 人民邮电出版社, 2005.
- [6] 阎石. 数字电子技术基础[M]. 4 版. 北京: 高等教育出版社, 1998.
- [7] 雷伏容. VHDL 电路设计[M]. 北京: 清华大学出版社, 2006.
- [8] 王振红. VHDL 数字电路设计与应用实践教程[M]. 北京: 机械工业出版社, 2003.
- [9] 刘昌华. 数字逻辑 EDA 设计与实践[M]. 北京: 国防工业出版社, 2006.
- [10] 蔡明生. 电子设计[M]. 北京: 高等教育出版社, 2004.

作者简介: 王 翠 女, 1979 年出生, 江苏泰兴人, 硕士, 讲师。主要研究领域为电子与通信。