

[Home](#)[english](#)[PLC](#)[Laview](#)[lập trình C/C++](#)[thủ thuật IT](#)**Wed hay**ĐHKTCN Thái  
Nguyễn

Facebook

Bongdaplus

Manchester Unit

Dân trí

24h

**Điện tử Analog**

điện trở

Tụ Điện

Quận cảm

điốt

transistor

mosfet

IC khuếch đại thuật  
toán

khuếch đại(K)

Tryritor(SCR)

Triac

Mạch điện thú vị

**Điện tử số****Vi Điều Khiển**[giới thiệu](#)

8051

VDK 8051

[giới  
thiệu về](#)[họ vi  
điều  
khiển](#)

8051

[Hướng](#)[Dẫn Sử](#)[Dụng](#)[Keil C](#)[Lập](#)[Trình](#)

8051

**Các  
chân,  
cổng  
vào/ra**

Bộ

đếm/ bộ

định

thời

trong

8051

[Truyền](#)[thông](#)[nối tiếp](#)

với

8051

[Ngắt](#)[trong](#)

8051

[datasheet](#)

8051

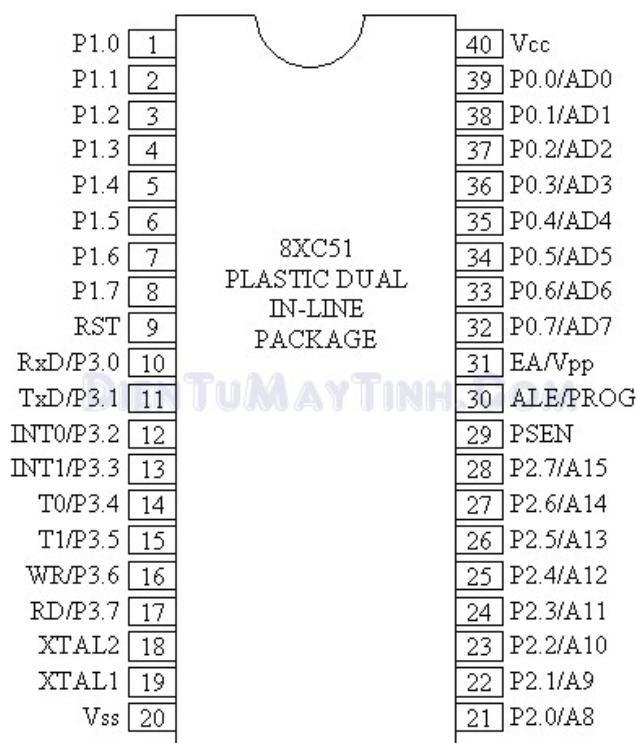
[Code](#)[thamkhao](#)[HQ pic](#)**Chuyên Ngành  
(ddk)**[Home](#) > [giới thiệu](#) > [8051](#) > [VDK 8051](#) >

## Các chân, cổng vào/ra

- Nắm được cấu trúc các chân của 8051
- Biết rõ tác dụng của chúng, cách sử dụng

### 1. Mô tả các chân của 8051

Mặc dù các thành viên của họ 8051 (ví dụ 8751, 89C51, DS5000) đều có các kiểu đóng vỏ khác nhau, chẳng hạn như hai hàng chân DIP (Dual In-Line Package) dạng vỏ dẹt vuông QFP (Quad Flat Package) và dạng chip không có chân đỡ LLC (Leadless Chip Carrier) thì chúng đều có 40 chân cho các chức năng khác nhau như vào/ra I/O, đọc RD, ghi WR, địa chỉ, dữ liệu và ngắt. Cần phải lưu ý rằng một số hãng cung cấp một phiên bản 8051 có 20 chân với số cổng vào-ra ít hơn cho các ứng dụng yêu cầu thấp hơn. Tuy nhiên, vì hầu hết các nhà phát triển chính sử dụng chip đóng vỏ 40 chân với hai hàng chân DIP nên ta chỉ tập trung mô tả phiên bản này.



Hình 1: Sơ đồ bố trí chân của 8051.

Trên **hình 1** là sơ đồ bố trí chân của 8051. Ta thấy rằng trong 40 chân thì có 32 chân dành cho các cổng **P0**, **P1**, **P2** và **P3** với mỗi cổng có 8 chân. Các chân còn lại được dành cho nguồn **V<sub>CC</sub>**, đất **GND**, các chân dao động **XTAL1** và **XTAL2**, chân Reset **RST**, chân cho phép chốt địa chỉ **ALE**, chân truy cập địa chỉ ngoài **EA**, cho phép cất chương trình **PSEN**. Trong 8 chân này thì 6 chân **V<sub>CC</sub>**, **GND**, **XTAL1**, **XTAL2**, **RST** và **EA** được các họ 8051 sử dụng. Hay nói cách khác là chúng phải được nối để cho hệ thống làm việc. Còn hai chân khác là **PSEN** và **ALE** được sử dụng chủ yếu trong các họ 8031.

#### 1.1 Chân **V<sub>CC</sub>**

Chân số 40 là **V<sub>CC</sub>**, có chức năng cấp điện áp nguồn cho chip. Nguồn điện áp là **5V**.

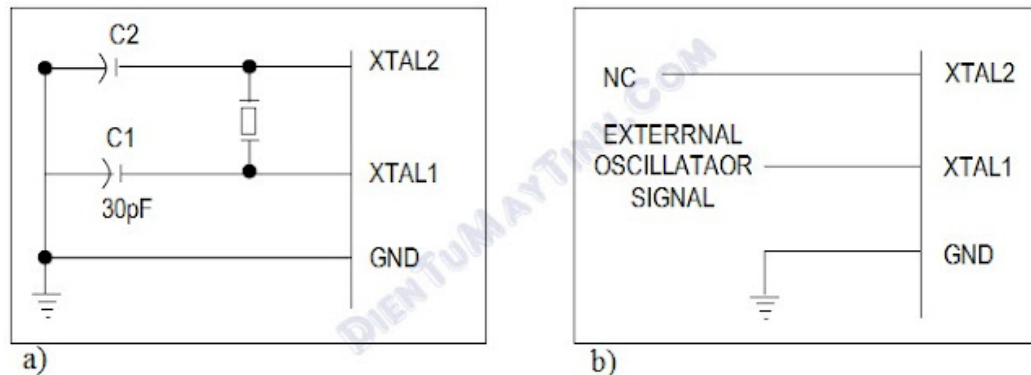
#### 1.2 Chân **GND**

Chân số 20 là **GND**, được nối với đất.

#### 1.3 Chân **XTAL1** và **XTAL2**

8051 có một bộ dao động trên chip nhưng nó yêu cầu có một xung đồng hồ ngoài để chạy nó. Một bộ dao động thạch anh sẽ được nối tới các chân đầu vào **XTAL1** (chân 19) và **XTAL2** (chân 18). Bộ dao động thạch anh được nối tới **XTAL1** và **XTAL2** cũng cần hai tụ gốm giá trị khoảng **30pF**. Một phía của tụ điện được nối xuống đất như được trình bày trên **hình 2a**.

Cần phải lưu ý rằng có nhiều tốc độ khác nhau của họ 8051. Tốc độ được coi như là tần số cực đại của bộ dao động được nối tới chân **XTAL**. Một bộ vi điều khiển 8051 yêu cầu một tinh thể thạch anh có tần số không lớn hơn **20MHz**. Khi 8051 được nối tới một bộ dao động tinh thể thạch anh và cấp nguồn thì ta có thể quan sát tần số trên chân **XTAL2** bằng máy hiện sóng. Nếu ta quyết định sử dụng một nguồn tần số khác bộ dao động thạch anh, chẳng hạn như là bộ dao động TTL thì nó sẽ được nối tới chân **XTAL1**, còn chân **XTAL2** thì để hở không nối như **hình 2b**.



**Hình 2:** a) Nối XTAL tới thạch anh

b) Nối XTAL tới nguồn đồng bộ ngoài.

#### 1.4 Chân RST

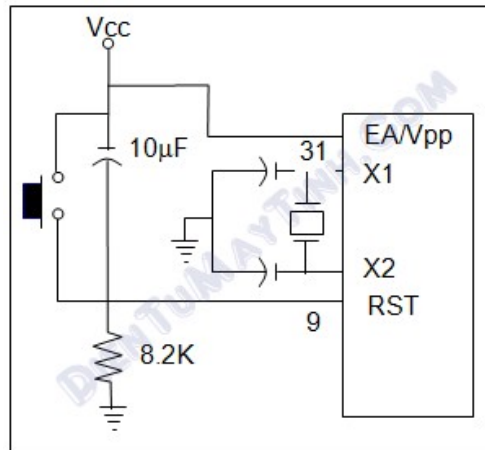
**RST** là chân số 9 - **Reset**. Nó là một chân đầu vào có mức tích cực cao (bình thường ở mức thấp). Khi cấp xung cao tới chân này thì bộ vi điều khiển sẽ được Reset và kết thúc mọi hoạt động. Điều này thường được coi như là sự tái bật nguồn. Khi kích hoạt tái bật nguồn sẽ làm mất mọi giá trị trên các thanh ghi. **Hình 3** liệt kê các thanh ghi đặc biệt của 8051 và giá trị của chúng sau khi Reset.

**Table 5-1. AT89S52 SFR Map and Reset Values**

0F8H								0FFH
0F0H	B 00000000							0F7H
0E8H								0EFH
0E0H	ACC 00000000							0E7H
0D8H								0DFH
0D0H	PSW 00000000							0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000		0CFH
0C0H								0C7H
0B8H	IP XX000000							0BFH
0B0H	P3 11111111							0B7H
0A8H	IE 0X000000							0AFH
0A0H	P2 11111111		AUXR1 XXXXXXXX0			WDTRST XXXXXXXXX		0A7H
98H	SCON 00000000	SBUF XXXXXXXXXX						9FH
90H	P1 11111111							97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000	AUXR XXXXXX00	8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	PCON 0XXX0000	87H

**Hình 3:** Giá trị một số thanh ghi sau RESET.

Lưu ý rằng giá trị của bộ đếm chương trình PC là 0 khi tái lập để ép CPU nạp mã lệnh đầu tiên từ bộ nhớ ROM tại vị trí ngăn nhớ 0000. Điều này có nghĩa là ta phải đặt dòng đầu tiên của mã nguồn tại vị trí ngăn nhớ 0 của ROM vì đây là mã mà sau khi CPU thức tỉnh sẽ tìm lệnh đầu tiên. **Hình 4** trình bày cách nối chân **RST** với mạch Reset.



**Hình 4:** Mạch Reset.

Nhằm làm cho đầu vào Reset có hiệu quả thì xung cấp cho nó phải kéo dài tối thiểu 2 chu kỳ máy trước khi nó xuống thấp.

Trong 8051: **1 chu kỳ máy được tính bằng 12 chu kỳ dao động.**

### 1.5 Chân EA

**EA** có nghĩa là truy cập ngoài (External Access): là chân số 31 trên vỏ kiểu DIP. Nó là một chân đầu vào và phải được nối hoặc với **Vcc** hoặc **GND**. Hay nói cách khác là nó không được để hở.

Các thành viên họ 8051 như 8751, 98C51 hoặc DS5000 đều có ROM trên chip lưu cất chương trình. Trong các trường hợp như vậy thì chân **EA** được nối tới **Vcc**. Đối với các thành viên của họ như 8031 và 8032 mà không có ROM trên chip thì mã chương trình được lưu cất ở trên bộ nhớ ROM ngoài và chúng được nạp cho 8031/32. Do vậy, đối với 8031 thì chân **EA** phải được nối đất để báo rằng mã chương trình được cất ở ngoài.

Các chân mô tả ở trên đều phải được nối mà không cần thành phần nào được sử dụng. Còn hai chân dưới đây được sử dụng chủ yếu trong hệ thống vi điều khiển **8031**.

### 1.6 Chân PSEN

**PSEN** là chân đầu ra cho phép cất chương trình (Program Store Enable) trong hệ thống. Trên vi điều khiển 8031, chương trình được cất ở bộ nhớ ROM ngoài thì chân này được nối tới chân OE của ROM.

### 1.7 Chân ALE

Chân cho phép chốt địa chỉ **ALE** là chân đầu ra tích cực cao. Khi nối 8031 tới bộ nhớ ngoài thì cổng **P0** dùng để trao đổi cả địa chỉ và dữ liệu. Hay nói cách khác 8031 dồn cả địa chỉ và dữ liệu qua cổng **P0** để tiết kiệm số chân. Chân **ALE** được sử dụng để phân kênh địa chỉ và dữ liệu.

### 1.8 Các chân cổng vào/ra và các chức năng của chúng

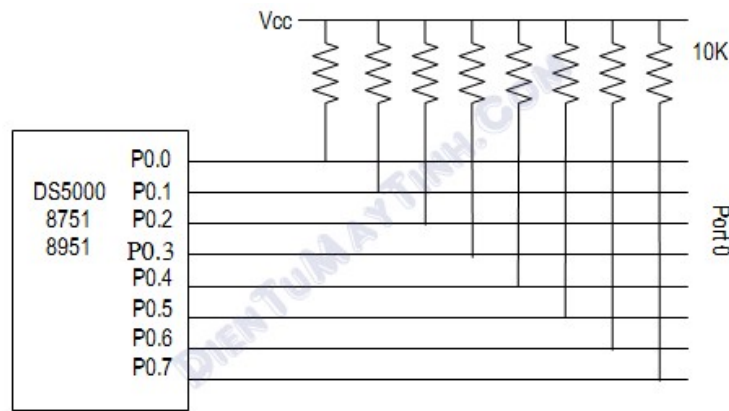
Bốn cổng **P0**, **P1**, **P2** và **P3** đều sử dụng 8 chân và tạo thành cổng 8 bit. Tất cả các cổng khi Reset đều được cấu hình như các **đầu ra**, sẵn sàng để được sử dụng như các cổng đầu ra. Muốn sử dụng cổng nào trong số các cổng này làm đầu vào thì nó phải được lập trình.

#### 1.8.1 Cổng P0

Cổng **P0** chiếm tất cả 8 chân (từ chân 32 đến 39). Nó có thể được dùng như cổng đầu ra, để sử dụng các chân của cổng **P0** vừa làm đầu ra, vừa làm đầu vào thì mỗi chân phải được nối tới một điện trở kéo bên ngoài 10kΩ. Điều này là do một thực tế là cổng **P0** là một máng mở khác với các cổng **P1**, **P2** và **P3**. Khái niệm máng mở được sử dụng trong các chip MOS về chừng mực nào đó nó giống như collector hở đối với các chip TTL.

Trong bất kỳ hệ thống nào sử dụng 8751, 89C51 hoặc DS5000 ta thường nối cổng **P0** tới các điện trở kéo (Xem **hình 5**), bằng cách này ta có thể sử dụng được cổng **P0** cho cả 2 trường hợp đầu ra và đầu vào.

Với những điện trở kéo ngoài được nối, khi Reset cổng **P0** được cấu hình như một cổng đầu ra.



**Hình 5:** Cổng P0 với các điện trở kéo.

**Cổng P0 là đầu vào:** Với các điện trở được nối tới cổng **P0** nhằm để tạo nó thành cổng đầu vào thì nó phải được lập trình bằng cách ghi 1 tới tất cả các bit của **P0**.

**Vai trò kép của cổng P0:** Như trên **hình 1**, cổng P0 được gán là các bit địa chỉ **AD0 - AD7** cho phép nó được sử dụng vừa cho địa chỉ, vừa cho dữ liệu. Khi nối 8051/31 tới bộ nhớ ngoài thì cổng **P0** cung cấp cả địa chỉ và dữ liệu, 8051 dồn dữ liệu và địa chỉ qua cổng **P0** để tiết kiệm số chân. **ALE** được sử dụng để tách địa chỉ và dữ liệu với sự trợ giúp của IC chốt dữ liệu 74LS373.

### 1.8.2 Cổng P1

Cổng **P1** cũng chiếm tất cả 8 chân (từ chân 1 đến chân 8) nó có thể được sử dụng như đầu vào hoặc đầu ra. So với cổng **P0** thì cổng này không cần đến điện trở kéo vì nó đã có các điện trở kéo bên trong. Trong quá trình Reset thì cổng **P1** được cấu hình như một cổng đầu ra.

**Cổng P1 là đầu vào:** Tương tự **P0**, để biến cổng **P1** thành đầu vào thì nó phải được lập trình bằng cách ghi 1 đến tất cả các bit của nó.

### 1.8.3 Cổng P2

Cổng **P2** cũng chiếm 8 chân (các chân từ 21 đến 28). Nó có thể được sử dụng như đầu vào hoặc đầu ra, giống như cổng **P1**, cổng **P2** cũng không cần điện trở kéo vì nó đã có các điện trở kéo bên trong. Khi Reset, thì cổng **P2** được cấu hình như một cổng đầu ra.

**Cổng P2 là đầu vào:** Để tạo cổng **P2** như đầu vào thì nó phải được lập trình bằng cách ghi các số 1 tới tất cả các chân của nó.

**Vai trò kép của P2:** Trong các hệ thống 8751, 89C51 và DS5000 thì **P2** được dùng như đầu ra. Tuy nhiên trong hệ thống 80312 thì cổng **P2** có thể được dùng cùng với **P0** để tạo ra địa chỉ 16 bit đối với bộ nhớ ngoài. Như chỉ ra trên **hình 1** cổng **P2** cũng được chỉ định như là các bit địa chỉ **A8 - A15** báo chức năng kép của nó. Vì một bộ 8031 có khả năng truy cập 64k byte bộ nhớ ngoài, nên nó cần một đường địa chỉ 16 bit. Trong khi **P0** cung cấp 8 bit thấp qua **A0 - A7**. Công việc của **P2** là cung cấp các bit địa chỉ **A8 - A15**. Hay nói cách khác khi 8031 được nối tới bộ nhớ ngoài thì **P2** được dùng cho 8 bit cao của địa chỉ 16 bit và nó không thể dùng cho vào/ra.

Từ những trình bày trên đây ta có thể kết luận rằng trong các hệ thống vi điều khiển 8751, 89C51 hoặc DS5000 thì ta có các cổng **P0, P1, P2** và **P3** cho các thao tác vào ra và như thế là có thể đủ cho các ứng dụng với hầu hết các bộ vi điều khiển. Ngoài ra cổng **P3** còn để dành cho các chức năng đặc biệt khác mà ta sẽ cùng bàn dưới đây.

### 1.8.4 Cổng P3

Cổng **P3** chiếm tổng cộng là 8 chân từ chân 10 đến chân 17. Nó có thể được sử dụng như đầu vào hoặc đầu ra. Cổng **P3** không cần các điện trở kéo cũng như **P1** và **P2**. Mặc dù cổng **P3** được cấu hình như một cổng đầu ra khi Reset, nhưng đây không phải là cách nó được sử dụng phổ biến nhất.

Cổng **P3** được bổ sung các chức năng quan trọng, đặc biệt. **Bảng 2** cung cấp các chức năng khác của cổng **P3**. Thông tin này áp dụng cho cả 8051 và 8031:

Bít của cổng P3	Chức năng	chân số
P3.0	Nhận dữ liệu ( <b>RXD</b> )	10
P3.1	Phát dữ liệu ( <b>TXD</b> )	11
P3.2	Ngắt 0( <b>INT0</b> )	12
P3.3	Ngắt 1( <b>INT1</b> )	13
P3.4	Bộ định thời 0 ( <b>TO</b> )	14
P3.5	Bộ định thời 1 ( <b>T1</b> )	15
P3.6	Ghi ( <b>WR</b> )	16
P3.7	Đọc ( <b>RD</b> )	17

**Bảng 2:** Các chức năng khác của cổng P3

- Các bit **P3.0** và **P3.1** cung cấp tín hiệu nhận và phát dữ liệu trong **truyền thông dữ liệu nối tiếp**.
- Các bit **P3.2** và **P3.3** được dành cho các **ngắt ngoài**.
- Bit **P3.4** và **P3.5** được dùng cho các **bộ định thời** 0 và 1.
- Cuối cùng các bit **P3.6** và **P3.7** để ghi và đọc các **bộ nhớ ngoài** khi được nối tới các hệ thống 8031.

[Gửi email bài đăng này.](#)

[BlogThis!](#)

[Chia sẻ lên Twitter](#)

[Chi:](#)

## Nhận xét

Bạn không có quyền thêm nhận xét.

[Hoạt động gần đây của trang web](#) | [Báo cáo hành vi sai trái](#) | Được cung cấp bởi [Google Sites](#)