



KIẾN TRÚC MÁY TÍNH

Giảng viên: ThS. Phan Thanh Toàn

BÀI 3

TỔ CHỨC BỘ NHỚ TRONG MÁY VI TÍNH

Giảng viên: ThS. Phan Thanh Toàn

MỤC TIÊU BÀI HỌC

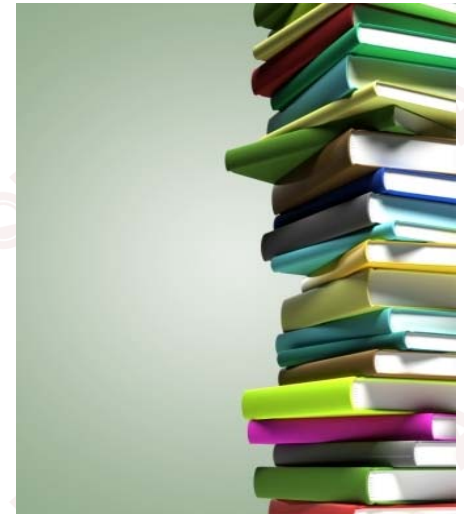
- Trình bày được các loại bộ nhớ trong máy vi tính.
- Phân biệt được các công nghệ RAM.
- Mô tả được nguyên tắc hoạt động của bộ nhớ cache.



CÁC KIẾN THỨC CẦN CÓ

Để hiểu rõ bài này, yêu cầu sinh viên cần có các kiến thức cơ bản liên quan đến các môn học sau:

- Kỹ thuật điện tử số;
- Tin học cơ bản.



HƯỚNG DẪN HỌC



- Đọc tài liệu và tóm tắt những nội dung chính của từng bài.
- Luôn liên hệ và lấy ví dụ thực tế khi học đến từng vấn đề và khái niệm.
- Sử dụng các ngôn ngữ lập trình cơ bản như Pascal, C,...
- Làm bài tập và luyện thi trắc nghiệm theo yêu cầu từng bài.

CẤU TRÚC NỘI DUNG



3.1. Bộ nhớ bán dẫn

3.2. Bộ nhớ chính của máy vi tính

3.3. Cơ chế quản lí bộ nhớ theo phân trang

3.4. Bộ nhớ cache

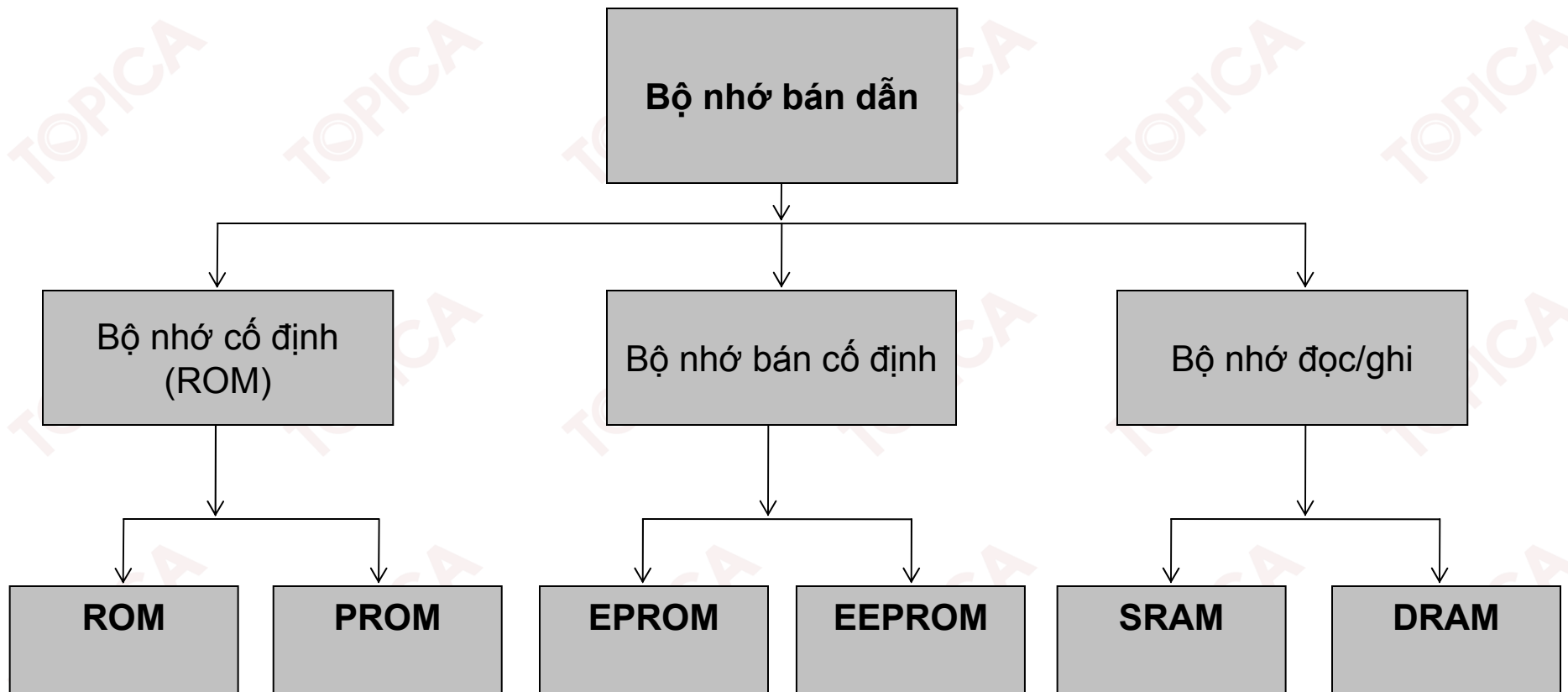
3.1. BỘ NHỚ BÁN DẪN

3.1.1. Phân loại các chip nhớ

3.1.2. Nguyên lý hoạt động của các linh kiện nhớ bán dẫn

3.1.1. PHÂN LOẠI CÁC CHIP NHỚ

Chia bộ nhớ bán dẫn thành 3 loại chính: Bộ nhớ cố định (ROM), bộ nhớ bán cố định, bộ nhớ đọc/ghi (RAM).



Hình 1: Sơ đồ phân cấp bộ nhớ trong máy vi tính

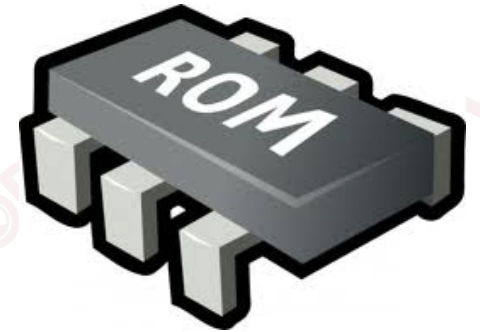
3.1.1. PHÂN LOẠI CÁC CHIP NHỚ (tiếp theo)

ROM (Read Only Memory)

Là bộ nhớ chỉ để đọc.

Dữ liệu trong ROM do nhà sản xuất ghi sẵn trước khi xuất xưởng.

Sau khi xuất xưởng, dữ liệu không thể thay đổi và ghi lại được.

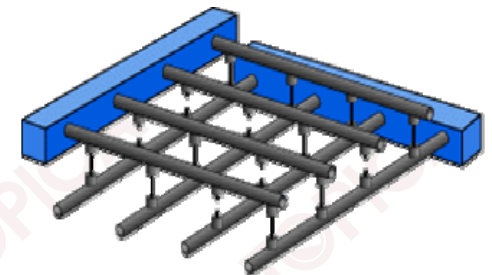


PROM (Programmable ROM)

Là bộ nhớ ROM.

Có thể ghi dữ liệu bằng thiết bị ghi ROM của người sử dụng.

Chỉ ghi được 1 lần.



PROM

3.1.1. PHÂN LOẠI CÁC CHIP NHỚ (tiếp theo)

EPROM (Erasable Programmable ROM)

Là bộ nhớ bán cố định.

Ghi dữ liệu bằng xung điện.

Xóa dữ liệu bằng tia cực tím.

EEPROM (Electric Erasable Programmable ROM)

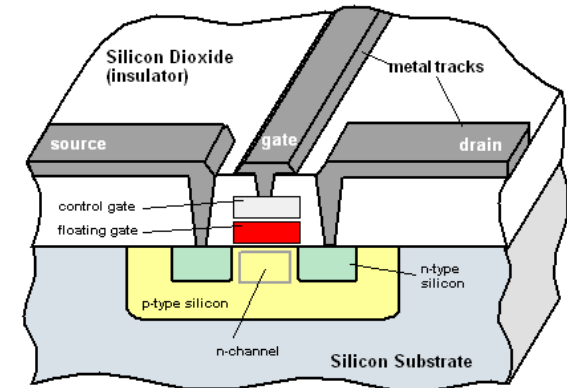
Là bộ nhớ bán cố định.

Ghi dữ liệu bằng xung điện.

Xóa dữ liệu bằng dòng điện.

From Computer Desktop Encyclopedia
© 2005 The Computer Language Co., Inc.

EEPROM and Flash Transistor



3.1.1. PHÂN LOẠI CÁC CHIP NHỚ (tiếp theo)

SRAM (Static RAM)

Xây dựng dựa trên các phần tử điện tử cơ bản là mạch lật (Flip-Flop).

Tốc độ truy cập nhanh.

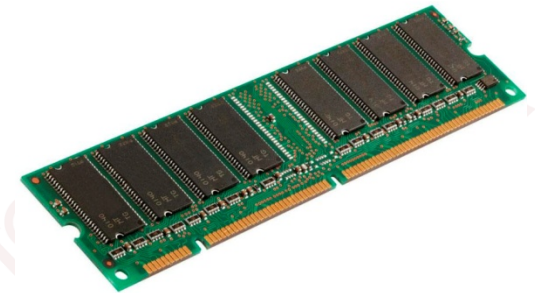
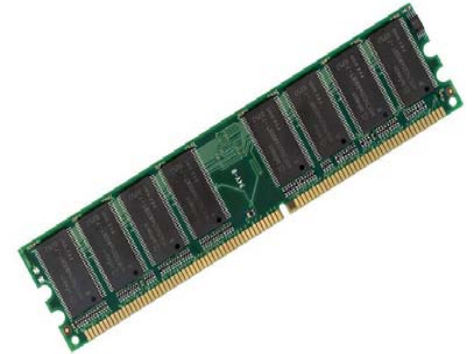
Mật độ tích hợp thấp.

DRAM (Dynamic RAM)

Xây dựng dựa trên các phần tử điện tử cơ bản là tụ điện.

Tốc độ truy cập chậm hơn SRAM.

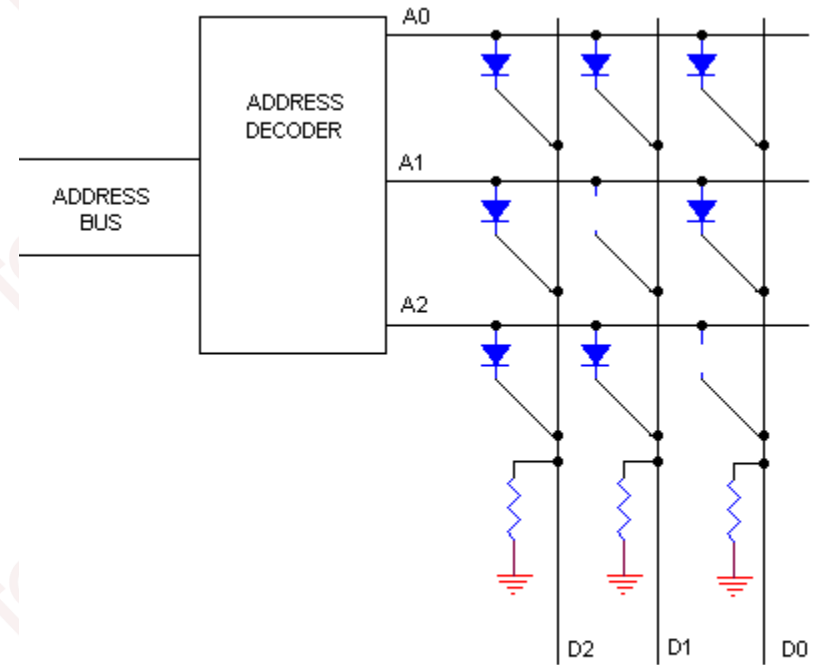
Mật độ tích hợp cao.



3.1.2. NGUYÊN LÝ HOẠT ĐỘNG CỦA CÁC LINH KIỆN NHỚ BÁN DẪN

- **ROM**

- Bộ nhớ chỉ đọc.
- Nội dung ghi bởi nhà sản xuất.
- Tạo ra từ các diode dẫn điện 1 chiều.
- Một ma trận các diode.
- Các điểm vắt chéo có diode tương ứng với bit 0.
- Các điểm còn lại tương ứng với bit 1.



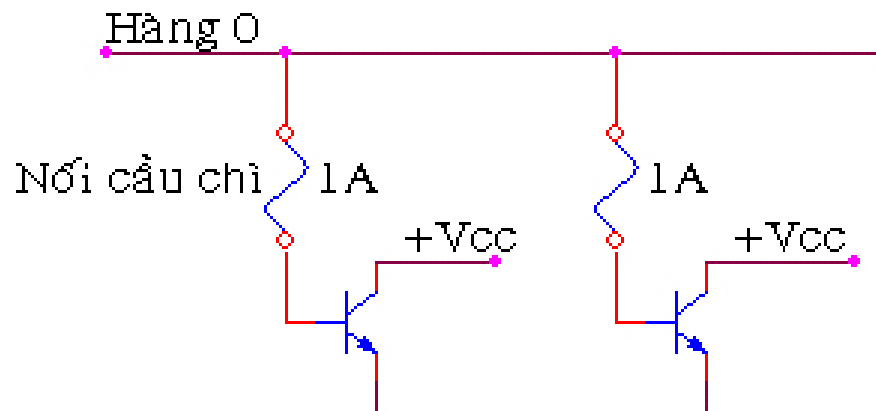
READ ONLY MEMORY (ROM)

Hình 2: Sơ đồ cấu tạo ROM

3.1.2. NGUYÊN LÝ HOẠT ĐỘNG CỦA CÁC LINH KIỆN NHỚ BÁN DẪN (tiếp theo)

- **PROM**

- Bộ nhớ chỉ đọc.
- Cho phép người dùng ghi thông tin 1 lần.
- Cấu tạo là các diode dẫn điện 1 chiều và các cầu trì.
- Khi cần ghi thông tin 1 vào điểm nào thì cho dòng điện đủ lớn để làm đứt cầu trì.



Hình 3: Sơ đồ cấu tạo PROM

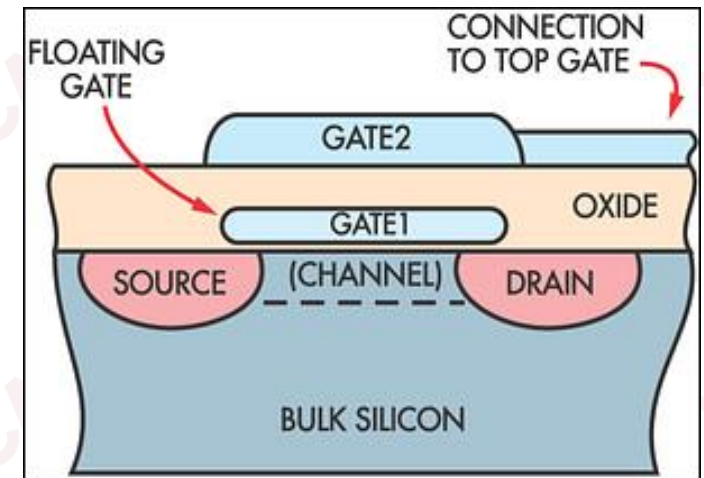
3.1.2. NGUYÊN LÝ HOẠT ĐỘNG CỦA CÁC LINH KIỆN NHỚ BÁN DẪN (tiếp theo)

- **EPROM** (Erasable PROM)

- Cho phép xóa, ghi thông tin nhiều lần.
- Cấu tạo dựa trên các transistor MOS.
- Dữ liệu ghi vào bằng xung điện 50ms, +20V.
- Xóa thông tin bằng các tia tử ngoại.

- **EEPROM**

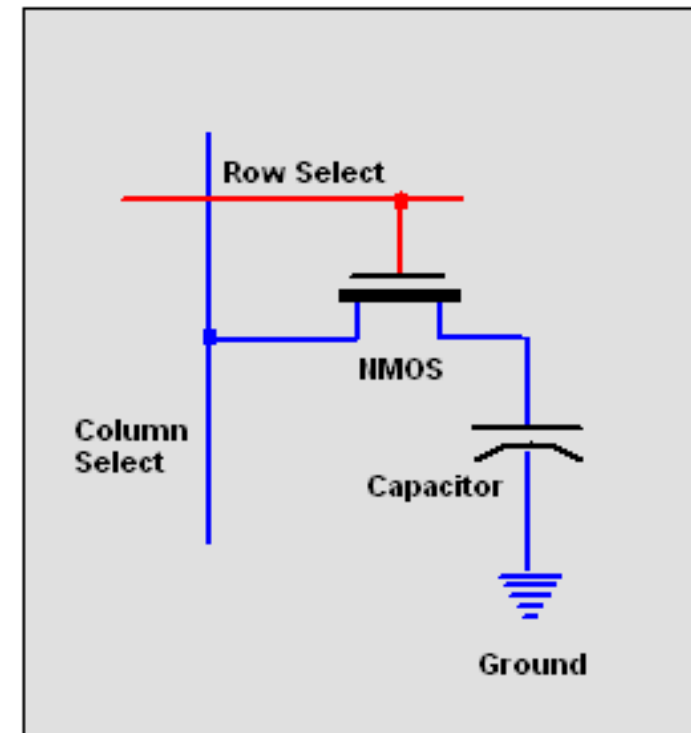
Là loại EPROM có thể xóa dữ liệu bằng phương pháp điện.



Hình 4: Sơ đồ cấu tạo EPROM

3.1.2. NGUYÊN LÝ HOẠT ĐỘNG CỦA CÁC LINH KIỆN NHỚ BÁN DẪN (tiếp theo)

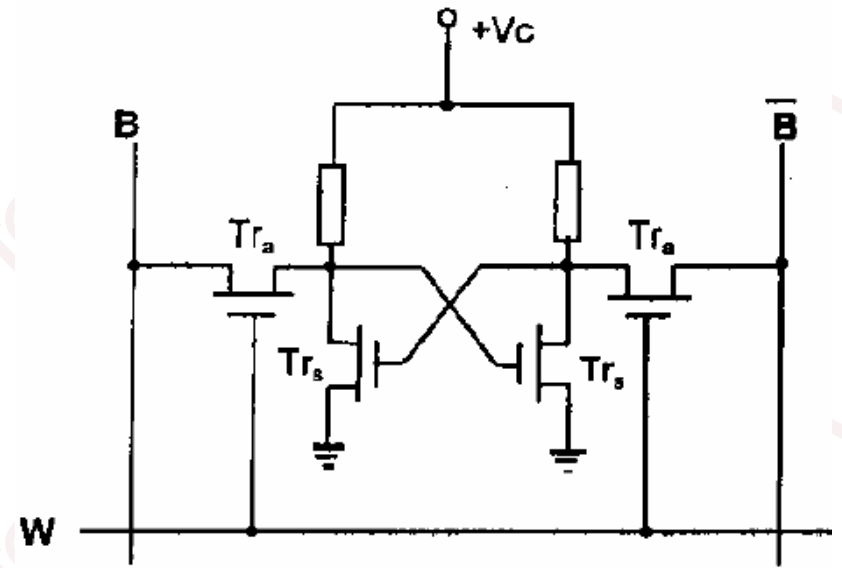
- **RAM** (Random Access Memory)
 - Bộ nhớ đọc/ghi.
 - Truy nhập dữ liệu ngẫu nhiên.
 - Dữ liệu mất khi mất điện.
- **DRAM** (Dynamic RAM)
 - Cấu trúc một bit DRAM được tạo ra bởi 1 tụ điện (lưu trữ điện) và 1 transistor trường.
 - Transistor được sử dụng như 1 công tắc để chọn tụ.
 - Luôn có hiện tượng rò điện từ tụ điện ra ngoài → chu kỳ làm tươi với DRAM.



Hình 5: Sơ đồ cấu tạo 1 bit DRAM

3.1.2. NGUYÊN LÝ HOẠT ĐỘNG CỦA CÁC LINH KIỆN NHỚ BÁN DẪN (tiếp theo)

- **SRAM** (Static Random Access Memory)
 - Bộ nhớ đọc/ghi.
 - Các phần tử cơ bản của SRAM là các mạch lật (Flip-Flop).
 - Mỗi bit SRAM được cấu tạo bởi 2 transistor trường.
 - SRAM không cần chu kì làm tươi.



Hình 6: Sơ đồ cấu tạo 1 bit SRAM

3.2. BỘ NHỚ CHÍNH

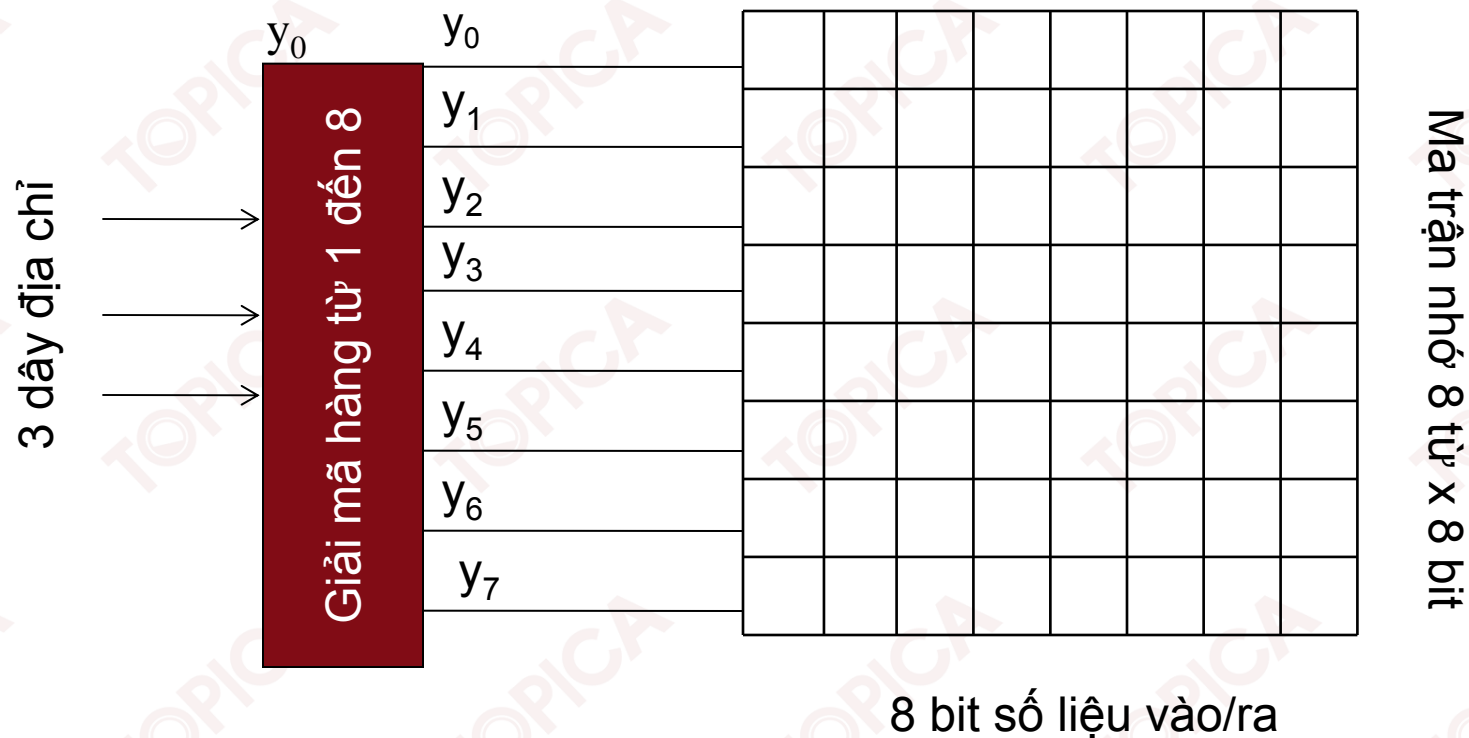
3.2.1. Tổ chức của
một chip DRAM

3.2.2. Các chế độ làm
tươi DRAM

3.2.3. Các chế độ
hoạt động nhanh của
DRAM

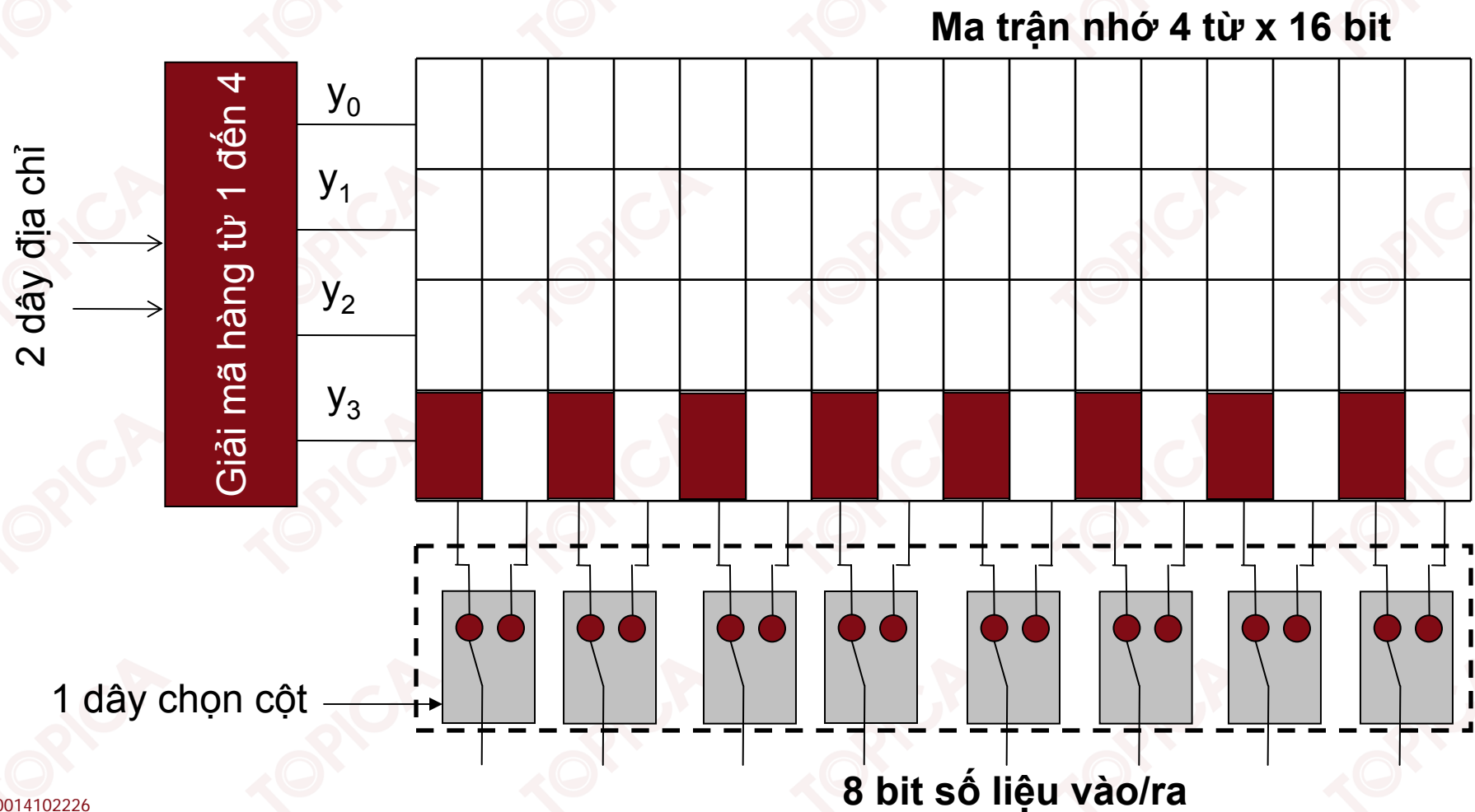
3.2.1. TỔ CHỨC MỘT CHIP DRAM

- Bộ nhớ DRAM là một ma trận bit nhớ.
- **Tổ chức theo từ với sự lựa chọn tuyến tính**
 - Bộ nhớ là một ma trận các từ nhớ;
 - Số hàng: w (w từ nhớ);
 - Số cột: B (B bit nhớ cho 1 từ nhớ);
 - Cần một bộ giải mã hàng cho phép chọn một trong w từ.



3.2.1. TỔ CHỨC MỘT CHIP DRAM (tiếp theo)

- Tổ chức theo kiểu giải mã 2 bước
 - Ma trận nhớ bao gồm w hàng (mỗi hàng là một S từ logic).
 - Mỗi từ logic gồm B bit (1 từ vật lí).
 - Cần 2 bộ giải mã: Giải mã hàng và bộ giải mã cột.



3.2.1. TỔ CHỨC MỘT CHIP DRAM (tiếp theo)

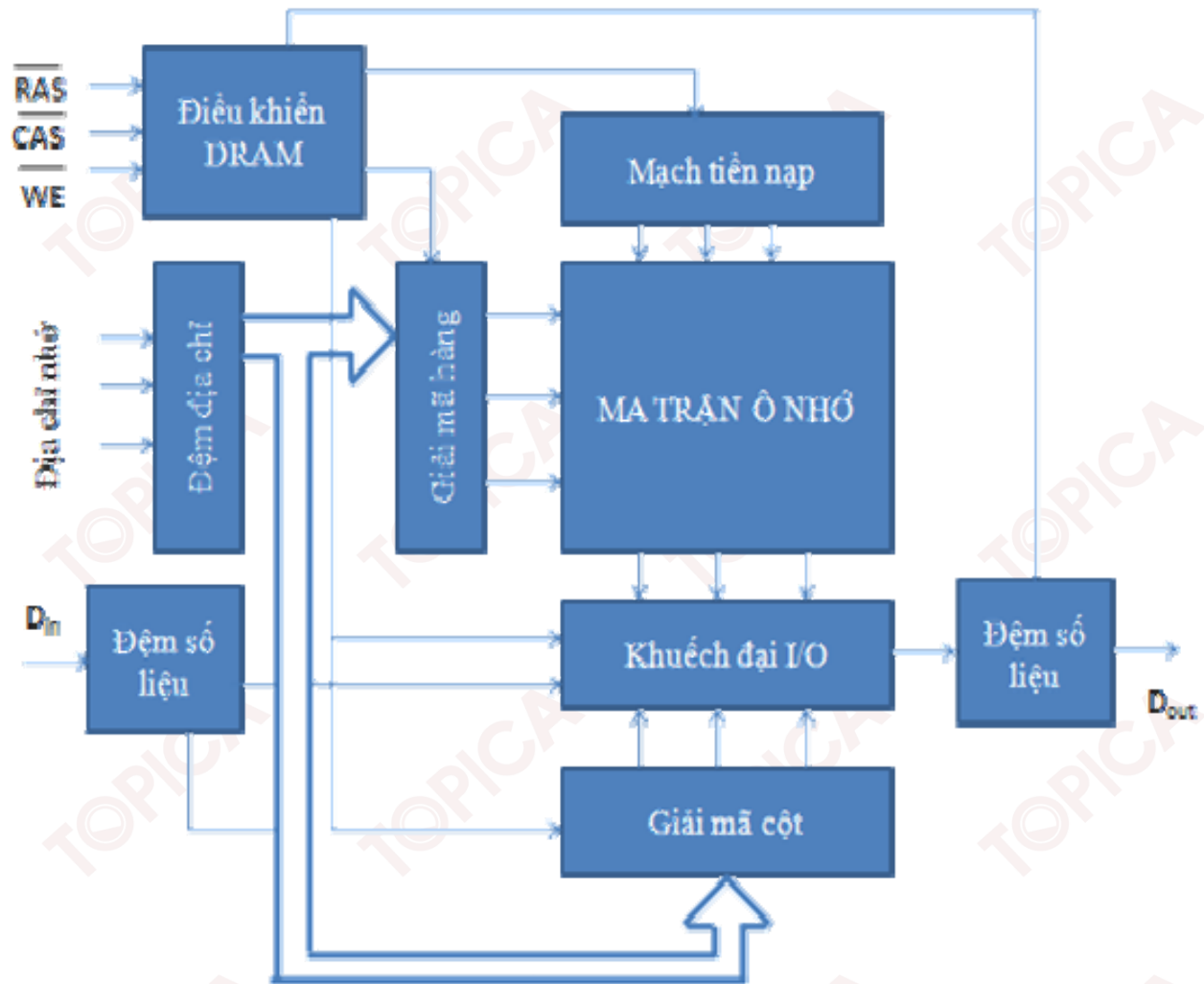
- Sơ đồ khối chip nhớ RAM

RAS : Chân chọn hàng

CAS : Chân chọn cột

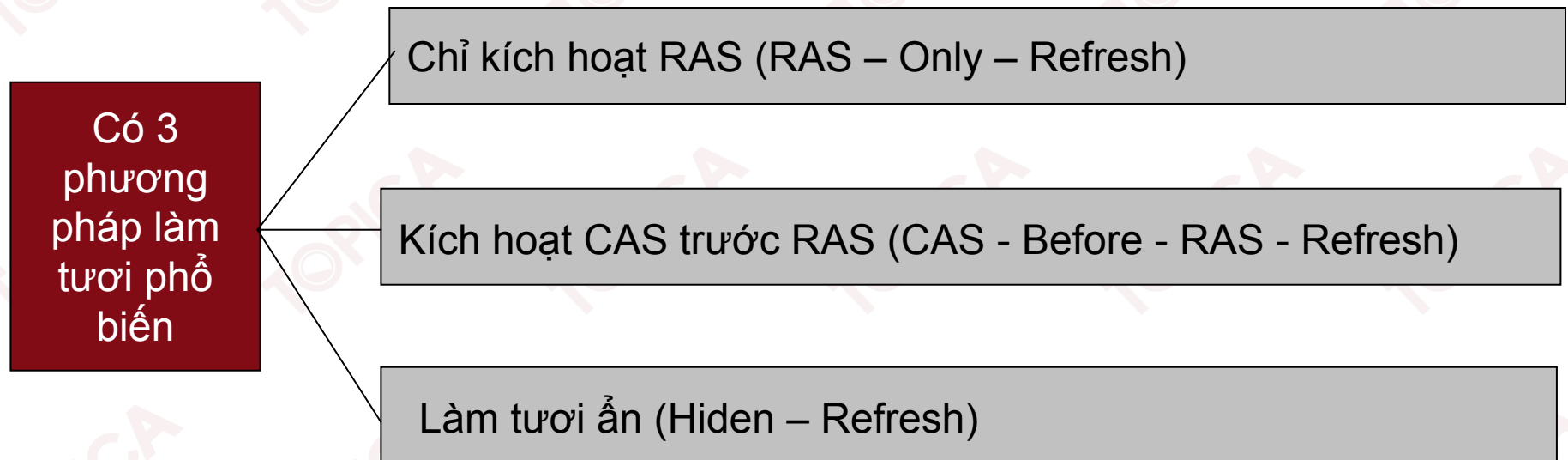
WE : Chân cho phép đọc/ghi dữ liệu

- Mỗi chip nhớ thường có n hàng và m cột
- $N = m = 1024$ thì chip nhớ có dung lượng 1Mb và có 1.048.576 transistor



3.2.2. CÁC CHẾ ĐỘ LÀM TƯƠI DRAM

- Điện tích trên một tụ điện trong một ô nhớ của DRAM sẽ bị phóng điện → Số liệu bị thay đổi.
- Khi đọc/ghi bộ nhớ thì DRAM được làm tươi tự động.



3.2.2. CÁC CHẾ ĐỘ LÀM TƯƠI DRAM (tiếp theo)

- **Chỉ kích hoạt RAS (RAS – Only – Refresh)**

- Sử dụng các chu trình đọc giả để làm tươi DRAM.
- Tín hiệu \overline{RAS} được đặt ở mức tích cực để chọn hàng.
- Các tín hiệu \overline{CAS} bị cấm.
- DRAM được đọc bên trong một hàng vào các cặp dây bit và khuếch đại số liệu đọc, tuy nhiên không truyền được chúng ra các cặp dây I/O → Số liệu không truyền ra đếm lỗi ra.

- **Kích hoạt CAS trước RAS (CAS - Before - RAS - Refresh)**

- DRAM sử dụng một mạch logic làm tươi riêng.
- Quá trình làm tươi được tự thực hiện bởi chip DRAM.
- Địa chỉ làm tươi được phát ra từ bên trong bởi bộ đếm địa chỉ.

- **Làm tươi ẩn (Hidden – Refresh)**

- Chu kì làm tươi đầu sau chu kì đọc bộ nhớ.
- Bộ đếm phát ra địa chỉ làm tươi.

3.2.3. CÁC CHẾ ĐỘ LÀM TƯƠI NHANH DRAM

- **Chế độ trang**
 - Địa chỉ cột thay đổi, địa chỉ hàng giữ nguyên.
 - Để khởi phát quá trình đọc, mạch điều khiển kích hoạt tín hiệu \overline{RAS} sau đó kích hoạt tín hiệu \overline{CAS} .
 - Trong chế độ phân trang để truy nhập ô nhớ tiếp theo, nếu ô nhớ nằm trên cùng một trang thì tín hiệu \overline{RAS} không bị cấm, chỉ có tín hiệu \overline{CAS} bị cấm trong một thời gian ngắn, sau đó được kích hoạt trở lại.
- **Chế độ cột tĩnh**
 - Tăng nhanh tốc độ làm tươi DRAM.
 - Tín hiệu \overline{CAS} giữ nguyên không đổi ở mức thấp.
 - Mạch điều khiển DRAM tự phát hiện các thay đổi trên các tín hiệu cột.
- **Chế độ Nibble**
- **Chế độ nối tiếp**
- **Chế độ đan xen**

3.3. CƠ CHẾ QUẢN LÝ BỘ NHỚ THEO PHẦN TRẠNG

3.3.1. Phương pháp
phân trang bộ nhớ

3.3.2. Cơ chế truy
nhập bộ nhớ
theo trang

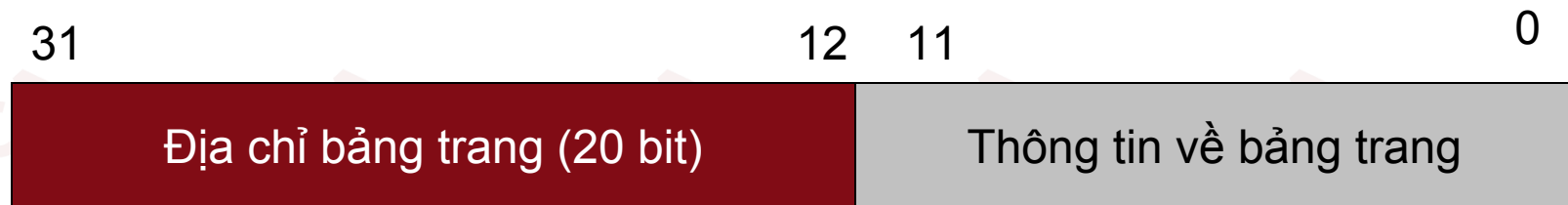
3.3.1. PHƯƠNG PHÁP PHÂN TRANG BỘ NHỚ

- Bộ nhớ logic được chia thành các phần có kích thước bằng nhau gọi là các trang (Page).
- Bộ nhớ vật lý được chia thành các phần bằng nhau và bằng kích thước của trang, gọi là khung trang (Frame).
- Hệ điều hành quản lý quá trình thực hiện chương trình qua các bảng trang (Page Table).
- Bảng trang sẽ cho biết vị trí của các khung trang.
- Cấu trúc của hệ thống quản lý trang gồm 3 phần: Thư mục trang (Page Directory), bảng trang (Page Table), và trang (Page).
- Thư mục trang, bảng trang và trang có cùng kích thước là 4KB.

3.3.1. PHƯƠNG PHÁP PHÂN TRANG BỘ NHỚ (tiếp theo)

- **Thư mục trang:**

- Kích thước: 4KB.
- Chứa 1024 điểm vào (Page Directory Entry – PDE).
- PDE: kích thước 32 bit, 20 bit địa chỉ bảng trang.
- Cấu trúc PDE:

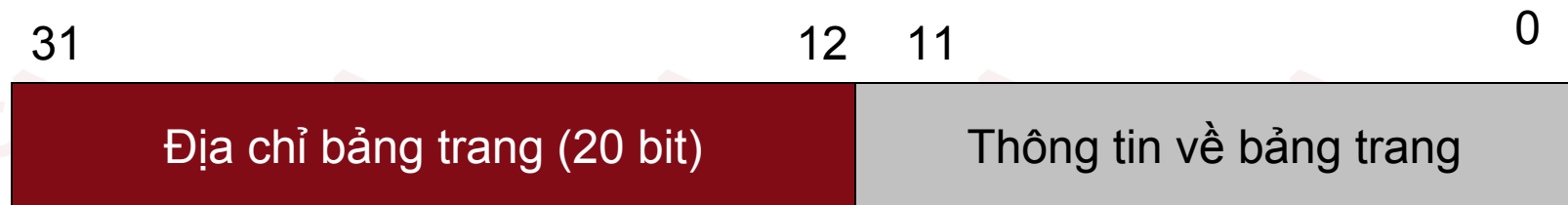


- Phần 20 bit địa chỉ bảng trang sẽ xác định bảng trang cần truy cập.
- Phần 12 bit thấp luôn bằng 0.
- Bit 1 và 2 của PDE xác định các mức đặc quyền và quyền đọc/ghi các trang.

3.3.1. PHƯƠNG PHÁP PHÂN TRANG BỘ NHỚ (tiếp theo)

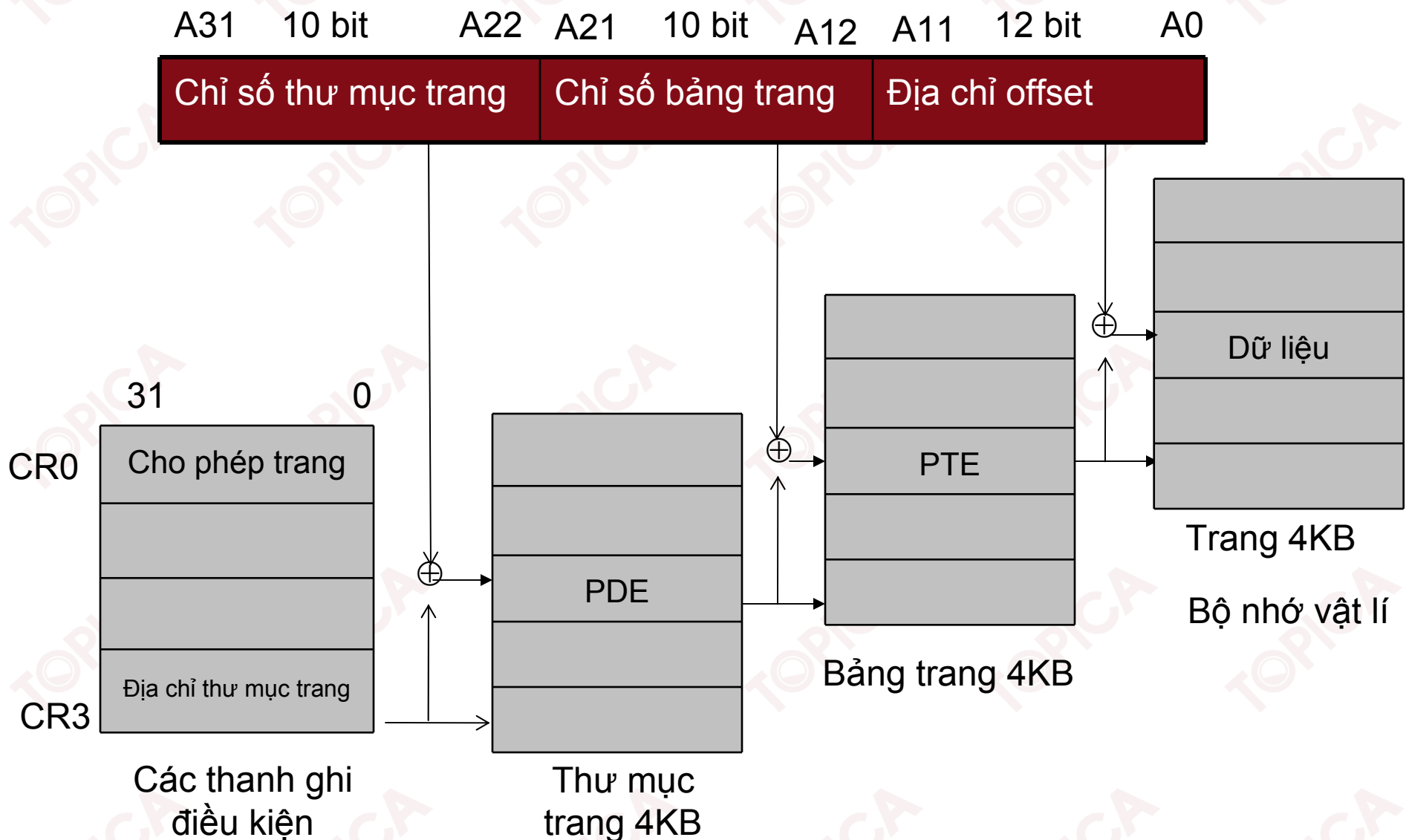
- **Thư mục trang:**

- Kích thước: 4KB.
- Chứa 1024 điểm vào (Page Directory Entry – PDE).
- PDE: kích thước 32 bit, 20 bit địa chỉ bảng trang.
- Cấu trúc PDE:



- Phần 20 bit địa chỉ bảng trang sẽ xác định bảng trang cần truy cập.
- Phần 12 bit thấp luôn bằng 0.
- Bit 1 và 2 của PDE xác định các mức đặc quyền và quyền đọc/ghi các trang.

3.3.2. CƠ CHẾ TRUY NHẬP BỘ NHỚ THEO TRANG



Hình 7: Sơ đồ truy cập bộ nhớ theo cơ chế phân trang

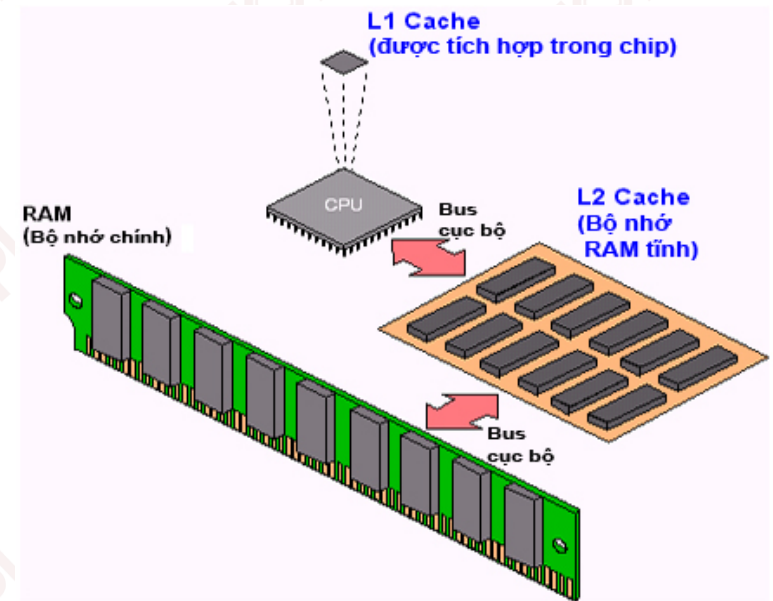
3.4. BỘ NHỚ CACHE

3.4.1. Tổ chức bộ nhớ cache

3.4.2. Các thao tác đọc/ghi bộ nhớ khi có bộ nhớ cache

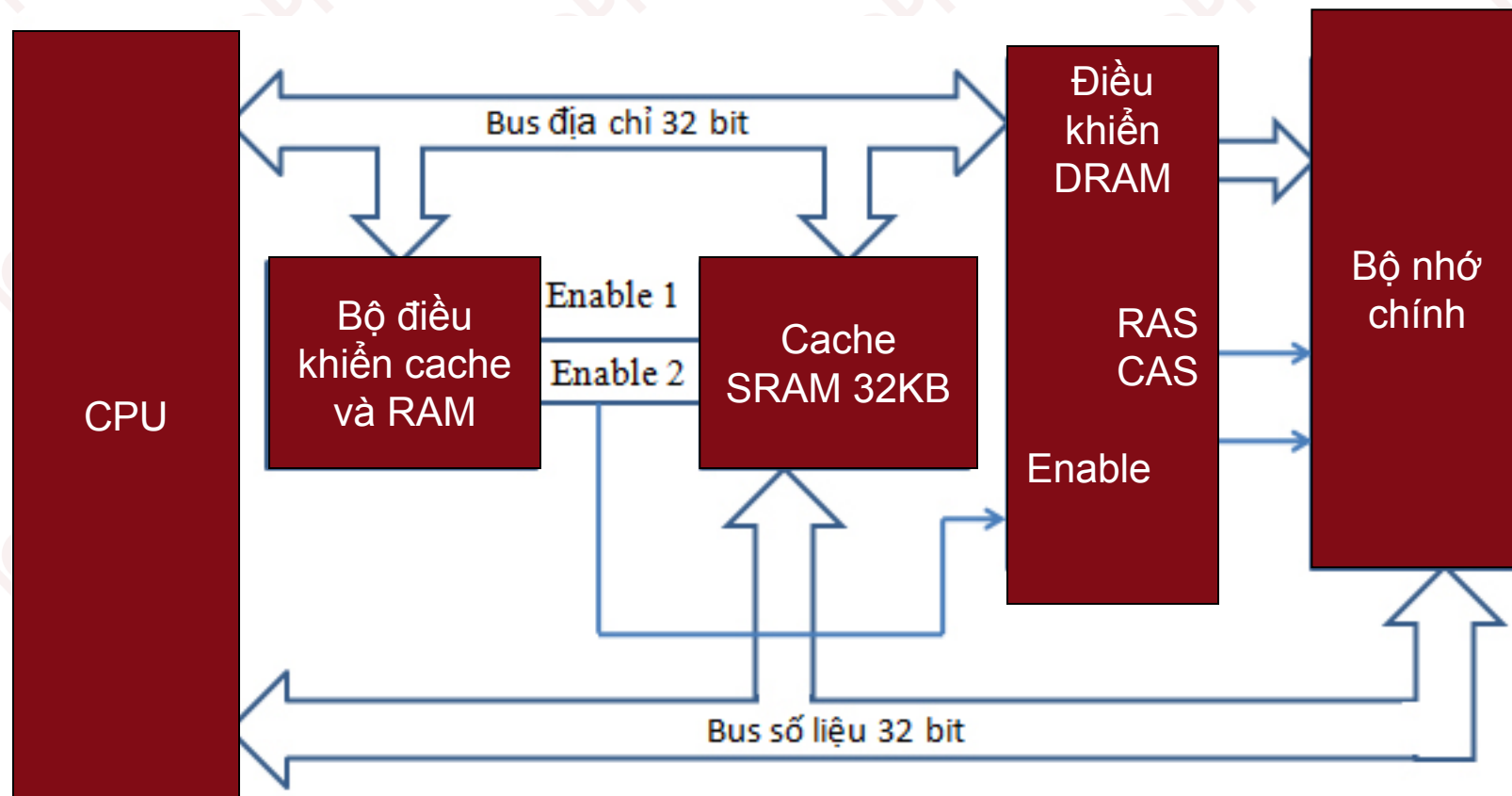
3.4.1. TỔ CHỨC BỘ NHỚ CACHE

- Cache là bộ nhớ đệm truy nhập nhanh.
- Đệm giữa CPU và RAM.
- Tốc độ cache nhanh hơn RAM.
- Dung lượng cache nhỏ hơn RAM.
- Cache được điều khiển bởi bộ điều khiển cache.



3.4.1. TỔ CHỨC BỘ NHỚ CACHE (tiếp theo)

- Cache lưu trữ các dữ liệu thường xuyên được CPU dùng đến.
- Khi truy cập dữ liệu nếu dữ liệu đã có ở cache gọi là: Cache hit.
- Khi truy cập dữ liệu nếu dữ liệu không có ở cache gọi là: Cache miss.



Hình 8: Sơ đồ bộ nhớ cache trong hệ thống máy vi tính

3.4.1. TỔ CHỨC BỘ NHỚ CACHE (tiếp theo)

- **Tổ chức cache**

- Bộ nhớ chính có 2^n từ nhớ.
- Cache được chia thành C hàng (line), mỗi hàng có K từ nhớ.
- Bộ nhớ chính được chia thành M khối (block), mỗi khối có K từ nhớ $M = 2^n/K$.

CPU

Bộ nhớ cache

Tag	Line 1
	Line 2
	Line 3
	...
	Line C

Bộ nhớ chính

Block 1
Block 2
Block 3
Block 4
...
Block M-2
Block M-1
Block M

3.4.1. TỔ CHỨC BỘ NHỚ CACHE (tiếp theo)

- Ví dụ

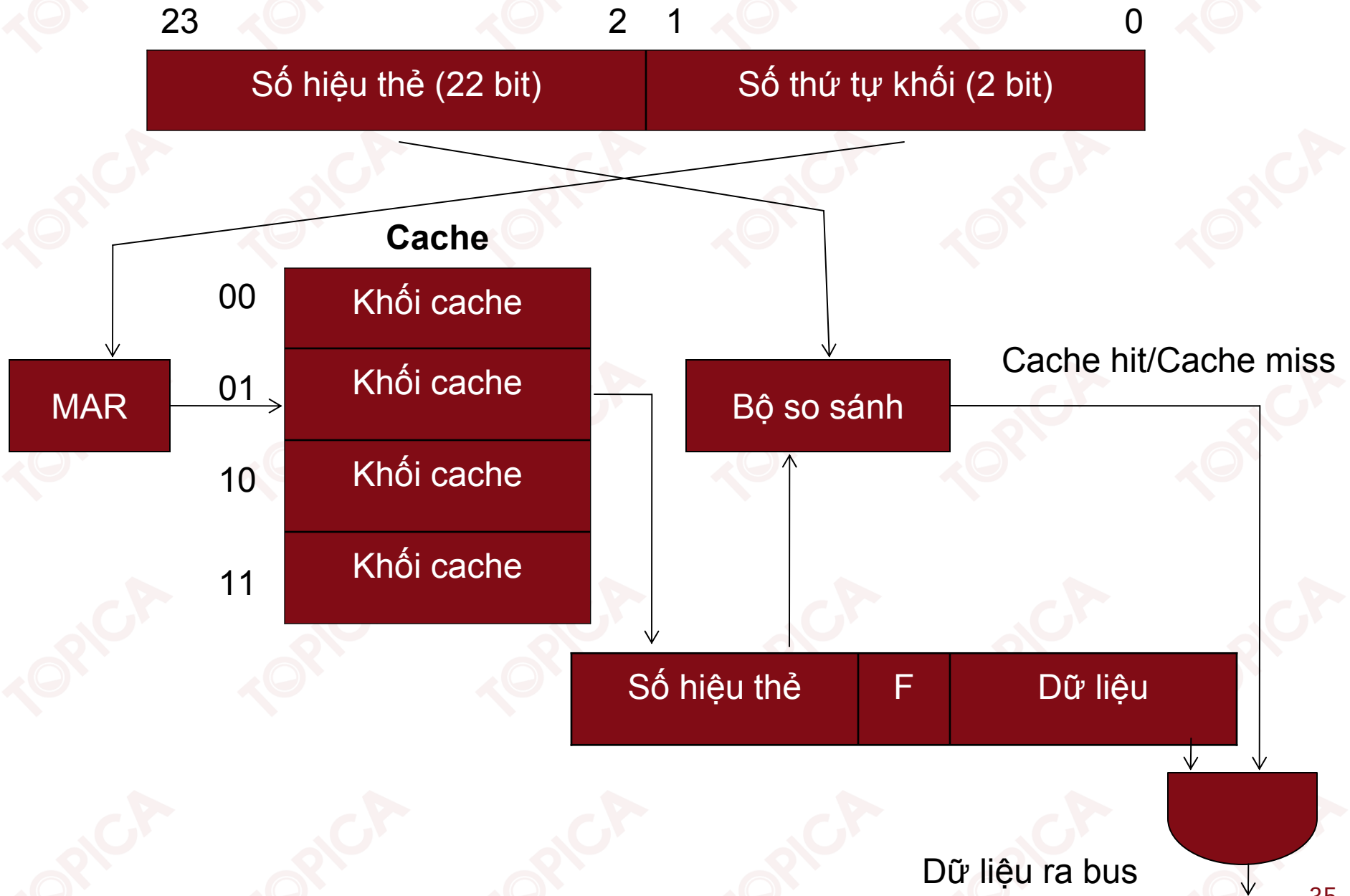
- Dung lượng cache: 64KB ($m = 16$).
- Mỗi hàng kích thước 4 bytes.
- $C = 16K (2^{14})$ hàng, mỗi hàng kích thước 4 bytes.
- Dung lượng bộ nhớ chính: 16MB ($n = 24$).
- Mỗi khối kích thước 4 bytes.
- $M = 2^{24}/4 \text{ bytes} = 4M (2^{22})$.

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE

- **Thao tác đọc bộ nhớ**

- Bộ điều khiển cache đọc khối dữ liệu trong cache (số thứ tự trùng với số thứ tự khối trong địa chỉ trên bus).
- Bộ điều khiển cache xác định xem số hiệu thẻ của khối trong cache này có trùng với số hiệu thẻ trong địa chỉ bus không.
- Nếu trùng thì xảy ra cache hit → một từ dữ liệu được đọc từ cache vào CPU. Ngược lại xảy ra cache miss → một từ dữ liệu được đọc từ bộ nhớ chính (RAM).

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)

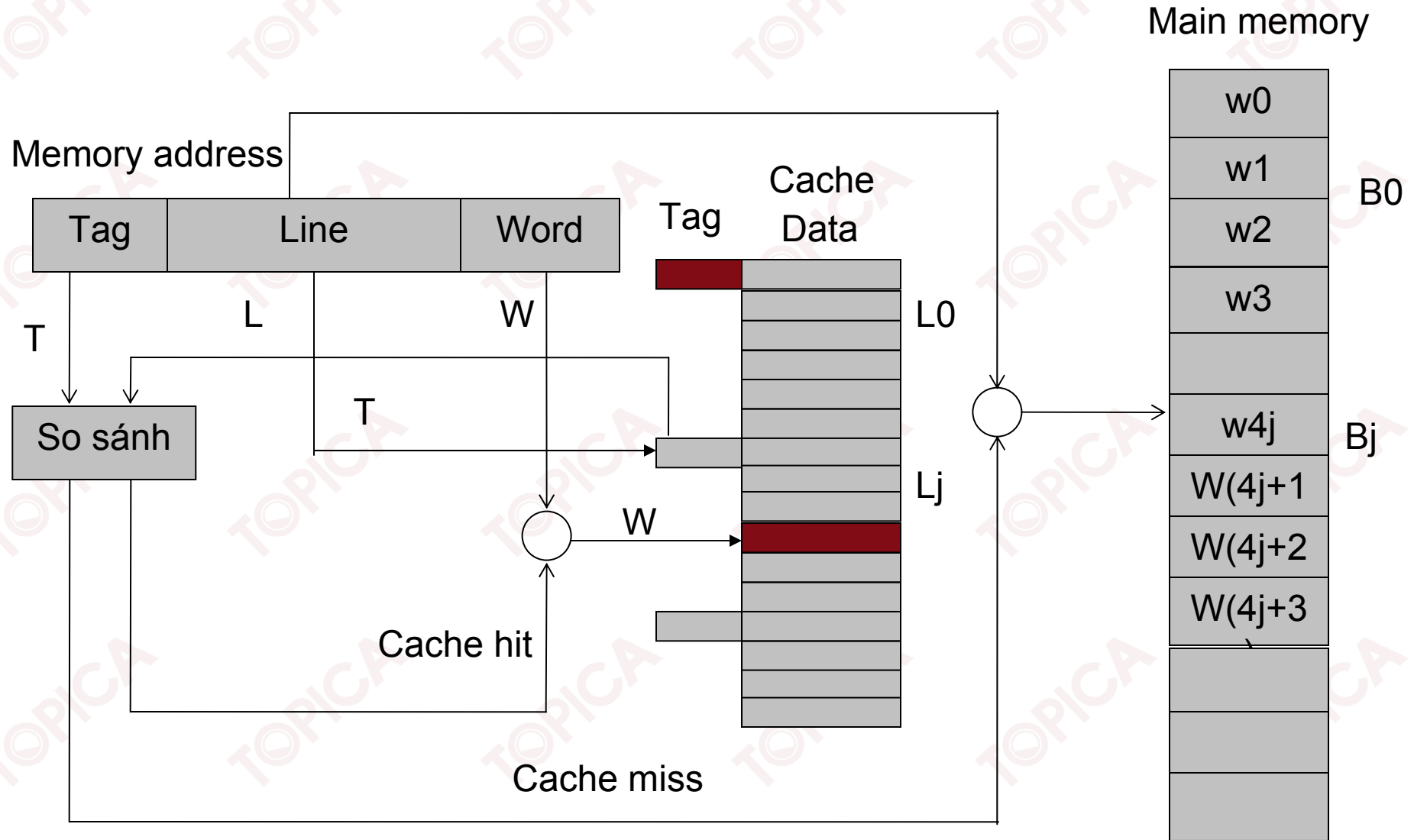


3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)

- Các phương pháp ánh xạ bộ nhớ chính và bộ nhớ cache
- Phương pháp ánh xạ trực tiếp (Direct mapping)
 - Mỗi block được ánh xạ tới một line duy nhất trong cache;
 - $B_j \rightarrow L_{j \bmod m}$;
 - Địa chỉ N bit phát ra từ CPU gồm:
 - Trường word: W bit, xác định một từ nhớ trong block hay line.
 - Trường Line: L bit, xác định một line trong cache.
 - Trường tag: T bit, $T = N - (W + L)$.

Tag N - (W+L)	Line or slot L	Word W
8	14	2

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)



3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)

Cache line	Main memory blocks
0	0, C, 2C, 3C, ..., $2^s - C$
1	1, C+1, 2C+1, ..., $2^s - C + 1$
C-1	C-1, 2C-1, 3C-1, ..., $2^s - 1$

- **Ưu điểm:**

- Đơn giản;
- Chi phí ít.

- **Nhược điểm:**

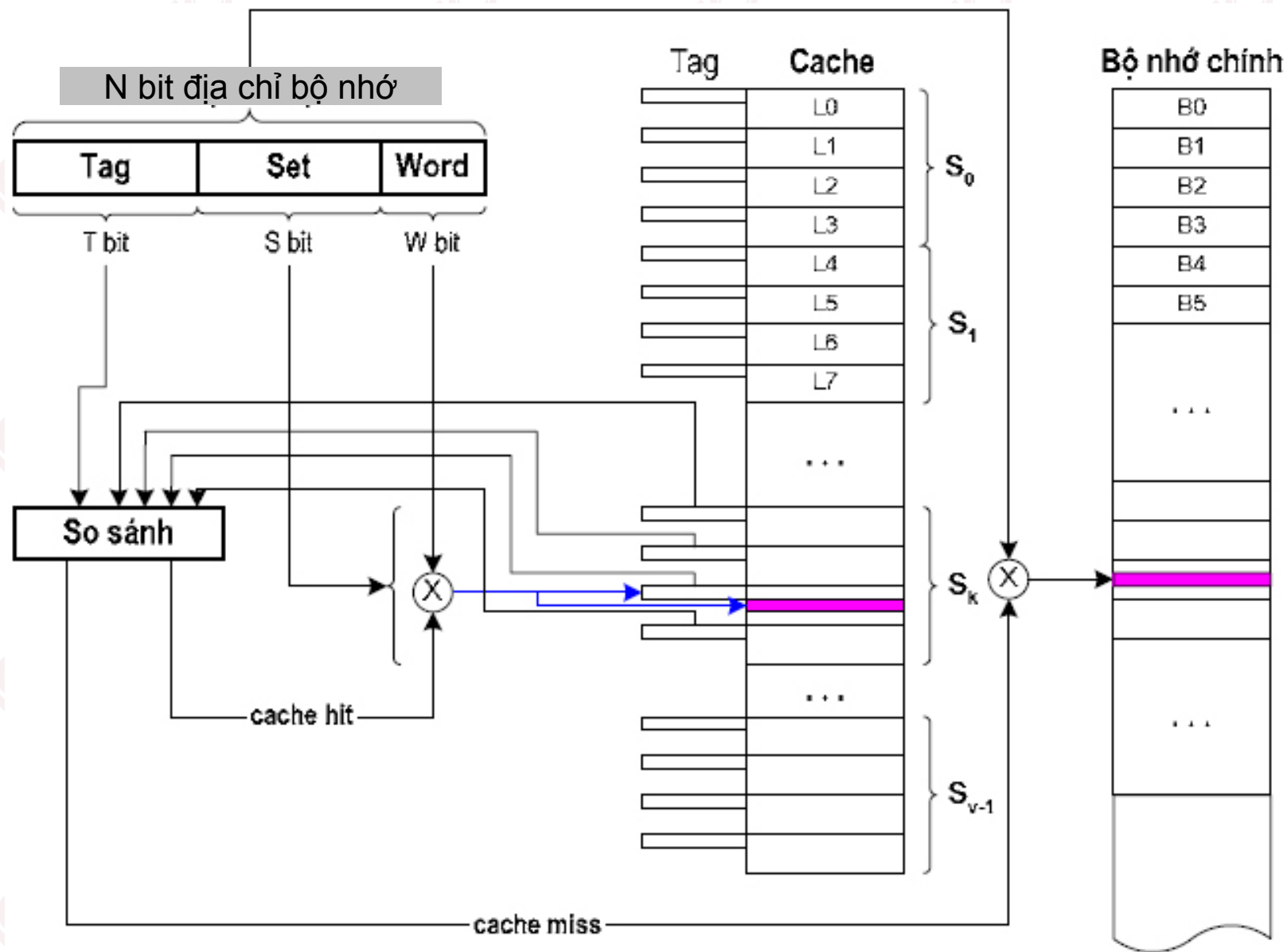
Các block phải đặt vào các line cố định trong cache → tỉ lệ cache miss cao.

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)

- **Phương pháp ánh xạ liên kết tập hợp**

- Mỗi tập (Set) gồm một số line: 2, 4,...line/1 set.
- Cache được chia thành các tập (Set).
- Thường sử dụng nhóm gồm 2 hàng (2 – way set associative cache system).
- Mỗi block sẽ ánh xạ vào một set xác định.
- $B_0 \rightarrow S_0$
- $B_1 \rightarrow S_1$
- $B_2 \rightarrow S_2$
- N bit địa chỉ được chia thành:
 - T bit cho trường Tag;
 - W bit cho trường word, xác định một từ trong block hay line;
 - S bit cho trường set, xác định một set trong cache.

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)



3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)

Ví dụ:

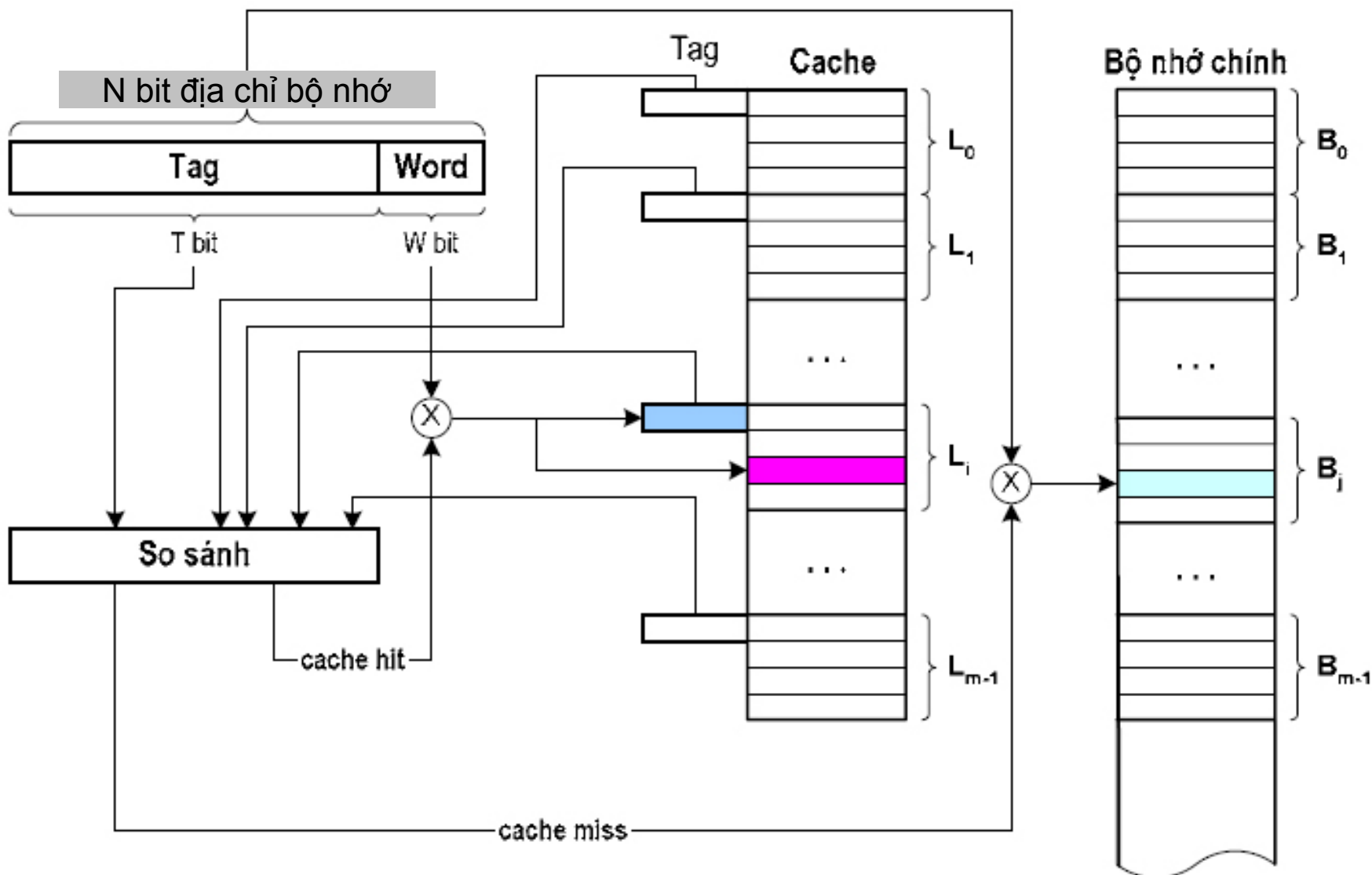
- Bộ nhớ chính: 4GB.
- Dung lượng cache: 256KB.
- Kích thước line: 32 byte.
- Xác định địa chỉ cho các trường W (Word), T (Tag), L (Line).
- $4\text{GB} = 2^{32} \rightarrow N = 32 \text{ bit}$.
- $\text{Line} = 32 \text{ byte} = 2^5 \rightarrow W = 5$.
- Số line trong cache = $2^{18}/2^5 = 2^{13}$ Line (256 KB = 2^{18} bytes).
- Một set có 4 line = 2^2 line.
- Số set trong cache là: $2^{13}/2^2 = 2^{11} \rightarrow S=11$.
- $T = 32 - (11 + 5) = 16$.

Tag: 16 bit	Set: 11 bit	Word: 5bit
-------------	-------------	------------

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)

- **Phương pháp ánh xạ liên kết toàn phần**
 - Mỗi block có thể nạp vào 1 line bất kỳ trong cache.
 - Trường địa chỉ gồm 2 thành phần:
 - Trường Word: Xác định một từ trong line hay block;
 - Trường Tag: Xác định block của bộ nhớ chính;
 - So sánh trường Tag với tất cả các Tag trong bộ nhớ chính.

3.4.2. ĐỌC/GHI BỘ NHỚ KHI CÓ BỘ NHỚ CACHE (tiếp theo)



TÓM LƯỢC CUỐI BÀI

Trong bài này đã trình bày các nội dung sau:

- Các cấp bộ nhớ trong hệ thống máy tính.
- Các loại bộ nhớ như: RAM, ROM, PROM, EPROM...
- Cơ chế hoạt động của bộ nhớ cache.