Цифровые устройства и микропроцессоры (І часть) 2017/18 уч. год

Вопросы для подготовки к зачету и экзамену

Теоретические вопросы

- 1. Аналоговые и цифровые сигналы. Логические уровни. Запас помехоустойчивости.
- 2. Дискретизация и квантование сигналов. Критерии выбора оптимальных параметров.
- 3. Основные логические операции. Таблицы истинности. Обозначения логических элементов.
- 4. Операции булевой алгебры и их свойства.
- 5. Совершенная дизъюнктивная и совершенная конъюнктивная нормальные формы. Минимизация логических функций.
- 6. Транзисторный ключ на биполярном транзисторе. Входная и передаточная характеристики. Влияние коллекторной и внешней нагрузок.
- 7. Транзисторный ключ на МДП транзисторе. Передаточная характеристика. Влияние стоковой и внешней нагрузок.
- 8. Схемотехника логических элементов транзисторно-транзисторной логики (ТТЛ). Схемы ТТЛ с диодами Шоттки.
- 9. Схемотехника логических элементов КМДП логики, реализация функций НЕ, И, ИЛИ, И-НЕ и др.
- 10. Сравнение элементов диодно-транзисторной, ТТЛ, КМДП, эмиттерно-связанной логики.
- 11. Логические элементы с открытым коллектором/стоком и их использование для реализации функции "монтажное и/или".
- 12. Логические элементы с тремя состояниями выхода (Z-выходами) и их применение.
- 13. Типы выходных каскадов логических элементов, их сравнение по быстродействию, нагрузочной способности, энергопотреблению и др.
- 14. Статические и динамические характеристики элементов ТТЛ и КМДП логики.
- 15. Триггер Шмитта и его применение.
- 16. Дешифраторы, шифраторы, приоритетные шифраторы. Их каскадирование.
- 17. Мультиплексоры и демультиплекторы для коммутации цифровых и аналоговых сигналов. Их каскадирование.
- 18. Цифровые компараторы. Их каскадирование.
- 19. Полусумматоры, полные сумматоры. Сумматоры с последовательным и параллельным переносом.
- 20. Умножители, арифметическо-логические устройства.
- 21. Шинные формирователи.
- 22. Преобразователи кодов: для сегментных индикаторов, Грэя, Джонсона и др.
- 23. Классификация триггеров. Типы управляющих сигналов. Типы триггеров, их взаимозаменяемость.
- 24. Асинхронные и синхронные RS-триггеры. Одно- и двухступенчатые триггеры. Диаграммы работы.
- 25. D-триггеры. Схемотехника, принцип работы, временные диаграммы.
- 26. Т-, ЈК-триггеры. Принцип работы, временные диаграммы.
- 27. Классификация регистров. Параллельные регистры, назначение, диаграммы работы.
- 28. Сдвиговые регистры и их применение для преобразования кодов.
- 29. Классификация двоичных счетчиков. Счетчики с последовательным переносом (асинхронные).
- 30. Счетчики с параллельным переносом (синхронные).
- 31. Реверсивные счетчики и счетчики с произвольным модулем счета.
- 32. Классификация и основные параметры запоминающих устройств.
- 33. Структурно-функциональная организация микросхем памяти.
- 34. Оперативные запоминающие устройства (ОЗУ). Диаграммы чтения и записи.
- 35. Элементы памяти статических ОЗУ.
- 36. Элементы памяти динамических ОЗУ.
- 37. Постоянные запоминающие устройства (ПЗУ). Основные типы, сравнительная оценка.
- 38. Цифро-аналоговые преобразователи (ЦАП). Характеристика преобразования. Схемотехника ЦАП.
- 39. Аналого-цифровые преобразователи параллельного типа.
- 40. Аналого-цифровые преобразователи последовательного типа.

Тематика задач

- Преобразования между 2-, 10-, 16-чной системами счисления, в т.ч. дробных и отрицательных чисел.
- Знаковое и беззнаковое сложение/вычитание/умножение чисел ограниченной разрядности.
- Написание логических функций для устройств, заданных в виде схемы или таблицы.
- Синтез комбинационных устройств по заданной функции или таблице.
- Минимизация логических выражений. Приведение к базисам И-НЕ, ИЛИ-НЕ.
- Составление схем элементов стандартной логики с использованием биполярных и МДП транзисторов.
- Синтез цифровых устройств (DC, CD, MUX, DMX, SM, COMP, TT) на основе элементов стандартной логики.
- Синтез регистров и счетчиков с использованием триггеров различных типов.
- Каскадирование (наращивание разрядности) типовых цифровых устройств: DC, CD, MUX, DMX, SM, COMP, RG, ROM, RAM.
- Построение временных диаграмм выходных сигналов при заданных входных воздействиях на цифровое устройство.