



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«МИРЭА – Российский технологический университет»

РТУ МИРЭА

ЛЕКЦИОННЫЕ МАТЕРИАЛЫ

по дисциплине

Цифровые устройства и микропроцессоры

Часть 1 (5 семестр)

Лекция 6

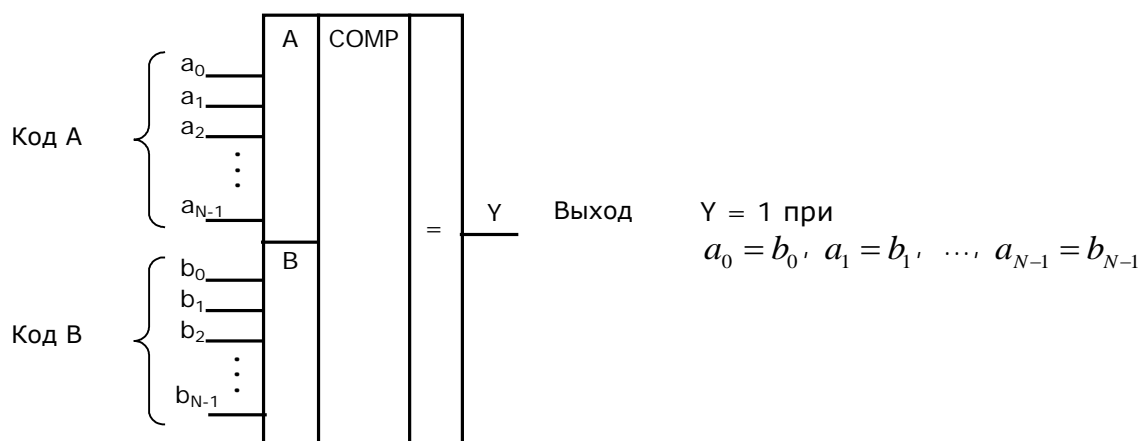
Основные темы лекции

Цифровые компараторы.
 Аналоговый компаратор с логическим выходом.
 Сумматоры.
 Умножители.
 АЛУ.
 Шинные формирователи.
 Преобразователь кода для семисегментных индикаторов.
 Двоично-десятичный код.
 Коды Грэя и Джонсона.
 Другие комбинационные устройства.

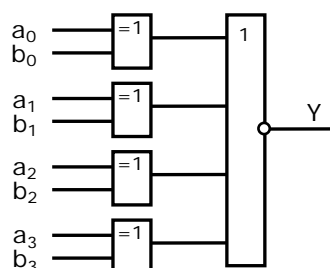
Цифровые компараторы

Простейший цифровой компаратор (другие названия: схема равнозначности, схема сравнения на равенство) — устройство для сравнения двух N-разрядных двоичных кодов, формирует на выходе активный уровень (например, лог. 1) при поразрядном совпадении входных кодов.

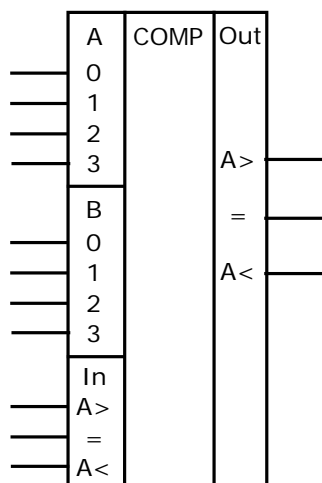
Числа $A = a_{N-1}a_{N-2}...a_1a_0$ и $B = b_{N-1}b_{N-2}...b_1b_0$ равны, если
 $a_0 = b_0, a_1 = b_1, ..., a_{N-1} = b_{N-1}$.



В основе построения такого компаратора лежат элементы "Исключающее ИЛИ".
 Пример 4-разрядного компаратора (другие варианты см. [Новожилов, рис. 4.6.1]):



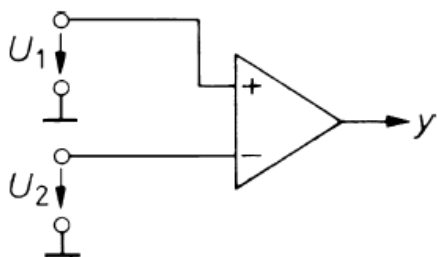
Универсальный цифровой компаратор (или схема сравнения на «больше») проверяет коды не только на равенство, но и на превышение ($A > B$, $A < B$). Соответственно имеет дополнительные выходные сигналы, а для возможности увеличения разрядности путем каскадирования — также и дополнительные входы (примеры каскадирования см. [Новожилов, рис. 4.6.4, 4.6.5, 4.7.6]):



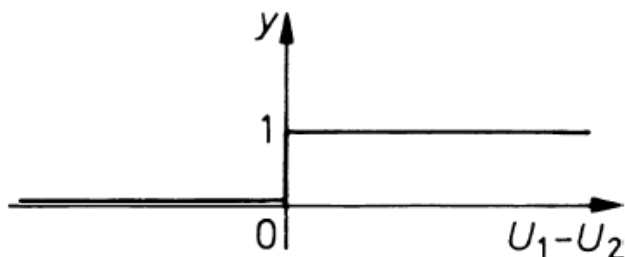
Аналоговый компаратор с логическим выходом

Компаратор сравнивает два аналоговых уровня напряжения. При $U_1 > U_2$ на выходе — один логический уровень (например, "1"), при $U_1 < U_2$ — другой. Одно из этих напряжение обычно является опорным. Функции аналогового компаратора может выполнять обычный операционный усилитель со схемой сдвига выходного уровня. Аналоговые компараторы наряду с аналого-цифровыми преобразователями, как правило, входят в состав современных микропроцессоров.

Компаратор с логическим выходом



Передаточная характеристика



Сумматоры

Сумматоры — устройства для арифметического сложения и вычитания чисел. В общем случае операции могут производиться над числами в разных системах счисления, в настоящем курсе рассматриваются только двоичные сумматоры.

Одноразрядный неполный сумматор (полусумматор):

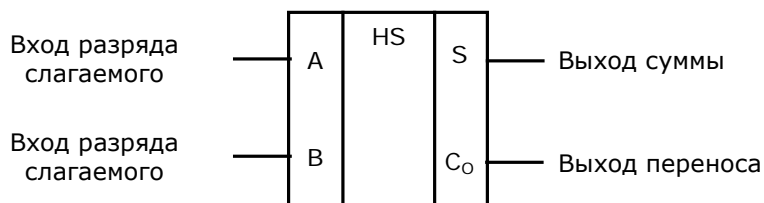
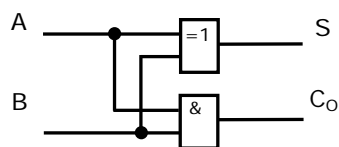


Таблица истинности

Операнды		Выход переноса	Сумма
B	A	C₀	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

Одна из реализаций полусумматора



Одноразрядный полный сумматор

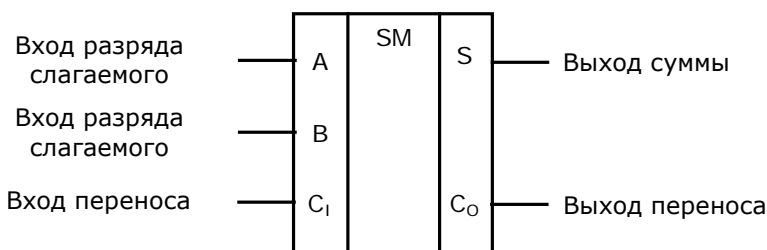
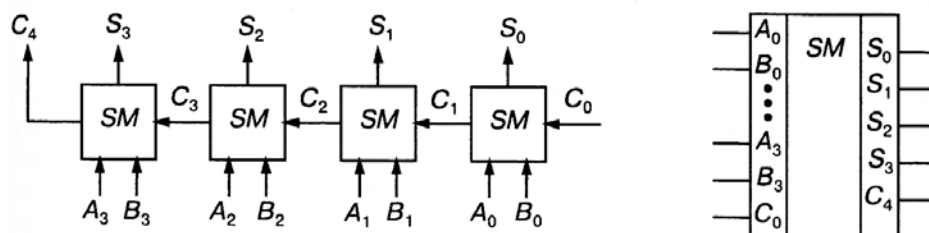


Таблица истинности

Вход переноса	Операнды		Выход переноса	Сумма
C₁	B	A	C₀	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

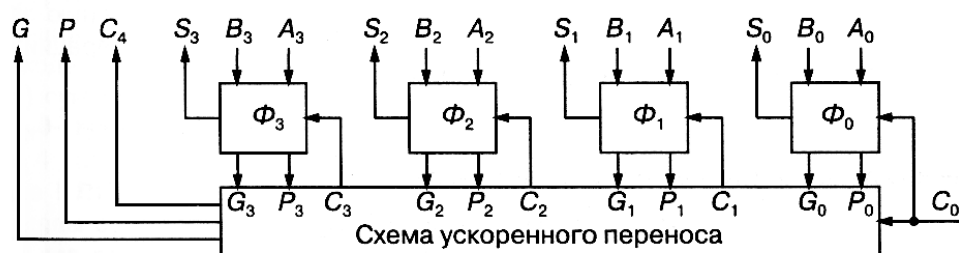
Реализацию полного сумматора на логических элементах предлагается провести **самостоятельно**.

Многоразрядный сумматор с последовательным переносом:



Достоинство: простота схемного решения. Но так как следующий разряд формируется по завершении операции с предыдущим, то главный недостаток — пониженное быстродействие. Дополнительная особенность — наличие на выходах результатов промежуточных операций. Данный тип сумматора исследуется в лабораторном практикуме.

Многоразрядный сумматор с параллельным (ускоренным) переносом:



Переносы формируются одновременно во всех разрядах. При этом каждый разряд сумматора генерирует не только сигнал (функцию) переноса $G_i = A_i \cdot B_i$, но и функцию распространения переноса $P_i = A_i \oplus B_i$. Сигналы C_1, C_2, \dots от схемы ускоренного переноса являются комбинацией всех G_i, P_i . Подробнее см. [Новожилов, с.163-165].

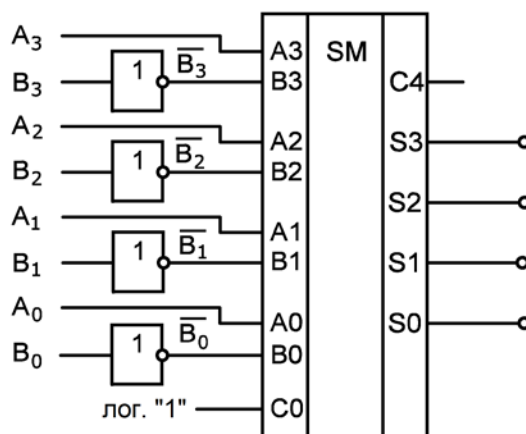
Сумматор-вычитатель

Операцию вычитания кодов обычно заменяют сложением, изменив знак одного из операндов. При этом числа с отрицательным знаком представляются в дополнительном коде. Для изменения знака числа необходимо инвертировать все разряды и арифметически добавить единицу:

$$S = A - B = A + (-B) = A + (\overline{B} + 1)$$

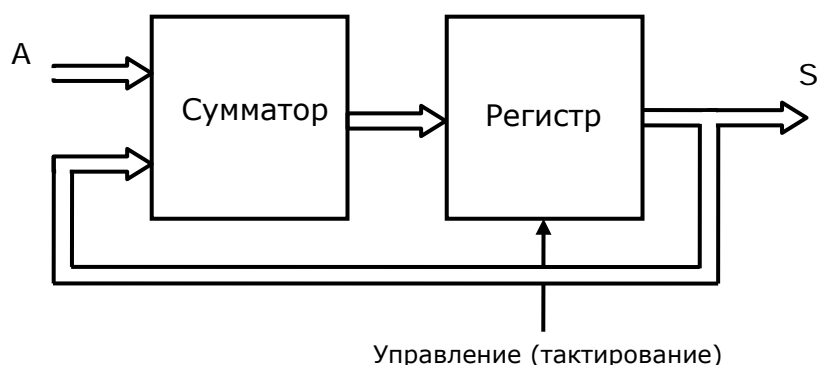
Схема для вычитания 4-разрядных кодов представлена ниже. Биты операнда B инвертируются, на вход переноса младшего разряда C_0 подается 1, выход переноса со старшего разряда при вычитании не используется.

В качестве самостоятельной работы предлагается составить схему универсального сумматора-вычитателя, функция которого задается отдельным логическим сигналом.



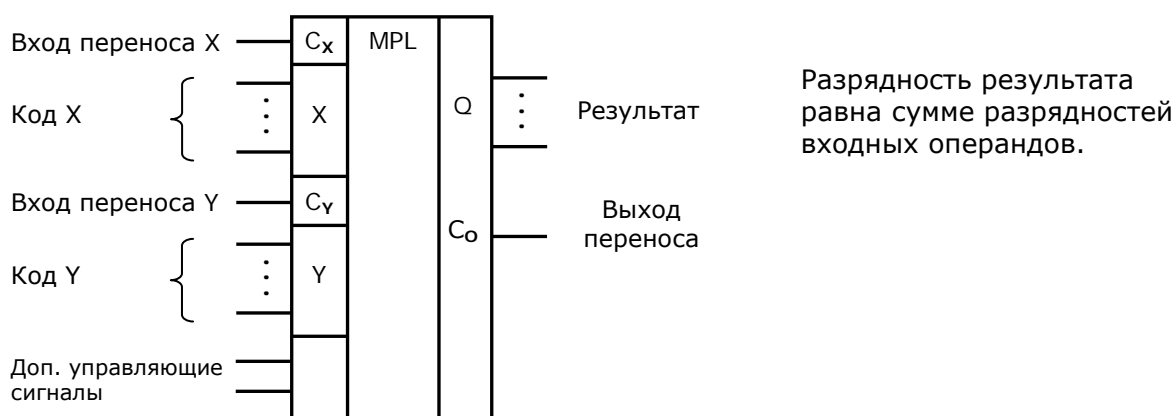
Накапливающий сумматор

Представляет собой сочетание обычного сумматора и регистра, в последний записывается результат и из него же берется операнд для следующего сложения, таким образом реализуется формула $S = S + A$.



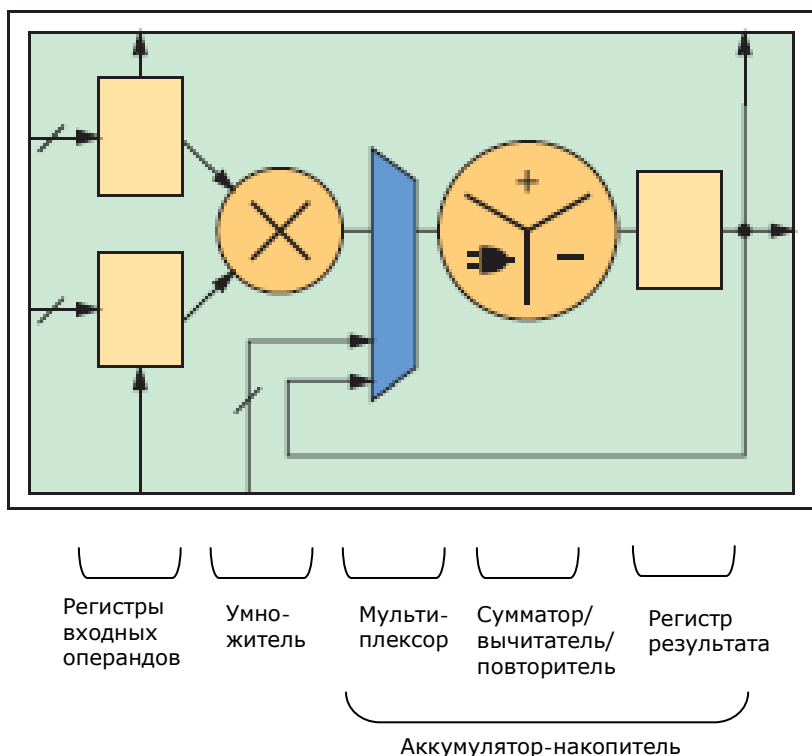
Другие названия подобного устройства: аккумулятор-накопитель или просто аккумулятор. Он является неотъемлемой частью блоков цифровой обработки сигналов (DSP).

Умножители



Устройства для перемножения двоичных чисел являются достаточно сложными устройствами [см., например, Новожилов, гл. 4.11] и их подробное рассмотрение выходит за рамки курса.

Пример использования арифметических операций в блоках цифровой обработки сигналов современных программируемых логических интегральных схем (ПЛИС):



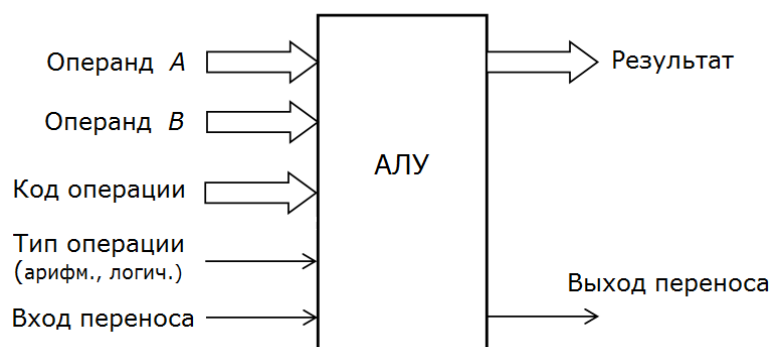
АЛУ

Универсальными вычислителями, входящими в состав микропроцессоров, являются АЛУ (арифметическо-логические устройства). АЛУ выполняют несколько типов операций, задаваемых дополнительным управляющим кодом.

Основные арифметические операции: сложение, вычитание, сравнение, изменение знака, инкремент/декремент.

Логические операции: инверсия, логическое сложение, логическое умножение, неравнозначность, циклический, логический и арифметический сдвиги влево/вправо.

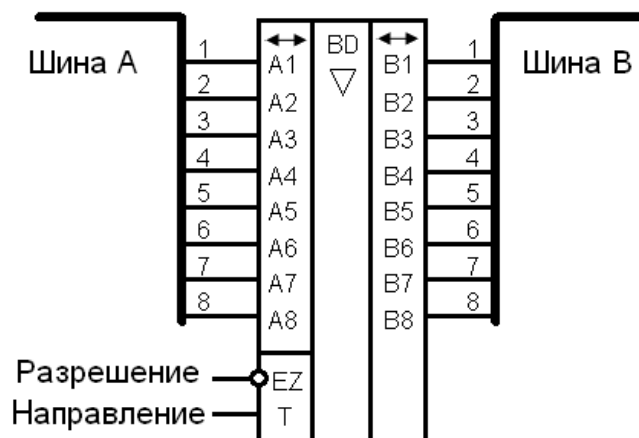
В более сложных АЛУ также реализуются: умножение, деление, насыщение, изменение разрядности и другие.



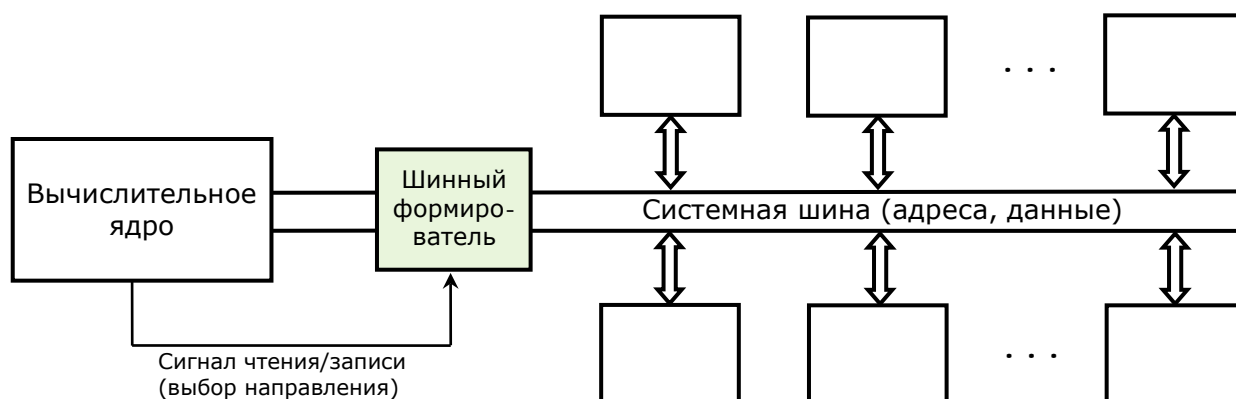
Шинные формирователи

Другие названия: приемопередатчики, шинные драйверы, магистральные буферы.

Используются для буферирования (увеличения нагрузочной способности) — усиливают токи при передаче информации (адресов, данных), не изменяя саму информацию, не осуществляя никаких логических операций (кроме инверсии). Включаются в разрыв шин. Могут являться как одно-, так и двунаправленными. Двунаправленный формирователь строится на двух N-разрядных приемопередатчиках (повторителях или инверторах), в каждый момент работает только один из них, выходы второго находятся в 3-м состоянии.



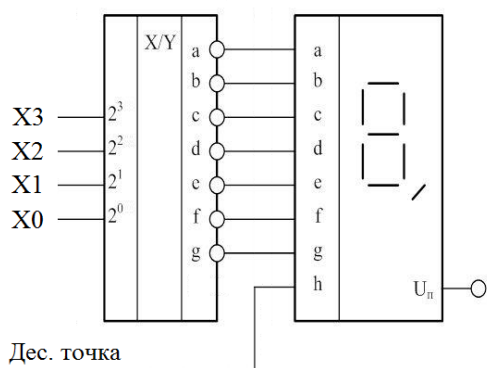
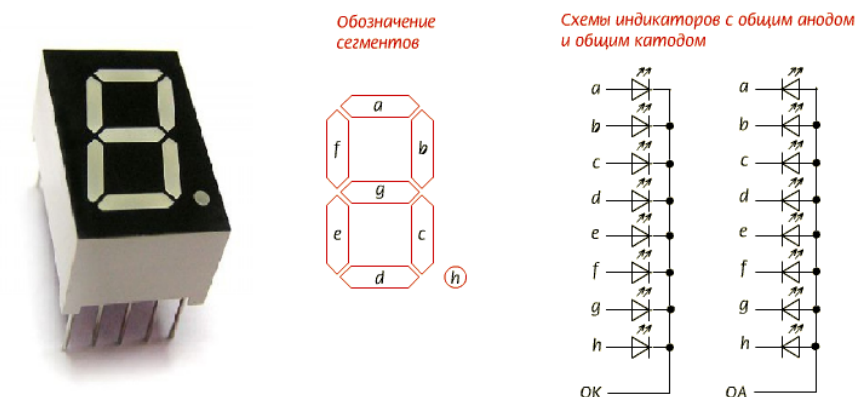
Пример использования шинного формирователя в микропроцессорной системе



Шинные формирователи не влияют на скорость передачи данных (хотя и следует учитывать вносимую ими временную задержку).

Преобразователи кодов

Преобразователь кода для семисегментных индикаторов



Цифра	Двоичный код				Сегментный код							
	X3	X2	X1	X0	a	b	c	d	e	f	g	h
0	0	0	0	0	1	1	1	1	1	1	0	
1	0	0	0	1	0	1	1	0	0	0	0	
2	0	0	1	0	1	1	0	1	1	0	1	
3	0	0	1	1	1	1	1	1	0	0	1	
4	0	1	0	0	0	1	1	0	0	1	1	
5	0	1	0	1	1	0	1	1	0	1	1	
6	0	1	1	0	1	0	1	1	1	1	1	
7	0	1	1	1	1	1	1	0	0	0	0	
8	1	0	0	0	1	1	1	1	1	1	1	
9	1	0	0	1	1	1	1	1	0	1	1	
A	1	0	1	0	1	1	1	0	1	1	1	
B	1	0	1	1	0	0	1	1	1	1	1	
C	1	1	0	0	1	0	0	1	1	1	0	
D	1	1	0	1	0	1	1	1	1	0	1	
E	1	1	1	0	1	0	0	1	1	1	1	
F	1	1	1	1	1	0	0	0	1	1	1	

Двоично-десятичный код (BCD — binary-coded decimal)

Каждая десятичная цифра представляется полубайтом (тетрадой, 4 битами): $0000...1001_2$

Двоичный код				BCD
8	4	2	1	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Запрещенные комбинации

Преимущества:

- удобство вывода на цифровую индикацию;
- простой перевод между двоичным кодом и десятичной системой;
- простота умножения-деления на 10, округления.

Недостатки:

- большой размер двоичного кода;
- усложнены арифметические операции (необходима дополнительная коррекция для недопущения запрещенных комбинаций).

Пример перевода между двоичной и двоично-десятичной системами:

$0001\ 0010\ 0011\ 0100_{\text{BCD}} \Leftrightarrow 1234_{10}$

Пример перевода между двоичной и десятичной системами:

$0001\ 0010\ 0011\ 0100_2 \Leftrightarrow 4660_{10}$

Коды Грэя и Джонсона

Другие названия кода Грэя: отраженный, зеркальный, рефлексивный.

В кодах Грэя и Джонсона все последовательные кодовые комбинации отличаются друг от друга только одним разрядом. Это способствует минимальному уровню помех (уменьшению токового импульса в цепях питания) и большей достоверности при аналого-цифровом преобразовании плавно изменяющихся сигналов (актуально для измерений физических параметров).

10- чный	Двоичный			Код Грэя				Код Джонсона				
	X2	X1	X0	Y3	Y2	Y1	Y0	Z4	Z3	Z2	Z1	Z0
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0	0	1
2	0	1	0	0	0	1	1	0	0	0	1	1
3	0	1	1	0	0	1	0	0	0	1	1	1
4	1	0	0	0	1	1	0	0	1	1	1	1
5	1	0	1	0	1	1	1	1	1	1	1	1
6	1	1	0	0	1	0	1	1	1	1	1	0
7	1	1	1	0	1	0	0	1	1	1	0	0

Определения «отраженный» и т.п. характеризуют следующую особенность: последовательности младших разрядов при разных значениях более старшего бита являются зеркально отраженными (в приведенной таблице таким старшим битом является Y2).

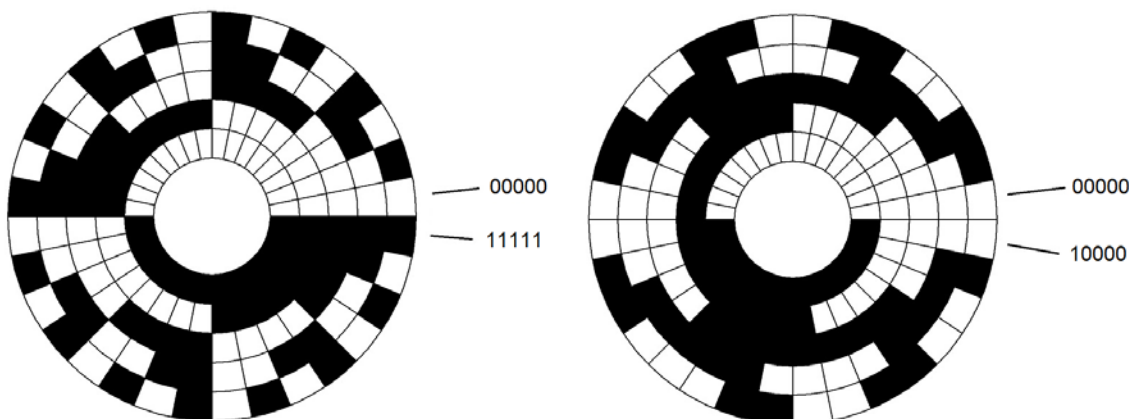
Для получения кода Грэя необходимо поразрядно сложить по модулю 2 исходный двоичный код и тот же код, сдвинутый на один разряд вправо (младший разряд сдвинутого кода не учитывается).

Задание для **самостоятельной** работы: написать выражения и синтезировать схемы для взаимного преобразования указанных кодов (возможные задачи на экзамене).

Энкодер — датчик вращения (угла поворота)



Кодовые диски с двоичным кодом и кодом Грэя

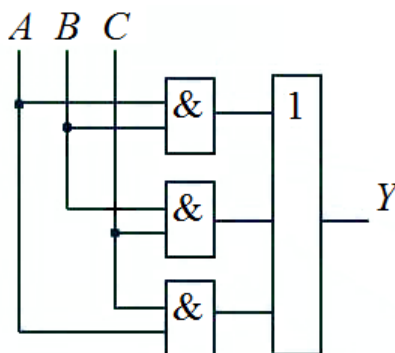


Другие комбинационные устройства

Рассмотрим наиболее часто используемые.

Мажоритарные элементы

Устройства, как правило, имеют нечетное число входов, формируют на выходе один из логических уровней, если на входах, например, логических '1' больше, чем логических '0'. Ниже приведен один из вариантов трехвходового мажоритарного элемента:

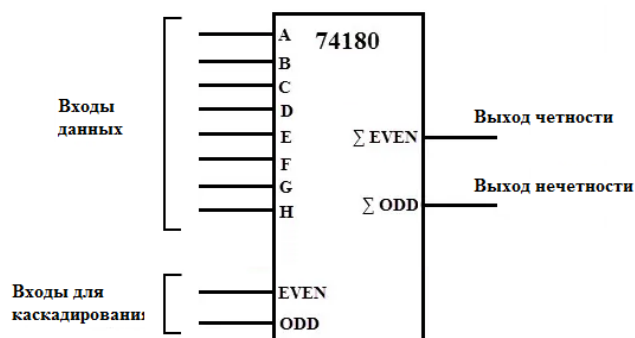
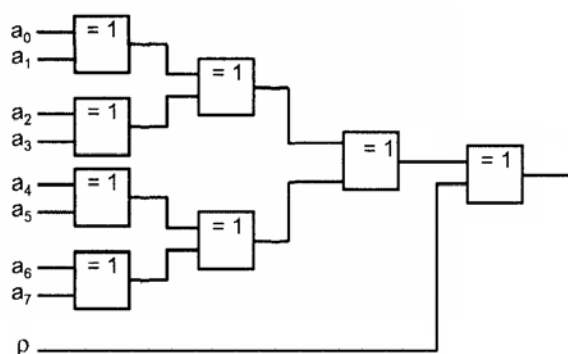


Мажоритарные элементы относятся к классу *пороговых* устройств, у которых в общем случае имеется M входов и задано число K ($K < M$), на единственном выходе формируется активный уровень, если число входов с логической единицей больше или равно K , и пассивный уровень — в противном случае.

Используются в помехоустойчивых системах, устройствах повышенной надежности, системах резервирования.

Схемы контроля четности/нечетности

Формируют на выходе один из логических уровней в зависимости от того, четное или нечетное число логических '1' имеется во входном коде. По сути выполняют операцию «исключающее ИЛИ» с входными битами, которые в случае использования комбинационной логики, подаются в параллельном коде.

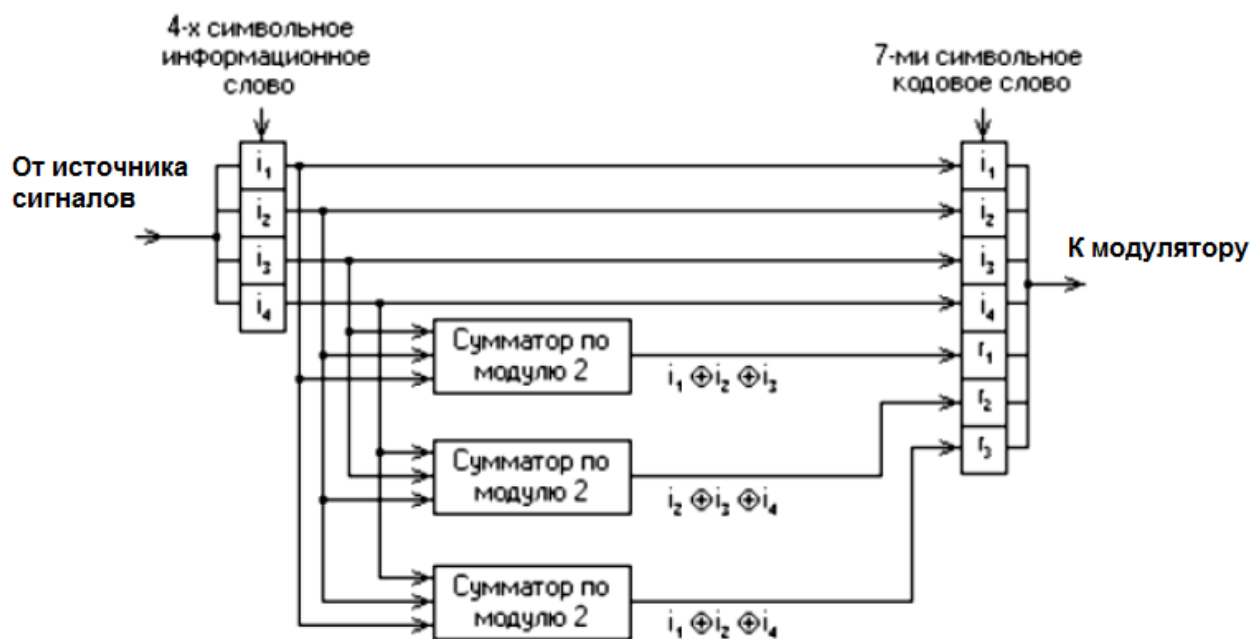


Схемы обычно используются для выявления одиночных ошибок при передаче данных по линиям связи и хранении информации в блоках памяти. Для данных в последовательном коде необходимо использовать последовательную логику.

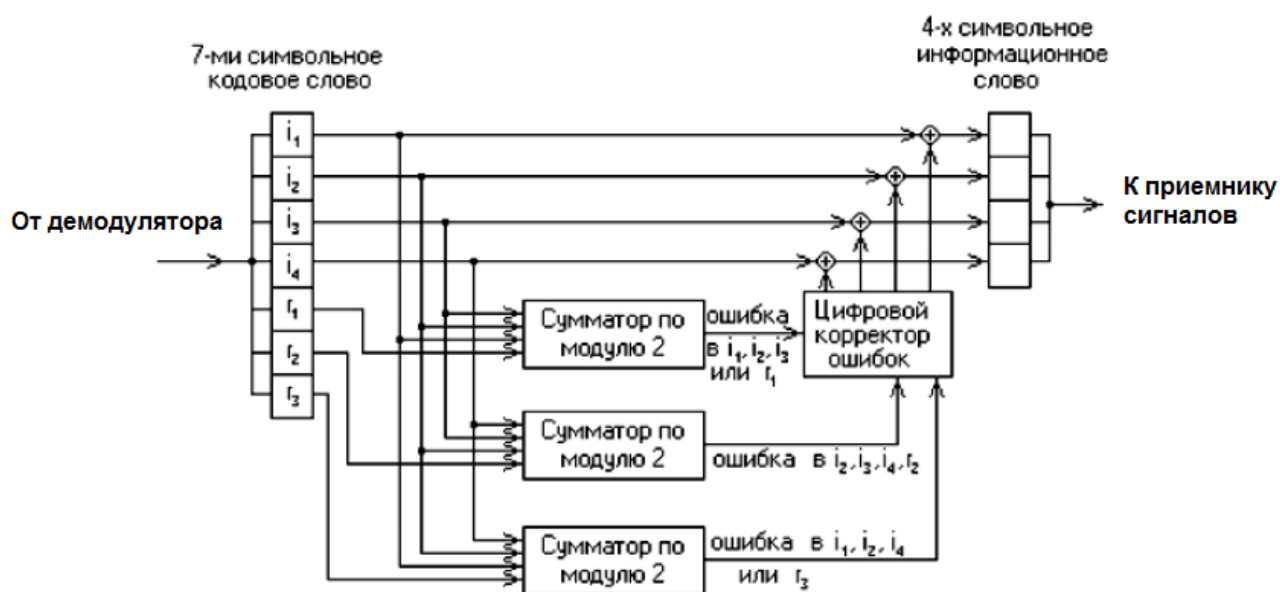
Кодеры и декодеры для кода Хемминга

Устройства для контроля и исправления ошибок в кодовых комбинациях благодаря добавлению к информационному слову контрольных (проверочных) разрядов.

Пример функциональной схемы кодера Хемминга



Пример функциональной схемы декодера Хемминга

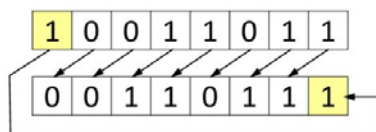


Более подробно о коде Хемминга будет рассказано во 2 части курса.

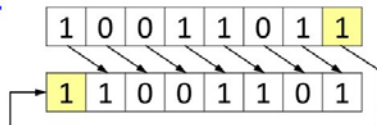
Схемы сдвига кодов на заданное число разрядов

Циклический сдвиг

Влево:

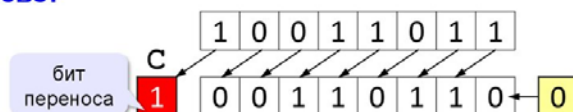


Вправо:



Логический сдвиг

Влево:



Вправо:

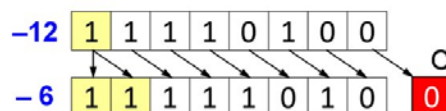


Арифметический сдвиг

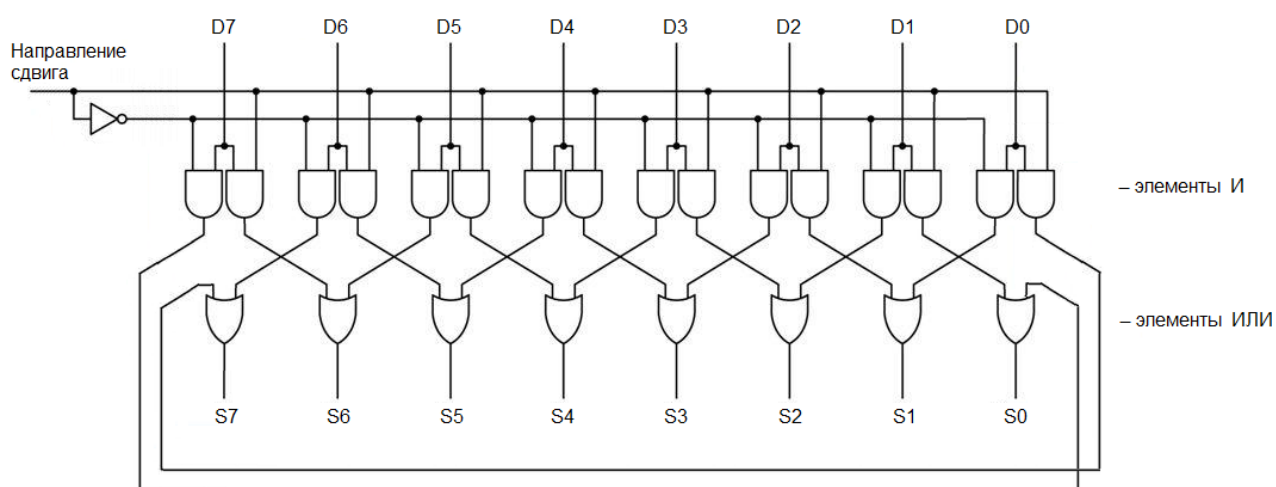
Влево:



Вправо:



Вариант схемы циклического сдвига на один разряд влево/вправо



В качестве **самостоятельной** работы предлагается составить схемы различных типов сдвига на число разрядов, задаваемое двоичным кодом.