

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ  
РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное  
образовательное учреждение высшего образования  
"МИРЭА - Российский технологический университет"  
(РТУ МИРЭА)

Богаченков А.Н.

Цифровые устройства и микропроцессоры  
Методические указания  
технологический  
университет

© Богаченков А.Н., 2020

© МИРЭА - Российский технологический университет, 2020

УДК 004.31 (075.8)  
ББК 32.973.26-04  
Б 73

**Богаченков А.Н. Цифровые устройства и микропроцессоры** [Электронный ресурс]: Методические указания — М.: МИРЭА – Российский технологический университет, 2020. — 1 электрон. опт. диск (CD-ROM).

Методические указания содержат описания лабораторных работ, в которых изучаются принципы и функционирование типовых логических элементов, комбинационных и последовательностных устройств.

Материал предназначен для студентов очной формы обучения по направлениям: 11.03.01 «Радиотехника», 11.03.02 «Инфокоммуникационные технологии и системы связи», 11.03.03 «Конструирование и технология электронных средств» и специальности 11.05.01 «Радиоэлектронные системы и комплексы».

Материал может быть использован при изучении дисциплин «Цифровые устройства и микропроцессоры», «Цифровые устройства в телекоммуникациях», «Цифровые устройства и микропроцессоры в конструкциях электронных средств» студентами как очной, так и очно-заочной форм обучения, а также для самостоятельной работы при освоении базового курса кафедры.

Методические указания издаются в авторской редакции.

Рецензент: Кузнецов В.В., зав. кафедрой, канд. технич. наук, доцент

Системные требования:

Наличие операционной системы Windows, поддерживаемой производителем.

Наличие свободного места в оперативной памяти не менее 128 Мб.

Наличие свободного места в памяти постоянного хранения (на жестком диске) не менее 30 Мб.

Наличие интерфейса ввода информации.

Дополнительные программные средства: программа для чтения pdf-файлов (Adobe Reader).

Подписано к использованию по решению Редакционно-издательского совета

МИРЭА — Российский технологический университет.

Объем: 1.92 мб

Тираж: 10

## Оглавление

<b>ЛАБОРАТОРНАЯ РАБОТА № 1 .....</b>	<b>4</b>
Общие сведения о программе.....	4
1. Дискретизация аналоговых сигналов .....	5
2. Исследование простейших логических схем.....	7
3. Транзисторные каскады в логических элементах .....	11
4. Схемотехника элементов ТТЛ .....	14
5. Синтез цифровых схем с использованием логического преобразователя .....	15
Содержание отчета .....	16
Контрольные вопросы .....	17
<b>ЛАБОРАТОРНАЯ РАБОТА № 2 .....</b>	<b>18</b>
1. Интегральные схемы серии 74xx . Дешифратор .....	18
2. Интегральные схемы серии 74xx. Мультиплексор .....	20
3. Исследование демультимплексора.....	21
4. Исследование приоритетного шифратора .....	22
5. Исследование сумматора .....	24
Содержание отчета .....	27
Контрольные вопросы .....	27
<b>ЛАБОРАТОРНАЯ РАБОТА № 3 .....</b>	<b>28</b>
1. Исследование JK-триггера.....	28
2. Исследование D-триггера .....	29
3. Исследование параллельного регистра .....	30
4. Синтез счетчика с последовательным переносом.....	32
5. Моделирование цифрового 4-канального измерителя напряжения .....	34
Содержание отчета .....	36
Контрольные вопросы .....	36
<b>СПИСОК ЛИТЕРАТУРЫ .....</b>	<b>38</b>
<b>ПРИЛОЖЕНИЯ.....</b>	<b>39</b>
Примеры графических обозначений цифровых микросхем .....	39
Микросхемы серии 74xx в библиотеке Multisim.....	41

# ЛАБОРАТОРНАЯ РАБОТА № 1

## Базовые элементы цифровых устройств в программе Multisim

### Общие сведения о программе

Программная среда Multisim (прежнее название Electronics Workbench) входит в состав пакета Circuit Design Suite, поддерживается фирмой National Instruments. Программа моделирует работу аналоговых и цифровых схем, ее особенностью является наличие контрольно-измерительных приборов, приближенных к реальным аналогам — мультиметра, генераторов сигналов и кодов, осциллографа, измерителя частотных характеристик, логического анализатора и др. Имеется встроенная обширная библиотека аналоговых и цифровых электронных компонентов, большой набор методов анализа различных характеристик электронных схем. В состав пакета также входит среда Ultiboard для проектирования печатных плат.


Таблица 1.1. Основные действия в среде Multisim

<i>Основные команды</i>	<i>Пункты меню</i>	<i>Значок</i>	<i>Клавиша</i>
Открытие файла схемы	File / Open		Ctrl + O
Запуск моделирования	Simulate / Run		F5
Остановка моделирования	Simulate / Stop		
Временная остановка	Simulate / Pause		F6

### Порядок выполнения

**Перед началом работы выполнить** процедуру очистки рабочего каталога, используя значок на рабочем столе "**Инициализация Multisim**".

**Внимание!** При закрытии схем и выходе из программы на запрос о сохранении изменений (Do you want to save ...) всегда выбирать ответ «No».

Запустить программу посредством значка  (Multisim ...) на рабочем столе. Ознакомиться с основными элементами интерфейса программы: пунктами меню, линейками контрольно-измерительных приборов и библиотек компонентов.

## 1. Дискретизация аналоговых сигналов

Загрузить файл **D:\Electronics Workbench\Lab1\Демо - АЦП-ЦАП.ms14**. В схеме (рис. 1.1) задействованы два генератора — входного сигнала и частоты дискретизации. Входной сигнал проходит двойное преобразование посредством АЦП и ЦАП. Двойным щелчком раскрыть приборы — функциональный генератор и осциллограф. Запустив моделирование, наблюдать осциллограммы входного и выходного сигналов, отметить наличие дискретизации выходного сигнала по времени и амплитуде.

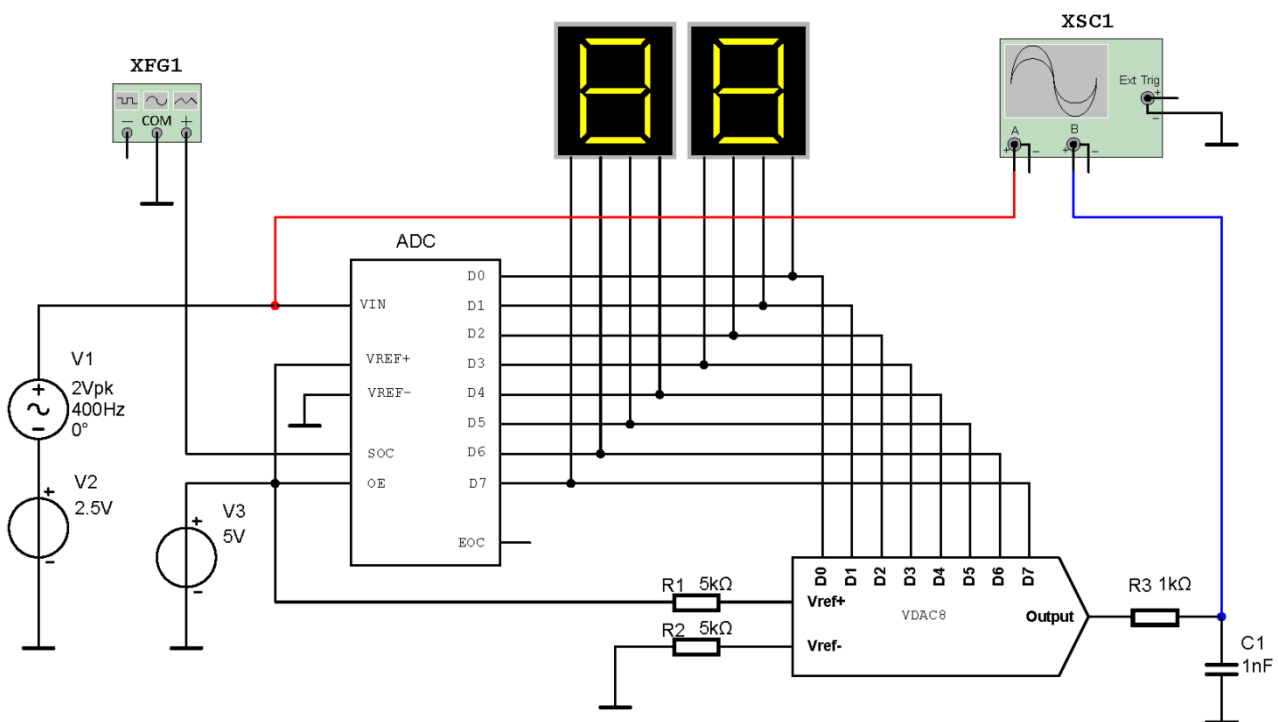


Рис. 1.1



Не останавливая моделирование, освоить основные элементы управления осциллографом. Изменять по очереди, наблюдая эффект и возвращая в исходное состояние, следующие параметры:

**Reverse** — переключение цвета фона окна (в отчетах рекомендуется всегда использовать светлый фон);

**Time base** [s/Div, ms/Div,  $\mu$ s/Div, ns/Div] — развертка по времени в единицах времени на деление;

**Channel A (B) Scale** [V/Div, mV/Div,  $\mu$ V/Div] — цена деления по амплитуде в канале A (B);

**Channel A (B) Y pos (Div)** — смещение кривой по вертикали в делениях;

**Trigger** — способ синхронизации (остановки) кривой сигнала: по положительному фронту (Edge ) , по отрицательному фронту (Edge ) , уровню

(Level), выбор внешней синхронизации (Ext) или канала (A, B) внутренней синхронизации, режимы запуска: одиночный (Single) или периодический (Normal) при выполнении заданных условий (фронт и др.), автоматический запуск (Auto), отсутствие условий запуска (None);

**AC** или **DC** — выбор для наблюдения только переменной составляющей сигнала (**AC** – alternating current) или сигнала с учетом и постоянной составляющей (**DC** – direct current), для наблюдения логических сигналов всегда следует устанавливать опцию **DC**.

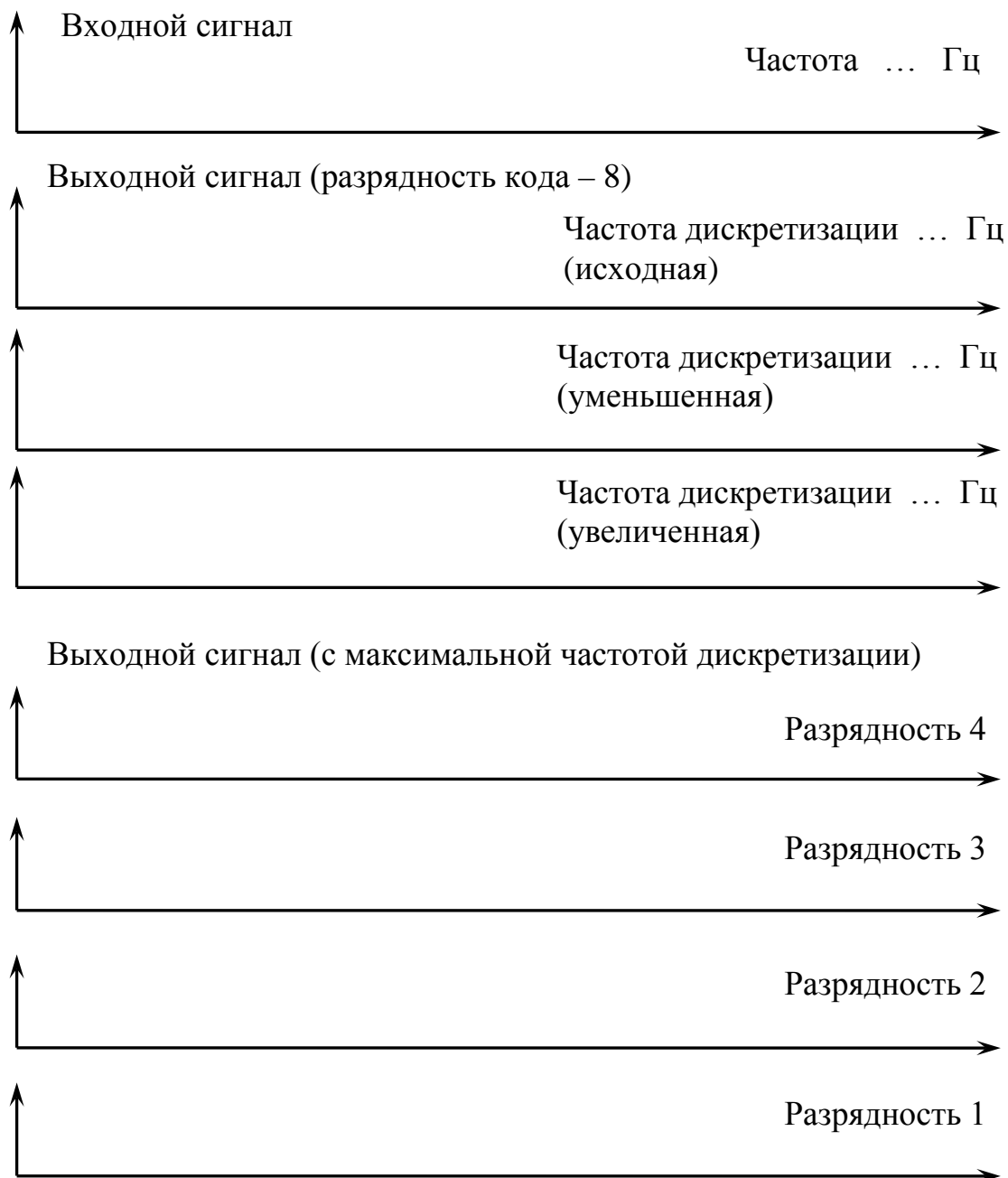


Рис. 1 2.

**Зарисовать в отчете** два семейства диаграмм, заготовки для которых приведены на рис. 1.2:

а) примерный вид выходного напряжения для трех значений частоты дискретизации: исходной, уменьшенной (в 4-5 раз) и увеличенной (в 4-5 раз);

б) для верхнего значения частоты дискретизации: диаграммы при разрядности цифрового кода 4, 3, 2, 1 (уменьшение разрядности достигается удалением связей между АЦП-ЦАП, начиная с младших разрядов).

## 2. Исследование простейших логических схем

Используя заготовку **D:\Electronics Workbench\Lab1\LogicX3Y2.ms14** (рис. 1.3), подготовить схему по указанию преподавателя. Варианты схем по ГОСТ приведены на рис. 1.4. Следует учесть, что в программе Multisim используются обозначения компонентов по стандарту IEC (европейский) или ANSI (американский), соответствие стандартов представлено в табл. 1.2.

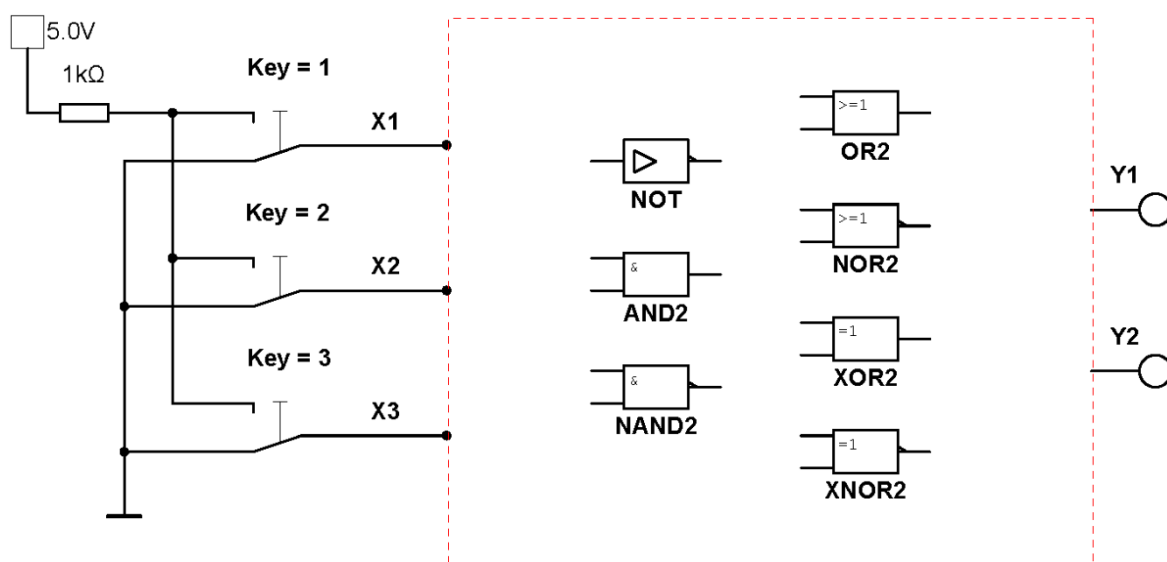


Рис. 1.3

Рекомендуется сначала разместить все компоненты на рабочем поле, затем сформировать соединения — навести мышью на вывод компонента до появления точки и тащить до вывода другого компонента или проводника. Для поворота компонента необходимо сначала выделить его, а затем использовать комбинацию **Ctrl+R** или пункт **Rotate 90°** контекстного меню. Изменение количественных параметров — после двойного щелчка на изображении компонента.

Управление переключателями, задающими логический уровень на входах X1, X2, X3, осуществляется клавишами, указанными в **Key = ...** или мышью. Выходные уровни Y1, Y2 отслеживаются индикаторами, которые зажигаются при наличии лог. "1".

## Варианты заданий

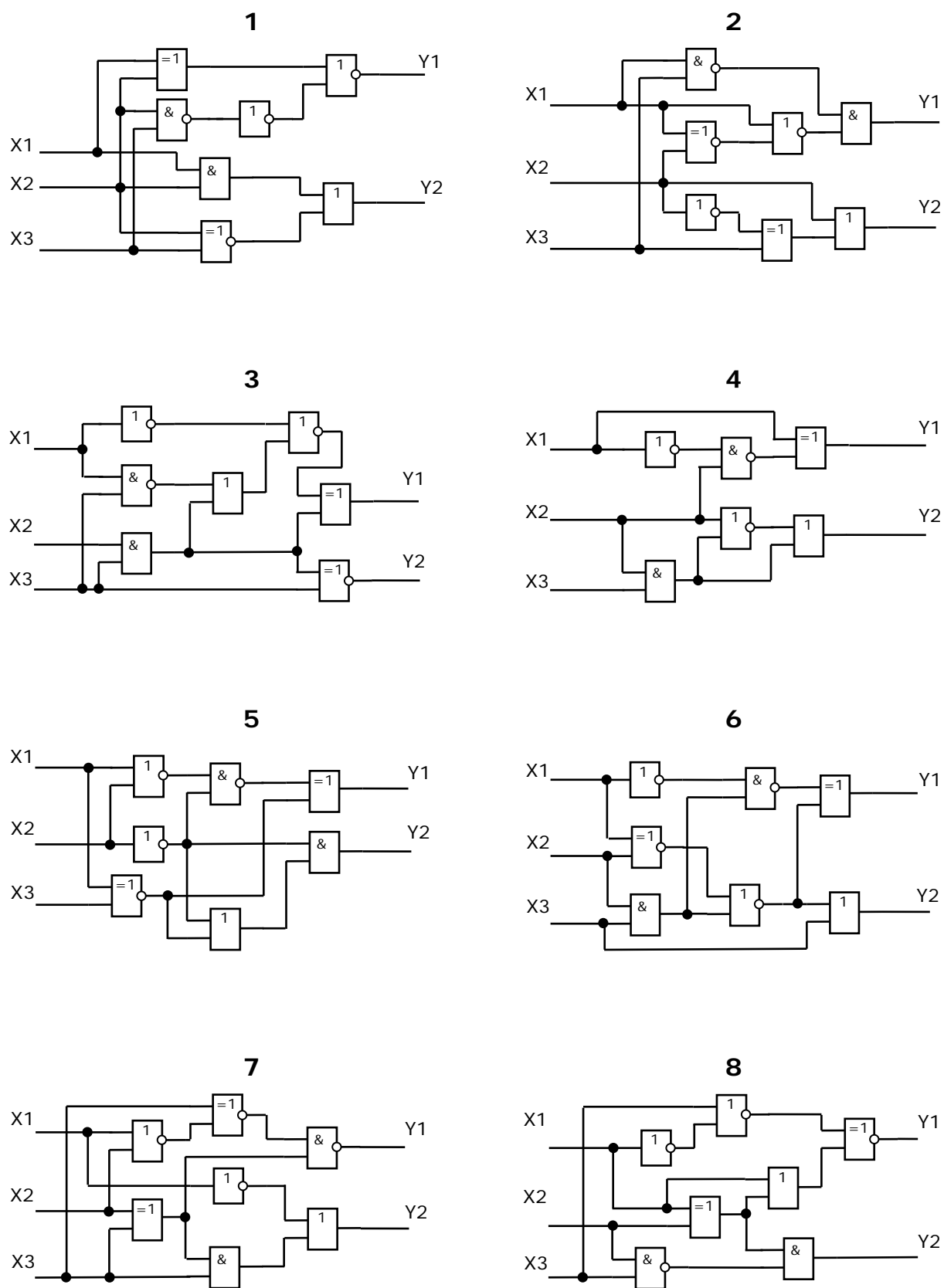


Рис. 1.4



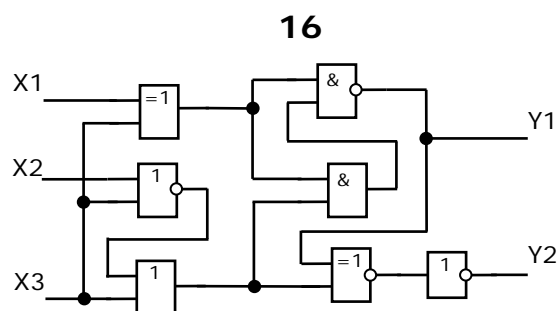
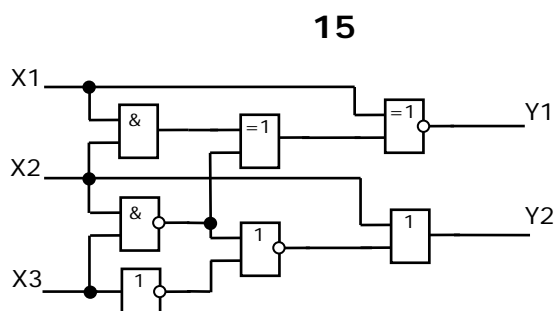
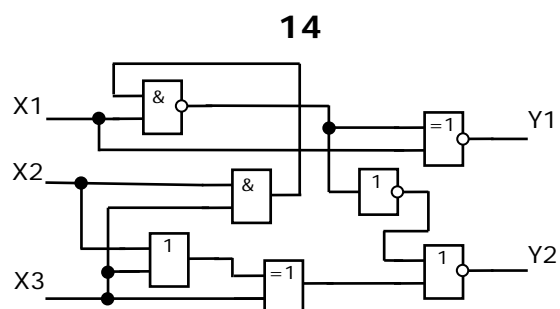
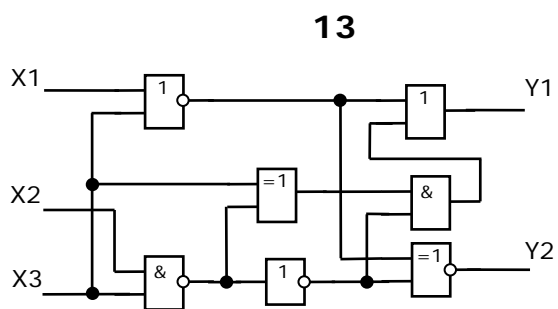
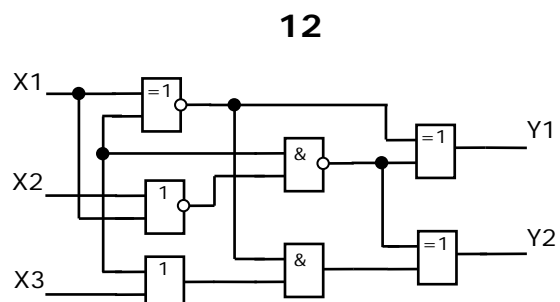
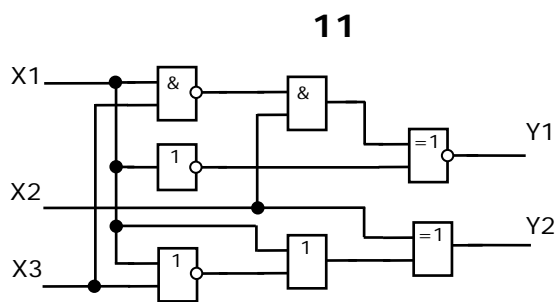
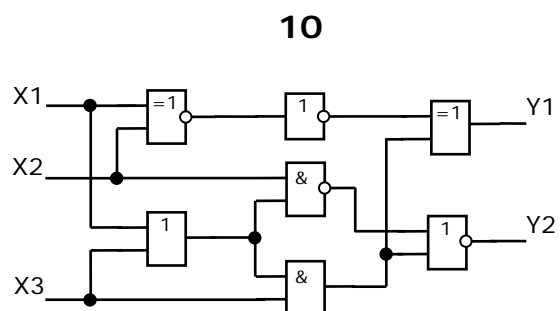
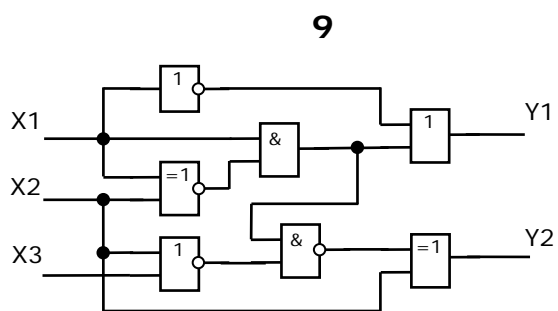
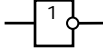

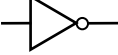
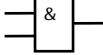
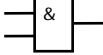

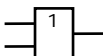
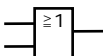

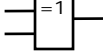
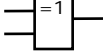

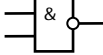
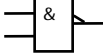

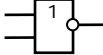
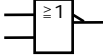

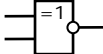
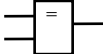



Рис. 1.4 (продолжение)

Таблица 1.2. Соответствие обозначений логических элементов по ГОСТ и в программе Multisim (IEC, ANSI)

Функция	ГОСТ	DIN/IEC	ANSI
Инверсия (НЕ, NOT)			
Логическое умножение, конъюнкция (И, AND)			
Логическое сложение, дизъюнкция (ИЛИ, OR)			
Неравнозначность, исключающее ИЛИ (XOR)			
Антиконъюнкция, штрих Шеффера (И-НЕ, NAND)			
Антидизъюнкция, стрелка Пирса (ИЛИ-НЕ, NOR)			
Равнозначность, исключающее ИЛИ-НЕ (XNOR)			

Запустив моделирование, проверить работу схемы. Заполнить таблицу истинности по следующей форме, продемонстрировать преподавателю:

X3	X2	X1	Y2	Y1
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

**Привести в отчете** схему устройства в формате программы моделирования, таблицу истинности.

**Домашнее задание:**

- привести логические функции для всех выходных сигналов:  
 $Y1 = \text{func}(X1, X2, X3)$ ;  $Y2 = \text{func}(X1, X2, X3)$ ;
- вывести логические выражения и построить по ним схему в базисе 2И-НЕ;
- вывести логические выражения и построить по ним схему в базисе 2ИЛИ-НЕ.

### 3. Транзисторные каскады в логических элементах

Основным каскадом при построении логических элементов является инвертор на биполярных или МДП-транзисторах. Каскад может быть выполнен по двухтактной схеме, с резистивной нагрузкой или динамической нагрузкой. Последний вариант в цифровых устройствах используется редко. Еще одно схемотехническое решение — каскад с открытым стоком (коллектором), в этом случае нагрузкой, как правило, является внешний резистор.

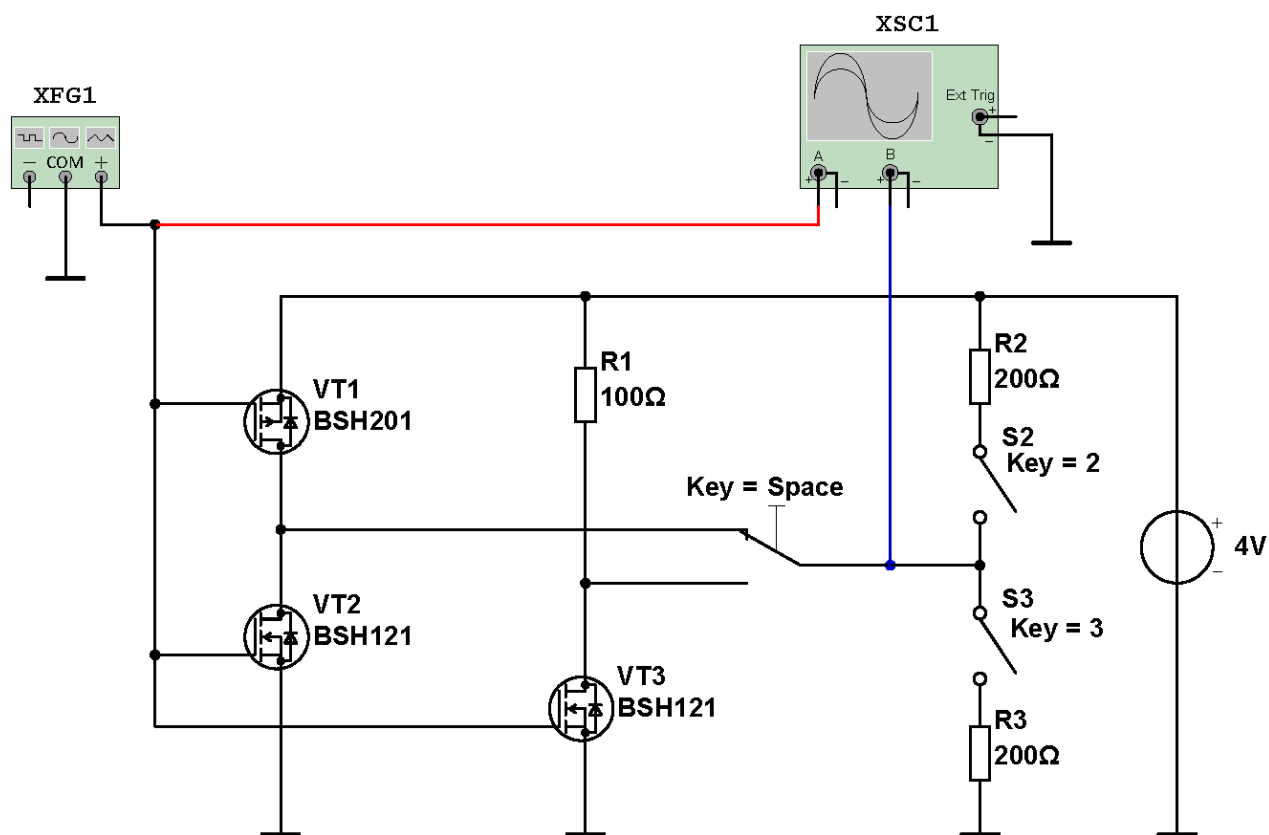


Рис. 1.5

В схеме **D:\Electronics Workbench\Lab1\Stage.ms14** (рис. 1.5) реализованы два варианта. Двухтактный каскад собран на комплементарных транзисторах VT1, VT2: в каждый момент времени открыт только один из них, выдавая на выход лог. "0" (при замыкании на общий провод) или лог. "1" (при замыкании на потенциал питания). В каскаде на транзисторе VT3 с резистором в цепи стока лог. "0" формируется открытым транзистором, лог. "1" — «подтягивающим» резистором R1. Переключателем, управляемым компьютерной клавишей «Пробел», выходы каскадов коммутируются на вход осциллографа. Входное сопротивление осциллографа обычно велико и на работу устройства влияния не оказывает. К выходам также могут подключаться дополнительные нагрузочные резисторы R2, R3.

Убедиться, что оба каскада на низкой частоте (единицы килогерц) работают как идеальные инверторы (рис. 1.6).

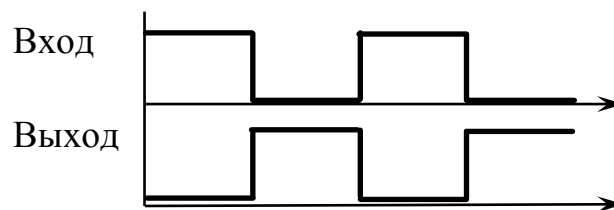


Рис. 1.6

Исследовать нагрузочную способность каскадов. Снять и привести в отчете осциллограммы выходных сигналов при отсутствии внешней нагрузки, при наличии нагрузки между выходом и питанием (R2), при наличии нагрузки между выходом и землей (R3). Три диаграммы при различных нагрузках совместить на общих осях для возможности их сравнения (рис. 1.7). При желании можно снять диаграммы при других сопротивлениях нагрузки.

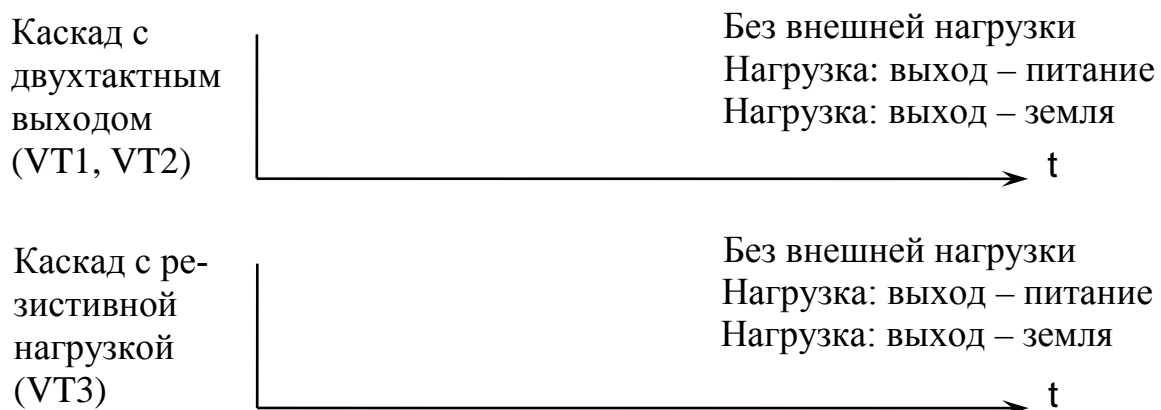



Рис. 1.7

Снять и **привести в отчете** передаточную характеристику  $U_{\text{вых}}(U_{\text{вх}})$  каскада с резистивной нагрузкой (заготовка представлена на рис. 1.8), для чего перевести генератор в режим генерации треугольного сигнала — , переключить осциллограф в режим В/А, в котором развертка по оси X осуществляется входным сигналом (канал А), а по Y — выходным (канал В). Для правильного масштабирования необходимо перезапустить процесс моделирования, а также учесть возможный сдвиг кривой на экране осциллографа (заданный параметрами  $X_{\text{pos}}$ ,  $Y_{\text{pos}}$ ). Отметить на осях реальные числовые значения напряжений.

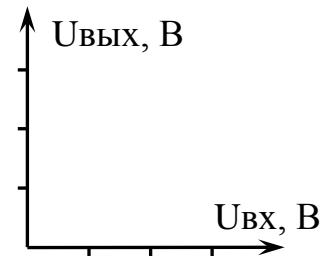



Рис. 1.8

Исследовать динамические свойства каскадов. Возвратить осциллограф в режим временных диаграмм (Y/T), восстановить исходные масштаб и сдвиг кривых (если они были изменены). Установить на генераторе прямоугольную форму сигнала — , задать частоту в пределах 1...5 МГц. Снять и **привести в отчете** примерный вид следующих диаграмм (рис. 1.9). Величина нагрузки задается вручную при остановке моделирования и вызове свойств резистора.

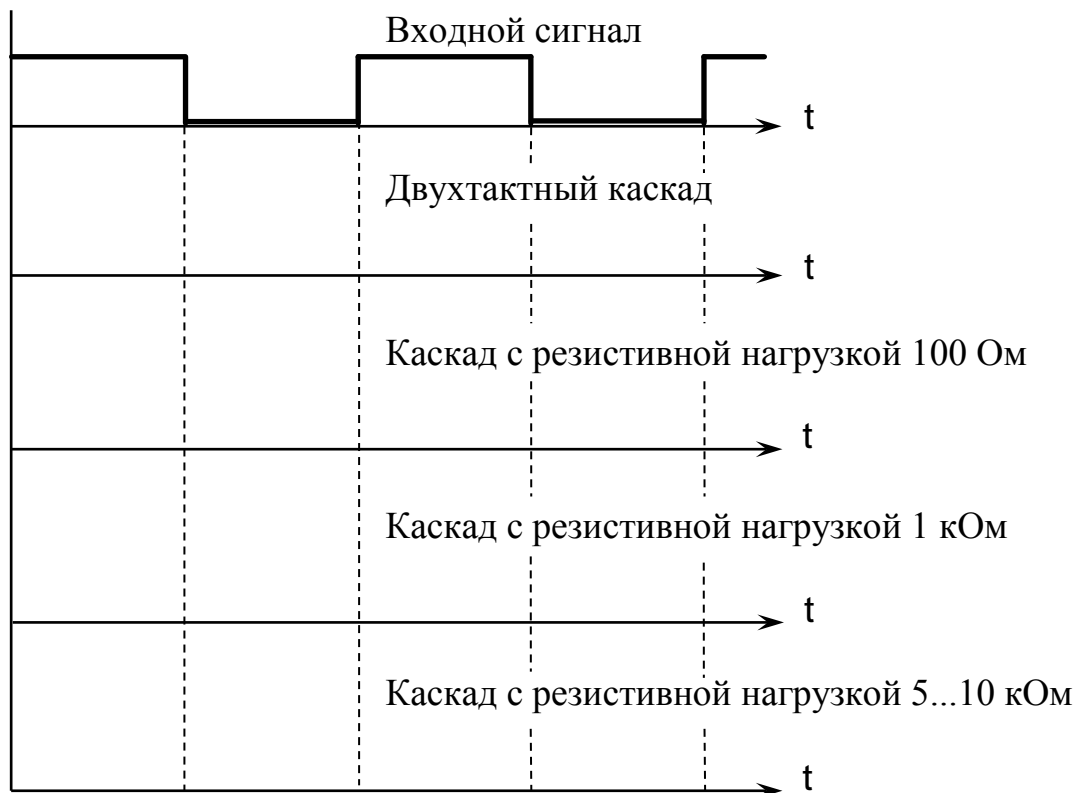


Рис. 1.9

#### 4. Схемотехника элементов ТТЛ

Для знакомства с элементами транзисторно-транзисторной логики загрузить схему **D:\Electronics Workbench\Lab1\TTL gate.ms14** (рис. 1.10).

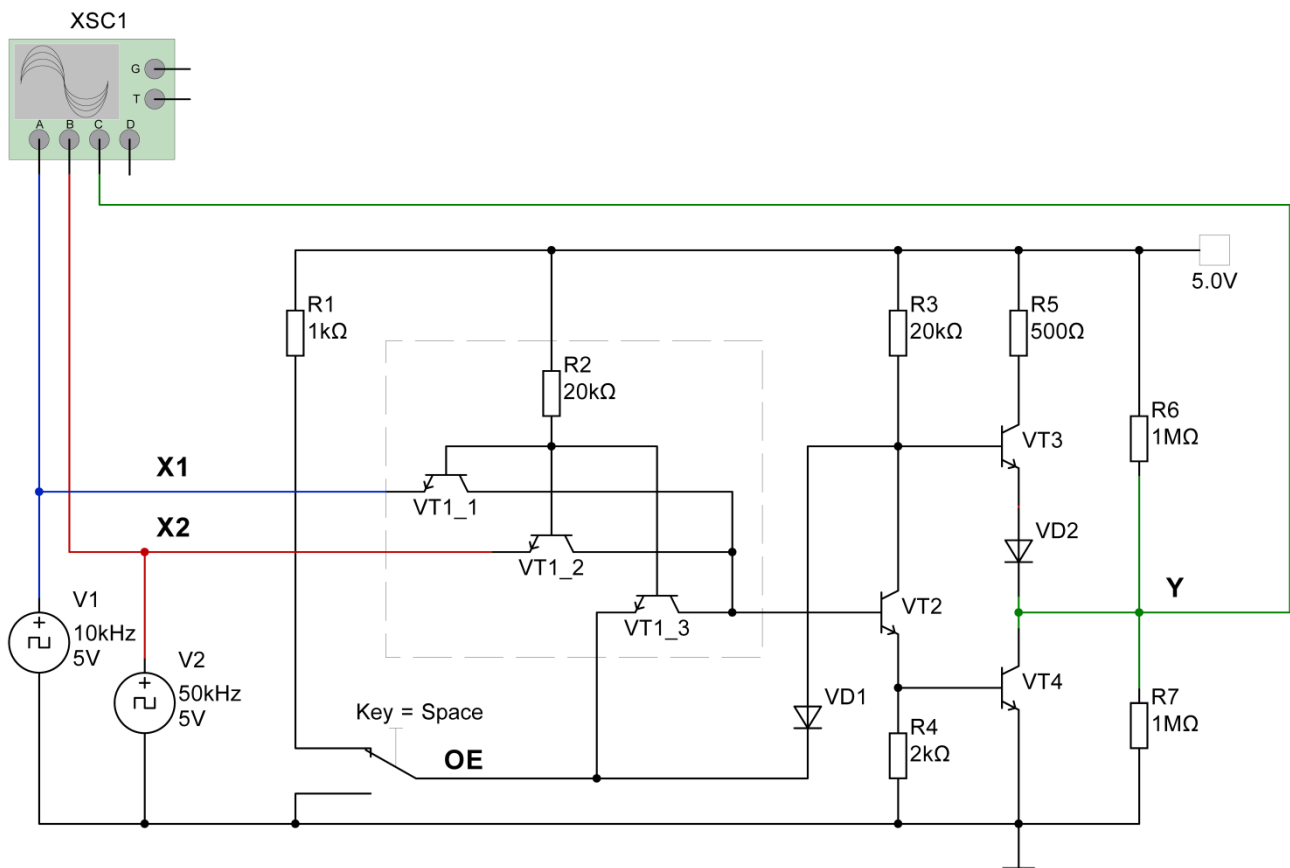
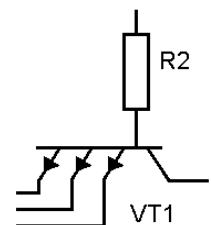


Рис. 1.10

Схема представляет собой двухвходовый логический элемент с третьим состоянием выхода. Два генератора прямоугольных импульсов являются источниками входных воздействий X1, X2. При установке переключателя в нижнее положение (OE = "0") все транзисторы выходного каскада (VT2, VT3, VT4) оказываются в запертом (высокоимпедансном) состоянии, потенциал на выходе будет определяться внешними цепями, которые в данной схеме имитируются резисторами R6, R7. В интегральной микросхеме обведенный пунктиром участок схемы обычно выполняется на многоэмиттерном транзисторе. В среде Multisim из-за отсутствия в библиотеке подобного компонента использованы раздельные транзисторы.



**Привести в отчете** временные диаграммы (заготовка осей для диаграмм показана на рис. 1.11), таблицу истинности, выполняемую функцию, логическое выражение для выходного сигнала.

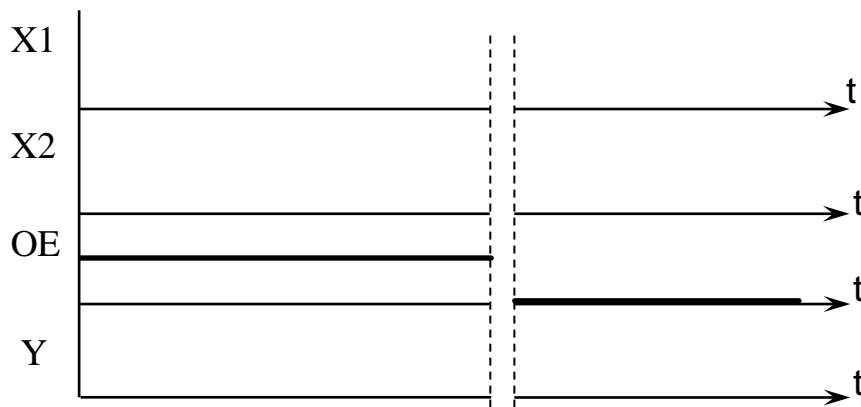
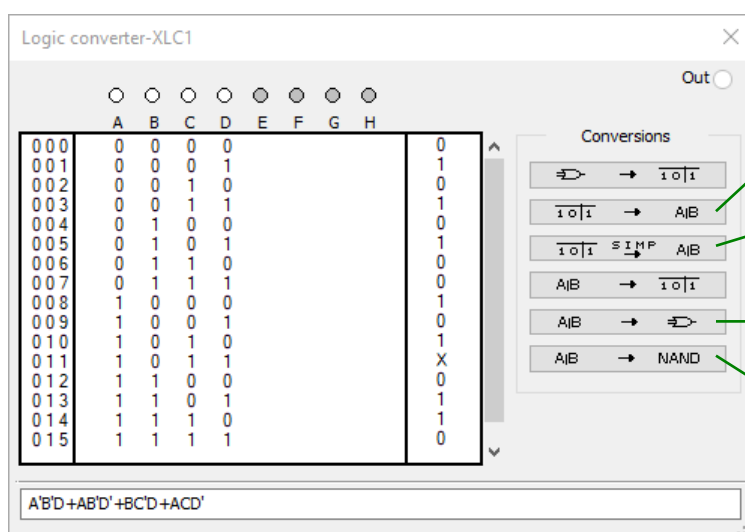


Рис. 1.11

*Дополнительное задание.* По методике, описанной в предыдущем пункте для инвертора на полевых транзисторах, исследовать нагрузочную способность ТТЛ элемента, привести временные диаграммы, аналогичные рис. 1.7. В текущей схеме роль внешней нагрузки могут поочередно исполнять резисторы R6, R7 при задании соответствующего номинала.

## 5. Синтез цифровых схем с использованием логического преобразователя (Logic Converter)

Логический преобразователь позволяет анализировать существующее устройство и синтезировать новое по таблице истинности. Устройство может иметь от 1 до 8 входов и один выход (рис. 1.12).



Преобразование таблицы в булево выражение

Преобразование в минимизированное булево выражение

Синтез схемы без ограничения типа логич. элементов

Синтез схемы на логических элементах И-НЕ

Рис. 1.12

Создать новый проект (Design), разместить на рабочем поле компонент Logic Converter, отметить в нем позиционные разряды A, B, C, D, ввести таблицу истинности по одному из вариантов табл. 1.13 (согласовать с преподавателем).

Синтезировать неоптимизированные булево выражение и схему, подсчитать количество логических элементов в схеме, удалить схему.

Синтезировать минимизированные булево выражение и схему, подсчитать количество логических элементов.

**Привести в отчете:**

- таблицу истинности;
- исходное булево выражение, минимизированное булево выражение;
- число синтезированных элементов для двух случаев;
- домашнее задание: с помощью карты Карно осуществить минимизацию логической функции, привести оптимизированную схему с источниками сигналов и регистраторами.

Таблица 1.3. Исходные данные для синтеза логической схемы

Вход ABCD	Вариант															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0000	1	0	0	1	0	0	1	0	0	1	1	0	0	–	1	0
0001	0	0	1	1	1	1	0	1	–	0	1	0	1	1	1	0
0010	0	1	0	1	–	1	0	0	0	1	0	1	1	0	0	1
0011	0	0	0	0	1	0	–	1	1	1	1	1	0	1	1	0
0100	1	0	1	1	1	1	0	1	0	1	0	1	0	0	–	1
0101	0	0	1	1	0	1	1	0	1	0	0	0	1	1	0	–
0110	0	1	–	0	0	–	0	0	0	1	1	–	0	0	1	1
0111	0	1	1	0	1	0	0	–	0	1	0	0	1	1	0	1
1000	0	–	1	1	0	–	0	0	0	0	–	1	0	1	1	0
1001	0	0	0	0	1	0	0	1	1	0	1	1	–	0	1	1
1010	1	1	0	0	0	1	0	0	0	–	0	0	0	0	0	1
1011	1	1	0	–	0	1	0	0	1	0	0	1	1	1	1	0
1100	0	1	0	–	1	0	1	0	1	1	1	0	0	1	1	1
1101	–	1	1	0	1	0	1	1	0	1	0	0	1	0	0	0
1110	1	0	0	0	0	0	–	1	0	1	0	1	0	1	0	1
1111	1	0	1	0	0	1	1	–	0	0	1	0	0	0	1	0

**Содержание отчета**

Схемы устройств, диаграммы, таблицы, функции (перечислены в каждом пункте выполнения работы).



## **Контрольные вопросы**


1. Какие соображения лежат в основе выбора частоты дискретизации и уровней квантования при преобразовании аналогового сигнала в цифровой?
2. Дайте определения понятиям: логический сигнал, таблица истинности, логическая функция.
3. Дайте характеристику основных законов алгебры логики.
4. Дайте понятия минтермов, макстермов, дизъюнктивных и конъюнктивных нормальных форм представления функций.
5. Перечислите и сравните различные методы минимизации логических функций.
6. В чем особенность синтеза частично определенных логических функций?
7. Изобразите временные диаграммы, характеризующие работу элементов НЕ, И, ИЛИ, Исключающее ИЛИ, И-НЕ и др. с различным числом входов.
8. Что собой представляет функционально полный набор логических функций? Объясните практический смысл использования логических базисов.
9. Перечислите статические характеристики логических элементов ТТЛ и КМДП логики.
10. Перечислите динамические характеристики логических элементов ТТЛ и КМДП логики.
11. Приведите нагрузочные (выходные) характеристики логических элементов ТТЛ и КМДП логики.
12. Сравните устройства ТТЛ, КМДП, ЭСЛ.
13. Сравните логические элементы с резистивной нагрузкой, динамической нагрузкой и комплементарным выходным каскадом.
14. С какой целью и как реализуется 3-е состояние выходов логических элементов?
15. Модифицируйте схему инвертора на МДП транзисторах с целью получения 3-го состояния выхода.
16. Как и с какой целью необходимо обязательно подключать даже функционально неиспользуемые входы логических элементов? Как воспринимается логическое состояние неподключенного входа для ТТЛ и КМДП элемента?
17. Как сопрячь логические уровни ТТЛ и КМДП элементов, а также элементов, использующих разное напряжение питания?
18. Синтезировать элементы 2И-НЕ, 4И-НЕ, 2ИЛИ-НЕ, 4ИЛИ-НЕ на КМОП транзисторах. Если ли ограничения по максимальному количеству логических входов?

## ЛАБОРАТОРНАЯ РАБОТА № 2

### Исследование типовых комбинационных устройств

Целью работы является ознакомление с принципами работы комбинационных устройств в среде моделирования Multisim (Electronics Workbench).

**Перед началом работы выполнить** процедуру очистки рабочего каталога, используя значок на рабочем столе **"Инициализация Multisim"**.

Запустить программу посредством значка  (Multisim ...) на рабочем столе.

**Внимание!** При закрытии схем и выходе из программы на запрос о сохранении изменений (Do you want to save ...) всегда выбирать ответ **«No»**.

#### Порядок выполнения

##### 1. Интегральные схемы серии 74xx . Дешифратор

Загрузить схему **D:\Electronics Workbench\Lab2\74138.ms14** (рис. 2.1).

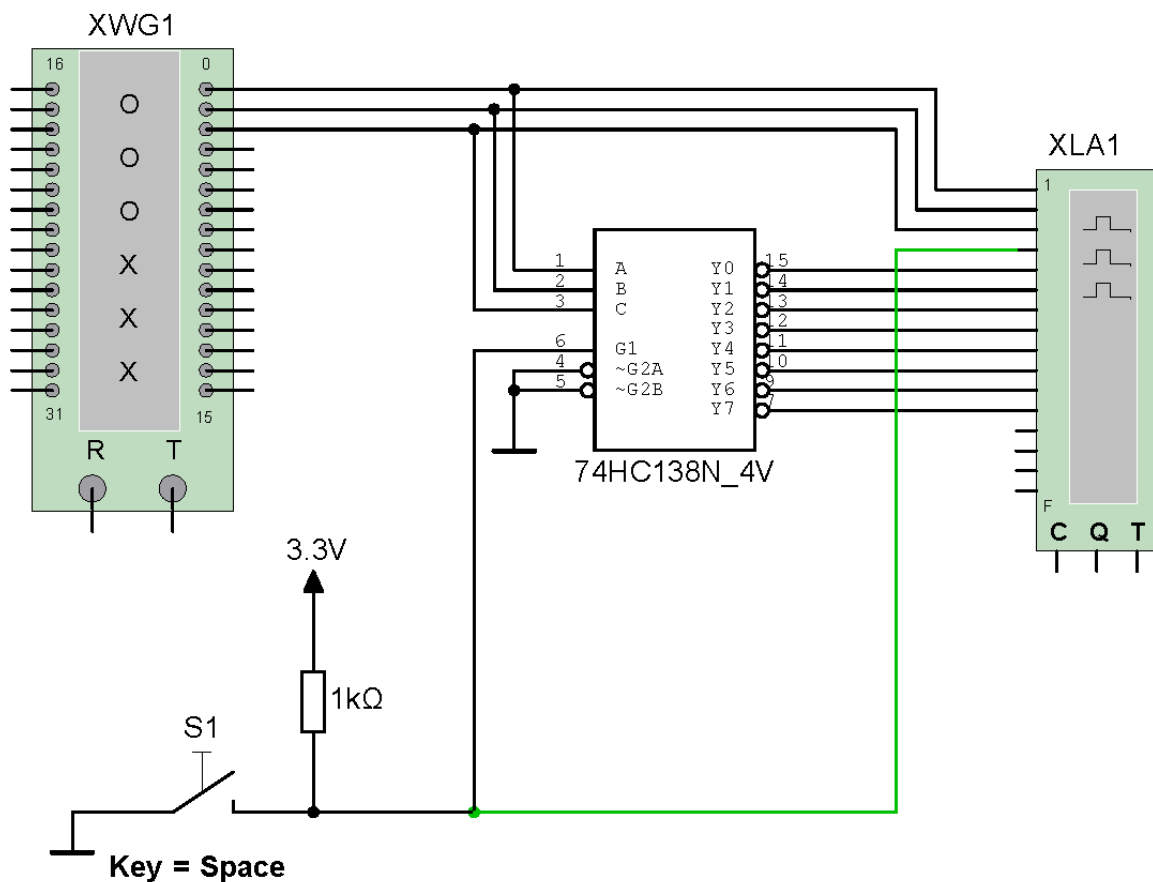


Рис. 2.1

Микросхема семейства 74138 (отечественные аналоги 555ИД7, 1564ИД7) является дешифратором–демультиплексором с 3 входами (А, В, С) и 8 выходами (Y0...Y7). Входы G1, G2A, G2B используются как разрешающие. Для прямого входа (G1) разрешающим уровнем является лог. "1", для инверсных (G2A, G2B) — лог. "0". Сигнал разрешения задается ручным органом управления S1. По принципу работы дешифратор создает унитарный выходной код — с одной лог. "1" или "0", номер разряда с активным уровнем соответствует подаваемому входному коду (его десятичному представлению). В качестве приборов задействованы генератор слов (Word Generator) XWG1 и логический анализатор (Logic Analyzer) XLA1. Генератор слов выдает периодическую последовательность кодов: 0, 0, 1, 2, 3, 4, 5, 6, 7, 0, 0, 1, ... .

**Привести в отчете** диаграммы работы при наличии и отсутствии разрешающего уровня для всей последовательности кодов генератора слов (рис.2.2).

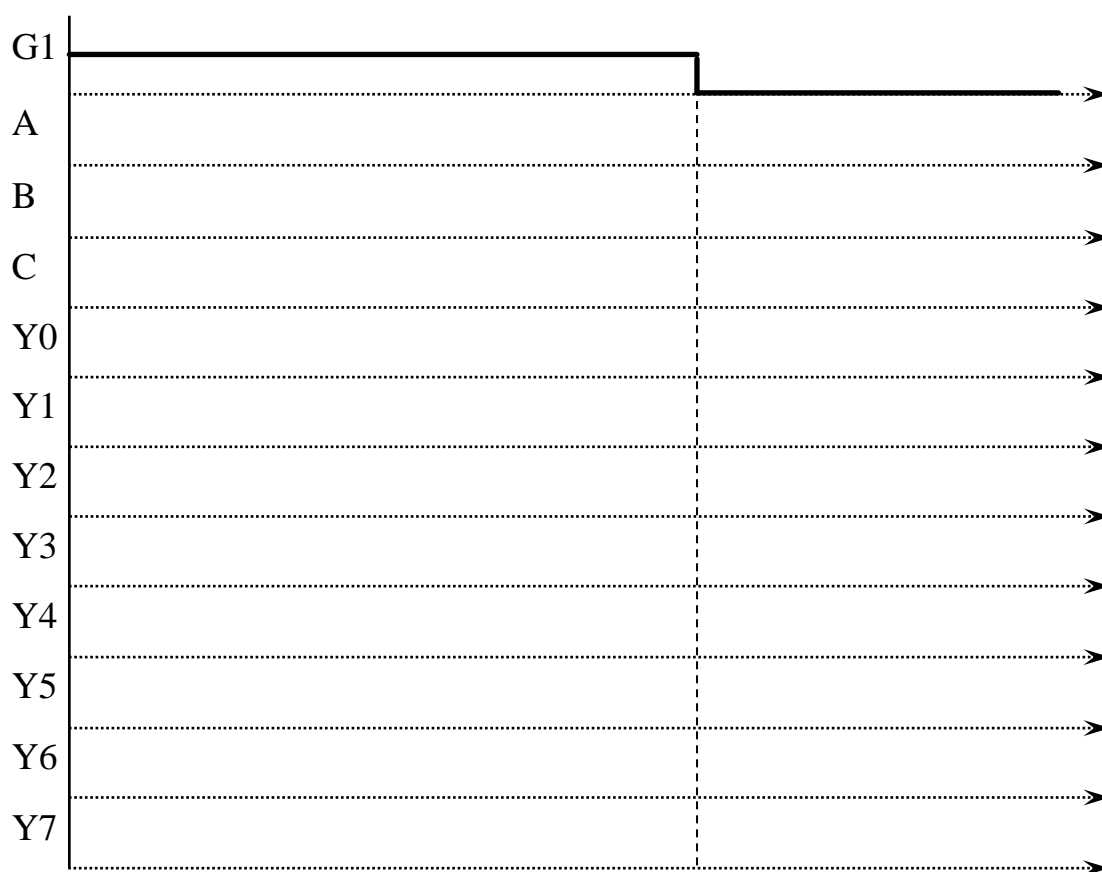


Рис. 2.2.

При **оформлении отчета** привести схему устройства в соответствии с ГОСТ (ЕСКД), таблицу истинности, логические функции для всех выходов. Примеры условных графических обозначений цифровых микросхем даны в приложении.

## 2. Интегральные схемы серии 74xx. Мультиплексор

Загрузить схему **D:\Electronics Workbench\Lab2\74153.ms14** (рис. 2.3).

Микросхема семейства 74153 (отечественные аналоги 1533КП2, 1564КП2) содержит два мультиплексора 4 х 1. В эксперименте задействован только один. Входные сигналы — 1C0, 1C1, 1C2, 1C3; выходной сигнал — 1Y. Мультиплексор коммутирует один из входных сигналов на выход в зависимости от двухразрядного кода, подаваемого на адресные входы А, В. Вход 1G — разрешающий, в представленной схеме на него подан постоянный разрешающий уровень лог. "0". Для второго мультиплексора имеются свои независимые входы-выходы, кроме общих для обоих мультиплексоров линий А, В.

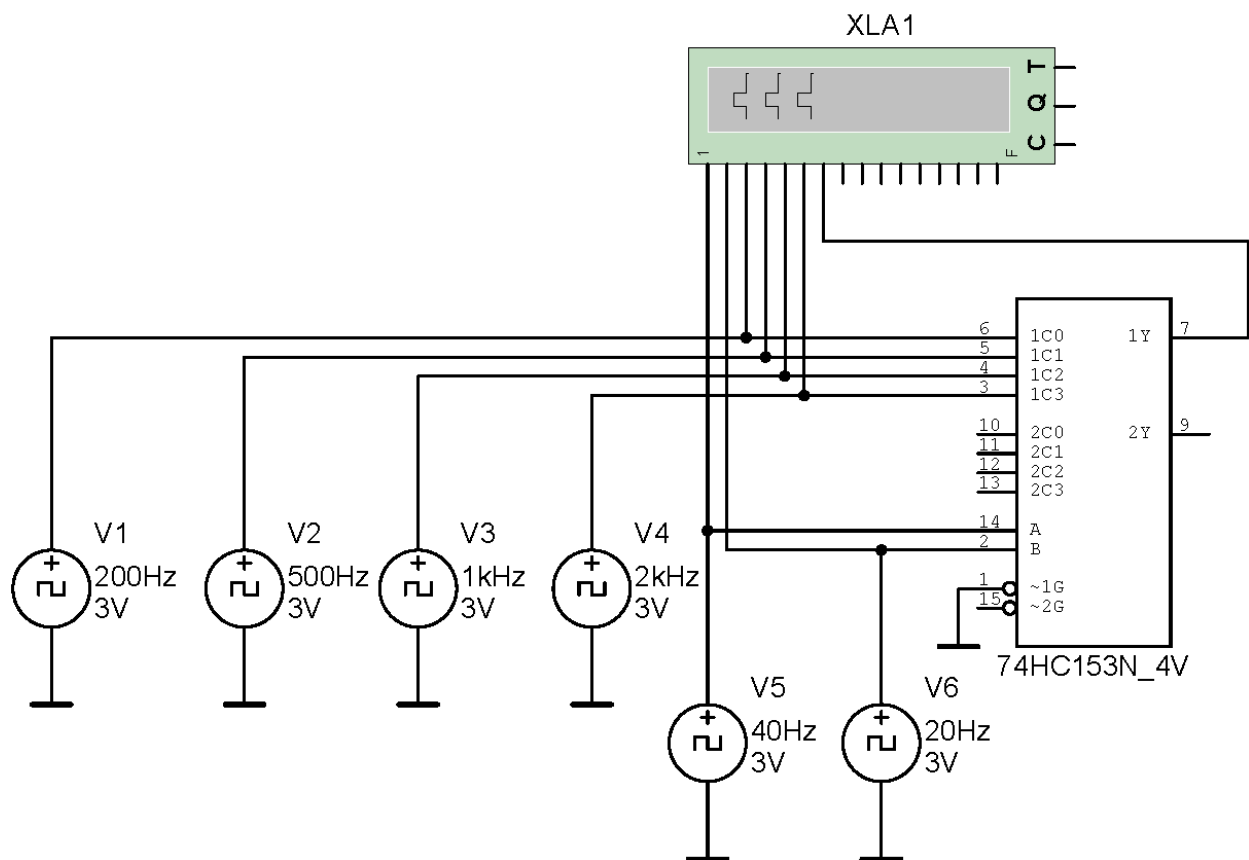


Рис. 2.3

**Привести в отчете** диаграммы работы устройства на временном интервале не менее периода самого низкочастотного тестового сигнала, заготовки диаграмм показаны на рис. 2.4.

Смоделировать отказ микросхемы устройства, оборвав один из входов или задав нулевой уровень соответствующего генератора, предпочтительно провести эксперимент с выводами А или В. Привести на той же диаграмме выходной сигнал 1Y'.

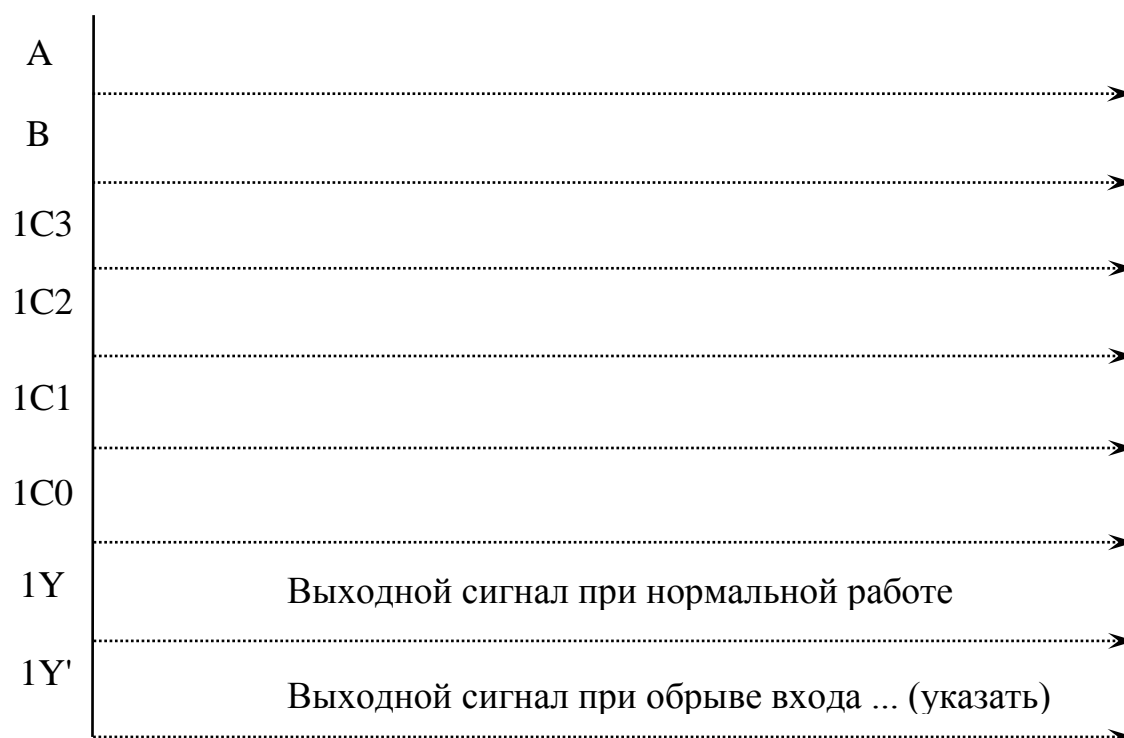


Рис. 2.4

При **оформлении отчета** привести схему устройства в соответствии с ГОСТ (учесть, что в цифровых микросхемах неиспользуемые входы нельзя оставлять неподключенными). Также представить в отчете таблицу истинности, логическую функцию для выхода, учитывающую все, включая разрешающий, входные сигналы.

### 3. Исследование демультиплексора

В качестве демультиплексора может использоваться дешифратор при наличии разрешающего входа. Для выполнения данного пункта открыть схему **D:\Electronics Workbench\Lab2\ Demux.ms14**. (рис. 2.5).

Проверить работу, **дать в отчете** краткое описание возникающего эффекта — обратить внимание и зафиксировать процессы, происходящие с частотой генератора импульсов и с частотой работы генератора слов.

В качестве домашнего задания **привести в отчете**: схему устройства по ГОСТ на основе микросхемы семейства 74138 (или аналога); таблицу истинности; временные диаграммы всех сигналов (G, C, B, A, Y0...Y7); на временных диаграммах на одном из выходных сигналов размерными линиями обозначить значения периодов, соответствующих двум входным сигналам.

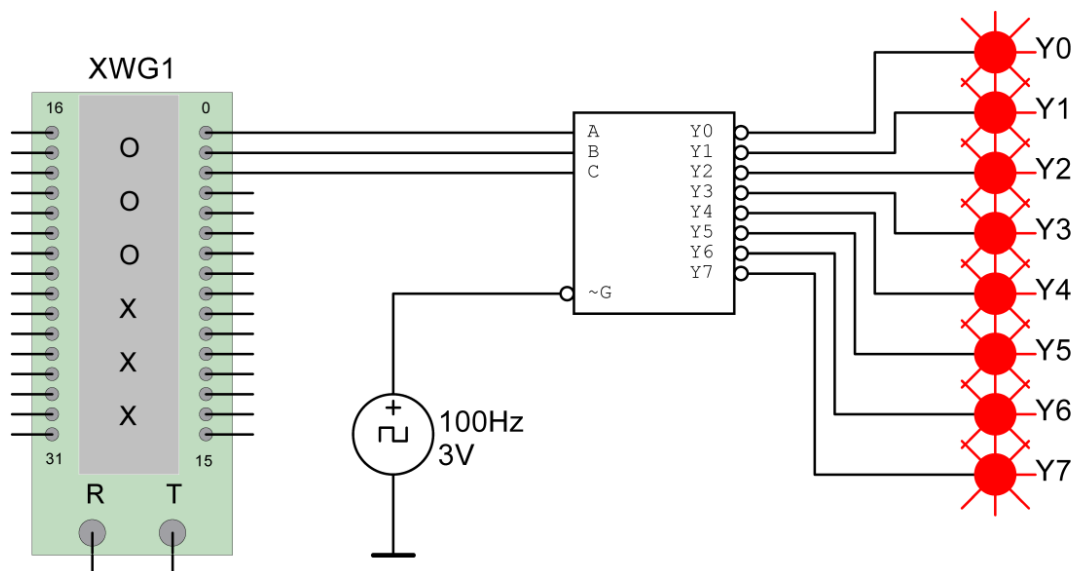


Рис. 2.5

#### 4. Исследование приоритетного шифратора

На вход шифратора подается унитарный код (с одним логическим "0" или логической "1"), преобразуемый на выходе в двоичный. Обычно используются приоритетные шифраторы, в которых при наличии активного уровня на одном из входных разрядов  $D_j$  состояние младших разрядов ( $D_0...D_{j-1}$ ) игнорируется.

Загрузить схему **D:\Electronics Workbench\Lab2\Priority Encoder.ms14** (рис. 2.6). Микросхема приоритетного шифратора семейства 74148 (аналоги: 555ИБ1, 1564ИБ1) имеет 8 инверсных входов ( $D_0...D_7$ ), 3 инверсных выхода ( $A_0, A_1, A_2$ ), входной сигнал  $EI$  разрешает работу устройства, выходной сигнал  $EO$  указывает на отсутствие возбужденных входов в разрешенном режиме, выходной сигнал  $GS$  говорит о наличии хотя бы одного возбужденного входа. Ключами, управляемыми компьютерными клавишами 0..7, E или мышью на входах можно устанавливать любые комбинации логических уровней (теоретически возможно  $2^8 = 256$  вариантов).

Проверить работу шифратора. **Привести в отчете** таблицу истинности для всех входных и выходных сигналов (табл. 2.1).

Некоторые рекомендации. Для уменьшения размера таблицы следует учесть, что, например, при запрещающем сигнале  $EI$  остальные входные сигналы не влияют и их можно отметить символом **x** в единственной строке. Для разрешающего сигнала  $EI$  в таблице может быть всего 9 строк — активный уровень на одном из входных разрядов определяет безразличное состояние остальных младших разрядов, которые также можно пометить знаком **x**.

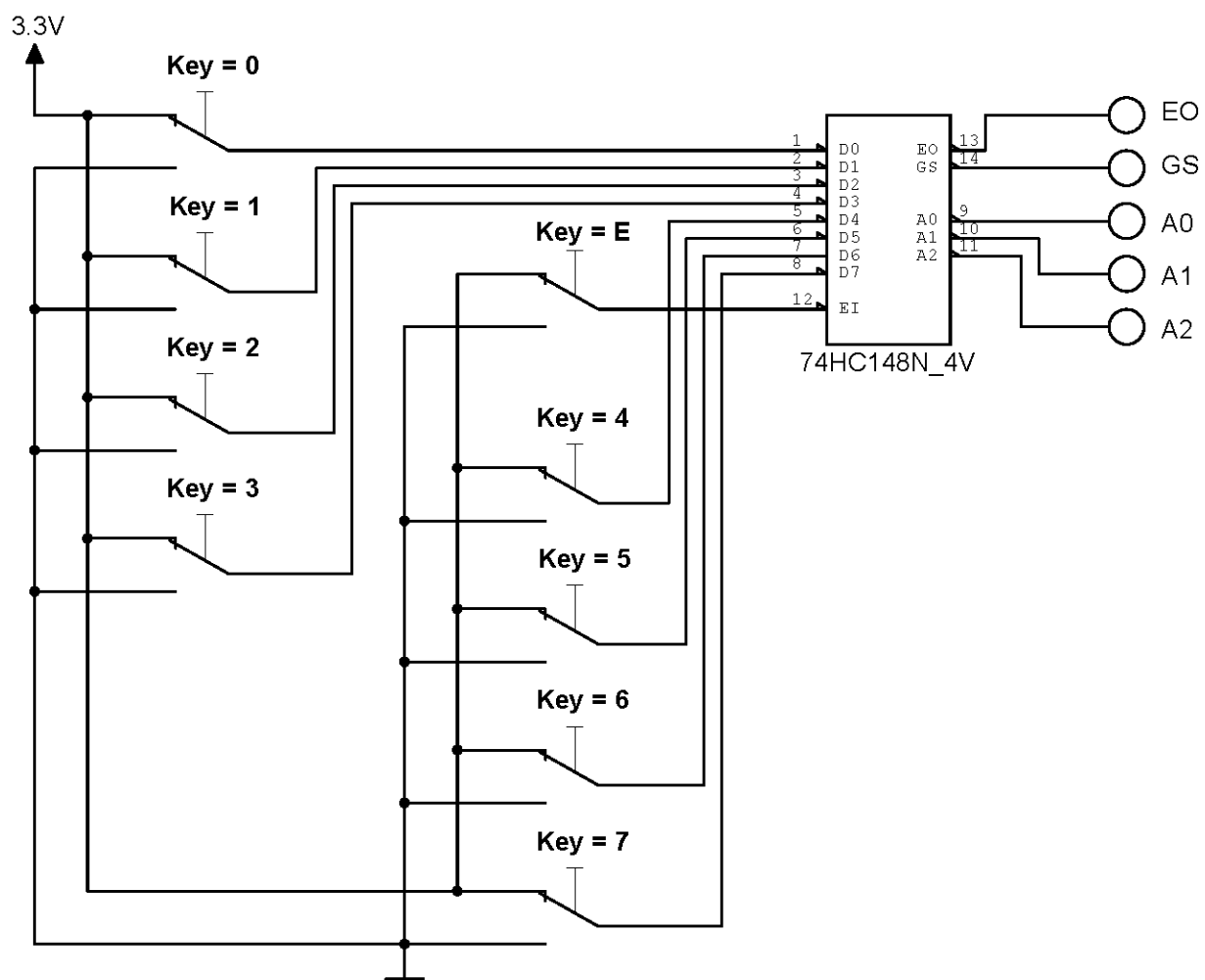


Рис. 2.6

Таблица 2.1. Таблица истинности приоритетного шифратора

EI	D7	D6	D5	D4	D3	D2	D1	D0	A2	A1	A0	GS	EO
1	x	x	x	x	x	x	x	x					
0	...												
0	...												
0	...												
0	...												
0	...												
0	...					x	x	x					
0	...												
0	...												
0	...												

## 5. Исследование сумматора

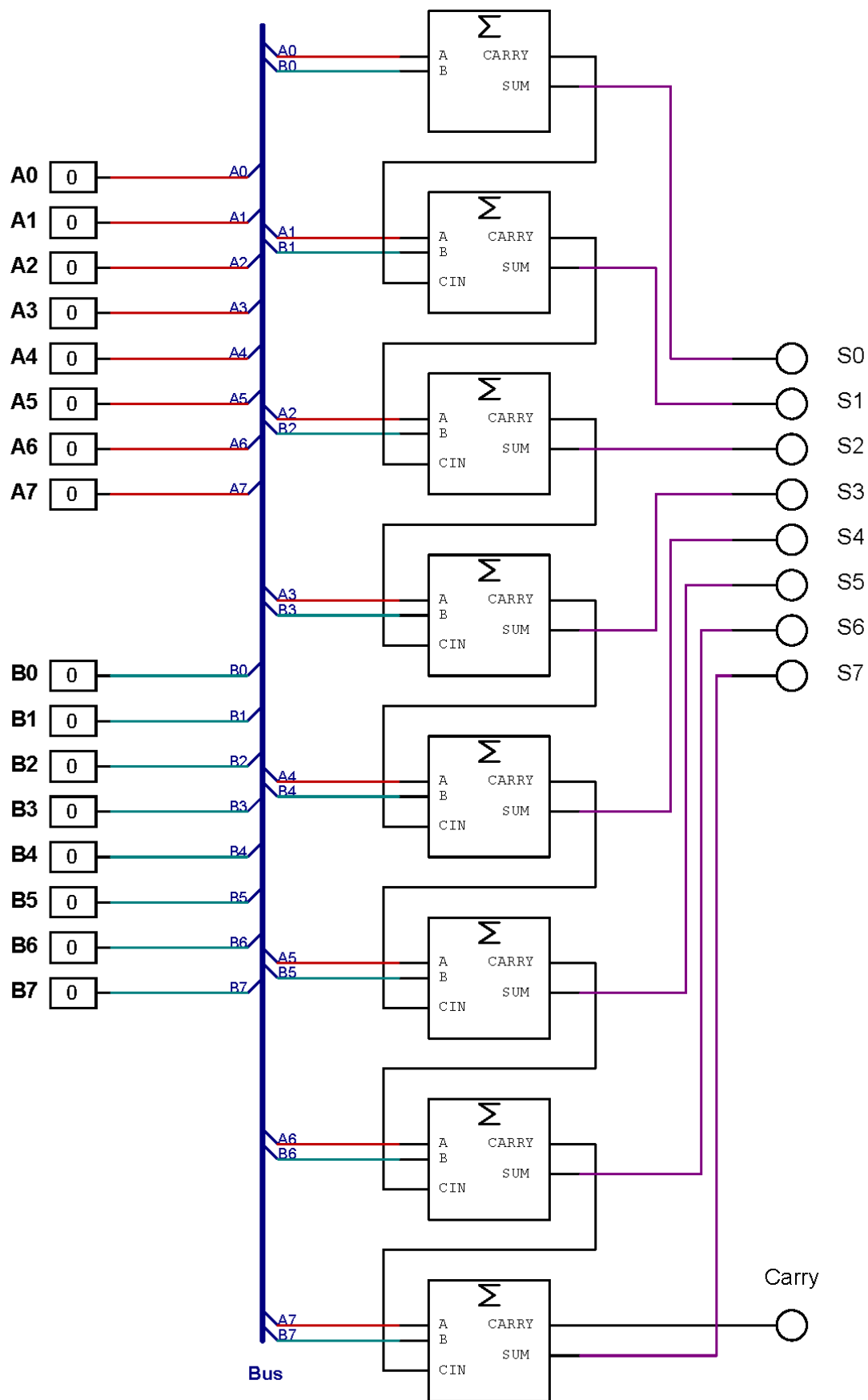


Рис. 2.7



Устройство для сложения 8-разрядных двоичных чисел реализовано в проекте **D:\Electronics Workbench\Lab2\Sum8.ms14** (рис. 2.7). Схема содержит один полусумматор и 7 полных сумматоров. Перенос последовательно распространяется от младших разрядов к старшим. Слагаемые в двоичном формате вводятся посредством интерактивных органов, которые в среде Multisim называются INTERACTIVE\_DIGITAL\_CONSTANT. Результат сложения в двоичной форме отображается на индикаторах. Перенос из самого старшего бита визуализируется отдельным индикатором. Следует обратить внимание на способ изображения соединений между компонентами с использованием общей соединительной линии (шины).

Выполнить беззнаковую операцию сложения ( $A + B$ ) и сложение однобайтовых чисел со знаком ( $C + D$ ), используя исходные данные, указанные в табл. 2.2, вариант задания соответствует номеру рабочего места или задается преподавателем.

Порядок действий:

- Перенести исходные данные из табл. 2.2. в табл. 2.3. Перевести десятичные значения в 16-ричную и двоичную формы вручную или с помощью программистского калькулятора. Для перевода однобайтовых чисел со знаком в калькуляторе Windows 7/8/10 рекомендуется установить режим «1 байт» («BYTE»), для беззнаковых — 2 байта, но использовать только младший.
- Набрать переведенные значения органами  $A7..A0$ ,  $B7..B0$ , запустить моделирование.
- На индикаторах прочитать 8-битный результат сложения, занести в табл. 2.3 в двоичном формате (рекомендуется данную операцию проверить обычным ручным сложением двоичных кодов).
- Перевести результат из двоичной в 16-ричную и десятичную системы, внести в табл. 2.3. Внимание! Не производить сложение в десятичной системе с помощью калькулятора!
- При включенном индикаторе переноса указать в таблице наличие признака переноса при сложении.

Предостережение: не все калькуляторы осуществляют перевод между десятичной и двоичной системами с учетом знака. В этом случае, например, для перевода двоичного знакового числа, содержащего лог. 1 в старшем бите, в десятичное необходимо предварительно изменить знак (инвертировать и прибавить 1), перевести в десятичную систему и приписать отрицательный знак.

Таблица 2.2. Исходные данные для операции двоичного сложения

Вариант	Беззнаковое сложение		Сложение со знаком	
	A	B	C	D
1	121	165	-121	125
2	62	198	-62	12
3	73	184	-73	99
4	84	233	-84	63
5	95	180	-95	67
6	106	199	-106	54
7	37	208	-37	86
8	60	220	-60	33
9	200	100	-56	100
10	111	222	-111	22
11	56	199	-56	-99
12	27	227	-27	-127
13	49	207	-49	76
14	144	170	-44	-88
15	155	111	55	111
16	166	133	66	-90

Таблица 2.3. Результаты двоичного сложения

	10-ная форма	16-ричная форма	Двоичная форма (ровно 8 бит)
A			XXXXXXXX
B			YYYYYYYY
Сумма			ZZZZZZZZ
Перенос			
C			
D			
Сумма			
Перенос			

В качестве домашнего задания **привести в отчете** схему 8-разрядного сумматора с использованием 4-разрядных сумматоров на микросхемах типа 7483, 74283.

## Содержание отчета

Схемы устройств, диаграммы, таблицы, функции (перечислены в каждом пункте выполнения работы).

### Контрольные вопросы


1. Сформулируйте принципы работы всех известных комбинационных устройств без ссылки на их таблицу истинности.
2. Приведите логические выражения для всех устройств, исследованных в настоящей работе.
3. В чем различие полного и неполного дешифраторов?
4. Каковы области применения дешифраторов, мультиплексоров, демultipлексоров?
5. Как осуществить каскадирование нескольких демultipлексоров?
6. Как осуществить каскадирование нескольких приоритетных шифраторов?
7. Нарисуйте схемы мультиплексора, демultipлексора, шифратора, дешифратора, одноразрядного сумматора с использованием стандартных логических элементов.
8. Как реализовать сложение-вычитание чисел с автоматическим переводом их в дополнительный код?
9. Чем отличается полусумматор от полного сумматора?
10. Сравните двоичные сумматоры с последовательным и параллельным переносом.
11. Изобразите временные диаграммы процесса сложения для сумматоров с последовательным и параллельным переносом.
12. Составить схему дешифратора  $4 \times 16$  на основе дешифраторов  $3 \times 8$ .
13. На основе двух мультиплексоров  $4 \times 1$  синтезировать мультиплексор  $8 \times 1$ .
14. Синтезировать демultipлексор на 12 выходов.
15. Синтезировать приоритетный шифратор на 10 входов.
16. Синтезировать N-разрядный цифровой компаратор на базе логических элементов "исключающее ИЛИ".
17. Синтезировать N-разрядный цифровой компаратор на основе двоичных сумматоров.
18. Синтезировать 5-входовый мажоритарный элемент.
19. На базе дешифратора  $3 \times 8$  синтезировать устройство, реализующее функцию четности числа единиц (нулей).
20. Синтезировать двоичный N-разрядный вычитатель.

## ЛАБОРАТОРНАЯ РАБОТА № 3

### Исследование типовых последовательностных устройств

Целью работы является ознакомление с принципами работы последовательностных устройств в среде моделирования Multisim.

**Перед началом работы выполнить** процедуру очистки рабочего каталога, используя значок на рабочем столе **"Инициализация Multisim"**.

Запустить программу посредством значка  (Multisim ...) на рабочем столе.

**Внимание!** При закрытии схем и выходе из программы на запрос о сохранении изменений (Do you want to save ...) всегда выбирать ответ **«No»**.

#### Порядок выполнения

##### 1. Исследование JK-триггера

Открыть схему **D:\Electronics Workbench\Lab3\JK-trigger.ms14** (рис. 3.1).

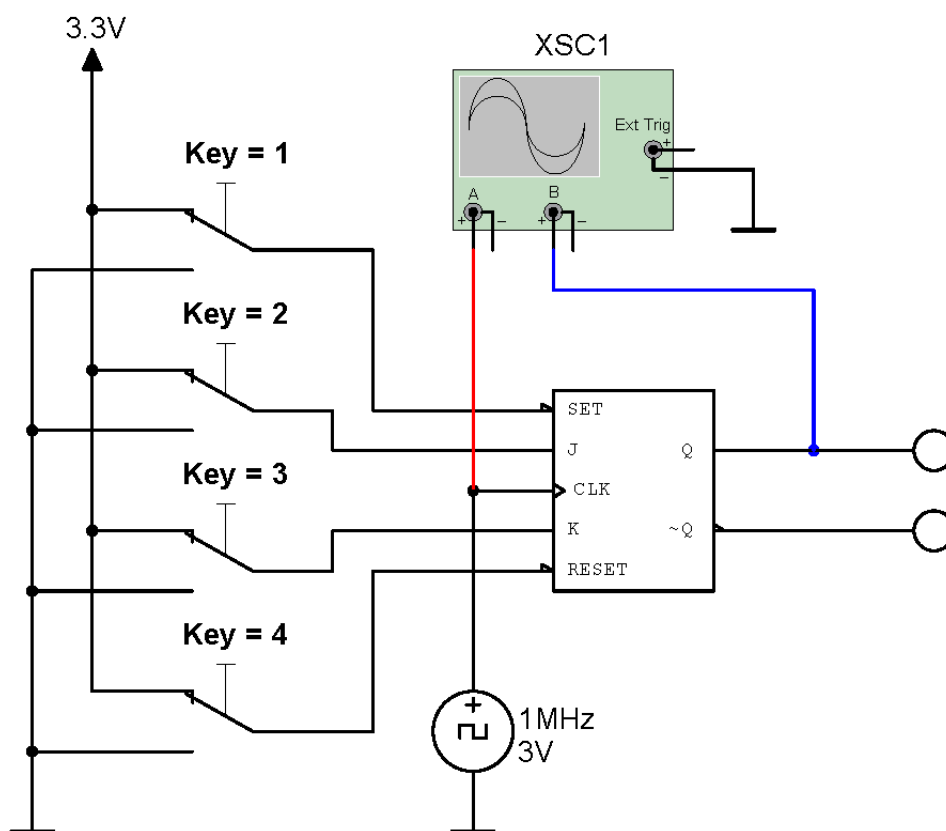


Рис. 3.1

Проверить работу устройства. **Привести в отчете** таблицу переходов – табл. 3.1. Данную форму описания функционирования также называют таблицей переключений, состояний. Дать названия всех состояний (режимов) работы триггера. Учесть, что установочные входы R (Reset), S (Set) являются более приоритетными по сравнению с установочными J, K. Вход С является синхронным и в соответствующих режимах указывается как переход из одного состояния в другое ( $\nearrow$ ,  $\searrow$ ).

Таблица 3.1. Состояния JK-триггера

R	S	J	K	C	Q	$\overline{Q}$	Режим/состояние
0	0	x					
0	1						
1	0						
1	1						
...							

## 2. Исследование D-триггера

Открыть схему **D:\Electronics Workbench\Lab3\D-trigger.ms14** (рис. 3.2).

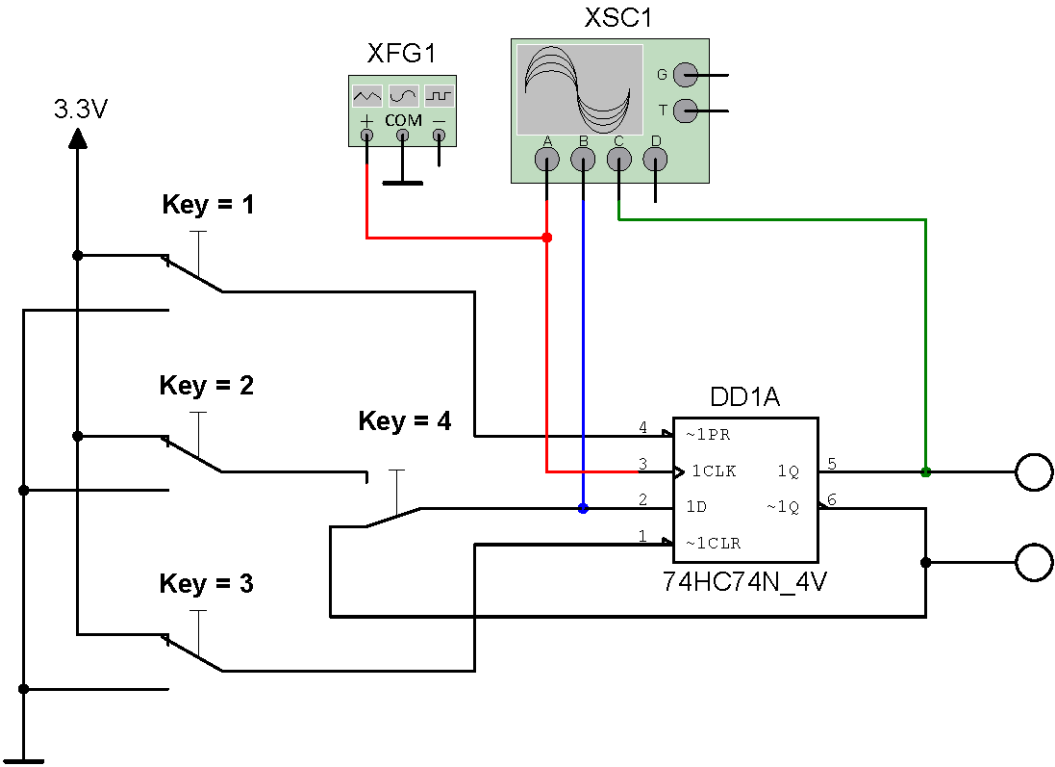


Рис. 3.2

В верхнем положении ключа Key=4 с помощью ключей 1...3 получить и заполнить таблицу состояний D-триггера (табл. 3.2), используя рекомендации предыдущего пункта для JK-триггера.

Таблица 3.2. Состояния D-триггера

R (PR)	S (CLR)	C	D	Q	$\bar{Q}$	Режим/состояние

В нижнем положении ключа Key=4 проверить работу триггера в качестве счетчика-делителя частоты. Определить с точностью до 1 МГц максимальную рабочую частоту переключения. **Привести в отчете** диаграммы входного и выходного сигналов в счетном режиме:

- на низкой частоте (1 МГц);
- на максимальной частоте работы триггера (это значение определить с точностью до 1 МГц);
- на частоте, превышающей максимальную на 1 МГц;
- на частоте, превышающей максимальную в несколько раз.

Дополнительное задание. Заменить микросхему 74НС74 на одну из следующих (из базы компонентов Multisim): 74F74, 74AS74, 74S74. Определить максимальную рабочую частоту.

### 3. Исследование параллельного регистра

Открыть схему **D:\Elecronics Workbench\Lab3\ParRegister.ms14**.

Четырехразрядный регистр (рис. 3.3) содержит четыре D-триггера и четыре буферных элемента. D-триггер с динамическим управлением имеет также установочные входы, которые в данном эксперименте не задействованы. Буферный элемент может работать в двух режимах: активном — выполняя функцию повторителя (а заодно повышая нагрузочную способность), и неактивном, когда выходы переходят в 3-е состояние. Данные и управляющие сигналы фор-

мируются генератором слов. Для иллюстрации 3-го состояния один из выходов нагружен на резистивный делитель, диаграмма сигнала на этом выходе регистрируется как логическим анализатором, так и осциллографом (логический анализатор не идентифицирует 3-е состояние).

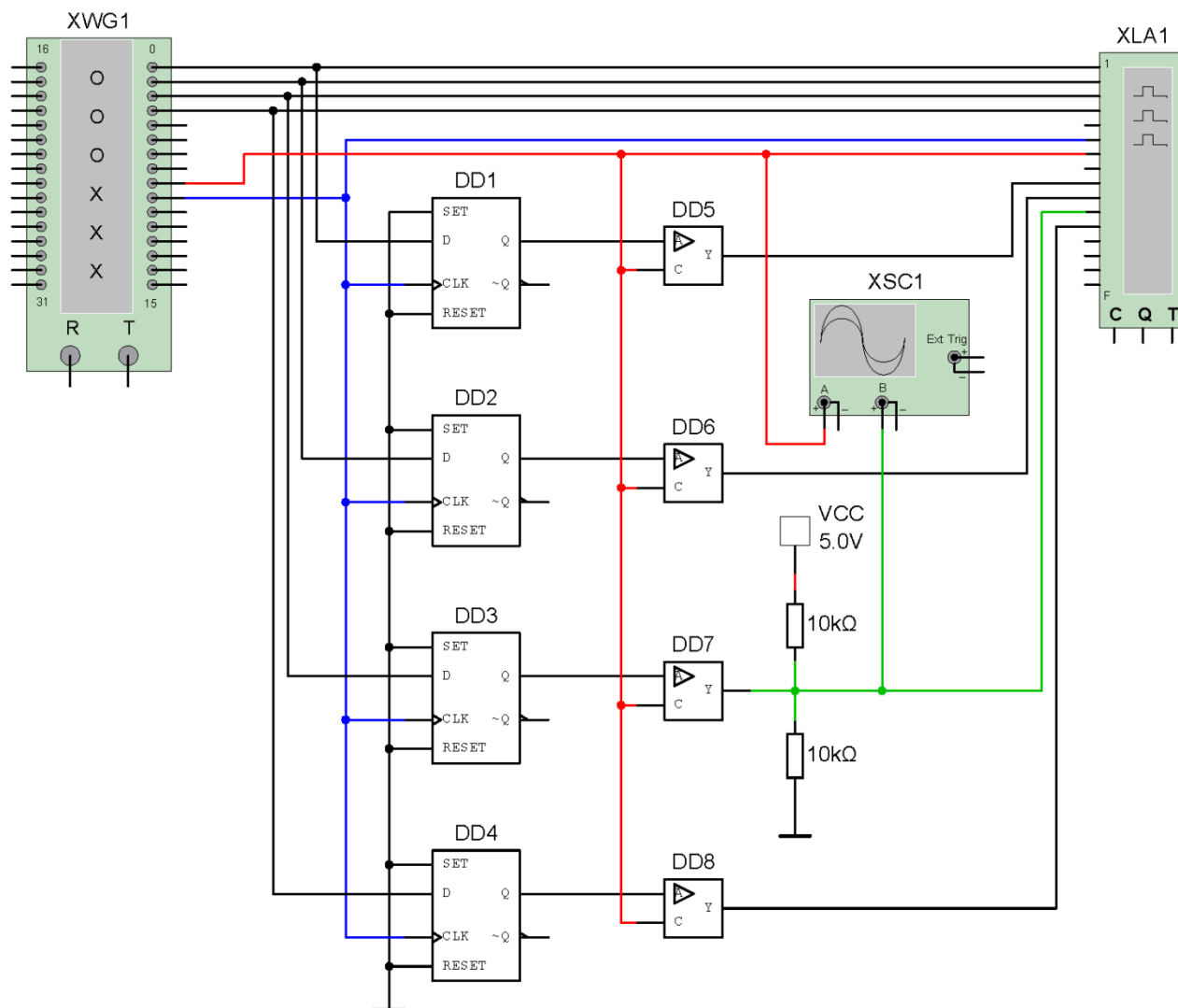


Рис. 3.3

Проверить работу устройства. **Привести в отчете** диаграммы полного цикла записи-чтения двух кодов, при этом уровни сигналов, соответствующие считываемым данным, изобразить с учетом 3-го состояния. Отметить на диаграмме области записи, чтения, хранения, дать словесные названия сигналам. Шаблон для диаграммы показан на рис. 3.4.

В качестве домашнего задания **привести в отчете** схему функционально аналогичного 8-разрядного регистра с использованием только одной интегральной микросхемы. Дать словесную характеристику всех входных и выходных сигналов. Привести таблицу переходов регистра.

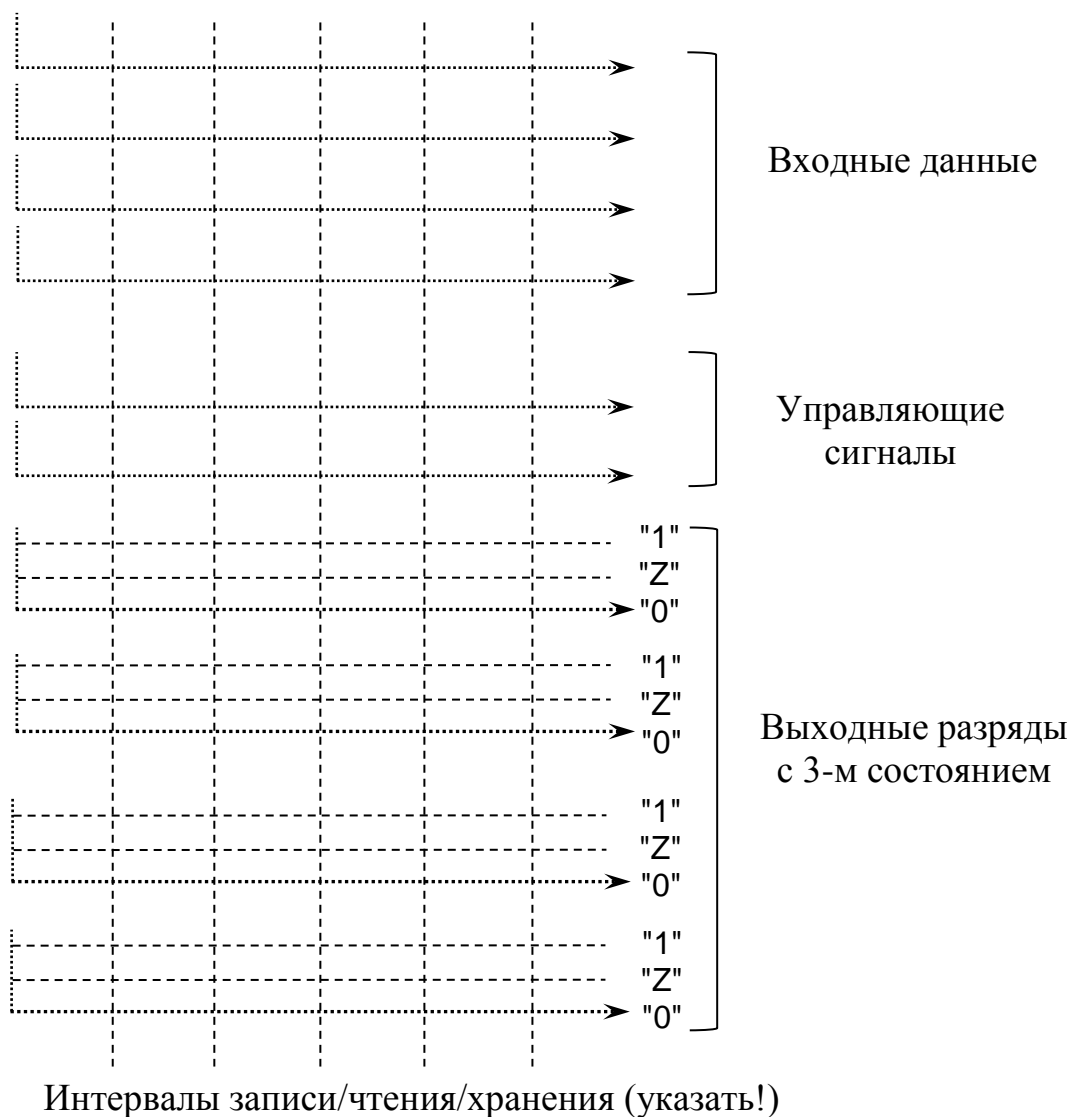


Рис. 3.4

#### 4. Синтез счетчика с последовательным переносом

Синтезировать двоичный счетчик в соответствии с одним из вариантов, приведенных в табл.3.3 (согласовать с преподавателем). Исходными элементами являются D- или JK-триггеры, 7-сегментные индикаторы со встроенным дешифратором (в качестве устройства регистрации), один генератор тактовых импульсов, кнопка сброса, необходимые логические элементы.

Суммирующий счетчик должен изменять состояние от 0 до [Модуль счета]–1, вычитающий — от [Модуль счета]–1 до 0. Кнопка сброса при нажатии устанавливает нулевое состояние всех разрядов, при отпускании — счетчик начинает работу с этого состояния.

Продемонстрировать работу устройства преподавателю.



Таблица 3.3. Варианты заданий для синтеза счетчика

Вариант	Триггер	Направление	Тип	Модуль счета
1	D	суммирующий	с последовательным переносом	17
2	JK	суммирующий	с последовательным переносом	18
3	D	вычитающий	с последовательным переносом	19
4	JK	вычитающий	с последовательным переносом	20
5	D	вычитающий	с последовательным переносом	21
6	JK	вычитающий	с последовательным переносом	22
7	D	вычитающий	с последовательным переносом	23
8	JK	вычитающий	с последовательным переносом	24
9	D	вычитающий	с последовательным переносом	25
10	JK	вычитающий	с последовательным переносом	26
11	D	вычитающий	с последовательным переносом	27
12	JK	вычитающий	с последовательным переносом	28
13	D	вычитающий	с последовательным переносом	29
14	JK	вычитающий	с последовательным переносом	30
15	D	вычитающий	с последовательным переносом	31
16	любой	суммирующий	с параллельным переносом	23
17	любой	вычитающий	с параллельным переносом	24
18	любой	суммирующий	с параллельным переносом	25
19	любой	вычитающий	с параллельным переносом	26
20	любой	суммирующий	с параллельным переносом	27

**В отчете привести:** собранную схему устройства, временную диаграмму всех сигналов: входного тактового, выходных разрядов, от одного до трех сигналов добавленной схемы сброса/установки. На диаграмме обозначить номера состояний счетчика, моменты смены состояний.

**Внимание!** На диаграмме, по крайней мере, на двух-трех состояниях, когда счетчик переходит на новый цикл счета (это состояние 0, предыдущее и следующее), все сигналы изобразить с временными задержками. Задержки для каждого из элементов, через который проходит сигнал, включая сам триггер, можно считать одинаковыми. Учесть, что реальная величина задержки на много порядков меньше периода тактовых импульсов (на диаграммах для наглядности можно ограничиться одним порядком). Поэтому рассматриваемые состо-

яния на диаграмме рекомендуется растянуть во времени в несколько раз или изобразить отдельно. Снять подобную диаграмму с использованием приборов, имеющихся в программе, непросто. Поэтому рекомендуется данную диаграмму строить только вручную.

Если работа выполняется в дистанционном режиме, к отчету необходимо приложить файл с отлаженной схемой.

## **5. Моделирование цифрового 4-канального измерителя напряжения**

В следующем задании предлагается изучить устройство смешанного типа, использующее как цифровые, так и аналоговые компоненты. Устройство измеряет уровни напряжения в диапазоне 0...9,9 В по 4-м каналам, выбираемым вручную посредством двух переключателей. Запуск измерения также производится оператором при нажатии и отпускании кнопки. Результат измерения выводится на два цифровых 7-сегментных индикатора.

Для загрузки схемы открыть файл **D:\Electronics Workbench\Lab3\U-meter.ms14** (рис. 3.5).

Микросхема DD1 представляет собой дешифратор 3 x 8 (выдает один из 8 активных сигналов на выходах Y0...Y7 по трехбитному коду на входах A, B, C). Микросхемы DD4, DD5 выполняют функции двухкаскадного двоично-десятичного счетчика: по спаду тактового импульса на входе INA формируется двоичный код от 0000 до 1001 на выходах QD, QC, QB, QA; при подаче логической 1 на входы R01 и R02 происходит сброс — выдача нулевого кода. Коды с каждого каскада поступают на цифровые 7-сегментные индикаторы со встроенным дешифратором, а также на входы логического анализатора. Компаратор DD2 выдает на своем выходе лог. 1, если напряжение на входе X больше напряжения на входе Y, и лог. 0 — в противном случае.

Принцип работы измерителя заключается в следующем. Переключение между входными каналами осуществляется вручную посредством двух кнопок с фиксацией, кодом с которых дешифратор выбирает и замыкает один из входных управляемых напряжением ключей. От входного напряжения заряжается конденсатор C1, который затем при нажатии кнопки запуска разряжается через источник тока. На время разряда, зависящее от уровня входного напряжения, подается напряжение на один из входов аналогового компаратора DD2, который разрешает логическому элементу DD3 пропускать тактовые импульсы с генератора на двоично-десятичный счетчик.

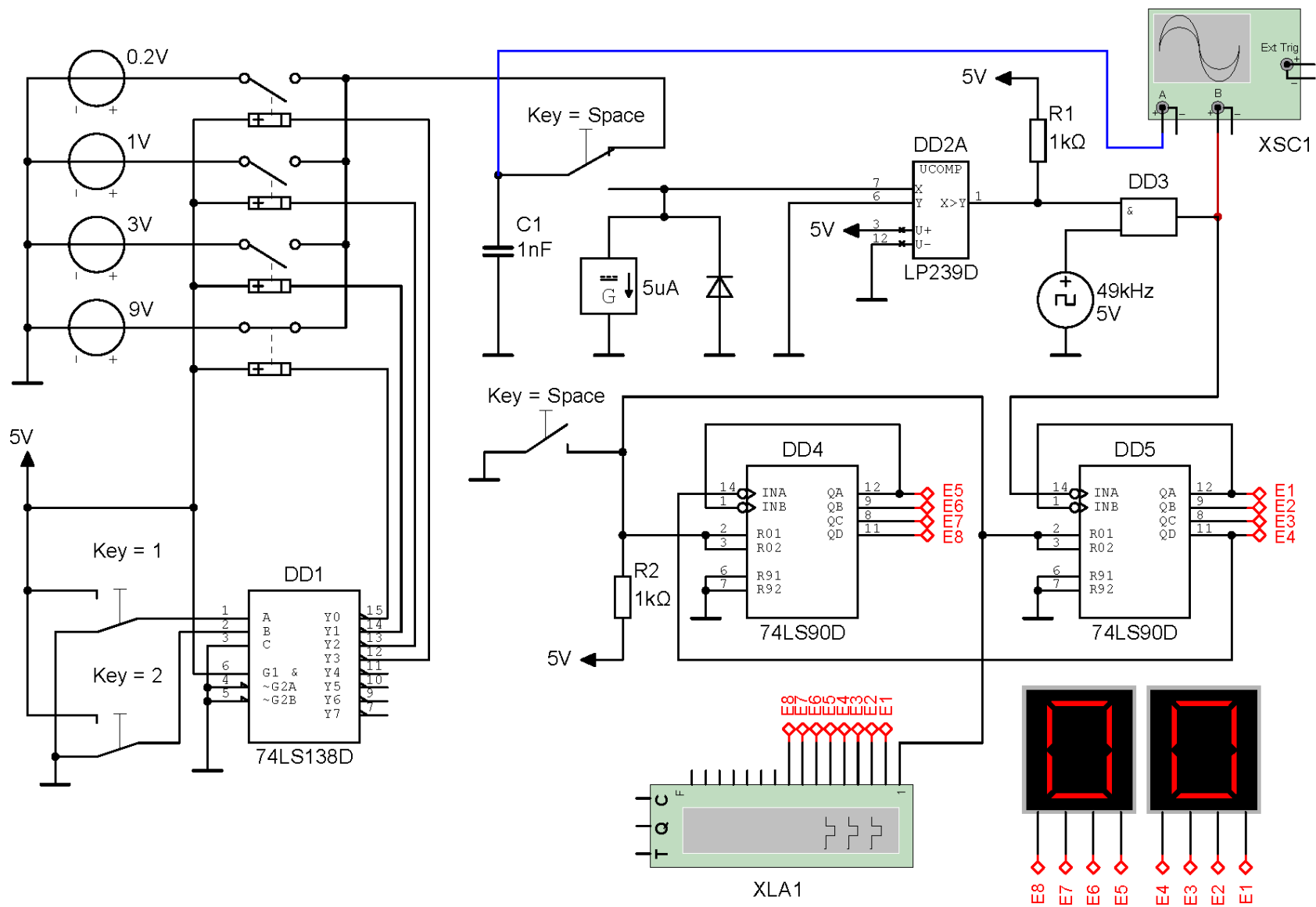


Рис. 3.5

Проверить работу по всем входным каналам, записать показания индикаторов. **Привести в отчете** диаграммы заряда-разряда конденсатора и тактовых импульсов для двух-трех различных входных напряжений. С помощью логического анализатора просмотреть и зафиксировать в отчете диаграммы одного полного цикла работы счетчика (рекомендуется при этом установить максимальный уровень входного напряжения). Указать, от параметров каких компонентов зависит точность измерения. Проиллюстрировать это, изменяя номинал данных компонентов в обе стороны (на 5...10%). Дать рекомендации по уменьшению времени одного измерения.

Модифицировать схему с одной из следующих или других целей (конкретное задание согласовать с преподавателем):

- а) исключить все лишние элементы для реализации одноканального измерителя;
- б) добавить третий десятичный разряд;
- в) ввести автоматическое переключение каналов через заданное время;
- г) ввести режим автоматического запуска измерений;
- д) расширить диапазон входного напряжения до 99 В;
- е) повысить для максимального предела скорость измерения;
- ж) реализовать измерение напряжения отрицательной полярности;
- з) ввести светодиодный индикатор, который сигнализирует о выходе измеряемого напряжения за заданные границы и др.

### **Содержание отчета**

Схемы всех исследованных устройств с использованием реальных импортных и отечественных микросхем.

Диаграммы, таблицы и др. (перечислены в каждом пункте выполнения работы).

### **Контрольные вопросы**

1. Дайте определения комбинационных и последовательностных устройств?
2. Дайте классификацию триггеров.
3. Приведите условные обозначения выводов триггера, определяющих их функциональное назначение.
4. Расскажите обо всех функциях и режимах типовых триггеров.
5. Изобразите таблицы переходов известных вам типов триггеров.

6. Объясните различия управляющих сигналов по уровню и фронту на примере триггеров и регистров.
7. Какие параметры используются для оценки быстродействия триггеров и чем они определяются?
8. Какие типы триггеров могут быть использованы для построения схем: а) регистров памяти, б) регистров сдвига?
9. Построить на основе JK-триггера схемы RS-, D-, T-триггеров, в том числе с дополнительным разрешающим входом.
10. Как на базе триггеров реализовать устройство генерирования колебаний, например, мультивибратор?
11. Почему для построения регистров сдвига могут использоваться только триггеры, синхронизируемые фронтом?
12. Расскажите об областях применения параллельных и последовательных регистров. Изобразите схему преобразователя параллельного кода в последовательный и наоборот.
13. Как работает кольцевой регистр? Какие у него преимущества по сравнению с обычными последовательными?
14. Как объединяются по выходам схемы, имеющие 3-е состояние? Как осуществляется их параллельная работа?
15. Как сделать реверсивный счетчик? Внесите изменения в устройство, синтезированное в данной работе, с целью изменения направления счета посредством дополнительного сигнала.
16. Как сделать счетчик с изменяемым с помощью управляющего сигнала коэффициентом пересчета (модулем счета)?
17. Что такое программируемый счетчик? Изобразите функциональную схему устройства со всеми необходимыми входными и выходными сигналами.
18. Каковы принципы построения счетчиков с параллельным переносом?
19. Каким образом можно обеспечить деление частоты следования импульсов в заданное число раз? Как при этом обеспечить коэффициент длительности импульсов 50%?
20. Дайте классификацию и сравнительную характеристику способов аналого-цифрового преобразования. Какой из них использован в измерителе напряжения?
21. Для АЦП, реализованного в лабораторной работе, определить разрядность, минимальное и максимальное время преобразования.
22. Какие факторы влияют на точность измерения напряжения, чем ограничивается предельная точность?

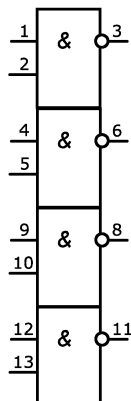
## СПИСОК ЛИТЕРАТУРЫ

1. Сажнев, А. М. Цифровые устройства и микропроцессоры : учебное пособие для вузов / А. М. Сажнев. — 2-е изд., перераб. и доп. — Москва : Издательство Юрайт, 2020. — 139 с.
2. Новожилов О.П. Основы цифровой техники / Учебное пособие. — М.: ИП РадиоСофт, 2017. — 528 с.
3. Кириченко П.Г. Цифровая электроника для начинающих. — СПб.: БВХ-Петербург, 2019. — 176 с.
4. Микушин А.В., Сажнев А.М., Сединин В.И. Цифровые устройства и микропроцессоры. — СПб.: БВХ-Петербург, 2010. — 832 с.
5. Карлащук В.И. Электронная лаборатория на IBM PC. Программа Electronics Workbench и ее применение. Изд. 3-е, перераб. и доп. — М.: СОЛОН-Пресс, 2008. — 736 с.
6. Григорьев Б.И. Элементная база и устройства цифровой техники [Электронный ресурс]: учебное пособие.— СПб: Университет ИТМО, 2012.— 89 с.— Режим доступа: <http://www.iprbookshop.ru/65394.html>.
7. Извозчикова В.В., Корнев Е.А. Цифровая схемотехника [Электронный ресурс]: Методические указания к лабораторному практикуму. — Оренбург: ГОУ ОГУ, 2005. — 32 с. — Режим доступа: <http://window.edu.ru/resource/202/19202/files/metod555.pdf>
8. Logic Guide [Электронный ресурс]. — Texas Instruments Inc., 2017. — Режим доступа: <https://www.ti.com/lit/pdf/sdyu001>.
9. Little Logic Guide [Электронный ресурс]. — Texas Instruments Inc., 2018. — Режим доступа: <https://www.ti.com/lit/pdf/scyt129>

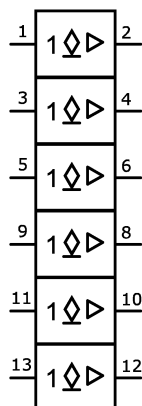
## ПРИЛОЖЕНИЯ

### Примеры графических обозначений цифровых микросхем

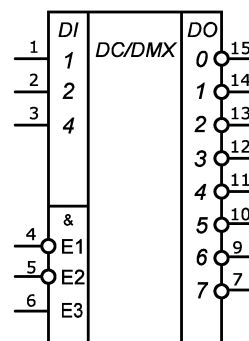
Элементы 2И-НЕ  
7400



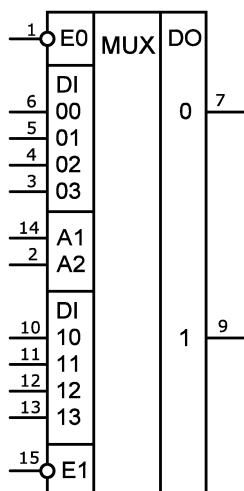
Буферные элементы  
с открытым  
коллектором/стоком  
7417



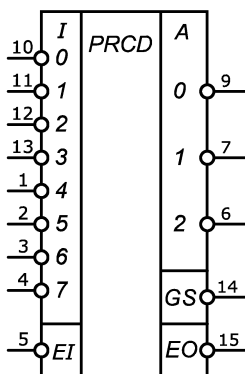
Дешифратор 3х 8 /  
демультимплексор  
1 х 8  
74138



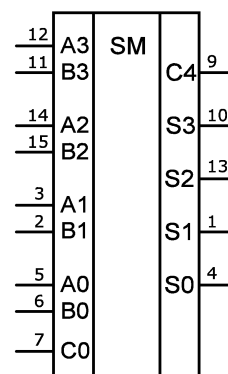
Сдвоенный  
мультиплексор 4 х 1  
74153



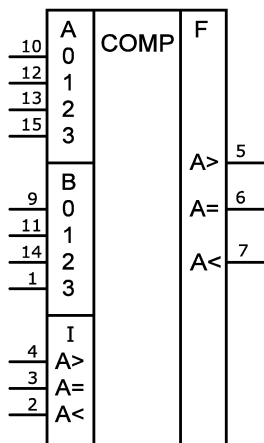
Приоритетный  
шифратор 8 х 3  
74148



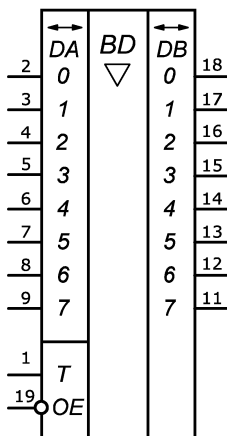
Полный 4-разрядный  
сумматор  
74283



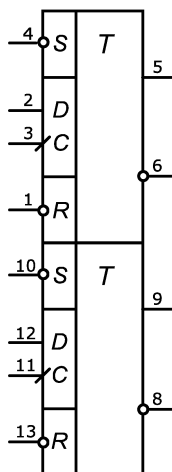
4-разрядный  
цифровой  
компаратор  
7485



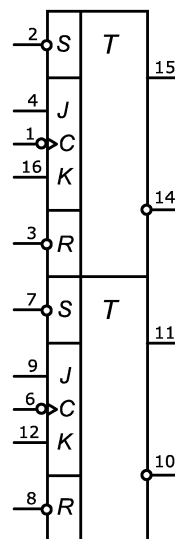
Двунаправленный  
шинный  
формирователь  
74245



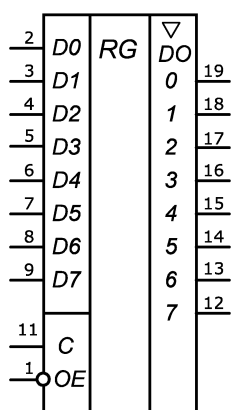
Сдвоенный  
D-триггер  
7474



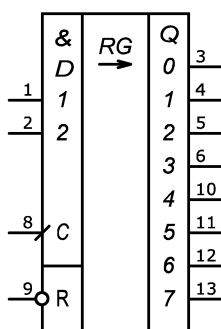
Сдвоенный  
JK-триггер  
7476



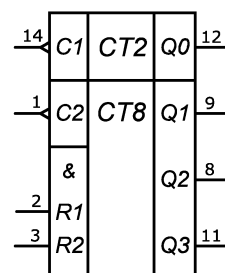
Параллельный  
регистр  
с 3-м состоянием  
74573



Последовательно-  
параллельный  
сдвиговый регистр  
74164



Двоичные счетчики  
с модулями счета  
2 и 8  
7493





## Микросхемы серии 74xx в библиотеке Multisim

Мик- ро- схема	Ана- лог	Функциональное назначение	Число выво- дов
7400	ЛА3	4 элемента 2И-НЕ	14
7401	ЛА8	4 элемента 2И-НЕ с открытым выходом	14
7402	ЛЕ1	4 элемента 2ИЛИ-НЕ	14
7403	ЛА9	4 элемента 2И-НЕ с открытым выходом	14
7404	ЛН1	6 элементов НЕ	14
7405	ЛН2	6 элементов НЕ с открытым выходом	14
7406	ЛН3	6 элементов НЕ с открытым выходом (30 В)	14
7407	ЛП9	6 буферных элементов с открытым выходом (30 В)	14
7408	ЛИ1	4 элемента 2И	14
7409	ЛИ2	4 элемента 2И с открытым выходом	14
7410	ЛА4	3 элемента 3И-НЕ	14
7411	ЛИ3	3 элемента 3И	14
7412	ЛА10	3 элемента 3И-НЕ с открытым выходом	14
7413	ТЛ1	2 триггера Шмитта 4И-НЕ	14
7414	ТЛ2	6 триггеров Шмитта НЕ	14
7415	ЛИ4	3 элемента 3И с открытым выходом	14
7416	ЛН5	6 элементов НЕ с открытым выходом (15 В)	14
7417	ЛП4	6 буферных элементов с открытым выходом (15 В)	14
7418	-	2 триггера Шмитта 4И-НЕ	14
7419	-	6 триггеров Шмитта НЕ	14
7420	ЛА1	2 элемента 4И-НЕ	14
7421	ЛИ6	2 элемента 4И	14
7422	ЛА7	2 элемента 4И-НЕ с открытым выходом	14
7423	ЛЕ2	2 элемента 4ИЛИ-НЕ со стробированием и расширением по ИЛИ	16
7424	-	4 триггера Шмитта 2И-НЕ	14
7425	ЛЕ3	2 элемента 4ИЛИ-НЕ со стробированием	14
7426	ЛА11	4 элемента 2И-НЕ с открытым выходом (15 В)	14

7427	ЛЕ4	3 элемента 3ИЛИ-НЕ	14
7428	ЛЕ5	4 буферных элемента 2ИЛИ-НЕ	14
7430	ЛА2	Элемент 8И-НЕ	14
7432	ЛЛ1	4 элемента 2ИЛИ	14
7433	ЛЕ11	4 элемента 2ИЛИ-НЕ с открытым выходом	14
7434	ЛИ9	6 буферных повторителей	14
7436	-	4 элемента 2ИЛИ-НЕ	14
7437	ЛА12	4 буферных элемента 2И-НЕ	14
7438	ЛА13	4 буферных элемента 2И-НЕ с открытым выходом	14
7439	-	4 элемента 2И-НЕ с открытым выходом	14
7440	ЛА6	2 буферных элемента 4И-НЕ	14
7441	-	Дешифратор 4 x 10 с высоковольтным выходом	16
7442	ИД6	Дешифратор 4 x 10	16
7444	-	Преобразователь кода Грэя в унитарный	16
7445	ИД24	Дешифратор 4 x 10 с открытым выходом	16
7447	-	Преобразователь для семисегментного индикатора с открытым выходом	16
7448	-	Преобразователь для семисегментного индикатора	16
7449	ПП4	Преобразователь для семисегментного индикатора	14
7450	ЛР1	2 элемента 2И-2ИЛИ-НЕ	14
7451	ЛР11	Элементы 2-2И-2ИЛИ-НЕ, 2-3И-2ИЛИ-НЕ	14
7452	-	Элемент 2-2-2-3И-4ИЛИ	14
7453	ЛР3	Элемент 2-2-2-3И-4ИЛИ-НЕ	14
7454	ЛР13	Элемент 2-3-3-2И-4ИЛИ-НЕ	14
7455	ЛР4	Элемент 4-4И-2ИЛИ-НЕ	14
7456	-	Делители частоты 2:1, 5:1, 5:1	8
7457	-	Делители частоты 2:1, 5:1, 6:1	8
7460	ЛД1	2 4-входовых расширителя по ИЛИ	14
7464	ЛР9	Элемент 4-2-3-2И-4ИЛИ-НЕ	14
7465	ЛР10	Элемент 4-2-3-2И-4ИЛИ-НЕ с открытым выходом	14
7468	-	Два 4-разрядных двоично-десятичных счетчика	16

7469	-	Два 4-разрядных двоичных счетчика	16
7470	-	JK-триггер с логикой 3И, сбросом, установкой	14
7471	-	JK-триггер с логикой 3-3И-2ИЛИ	14
7472	ТВ1	JK-триггер с логикой 3И, сбросом, установкой	14
7473	-	2 динамических JK-триггера со сбросом	14
7474	ТМ2	2 динамических D-триггера со сбросом и установкой	14
7475	ТМ7	4 статических D-триггера с прямым и инверсным выходами	16
7476	ТВ3	2 JK-триггера со сбросом и установкой	16
7477	ТМ5	4 статических D-триггера с прямыми выходами	14
7478	ТВ14	2 JK-триггера с общим тактированием	14
7480	ИМ1	Одноразрядный полный сумматор	14
7481	РУ1	Статическое ОЗУ 16 x 1	14
7482	ИМ2	Двухразрядный полный сумматор	14
7483	ИМ3	Четырехразрядный полный сумматор	16
7484	РУ3	Статическое ОЗУ 16 x 1	16
7485	СП1	4-разрядный цифровой компаратор	16
7486	ЛП5	4 двухвходовых элемента "Исключающее ИЛИ"	14
7490	ИЕ2	Счетчики-делители на 2 и на 5	14
7491	-	8-разрядный последовательный сдвиговый регистр	14
7492	ИЕ4	Счетчики-делители на 2 и на 6	14
7493	ИЕ5	Счетчики-делители на 2 и на 8	14
7497	ИЕ8	Программируемый 6-разрядный делитель частоты	16
74100	-	2 4-разрядных D-триггера	24
74107	ТВ6	2 JK-триггера со сбросом, синхронизацией по спаду	14
74109	ТВ15	2 JK-триггера со сбросом, установкой	16
74112	ТВ9	2 JK-триггера со сбросом, установкой, синхронизацией по спаду	16
74113	ТВ10	2 JK-триггера с установкой, синхронизацией по спаду	14
74114	ТВ11	2 JK-триггера с синхронизацией по спаду	14
74116	-	2 4-разрядных регистра со сбросом	24
74121	АГ1	Одноканальный ждущий мультивибратор	14

74123	АГ3	2 ждущих мультивибратора	16
74124	ГТ1	2 генератора, управляемых напряжением	16
74125	ЛП8	4 буферных элемента с 3-м состоянием	14
74126	-	4 буферных элемента с 3-м состоянием	14
74132	ТЛ3	4 триггера Шмитта 2И-НЕ	14
74133	-	Элемент 13И-НЕ	16
74136	ЛП12	4 двухвходовых элемента "Исключающее ИЛИ" с открытым выходом	14
74137	-	Дешифратор 3 x 8 с регистром адреса	16
74138	ИД7	Дешифратор 3 x 8 / демultipлексор	16
74139	ИД14	2 демultipлексора 1 x 4	16
74145	ИД10	Дешифратор двоично-десятичного кода 4 x 10	16
74147	ИВ3	Приоритетный шифратор 10 x 4	16
74148	ИВ1	Приоритетный шифратор 8 x 3	16
74150	КП1	Мultipлексор 16 x 1	24
74151	КП7	Мultipлексор 8 x 1	16
74152	КП5	Мultipлексор 8 x 1 без входа разрешения	14
74153	КП2	2 multipлексора 4 x 1	16
74154	ИД3	Дешифратор 4 x 16 / демultipлексор	24
74155	ИД4	2 дешифратора 2 x 4	16
74156	ИД5	2 дешифратора 2 x 4 с открытым выходом	16
74157	КП16	4 multipлексора 2 x 1	16
74158	КП18	4 multipлексора 2 x 1 с инверсными входами	16
74159	ИД19	Дешифратор 4 x 16 / демultipлексор с открытым выходом	24
74160	ИЕ9	4-разрядный двоично-десятичный синхронный счетчик	16
74161	ИЕ10	4-разрядный двоичный синхронный счетчик	16
74162	ИЕ11	4-разрядный двоично-десятичный синхронный счетчик	16
74163	ИЕ18	4-разрядный двоичный синхронный счетчик с синхронным сбросом	16
74164	ИР8	8-разрядный последовательный сдвиговый регистр с параллельным выходом	14

74165	ИР9	8-разрядный регистр сдвига с параллельным вводом, последовательным выводом	16
74166	ИР10	8-разрядный регистр сдвига с синхронным параллельным вводом, последовательным выводом	16
74168	ИЕ16	4-разрядный двоично-десятичный реверсивный синхронный счетчик	16
74169	ИЕ17	4-разрядный двоичный реверсивный синхронный счетчик	16
74173	ИР15	4-разрядный регистр на D-триггерах со сбросом	16
74174	ТМ9	6-разрядный регистр на D-триггерах со сбросом	16
74175	ТМ8	4 D-триггера с общими запуском и сбросом, прямыми и инверсными выходами	16
74180	ИП2	8-разрядная схема контроля четности/нечетности	14
74181	ИП3	4-разрядное АЛУ	24
74182	ИП4	Схема ускоренного переноса	16
74190	ИЕ12	Двоично-десятичный реверсивный счетчик	16
74191	ИЕ13	4-разрядный двоичный реверсивный счетчик	16
74192	ИЕ6	Двоично-десятичный реверсивный счетчик	16
74193	ИЕ7	4-разрядный двоичный реверсивный счетчик	16
74194	ИР11	4-разрядный сдвиговый регистр	16
74195	ИР12	4-разрядный сдвиговый регистр	16
74198	ИР13	8-разрядный сдвиговый регистр	24
74199	-	8-разрядный сдвиговый регистр	24
74238	ИД19	Дешифратор 3 x 8 / демультимплексор с инверсными выходами	16
74240	АП3	2 4-разрядных инверсных буферных усилителя с 3-м состоянием	20
74241	АП4	2 4-разрядных буферных усилителя с 3-м состоянием	20
74242	ИП6	4 инверсных двунаправленных приемопередатчика	14
74243	ИП7	4 двунаправленных приемопередатчика	14
74244	АП5	2 4-разрядных буферных усилителя с 3-м состоянием	20
74245	АП6	8-разрядный двунаправленный шинный формирователь	20
74246	-	Преобразователь для 7-сегментного индикатора	16

74247	ИД18	Преобразователь для 7-сегментного индикатора	16
74248	-	Преобразователь для 7-сегментного индикатора	16
74249	-	Преобразователь для 7-сегментного индикатора	16
74251	КП15	Мультиплексор 8 х 1	16
74253	КП12	2 мультиплексора 4 х 1 с 3-м состоянием	16
74257	КП11	4 мультиплексора 2 х 1 с 3-м состоянием	16
74258	КП14	4 мультиплексора 2 х 1 с 3-м состоянием и инверсией	16
74259	ИР30	8-разрядный регистр с побитовой адресацией	16
74266	-	4 двухвходовых элемента "Исключающее ИЛИ-НЕ" с открытым выходом	14
74273	ИР35	8-разрядный регистр на D-триггерах со сбросом	20
74279	ТР2	4 RS-триггера	16
74280	ИП5	9-разрядная схема контроля четности/нечетности	14
74283	ИМ6	4-разрядный сумматор	16
74290	-	Счетчики-делители на 2 и на 5	14
74293	-	Счетчики-делители на 2 и на 8	14
74298	КП13	4 мультиплексора 2 х 1 с запоминанием	16
74365	ЛП10	6 буферных элементов с 3-м состоянием	16
74366	ЛН6	6 буферных инверторов с 3-м состоянием	16
74367	ЛП11	6 буферных элементов с 3-м состоянием	16
74368	ЛН7	6 буферных инверторов с 3-м состоянием	16
74373	ИР22	8-разрядный регистр с 3-м состоянием и статическим управлением	20
74374	ИР23	8-разрядный регистр с 3-м состоянием и управлением по фронту	20
74375	-	4 D-триггера со статическим управлением	16
74377	ИР27	8-разрядный регистр с управлением по фронту	20
74378	ИР18	6-разрядный регистр	16
74379	ИР19	4-разрядный регистр с прямыми и инверсными выходами	16
74386	-	4 двухвходовых элемента "Исключающее ИЛИ"	14
74390	ИЕ20	Два счетчика-делителя на 2 и два счетчика-делителя на 5	16

74393	ИЕ19	2 4-разрядных двоичных счетчика	14
74425	-	4 буферных элемента с 3-м состоянием	14
74426	-	4 буферных элемента с 3-м состоянием	14
74533	ИР40	8-разрядный регистр с инверсными выходами	20
74537	ИД22	Дешифратор 4 x 10 с 3-м состоянием	20
74540	АП12	8-разрядный буферный элемент	20
74573	ИР33	8-разрядный регистр с 3-м состоянием и статическим управлением	20
74574	ИР37	8-разрядный регистр с 3-м состоянием и управлением по фронту	20
74640	АП9	8-разрядный двунаправленный шинный формирователь	20
74821	-	10-разрядный регистр	24
74823	-	9-разрядный регистр	24
74825	-	8-разрядный регистр	24
74827	-	10-разрядный буферный элемент	24
74828	-	10-разрядный буферный элемент с инверсными выходами	24

### **Сведения об авторах**

Богаченков Алексей Николаевич, к.т.н., доцент кафедры радиоэлектронных систем и комплексов Института радиотехнических и телекоммуникационных систем РТУ МИРЭА.