



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«МИРЭА – Российский технологический университет»

РТУ МИРЭА

ЛЕКЦИОННЫЕ МАТЕРИАЛЫ

по дисциплине

Цифровые устройства и микропроцессоры

Часть 1 (5 семестр)

Лекция 12

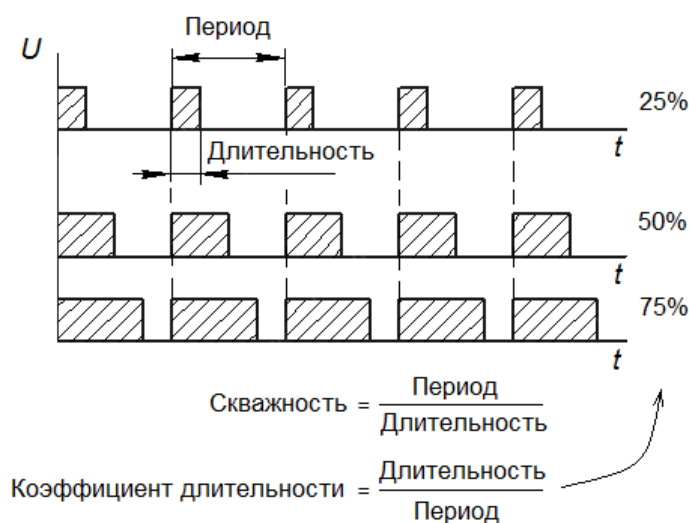
Основные темы лекции

RC-генераторы на логических элементах.
Генераторы с кварцевой стабилизацией.
Одновибраторы.
Синтезаторы частоты.

Генераторы на логических элементах

Общие сведения

Генераторы логических сигналов формируют последовательности импульсов заданной частоты и определенным соотношением длительности и паузы:



Кроме главных характеристик — частоты следования, параметров импульса — для генератора важны точность задания этих параметров и их стабильность — как при различных внешних воздействиях (температуры, питания, нагрузки и т.п.), так и долговременная.

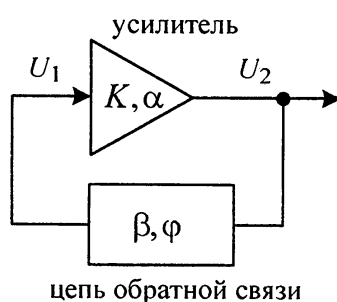
Генераторы можно разделить на две группы:

С внешним возбуждением (запуском, синхронизацией) — кроме выхода имеют вход, и их можно рассматривать как усилители / формирователи / преобразователи импульсов.

Автогенераторы — самостоятельно генерируют выходные сигналы, применительно к импульсным сигналам их также называют мультивибраторами, тактовыми генераторами. Дополнительные входы в автогенераторах могут использоваться для управления параметрами генерируемых сигналов.

В автогенераторах для самовозбуждения колебаний необходимо обеспечить:

- баланс амплитуд (общий коэффициент передачи усилителя и петли обратной связи должен превышать 1);
- баланс фаз (суммарный сдвиг фаз равен 0 или кратен 360°).

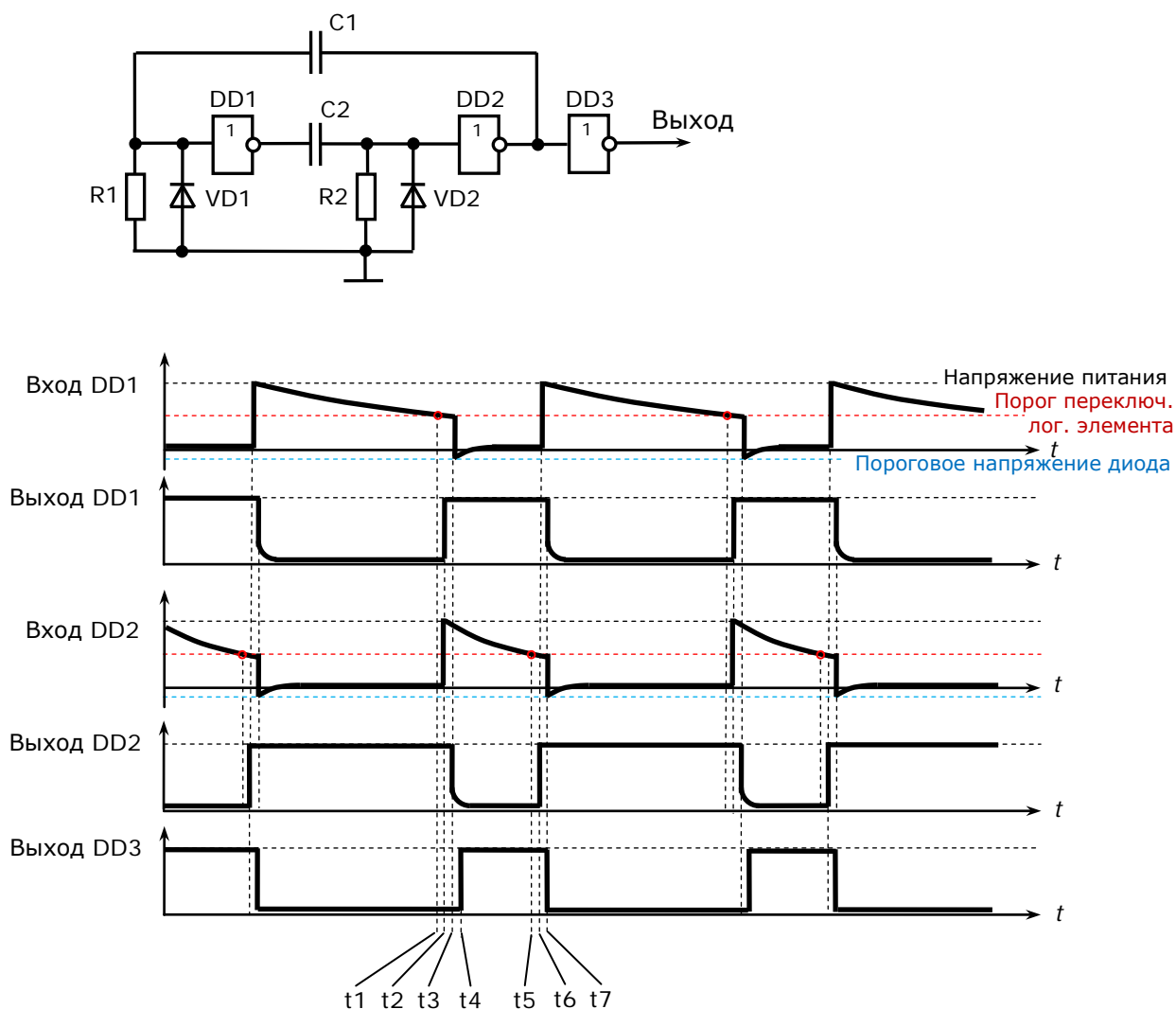


Подобный генератор в принципе является аналоговым устройством. И хотя типовые логические элементы могут работать в линейном режиме усиления, построение генераторов на их основе имеет специфику.

Схемы RC-генераторов (мультивибраторов)

Схема 1

Длительности полупериодов определяются временами перезаряда емкостей. Диоды используются для защиты входов от отрицательного напряжения.



До момента t_1 конденсатор C1 заряжается от высокого напряжения на выходе DD2 через резистор R1, напряжение на R1 (вход DD1) пропорционально току заряда, который уменьшается, постоянная времени заряда $\tau_1 = R1 \cdot C1$.

t1: Напряжение на R1 (вход DD1) уменьшилось до порога срабатывания логического элемента DD1 (показано красной точкой), DD1 начинает менять свое состояние.

t2: DD1 переключил свой выход с низкого на высокий уровень (интервал $t_2 - t_1$ соответствует задержке переключения). Через разряженный конденсатор C2 этот фронт передался на вход DD2. DD2 начинает менять свое состояние.

t3: DD2 переключил свой выход с высокого на низкий уровень (интервал $t_3 - t_2$ соответствует задержке переключения). Этот перепад через наполовину заряженный конденсатор C1 передался на вход DD1. Без диода VD1 на входе DD1 в этот момент было бы от-

рицательное напряжение, по модулю равное половине напряжения питания. Диод VD1 открывается, ограничивая напряжение на входе логического элемента на уровне примерно -0.7 В.

t3–t4: Конденсатор C1 быстро разряжается через диод VD1 и выходное сопротивление элемента DD2. Повышенный разрядный ток является большой нагрузкой для элемента DD2, из-за чего его выходное напряжение не сразу достигает уровня лог. 0. Этот затянутый спадающий фронт передается на вход DD3.

t4: DD3 сменил состояние выхода с лог. 0 на лог. 1.

t2–t5: В момент t2 конденсатор C2 был разряжен и теперь начал заряжаться от высокого напряжения на выходе DD1 через резистор R2. Напряжение на R2 (вход DD2) пропорционально току заряда, который уменьшается, постоянная времени заряда $\tau_2 = R_2 \cdot C_2$.

t5: Напряжение на R2 (вход DD2) уменьшилось до порога срабатывания логического элемента DD2 (показано красной точкой), DD2 начинает менять свое состояние.

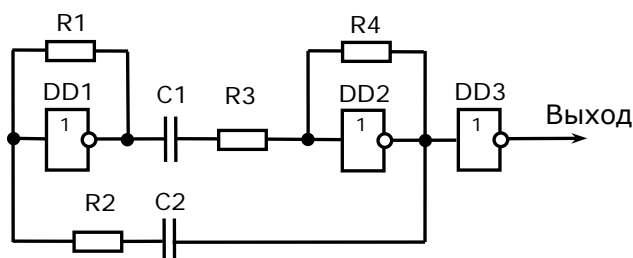
t6: DD2 переключил свой выход с низкого на высокий уровень. Этот фронт через разряженный C1 передается на вход DD1.

t7: DD1 изменил состояние выхода с высокого на низкий уровень, спад через C2 передается на вход DD2. Сам C2 начинает быстро разряжаться через открывшийся VD2 и выходное сопротивление элемента DD1, чем объясняется затянутый отрицательный фронт на выходе DD1. Примерно в это же время фронт с выхода DD2 (был в момент t6) вызывает изменение уровня на выходе DD3.

Далее работа циклически повторяется.

Таким образом, длительности полупериодов можно считать примерно равными $\tau_1 = R_1 \cdot C_1$, $\tau_2 = R_2 \cdot C_2$. Но на параметры также влияют пороги переключения, входные и выходные сопротивления логических элементов. Элемент DD3 улучшает крутизну фронтов выходного напряжения и уменьшает влияние внешней нагрузки на работу генератора.

Схема 2



Для приведенной схемы параметры сигнала определяются цепями R1–C2, R4–C1.

В схемах 1, 2 возможна независимая регулировка длительности импульса и паузы. Если не требуется получение импульсов определенной скважности, то могут использоваться следующие более простые варианты (схемы 3...6):

Схема 3

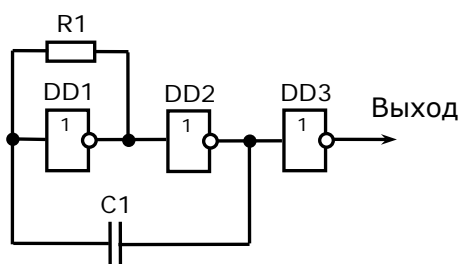


Схема 4

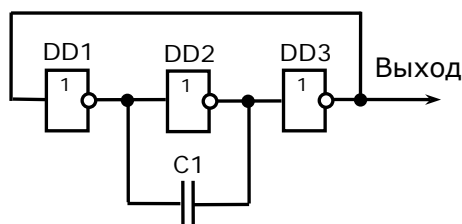


Схема 5

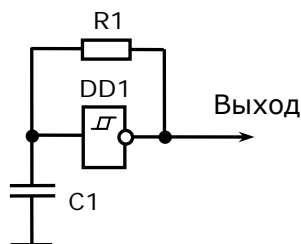


Схема 6

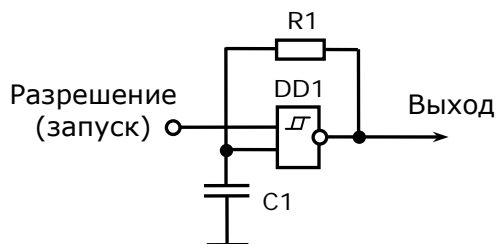


Схема 7

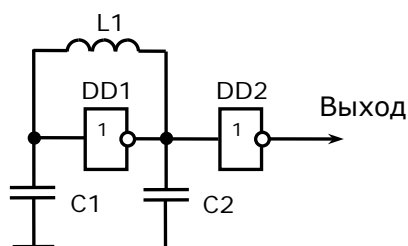
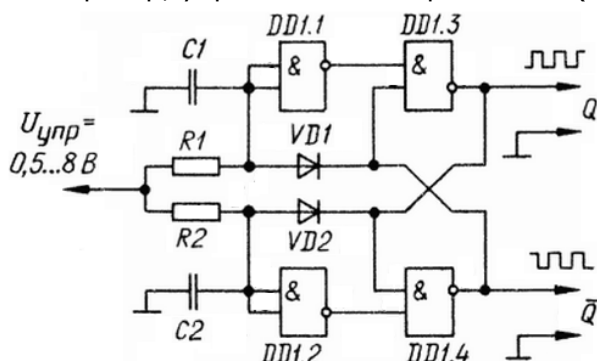


Схема 8

Генератор, управляемый напряжением (ГУН)



В схеме 3 частота генерируемого сигнала определяется постоянной времени RC-цепи: $\tau = R1 \cdot C1$. Скважность зависит от входных и выходных параметров логического элемента.

В схеме 4 логические вентили работают с перегрузками, схема не рекомендуется для ответственной аппаратуры.

Сигнал разрешения работы в схеме 6 аналогично может быть введен во все другие, для чего достаточно вместо любого инвертора задействовать двухвходовый ИЛИ-НЕ или И-НЕ.

Схема 7 представляет собой классическую емкостную трехточку, известную из аналоговой техники.

Для перестройки частоты возможно использование переменного резистора или МОП-транзистора, а также один из вариантов, показанный на схеме 8.

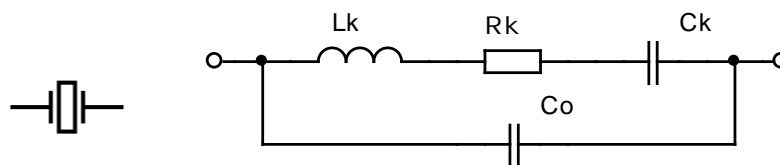
В качестве **самостоятельной** работы предлагается построить временные диаграммы для схем 2...5, 8 с учетом временных задержек (по аналогии со схемой 1).

Недостаток всех RC (как и LC) генераторов,— низкая стабильность частоты (единицы %), зависящая от параметров элементов R, C, L, параметров логических элементов (входных и выходных сопротивлений, пороговых уровней), напряжения питания.

Более стабильны и имеют хорошую повторяемость мультивибраторы на операционных усилителях. Эти решения в курсе не рассматриваются, рекомендуется ознакомиться с ними самостоятельно.

Генераторы с кварцевой стабилизацией

Обозначение кварцевого резонатора и его эквивалентная схема

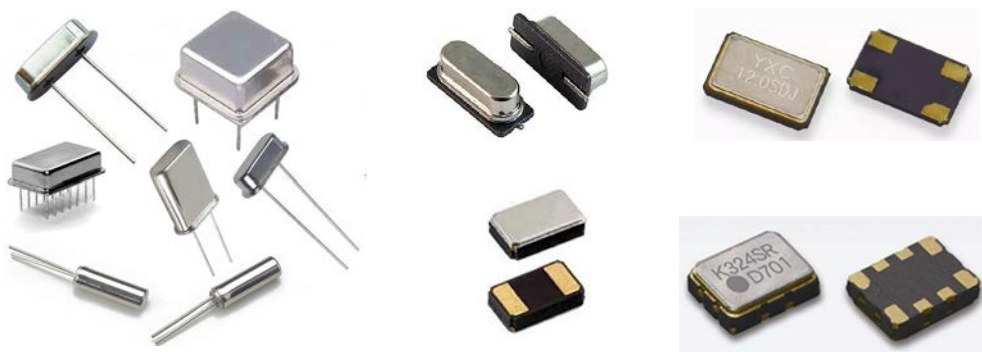


Зависимость реактивного сопротивления резонатора от частоты

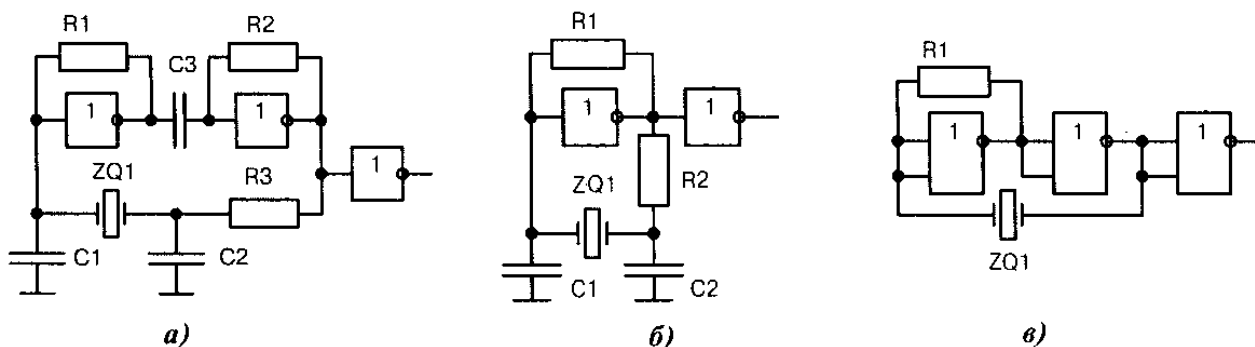


Кварцевый резонатор имеет последовательный и параллельный резонансы. Последний обусловлен емкостью C_0 , в которую входит конструктивная и паразитная емкости. Максимальные частоты (для 1-й гармоники) — 30...50 МГц. Стабильность кварцевых генераторов — $10^{-6} \dots 10^{-8}$.

Некоторые конструктивные реализации компонента (микросхемы с числом выводов более 2 представляют собой законченные генераторы):



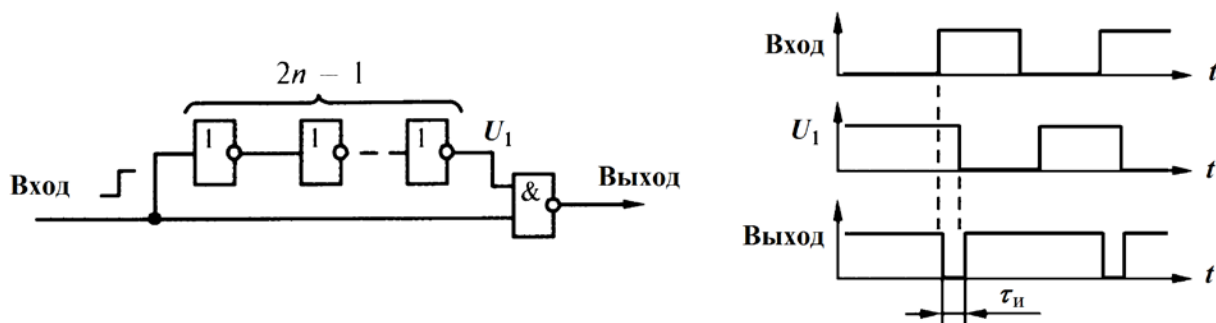
Варианты схем генераторов



Одновибраторы (ждущие мультивибраторы)

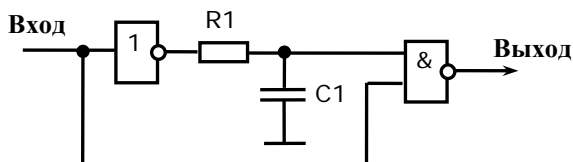
Укорачивающий одновибратор

Другие названия — устройство выделения фронтов, детектор фронтов.



Если элемент И-НЕ заменить элементом ИЛИ-НЕ, схема будет выполнять несколько иную функцию. Предлагается рассмотреть данную модификацию **самостоятельно**.

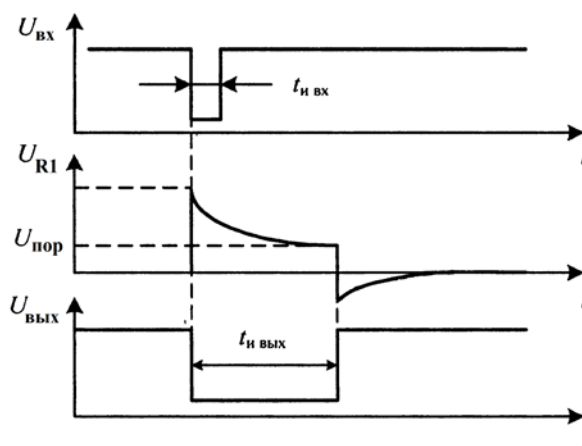
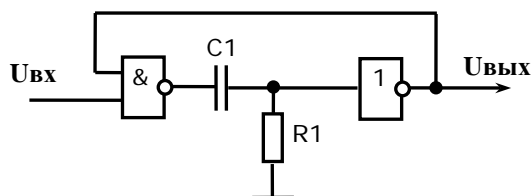
Вариант схемы с использованием задержки на RC элементах



Можно составить схему, выделяющую оба фронта — положительный и отрицательный, и тем самым получить удвоитель частоты. Предлагается данное решение реализовать **самостоятельно**.

К "укорачивающим" относят также устройства, просто уменьшающие длительность выходного импульса по отношению к входному на некоторую заданную величину (рекомендуется разобрать эти решения самостоятельно).

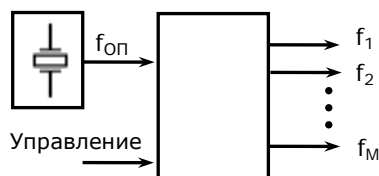
Расширяющий одновибратор (расширитель импульсов)



Устройство реагирует на первый пришедший отрицательный фронт, формируя на выходе импульс, длительность которого определяется номиналами $C1$, $R1$. Только после окончания выходного импульса возобновится реакция на новый входной фронт.

Синтезаторы частоты

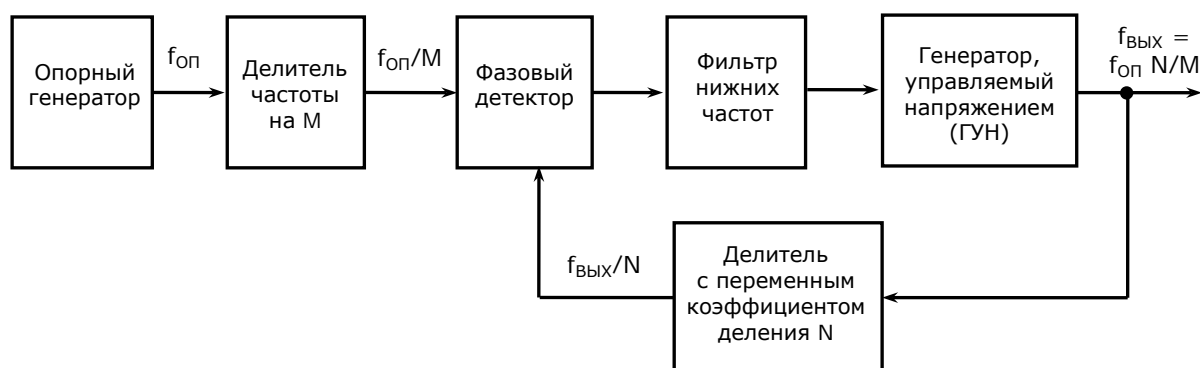
Самыми стабильными и точными являются генераторы с кварцевой стабилизацией. Однако они не позволяют плавно и в широких пределах перестраивать частоту. В устройствах, называемых *синтезаторами частоты*, хотя и не реализуется плавная регулировка, но в них возможно формирование дискретной сетки частот практически с любым шагом при использовании всего одного или несколько кварцевых резонаторов. На практике чаще всего требуется как раз определенный набор частот с возможностью переключения между ними.



К простейшим синтезаторам можно отнести рассмотренные ранее счетчики с различными коэффициентами деления.

Синтезаторы строятся на основе системы с отрицательной обратной связью, осуществляющей автоматическую подстройку частоты. Для подстройки можно использовать сигналы ошибки по частоте или по фазе. В цифровых системах получили распространение преимущественно системы фазовой автоподстройки частоты (ФАПЧ), в которых расхождение генерируемой и эталонной частот полностью отсутствует.

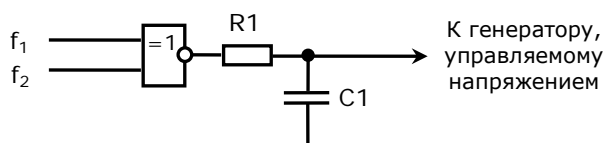
Структурная схема цифрового синтезатора частот

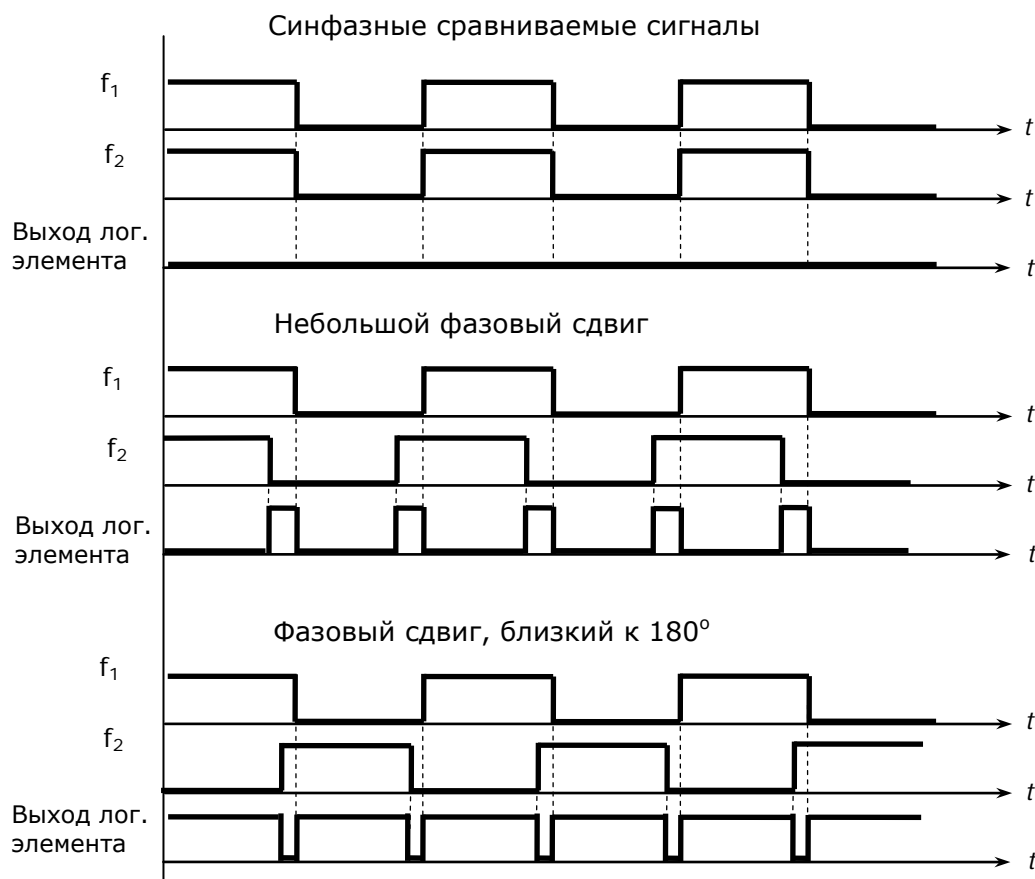


На выходе можно получить частоту $f_{\text{вых}} = f_{\text{оп}} \cdot N / M$, где N, M — в принципе любые целочисленные коэффициенты.

Фазовый детектор

Простейшая схема фазового детектора и диаграммы его работы

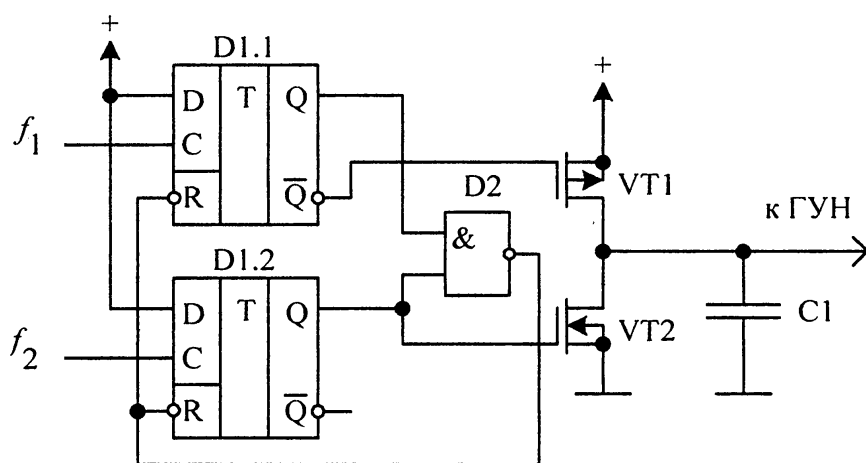




После фильтрации сигнала с выхода логического элемента средний уровень можно использовать для управления частотой генератора. Но по законам регулирования между сравниваемыми частотами всегда должен быть некоторый фазовый сдвиг, чтобы вырабатывалось регулирующее напряжение.

Фазовый компаратор

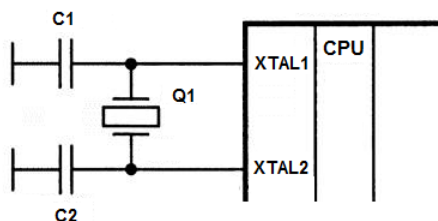
Фазовый компаратор устраняет указанный выше недостаток фазового детектора, формируя на выходе напряжение, идентифицирующее одно из трех состояний: отставание, опережение, совпадение фазы одного из входных сигналов по отношению к другому.



Более подробно материал данного раздела изложен в [Микушин, глава 12].

Синтезатор частот (система синхронизации) микропроцессоров

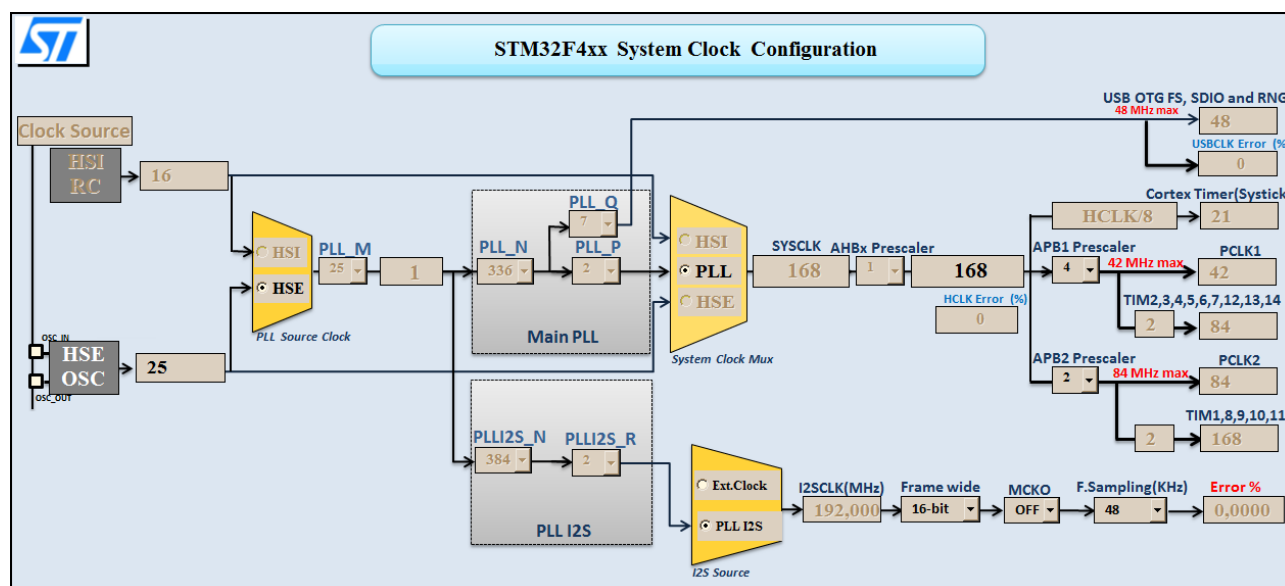
Подключение внешнего кварцевого резонатора к микропроцессору показано на следующем рисунке.



Один из выводов XTAL1, XTAL2 является входом, другой — выходом логической схемы.

Тактовая частота ядра, частоты работы внутренних шин и отдельных модулей формируются из первичных частот посредством фазовой автоподстройки частоты (ФАПЧ) и делителей частоты. Частоты могут гибко настраиваться, в том числе в процессе работы устройства, исходя из требований скорости работы и энергопотребления.

Ниже приведена мнемоническая схема модуля синхронизации процессоров семейства STM32F4xx (этот микропроцессор будет подробно рассматриваться во второй части дисциплины).



Приведенная иллюстрация — скриншот среды конфигурирования системы тактирования.

Пояснения по конкретным настройкам.

Кварцевый резонатор работает на частоте 25 МГц, на схеме соответствующие ему цепи обозначены как **HSE**. Далее делитель частоты **PLL_M** делит эту частоту в 25 раз (возможный диапазон коэффициентов 2...63), формируя опорную частоту 1 МГц, с которой далее будет производиться сравнение.

В первом модуле ФАПЧ, обозначенном **Main PLL**, имеется генератор, работающий на частоте 336 МГц, делитель **PLL_N** делит данную частоту в 336 раз (возможный диапазон коэффициентов 50...432). Таким образом, получается подстраиваемая частота 1 МГц. Системная частота, на которой работает вычислительное ядро, **SYSCLK** = 168 МГц, эта частота посредством делителя **PLL_P** получается делением частоты генератора 336 МГц на 2 (возможно деление на 2, 4, 6, 8). Делитель **PLL_Q** осуществляет деление частоты 336 МГц в 7 раз (возможно деление на 2...15), в результате формируется тактовая частота 48 МГц для работы интерфейсного модуля USB.

Во втором модуле ФАПЧ, обозначенном **PLL I2S**, синтезируется тактовая частота 192 МГц для звукового интерфейса — для этой цели задействованы два делителя: **PLLI2S_N** с коэффициентом 384 и **PLLI2S_R** с коэффициентом 2.

Системная частота **SYSCLK** (168 МГц) дополнительно может быть уменьшена в 2, 4,

8, 16 раз (делителями [APB1 Prescaler](#), [APB2 Prescaler](#)) для обслуживания других модулей микропроцессорной системы.

Недостатком любой системы ФАПЧ является повышенный уровень джиттера ("дрожания") фронтов тактовых импульсов.

