



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

«МИРЭА – Российский технологический университет»

РТУ МИРЭА

ЛЕКЦИОННЫЕ МАТЕРИАЛЫ

по дисциплине

Цифровые устройства и микропроцессоры

Часть 1 (5 семестр)

Лекция 7

Основные темы лекции

Триггеры

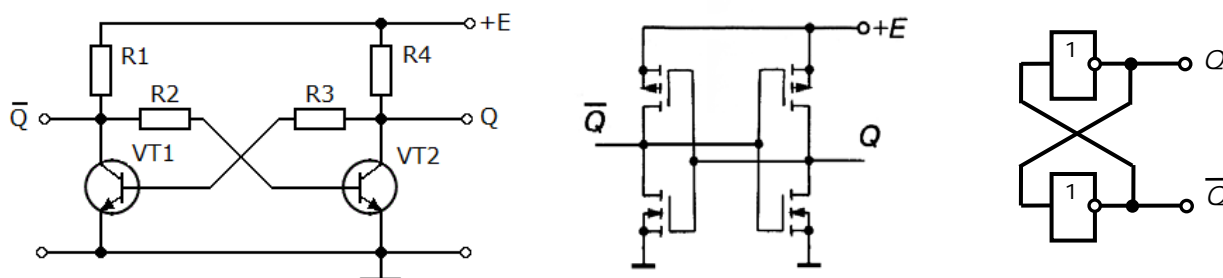
Триггеры

Относятся к устройствам последовательностной логики.

Особенностью последовательностных устройств является зависимость выходных сигналов не только от текущего состояния входов, но и от состояния в предыдущие моменты времени, т.е. в них присутствует эффект памяти.

Триггер — устройство с двумя устойчивыми состояниями, предназначенное для ввода (записи), хранения и вывода одного двоичного разряда (бита). Триггер может бесконечно долго хранить свое состояние и менять его под воздействием управляющих сигналов, при этом необходимо наличие питания. Подобную память называют *оперативной*, а с учетом высокого быстродействия операций ввода-вывода — *сверхоперативной*.

В основе построения триггеров лежит бистабильная ячейка — два инвертора, охваченные положительной обратной связью (с выхода на вход). Простейшие схемы такой ячейки на биполярных, КМОП транзисторах и логических элементах:

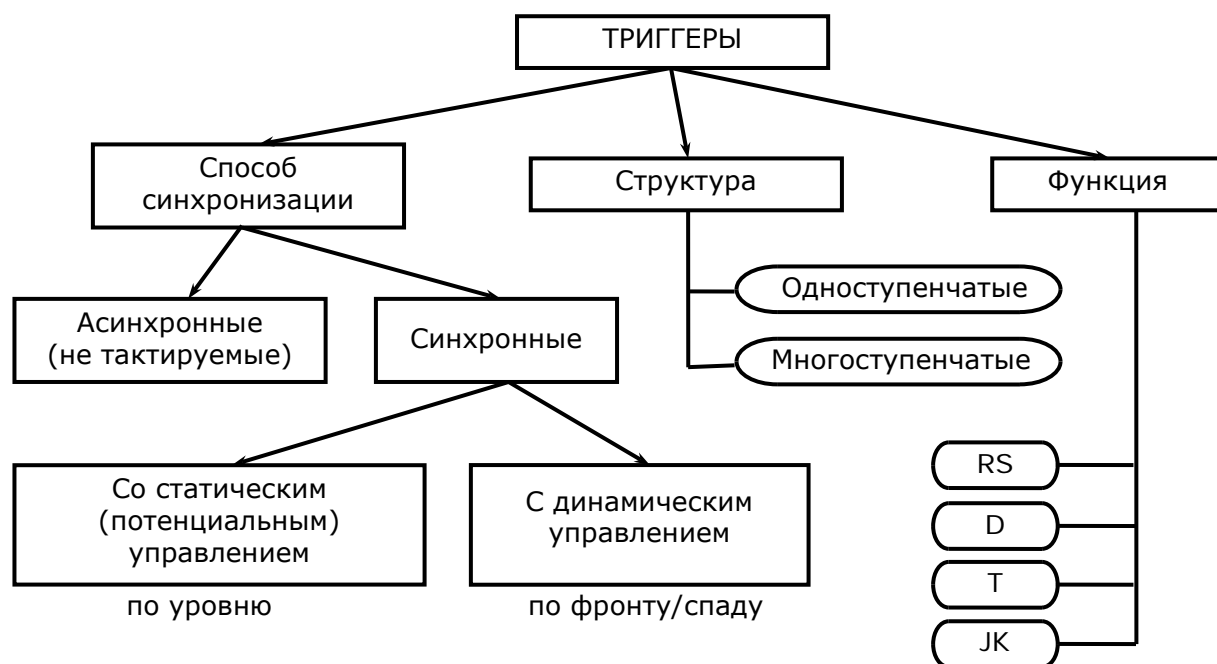


Краткое описание принципа работы схемы на биполярных транзисторах. Если, например, VT1 отказывается закрытым, то ток через R1 идет не через VT1, а через R2 и базу VT2, открывая последний, ток через R4 уходит на землю, напряжение на коллекторе VT2 низкое, ток через R3 и базу VT1 не протекает, чем и поддерживается закрытое состояние VT1. В момент подачи питания оба транзистора начинают приоткрываться, из-за небольшого различия параметров и наличия электрических флуктуаций у какого-то это происходит в большей степени, и именно он, открываясь, уменьшает управляющий ток для другого, закрывая последний. В этот первый момент схема практически скачком переходит в одно из устойчивых состояний (как правило, случайное).

Далее задача заключается в способе изменения состояния (записи нового состояния). В схемах на транзисторах предлагается данную задачу решить **самостоятельно**.

Примечание. Устройство в принципе может иметь любое число устойчивых состояний, в частности, имеются так называемые троичные, четверичные и т.д. триггеры. Фактически это элемент памяти для унитарного кода. В учебном курсе данный аспект не рассматривается, но может являться темой задач по синтезу подобных устройств.

Классификация триггеров



Обозначение входа синхронизации

	— Прямой статический вход
	— Инверсный статический вход
	— Прямой динамический вход
	— Инверсный динамический вход

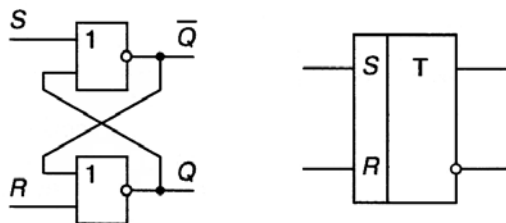
Активное действие

	(по уровню 1)
	(по уровню 0)
	(по положит. фронту)
	(по отрицат. фронту)

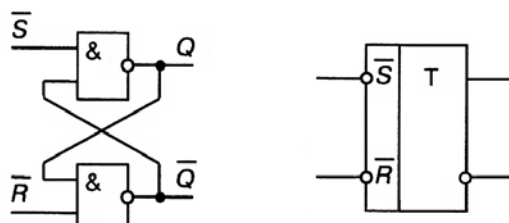
Асинхронный RS-триггер

RS-триггер имеет два входных управляющих сигнала: **Reset** (сброс в состояние 0), **Set** (установка в состояние 1).

На элементах ИЛИ-НЕ



На элементах И-НЕ



Таблицы состояний (переключений, переходов)

R	S	Q_n	Режим
0	0	Q_{n-1}	Хранение
0	1	1	Установка в 1
1	0	0	Сброс в 0
1	1	—	Запрещ. состояние

\bar{R}	\bar{S}	Q_n	Режим
1	1	Q_{n-1}	Хранение
1	0	1	Установка в 1
0	1	0	Сброс в 0
0	0	—	Запрещ. состояние

Логические функции

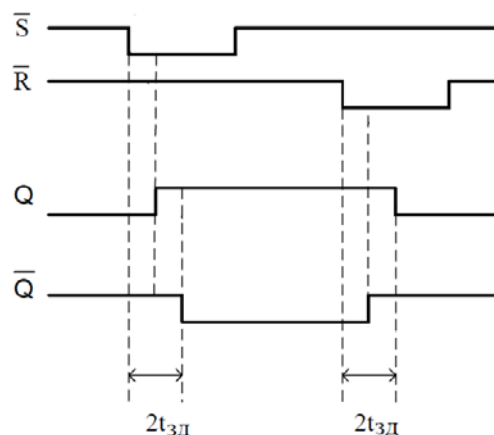
$$Q_n = S \vee \bar{R} Q_{n-1}$$

$$Q_n = \bar{S} \vee R Q_{n-1}$$

Примечание. Для триггеров и других последовательных устройств понятие таблицы истинности является некорректным, вместо нее используют таблицы состояний/переключений/переходов. Индексами $n-1$ (или n) обычно обозначают состояние триггера до подачи управляющих сигналов, индексами n (или $n+1$) — после. Тем не менее таблицу состояний можно использовать для записи логических выражений в конъюнктивной и дизъюнктивной формах, а в дальнейшем проводить минимизацию логических функций по законам алгебры логики.

Триггер на элементах ИЛИ-НЕ имеет прямые управляющие входы R, S, на элементах И-НЕ — инверсные. Сами по себе запрещенные комбинации не ведут к необратимым нарушениям работоспособности, но логическое состояние после снятия такой комбинации будет непредсказуемым.

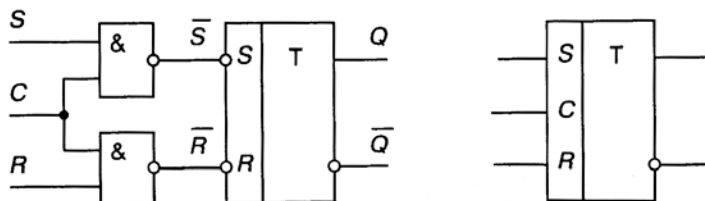
Временная диаграмма переключений устройства на И-НЕ (для ИЛИ-НЕ предлагается построить **самостоятельно**):



Синхронный RS-триггер

Триггер имеет дополнительный вход С, при наличии на котором активного уровня происходит изменение состояния, задаваемого сигналами R, S.

Одноступенчатый синхронный RS-триггер



При $C = 0$ независимо от уровней на R, S — режим хранения.

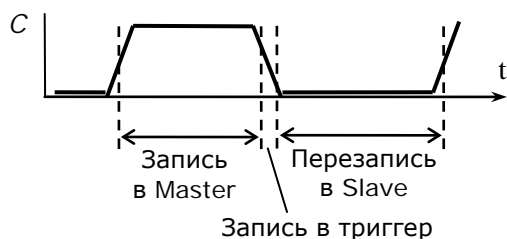
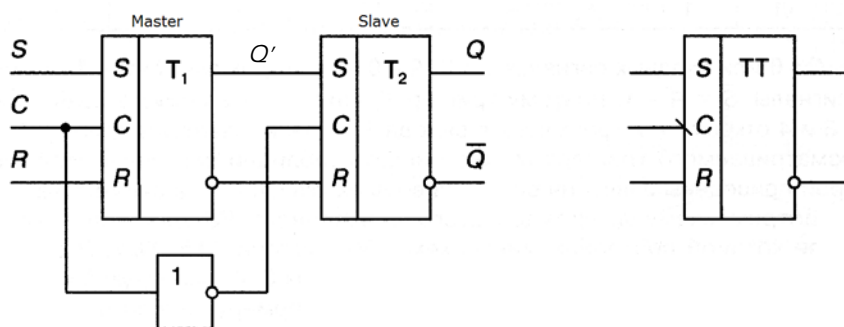
При $C = 1$ работает как асинхронный, реагируя на все разрешенные комбинации R, S.

Логическая функция: $Q_n = \bar{C} Q_{n-1} \vee C (S \vee Q_{n-1} \bar{R})$

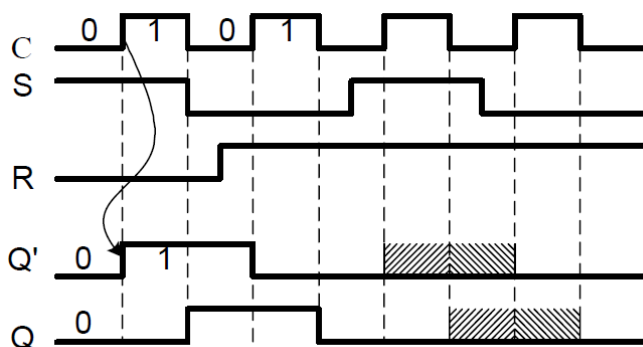
Таблицу состояний предлагается привести **самостоятельно**.

Двухступенчатый синхронный RS-триггер или MS-триггер

(Master-Slave — ведущий-ведомый / мастер-помощник / главный-подчиненный)



Пример временной диаграммы

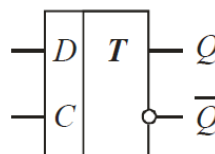
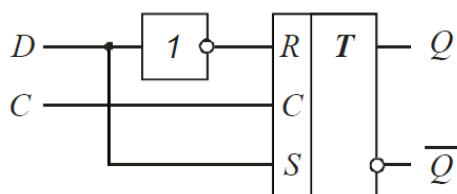


■ — неопределенное состояние

Ступени работают поочередно, отсутствует прямая связь между входом и выходом, триггер устойчив при введении обратной связи. Задание на **самостоятельную** работу: построить диаграммы с учетом временных задержек.

D-триггер с потенциальным (статическим) управлением

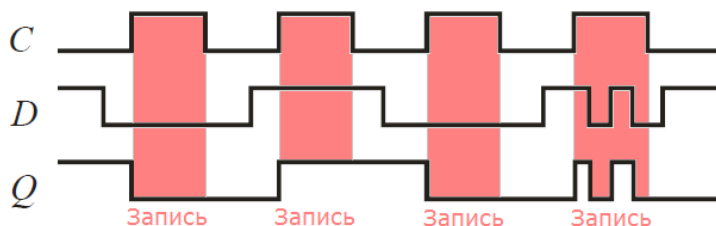
D-триггер устраняет недостаток RS-триггеров — наличие запрещенной комбинации.



Логическая функция:

$$Q_n = \bar{C} Q_{n-1} \vee CD$$

Временные диаграммы:



Недостаток всех триггеров со статическим управлением: пока тактовый импульс C имеет активный уровень, выходной сигнал изменяется одновременно с информационным (устройство в таком режиме иногда называют «прозрачным», а также используют термин «триггер-защелка»).

D-триггер с динамическим управлением

В триггерах с динамическим управлением запись информации происходит в момент перепада (фронта или среза) синхронизирующего импульса, т.е. в очень короткий промежуток времени. В остальное время допускаются любые изменения информации, на которые триггер не реагирует.

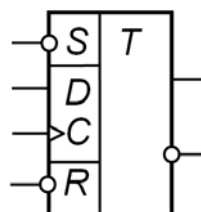
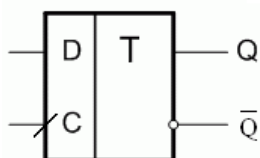
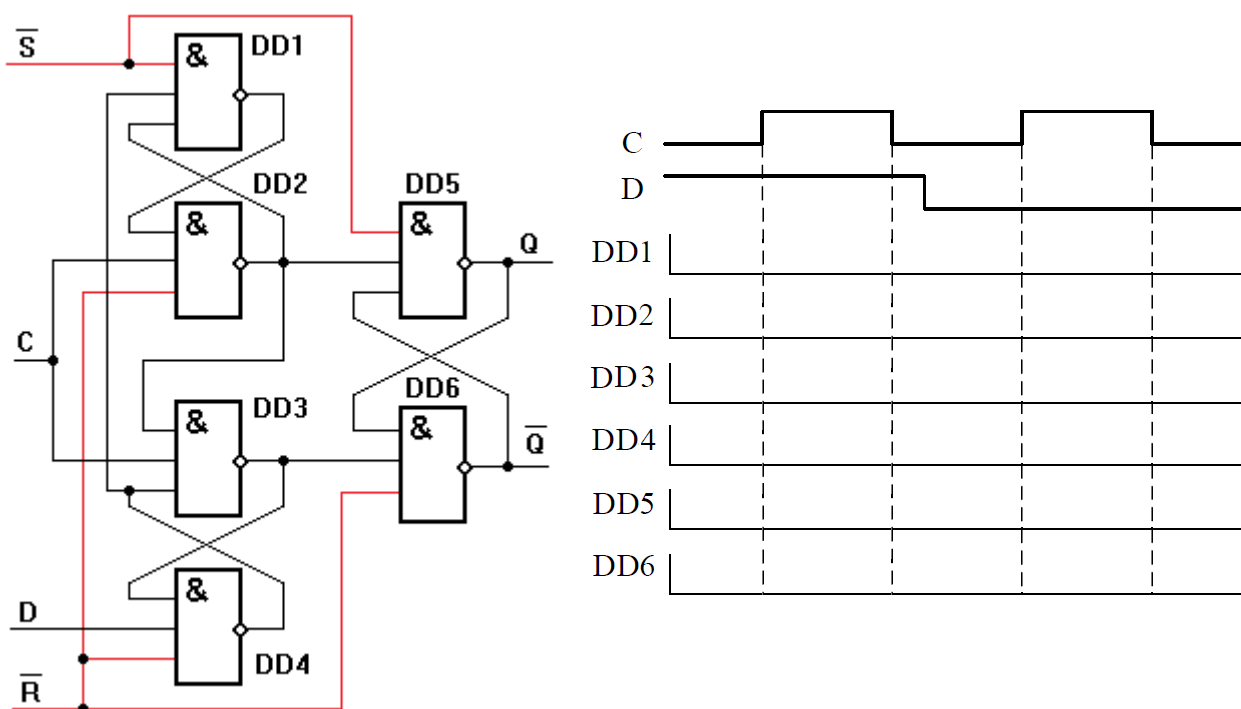


Таблица переключений

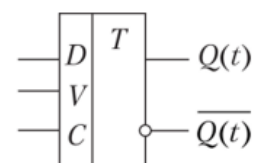
\bar{R}	\bar{S}	C	D	Q_n	\bar{Q}_n	Режим
0	1	x	x	0		Асинхронный сброс в 0
1	0	x	x	1		Асинхронная установка в 1
1	1	\downarrow	0	0		Запись 0 (синхронный сброс в 0)
1	1	\uparrow	1	1		Запись 1 (синхронная установка в 1)
1	1	0	x	Q_{n-1}		Хранение
1	1	1	x	Q_{n-1}		Хранение

Асинхронные сигналы R,S имеют высокий приоритет

Внутренняя схема D-триггера на логических элементах и диаграмма работы (закончить временную диаграмму предлагается **самостоятельно**):



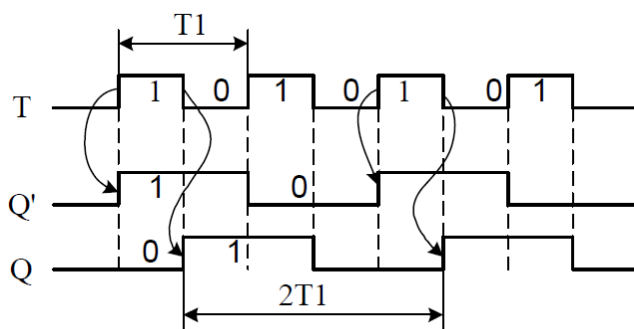
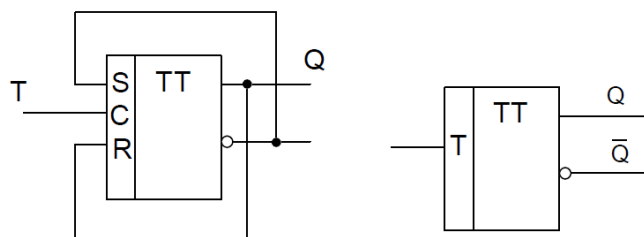
D-триггер (с любым управлением) может быть снабжен дополнительным сигналом, разрешающим действие синхросигнала. Во многих технических описаниях такой сигнал обозначают символом V , а сам триггер называют DV-триггером (или VD-триггером).



Примечание. По разным источникам название D-триггер свзывают как со словом *Data* (обычно работает с данными), так и со словом *Delay* (осуществляет задержку выходного сигнала относительно входного на время прихода синхросигнала).

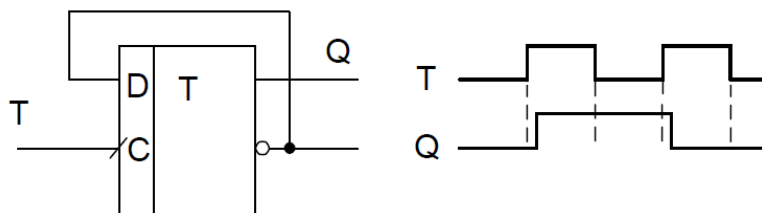
T-триггер (Toggle, счетный триггер)

Асинхронный T-триггер на основе двухступенчатого RS-триггера



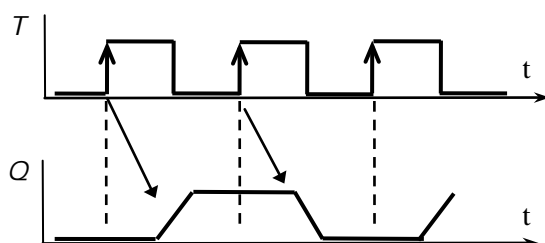
T_1 – период входного сигнала;
 Q' – сигнал между ступенями
 (см. схему двухступенчатого RS-триггера ранее)

Асинхронный Т-триггер на основе D-триггера

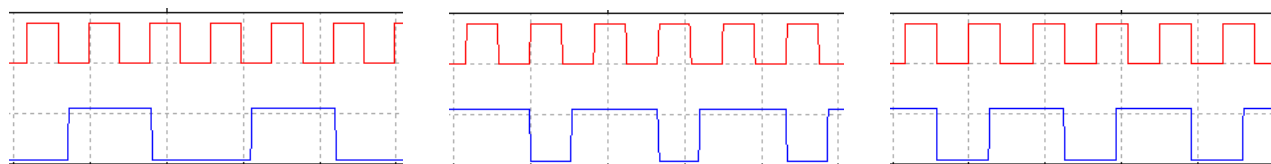


Следует обратить внимание, что небольшая задержка выходного фронта/спада относительно входного воздействия принципиально необходима, так как изменившийся выходной уровень снова передается на информационный вход D-триггера и должен вызвать переключение триггера только на следующем такте.

Т-триггер делит частоту на 2, формируя на выходе, как правило, симметричный импульсный сигнал (со скважностью 2) независимо от скважности входного. Другое определение для Т-триггера — одноразрядный сумматор последовательного кода. На повышенной частоте выходной сигнал может иметь задержки и искаженные фронты, как показано на следующей диаграмме, что является нормальным.



Ниже даны несколько скриншотов процесса моделирования работы триггера в среде Multisim (предлагается **самостоятельно** оценить и обосновать, в каких случаях триггер работает правильно, а в каких неправильно):



В синхронный Т-триггер можно ввести сигнал, разрешающий счет. Этот вариант предлагается рассмотреть **самостоятельно**.

JK-триггер

JK-триггер обладает всеми возможностями синхронного RS-триггера, но в дополнение к нему вместо запрещенной комбинации реализован счетный режим — инверсия выходного сигнала по каждому такту, при этом вход J аналогичен S, а вход K — R.

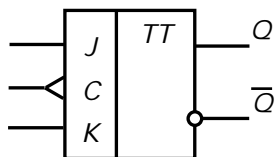
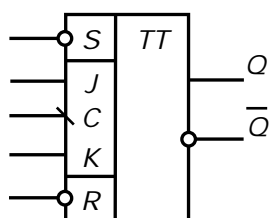


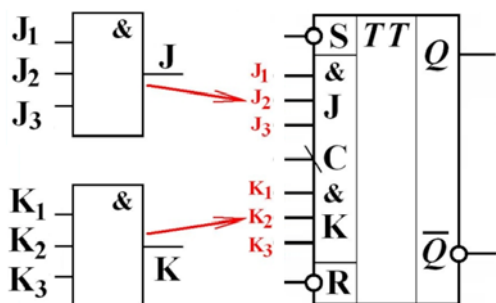
Таблица переключений

J	K	C	Q_n	\overline{Q}_n	Режим
x	x	0, 1, \neg	Q_{n-1}	\overline{Q}_{n-1}	Хранение
0	0	x	Q_{n-1}	\overline{Q}_{n-1}	Хранение
0	1	\neg	0	1	Запись 0 (синхронный сброс в 0)
1	0	\neg	1	0	Запись 1 (синхронная установка в 1)
1	1	\neg	\overline{Q}_{n-1}	Q_{n-1}	Счетный режим (инверсия)

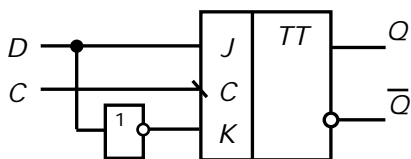


JK-триггер может содержать асинхронные установочные входы (JKRS-триггер). Входы R, S действуют также как и в рассмотренном ранее D-триггере. Предлагается **самостоятельно** добавить соответствующие строки в приведенную выше таблицу. Данная модификация подробно исследуется в лабораторном практикуме. Схема триггера, выполненная на логических элементах, приведена, например в [Новожилов, с. 224, рис. 5.10.5]. Эта схема может фигурировать в экзаменационных задачах.

Для расширения функциональности в JK-триггерах реализуют по несколько управляющих входов J, K, объединенных логической функцией И:



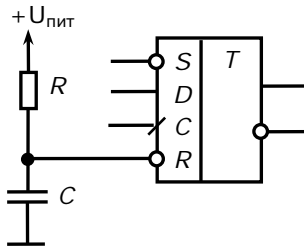
JK-триггер является наиболее универсальным среди всех типов триггеров. На его основе могут быть построены любые ранее рассмотренные типы триггеров (рекомендуется проделать это **самостоятельно**). Но такая универсальность обуславливает и определенную сложность его структуры. Пример использования JK-триггера в качестве D-триггера:



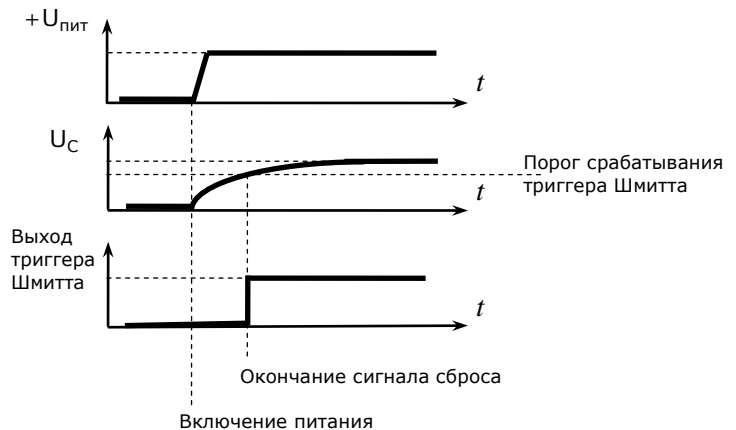
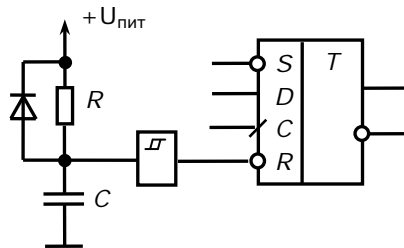
На практике при синтезе сложных схем, в частности, на базе ПЛИС, наибольшее применение находят D-триггеры с динамическим входом, дополнительными установочными и разрешающими входами, с возможностями конфигурирования полярностей всех сигналов.

Схемы начальной установки состояния триггера

Простейшая



Улучшенная



Для примера показаны схемы начальной установки триггера в состояние 0, для установки в 1 необходимо использовать вход S. В простейшей схеме на вход триггера подается сигнал с плавным фронтом, что крайне нежелательно для логических входов. В улучшенной схеме этот недостаток устраняет триггер Шмитта. Дополнительный диод способствует быстрому разряду конденсатора при выключении питания.

Стадия сброса предшествует началу работы любой вычислительной системы. Во многих модификациях микропроцессоров соответствующая схема встроена в сам процессорный кристалл. Также разработаны специализированные схемы — мониторы питания (другие названия: супервизоры, сторожевые таймеры), которые кроме первоначального сброса осуществляют текущий контроль качества питания, имеют входы для ручного сброса, отслеживают активность основного устройства. Их более подробное рассмотрение планируется во второй части курса.

