



Цифровые устройства и микропроцессоры I часть

Лекция 13

Лектор: Богаченков Алексей Николаевич

e-mail: microproc@mail.ru

Темы лекции:

Устройства с программируемой
структурой

Архитектура программируемых
логических интегральных схем (ПЛИС)

Дополнительная литература



Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия – Телеком, 2019 (2020, 2021). — 538 с. — URL: https://www.techbook.ru/book.php?id_book=1082.

Максфилд, К. Проектирование на ПЛИС. Курс молодого бойца : учебное пособие / К. Максфилд. — М.: ДМК Пресс, 2010. — 407 с. — URL: <https://e.lanbook.com/book/60987> — Режим доступа: для авториз. пользователей.

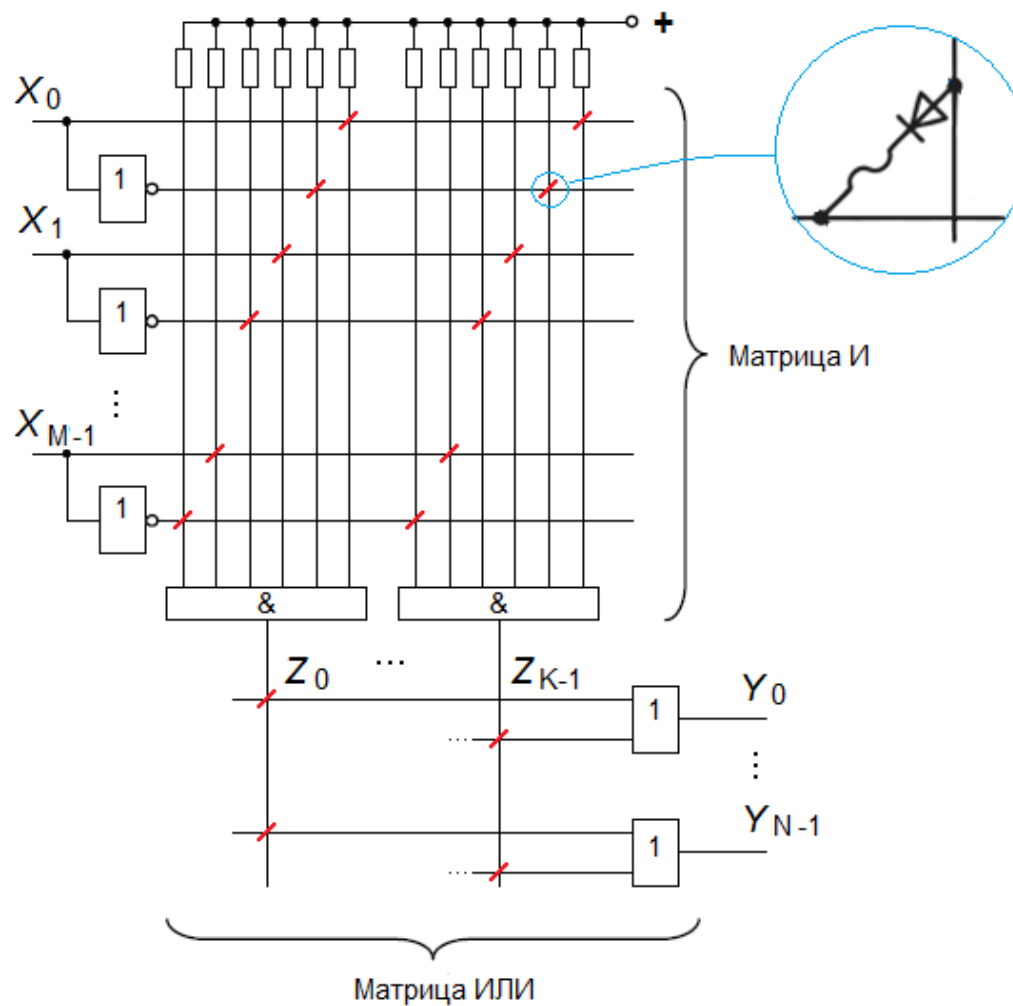
Ушенина, И. В. Проектирование цифровых устройств на ПЛИС : учебное пособие. / И. В. Ушенина. — СПб.: Лань, 2019. — 408 с. — URL: <https://e.lanbook.com/book/119638> — Режим доступа: для авториз. пользователей.

VHDL: Справочное пособие по основам языка : учебное пособие / В. П. Бабак, А. Г. Корченко, Н. П. Тимошенко, С. Ф. Филоненко. — М.: ДМК Пресс, 2010. — 217 с. — URL: <https://e.lanbook.com/book/60992>. — Режим доступа: для авториз. пользователей.

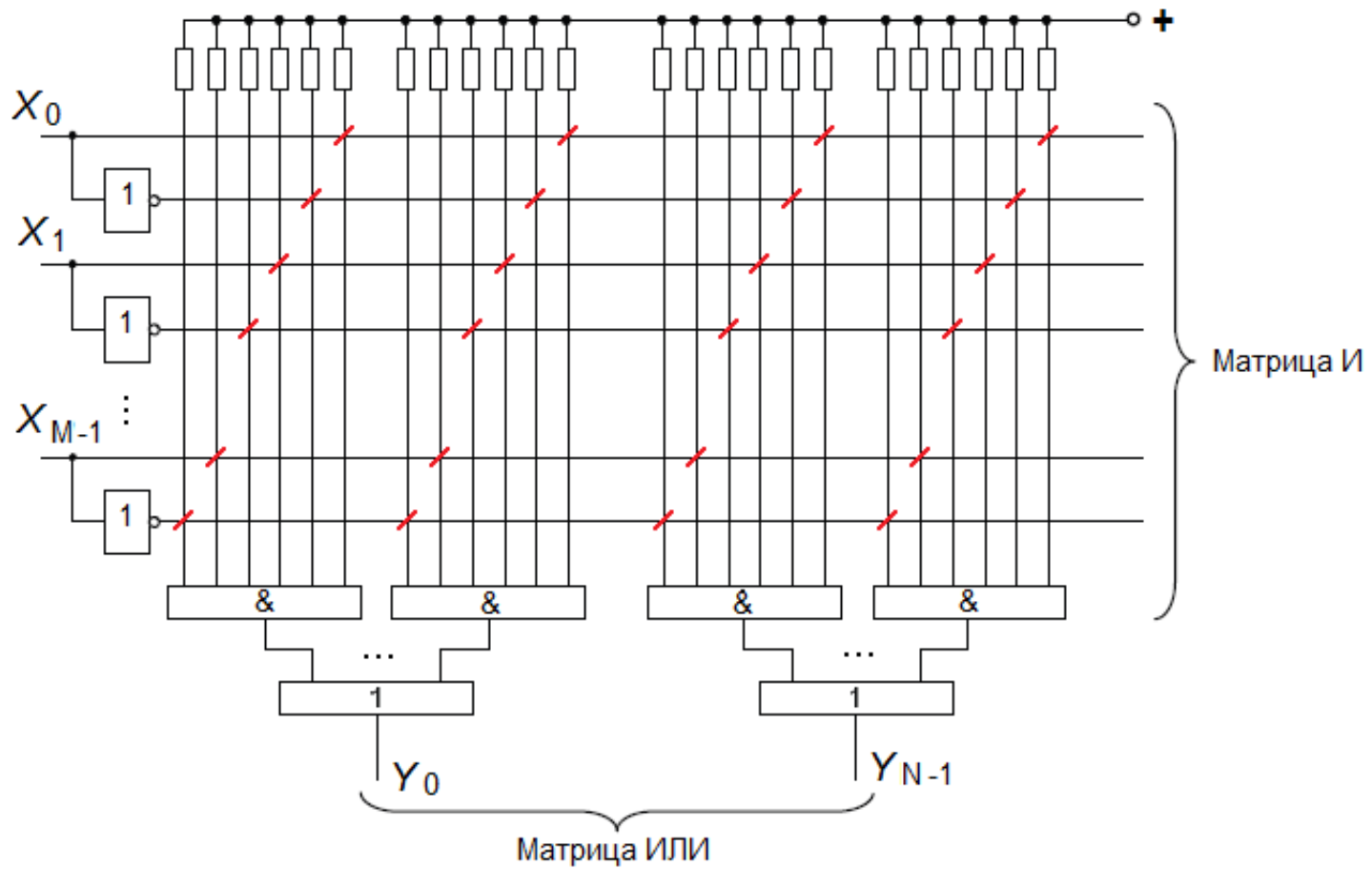
Типы программируемых логических устройств

ПЗУ ROM	Постоянные запоминающие устройства Read Only Memory	 ПЛИС
ПЛМ PLA PLM	Программируемые логические матрицы Programmable Logic Array Programmable Logic Matrix	
ПМЛ PAL	Программируемая матричная логика Programmable Array Logic	
БМК GA	Базовые матричные кристаллы Gate Array	
CPLD	Сложные программируемые логические устройства Complex Programmable Logic Devices	 ПЛИС — Программируемые логические интегральные схемы
FPGA	Программируемые пользователем вентильные матрицы Field Programmable Gate Arrays	
SoC	Системы на кристалле System-on-Chip	

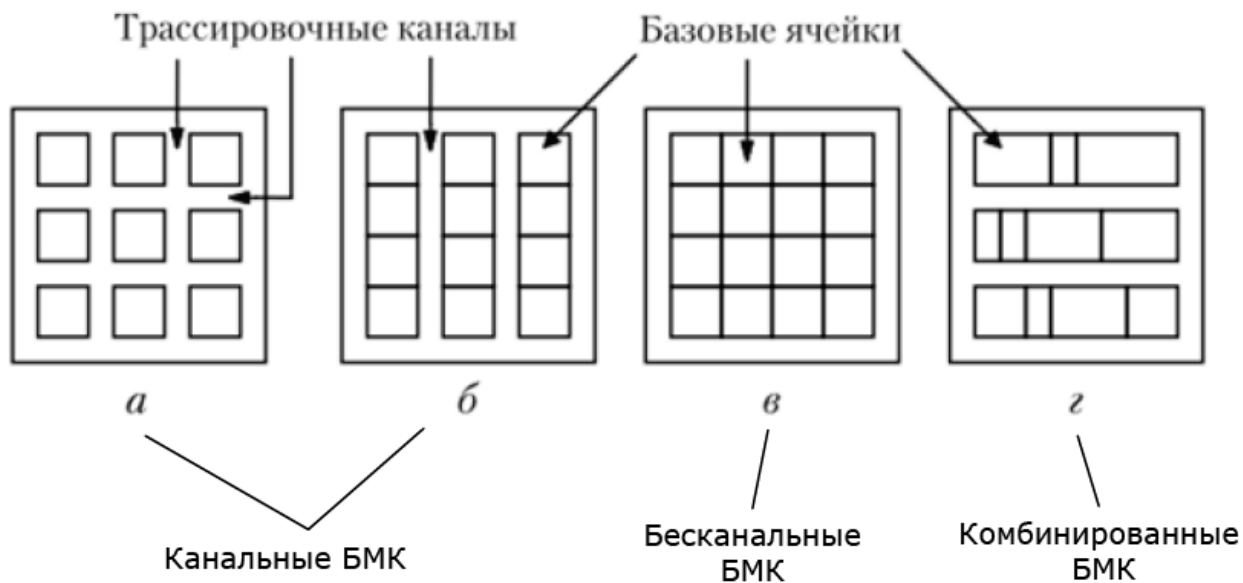
Программируемые логические матрицы (ПЛМ)



Программируемая матричная логика (ПМЛ)



Базовые матричные кристаллы (БМК)

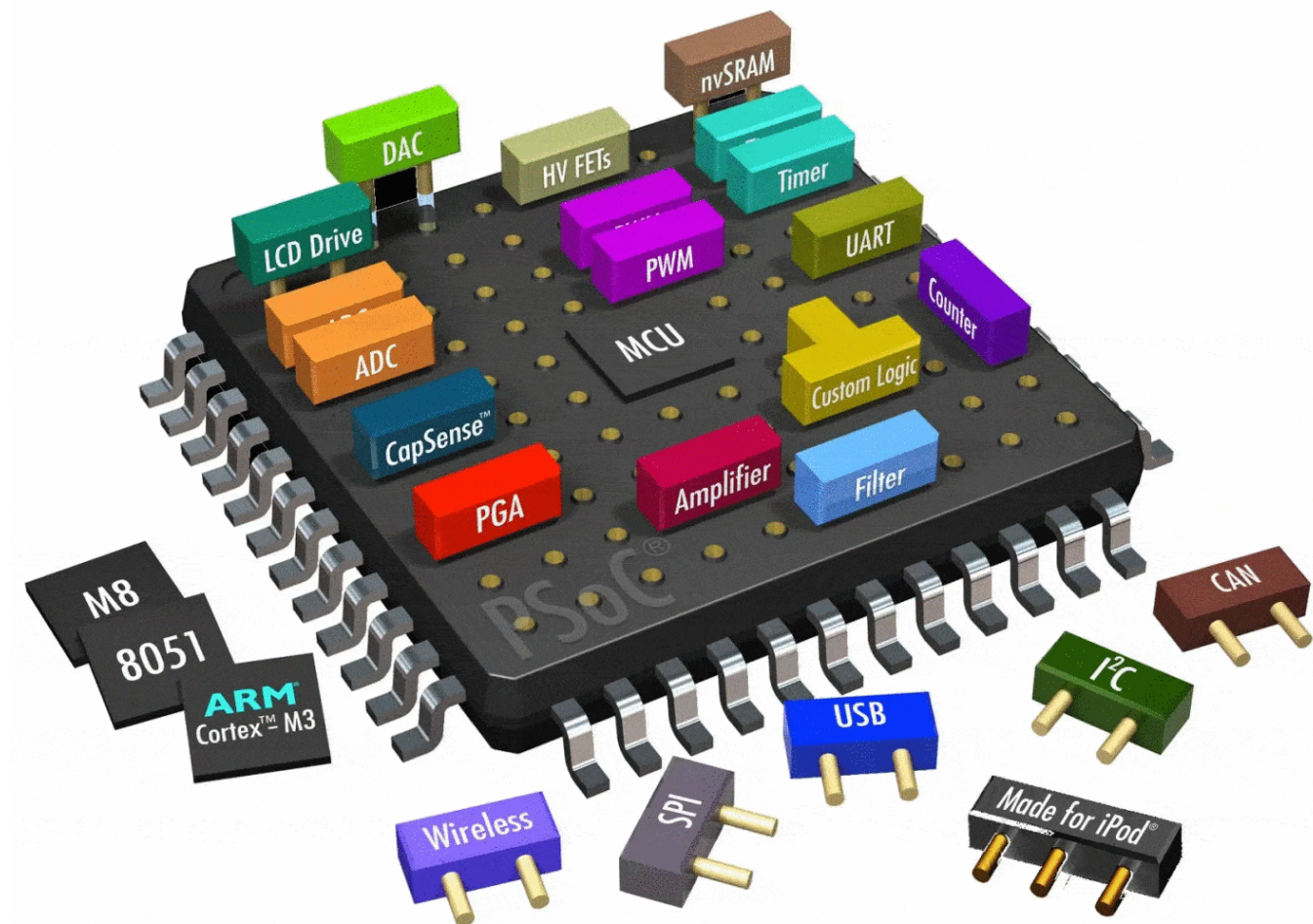


Подробнее см. [Новожилов, с. 343–349]

Программируемые логические интегральные схемы (ПЛИС)

CPLD	FPGA
Низкая стоимость	Высокая стоимость
Содержит относительно небольшое число логических вентилях (до десятков тысяч)	Большое число логических вентилях (до нескольких миллионов)
Логические ячейки типа ПЛМ, малое количество триггеров	Быстродействующие вентилях типа Look-up-Tables, большое количество триггеров
Встроенная загрузочная энергонезависимая память	Внутренняя статическая память, загружаемая из внешнего ПЗУ (имеются также модификации с flash-памятью)
Конфигурация неизменна в процессе работы.	Возможность изменения конфигурации в процессе работы
Отсутствие специальных блоков	В составе: распределенная и блочная память, блоки синхронизации, высокоскоростные интерфейсы, блоки цифровой обработки сигналов, процессоры и др.
Используется для проектов малой и средней степени сложности, продукции класса low-end	Используются для сложных проектов, продукции класса high-end

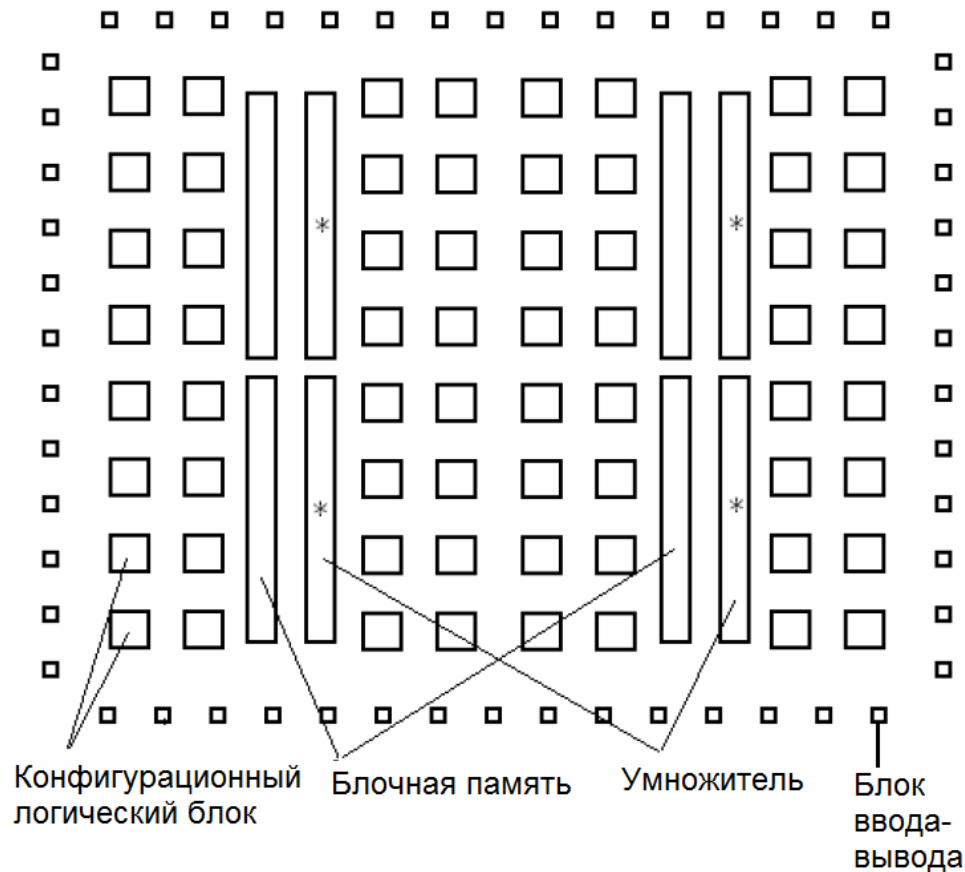
Системы на кристалле (SoC)



Подробнее см. [Новожилов, с. 375–380]

Организация ПЛИС с архитектурой FPGA

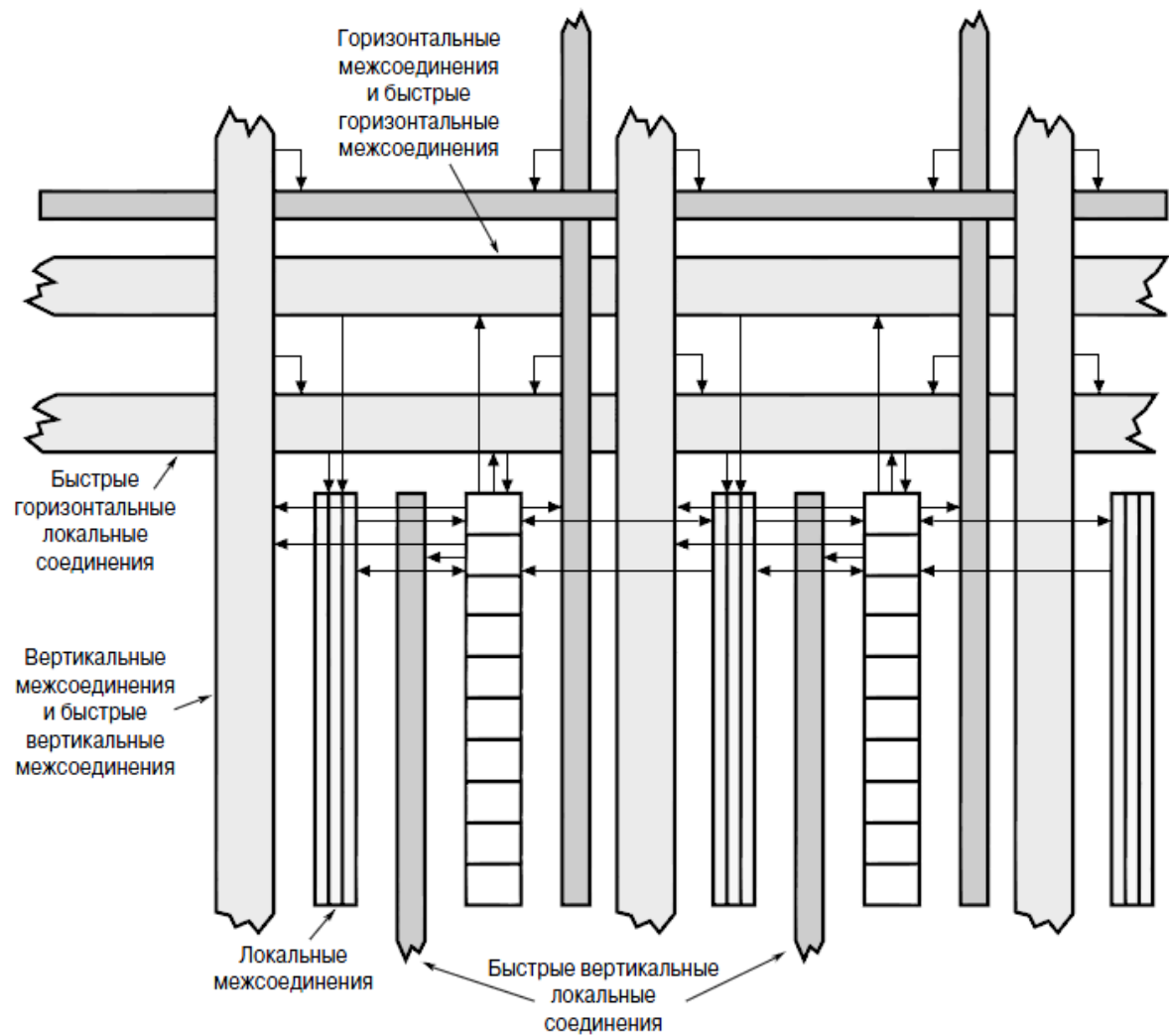
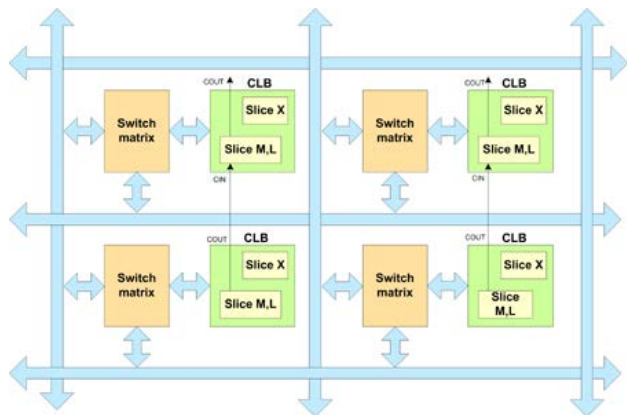
Основа ПЛИС — программируемые логические блоки (элементы), окруженные программируемые внутренними соединениями.



Подробнее см. [Тарасов, с. 26–32]

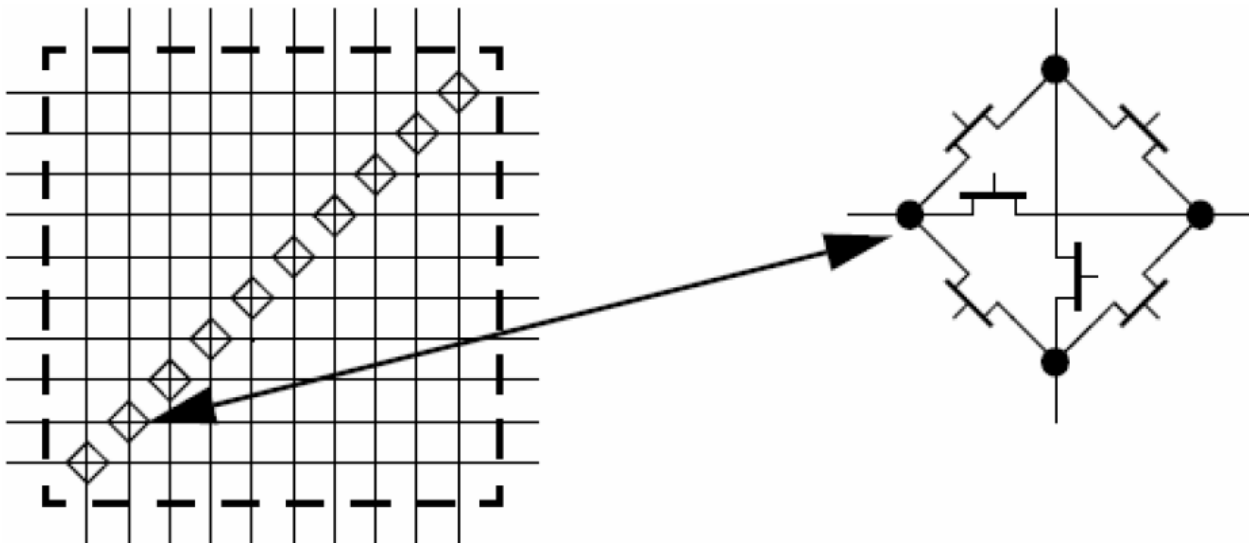
Организация связей

Соединения: локальные, глобальные



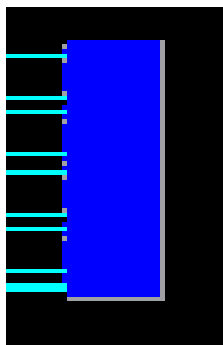
Подробнее см. [Тарасов, с. 26–32]

Организация связей – коммутация

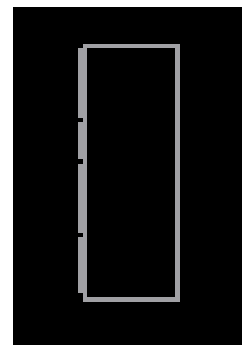


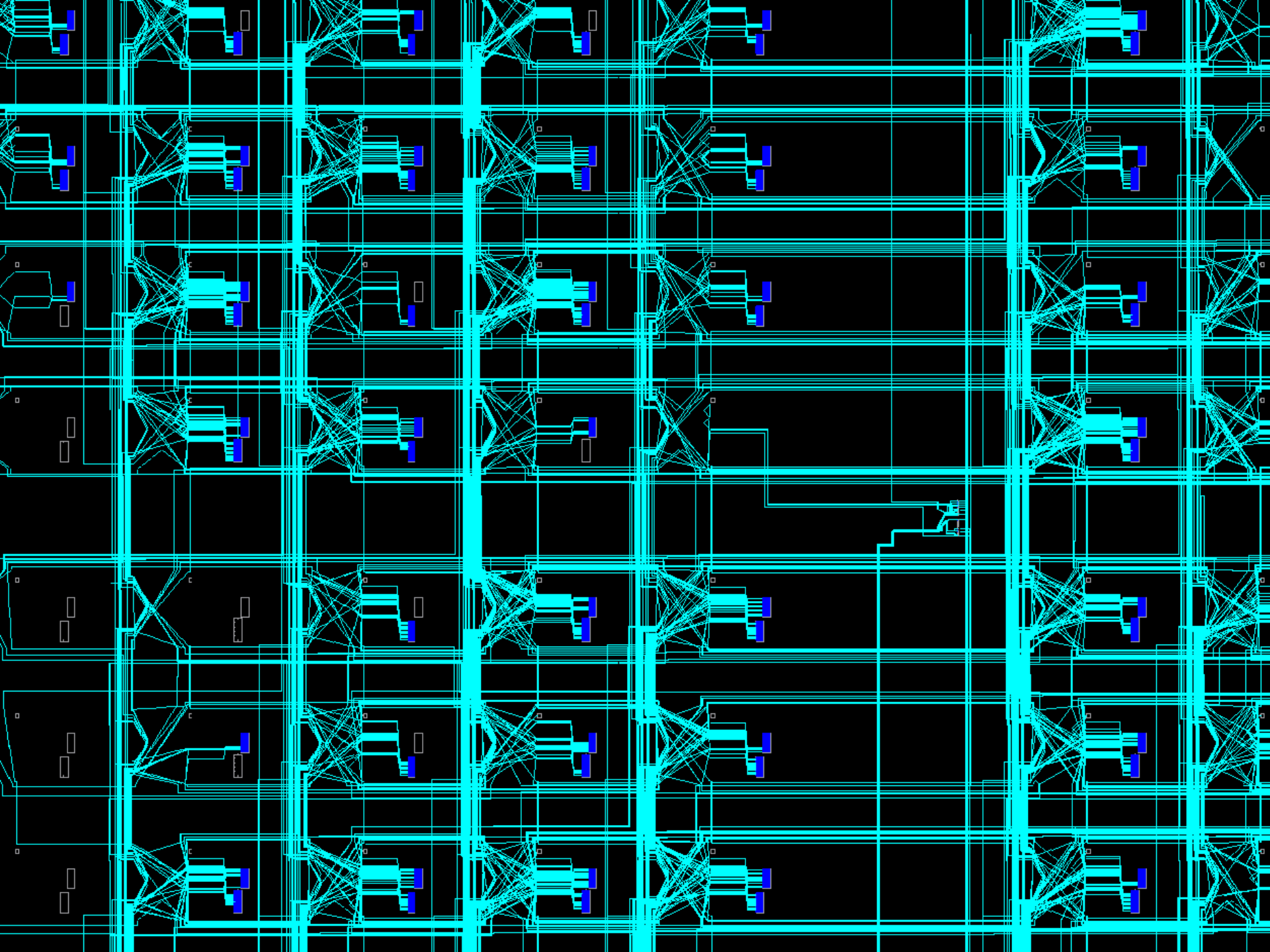
На следующих 3 слайдах:
фрагменты топологии кристалла ПЛИС в разном масштабе
(скриншоты среды разработки)

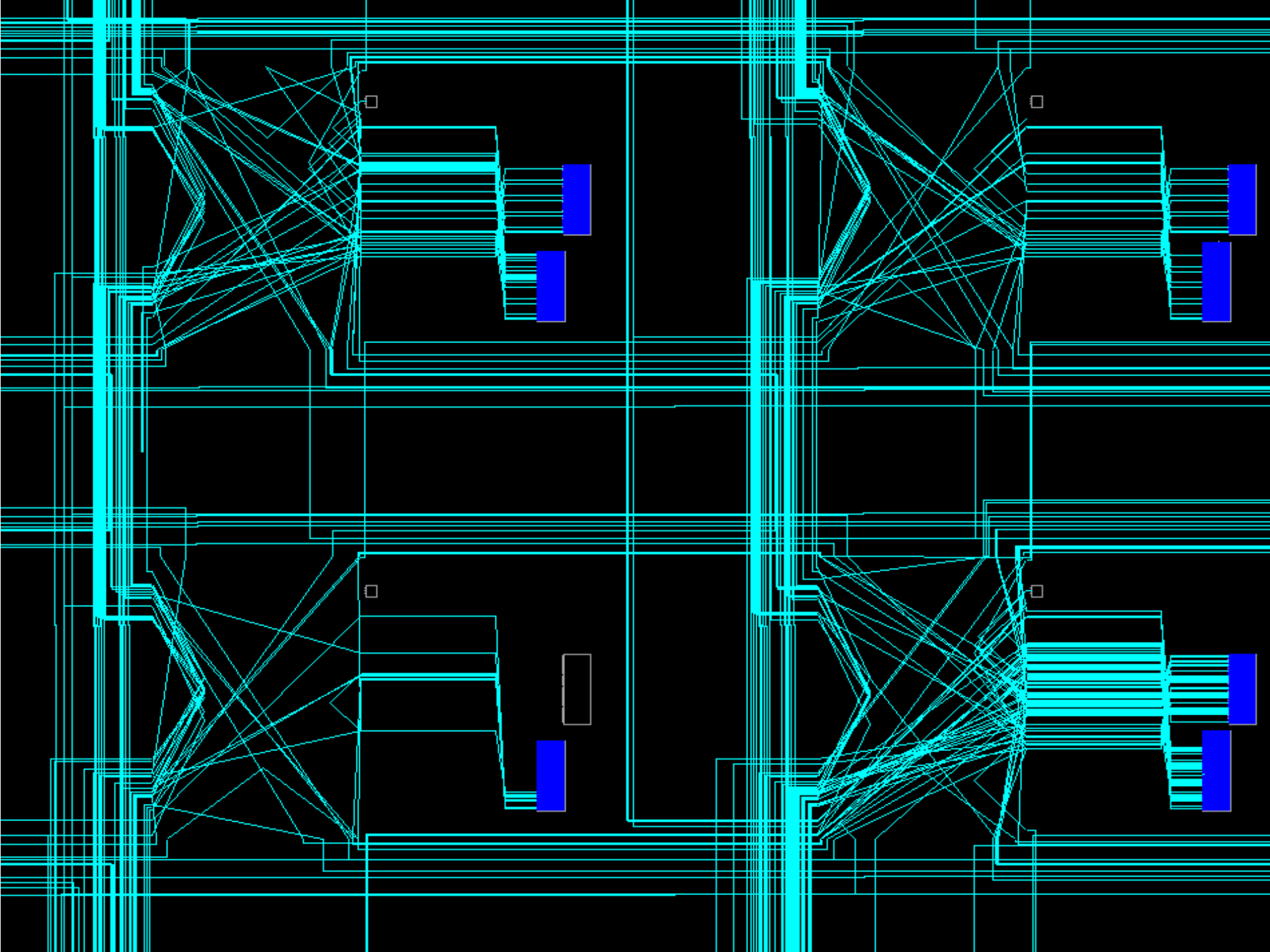
Рабочий логический блок
со связями

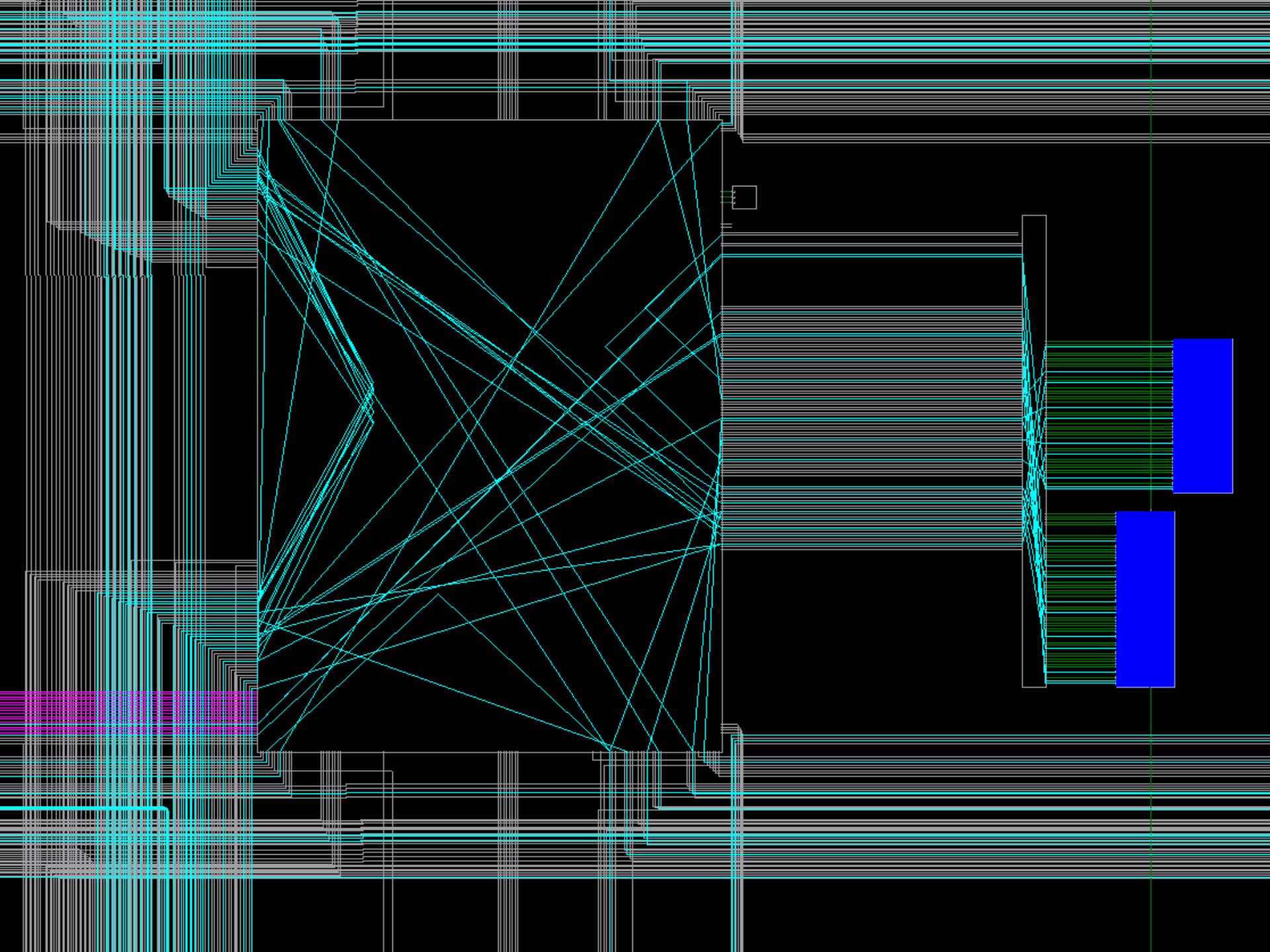


Неиспользуемый
логический блок

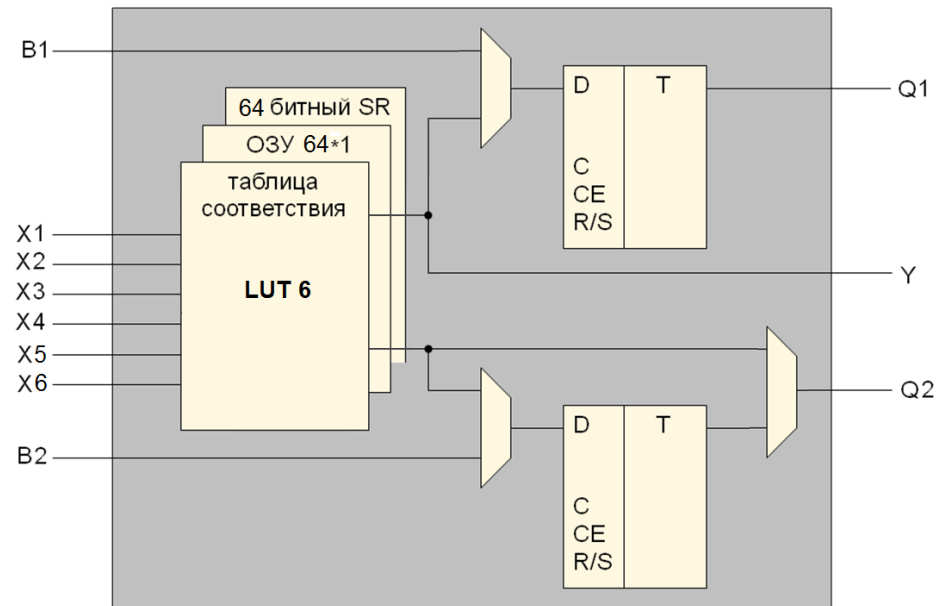
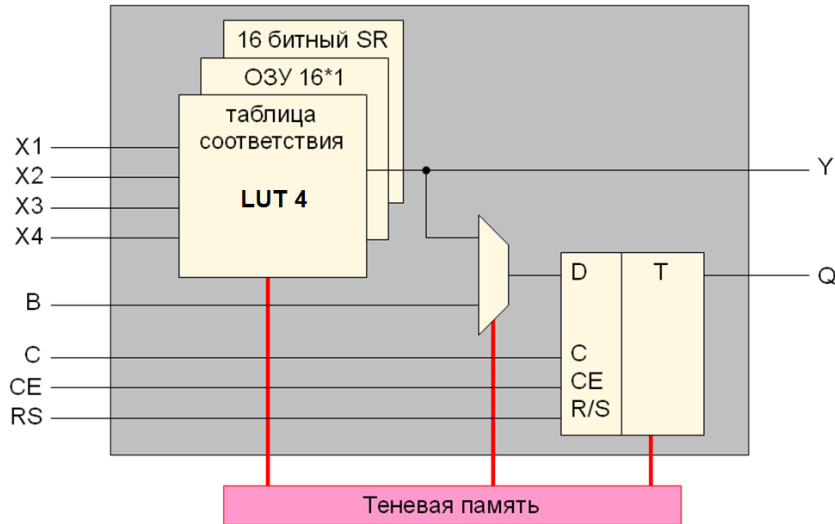








Структура логической ячейки



LUT (Look-Up Table) – таблица перекодировки (другие термины: генератор логических функций, таблица соответствия, таблица преобразования, таблица истинности, ПЗУ и др.), имеет 4 или 6 входов.

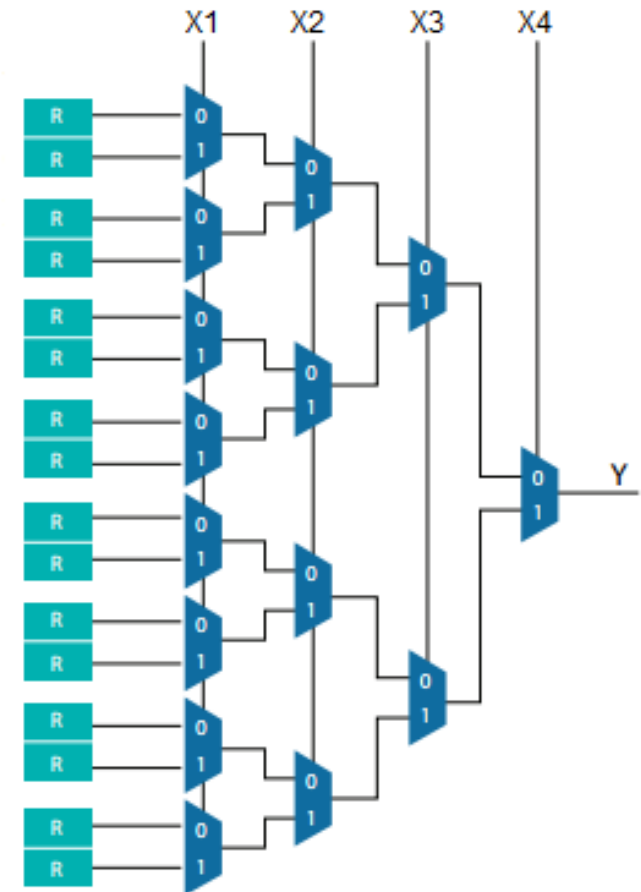
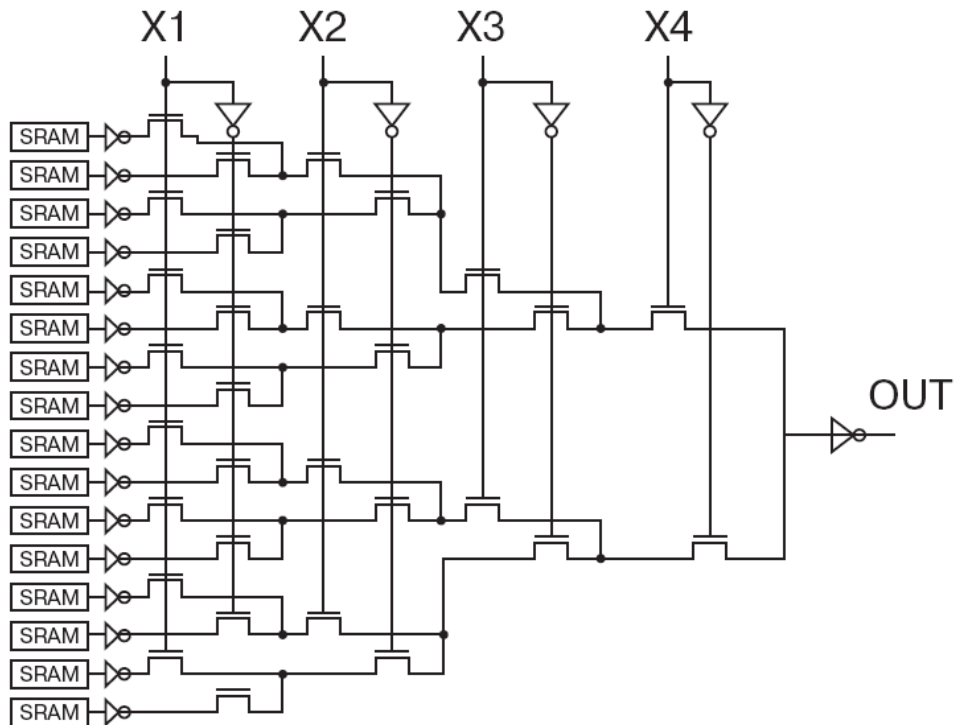
Может использоваться как:

- универсальный логический элемент;
- сдвиговый регистр;
- память 16 x 1 (для 4-входовой LUT) или 64 x 1 (для 6-входовой LUT)

Подробнее см. [Тарасов, с. 43–50]

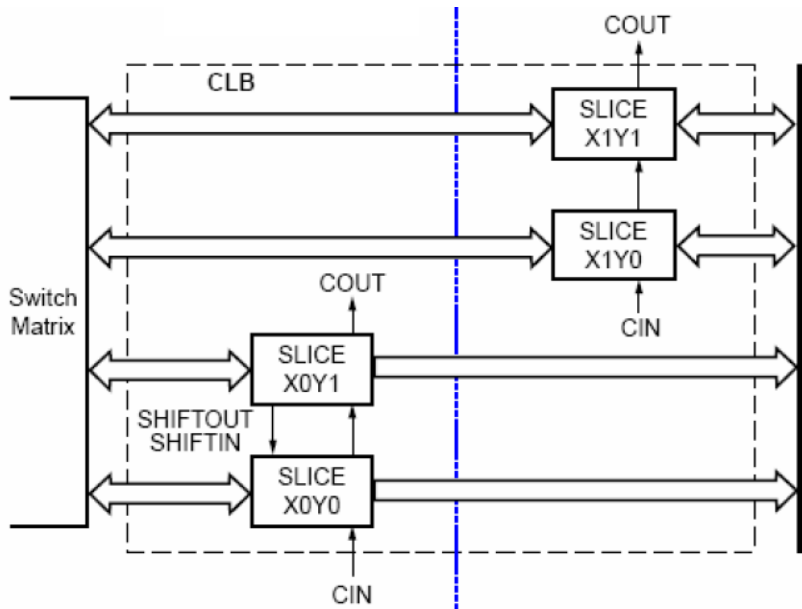
Структура логической ячейки

Схема 4-входовой LUT

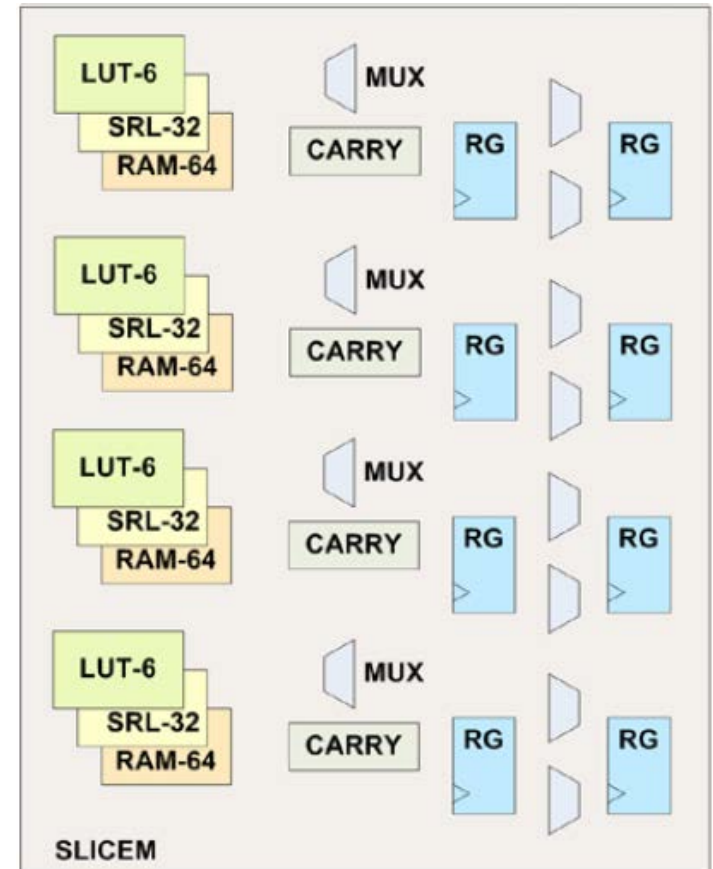


Организация секций конфигурируемого логического блока (CLB)

В простых устройствах



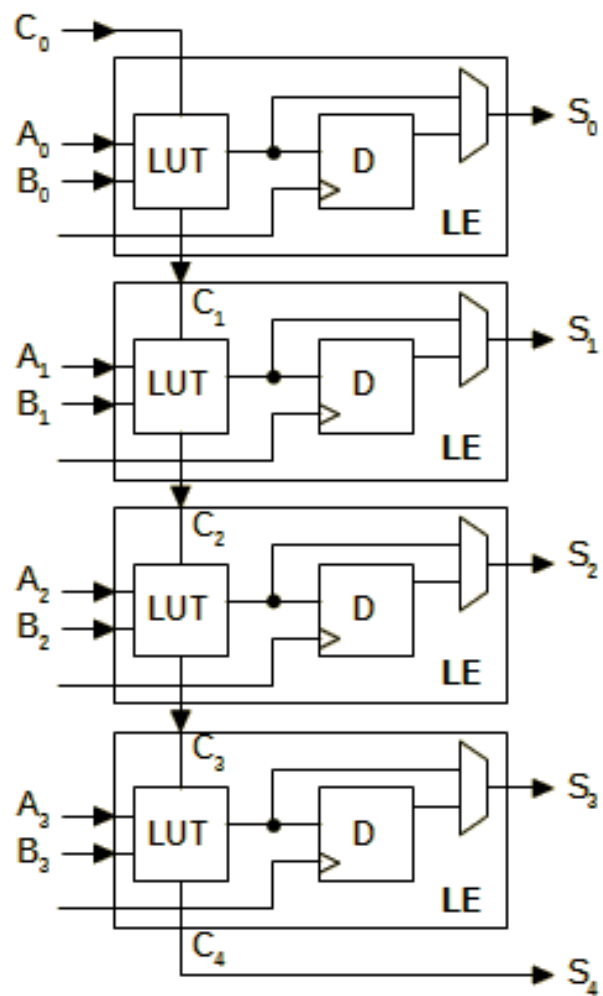
В сложных устройствах



Подробнее см. [Тарасов, с. 43–50]

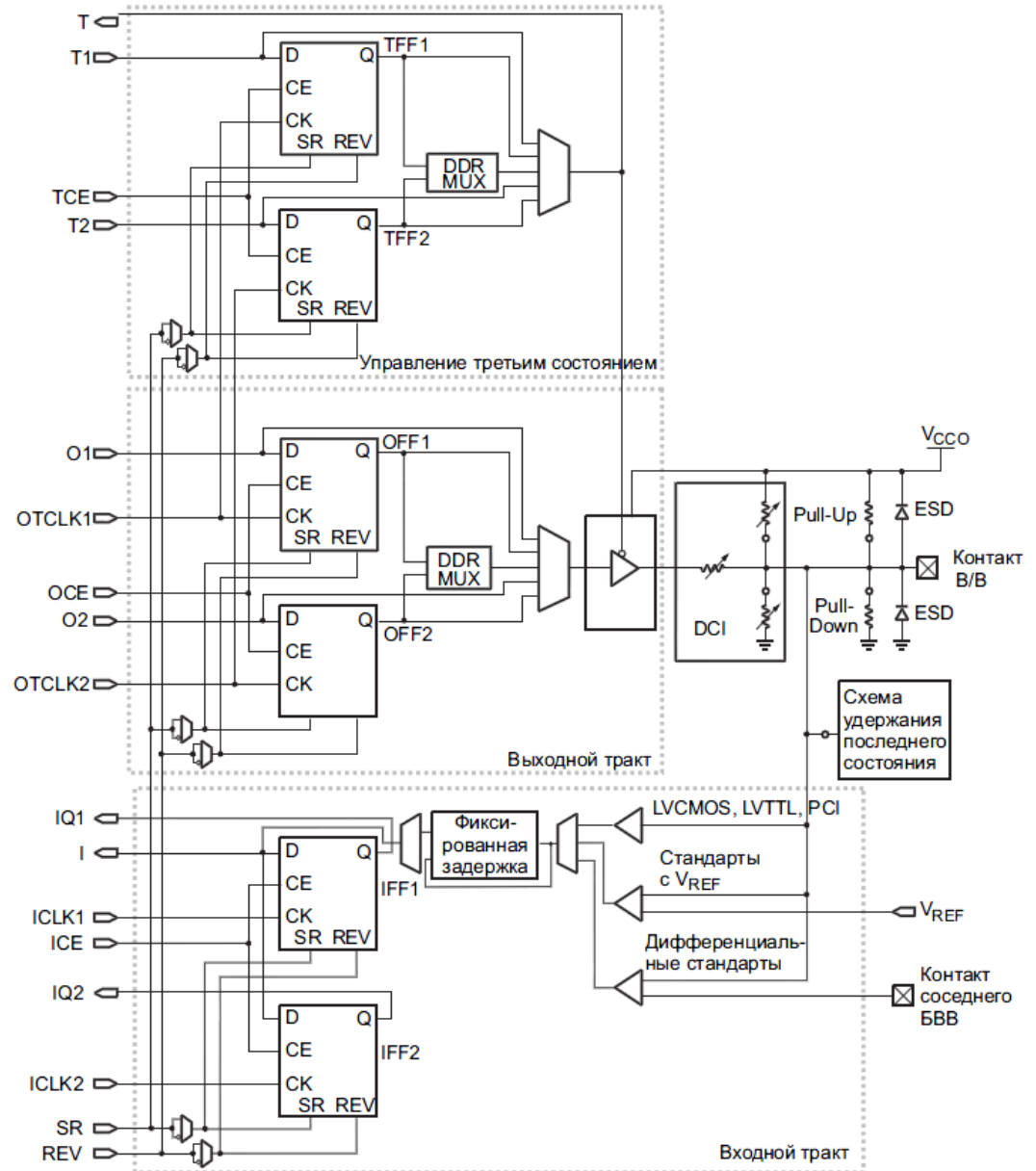
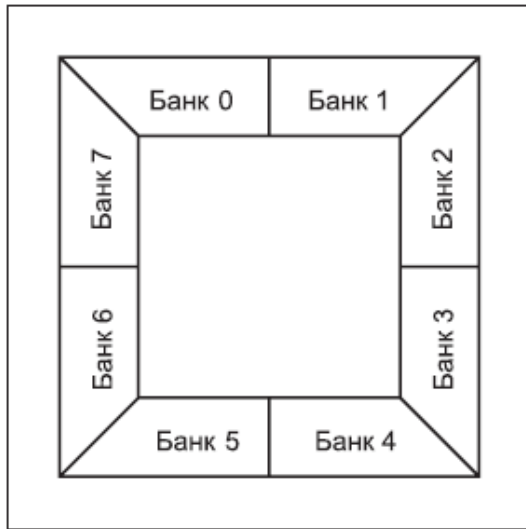
Организация связей для ускоренного переноса

Пример сумматора



Подробнее см. [Тарасов, с. 49–50]

Блоки ввода-вывода



Подробнее см. [Тарасов, с. 50–56]

Блоки ввода-вывода

Некоторые односигнальные стандарты

Стандарт	$V_{CCO}, В$		$V_{REF}, В$	Напряжение согласования с платой (V_{TT}), В
	для выходов	для входов	для входов*	
GTL	**		0,8	1,2
GTLP			1	1,5
HSTL_I	1,5	–	0,75	0,75
HSTL_III	1,5	–	0,9	1,5
HSTL_I_18	1,8	–	0,9	0,9
HSTL_II_18	1,8	–	0,9	0,9
HSTL_III_18	1,8	–	1,1	1,8
LVC MOS12	1,2	1,2	–	–
LVC MOS15	1,5	1,5	–	–
LVC MOS18	1,8	1,8	–	–
LVC MOS25	2,5	2,5	–	–
LVC MOS33	3,3	3,3	–	–
LVTTL	3,3	3,3	–	–
PCI33_3	3,0	3,0	–	–
SSTL18_I	1,8	–	0,9	0,9
SSTL2_I	2,5	–	1,25	1,25
SSTL2_II	2,5	–	1,25	1,25

Некоторые дифференциальные стандарты

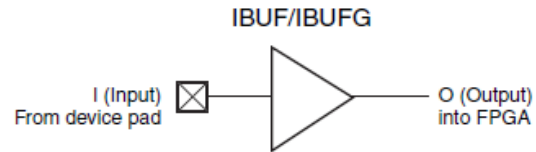
Стандарт	$V_{CCO}, В$		$V_{REF}, В$	$V_{OD}, мВ^1$	
	для выходов	для входов	для входов	мин.	макс.
LDT_25	2,5	–	–	430	670
LVDS_25	2,5	–	–	250	400
BLVDS_25	2,5	–	–	250	450
LVDS_25	2,5	–	–	330	700
ULVDS_25	2,5	–	–	430	670
RSDS_25	2,5	–	–	100	400

Задание выходного тока

Standard	HR Bank Current Drive (mA)
LVC MOS12	4, 8, or 12
LVC MOS15	4, 8, 12, or 16
LVC MOS18	4, 8, 12, 16, or 24
LVC MOS25	4, 8, 12, or 16
LVC MOS33	4, 8, 12, or 16
LVTTL	4, 8, 12, 16, or 24

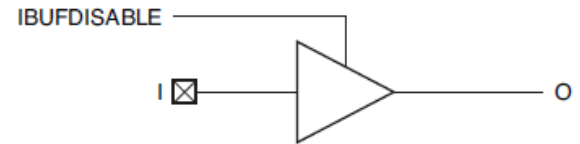
Блоки ввода-вывода

Входной буфер / глобальный буфер

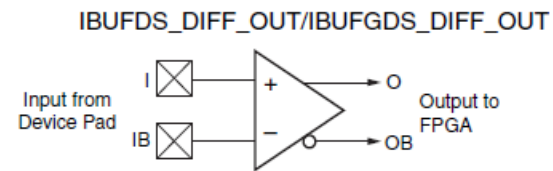
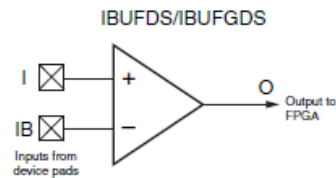


Входной буфер с разрешением

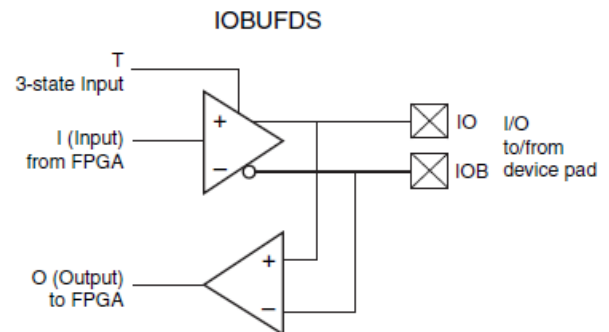
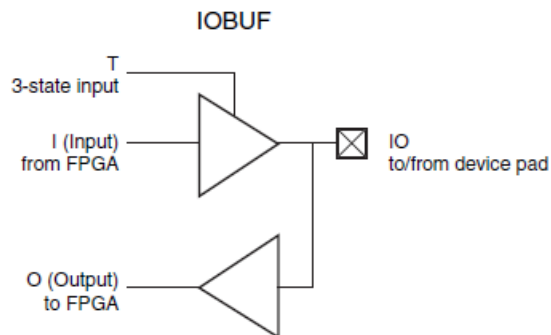
IBUF_IBUFDISABLE



Дифференциальные входные буферы

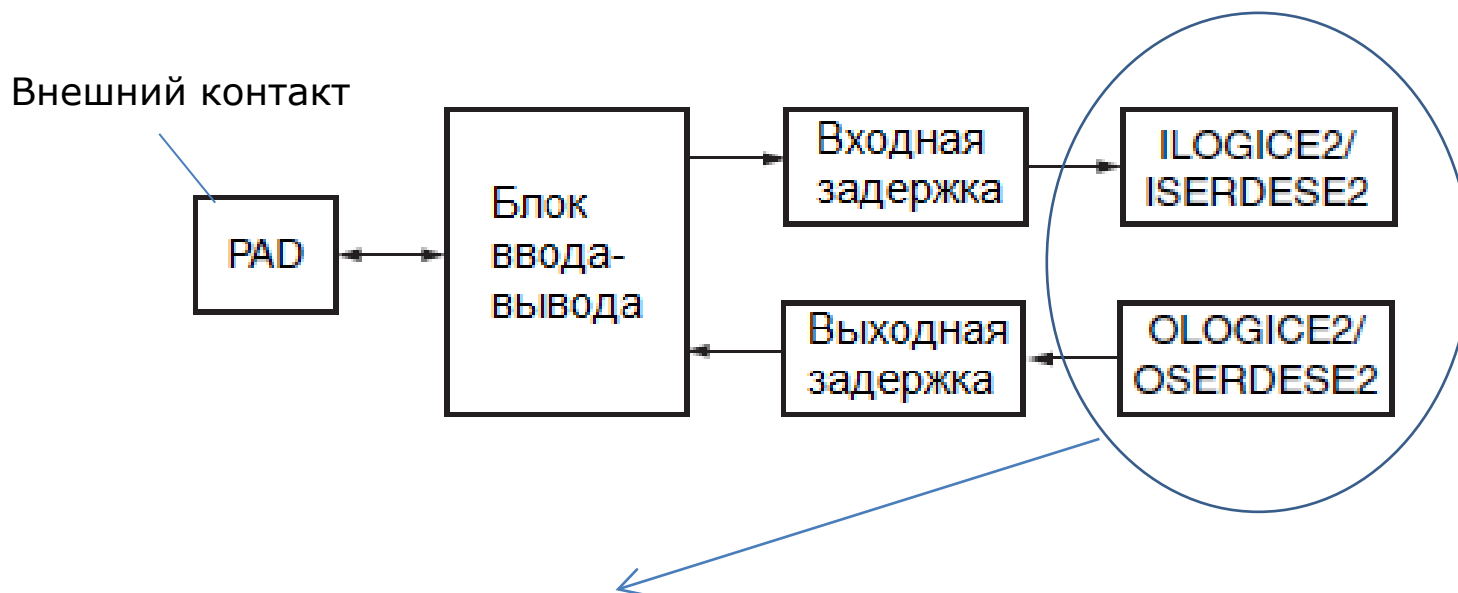


Двунаправленные буферы с 3-м состоянием



Блоки ввода-вывода

Логика ввода-вывода (SelectIO Logic Resource)



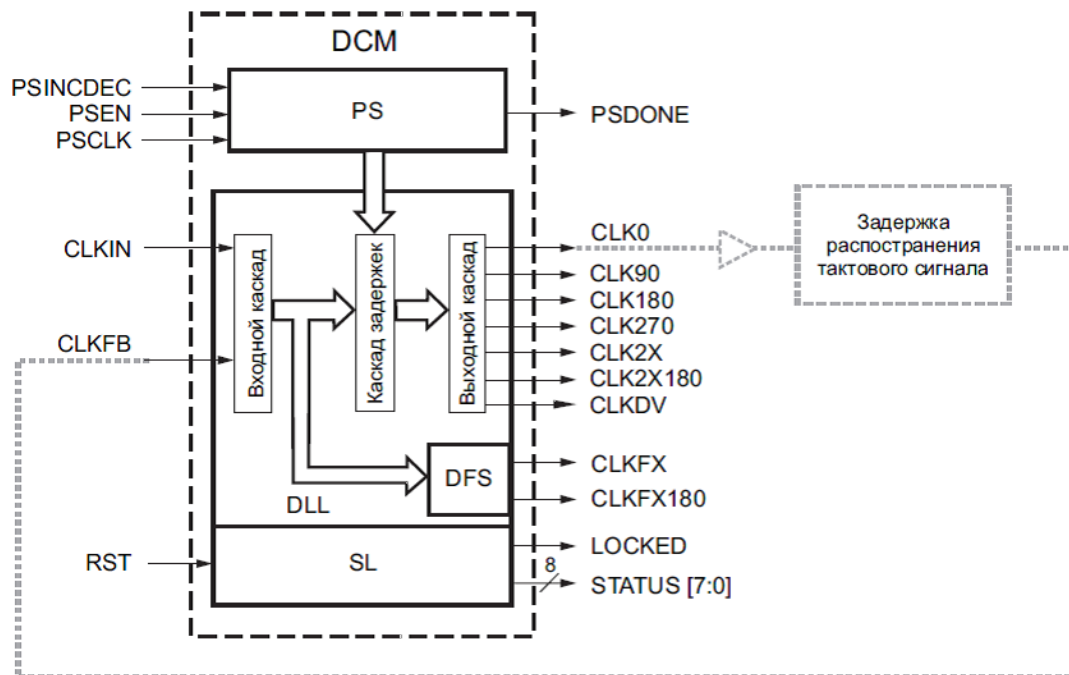
Дополнительные функции:

- триггер-защелка;
- режим IDDR (ODDR) – прием-передача с удвоенной скоростью (по фронту и спаду);
- преобразование кода: последовательный ↔ параллельный;
- буферная память FIFO.

Подробнее см. [Тарасов, с. 50–56]

Модуль управления синхронизацией (синтезатор частот)

DCM – Digital Clock Manager

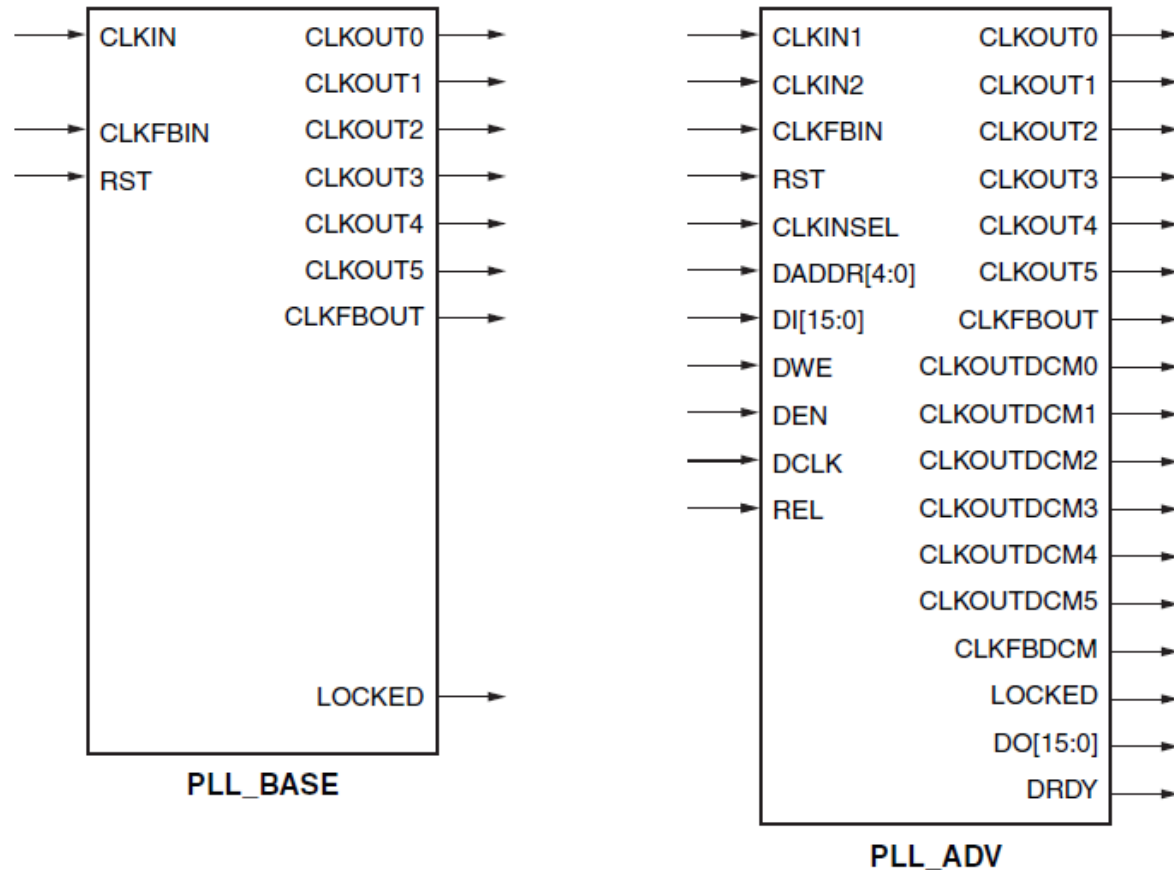


Сигнал	Направление	Описание	Поддерживаемые режимы	
			Низкочастотный	Высокочастотный
CLKIN	Вход	Принимает оригинальный тактовый сигнал.	Да	Да
CLKFB	Вход	Принимает сигналы с CLK0 или CLK2X (обратная связь).	Да	Да
CLK0	Выход	Сгенерированный сигнал такой же частоты и фазы, как CLKIN.	Да	Да
CLK90	Выход	Сгенерированный сигнал такой же частоты, как CLKIN, но отличающийся по фазе на 90°.	Да	Нет
CLK180	Выход	Сгенерированный сигнал такой же частоты, как CLKIN, но отличающийся по фазе на 180°.	Да	Да
CLK270	Выход	Сгенерированный сигнал такой же частоты, как CLKIN, но отличающийся по фазе на 270°.	Да	Нет
CLK2X	Выход	Сгенерированный сигнал такой же фазы, как CLKIN, но в 2 раза большей частоты.	Да	Нет
CLK2X180	Выход	Сгенерированный сигнал в 2 раза большей частоты и отличающийся по фазе на 180° по отношению к CLKIN.	Да	Нет
CLKDV	Выход	Сгенерированный сигнал, равный по частоте CLKIN, поделенной на значение атрибута CLKDV_DIVIDE (см. табл. 17)	Да	Да

Подробнее см.
[Тарасов, с. 64–77]

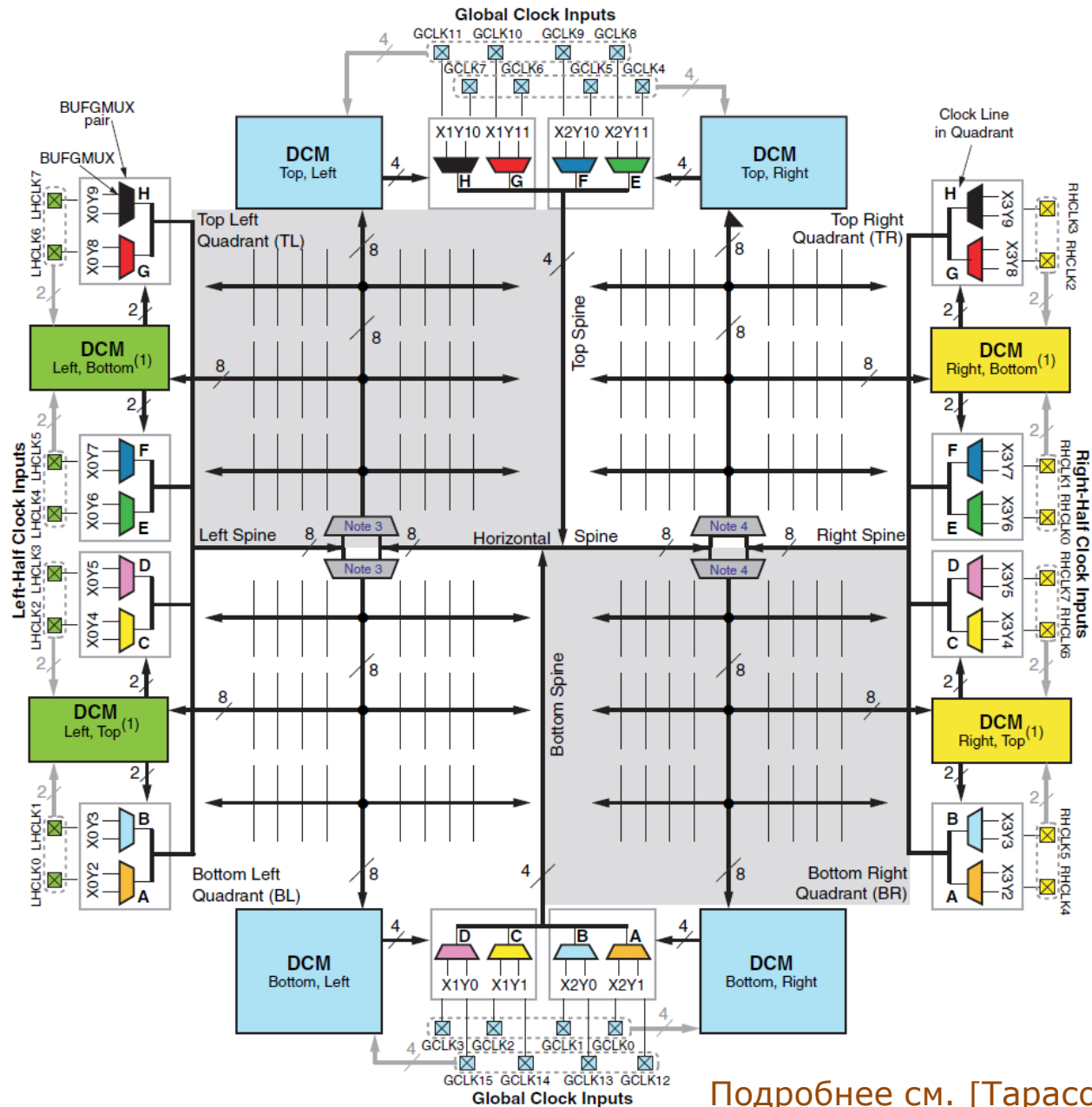
Модуль управления синхронизацией (синтезатор частот)

Модуль формирования многофазных тактовых сигналов с ФАПЧ



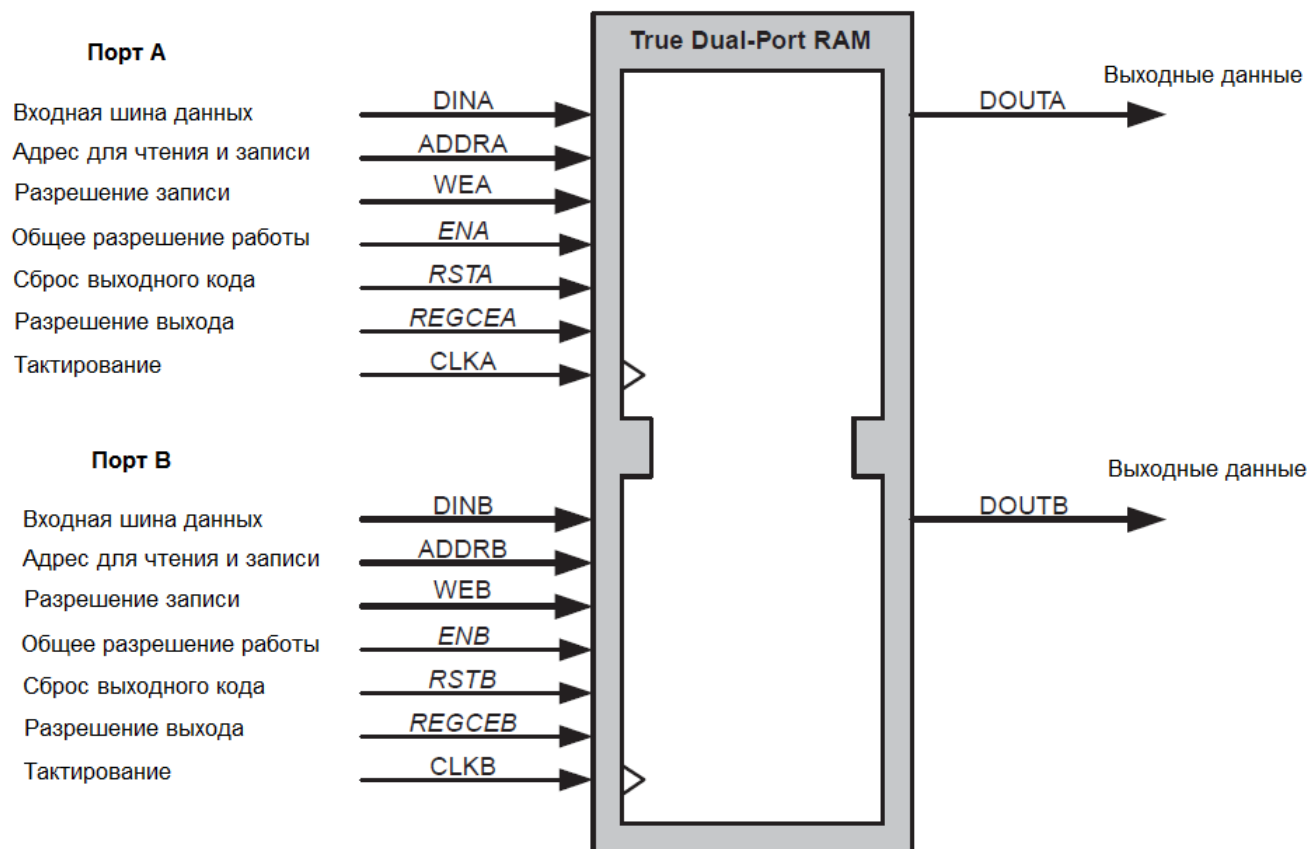
Подробнее см. [Тарасов, с. 64–77]

Структура тактовой сети



Подробнее см. [Тарасов, с. 64–77]

Блочная память



Типовой объем памяти одного блока: 36 килобит.

Оптимально конфигурируется в:

32K x 1, 16K x 2, ..., 4K x 9, ..., 512 x 72

Подробнее см. [Тарасов, с. 56–59]

Распределенная память

Распределенная память строится на LUT-блоках. Каждый LUT-блок может быть организован как однопортовая память 16×1 , а два блока - как двухпортовая память 16×1 с одним портом для чтения/записи и другим только для чтения.



Рис. 1 Информационные потоки в однопортовых (а) и двухпортовых (б) блоках распределенной памяти

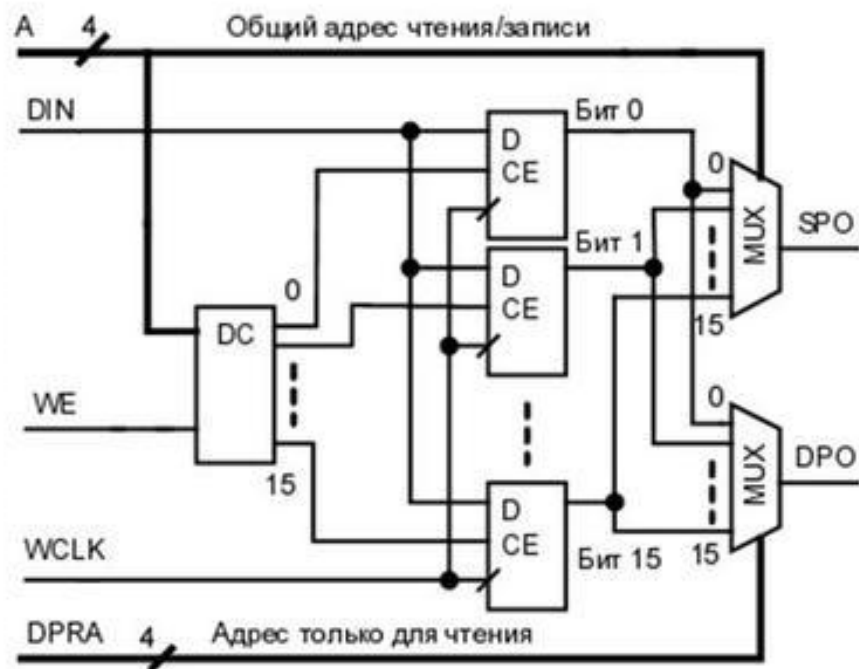
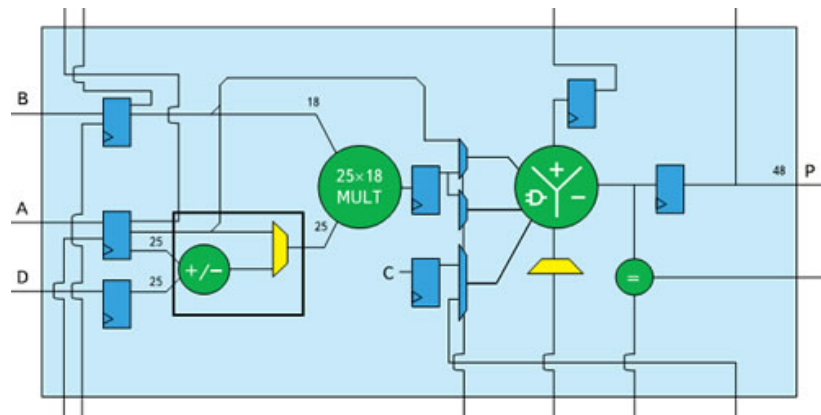
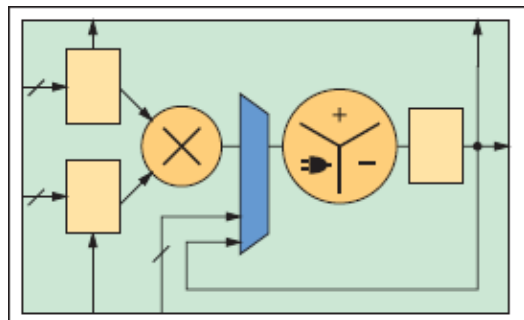


Рис. 2 Схема двухпортового блока распределенной памяти

Блоки цифровой обработки (DSP48)

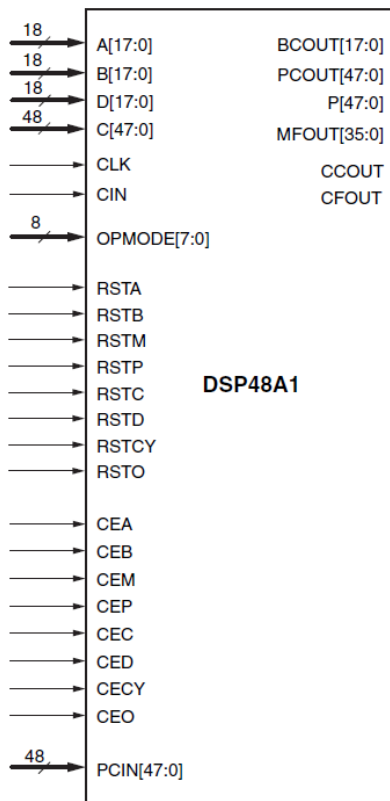


Данные для умножения-накопления
 Данные для умножения-накопления
 Данные для накопления
 Данные для накопления
 Тактирование
 Вход переноса
 Выбор режима

Входы сброса

Входы разрешений

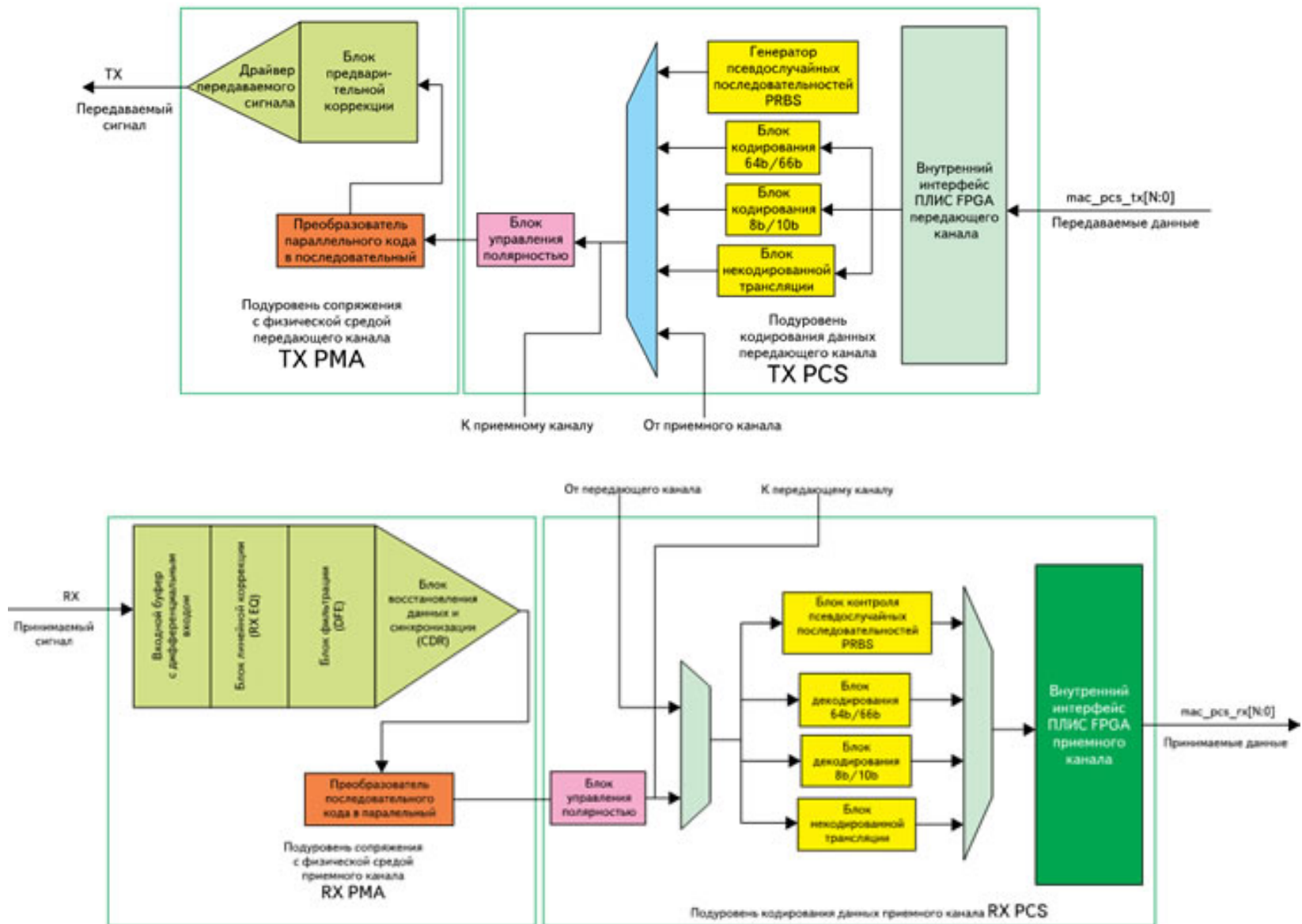
Вход для каскадирования



Выход для каскадирования
 Выход для каскадирования
 Выходные данные
 Выход умножителя
 Выходы переноса

Подробнее см. [Тарасов, с. 59–64]

Гигабитные приемопередатчики



Скорости – до 50 Гбит/с

Подробнее см. [Тарасов, с. 78–80]

Другие аппаратные модули

Интерфейс с динамической памятью SDRAM, DDR, DDR2, ...

Интегрированный интерфейс PCI Express

Аналого-цифровые преобразователи

Блоки шифрования, обнаружения ошибок

Видеокодеки

Процессорные модули (ядра: Power PC, ARM)

Модуль чтения уникального номера микросхемы (DNA_PORT)

Блоки интеллектуальной собственности (IP ядра)

Синтезируемые процессоры

Интерфейсы (UART, SPI, I2C, USB, Ethernet, беспроводные и др.)

Организация памяти (RAM, ROM, FIFO)

Мат. обработка (плавающая точка, вычисление функций, цифровая фильтрация, преобразование Фурье и др.)

Обработка изображений и видео

и многое другое