Instituto Tecnológico de Aeronáutica

Apostila de EA-21: uma introdução a VHDL

Prof. Duarte Oliveira

Autor: Lucas Moura Santana

lmsantana129@gmail.com

2018

Sumário

1 Introdução

As partes de um código VHDL são conforme vistos na figura a seguir.

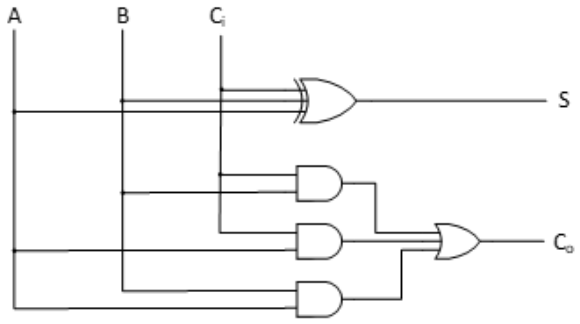
```
------------------------------------------------------------------
-- região com inclusão de bibliotecas e pacotes
library ieee;
use ieee.std_logic_1164.all
------------------------------------------------------------------
-- região de inclusão da entidade com as interfaces
entity circuito is
port (entrada1, entrada2: in bit;
      saida1, saida2: out bit);
end entity circuito;
------------------------------------------------------------------
-- região da descrição da arquitetura
architecture comportamento of circuito is

    -- região para declaração de componente, funções, sinais...
signal auxiliar: bit;

begin
    -- região para inclusão de código concorrente
saida1 <= entrada1 and entrada2;
auxiliar <= not entrada2;
saida2 <= auxiliar;

end architecure comportamento;
------------------------------------------------------------------
```

As características principais da linguagem que devemos ter em mente para este tutorial são

- Não é uma linguagem *case-sensitive*;
- Não é possível misturar tipos de variáveis por *default*;
- O comportamento padrão do código é concorrente;
- A linguagem não necessita de indentação;

2 Célula do somador completo

Para descrever o somador completo, levamos em conta o seguinte esquemático, equações booleanas e tabela verdade.



$$S = A \oplus B \oplus S$$
$$C_o = AB + AC_i + BC_i$$

A	B	C_i	S	C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

2.1 Implementado das equações booleanas

A região de entidade desta implementação será a seguinte

```
entity somador_boolean is
port (A, B, CI: in bit;
      S, CO: out bit);
end entity somador_boolean;
```

A arquitetura do somador será como se segue

```
architecture boolean_equations of somador_boolean is

begin
S  <= A xor B xor CI;
CO <= (A and B) or (A and CI) or (B and CI);

end architecture boolean_equations;
```

2.2 Implementando da tabela verdade

A implementação da tabela verdade leva em conta o conjunto de valores de saída dado as combinações da entrada. Isso pode ser feito usando-se do comando *with select* e o comando *when else.*

A região da entidade será como segue

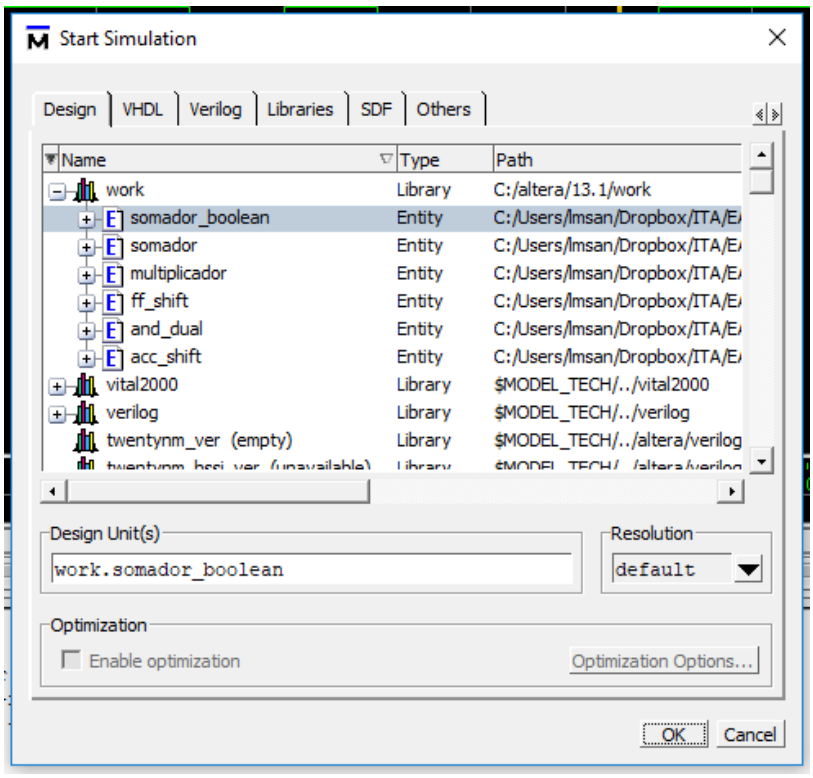
```
entity somador_table is
port (A, B, CI: in bit;
      S, CO: out bit);
end entity somador_table;
```

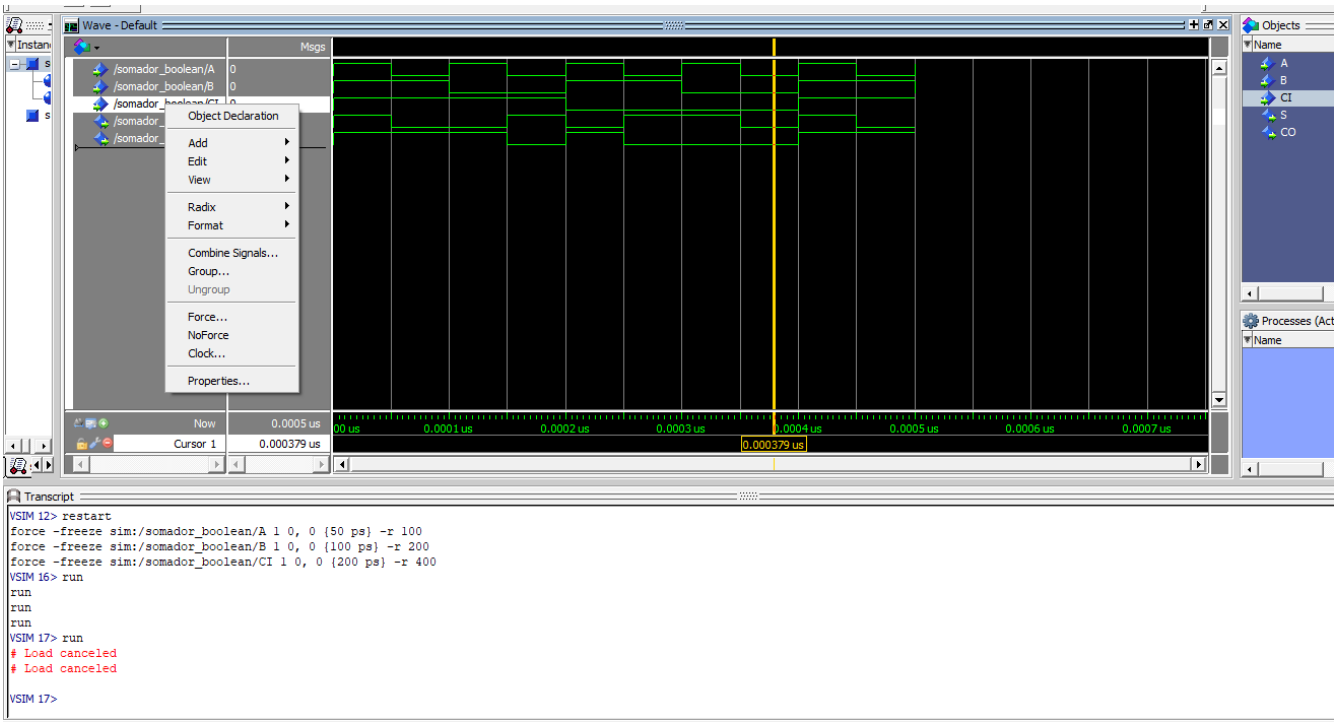
A arquitetura do somador será como segue

```
architecture truth_table of somador_table is
signal cubo : bit_vector (2 downto 0);

begin
cubo <= A & B & CI; -- concatenando sinais

-- comando concorrente when else
S <= '1' when (cubo = "001") or (cubo = "010") or (cubo = "100")
               or (cubo = "111") else
     '0';

-- comando concorrente with select
with cubo select
    CO <= '1' when "011" | "101" | "110" | "111",
          '0' when others;

end architecture truth_table;
```

3 Simulando no MODELSIM

1. Aba **Compile → Compile** e selecionar o arquivo .vhd
2. Aba **Simulate → Start Simulation** e selecionar a entidade compilada dentro da biblioteca **Work**
3. Arrastar os sinais para a janela **Wave** para ver seus valores e comportamento
4. Comandos importantes na janela de simulação
    a. **Force "Signal" 1**: faz com que o "signal" mude para 1 (tem que ser de entrada)
    b. **Force "Signal" 0**: faz com que o "signal" mude para 0 (tem que ser de entrada)
    c. **Run**: roda a simulação e calcula o valor dos sinais pelo tempo pré-definido (100ps)
    d. Clicando com o botão direito sobre o sinal é possível encontrar outras opções

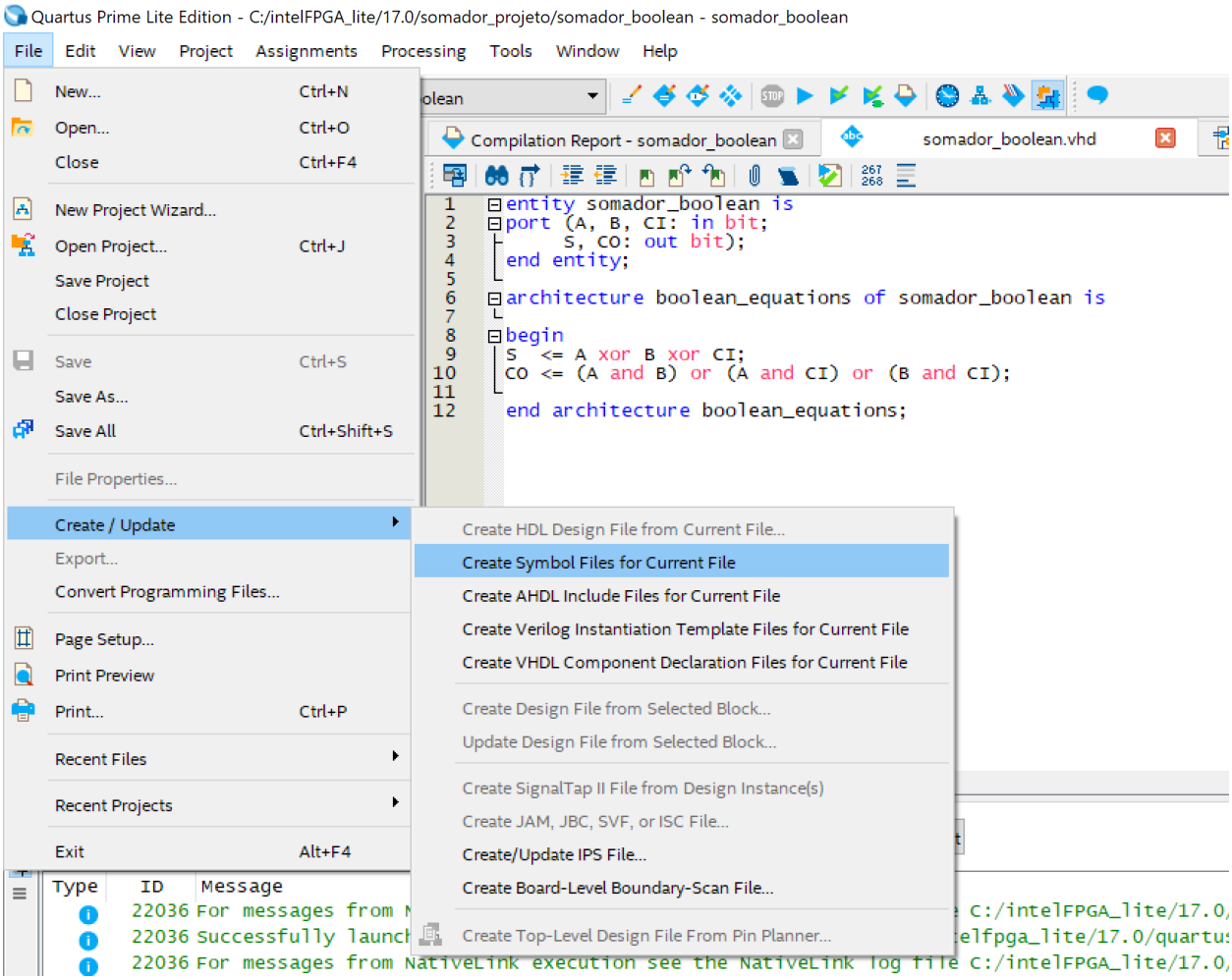

Start Simulation
Design
VHDL
Verilog
Libraries
SDF
Others
Name
Type
Path
work
Library
C:/altera/13.1/work
somador_boolean
Entity
somador
Entity
multiplicador
Entity
ff_shift
Entity
and_dual
Entity
acc_shift
Entity
vital2000
Library
$MODEL_TECH/../vital2000
verilog
Library
$MODEL_TECH/../verilog
twentynm_ver (empty)
Library
$MODEL_TECH/../altera/verilog
Design Unit(s)
work.somador_boolean
Resolution
default
Optimization
Enable optimization
Optimization Options...
OK
Cancel


Wave - Default
Msgs
/somador_boolean/A
/somador_boolean/B
Object Declaration
Add
Edit
View
Radix
Format
Combine Signals...
Group...
Ungroup
Force...
NoForce
Clock...
Properties...
Now
0.0005 us
Cursor 1
0.000379 us
Objects
Name
A
B
CI
S
CO
Processes (Act
Transcript
VSIM 12> restart
force -freeze sim:/somador_boolean/A 1 0, 0 {50 ps} -r 100
force -freeze sim:/somador_boolean/B 1 0, 0 {100 ps} -r 200
force -freeze sim:/somador_boolean/CI 1 0, 0 {200 ps} -r 400
VSIM 16> run
run
run
run
VSIM 17> run
Load canceled
Load canceled
VSIM 17>

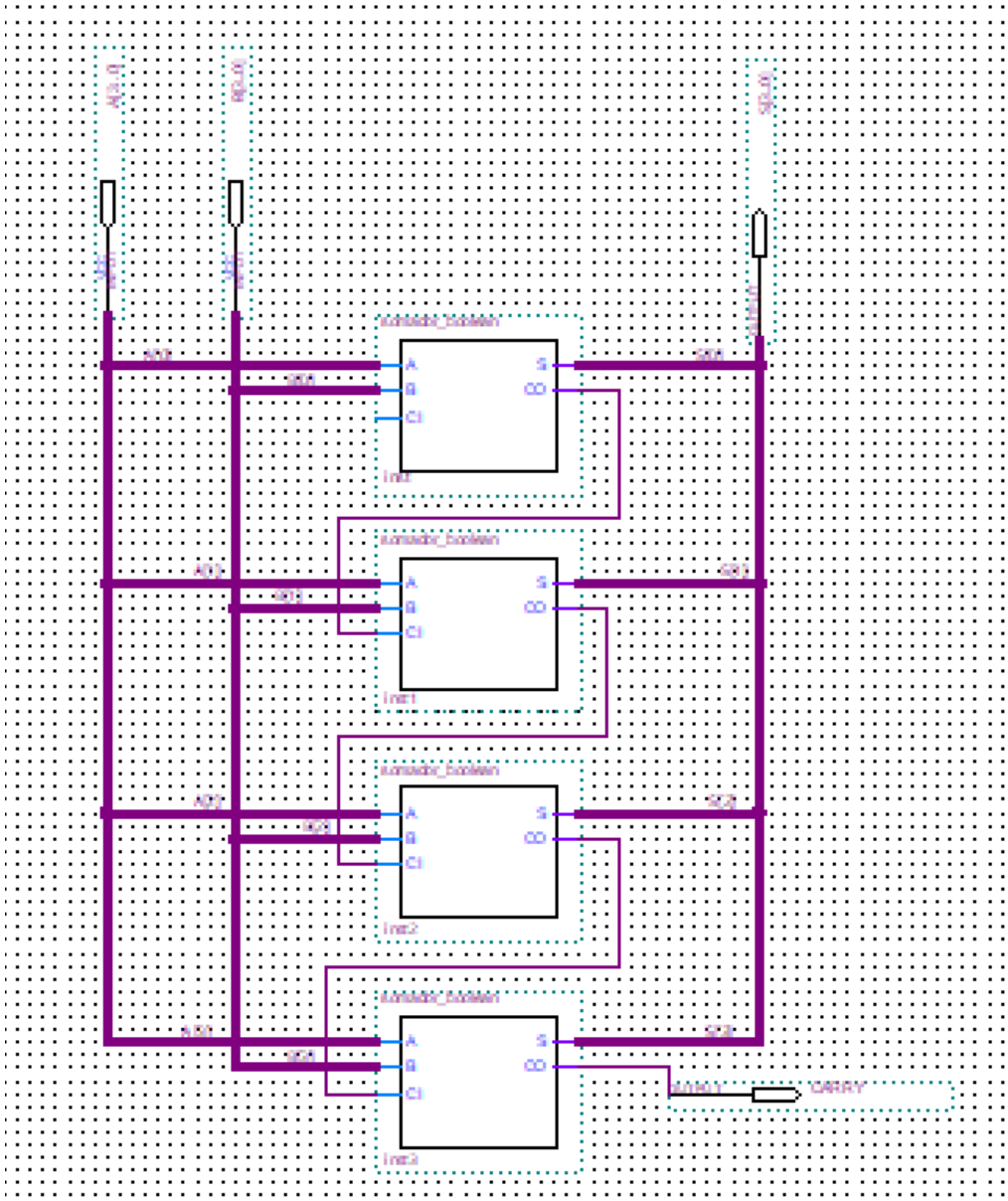
4 Importando o somador de 1 bit para o Quartus

Para esta parte foi utilizada a ferramenta Quartus da Altera, versão 17.0.

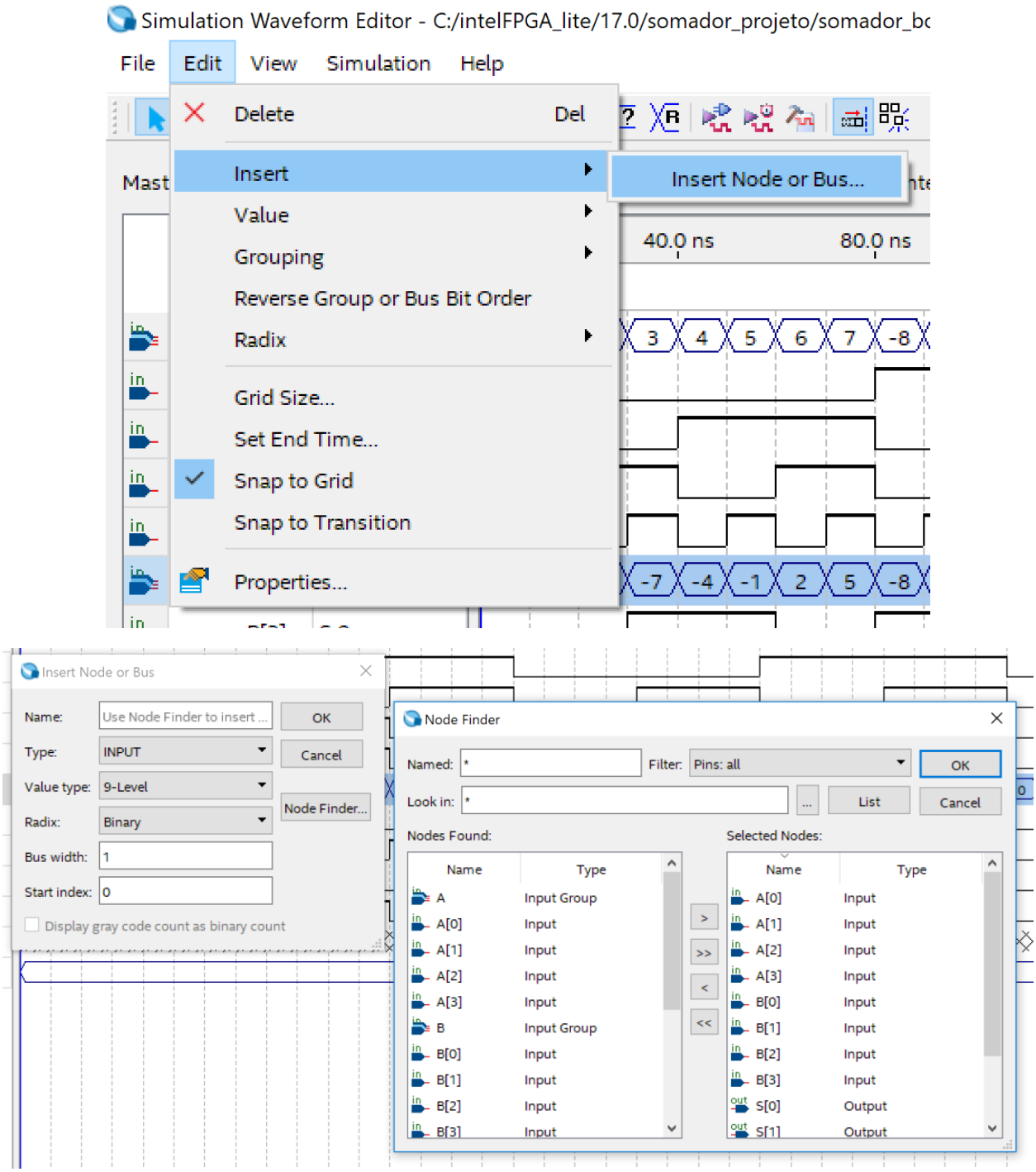
1. Começar usando a ferramenta **New Project Wizard** conforme e adicionar o arquivo VHDL que iremos utilizar, no caso “somador_boolean”.
2. Abrir o arquivo VHDL e selecionar **File → Create/Update → Create Symbol Files for Current File**



3. Compilar o projeto caso necessário (Ctrl + L)
4. Criar um arquivo **File → New→ Block diagram/Schematic File**
5. Fazer o desenho do somador *ripple carry* com as células criadas anteriormente



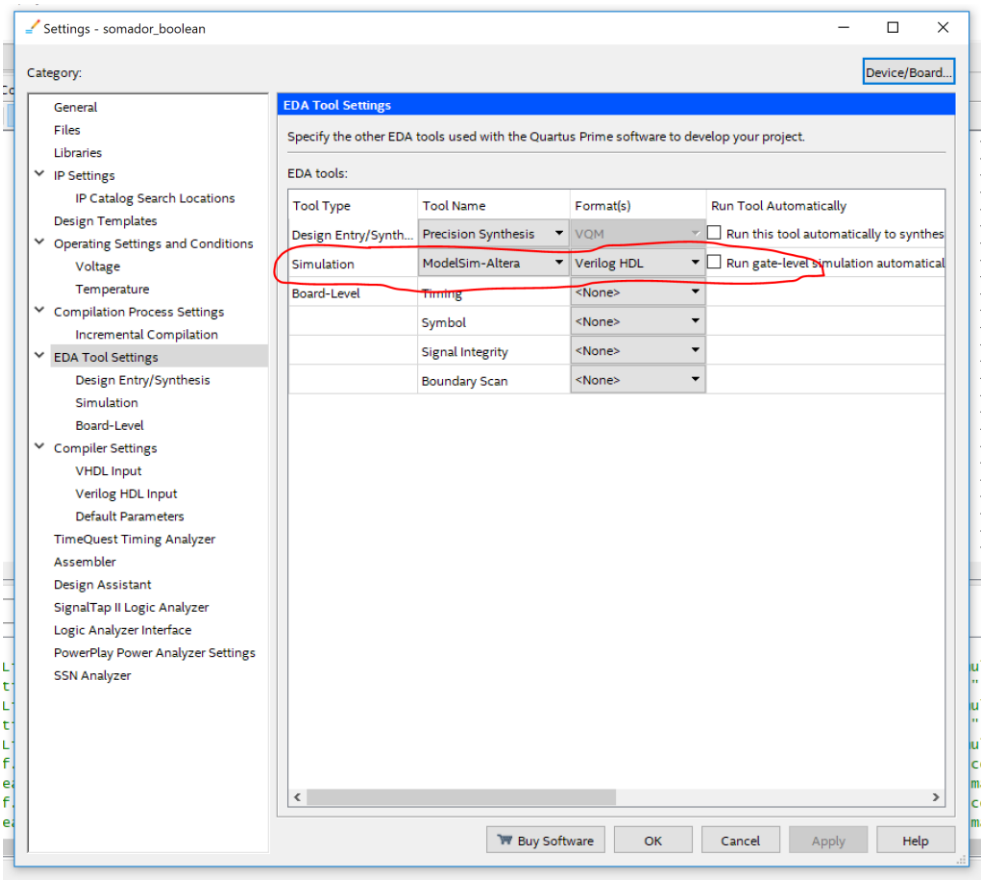
6. Compilar o projeto novamente
7. Adicionar um arquivo do tipo **University Program VWF** em **File → New**
8. Adicionar os pinos de interesse em **Edit → Insert → Insert Node or Bus** e usando o **Node Finder**



9. Alterar os valores dos pinos e rodar **Simulation → Run Functional Simulation**

Observação: talvez seja necessário configurar manualmente a ferramenta de simulação

1. Selecionar simulação “Modelsim-Altera” em **Assignments → Settings → EDA Tool Setting → Simulation**



2. Adicionar o caminho da instalação do ModelSim em **Tool → Options → EDA Tool Options** para algo parecido com **C:\intelFPGA\17.0\modelsim_ase\win32aloem** (buscar no seu próprio computador onde a pasta win32aloem está)

5 Projeto de ULA de 8 bits usando tipo *Signed*

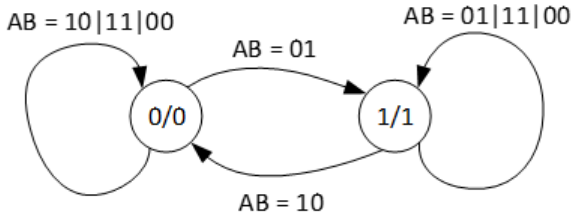
Um exemplo de projeto usando tipos pronto da biblioteca IEEE que suporta operações aritméticas com vetores de bit.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity ula8bits is
port(A, B: in signed(7 downto 0);
     sel: in std_logic;
     S: out signed (7 downto 0));
end entity ula8bits;

architecture comportamento of ula8bits is

begin

sequencial: process(A, B, sel)
begin
    if sel = '1' then
        S <= A + B;
    elsif sel = '0' then
        S <= A - B;
    else
        S <= "00000000";
    end if;
end process sequencial;

end architecture comportamento;
```

6 Descrevendo controlador síncrono em VHDL

6.1 Descrevendo a partir das equações de próximo estado

Considere o seguinte grafo de transição de estados resultando em um Flip-flop D um pouco modificado



Q \ AB	00	01	11	10
0	0	1	0	0
1	1	1	1	0

$$Q_{proximo} = \bar{A}B + \bar{A}Q + BQ$$
$$Saida = Q$$

Para descrever o mesmo em VHDL será necessário utilizar de um componente FFD. Já existem estes componentes prontos na biblioteca da Altera e agora aprenderemos a invocá-lo.

Usaremos as seguintes bibliotecas

```
library ieee;
use ieee.std_logic_1164.all;

library altera;
use altera.altera_primitives_components.all;
```

A seguir está descrição de entidade. Note que a saída é igual a Q, portanto suprimimos o sinal S e usamos somente Q.

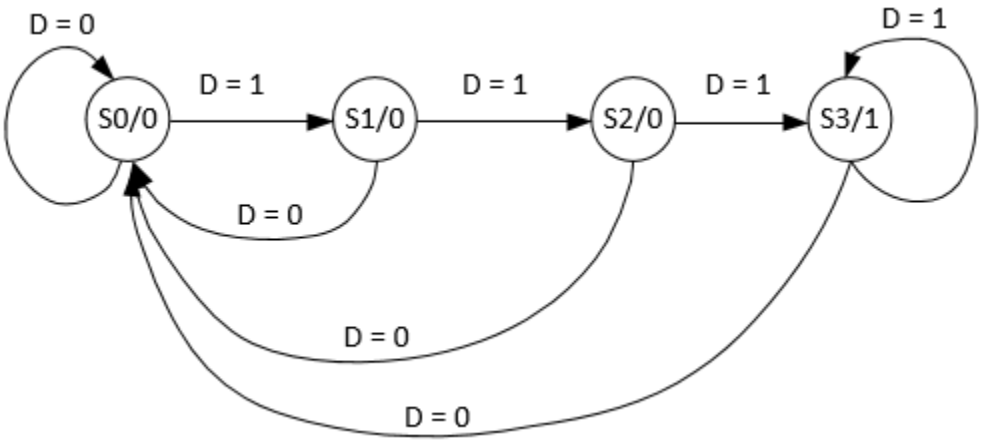
```
entity control_ffd is
port (A, B, clk, rst: in std_logic;
      Q: buffer std_logic);
end entity control_ffd;
```

Por fim a arquitetura será a seguinte

```
architecture equacoes of control_ffd is
signal q_prox : std_logic;

-- Declaração do componente FFD descrito na biblioteca de
componentes
component dff
port(d, clk, clrn, prn :  in  std_logic;
     q                 :  out std_logic);
end component;

begin

q_prox <= ((not A) and B) or ((not A) and Q) or (B and Q);

-- Invocando o FFD como um componente chamado "d1"
d1: dff port map (d => q_prox,
                  clk => clk,
                  clrn => rst,
                  prn => '1',
                  q => Q);

end architecture equacoes;
```

6.2 Descrevendo a partir das transições – Modelo Moore

A seguinte máquina trata de contar quantos “1´s” ocorrem a cada subida de sinal de relógio e mudar a saída para 1 quando três “1´s” ou mais seguidos acontecerem.



As entidades e bibliotecas usadas serão como segue

```
library ieee;
use ieee.std_logic_1164.all;

entity contador_moore is
port (D, clk, rst: in std_logic;
      S: out std_logic);
end entity contador_moore;
```

Será necessário alguns sinais internos conforme visto aqui

```
architecture maquina of contador_moore is

type estado is (S0, S1, S2, S3);
signal est: estado;
signal prox_est: estado;
```

E por fim, a descrição do grafo conterá 3 processos, a saber: cálculo do próximo estado, registro de estado e processamento da saída.

Cálculo do próximo estado

```
atualizacao_estado: process (est, D)
begin
    case est is
        when S0 => if (D = '1') then prox_est <= S1;
                   else prox_est <= S0;
                   end if;
        when S1 => if (D = '1') then prox_est <= S2;
                   else prox_est <= S0;
                   end if;
        when S2 => if (D = '1') then prox_est <= S3;
                   else prox_est <= S0;
                   end if;
        when S3 => if (D = '1') then prox_est <= S3;
                   else prox_est <= S0;
                   end if;
    end case;
end process atualizacao_estado;
```

Registro de próximo estado

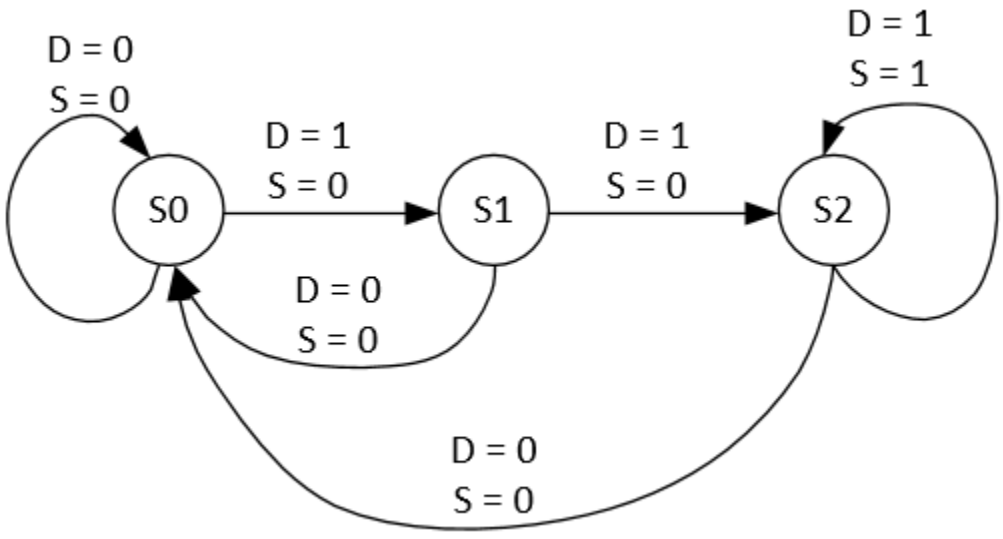
```
registro_estado: process (clk, rst)
begin
    if (rst = '0') then
        est <= S0;
    elsif (rising_edge(clk)) then
        est <= prox_est;
    end if;
end process registro_estado;
```

Processamento da saída

```
processamento_saida: process (est)
begin
    case est is
        when S0 => S <= '0';
        when S1 => S <= '0';
        when S2 => S <= '0';
        when S3 => S <= '1';
    end case;
end process processamento_saida;
```

6.3 Descrevendo a partir das transições – Modelo Mealey

Um problema de contar um´s descrito pelo modelo Mealey pode ser visto a seguir. Note que como a entrada atua diretamente na saída neste modelo, a quantidade de tempo que D =1 está sendo contada muda sensivelmente (ver simulação).



Também para esse modelo, o processamento de saída é incorporado na atualização de estado num mesmo processo. O código final é como se segue.

```
architecture maquina of contador_mealey is

type estado is (S0, S1, S2);
signal est: estado;
signal prox_est: estado;

begin

atualizacao_estado: process (est, D)
begin
    case est is
        when S0 => if (D = '1') then prox_est <= S1; S <= '0';
                   else             prox_est <= S0; S <= '0';
                   end if;
        when S1 => if (D = '1') then prox_est <= S2; S <= '0';
                   else             prox_est <= S0; S <= '0';
                   end if;
        when S2 => if (D = '1') then prox_est <= S2; S <= '1';
                   else             prox_est <= S0; S <= '0';
                   end if;
    end case;
end process atualizacao_estado;

registro_estado: process (clk, rst)
begin
    if (rst = '0') then
        est <= S0;
    elsif (rising_edge(clk)) then
        est <= prox_est;
    end if;
end process registro_estado;

end architecture maquina;
```

7 Lista de comandos essenciais em VHDL

7.1 Para código concorrente

- When… else
- With… select
- …. <= …. After

7.2 Para código sequencial (Process)

- If… elsif… else… end if
- Case… is when…

7.3 Operadores

- AND, OR, NAND, NOR, NOT, XOR, XNOR
- "<=" assinalamento de sinal
- ":=" assinalamento de variáveis (dentro de Process)
- "&" concatenação
- "/=" operador diferença
- "=" operador igualdade