

# 2016 级计算机系统（1）第一次作业

## 作业概要：

- 使用 Verilog 写加法器，在 Vivado 上测试。
- 回答几个小问题。

## 关于分数：

- 代码部分是这次作业分数的全部。
- 带\*的小问题没有分数（答错不扣分），但不回答会扣分。

## 测试办法：

- 把自己写的代码放入 Source 里，把助教提供的测试代码放入 Simulation Source 里。
- 要测试就在 Vivado 里 Run Simulation，Console 会给出结果。

## 预备工作：

- 下载 Vivado。（下载网址 <https://www.xilinx.com/support/download.html>）
- 学习 Verilog 语言。

## 任务一：

（1）仅使用门电路，写一个最简单暴力的 16 位加法器（提示：模拟竖式加）。在 Vivado 里测试。

（2）仅使用门电路，写一个超前进位 16 位加法器（你可以写 4 个 4 位的拼在一起）。关于超前进位加法器，你可以很容易地百度到它。同样在 Vivado 里测试。

（3）\*思考：为什么超前进位加法器变快了？它到底优化了什么？（提示：你可以从物理层面考虑这个问题）

## 任务二：

（1）fault 这个模块的作用是输出两个输入中较大的值。尝试在保留 assign 的情况下修改它使得它正确。

（2）尝试在保留 if 的情况下修改它使得它正确。（提示：可以使用 reg 和 always）

（3）\*思考：什么时候应该使用 wire？什么时候应该使用 reg？可以只从语法层面考虑（这不是提示）。

（4）\*拓展：reg 根据情况不同可能会被实现为导线，或者带有存储功能的硬件（触发器、锁存器或者 RAM）。查询资料或自己思考：什么时候 reg 可以变成 wire，什么时候不能？（这和下次的作业有关）

## 提交方法：

- 将任务二中（1）、（2）两问的回答分别命名为 fault.v, fault2.v
- 将小问题的答案保存为 answer.pdf
- 连同第一问的 adder.v, adder2.v 一起打包为压缩文件[System2017]学号\_姓名\_task1.zip
- 邮件发送至 605584256@qq.com，并抄送至 sxtzhangzk@gmail.com 标题命名为[System2017]学号\_姓名\_task1
- 推荐一周内完成
- 最终截止日期：2017 年 11 月 6 日 0 时