

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 周铭昊**

**学 号： U201514559**

**班 级： CS1603班（重修）**

**指 导 教 师： 何云峰**

**计算机科学与技术学院**

**2018 年 5 月 24 日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）四位二进制串行加法器**

用四个一位二进制全加器串联设计一个四位二进制串行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）四位二进制并行加法器**

利用超前进位的思想设计一个四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1“私有”的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器的设计方案**

半加器是没有进位输入的加法器，真值表如下表1-1

表1-1 一位二进制半加器真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 被加数A | 加数B | 本位和S | 进位C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

得到逻辑表达式:



图1-2为一位二进制半加器电路





图1-2 一位二进制半加器

**（2）一位二进制全加器的设计方案**

全加器是有进位输入的加法器，真值表如下表1-2

表1-2 一位二进制半加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 被加数A | 加数B | 低位进位Ci | 本位和S | 高位进位Co |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

得到逻辑表达式:



图1-3为一位二进制全加器电路。

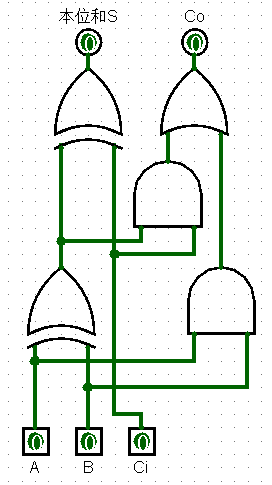


图1-3 一位二进制全加器

**（3）四位二进制串行加法器的设计方案**

把四个一位全加器串联，低位进位输出连接到高位进位输入。穿行加法器的输入为两个4位二进制数，分别把相同的位连接到同一个全加器上。串行加法进位从最低位进到最高位，即整个进位是分若干步骤进行的。优点是电路结构简单，缺点是运算速度慢。

图1-4为四位二进制串行加法器电路。

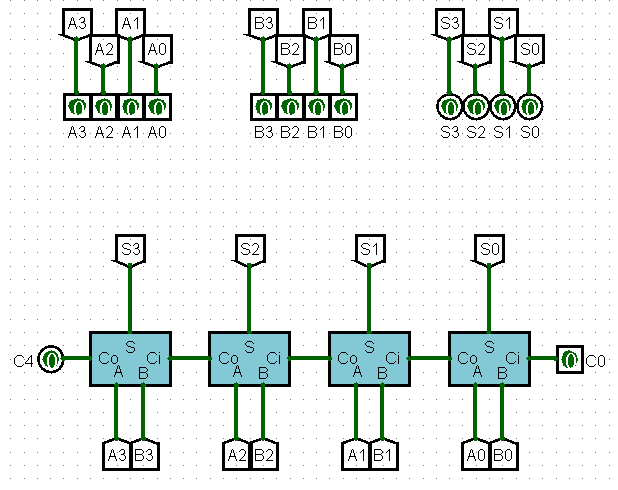


图1-4四位二进制串行加法器

**（4）四位二进制并行加法器的设计方案**

采用超前进位加法器，提前产生各位的进位输入，不必等待低位进位的运算结果，减少延迟。

令Gi为进位生成函数，表示不依靠低位进位时，本位能否产生进位，且Gi =AiBi

令Pi 为进位传递函数，表示当低位进位为1时，本位能否产生进位，且Pi = Ai⊕Bi

四位二进制并行加法器表达式如下：

S0 = A0⊕B0⊕C0 C1 = A0B0+(A0⊕B0)C0 = G0+P0C0

S1 = A1⊕B1⊕C1 C2 = A1B1+(A1⊕B1)C1 = G1+P1C1

= G1+P1(G0+P0C0)

= G1+P1G0+P1P0C0

S2 = A2⊕B2⊕C2 C3 = A2B2+(A2⊕B2)C2 = G2+P2C2

= G2+P2(G1+P1G0+P1P0C0)

= G2+P2G2+P2P1G0+P2P1P0C0

S3 = A3⊕B3⊕C3 C4 = G3+P3G2+P3P2G1+P3P2P1G0+P3P2P1P0C0

图1-5为四位二进制并行加法器电路图。

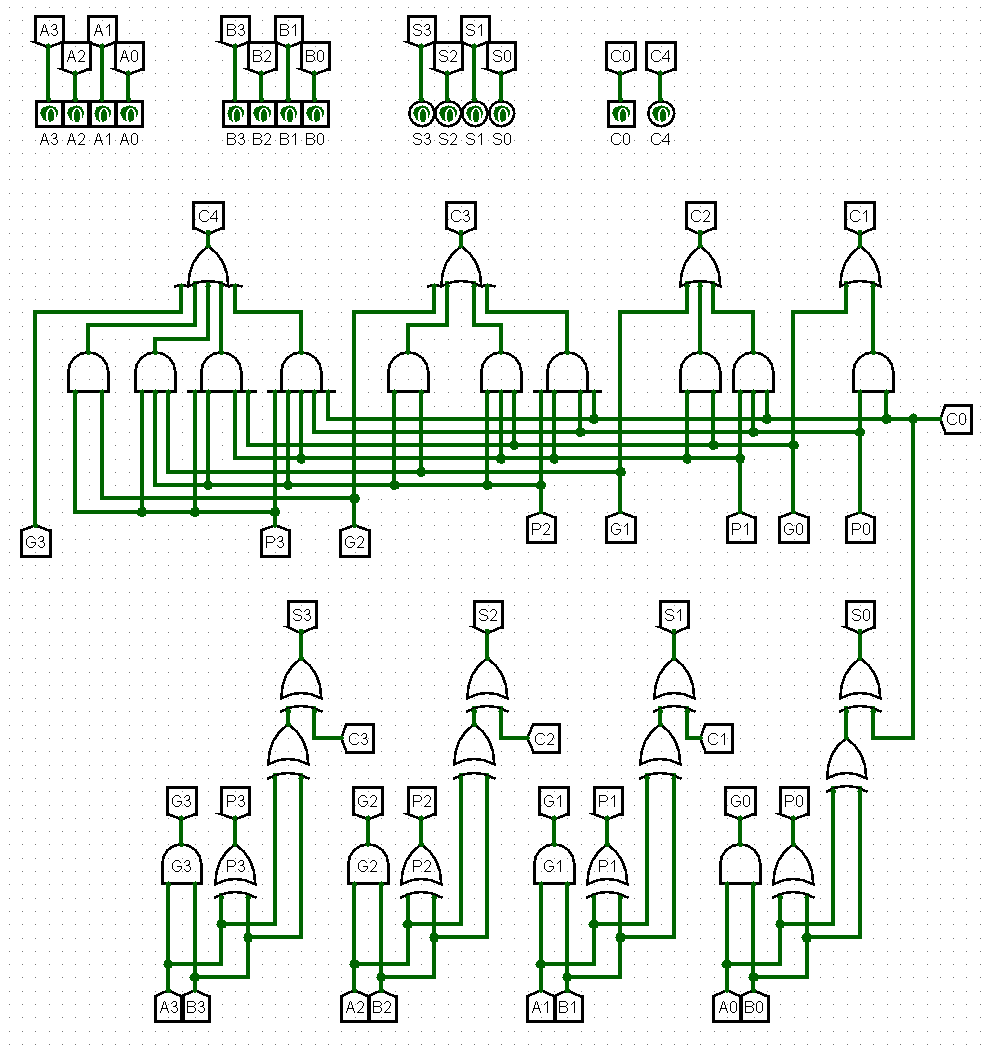


图1-5四位二进制并行加法器

**（5）封装四位二进制并行加法器电路**

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。

封装后如图1-6所示。

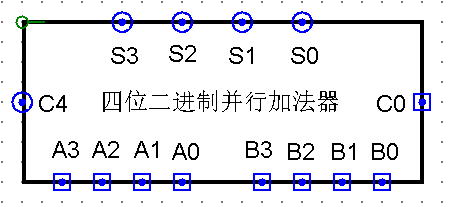


图1-6四位二进制并行加法器封装电路

新建一个测试电路，如图1-7所示，进行正确性验证。



图1-7测试电路1



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**SD SC SB SA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一中已封装的“四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）设计一个四位二进制可逆计数器电路**

首先要识别出进、出两种模式，并且产生对应的进、出门信号IN、OUT。

将CPU脉冲接到一个上升沿触发的D触发器，D端恒为1，这样只要CPU脉冲产生一个上升沿，D触发器后续的输出恒为1，把这个输出作为进门信号IN。当按下CLR清零或者出现CPD脉冲信号时，把这个D触发器清零。

同理，将CPD脉冲接到一个上升沿触发的D触发器，D端恒为1，这样只要CPD脉冲产生一个上升沿，D触发器后续的输出恒为1，把这个输出作为出门信号OUT。当按下CLR清零或者出现CPU脉冲信号时，把这个D触发器清零。这样就完成了出门、进门信号的产生。

然后根据进、出门状态的不同设计一个同步计数器。为了消除险象，应当把产生IN、OUT信号的D触法器设置为上升沿触发，把连接输出端QDQCQBQA的D触法器设置为下降沿触发

D触发器连接到同一个时钟端CLK和清零端CLR。

状态转移表如下表2-1所示。

表2-1

|  |  |  |
| --- | --- | --- |
| 现态  QDnQCnQBnQAn | IN= 1加法计数 | OUT= 1 减法计数 |
| 次态  QDn+1QCn+1QBn+1QAn+1 | 次态  QDn+1QCn+1QBn+1QAn+1 |
| 0000 | 0001 | 1111 |
| 0001 | 0010 | 0000 |
| 0010 | 0011 | 0001 |
| 0011 | 0100 | 0010 |
| 0100 | 0101 | 0011 |
| 0101 | 0110 | 0100 |
| 0110 | 0111 | 0101 |
| 0111 | 1000 | 0110 |
| 1000 | 1001 | 0111 |
| 1001 | 1010 | 1000 |
| 1010 | 1011 | 1001 |
| 1011 | 1100 | 1010 |
| 1100 | 1101 | 1011 |
| 1101 | 1110 | 1100 |
| 1110 | 1111 | 1101 |
| 1111 | 0000 | 1110 |

状态方程卡诺图如下：

当IN= 1时，加法计数，次态QAn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 | 1 |  |  | 1 |
| 01 | 1 |  |  | 1 |
| 11 | 1 |  |  | 1 |
| 10 | 1 |  |  | 1 |

当OUT= 1时，减法计数，次态QAn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 | 1 |  |  | 1 |
| 01 | 1 |  |  | 1 |
| 11 | 1 |  |  | 1 |
| 10 | 1 |  |  | 1 |

当IN= 1时，加法计数，次态QBn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 |  | 1 |  | 1 |
| 01 |  | 1 |  | 1 |
| 11 |  | 1 |  | 1 |
| 10 |  | 1 |  | 1 |

当OUT= 1时，减法计数，次态QBn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 | 1 |  | 1 |  |
| 01 | 1 |  | 1 |  |
| 11 | 1 |  | 1 |  |
| 10 | 1 |  | 1 |  |

当IN= 1时，加法计数，次态QCn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 |  |  | 1 |  |
| 01 | 1 | 1 |  | 1 |
| 11 | 1 | 1 |  | 1 |
| 10 |  |  | 1 |  |

当OUT= 1时，减法计数，次态QCn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 | 1 |  |  |  |
| 01 |  | 1 | 1 | 1 |
| 11 |  | 1 | 1 | 1 |
| 10 | 1 |  |  |  |

当IN= 1时，加法计数，次态QDn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 |  |  |  |  |
| 01 |  |  | 1 |  |
| 11 | 1 | 1 |  | 1 |
| 10 | 1 | 1 | 1 | 1 |

当OUT= 1时，减法计数，次态QDn+1如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| QBQA  QDQC | 00 | 01 | 11 | 10 |
| 00 | 1 |  |  |  |
| 01 |  |  |  |  |
| 11 | 1 | 1 | 1 | 1 |
| 10 |  | 1 | 1 | 1 |

由卡诺图得到逻辑表达式如下



根据表达式画出电路图，图2-3为四位二进制可逆计数器电路图。

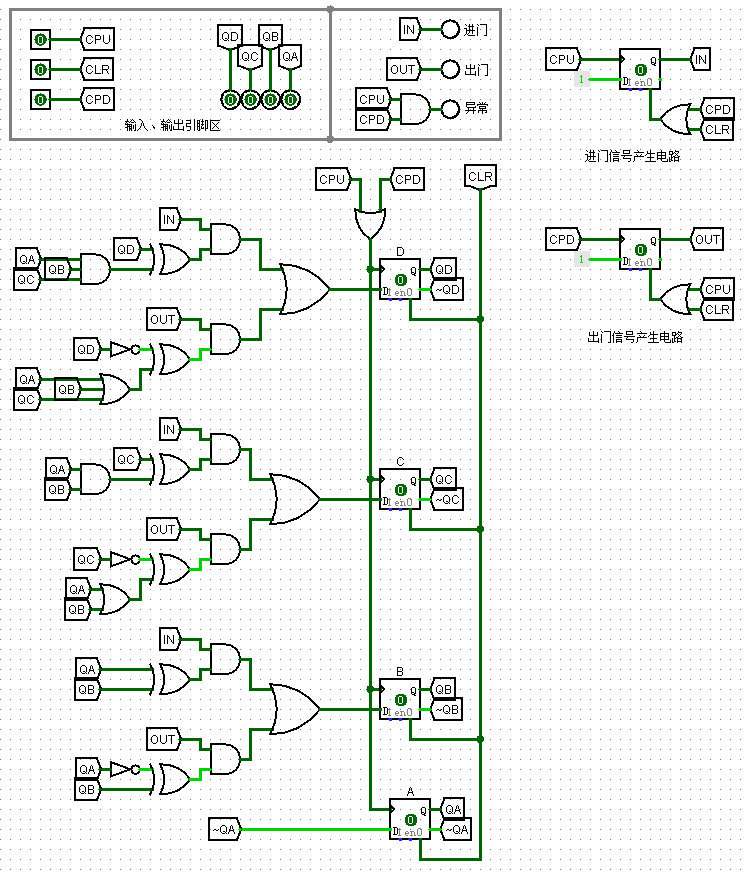


图2-3 四位二进制可逆计数器电路图

**（2）用实验一中已封装的“四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路**

将二进制数表示的实验室人数转换成两位十进制数的8421BCD码，真值表如下表2-2

表2-2

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制 | 输入4位二进制数 | | | | 输出8421BCD码 | | | | | | | |
| A3 | A2 | A1 | A0 | S7 | S6 | S5 | S4 | S3 | S2 | S1 | S0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 11 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 12 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 13 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 15 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 |

由真值表知，当输入0~9之间的数时，输出的BCD码高四位为0，低四位与输入4位二进制数相同。当输入10~15之间的数时，输出的BCD码高3位为0，低5位等于输入4位二进制数加上0110（十进制6）。

所以输出的BCD码高3位恒等于0，低5位等于输入A3A2A1A0加上0或6.

当A3=1且A2A1不等于00时，输入>9,加数为6；否则加数为0。

图2-4为一位16进制数转2位8421码电路图。

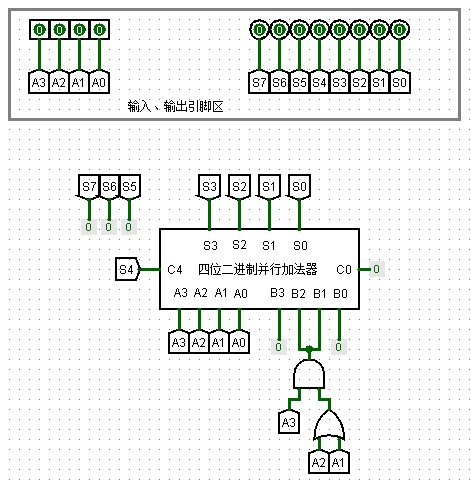


图2-4 一位16进制数转2位8421码

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

**（A）设计一个7段译码器**

译码器真值表如下表2-3所示

表2-3

|  |  |  |
| --- | --- | --- |
| 输入  A3A2A1A0 | 输出  abcdefg | 字形 |
| 0000 | 1111110 | 0 |
| 0001 | 0110000 | 1 |
| 0010 | 1101101 | 2 |
| 0011 | 1111001 | 3 |
| 0100 | 0110011 | 4 |
| 0101 | 1011011 | 5 |
| 0110 | 1011111 | 6 |
| 0111 | 1110000 | 7 |
| 1000 | 1111111 | 8 |
| 1001 | 1111011 | 9 |

图2-5为7段译码器电路：





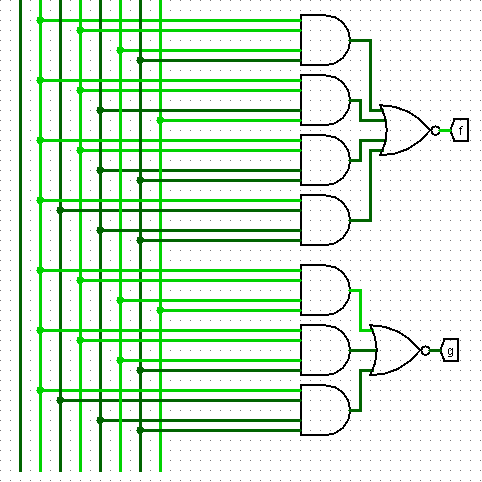




图2-5 7段译码器

**（B）设计用“7段数码显示管”显示人数的逻辑电路**

首先把输入的4位二进制数转化为8位BCD码，然后通过两个7段译码器，分别产生7个输出，连接到7段数码管的相应位置。

图2-6为7段数码显示电路：

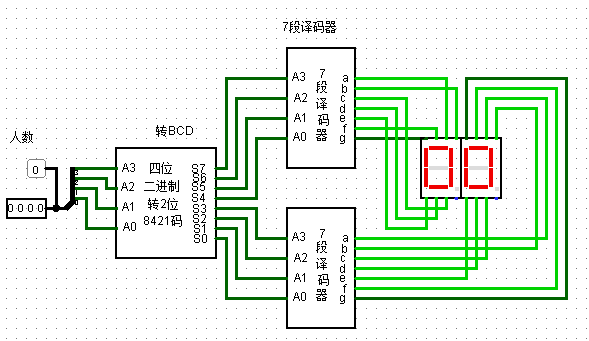


图2-6 用7段数码显示管显示实验室人数的电路

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当计数器输出为1111时，不再输入CPU信号到计数器中；当计数器输出为0000时，不再输入CPD信号到计数器中。图2-7为报警电路：

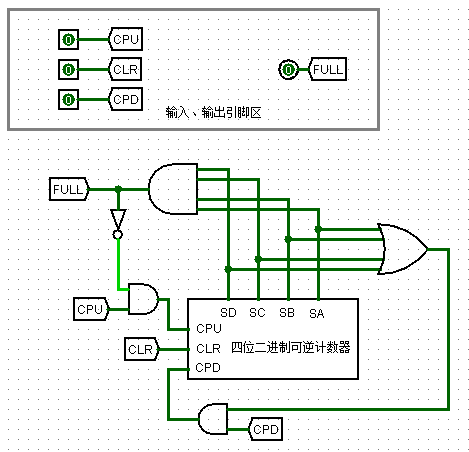


图2-7 报警电路

**（5）设计小型实验室门禁系统电路**

首先计数，计数器输出的值先转换位BCD码，然后输入到为2个7段译码器中。图2-8为门禁系统电路



图2-8 门禁系统电路

6、实验结果记录

**（1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路**

图2-9为可逆计数器测试电路

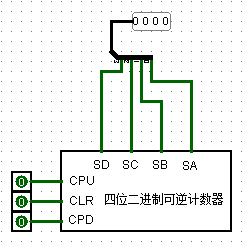


图2-9可逆计数器测试电路

**（2）给出采用实验1中已封装的“四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路**

图2-10为二进制数转换成8421BCD码的电路

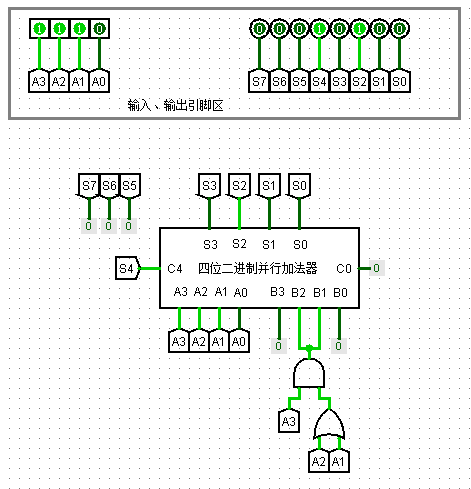


图2-10二进制数转换成8421BCD码的电路

**（3）给出采用“7段数码显示管”显示人数的电路**

图2-11为人数显示的电路

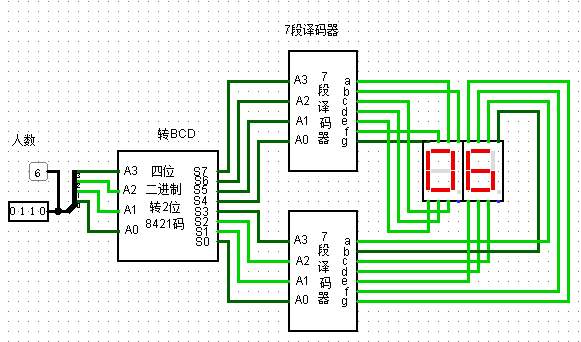


图2-11人数显示的电路

**（4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路**

图2-12为系统报警电路

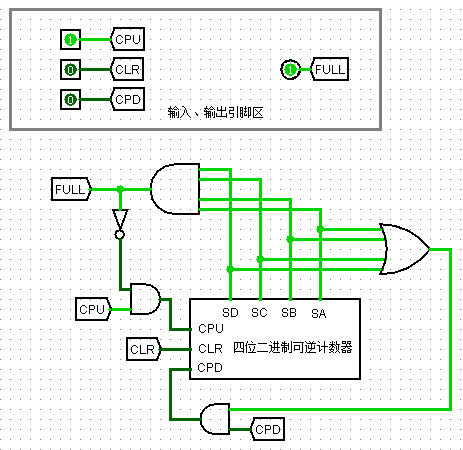


图2-12系统报警电路

**（5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路**

图2-13为实验室门禁系统测试电路

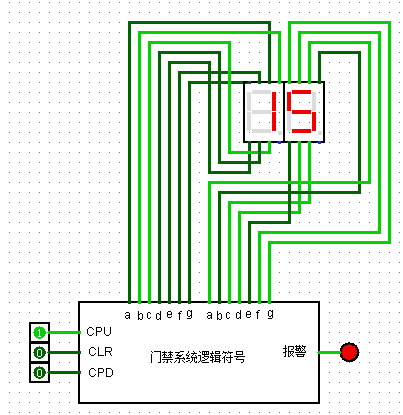


图2-13实验室门禁系统测试电路

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

用D触发器设计四位二进制可逆计数器时，一开始采用异步的思路，写状态转移表时，时钟信号比较难以通过卡诺图化简得到表达式。

后改为同步计数器后，遇到竞争问题，切换进、出模式后的第一个周期会保持着上次的进出状态，而不能即时切换为新的进出模式。

**（2）你是如何解决的？**

设计同步计数器，先根据卡诺图写出次态的表达式，再根据次态写出激励函数的表达式。

竞争问题的原因是切换模式后，脉冲信号出现上升沿时，一个D触发器要更新进、出状态，还有4个D触发器要根据进、出的状态采用不同的激励信号，两者发生竞争。只要把前者改为上升沿触发，后者改为下降沿触发即可。

**（3）意见和建议**

建议老师提供一些用于测试的电路，方便检查错误。