
华中科技大学

数字逻辑实验报告（1）

数字逻辑实验1		
一、系列二进制加法器 设计 50%	二、小型实验室门禁 系统设计 50%	总成绩

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

姓 名： 周铭昊

学 号： U201514559

班 级： CS1603 班（重修）

指 导 教 师： 何云峰

计算机科学与技术学院

2018 年 5 月 24 日

华中科技大学

数字逻辑实验报告

系列二进制加法器设计预习报告

《数字电路与逻辑设计》实验报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对 5 种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1 软件一套。

4、实验内容

对已设计的 5 种二进制加法器，使用 logisim 软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用 logisim 软件提供的逻辑库元件，具体内容如下。

(1) 一位二进制半加器

设计一个一位二进制半加器，电路有两个输入 A、B，两个输出 S 和 C。输入 A、B 分别为被加数、加数，输出 S、C 为本位和、向高位进位。

(2) 一位二进制全加器

设计一个一位二进制全加器，电路有三个输入 A、B 和 C_i ，两个输出 S 和 C_o 。输入 A、B 和 C_i 分别为被加数、加数和来自低位的进位，输出 S 和 C_o 为本位和和向高位的进位。

(3) 四位二进制串行加法器

用四个一位二进制全加器串联设计一个四位二进制串行加法器，电路有九个输入 A_3 、 A_2 、 A_1 、 A_0 、 B_3 、 B_2 、 B_1 、 B_0 和 C_0 ，五个输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 。输入 $A=A_3A_2A_1A_0$ 、 $B=B_3B_2B_1B_0$ 和 C_0 分别为被加数、加数和来自低位的进位，输出 $S=S_3S_2S_1S_0$

《数字电路与逻辑设计》实验报告

和 C_0 为本位和和向高位的进位。

(4) 四位二进制并行加法器

利用超前进位的思想设计一个四位二进制并行加法器，电路有九个输入 A_3 、 A_2 、 A_1 、 A_0 、 B_3 、 B_2 、 B_1 、 B_0 和 C_0 ，五个输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 。输入 $A = A_3A_2A_1A_0$ 、 $B = B_3B_2B_1B_0$ 和 C_0 分别为被加数、加数和来自低位的进位，输出 $S = S_3S_2S_1S_0$ 和 C_4 为本位和和向高位的进位。

(5) 将四位二进制并行加法器封装成一个组件并验证它的正确性

将设计好的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图 1-1 所示。

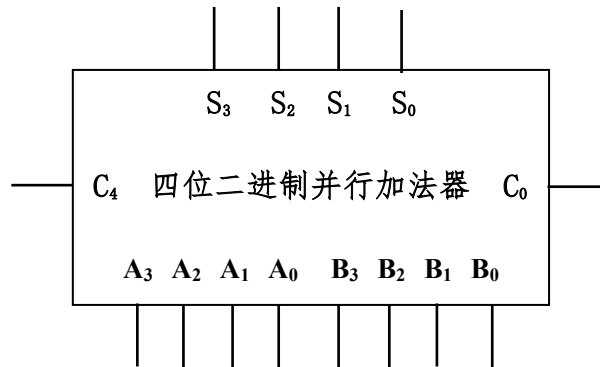


图 1-1 “私有”的四位二进制并行加法器

5、实验方案设计

(1) 一位二进制半加器的设计方案

半加器是没有进位输入的加法器，真值表如下表 1-1

表 1-1 一位二进制半加器真值表

被加数 A	加数 B	本位和 S	进位 C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

得到逻辑表达式：

$$S = \bar{A}B + A\bar{B} = A \oplus B$$

$$C = A \cdot B$$

图 1-2 为一位二进制半加器电路

《数字电路与逻辑设计》实验报告

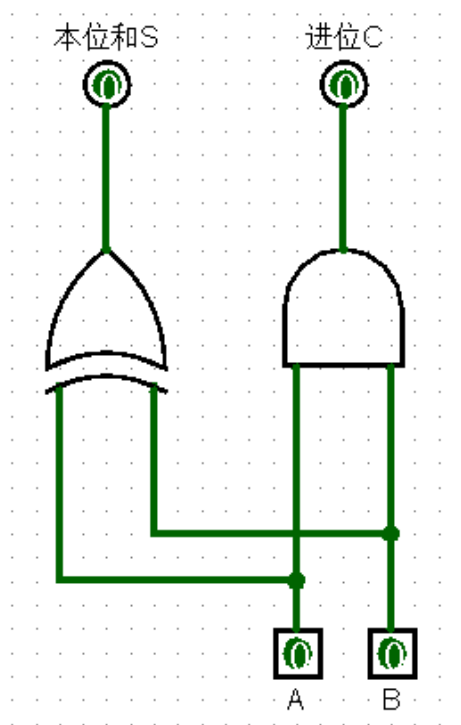


图 1-2 一位二进制半加器

(2) 一位二进制全加器的设计方案

全加器是有进位输入的加法器，真值表如下表 1-2

表 1-2 一位二进制半加器真值表

被加数 A	加数 B	低位进位 C_i	本位和 S	高位进位 C_o
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

得到逻辑表达式：

$$C_o = A \cdot B + C_i (A \oplus B)$$

$$S = A \oplus B \oplus C_i$$

图 1-3 为一位二进制全加器电路

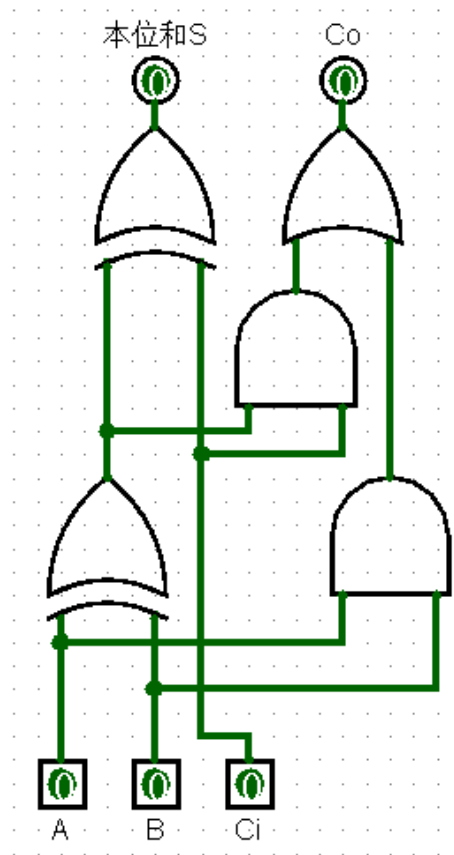


图 1-3 一位二进制全加器

(3) 四位二进制串行加法器的设计方案

把四个一位全加器串联，低位进位输出连接到高位进位输入
图 1-4 为四位二进制串行加法器电路

《数字电路与逻辑设计》实验报告

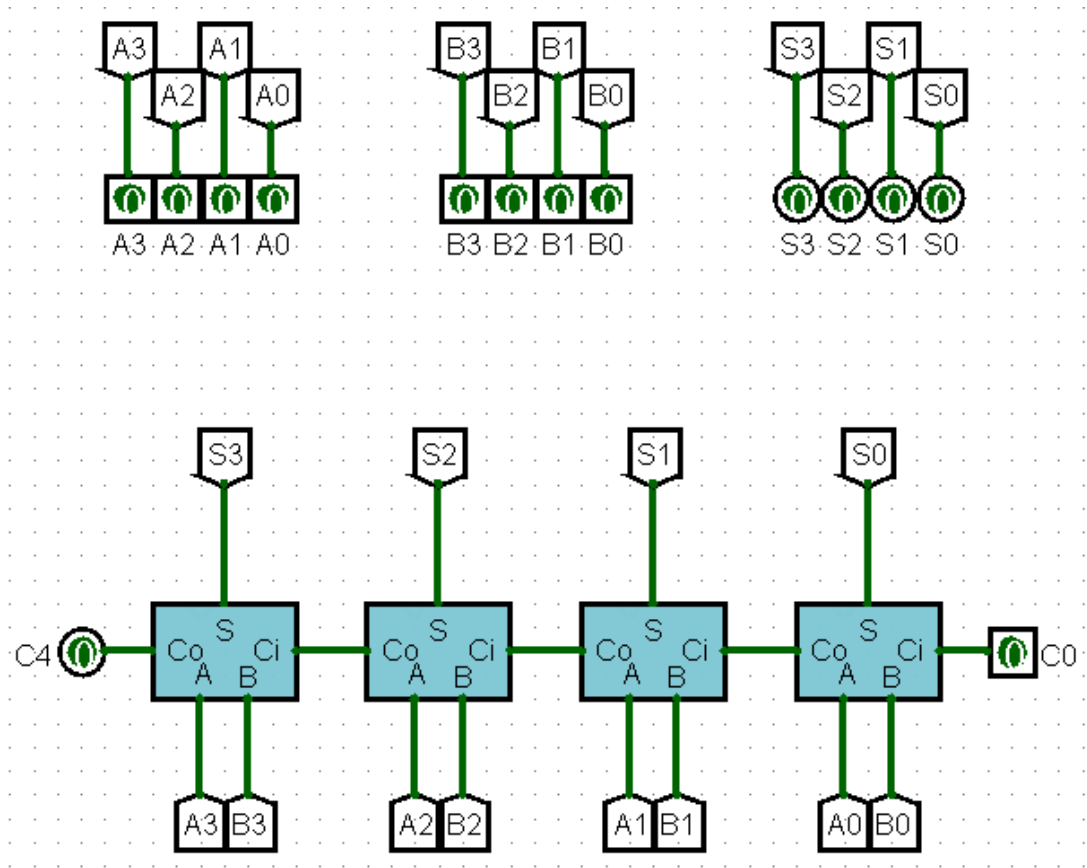


图 1-4 四位二进制串行加法器

(4) 四位二进制并行加法器的设计方案

采用超前进位加法器，提前产生各位的进位输入，不必等待低位进位的运算结果，减少延迟。

令 G_i 为进位生成函数，表示不依靠低位进位时，本位能否产生进位，且 $G_i = A_i B_i$

令 P_i 为进位传递函数，表示当低位进位为 1 时，本位能否产生进位，且 $P_i = A_i \oplus B_i$

四位二进制并行加法器表达式如下：

$$\begin{aligned}
 S_0 &= A_0 \oplus B_0 \oplus C_0 & C_1 &= A_0 B_0 + (A_0 \oplus B_0) C_0 = G_0 + P_0 C_0 \\
 S_1 &= A_1 \oplus B_1 \oplus C_1 & C_2 &= A_1 B_1 + (A_1 \oplus B_1) C_1 = G_1 + P_1 C_1 \\
 & & &= G_1 + P_1 (G_0 + P_0 C_0) \\
 & & &= G_1 + P_1 G_0 + P_1 P_0 C_0 \\
 S_2 &= A_2 \oplus B_2 \oplus C_2 & C_3 &= A_2 B_2 + (A_2 \oplus B_2) C_2 = G_2 + P_2 C_2 \\
 & & &= G_2 + P_2 (G_1 + P_1 G_0 + P_1 P_0 C_0) \\
 & & &= G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_0 \\
 S_3 &= A_3 \oplus B_3 \oplus C_3 & C_4 &= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0
 \end{aligned}$$

《数字电路与逻辑设计》实验报告

图 1-5 为四位二进制并行加法器电路图

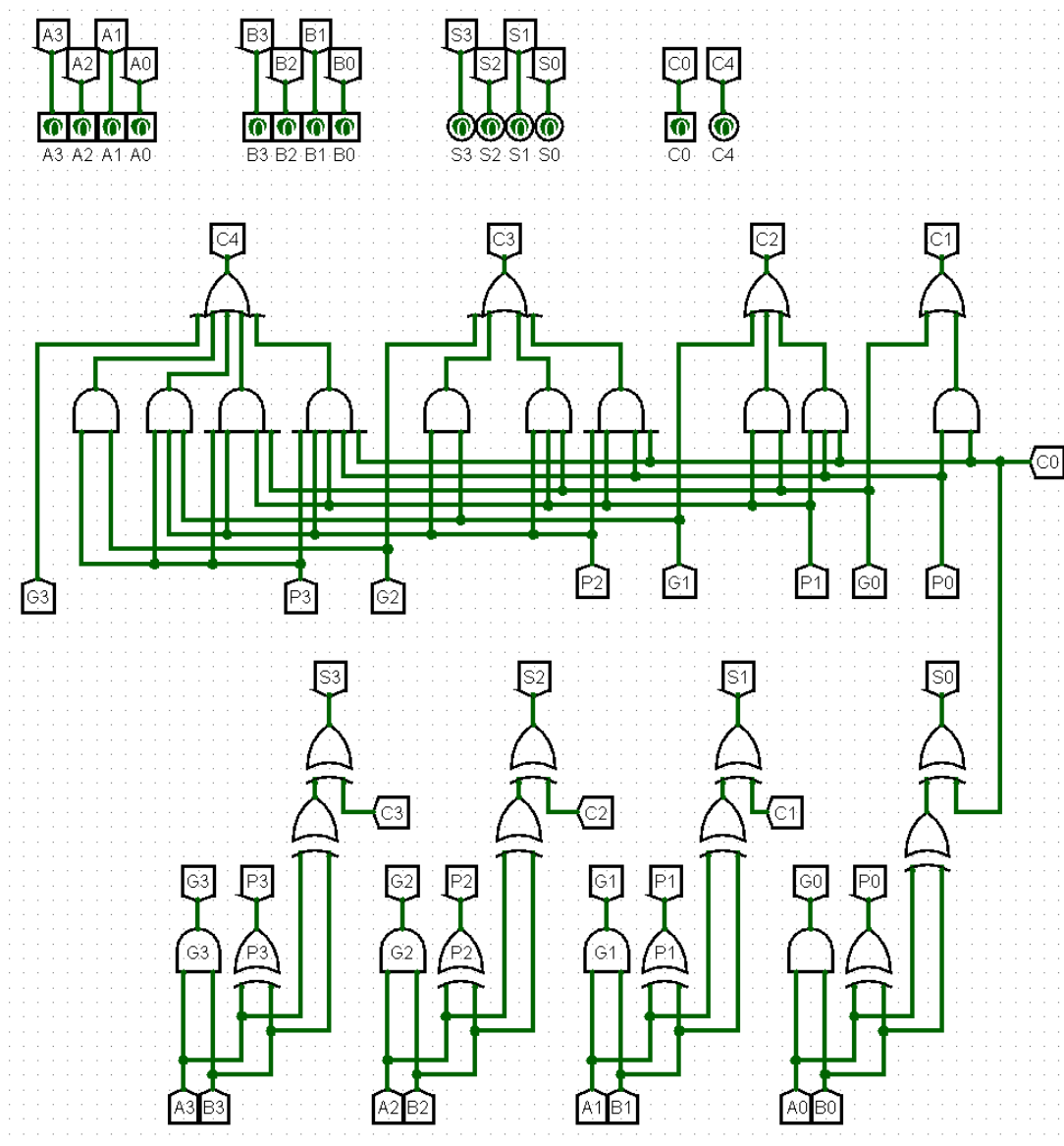


图 1-5 四位二进制并行加法器

(5) 封装四位二进制并行加法器电路

对“第 4 步”完成的电路进行封装，然后对它设计的正确性进行验证。
封装后如图 1-6 所示

《数字电路与逻辑设计》实验报告



图 1-6 四位二进制并行加法器封装电路
新建一个测试电路，如图 1-7 所示，进行正确性验证。

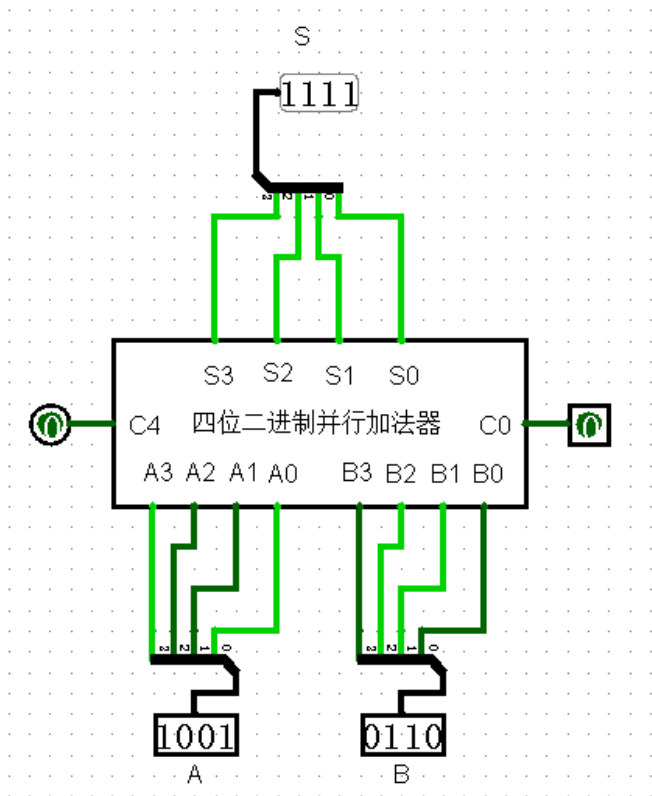


图 1-7 测试电路 1

华中科技大学

数字逻辑实验报告

小型实验室门禁系统设计实验报告

《数字电路与逻辑设计》实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1 软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳 15 人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为 0，刷卡进入时实验室人数加 1，刷卡离开时实验室人数减 1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用 logisim 软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7 段数码显示管外，不能直接使用 logisim 提供的逻辑元件库，具体要求如下。

（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性

用 D 触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端 CLR、一个累加计数脉冲端 CP_U （输入刷卡进入请求）、一个累减计数脉冲端 CP_D （输入刷卡离开请求），四个计数输出端 $Q_0Q_1Q_2Q_3$ 记录当前实验室人数。

将设计好的 4 位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4 位二进制可逆计数器逻辑符号参见图 2-1 所示。

《数字电路与逻辑设计》实验报告

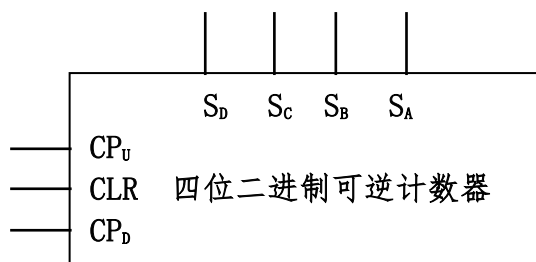


图 2-1 “私有”的一个 4 位二进制可逆计数器

(2) 用实验 1 中已封装的“四位二进制并行加法器”设计一个将实验室内人数转换成 8421BCD 码的电路

用实验一中已封装的“四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室内人数转换成两位十进制数的 8421BCD 码。

(3) 设计 7 段译码器，并采用“7 段数码显示管”显示人数的电路

设计一个 7 段译码器（参考书的 7448 芯片），将两位十进制数的 8421BCD 码表示的实验室内人数用“7 段数码显示管”显示出来。

该 7 段译码器有四个输入 $A_3A_2A_1A_0$ 和七个输出 $abcdefg$ ， $A_3A_2A_1A_0$ 为 8421BCD 码， $abcdefg$ 为 7 段数码显示管对应的段。

(4) 设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路

当实验室满员时，在累加计数脉冲端 CP_U 输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端 CP_D 输入刷卡离开请求。为防止信号干扰，在计数输出为 0 时，若 CP_D 端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

(5) 设计小型实验室门禁系统电路并进行封装和验证它的正确性

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图 2-2 所示。

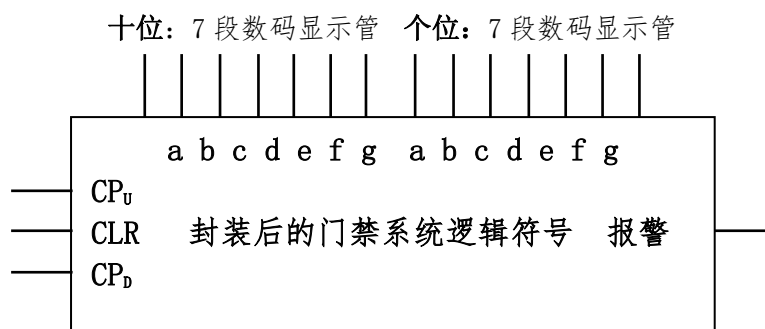


图 2-2 封装后的小型实验室门禁系统

《数字电路与逻辑设计》实验报告

5、实验方案设计

(1) 设计一个四位二进制可逆计数器电路

采用 4 个 D 触发器设计一个同步二进制计数器。

因为一次刷卡只有一人进出，非进即出，所以不存在 00 或者 11 的状态，因此 4 个 D 触发器的使能端都连接为 CP_U 与 CP_D 的异或，当两者取值不同时才开始运作。D 触发器连接到同一个时钟端 CLK 和清零端 CLR。

状态转移表如下表 2-1 所示。

表 2-1

现态 $Q_D^n Q_C^n Q_B^n Q_A^n$	$CP_U = 1$ 且 $CP_D = 0$ 加法计数	$CP_U = 0$ 且 $CP_D = 1$ 减法计数
	次态 $Q_D^{n+1} Q_C^{n+1} Q_B^{n+1} Q_A^{n+1}$	次态 $Q_D^{n+1} Q_C^{n+1} Q_B^{n+1} Q_A^{n+1}$
0000	0001	1111
0001	0010	0000
0010	0011	0001
0011	0100	0010
0100	0101	0011
0101	0110	0100
0110	0111	0101
0111	1000	0110
1000	1001	0111
1001	1010	1000
1010	1011	1001
1011	1100	1010
1100	1101	1011
1101	1110	1100
1110	1111	1101
1111	0000	1110

状态方程卡诺图如下：

当 $CP_U = 1$ 且 $CP_D = 0$ 时，加法计数，次态 Q_A^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00		1			1
01		1			1
11		1			1
10		1			1

《数字电路与逻辑设计》实验报告

当 $CP_U = 0$ 且 $CP_D = 1$ 时，减法计数，次态 Q_A^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00		1			1
01		1			1
11		1			1
10		1			1

当 $CP_U = 1$ 且 $CP_D = 0$ 时，加法计数，次态 Q_B^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00			1		1
01			1		1
11			1		1
10			1		1

当 $CP_U = 0$ 且 $CP_D = 1$ 时，减法计数，次态 Q_B^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00		1		1	
01		1		1	
11		1		1	
10		1		1	

当 $CP_U = 1$ 且 $CP_D = 0$ 时，加法计数，次态 Q_C^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00				1	
01		1	1		1
11		1	1		1
10				1	

当 $CP_U = 0$ 且 $CP_D = 1$ 时，减法计数，次态 Q_C^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00		1			
01			1	1	1
11			1	1	1
10		1			

《数字电路与逻辑设计》实验报告

当 $CP_U = 1$ 且 $CP_D = 0$ 时，加法计数，次态 Q_D^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00					
01				1	
11		1	1		1
10		1	1	1	1

当 $CP_U = 0$ 且 $CP_D = 1$ 时，减法计数，次态 Q_D^{n+1} 如下：

$Q_D Q_C$	$Q_B Q_A$	00	01	11	10
00		1			
01					
11		1	1	1	1
10			1	1	1

由卡诺图得到逻辑表达式如下

$$D_A = Q_A^{n+1} = \bar{Q}_A$$

$$\begin{aligned} D_B = Q_B^{n+1} &= CP_U \cdot (\bar{Q}_B \cdot Q_A + Q_B \cdot \bar{Q}_A) + CP_D (\bar{Q}_B \cdot \bar{Q}_A + Q_B \cdot Q_A) \\ &= CP_U \cdot (Q_B \oplus Q_A) + CP_D \cdot (Q_B \oplus \bar{Q}_A) \end{aligned}$$

$$\begin{aligned} D_C = Q_C^{n+1} &= CP_U \cdot (\bar{Q}_C \cdot Q_B \cdot Q_A + Q_C \cdot \bar{Q}_B + Q_C \cdot \bar{Q}_A) + \\ &\quad CP_D \cdot (\bar{Q}_C \cdot \bar{Q}_B \cdot \bar{Q}_A + Q_C \cdot Q_B + Q_C \cdot Q_A) \\ &= CP_U \cdot [(Q_B \cdot Q_A) \oplus Q_C] + CP_D \cdot [(Q_B + Q_A) \oplus \bar{Q}_C] \end{aligned}$$

$$\begin{aligned} D_D = Q_D^{n+1} &= CP_U (\bar{Q}_D \cdot Q_C \cdot Q_B \cdot Q_A + Q_D \cdot \bar{Q}_C + Q_D \cdot \bar{Q}_B + Q_D \cdot \bar{Q}_A) + \\ &\quad CP_D (\bar{Q}_D \cdot \bar{Q}_C \cdot \bar{Q}_B \cdot \bar{Q}_A + Q_D \cdot Q_C + Q_D \cdot Q_B + Q_D \cdot Q_A) \\ &= CP_U \cdot [(Q_C \cdot Q_B \cdot Q_A) \oplus Q_D] + CP_D \cdot [(Q_C + Q_B + Q_A) \oplus \bar{Q}_D] \end{aligned}$$

《数字电路与逻辑设计》实验报告

根据表达式画出电路图，图 2-3 为四位二进制可逆计数器电路图。

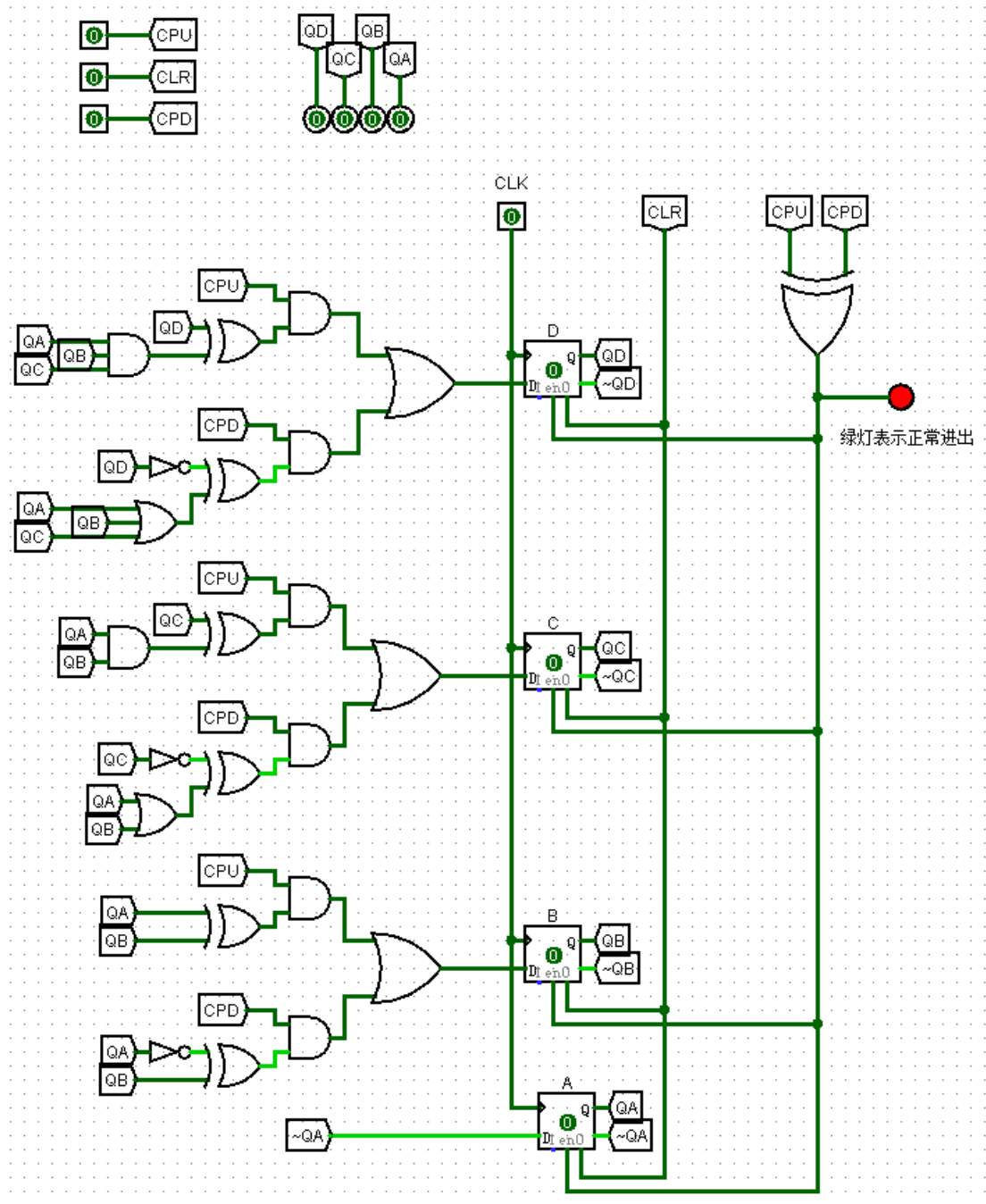


图 2-3 四位二进制可逆计数器电路图

《数字电路与逻辑设计》实验报告

(2) 用实验一中已封装的“四位二进制并行加法器”设计将实验室内人数转换成 8421BCD 码的电路

将二进制数表示的实验室内人数转换成两位十进制数的 8421BCD 码，真值表如下表 2-2

表 2-2

十进制	输入 4 位二进制数				输出 8421BCD 码							
	A ₃	A ₂	A ₁	A ₀	S ₇	S ₆	S ₅	S ₄	S ₃	S ₂	S ₁	S ₀
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	0	1	0
3	0	0	1	1	0	0	0	0	0	0	1	1
4	0	1	0	0	0	0	0	0	0	1	0	0
5	0	1	0	1	0	0	0	0	0	1	0	1
6	0	1	1	0	0	0	0	0	0	1	1	0
7	0	1	1	1	0	0	0	0	0	1	1	1
8	1	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0	1
10	1	0	1	0	0	0	0	1	0	0	0	0
11	1	0	1	1	0	0	0	1	0	0	0	1
12	1	1	0	0	0	0	0	1	0	0	1	0
13	1	1	0	1	0	0	0	1	0	0	1	1
14	1	1	1	0	0	0	0	1	0	1	0	0
15	1	1	1	1	0	0	0	1	0	1	0	1

由真值表知，当输入 0~9 之间的数时，输出的 BCD 码高四位为 0，低四位与输入 4 位二进制数相同。当输入 10~15 之间的数时，输出的 BCD 码高 3 位为 0，低 5 位等于输入 4 位二进制数加上 0110（十进制 6）。

所以输出的 BCD 码高 3 位恒等于 0，低 5 位等于输入 A₃A₂A₁A₀ 加上 0 或 6。

当 A₃=1 且 A₂A₁ 不等于 00 时，输入 >9，加数为 6；否则加数为 0。

图 2-4 为一位 16 进制数转 2 位 8421 码电路图。

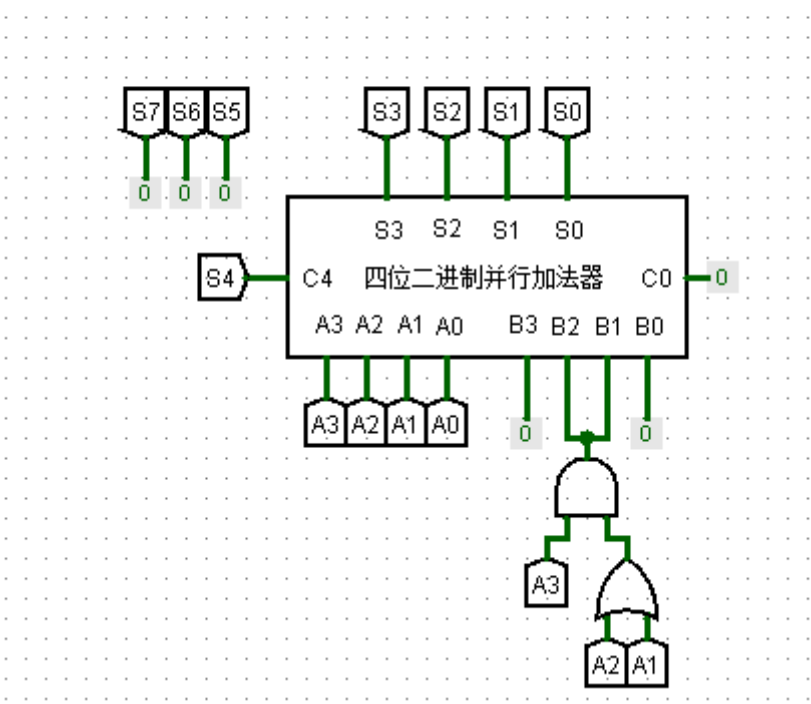


图 2-4 一位 16 进制数转 2 位 8421 码

(3) 设计 7 段译码器，并采用“7 段数码显示管”显示人数的电路

(A) 设计一个 7 段译码器

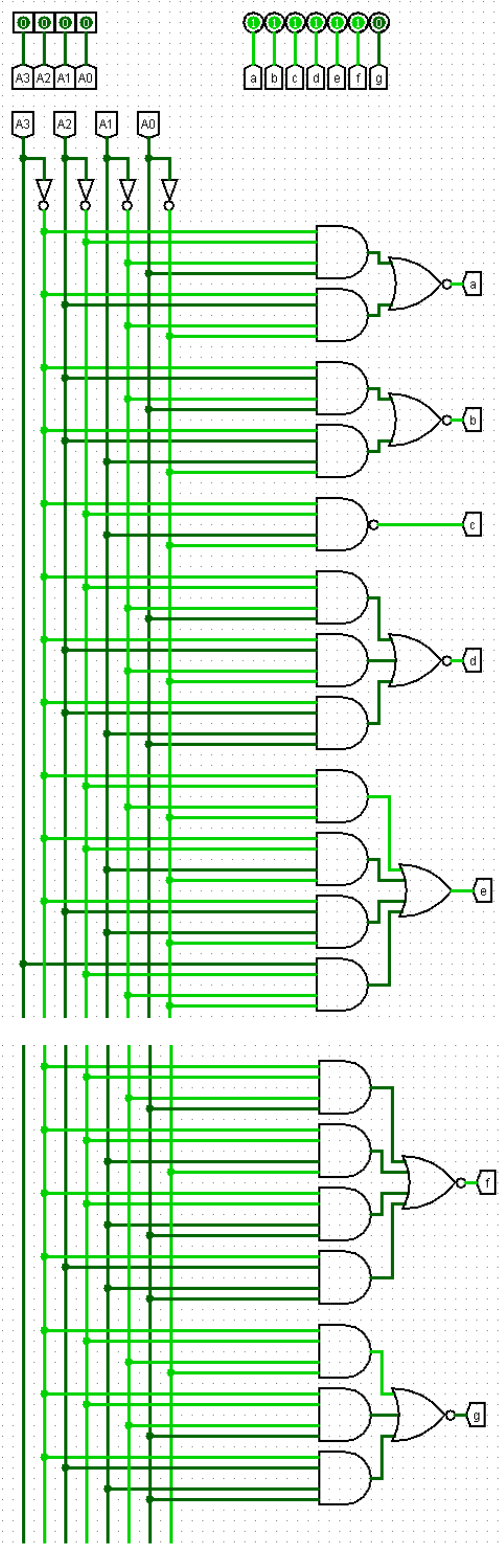
译码器真值表如下表 2-3 所示

表 2-3

输入 A ₃ A ₂ A ₁ A ₀	输出 abcdefg	字形
0000	1111110	0
0001	0110000	1
0010	1101101	2
0011	1111001	3
0100	0110011	4
0101	1011011	5
0110	1011111	6
0111	1110000	7
1000	1111111	8
1001	1111011	9

《数字电路与逻辑设计》实验报告

图 2-5 为 7 段译码器电路：



$$a = \overline{(\overline{A_3} \overline{A_2} \overline{A_1} A_0 + \overline{A_3} A_2 \overline{A_1} \overline{A_0})}$$

$$b = \overline{(\overline{A_3} A_2 \overline{A_1} A_0 + \overline{A_3} A_2 A_1 \overline{A_0})}$$

$$c = \overline{(\overline{A_3} \overline{A_2} A_1 \overline{A_0})}$$

$$d = \overline{(\overline{A_3} \overline{A_2} \overline{A_1} A_0 + \overline{A_3} A_2 \overline{A_1} \overline{A_0} + \overline{A_3} A_2 A_1 A_0)}$$

$$e = (\overline{A_3} \overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_3} \overline{A_2} A_1 \overline{A_0} + \overline{A_3} A_2 A_1 \overline{A_0} + \overline{A_3} A_2 \overline{A_1} \overline{A_0})$$

$$f = \overline{(\overline{A_3} \overline{A_2} \overline{A_1} A_0 + \overline{A_3} \overline{A_2} A_1 \overline{A_0} + \overline{A_3} \overline{A_2} A_1 A_0 + \overline{A_3} A_2 A_1 \overline{A_0})}$$

$$g = \overline{(\overline{A_3} \overline{A_2} \overline{A_1} \overline{A_0} + \overline{A_3} \overline{A_2} \overline{A_1} A_0 + \overline{A_3} A_2 A_1 A_0)}$$

图 2-5 7 段译码器

《数字电路与逻辑设计》实验报告

(B) 设计用“7 段数码显示管”显示人数的逻辑电路

首先把输入的 4 位二进制数转化为 8 位 BCD 码，然后通过两个 7 段译码器，分别产生 7 个输出，连接到 7 段数码管的相应位置。

图 2-6 为 7 段数码显示电路：

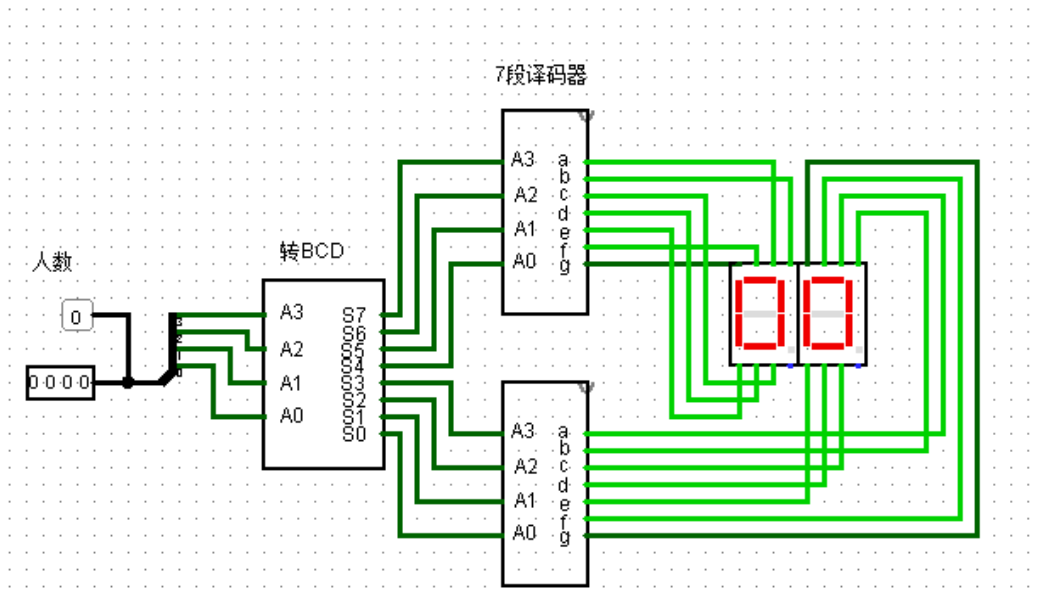


图 2-6 用 7 段数码显示管显示实验室人数的电路

(4) 设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路

当计数器输出为 1111 时，不再输入 CP_0 信号到计数器中；当计数器输出为 0000 时，不再输入 CP_0 信号到计数器中。图 2-7 为报警电路：

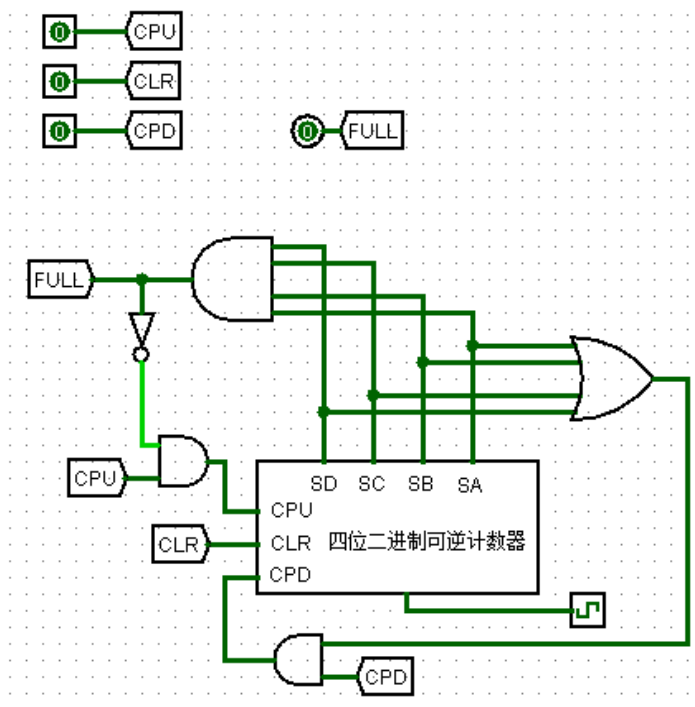


图 2-7 报警电路

(5) 设计小型实验室门禁系统电路

首先计数，计数器输出的值先转换位 BCD 码，然后输入到为 2 个 7 段译码器中。图 2-8 为门禁系统电路

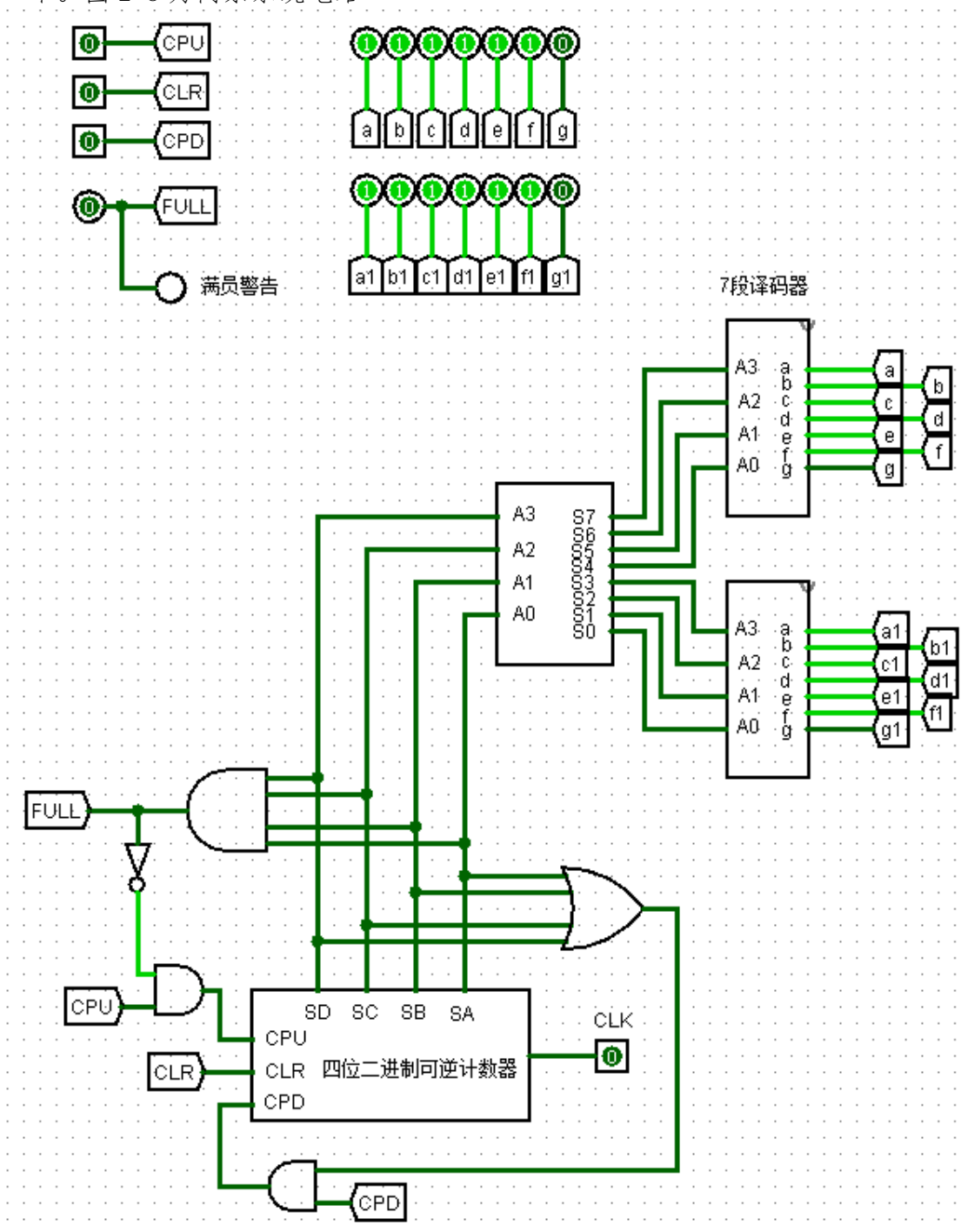


图 2-8 门禁系统电路

《数字电路与逻辑设计》实验报告

6、实验结果记录

(1) 给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路

图 2-9 为可逆计数器测试电路

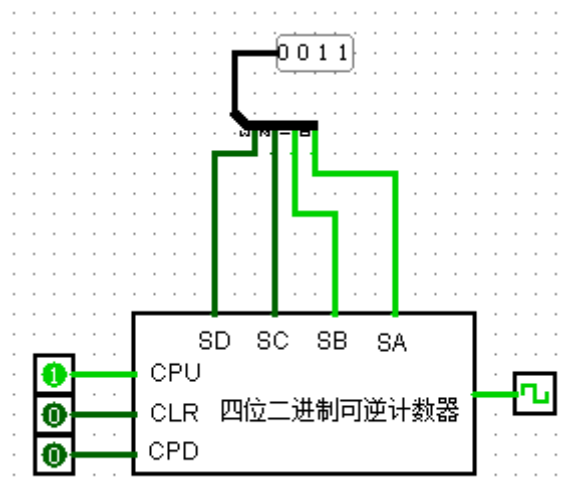


图 2-9 可逆计数器测试电路

(2) 给出采用实验 1 中已封装的“四位二进制并行加法器”设计的将实验室内人数转换成 8421BCD 码的电路

图 2-10 为二进制数转换成 8421BCD 码的电路

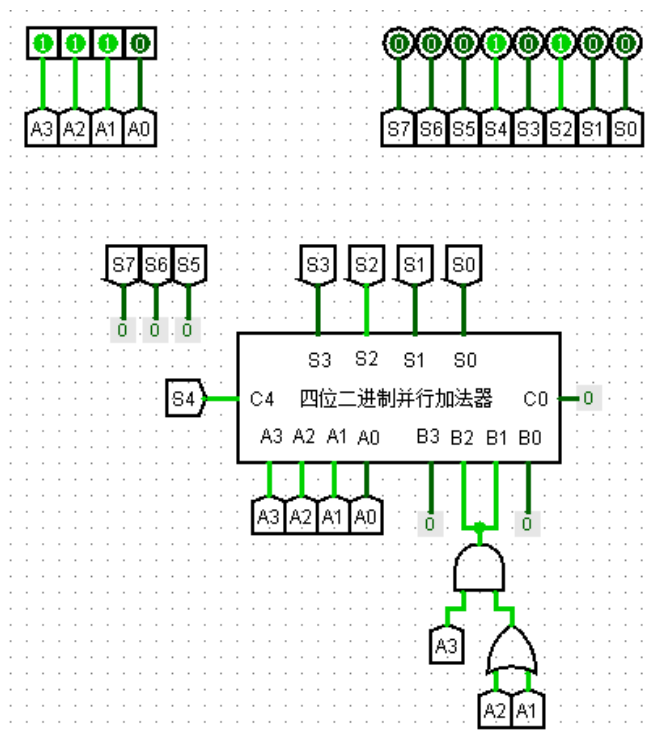


图 2-10 二进制数转换成 8421BCD 码的电路

《数字电路与逻辑设计》实验报告

(5) 给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路

图 2-13 为实验室门禁系统测试电路

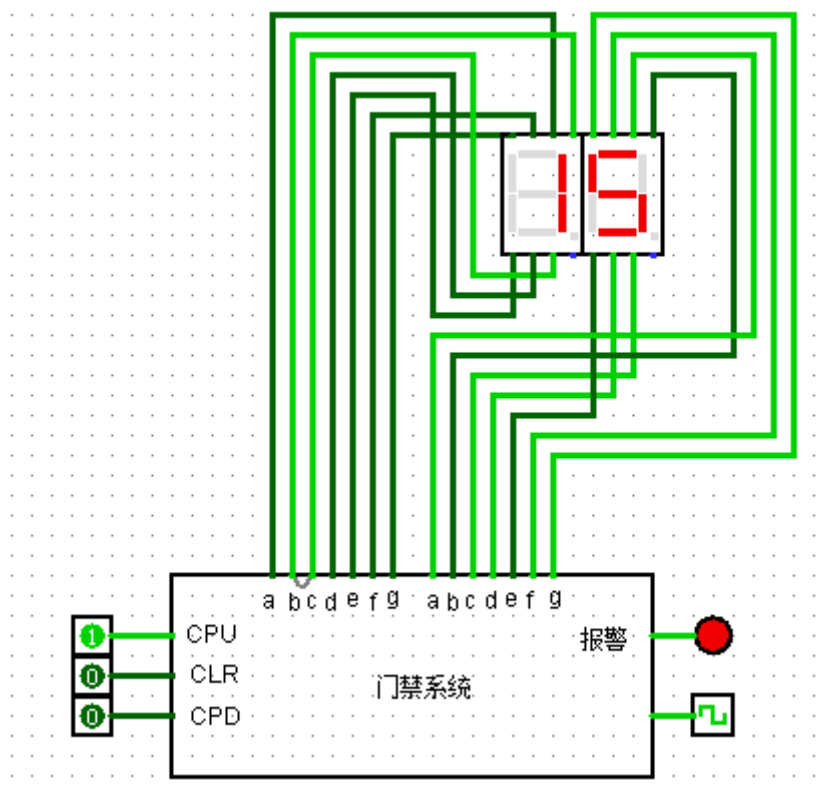


图 2-13 实验室门禁系统测试电路

7、实验后的思考

(1) 这两次实验的难点你认为在哪些方面？

用 D 触发器设计四位二进制可逆计数器时，一开始采用异步的思路，写状态转移表时，时钟信号比较难以通过卡诺图化简得到表达式。

在计数器中，初始状态下（CPU=CPD=0）时钟翻转同样会造成输出改变，因此需要加一个使能端来控制计数器是否进入工作状态。

(2) 你是如何解决的？

改为设计同步计数器，先根据卡诺图写出次态的表达式，再根据次态写出激励函数的表达式。

添加使能端= CPU 异或 CPD，只有 1 0 或 0 1 时才工作，分别为增加计数和减少计数。

(3) 意见和建议

建议老师提供一些用于测试的电路，方便检查错误。