

TRƯỜNG ĐẠI HỌC BÁCH KHOA TP.HCM
KHOA KHOA HỌC VÀ KỸ THUẬT MÁY TÍNH



ĐỒ ÁN THIẾT KẾ KỸ THUẬT MÁY TÍNH

Thiết kế SoC RISC-V tích hợp EdgeAI
cho ứng dụng IoT

Học kỳ 251

GVHD: PGS. TS. Trần Ngọc Thịnh
ThS. Huỳnh Phúc Nghị

STT	Họ và tên	MSSV	Ghi chú
1	Lâm Nữ Uyển Nhi	2212429	
2	Vũ Đức Lâm	2211824	

TP. Hồ Chí Minh, Tháng 12/2025

Mục lục

1	Giới thiệu đề tài	1
1.1	Đặt vấn đề	1
1.2	Mục tiêu đề tài	1
1.3	Phạm vi đề tài	1
1.4	Phân chia công việc	1
1.5	Cấu trúc báo cáo	1
2	Cơ sở lý thuyết	2
2.1	Tổng quan về Mạng nơ-ron tích chập (CNN)	2
2.2	Kỹ thuật thiết kế bộ tăng tốc phần cứng (AI Accelerator)	2
2.3	Kiến trúc System-on-Chip trên nền tảng FPGA	2
3	Phân tích yêu cầu và Kiến trúc tổng quan	3
3.1	Phân tích yêu cầu thiết kế	3
3.2	Kiến trúc hệ thống tổng quan	3
3.3	Đặc tả giao diện kết nối	3
4	Thiết kế kiến trúc Accelerator và Chiến lược dòng dữ liệu	4
4.1	Phân tích toán học của phép tính tích chập	4
4.2	Chiến lược phân mảnh và Dòng dữ liệu đề xuất	4
4.3	Thiết kế kiến trúc vi mô (Micro-architecture)	4
5	Hiện thực nền tảng SoC	5

5.1	Môi trường và Công cụ hiện thực	5
5.2	Cấu hình hệ thống xử lý (Processing System)	5
5.3	Thiết kế hệ thống kết nối (Interconnect Subsystem) . . .	5
5.4	Tích hợp và Kiểm thử nền tảng cơ sở	5
6	Đánh giá hiệu năng lý thuyết	6
6.1	Phương pháp đánh giá: Mô hình Roofline	6
6.2	Ước lượng độ trễ và Tài nguyên	6
6.3	So sánh với các nghiên cứu liên quan	6
7	Kế hoạch phát triển	7
7.1	Đánh giá mức độ hoàn thành Giai đoạn 1	7
7.2	Kế hoạch thực hiện Giai đoạn 2	7
7.3	Tiến độ dự kiến	7

Danh sách hình vẽ

Danh sách bảng biểu

Chapter 1

Giới thiệu đề tài

Chương này trình bày tổng quan về bối cảnh nghiên cứu, xác định mục tiêu cụ thể, phạm vi thực hiện và phân công nhiệm vụ giữa các thành viên trong nhóm.

1.1 Đặt vấn đề

1.2 Mục tiêu đề tài

1.3 Phạm vi đề tài

1.4 Phân chia công việc

1.5 Cấu trúc báo cáo

Chapter 2

Cơ sở lý thuyết

Chương này cung cấp các kiến thức nền tảng về Mạng nơ-ron tích chập (CNN), các kỹ thuật thiết kế phần cứng cho AI và kiến trúc System-on-Chip trên FPGA.

2.1 Tổng quan về Mạng nơ-ron tích chập (CNN)

2.2 Kỹ thuật thiết kế bộ tăng tốc phần cứng (AI Accelerator)

2.3 Kiến trúc System-on-Chip trên nền tảng FPGA

Chapter 3

Phân tích yêu cầu và Kiến trúc tổng quan

Chương này phân tích các ràng buộc thiết kế từ đó đề xuất kiến trúc tổng thể của hệ thống SoC tích hợp AI Accelerator.

3.1 Phân tích yêu cầu thiết kế

3.2 Kiến trúc hệ thống tổng quan

3.3 Đặc tả giao diện kết nối

Chapter 4

Thiết kế kiến trúc Accelerator và Chiến lược dòng dữ liệu

Chương này trình bày chi tiết thiết kế của lõi IP Accelerator, bao gồm phân tích toán học, chiến lược tối ưu dòng dữ liệu và kiến trúc vi mô.

4.1 Phân tích toán học của phép tính tích chập

4.2 Chiến lược phân mảnh và Dòng dữ liệu đề xuất

4.3 Thiết kế kiến trúc vi mô (Micro-architecture)

Chapter 5

Hiện thực nền tảng SoC

Chương này trình bày quá trình xây dựng hệ thống SoC cơ sở trên FPGA, bao gồm cấu hình vi xử lý, hệ thống bus và tích hợp các ngoại vi.

5.1 Môi trường và Công cụ hiện thực

5.2 Cấu hình hệ thống xử lý (Processing System)

5.3 Thiết kế hệ thống kết nối (Interconnect Subsystem)

5.4 Tích hợp và Kiểm thử nền tảng cơ sở

Chapter 6

Đánh giá hiệu năng lý thuyết

Chương này sử dụng các mô hình giải tích để ước lượng hiệu năng, độ trễ và tài nguyên tiêu thụ của kiến trúc đề xuất.

6.1 Phương pháp đánh giá: Mô hình Roofline

6.2 Ước lượng độ trễ và Tài nguyên

6.3 So sánh với các nghiên cứu liên quan

Chapter 7

Kế hoạch phát triển

Chương này tổng kết các kết quả đạt được trong Giai đoạn 1 và đề ra kế hoạch chi tiết cho việc hiện thực và kiểm thử trong Giai đoạn 2.

7.1 Đánh giá mức độ hoàn thành Giai đoạn

1

7.2 Kế hoạch thực hiện Giai đoạn 2

7.3 Tiến độ dự kiến