

为了检测 mini-LVDS 接口输出的信号质量，利用 EZWAVE 波形查看器中眼图生成工具生成数据眼图，根据眼图的张开程度及宽度作为传输数据质量优劣的标准。

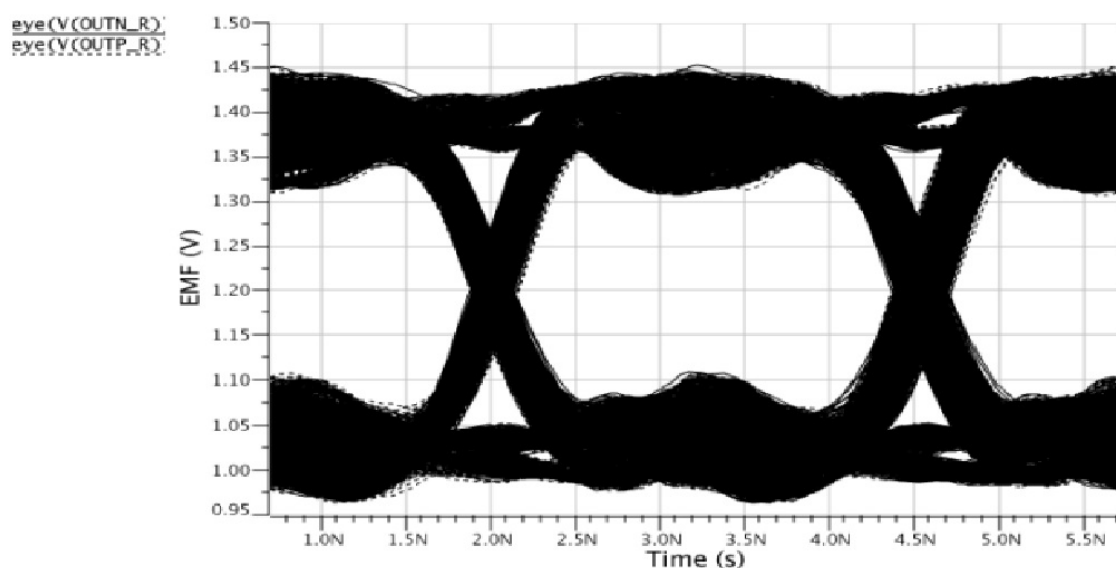


图 典型情况下数据传输率为 400Mbps 时 mini-LVDS 接口终端电阻输出端眼图

图 5-5 给出了典型情况下数据传输率为 400Mbps 时 mini-LVDS 接口终端电阻输出端的眼图，从图中可以看到，眼图最小张开处达 200mV，占理想张开度的 50% (200mV/400mV)，已达到接收端对信号阈值的要求。眼图宽度达 2.1ns，占单位时间长度的 84% (2.1ns/2.5ns)。说明信号传输时幅值较稳定，抖动较小。

体系架构不同使得接口的数据传输格式，TCON 的时序控制及 CD 接收数据的方式存在差别。RSDS, mini-LVDS 采用 Multidrop 总线结构，如图 2-1 所示，即 TCON 与多个 CD 通过总线连接来传输数据，每个 CD 分时从 TCON 中读取数据。PPDS 采用点对点结构，如图 2-2 所示，即 TCON 与每个 CD 分别由一对独立的差分数据线连接，所有 CD 同时从 TCON 中读取数据。这样使得 TCON 在从 LVDS Receiver 接收到数据后对其处理的方式存在区别。另外，虽然同为 Multidrop 总线结构，RSDS, mini-LVDS 的总线宽度不一样，因此数据的传输格式也不一样。其中 RSDS 存在三种总线结构，T 结构，L 结构和双总线结构，传输数据的总线宽度由色深决定。如色

深为 6bits 时，需 9 对数据线及 1 对时钟线；当色深为 8bits 时，则需 12 对数据线及 1 对时钟线。mini-LVDS 采用双总线结构，左半总线和右半总线各自负责 TFT-LCD 左右半屏的数据传输，总线宽度则是根据实际需要在 3 对~6 对间选择，典型总线宽度为 6 对。

像素数据，因此TCON必须将每一行的像素数据分割成N个部分，其中N为列驱动器的个数，然后将这N个部分的数据同时发送到相应的CD。

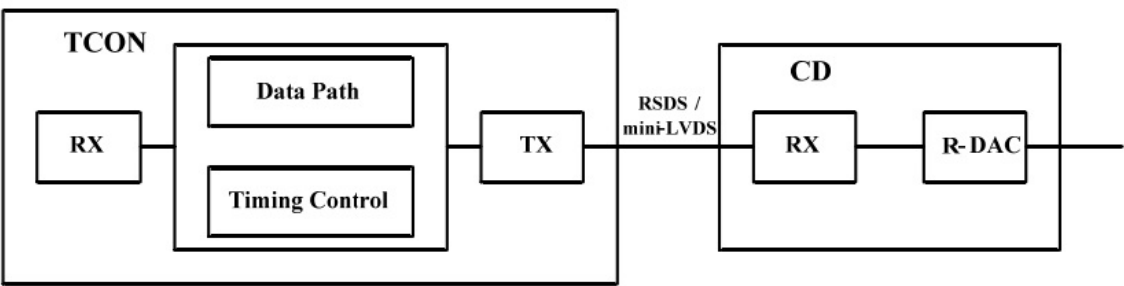


图 （ ） RSDS/mini-LVDS 接口框图

的转换。其中 TCON 接收前端 LVDS 接收器输出的像素数据，同步时钟以及同步信号（行同步信号、列同步信号、数据使能信号），根据列驱动器所采用的标准调整输入像素数据的格式以符合其接收要求，并产生相应的行、列驱动器控制信号及发送器所需的控制信号。发送器接收 TCON 输出的数字信号及控制信号，并根据列驱动器采用的标准产生符合其电气参数的信号经传输线发送出去。特别是发送器中的驱

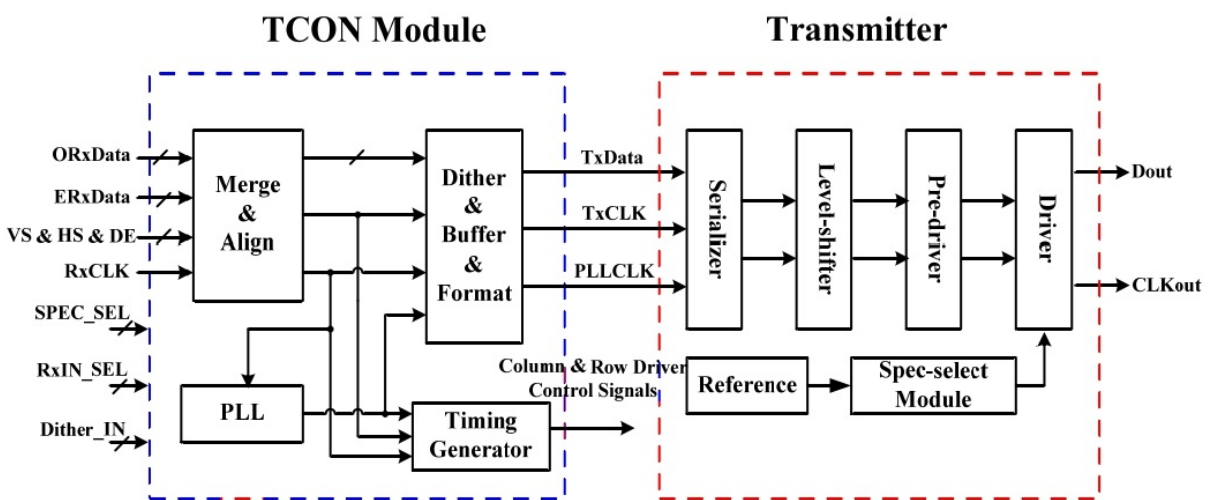


图 接口系统结构图

端口名	I/O	总线宽度	端口定义
ORxData	输入	[29:0]	奇像素数据输入。
ERxData	输入	[29:0]	偶像素数据输入。
RxCLK	输入		输入同步时钟。
Vsync	输入		列同步信号。标志每一帧图像数据的开始和结束。
Hsync	输入		行同步信号。标志每一行图像数据的开始和结束。
DE	输入		数据使能信号。标志每一行有效图像数据的开始。
SPEC_SEL	输入	[1:0]	标准选择信号。 2'b00: RSDS; 2'b01: mini-LVDS; 2'b10: PPDS
RxIN_SEL	输入	[1:0]	色深选择信号。 2'b00: 18 bits RGB; 2'b01: 24 bits RGB; 2'b10: 30 bits RGB
Dither_EN	输入		抖动模式选择信号。 1'b1 进行 10bit-to-8bit 或 8bit-to-6bit 抖动; 1'b0 抖动模块无效。
Dout	输出	[14:0]	输出到列驱动器的像素数据
CLKout	输出		输出时钟
STH	输出		RSDS 的列驱动器 Start Pulse 信号，输入给第一个列驱动器。
TP	输出		列驱动器控制信号，标志每行图像数据的开始或结束。
POL	输出		列驱动器输出极性反转信号。
STV	输出		行驱动器的 Start Pulse 信号，输入给第一个行驱动器。
CPV	输出		行驱动器的移位时钟信号。
OE	输出		行驱动器的输出有效信号。

其中 STH, TP, POL, STV, CPV, OE 为接口系统结构图中的 Column& Row Driver Control Signals（行、列驱动器控制信号）。RSDS 列驱动器的控制信号为 STH, TP, POL，mini-LVDS 列驱动器的控制信号为 TP, POL。PPDS 标准的行、列控制信号都通过高级协议嵌入到像素数据总线上以报头的形式发送，因此在此系统中并未为其预留相应的控制信号输出端口。

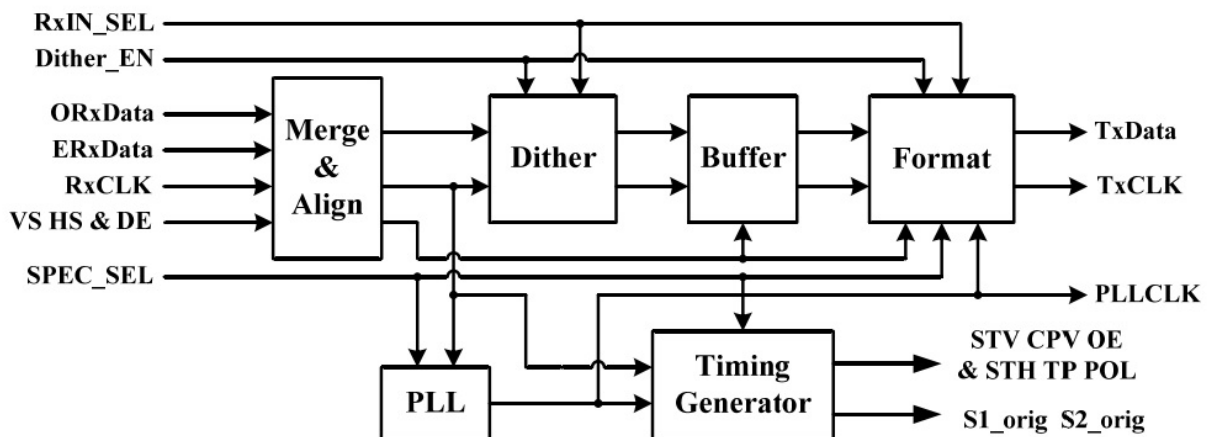


图 TCON 架构图

TCON 的架构图见图 3-2，其工作原理如下：

LVDS接收器输出的像素数据（ORxData和ERxData），同步时钟RxCLK及同步信号Vsync，Hsync首先进入Merge单元。为方便后续模块处理，Merge单元将两路数据ORxData和ERxData合并成一路数据，然后通过Align单元将其与同步信号对齐。若为单链路LVDS输入，则Merge单元无效，直接通过Align单元对数据进行处理。由于图像数据需要进行抖动处理以符合TFT-LCD的显示要求，因此Dither模块将根据色深选择信号RxIN_SEL，在Dither_EN的控制下对信号进行10bit-to-8bit或8bit-to-6bit的抖动处理^[24~25]。由于本设计主要为功能设计，因此仅采用简单的抖动处理，即直接去掉RGB数据的后两位（LSB）。考虑到采用RSDS和mini-LVDS接口标准的CD与采用PPDS接口标准的CD从TCON中读取数据的方式不同，因此需要Buffer模块对显示屏一行的数据进行缓存，然后同时发送给Format模块。Format模块根据SPEC_SEL信号按照相应接口标准的要求对这一行数据的排列格式进行调整，mini-LVDS和PPDS标准下还要加入相应的控制信号，然后将数据TxData及同步时钟TxCLK 输出给发送器。

Timing Generator 将根据与数据对齐的同步信号 VSync、HSync 和 DE 产生行、列驱动器的控制信号，为行、列驱动器提供正确的时序。行驱动器控制信号为 STV、CPV、OE。RSDS 列驱动器控制信号为 STH、TP、POL，mini-LVDS 列驱动器控制信号为 TP、POL。其中，POL 信号控制列驱动器实现点反转方式，即每行、每帧之间都需要控制改变极性。另外，Timing Generator 还将根据 VSync，HSync 及时钟信号产生发送器所需的控制信号 S1_orig 及 S2_orig，具体产生的要求及方法后续章节将会详细介绍。系统所需的时钟由锁相环(PLL)提供。PLL 利用同步输入时钟 RxCLK 产生倍频时钟给 Timing Generator，并作为输出时钟。

一般来说，时序控制器所需要的输入数据有：输入/输出数据格式的选择信号，水平同步(hsync)脉冲宽度、水平后边沿宽度、水平有效区宽度、水平前边沿宽度，垂直同步(vsync)脉冲宽度、垂直后边沿宽度、垂直有效区宽度、垂直前边沿宽度及像素时钟。输出的数据有：视频数据信号、LCD 驱动器控制信号。

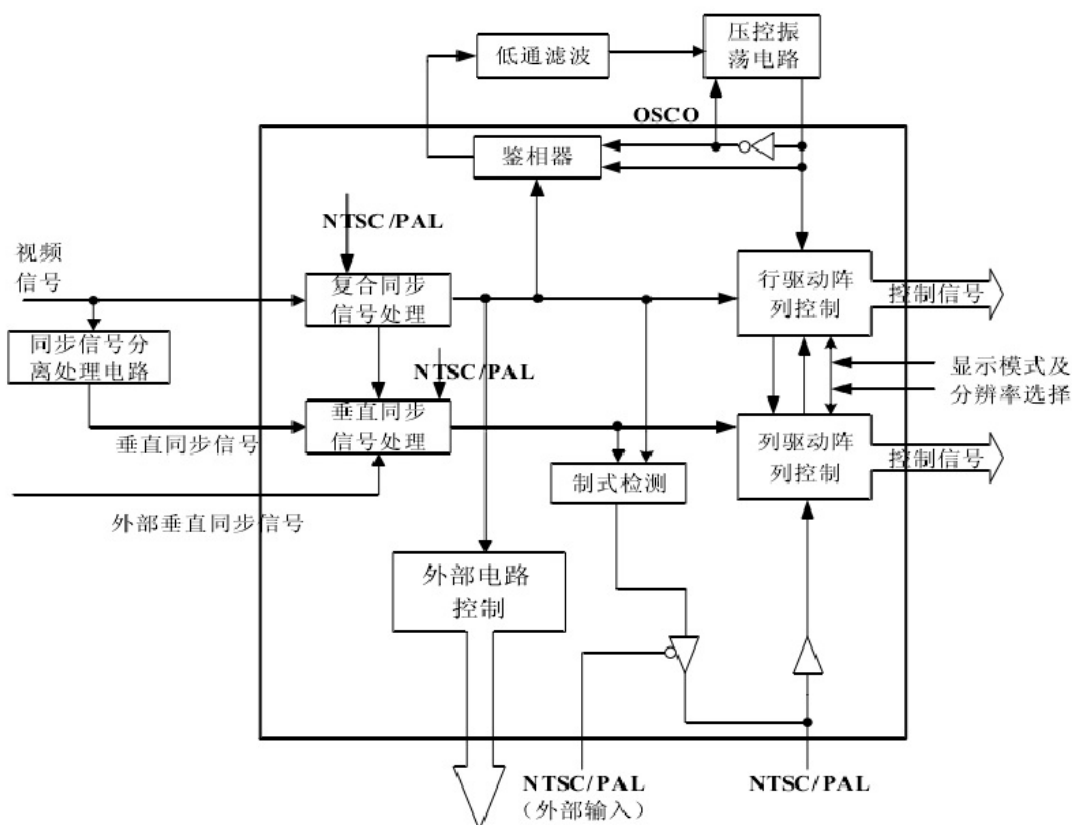


图 2-4 时序控制器系统结构

就是相当于一个开关管。常用的 TFT 是三端器件。一般在玻璃基板上制作半导体层，在其两端有与之相连接的源极和漏极。并通过栅极绝缘膜，与半导体相对位置，设有栅极，利用施加于栅极的电压来控制源、漏电极间的电流^[17]。

TFT-LCD 面板工作时，时序控制器控制行驱动器按一定的周期依序将每一行的 TFT 打开，使整排的列驱动器同时将一整行的显示点，显示不同的灰度。当这一行充完成时，行驱动器便将电压关闭，然后下一行的行驱动器将电压打开，再由相同的一排列驱动器对下一行的显示点进行充放电。当一帧结束，每一行的显示点都依次充电后，就会回到第一行，开始新的一帧。

需要注意的是，由于液晶分子的特殊性质，它不能一直固定在某一个电压值上不变。如果固定的时间太久，那么即使将电压取消掉，液晶分子也会因为特性的破坏，无法再随电压的变化而转动，形成不同灰度级。所以每隔一段时间，就必须将电压恢

复原状，以避免破坏液晶分子的特性。但在某些情况下，TFT-LCD 需要显示固定的画面，即各显示点都要固定在各自己的灰度级上。这种情况下，就需要将液晶显示面板内的显示电压分成正极性和负极性，使公共电极电压 V_{com} 做周期性的极性转换。液晶面板工作时，将显示电极电压与公共电极电压 V_{com} 比较，当显示电极的电压高于公共电极电压 V_{com} 时，就称为正极性，反之则称为负极性。如图 3-3 所示，不论是正极性或负极性，都会有一组相同亮度的灰度级。所以当上下两层玻璃的压差绝对值是固定时，不论是显示电极的电压高，或是公共电极的电压高，所表现出的灰度级是相同的，但其实液晶分子的转向完全相反，这样就避免了使液晶分子固定在同一方向^[18]。

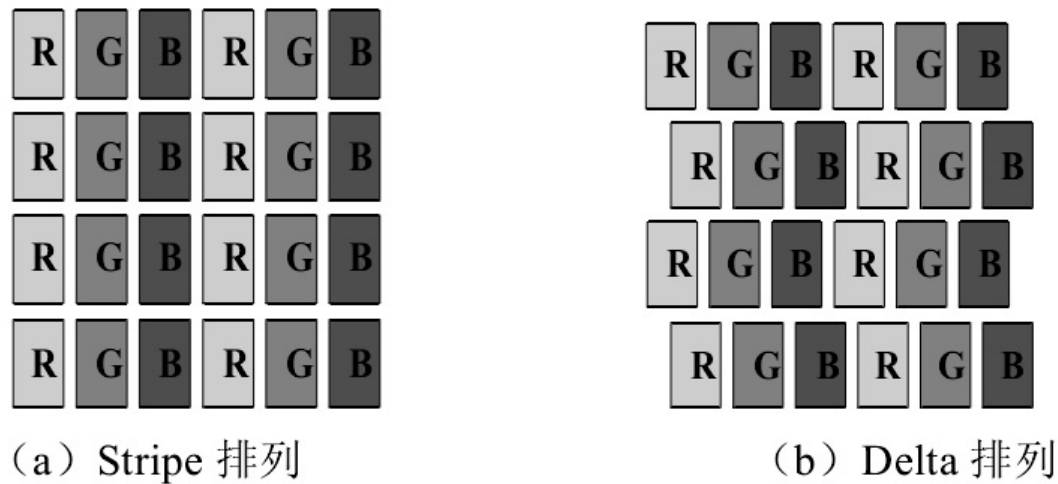


图 3-4 两种常见的彩色滤光片排列

Stripe 排列可以使这些方框边缘，看起来更笔直，而不会有一条直线，看起来会有毛边或是锯齿状的感觉。使用这种排列的液晶显示面板通常是 5.7~11 吋以上的中、大规模显示屏，能清晰地显示图象和文字。

而应用在 3.5~10 吋中、小规模 AV 产品上时，液晶显示面板则大多使用 Delta 排列。AV 产品通常显示电视信号，即人物及风景等，其轮廓大部分是不规则的曲线，这种排列就能抑制垂直噪声条的产生，并能显示轮廓鲜明，生动逼真的图像^[19,20]。

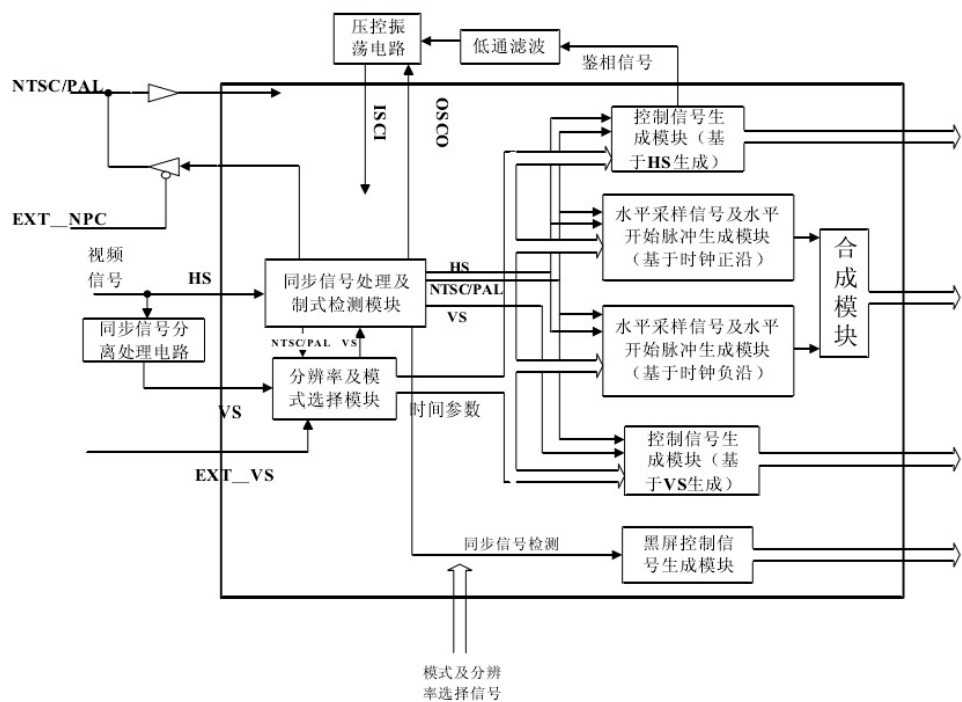


图 3-5 时序控制器模块划分

根据液晶面板电路结构的特点，时序控制器对它的控制时序应分为两组：一组用来控制行驱动器；一组用来控制列驱动器。

对行驱动器的控制，是使液晶面板在一般应用情况下，配合视频数据的时序，按照从上到下的顺序依次将每一行的显示点点亮。那么首先，需要有一个类似于垂同步信号的垂直开始脉冲 **start_v**，在每一场的开始，控制接下来的视频数据从液晶面板的第一行开始显示。需要注意，**start_v** 信号并不直接控制驱动器打开 TFT 晶体管，点亮显示点，而是可以看作给液晶面板的一个预备信号。然后，再依次给每一行的行驱动器一个使能信号 **ena_v**，将每一行的 TFT 晶体管按由上至下的顺序导通，等待列驱动器对它们充电，显示不同的灰度级。但是，对于液晶面板的接口来说，不可能将每一行的行驱动器的走线都引出，由单独的控制线进行控制，只能采取引入一个 **shift_v** 信号控制切换的方法，在每一个行周期依序将 **ena_v** 控制信号切换到各条行驱动器走线，控制行驱动器的打开。经过上面的分析，由 **start_v**、**ena_v** 和 **shift_v** 三条控制信号就可以实现对液晶面板行驱动器的控制。从图 3-7 可以清楚的看出对行驱动器的整

个控制过程。图 3-8 给出各控制信号与同步信号的时序关系。

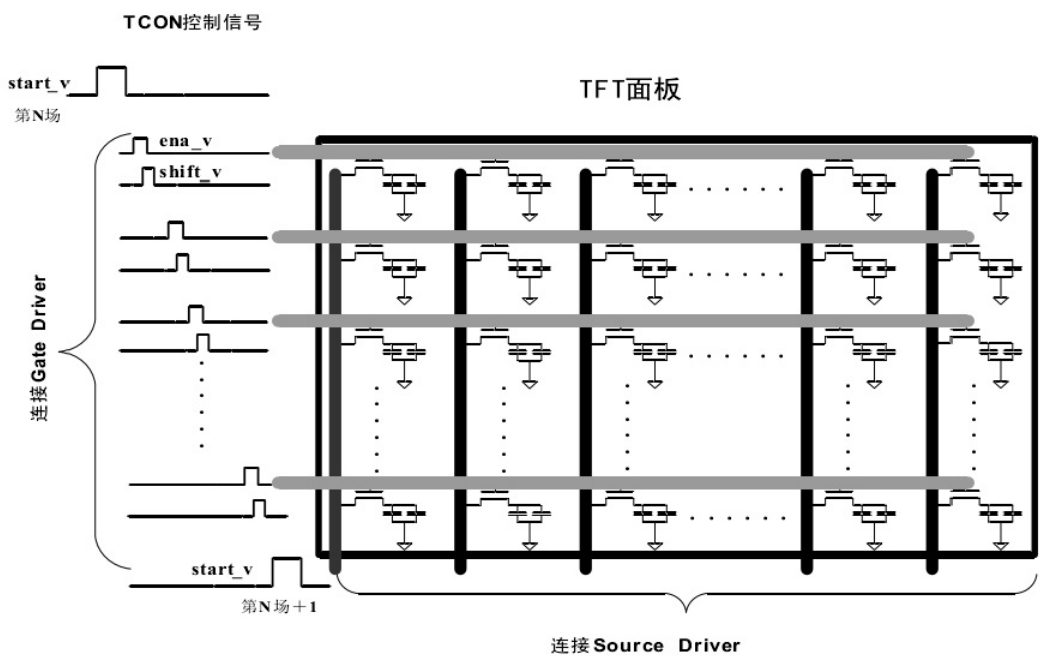


图 3-7 行驱动器控制

对列驱动器也可以有类似的分析。但与行驱动器不同的是，列驱动器的使能信号 ena_h 在每个行周期都会将所有的列驱动器同时打开，在水平开始信号 start_h 出现后，根据采样时钟 sapmle_h 采样所得的 RGB 的电压值，从左至右对各个显示点的 TFT 晶体管充电，与 Vcom 电压比较后，显示出各自的灰度级。图 3-9 给出列驱动器的控制时序。

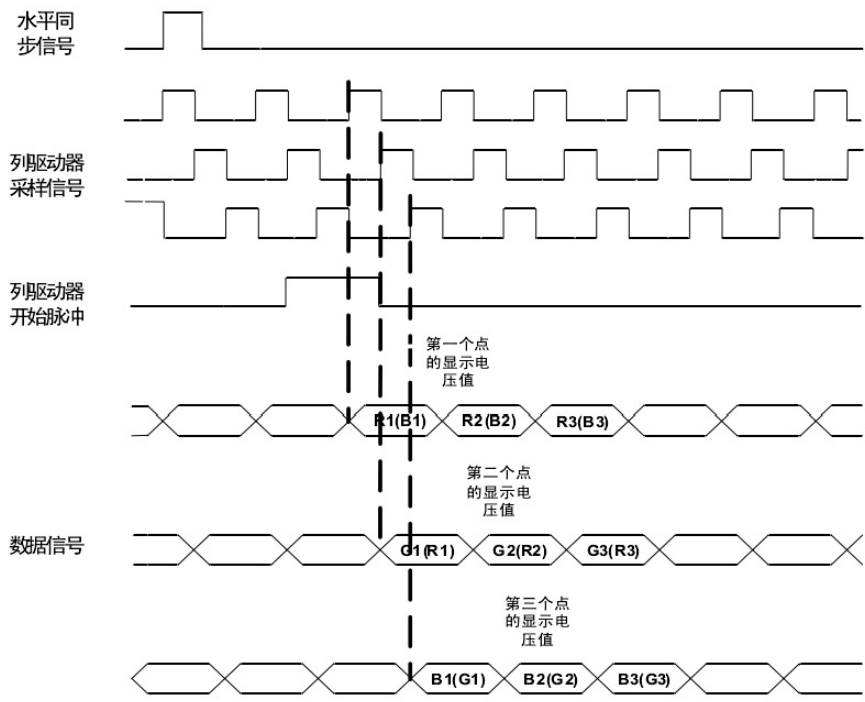
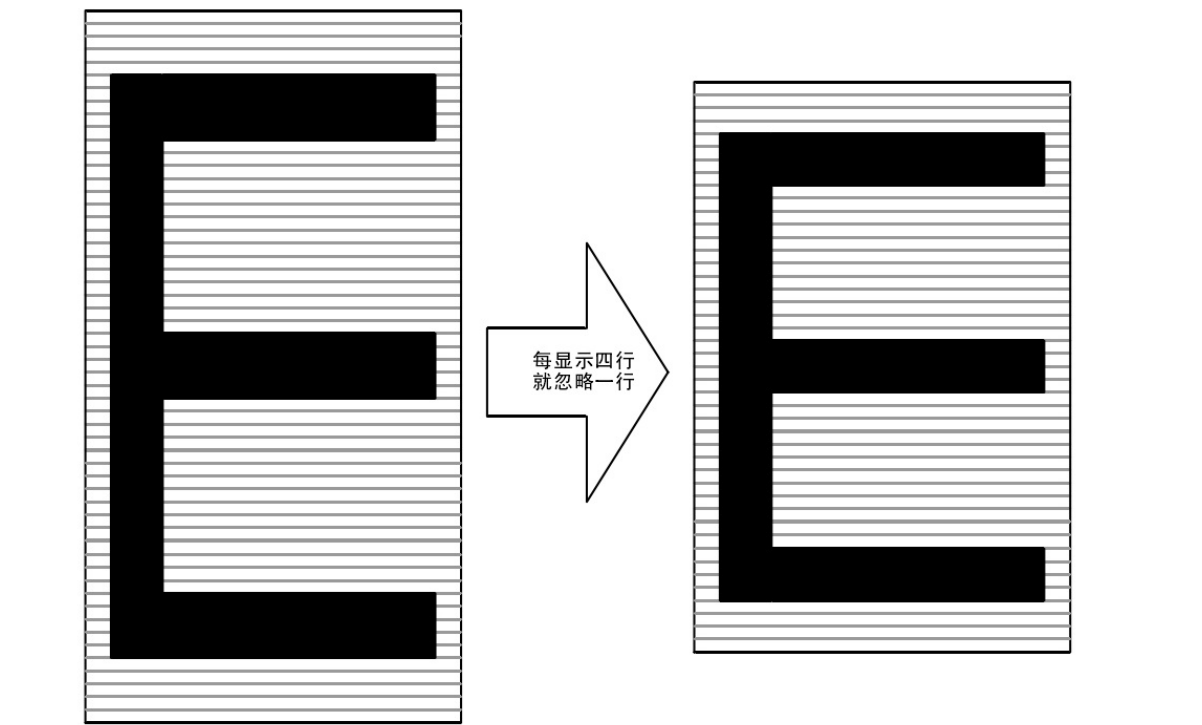


图 3-9 列驱动器控制时序

说在 PAL 制式输入模式下，不能将一场包含的每行有效数据都显示在液晶面板上。即如果从第一行有效数据开始显示，则图像的后面几十行将无法看到；如果只显示图像的中间部分，则图像显示不完整。为了保证显示图像的完整性，在 PAL 显示模式下，采取每显示几行就抽取一行数据忽略的设计思路，如图 3-10 所示，最终每场显示 234 行。因为被忽略的数据并没有集中在一起，所以人眼一般不易查觉，仍然能保证图像的完整性。



(原图像行数－处理后图像行数)/处理后图像行数＝1/间隔行数 (3-1)
即 $(280-240)/240=1/6$ 。根据计算得到的结果，在 PAL 制式下，每显示 6 行数据，就忽略一行，这样原来的 280 行有效数据就变为 240 行，可以在液晶面板上完整显示。

在时序控制器设计中，为了实现 PAL 制式下忽略数据的控制，首先要设置一个行计数器，根据标志位的判断，从第一行开始计数，标记出每一行的行号。然后，在垂直开始脉冲 start_v 过后，再设置一个使能信号 ena_pal，根据行计数器所计得的行号，在需要忽略的那一行将其置为低电平。最后，将行、驱动器的 6 个控制信号 start_v、ena_v、shift_v、start_h、ena_h 及 sample_h 用 ena_pal 进行限制，在 ena_pal 为低电平时都不产生相应的控制时序，从而实现 PAL 制式显示功能。

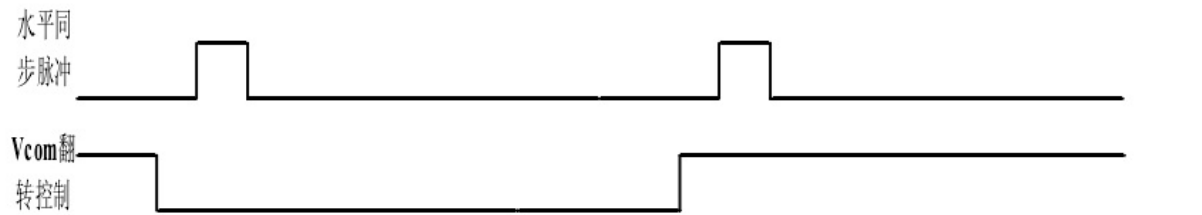
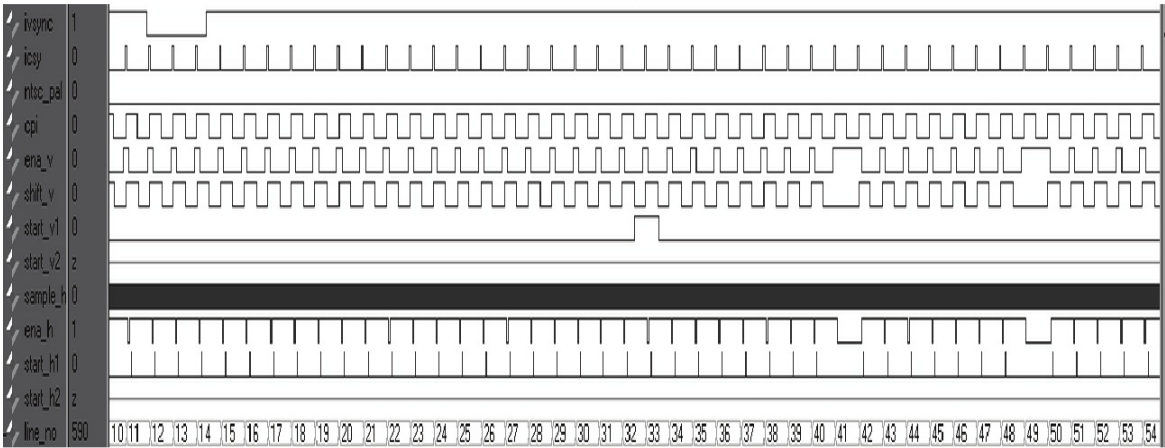


图 3-16 Vcom 翻转控制信号



(c) PAL 制式复合同步信号输入