

LABORATOIRE
REGISTRES À DÉCALAGE

Johanna Melly & Sven Rouvinez

Professeur
Carlos Andrés Pena

Assistant
Gaëtan Matthey

3 décembre 2016

1 Registre à décalage 4 bits

Sur la base du registre à décalage vu dans le cours, concevoir et implémenter un registre à décalage de 4 bits qui peut décaler à gauche (SHL), décaler à droite (SHR), charger un nibble (LOAD) ou garder son contenu (HOLD). Le registre à décalage doit être réalisé à l'aide de flip-flops D et de multiplexeurs.

Registre à décalage 4 bits- Max 1 page Insérez une capture d'écran pour présenter votre bloc Registre à décalage 4 bits (Structure interne). Accompagnez-le de commentaires et d'explications nécessaires à sa compréhension. Remplacez le texte ci-dessus par vos réponses (à l'intérieur du cadre rouge)