

LABORATOIRE
REGISTRES À DÉCALAGE

Johanna Melly & Sven Rouvinez

Professeur
Carlos Andrés Pena

Assistant
Gaëtan Matthey

5 décembre 2016

1 Registre à décalage 4 bits

Sur la base du registre à décalage vu dans le cours, concevoir et implémenter un registre à décalage de 4 bits qui peut décaler à gauche (SHL), décaler à droite (SHR), charger un nibble (LOAD) ou garder son contenu (HOLD). Le registre à décalage doit être réalisé à l'aide de flip-flops D et de multiplexeurs.

Registre à décalage 4 bits- Max 1 page Insérez une capture d'écran pour présenter votre bloc Registre à décalage 4 bits (Structure interne). Accompagnez-le de commentaires et d'explications nécessaires à sa compréhension. Remplacez le texte ci-dessus par vos réponses (à l'intérieur du cadre rouge)

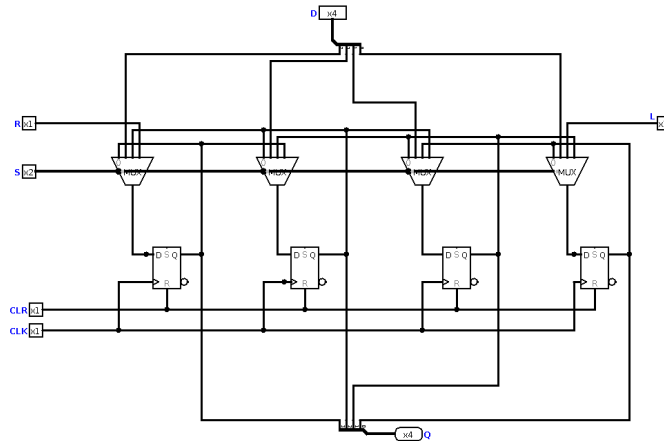


FIGURE 1 – Bloc SHIFT REGISTER

Le registre à décalage 4 bits permet d'effectuer un décalage de tous les bits sur la droite ou sur la gauche. L'entrée **D** représente les bits qu'on veut pouvoir décaler. L'entrée **S** permet de choisir l'action à effectuer :

- 00 : HOLD, la valeur reste inchangée
- 01 : LOAD, la valeur est placée dans l'état voulu
- 10 : shift left, les bits sont tous décalés d'un cran vers la gauche
- 11 : shift right, les bits sont tous décalés d'un cran vers la droite

L'entrée CLK correspond à notre horloge, l'utilisation d'une entrée simple se justifie de la sorte que le bloc sera utilisé dans un autre circuit qui lui aura une vraie horloge.

Lorsque l'horloge passe à 1 (flanc montant), la valeur des bits dans les balances est changée, et lorsqu'elle passe à 0, la valeur des bits est conservée. Ainsi, pour effectuer un décalage, il sera tout d'abord nécessaire de mettre l'entrée **S** à 1 et d'avoir un flanc montant pour que les bits des balances prennent la valeur de l'entrée **D**. Ensuite, on peut changer la valeur de l'entrée **S** dans le but d'avoir un décalage sur la droite ou sur la gauche. Dès lors, à chaque fois que l'horloge passera de 0 à 1, les bits vont tous se décaler d'un cran.

2 Registre à décalage 8 bits

Concevoir un registre à décalage de 8 bits en utilisant deux registres à décalage de 4 bits

Registre à décalage 8 bits - Max 2 pages

Insérez une capture d'écran pour présenter votre bloc Registre à décalage 8 bits (Structure interne). Accompagnez-le de commentaires et d'explications nécessaires à sa compréhension. Insérez une capture d'écran du chronogramme qui montre le chargement (Load) d'une valeur (exemple : 0x80), puis le décalage à droite de la valeur chargée (8 fois consécutif). Accompagnez le chronogramme d'explications. Remplacez le texte ci-dessus par vos réponses (à l'intérieur du cadre rouge)

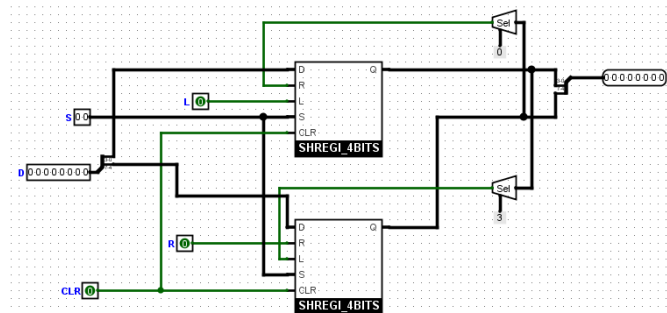


FIGURE 2 - Bloc SHIFT REGISTER

Le shift register 8 bits est composé de 2 shift register 4 bits. Ils ont comme entrée en commun l'horloge CK, S qui détermine l'action à effectuer, ainsi que le reset. L'octet est séparé en deux nibbles qui sont chacun en entrée D des register 4 bits. Lorsqu'un décalage est fait, le dernier bit d'un register doit être récupéré par le suivant, afin de ne pas perdre les bits décalés. Ainsi, pour le décalage à gauche, le bit [0] du shift register prenant en entrée D les bits [7:4] de l'octet (le SHREG_I2 de l'illustration), doit être passé en entrée R de l'autre shift register (SHREGI_1). Ainsi, au moment du décalage à gauche, le bit [0] du SHREGI_2 va bien être passé au SHREGI_1 et il y aura une continuité dans le décalage. Le même principe est appliqué pour le décalage à droite, mais cette fois c'est le bit [3] du SHREGI_1 qui va être donné en entrée L du SHREGI_2.

3 Générateur de nombres aléatoires

Concevoir un générateur de nombres aléatoires à l'aide d'un registre LFSR (Linear Feedback Shift Register) 8-bits. Dans un registre LFSR $Q+(n) = Q(n-1)$, $n > 1$ et $Q+(1)$ est la fonction XOR ou XNOR de plusieurs bits du registre. Notez que les bits du registre LFSR sont numérotés de 1 à n. Utilisez la documentation technique de Xilinx pour identifier les bits nécessaires pour calculer le bit $Q+(1)$ et simuler le registre LFSR 8-bits à l'aide de Logisim.

LFSR 8 bits - Max 2 pages

Insérez une capture d'écran pour présenter votre bloc LFSR 8 bits (Structure interne). Accompagnez-le de commentaires et d'explications nécessaires à sa compréhension. Insérez une capture d'écran du chronogramme qui comporte les 8 premières valeurs de la séquence (à partir de la valeur 0x00). Accompagnez le chronogramme d'explications. Remplacez le texte ci-dessus par vos réponses (à l'intérieur du cadre rouge)

4 Modification du registre LFSR

Modifier le registre LFSR afin d'initialiser les flip-flops à '1' (utilisez l'entrée preset) et tester le fonctionnement du registre LFSR.

Ajout preset LFSR - Max 1 page

Insérez une capture d'écran pour présenter votre bloc LFSR 8 bits (Structure interne). Accompagnez-le de commentaires et d'explications nécessaires à sa compréhension. Insérez une capture d'écran du chronogramme qui comporte les 8 premières valeurs de la séquence (à partir de la valeur 0x00). Accompagnez le chronogramme d'explications. Remplacez le texte ci-dessus par vos réponses (à l'intérieur du cadre rouge)

Lorsqu'on ajoute un Preset à '1', les entrées de la bascules seront toutes à 1. Or, dans le LFSR, on utilise des XNOR. Comme on utilise des XNOR,

5 Conclusion

Modifier le registre LFSR afin d'initialiser les flip-flops à '1' (utilisez l'entrée preset) et tester le fonctionnement du registre LFSR.

Conclusion - Max 1/2 page

Remplacez le texte ci-dessus par vos réponses (à l'intérieur du cadre rouge)