

✉ loic.tayou.ing@gmail.com

☞ <https://www.linkedin.com/in/loic-wilfried-tayou>

📞 +33 7 66 43 90 12

</> <https://loic-tayou-embedded.github.io>

 Mobilité : France

Profil

Ingénieur en électronique et informatique pour l'embarqué diplômé de Polytech Paris-Saclay. Spécialisé en conception de systèmes sur FPGA (Nios II, IP custom, VHDL) et développement en C embarqué (bare-metal, HAL). Expérimenté sur l'ensemble du flot de conception, du RTL jusqu'au firmware avec validation par simulation et tests sur cible.

Expérience professionnelle

Alternant - Assistant de recherche, 08/2023 - 08/2025

CEA Saclay - Gif-sur-Yvette - Contrat d'Apprentissage

- Interfacé des logiciels de simulation (SIMNRA, GULYS) via l'api COM Automation (OLE Automation).
- Automatisé le traitement de données de spectroscopie via des scripts Python et des outils d'analyse dédiés.
- Développé une interface utilisateur avec PySide6 pour l'exploration et le traitement de données hyperspectrales.

Projets techniques

Accélérateur Nios II - Convolution 3x3 & filtre moyen

- Conçu et implémenté des instructions personnalisées Nios II pour l'accélération matérielle.
- Développé une interface en VHDL gérant à la fois des opérations multi-cycles et combinatoires.
- Mesuré et comparé les performances par rapport aux implémentations logicielles via le timestamp timer HAL

Montre multimode sur FPGA avec Nios II

- Architecturé un système complet intégrant un processeur Nios II et des composants personnalisés avalon-MM.
- Implémenté la gestion d'interruptions et la synchronisation temps réel.

Robot suiveur de ligne sur FPGA DE0-Nano

- Développé des automates VHDL pour le suivi de ligne et la correction de trajectoire
- Développé du code C bare-metal sur Nios II pour superviser les automates matériels.

Compétences techniques

FPGA et logique numérique

- Conception RTL en VHDL (machines d'états, IP custom)
- Bus Avalon-MM / Avalon-ST
- Custom Components / Custom Instructions
- Simulation fonctionnelle (Testbenches + scripts .do)
- Analyse temporelle et fermeture de timing

Outils & environnements

- Quartus Prime, Platform Designer/Qsys, SignalTap II, TimeQuest, ModelSim, Vivado
- Nios II EDS (SBT for Eclipse, Monitor Program)

Logiciel embarqué / microcontrôleurs

- C embarqué (bare-metal, HAL)
- Développement de drivers (GPIO, UART, timers, ADC, PWM)
- Programmation par interruptions (ISR, gestion d'événements)
- Mise au point sur cible.

Diplômes et Formations

Diplôme d'ingénieur : Électronique et Informatique pour l'Embarqué,

2022 – 2025 Polytech Paris-Saclay, Maison de l'ingénieur - Bâtiment 620, Rue Louis de Broglie, 91405 Orsay cedex

- FPGA & VHDL, systèmes sur puce Nios II, co-design matériel/logiciel
- Microcontrôleurs ARM / STM32, électronique numérique, temps réel

Langues :

French : Langue maternelle

English : Courant (technique)