

Analyzing Code Coverage by VCS SOP



編輯日期: 2023/07/01

編寫者: 謝佳翰 Arthur

- 產生 Code Coverage 分析報告有 3 種方式
 1. dve
 2. Verdi
 3. urg
 - 用 urg 生成的 Code Coverage 報告為 **html** 檔，方便攜帶。
 - 事前準備
 - **Makefile** 使用方式請參閱 **VCS SOP**。
 - 完善的 **Testbench**
 - **Design**
 - 操作方法如下：
 1. 決定要分析的 Code Coverage，先在 Makefile 定義好變數。
- 參數 **line** 是 Line Coverage、**cond** 是 Condition Coverage、**fsm** 是 FSM Coverage、**tgl** 是 Toggle Coverage。

```
#
COV_OPT := line+cond+fsm+tgl
```

2. **Analyze**：用 **vlogan**(for Verilog code)分析語法正確與否。

```
rtl_ana:
vlogan -sverilog ./TB/Top_tb.sv -f $(filelist) +define+$(Pattern) -full64 -v2005 +v2k | tee ./log/rtl_sim.log
```

3. **Elaborate**：執行 **vcs** 構建可執行檔(simv)，用於之後模擬，記得加上 **-cm \$(COV_OPT)**，才具有分析 Code Coverage 的功能。

```
rtl_comp:
vcs -sverilog ./TB/Top_tb.sv -f $(filelist) +define+$(Pattern) -full64 -v2005 +v2k -cm $(COV_OPT) | tee -a ./log/rtl_sim.log
```

4. **Simulation**：利用上一步生成的可執行檔進行模擬，並且產生.vdb 檔，裡面包含 Coverage Model，也要加上-cm \$(COV_OPT)。

```
▼ rtl_sim:  
| ./simv -cm $(COV_OPT)
```

5. 利用 **urg** 工具引入上一步生成的.vdb 檔案產生 Code Coverage 報告。

```
rtl_cov:  
| urg -dir simv.vdb -report both_Top
```

6. **Summary**：以下範例執行 make rtl_3step 跑整個流程。

```
rtl_3step: rtl_ana rtl_comp rtl_sim rtl_cov  
rtl_ana:  
| vlogan -sverilog ./TB/Top_tb.sv -f $(filelist) +define+$(Pattern) -full64 -v2005 +v2k | tee ./log/rtl_sim.log  
rtl_comp:  
| vcs -sverilog ./TB/Top_tb.sv -f $(filelist) +define+$(Pattern) -full64 -v2005 +v2k -cm $(COV_OPT) | tee -a ./log/rtl_sim.log  
rtl_sim:  
| ./simv -cm $(COV_OPT)  
rtl_cov:  
| urg -dir simv.vdb -report both_Top
```

● 查看 Code Coverage 報告：

1. 點開報告資料夾，可以看到許多.html 檔，點選 **dashboard.html**，這是整個 design 的 Code Coverage 總結。

css	2023/6/30 下午 10:23	檔案資料夾
js	2023/6/30 下午 10:23	檔案資料夾
dashboard.html	2023/6/30 下午 10:41	Firefox HTML Do... 4 KB
hierarchy.html	2023/6/30 下午 10:41	Firefox HTML Do... 5 KB
hierarchy1.html	2023/6/30 下午 10:41	Firefox HTML Do... 401 KB
mod0.html	2023/6/30 下午 10:41	Firefox HTML Do... 113 KB
mod1.html	2023/6/30 下午 10:41	Firefox HTML Do... 12 KB
mod2.html	2023/6/30 下午 10:41	Firefox HTML Do... 14 KB
mod3.html	2023/6/30 下午 10:41	Firefox HTML Do... 35 KB
mod4.html	2023/6/30 下午 10:41	Firefox HTML Do... 1,105 KB
mod4_0.html	2023/6/30 下午 10:41	Firefox HTML Do... 382 KB
mod4_1.html	2023/6/30 下午 10:41	Firefox HTML Do... 382 KB
mod4_2.html	2023/6/30 下午 10:41	Firefox HTML Do... 381 KB
mod4_3.html	2023/6/30 下午 10:41	Firefox HTML Do... 383 KB
mod4_4.html	2023/6/30 下午 10:41	Firefox HTML Do... 383 KB
mod4_5.html	2023/6/30 下午 10:41	Firefox HTML Do... 382 KB

2. Dashboard 可以看到整個 design 的 Code Coverage 總分，欄位有各種 Code Coverage。

SYNOPSYS

Dashboard
dashboard | hierarchy | modlist | groups | tests | asserts

Date: Fri Jun 30 22:41:23 2023
User: arthur
Version: Q-2020.03
Command line: urg -dir simv.vdb -report both_Top
Number of tests: 1

Total Coverage Summary

SCORE	LINE	COND	TOGGLE	FSM
96.85	96.91	92.50	98.00	100.00

Hierarchical coverage data for top-level instances

SCORE	LINE	COND	TOGGLE	FSM	NAME
96.85	96.91	92.50	98.00	100.00	Top_tb

Total Module Definition Coverage Summary

SCORE	LINE	COND	TOGGLE	FSM
92.30	96.02	75.20	97.99	100.00

3. 點選 hierarchy 查看詳細內容。

Dashboard
dashboard | **hierarchy** | modlist | groups | tests | asserts

4. Hierarchy 畫面，點選 Top 便可察看細節。

Expand All Collapse All					
NAME	SCORE	LINE	COND	TOGGLE	FSM
Top_tb	96.85	96.91	92.50	98.00	100.00
TOP	97.00	96.93	92.50	98.57	100.00

5. 左邊欄位為總結與子模組的 Code Coverage，點選可察看下一層模組的 Code Coverage，右邊欄位為當前模組 Verilog Code 的各種 Code Coverage 分析，可以從報告中得知哪部分沒被 Cover 到。

SYNOPSIS

Module : Top

SCORE	LINE	COND	TOGGLE	FSM
99.95	100.00		99.90	

Source File(s) :
/home/arthur/IC_Design/Research/Hardware_p_Final/./RTL/Top_v18.v

Module self-instances :

NAME	SCORE	LINE	COND	TOGGLE	FSM
Top_tb.TOP	99.95	100.00		99.90	

Module Instance : Top_tb.TOP

Instance :

SCORE	LINE	COND	TOGGLE	FSM
99.95	100.00		99.90	

Instance's subtree :

SCORE	LINE	COND	TOGGLE	FSM
97.00	96.93	92.50	98.57	100.00

Parent :

SCORE	LINE	COND	TOGGLE	FSM	NAME
88.26	94.44		82.08		Top_tb

Subtrees :

NAME	SCORE	LINE	COND	TOGGLE	FSM
CU	92.10	98.34	78.09	91.99	100.00
HRDDEC	85.24	86.98	70.54	98.20	
IB	100.00	100.00		100.00	
InterfaceA_L1	92.73	96.55	83.33	98.30	
InterfaceA_L2	92.73	96.55	83.33	98.30	

Module Definition

dashboard | hierarchy | **modlist** | groups | tests | asserts

Line Toggle

Line Coverage for Module : Top

	Line No.	Total	Covered	Percent
TOTAL		3	3	100.00
ALWAYS	252	3	3	100.00

```

251                                     always @(posedge rst or posedge clk ) begin
252         1/1                               if (rst) begin
253         1/1                               Enable_Branch <= 18'd0;
254                                     end else begin
255         1/1                               Enable_Branch <= {18{Enable}};

```

Toggle Coverage for Module : Top

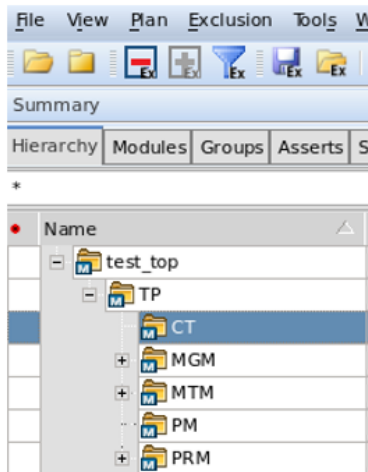
	Total	Covered	Percent
Totals	177	152	85.88
Total Bits	77606	77525	99.90
Total Bits 0->1	38803	38763	99.90
Total Bits 1->0	38803	38762	99.89
Ports	8	7	87.50
Port Bits	22	21	95.45
Port Bits 0->1	11	11	100.00
Port Bits 1->0	11	10	90.91
Signals	169	145	85.80
Signal Bits	77584	77504	99.90
Signal Bits 0->1	38792	38752	99.90
Signal Bits 1->0	38792	38752	99.90

Port Details

Name	Toggle	Toggle 1->0	Toggle 0->1	Direction
------	--------	-------------	-------------	-----------

補充:若有使用 design ware 和 SRAM，請加入以下指令

- `vcs test_top.v TOP.v -full64 -v2005 +v2k -cm line+cond+tgl+fsm -cm_hier ex_file1`



■ applicable scenarios:

1. Design has Memory
2. Design has Design Ware

```
-tree test_top.top_test.pm 0
-tree test_top.top_test.MGM.MSD.DW1 0
-tree test_top.top_test.MGM.MSD.DW2 0
-tree test_top.top_test.MGM.MSD.DW3 0
-tree test_top.top_test.MGM.MSD.DW4 0
-tree test_top.top_test.MGM.MSD.DW5 0
-tree test_top.top_test.MGM.MSD.DW6 0
-tree test_top.top_test.MGM.MSD.DW7 0
```

接著輸入以下指令產生報告

- `./simv -cm line+tgl+cond+fsm -cm_dir <mode1>`
- `./simv -cm line+tgl+cond+fsm -cm_dir <mode2>`
- `urg -full64 -dir mode1.vdb mode2.vdb -dbname merge.vdb -report urgReport`

SYNOpsys®

Tests

[dashboard](#) | [hierarchy](#) | [modlist](#) | [groups](#) | **[tests](#)** | [asserts](#)

Total Coverage Summary

SCORE	LINE	COND	TOGGLE	FSM
94.85	96.17	91.80	91.44	100.00

Total tests in report: 2

Data from the following tests was used to generate this report

mode1/test
mode2/test