

学号 E21714049 专业 计算机科学与技术 姓名 梅世祺  
实验日期 2019.02.19~2019.03.19 教师签字 成绩

# 实验报告

【实验名称】 基于 MAX II EPM240T100C5 的数字时钟课程设计

## 【实验目的】

1. 了解 Quartus II 5.0 电路设计软件基本功能的使用
2. 学习 MAX II EPM240T100C5 闪存可编程逻辑器件的使用
3. 复习先导课程《数字逻辑》相关门电路、中大规模集成电路元件（74193 计数器、7448 BCD 码转 7 段数码管元件、74194 寄存器）相关电路设计知识
4. 结合上述知识设计出一款全功能的数字闹钟（精确到秒的数字时间显示、支持调校时间、支持设置闹钟）

## 【实验原理】

### 一、时间显示模块

该模块由 6 个 74193 计数器、2 个 7448 BCD 码转 7 段数码管元件、1Hz 的输入信号

和其他一些简单门电路组成，其完整的原理示意图如下：

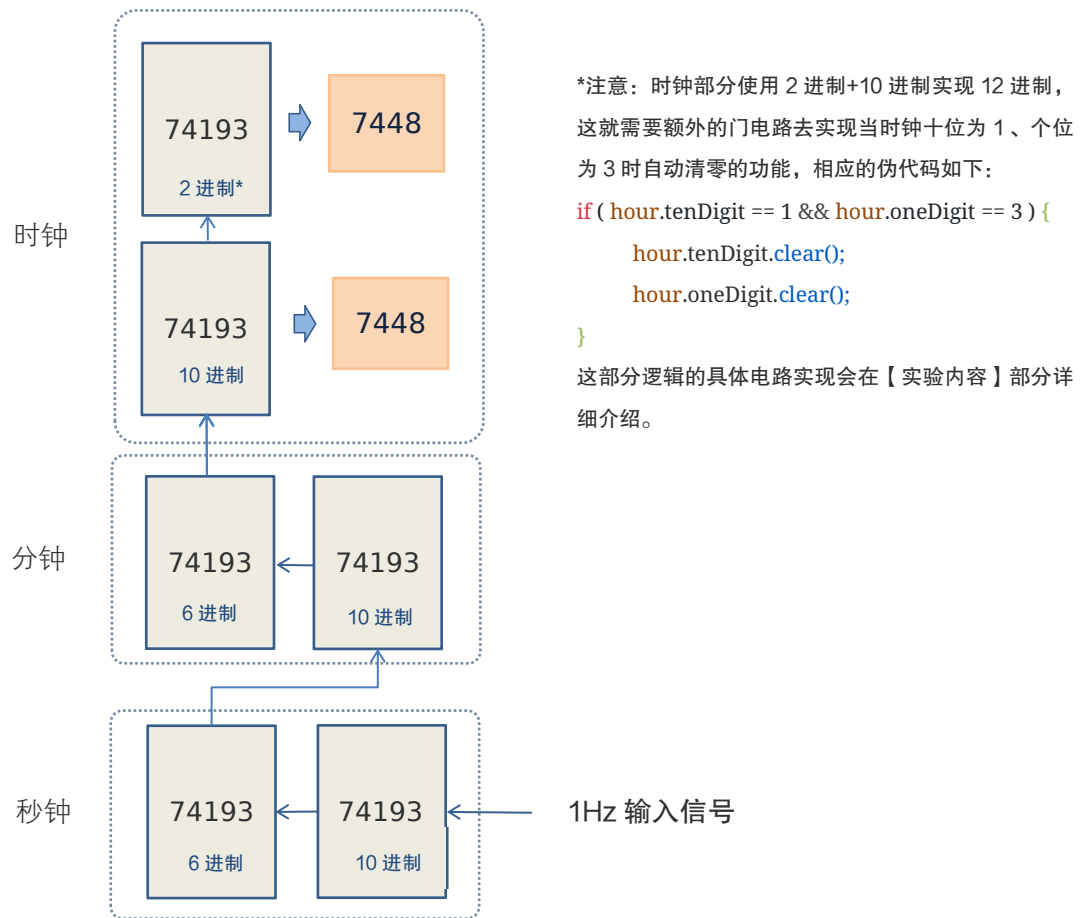


Figure.1

在时间显示模块设计中，涉及到把 74193 计数器修改成任意模数计数器（如模 6、模 10 和模 2 计数器）的问题，这里以 74193 转模 6 计数器为例介绍其转换原理：

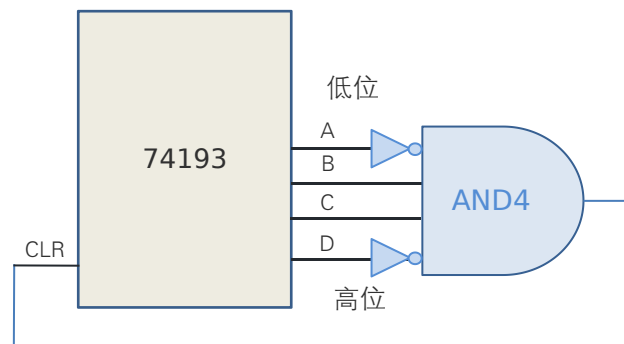


Figure.2

由上图可以看出，当 74193 的输出为 0110 时（即十进制 6），会送一个脉冲给

CLR 从而使 74193 置 0，这就实现了 74193 转模 6 计数器的功能。

## 二、调校时间模块

在调校时间模块中，我们需要分别实现以下子功能：

（1）当设置时间开关打开时，进入闪烁状态，当设置时钟或设置分钟开关

打开时，仅时钟或分钟闪烁。



Figure.3

上图是实现调校时间闪烁输出子功能模块的一个基本单位。当调校时间开关关闭时，闪烁输出信号始终为 0（显示器在低电平工作，此时常亮）；当调校开关打开时，闪烁输出信号以 1Hz 的频率进行高低电平信号的输出，实现闪烁的效果。实际的电路实现要比上图复杂些，具体电路设计图会在【实验内容】部分详细介绍。

（2）当设置时间开关打开时，时钟暂停；当调校时开关打开时，时钟继续运行；

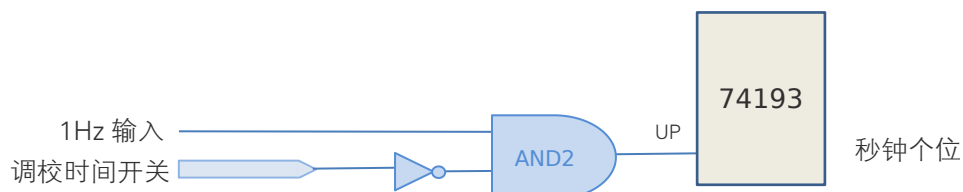


Figure.4

当我们把 Figure.1 中的输入信号修改成上图所示的逻辑电路后，即可实现调校开关打开时时钟暂停的需求。当调校时间开关打开时，输出到秒钟个位 74193 计数器 UP 端口的信号始终为 0，此时进入调校状态，时钟停止运行；当调校时间开关关闭后，以 1Hz 的频率输出低电平使得秒钟个位的 74193 计数器不断递增。

（3）进入调校时间状态后，按下手动脉冲发生器后，相应的时钟或分钟的数字开始递增（即设置时间）。

此功能的实现较为简单，只需为相应的 74193 UP 端口前加一个或门即可，原理示意图如下：

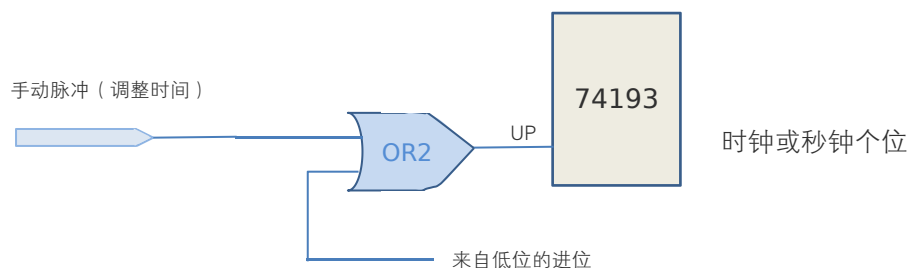


Figure.5

## 二、闹钟模块

在闹钟模块中，我们主要需要用到两类中大规模元器件：74194 寄存器和 7485 比较器。基本思路如下：当生成闹钟脉冲后（连续拨动拨码开关），将此时所有 74193 的数据存入相应的 74194 寄存器中，当时钟继续运行后，开始不断地将 74193 计数器的值与 7485 寄存器的值分别进行比较，当所有的值都相同时，开始响铃。特别地，我们还可以通过控制比较的数量来调整响铃的时长，如果我们仅仅比较 74193 时钟的值

是否与相应寄存器中的值相同，则响铃开始后会响一个小时。其原理示意图如下：

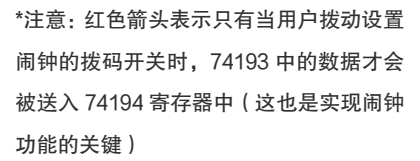


Figure.6

### 【实验内容】

在此实验内容这一部分，我们主要讨论数字闹钟的电路图设计细节。



Figure.7

下面我们将分别从时间显示模块，调校时间模块和闹钟模块三个部分分别讨论电路

设计图的具体实现：

## 一、时间显示模块

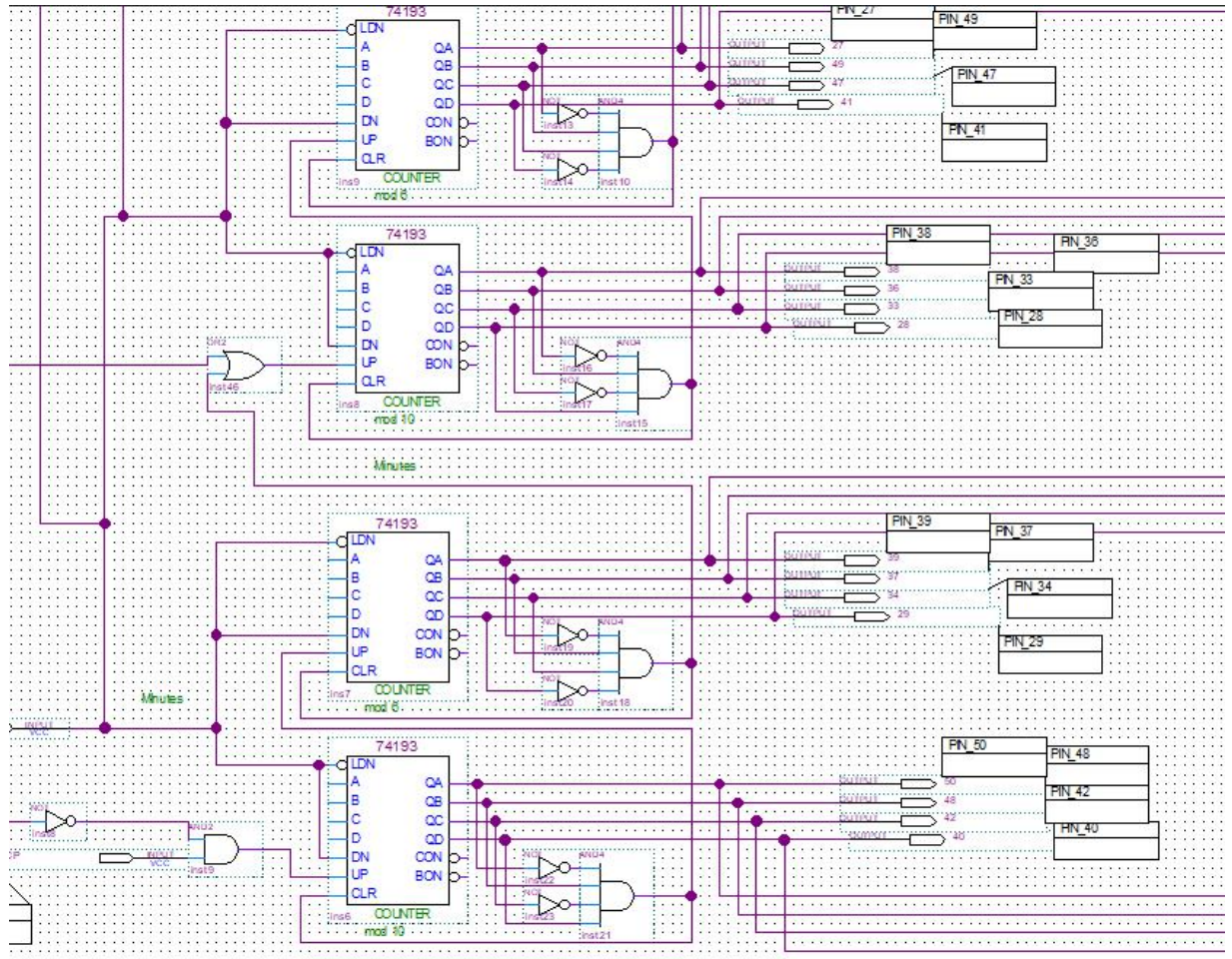


Figure.8

上图是时间显示模块的秒钟和分钟的实现，图中的 4 个 74193 从下往上分别是模 10 计数器、模 6 计数器、模 10 计数器和模 6 计数器，74193 转其它模数计数器的具体原理我们已在【实验原理】部分介绍过，这里不再提及。

下面重点讨论时钟部分使用 2 进制+10 进制实现 12 进制的技术细节，设计图如下：



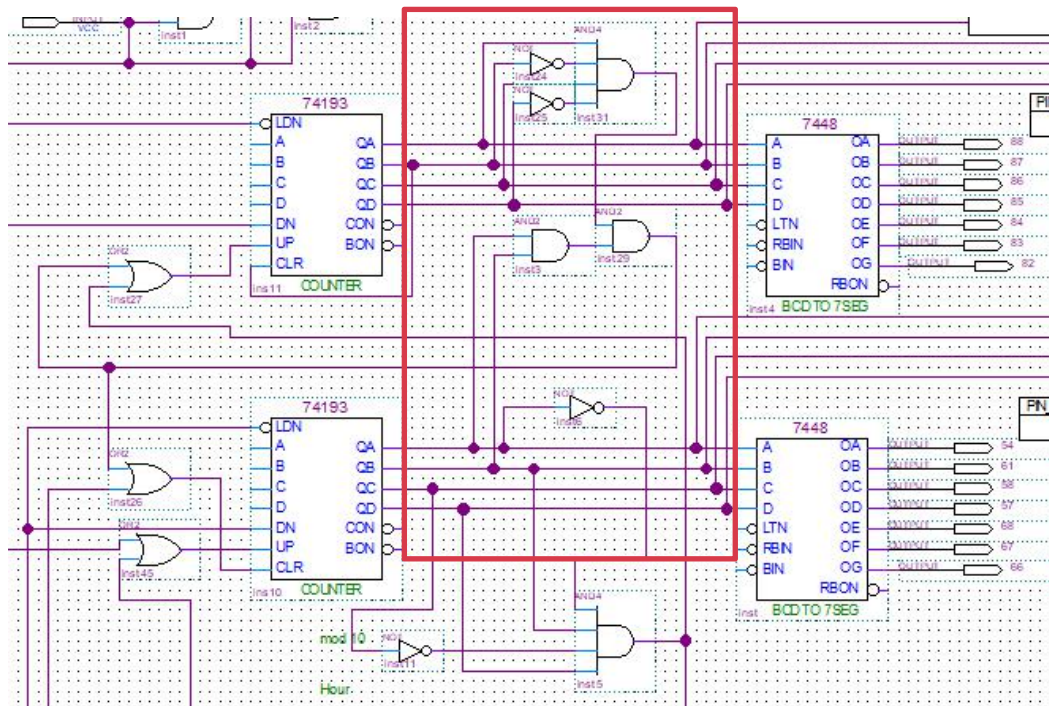


Figure.9

请注意红框框住的部分，该逻辑的作用是：通过判断时钟的十位为 1 时并且时钟的个位为 3 时则分别送一个脉冲到两个 74193 的 CLR 端口，将整个时钟的小时置 0，这样就实现了使用 2 进制+10 进制实现 12 进制的功能。

## 二、调校时间模块

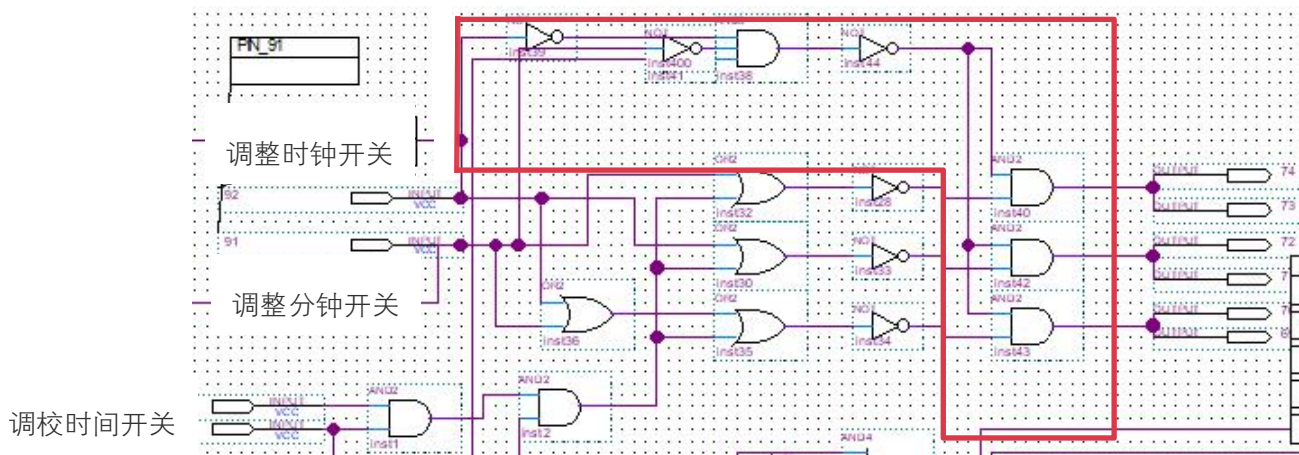


Figure.10

上图是调校时间模块的闪烁功能的具体实现，与【实验原理】部分绘制的简单原理

示意图不同，具体的电路设计中还需要考虑当打开调整时钟开关或调整分钟开关后则仅闪烁时钟或分钟的情况，因此需要额外加一层或门实现该功能。图中红框突出显示的逻辑的功能是：当调校时间开关、调整分钟开关和调整时钟开关都关闭时，保持时钟正常工作不闪烁。

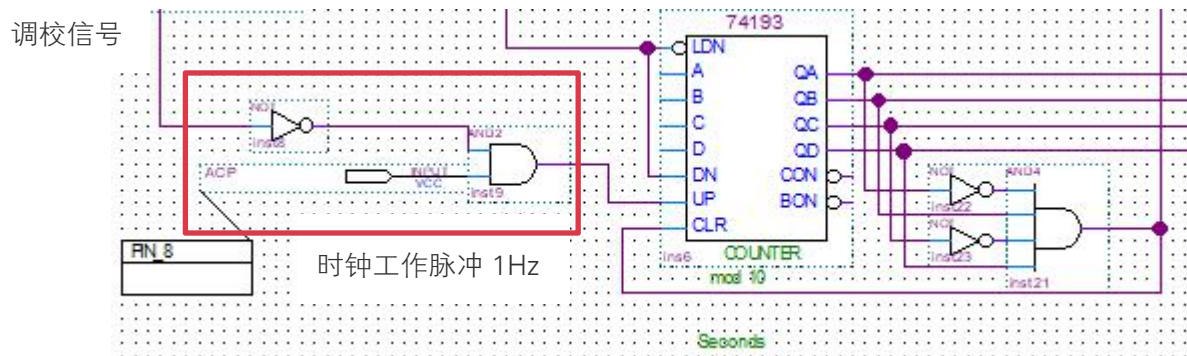


Figure.11

上图的逻辑功能是：当调校开关打开时，时钟暂停工作，进入调校时间模式。注意这里为了方便调试，随意更改时钟走动的速度，实际使用的是 ACP 脉冲旋钮，而不是 1Hz 脉冲作为输入。

### 三、闹钟模块

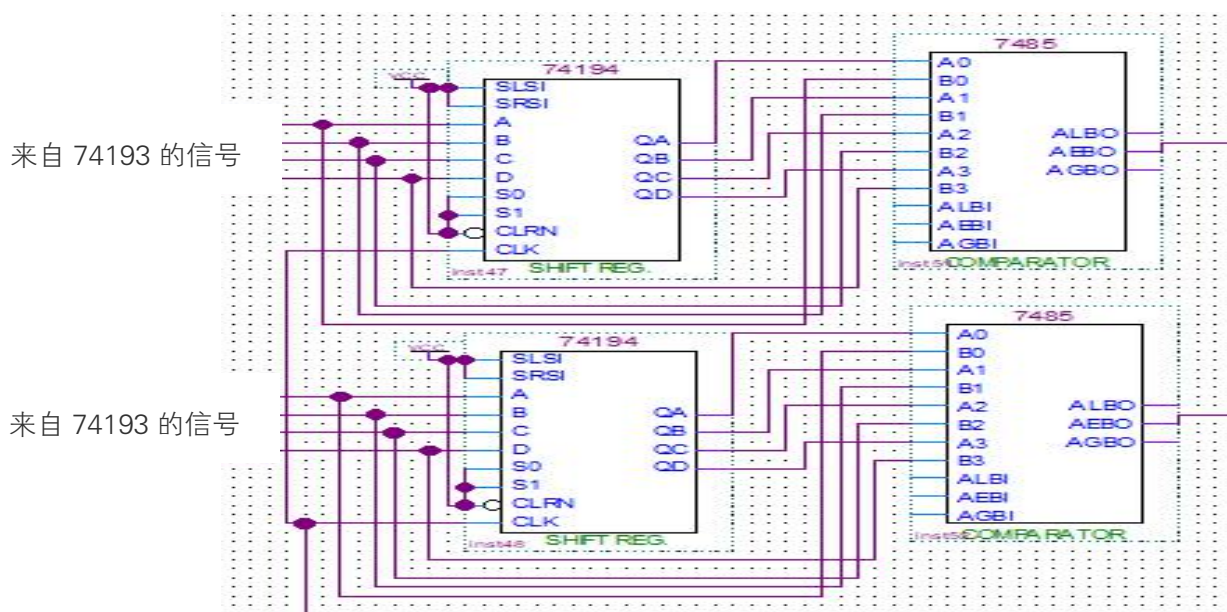


Figure.12



上图是闹钟模块的实际电路设计细节，在【实验原理】部分已对闹钟的实现原理进行了详细讨论，这里不再赘述。

## 【小结或讨论】

在实际电路的设计过程中，我们遇到了以下挑战：

### 一、竞争与冒险

实际上这个是在设计中大规模集成电路必须要正视的一个问题，一个最佳实践是尽可能地采用复合逻辑门（如：与非门、或非门）替换掉简单的逻辑门电路元件，这样可以尽可能地避免冒险现象（最常见的现象是模数计数器的模数计数功能失效）。

### 二、开发板本身存在短路现象

在将电路编译好烧录到固件上后，发现其中一个数字显示器无法实现闪烁效果，原因是该数字显示器被短路了，导致其始终为常亮状态。这种情况属于开发板本身的故障，无法直接解决，如果真要解决方法的话，换个面包箱可能是个不错的选择（逃...

### 三、小结

数字逻辑课程设计是《数字逻辑》课程的延伸和拓展，通过一个月（5个完整的下午）的学习，我们将之前学到的门电路知识进行整合，并通过 Quartus II 5.0 集成开发环境将我们脑中的想法变成现实——一个全功能的数字闹钟。总的来说，这个设计经历过得非常充实：一方面，虽然最初自己的进展不是很顺利，第5周去的时候竟然发现自己第4周的项目文件没有保存成功，只能在第3周的基础上做。当时顶着巨大压力，凭

借着之前的记忆，把之前实现的电路成功复现出来，更好在后期思路比较清晰，很快完成了整个闹钟的功能，总算成功完成了老师既定的任务；另一方面，在设计电路图的过程中，我不断地尝试主动思考，踩得坑不计其数，遇到不懂的情况也会请教老师和进度比我快的同学，极大地锻炼了自己的创造思维。我想我一定会记住这一次数字逻辑课程设计的精彩经历，并让他我激励我在今后学习的道路上不断前行，越走越远！

项目开源地址: <https://github.com/lolimay/digital-clock>

本文档地址: <https://github.com/lolimay/digital-clock/tree/master/docs>