## Esame di Calcolatori Elettronici T 12 Luglio 2018 (Ing. Informatica)

## Esercizio 1

Si desidera, mediante un sistema basato sul processore DLX dotato di 128 MB di EPROM mappata negli indirizzi bassi e 128 MB di RAM mappata negli indirizzi alti, monitorare lo stato di due pulsanti P0 e P1. Normalmente, quando non è premuto, il livello logico associato a un pulsante è 0. In caso contrario, il livello logico è 1 fintantoché il pulsante rimane premuto. I pulsanti rimangono nello stato 1 per un tempo non specificato. A ciascun pulsante è associato un LED (ovvero, LED\_0 e LED\_1) inizialmente spento. Lo stato del led associato a ciascun pulsante deve essere invertito, dal DLX, ogni volta che è rilevata la pressione del pulsante corrispondente (i.e., se premuto P0 deve essere invertito lo stato di LED\_1). Progettare un sistema in grado di monitorare, mediante il DLX, lo stato dei due pulsanti e di gestire in accordo i due LED secondo la modalità descritta facendo l'ipotesi semplificativa seguente: i due pulsanti non possono essere premuti contemporaneamente e, una volta premuto un pulsante, l'altro non può essere premuto prima che sia invertito il LED associato al primo pulsante premuto.



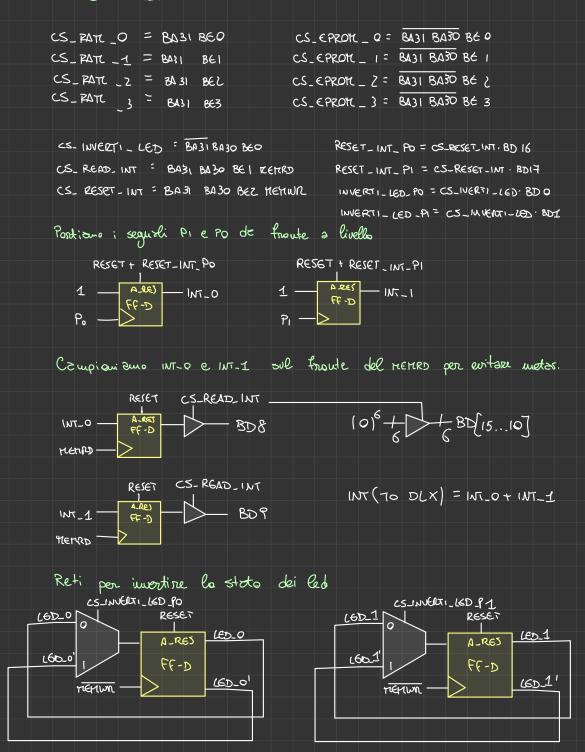
- **Descrivere sinteticamente la soluzione** che s'intende realizzare **e** indicare **chiaramente quali sono i segnali di** *chip-select* necessari
- Progettare il sistema, **minimizzando le risorse necessarie evidenziando** e **risolvendo eventuali criticità**
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- Si faccia l'ipotesi che i registri da R25 a R29 possano essere utilizzati senza la necessità di doverli ripristinare durante l'esecuzione degli interrupt handler

## Esercizio 2

Spiegare cosa si intende per *delayed load* e quale problema risolve?

## Esercizio 3

In merito ai registri utilizzati all'interno di un *interrupt handler*: quali precauzioni è necessario adottare nella scrittura del codice?



```
CODICE
```

Oh LHI RZ5, 0x 4000 44

LBU RZ6, 0 X0001 (RZ5)

8h SB RZ6, 0 × 0002 (RZ5)

ch SB RZS, 0x0000 (RZS) 10 h RFE ;