

Esame di Calcolatori Elettronici T

18 Giugno 2015 (Ing. Informatica)

Esercizio 1

Progettare un sistema basato sul microprocessore DLX dotato di 512 MB di EPROM mappata negli indirizzi bassi, 512 MB di RAM mappata negli indirizzi alti e 512 MB di RAM, denominata RAM_X, mappata in accordo alle specifiche indicate in seguito. Nel sistema è presente una periferica a 8 bit, già progettata, denominata INPUT_PORT in grado di ricevere dati dall'esterno utilizzando il protocollo di *handshake*. All'avvio, RAM_X è mappata a cavallo della metà dello spazio di indirizzamento. La **collocazione nello spazio di indirizzamento di RAM_X può essere modificata ogni 4 trasferimenti da INPUT_PORT** allorché almeno 3 dei dati letti siano stati divisibile per 64. Nel caso sia verificata questa condizione, RAM_X deve essere mappata all'indirizzo 80000000h mediante una opportuna rete logica da progettare. Il mapping a cavallo dello spazio di indirizzamento potrà avvenire dopo 4 altri trasferimenti con le medesime condizioni e così via.

- Indicare i segnali di chip select di tutte le periferiche, memorie e di eventuali altri segnali presenti nel sistema
- Progettare, **ottimizzando le risorse utilizzate**, le reti necessarie al funzionamento del sistema indicando inoltre le connessioni di tutte le periferiche e le memorie ai bus del DLX
- Scrivere il codice dell'*interrupt handler* che gestisce le comunicazioni con la porta in input. Si assuma che i registri da R20 a R30 possano essere utilizzati senza la necessità di dover preservare il loro contenuto

Esercizio 2

Indicare come è possibile gestire la condizione di stallo di uno stadio di un processore pipelined.

Esercizio 3

Indicare quali metodologie è possibile adottare per gestire le alee di controllo.

MAPPING

EPROM 512 KB: $0 \times 0000\ 0000 \rightarrow 0 \times 1FFF\ FFFF$

RAM 512 KB: $0 \times E000\ 0000 \rightarrow 0 \times FFFF\ FFFF$

CS_INPUT_PORT: $0 \times 4000\ 0000$

RAM-X $\begin{cases} 0 \times 8000\ 0000 \rightarrow 0 \times 9FFF\ FFFF & \text{se } A_{CAV} = 0 \\ 0 \times 7000\ 0000 \rightarrow 0 \times 8FFF\ FFFF & \text{se } A_{CAV} = 1 \end{cases}$

$$CS_RAM_0 = \overline{BA31}\ BA30\ BE0$$

$$CS_RAM_1 = \overline{BA31}\ BA30\ BE1$$

$$CS_RAM_2 = \overline{BA31}\ BA30\ BE2$$

$$CS_RAM_3 = \overline{BA31}\ BA30\ BE3$$

$$CS_EPROM_0 = \overline{BA31}\ BA30\ BE0$$

$$CS_EPROM_1 = \overline{BA31}\ BA30\ BE1$$

$$CS_EPROM_2 = \overline{BA31}\ BA30\ BE2$$

$$CS_EPROM_3 = \overline{BA31}\ BA30\ BE3$$

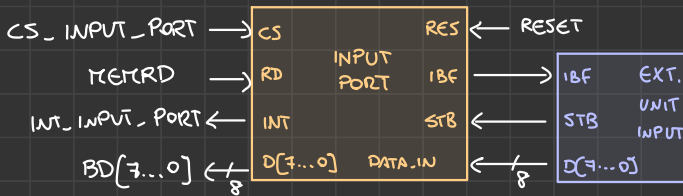
$$CS_INPUT_PORT = \overline{BA31}\ BA30\ \overline{BA29}$$

$$CS_RAM_X_0 = (\overline{BA31}\ BA30\ \overline{BA29} + \overline{BA31}\ \overline{BA30}) \cdot A_{CAV} \cdot BE0 + \overline{A_{CAV}} (\overline{BA31}\ \overline{BA30}) BE0$$

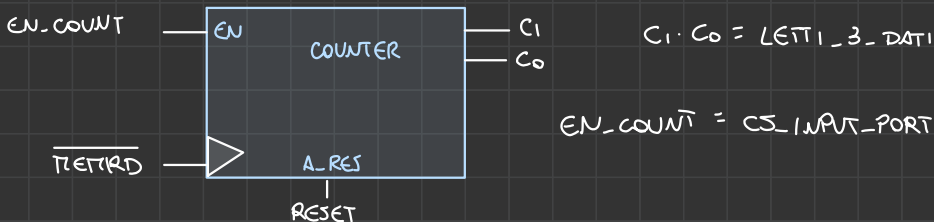
$$CS_RAM_X_1 = (\overline{BA31}\ BA30\ \overline{BA29} + \overline{BA31}\ \overline{BA30}) \cdot A_{CAV} \cdot BE1 + \overline{A_{CAV}} (\overline{BA31}\ \overline{BA30}) BE1$$

$$CS_RAM_X_2 = (\overline{BA31}\ BA30\ \overline{BA29} + \overline{BA31}\ \overline{BA30}) \cdot A_{CAV} \cdot BE2 + \overline{A_{CAV}} (\overline{BA31}\ \overline{BA30}) BE2$$

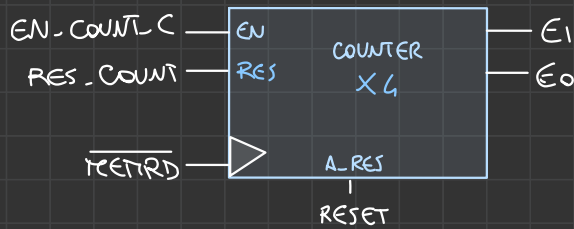
$$CS_RAM_X_3 = (\overline{BA31}\ BA30\ \overline{BA29} + \overline{BA31}\ \overline{BA30}) \cdot A_{CAV} \cdot BE3 + \overline{A_{CAV}} (\overline{BA31}\ \overline{BA30}) BE3$$



$$Div\ 64 = (BD7 + BD6) \cdot ! (BD5 + BD4 + BD3 + BD2 + BD1 + BD0)$$



$$EN_COUNT = CS_INPUT_PORT \cdot IBF$$

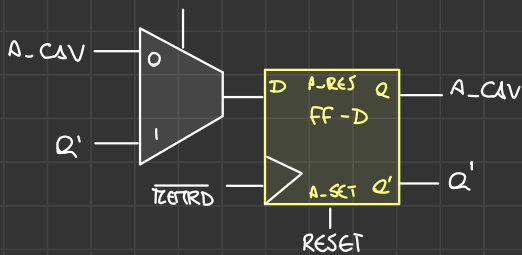


$$EN_COUNT_COND = CS_INPUT_PORT \cdot 1BF \cdot DIV64$$

$$RES_COUNT = CS_INPUT_PORT \cdot 1BF \cdot LETT1_3_DAT1$$

$$LETT1_ALTENO_3_DIV64 = CS_INPUT_PORT \cdot 1BF \cdot (E1 \cdot E0 + E1 \cdot DIV64)$$

$$LETT1_ALTENO_3_DIV64 \cdot LETT1_3_DAT1$$



CODICE

```

0h  LHI R20, 0x4000
4h  LBU R21, 0x0000(R20)
8h  RFE;

```