

Esame di Calcolatori Elettronici T

18 Febbraio 2016 (Ing. Informatica)

Esercizio 1

In un sistema basato sul processore DLX, con 1 GB di EPROM agli indirizzi bassi e 1 GB di RAM agli indirizzi alti, si desidera monitorare mediante opportune reti logiche il numero (modulo 2^{64}) di ciascuna tipologia di trasferimento verso la memoria RAM (scritture) inerente Byte (B), Half-Word (HW) e Word (W). Tale controllo deve poter essere attivabile e disattivabile mediante un opportuno e unico comando software. All'avvio del sistema l'analisi delle tre tipologie di scritture in memoria RAM dovrà essere disattivata. Una volta attivata, quando uno dei tre parametri sotto controllo raggiunge il numero massimo ammissibile, deve essere bloccata l'analisi degli accessi in memoria (senza l'utilizzo di comandi software) e contemporaneamente inviata una richiesta di interrupt al DLX. L'interrupt handler associato a tale richiesta di interruzione dovrà:

- 1) Leggere il numero di scritture in memoria, per ciascuna tipologia di accesso (i.e., B, HW e W), e memorizzare queste quantità a indirizzi consecutivi partendo da FFFF8400h
- 2) Predisporre le reti logiche per un nuovo monitoraggio (al fine di non tenere in considerazione i valori precedenti) – senza però abilitare una nuova analisi delle scritture in memoria che sarà avviata mediante opportuni comandi software eseguiti dall'esterno dell'interrupt handler

Progettare il sistema facendo attenzione a:

- Indicare i segnali di chip select di tutte le periferiche, memorie e di eventuali altri segnali presenti nel sistema
- Progettare, ottimizzando le risorse utilizzate e minimizzando il numero di istruzioni necessarie per eseguire la procedura di risposta all'interrupt, tutte le reti necessarie al funzionamento del sistema indicando chiaramente le connessioni di tutte le periferiche e le memorie ai bus del DLX
- Scrivere il codice dell'interrupt handler e il codice per attivare l'analisi delle scritture in memoria. Nel caso dell'interrupt handler si assuma che i registri da R20 a R30 possano essere utilizzati senza la necessità di dover preservare il loro contenuto

Esercizio 2

Descrivere chiaramente per quale ragione è possibile utilizzare un contatore per lo stadio di fetch del DLX pipelined e quali caratteristiche deve possedere tale contatore.

*Perché $PC + 4 = PC_{[31...2]} + 1$
quindi basta usare un contatore
per incrementare PC e mandare agli stadi successivi PC già incrementato di 1*

Esercizio 3

Spiegare chiaramente cosa sono le eccezioni in un sistema a microprocessore

Le eccezioni sono degli eventi interni al microprocessore che ne fermano la normale esecuzione delle attività (overflow, divisione per 0)

MAPPING

EPROM 1 GB: $0 \times 0000\ 0000 \rightarrow 0 \times 3FFF\ FFFF$ (4×256)

RAM 512 KB L: $0 \times C000\ 0000 \rightarrow 0 \times DFFF\ FFFF$ (4×128)

RAM 512 KB H: $0 \times E000\ 0000 \rightarrow 0 \times FFFF\ FFFF$ (4×128)

CS_RES_CONTROLLO: $0 \times 8000\ 0000$

CS_ATTIVA_CONTROLLO: $0 \times 8000\ 0001$

CS_READ_B_L: $0 \times 4000\ 0000$

CS_READ_B_H: $0 \times 4000\ 0004$

CS_READ_HW_L: $0 \times 4000\ 0008$

CS_READ_HW_H: $0 \times 4000\ 000C$

CS_READ_W_L: $0 \times 4000\ 0010$

CS_READ_W_H: $0 \times 4000\ 0014$

CS_EPROM_0 = $\overline{BA31}\ \overline{BA30}$ BE 0

CS_EPROM_1 = $\overline{BA31}\ \overline{BA30}$ BE 1

CS_EPROM_2 = $\overline{BA31}\ \overline{BA30}$ BE 2

CS_EPROM_3 = $\overline{BA31}\ \overline{BA30}$ BE 3

CS_RES_CNTRL = $\overline{BA31}\ \overline{BA30}$ BE 0

CS_EN_CNTRL = $\overline{BA31}\ \overline{BA30}$ BE 1

CS_RAM-L_0 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 0

CS_RAM-L_1 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 1

CS_RAM-L_2 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 2

CS_RAM-L_3 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 3

CS_RAM-H_0 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 0

CS_RAM-H_1 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 1

CS_RAM-H_2 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 2

CS_RAM-H_3 = $\overline{BA31}\ \overline{BA30}\ \overline{BA29}$ BE 3

CS_READ_B_L = $\overline{BA31}\ \overline{BA30}\ \overline{BA4}\ \overline{BA3}\ \overline{BA2} \cdot \overline{MEMRD}$

CS_READ_B_H = $\overline{BA31}\ \overline{BA30}\ \overline{BA4}\ \overline{BA3}\ \overline{BA2} \cdot \overline{MEMRD}$

CS_READ_HW_L = $\overline{BA31}\ \overline{BA30}\ \overline{BA4}\ \overline{BA3}\ \overline{BA2} \cdot \overline{MEMRD}$

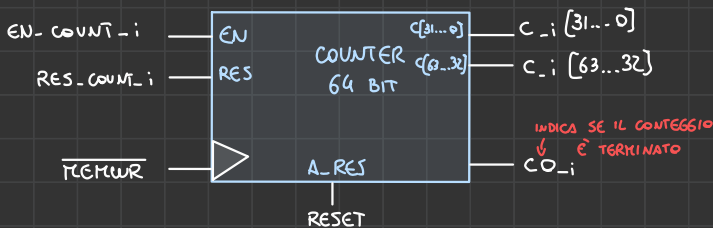
CS_READ_HW_H = $\overline{BA31}\ \overline{BA30}\ \overline{BA4}\ \overline{BA3}\ \overline{BA2} \cdot \overline{MEMRD}$

CS_READ_W_L = $\overline{BA31}\ \overline{BA30}\ \overline{BA4} \cdot \overline{BA2} \cdot \overline{MEMRD}$

CS_READ_W_H = $\overline{BA31}\ \overline{BA30}\ \overline{BA4} \cdot \overline{BA2} \cdot \overline{MEMRD}$

Rete per il conteggio degli accessi

3 COUNTER fatti così



$$W: B60 \cdot BE1 \cdot BE2 \cdot BE3$$

$$HW: B60 \cdot BE1 \cdot BE2 \cdot BE3 + \overline{B60} \cdot BE1 \cdot BE2 \cdot BE3$$

$$B: \overline{B60} \cdot BE1 \cdot BE2 \cdot BE3 + \overline{B60} \cdot BE1 \cdot BE2 \cdot \overline{BE3} + \overline{B60} \cdot BE1 \cdot \overline{BE2} \cdot BE3 + \overline{B60} \cdot BE1 \cdot BE2 \cdot BE3$$

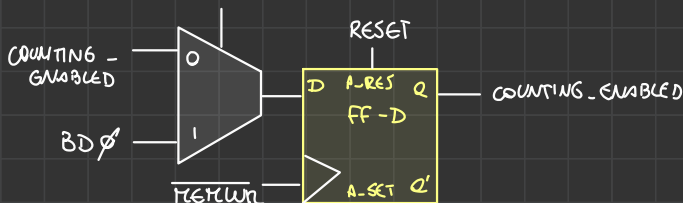
$$EN_COUNT = DEC_i \cdot COUNTING_ENABLED \cdot RATE_ACCESS \cdot \overline{INT_DLK}$$

$$RATE_ACCESS = BA31 \cdot BA30$$

$$RES_COUNT_i = CS_RES_CNTRL$$

Rete per abilitare o disabilitare il monitoraggio

CS_RES_CNTRL + CS_EN_CNTRL



CODICE

- 1) Leggere il numero di scritture in memoria, per ciascuna tipologia di accesso (i.e., B, HW e W), e memorizzare queste quantità a indirizzi consecutivi partendo da FFFF8400h.
- 2) Predisporre le reti logiche per un nuovo monitoraggio (al fine di non tenere in considerazione i valori precedenti) - senza però abilitare una nuova analisi delle scritture in memoria che sarà avviata mediante opportuni comandi software eseguiti dall'esterno dell'interrupt handler.

```
0h   LHI   R20, 0x4000
4h   LHI   R30, 0xFFFF
8h   LW    R21, 0x0000(R20)
Ch   SW    R21, 0x8400(R30)
10h  LW    R21, 0x0004(R20)
14h  SW    R21, 0x8404(R30)
18h  LW    R21, 0x0008(R20)
1Ch  SW    R21, 0x8408(R30)
20h  LW    R21, 0x000C(R20)
24h  SW    R21, 0x840C(R30)
28h  LW    R21, 0x0010(R20)
2Ch  SW    R21, 0x8410(R30)
30h  LW    R21, 0x0014(R20)
34h  SW    R21, 0x8414(R30)
38h  LHI   R25, 0x8000
3Ch  SB    R0, 0x0090(R25)
40h  RFE;
```

Codice per riabilitare COUNTING_ENABLE

```
100h  LHI   R8, 0x8000
104h  ADDI  R9, R0, 0x0001
108h  SB    R9, 0x0001(R8)
```