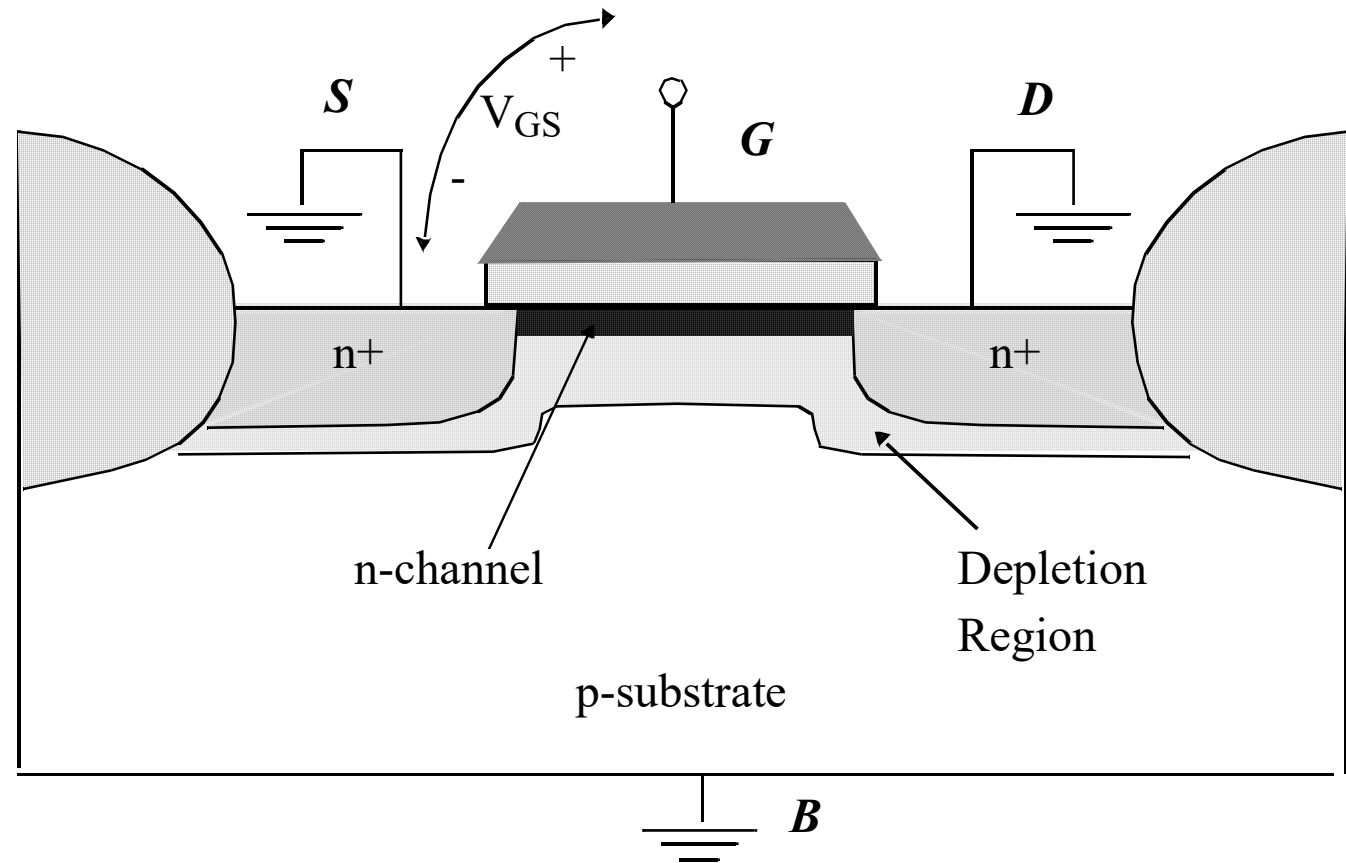
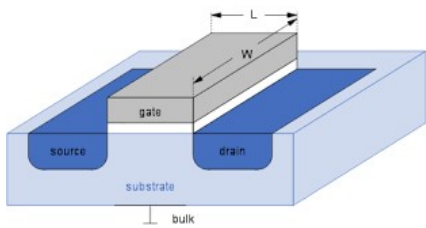
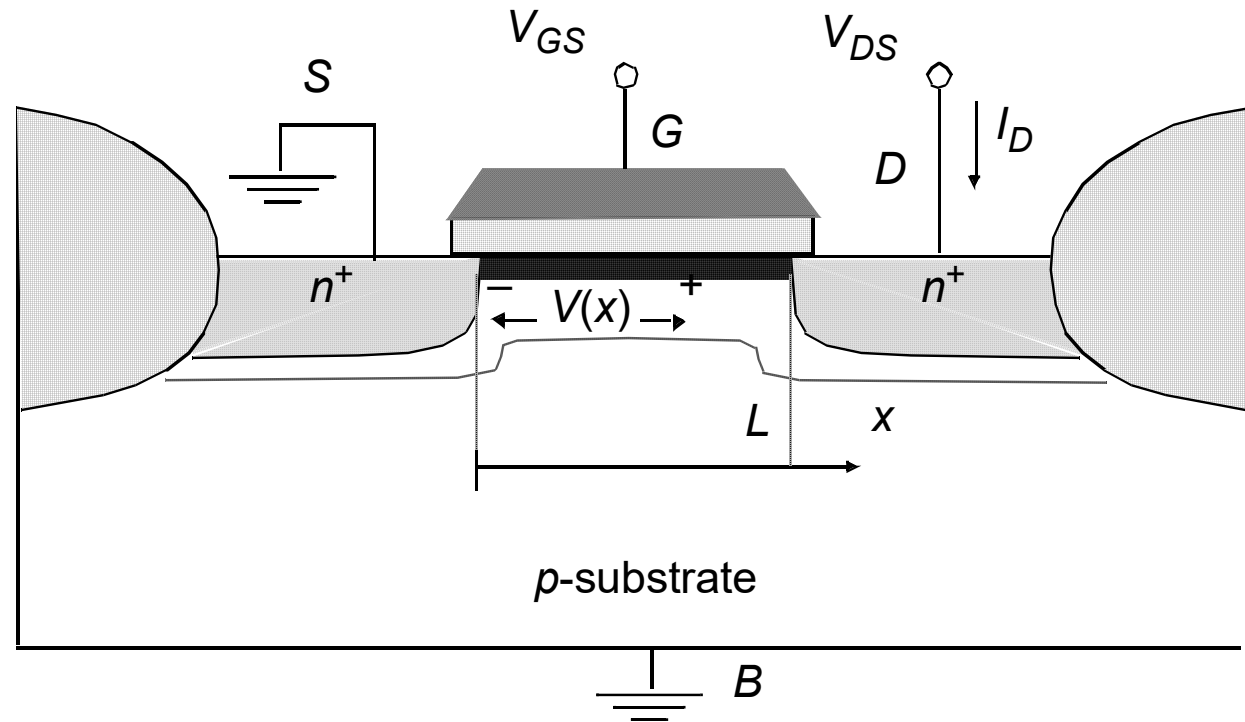
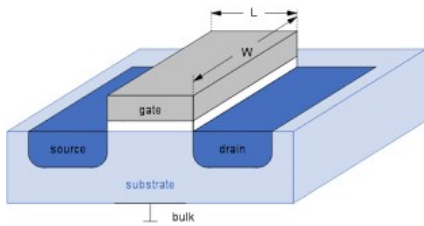


Transistor NMOS: il concetto di soglia



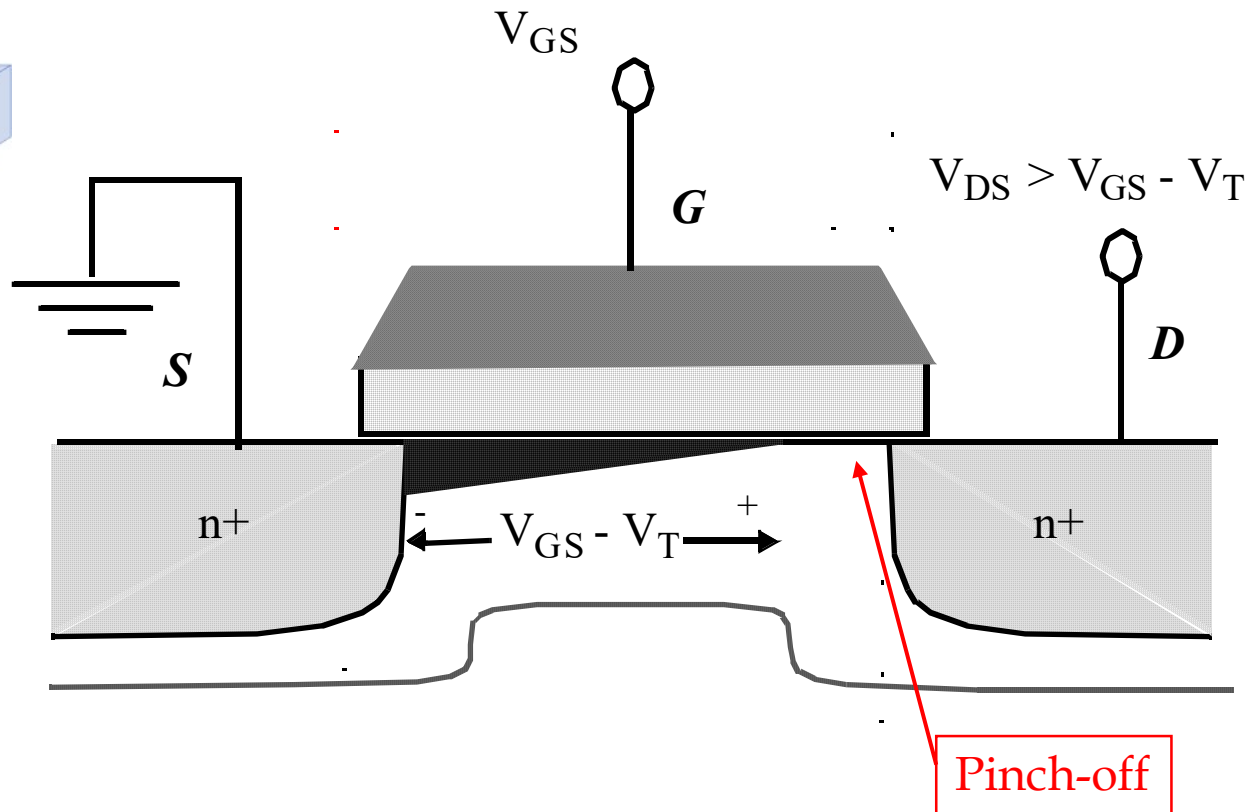
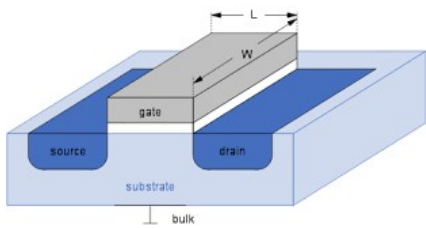
Transistor NMOS : corrente I_{DS}

$$V_{GS} > V_{TH}$$
$$V_{DS} > 0$$



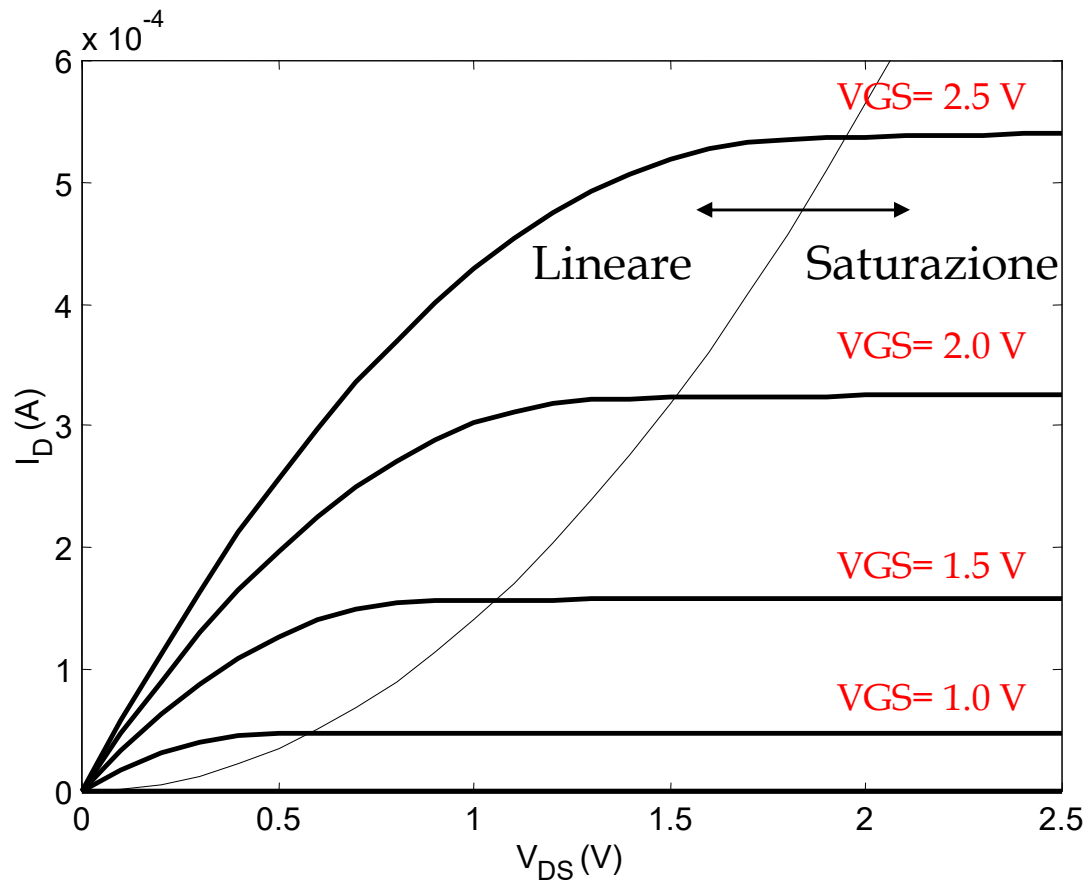
MOS transistor and its bias conditions

Transistor NMOS : Saturazione

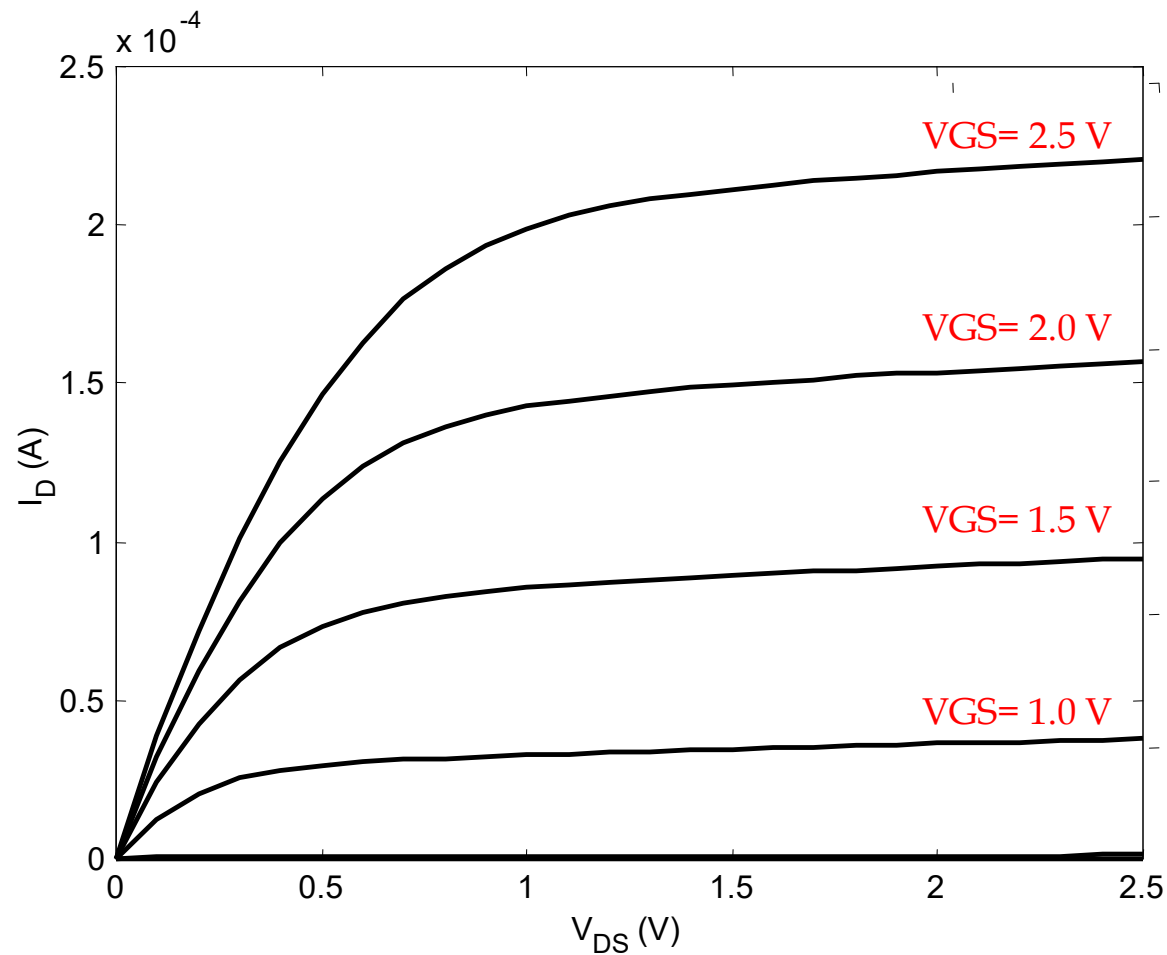


Transistor NMOS canale lungo:

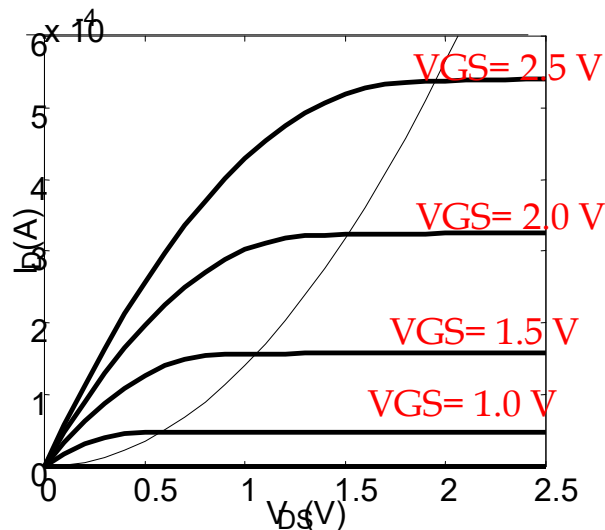
Caratteristica $I_{DS}-V_{DS}$



Transistor NMOS canale corto: Caratteristica $I_{DS}-V_{DS}$



Transistor NMOS: Modello



Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

$$k'_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Channel Length Modulation

k' = transconduttanza (processo)

W/L = fattore di forma (transistor)

$k = k' \cdot W/L$ = fattore di guadagno $[A/V^2]$ (transistor)

Transistor MOS: valori tipici

Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

$$k'_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

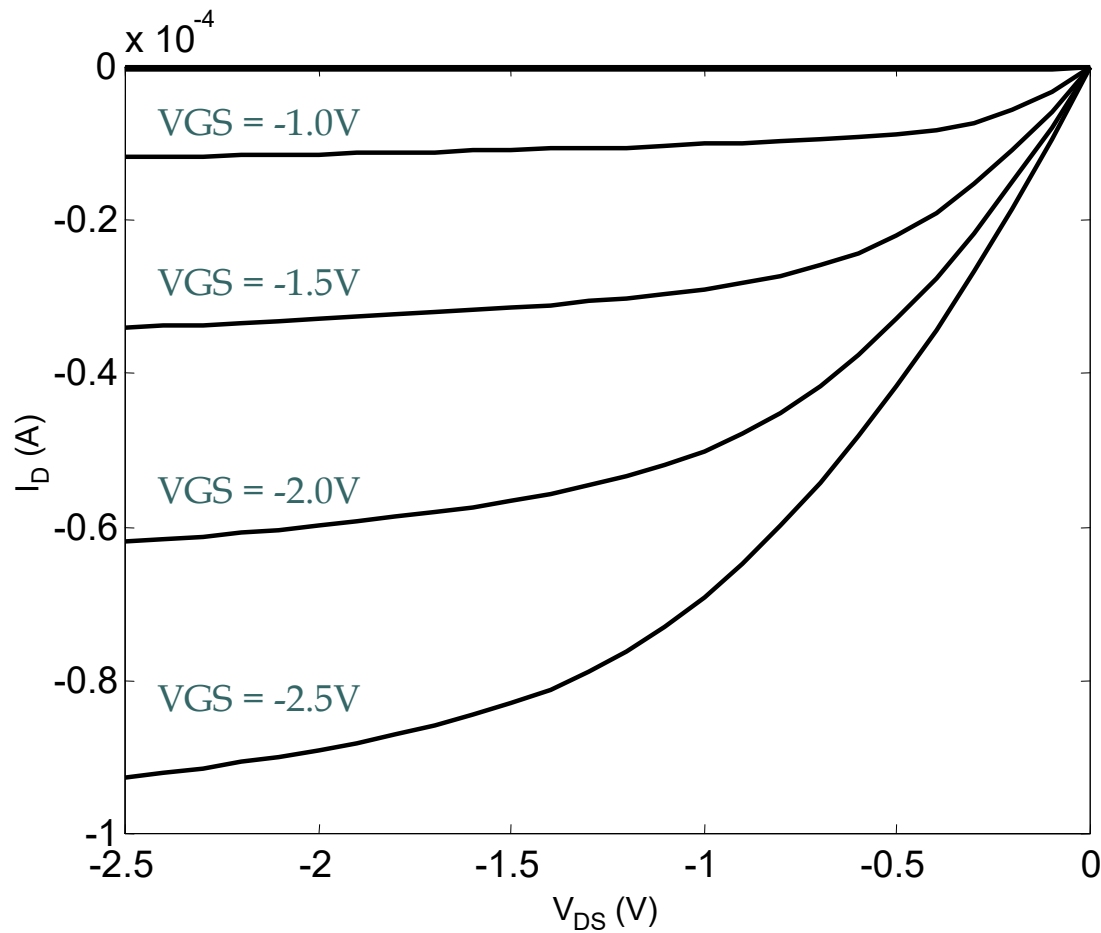
$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

Channel Length Modulation

Table 3.2 Parameters for manual model of generic 0.25 μm CMOS process (minimum length device).

	V_{T0} (V)	γ ($\text{V}^{0.5}$)	V_{DSAT} (V)	k' (A/V^2)	λ (V^{-1})
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

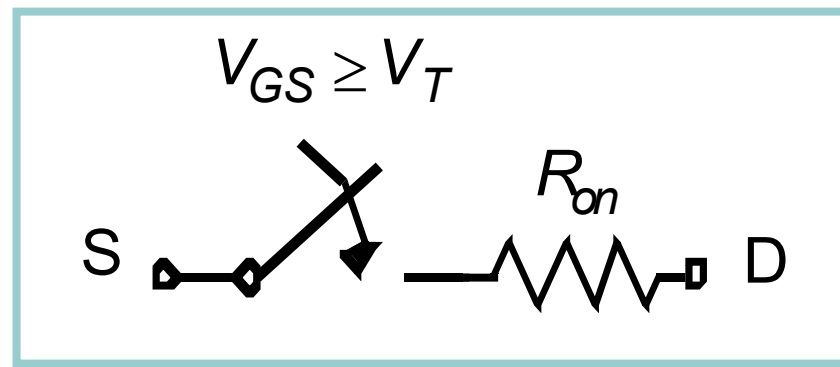
Transistor PMOS canale corto: Caratteristica $I_{DS}-V_{DS}$



Assume all variables
negative!

N.B $V_{THp} < 0$ V
 $K'_p < 0$ A/V²

Il transistor MOS come interruttore



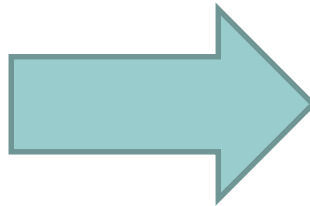
NMOS



Inverter: dalla porta logica al circuito logico

Porta Logica

Ingresso	Uscita
falso	vero
vero	falso

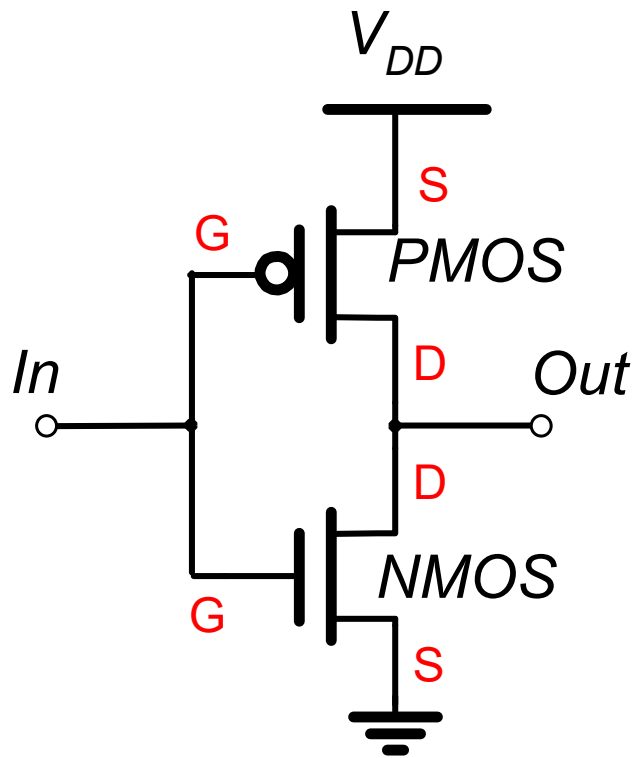


**Circuito Logico
(logica positiva)**

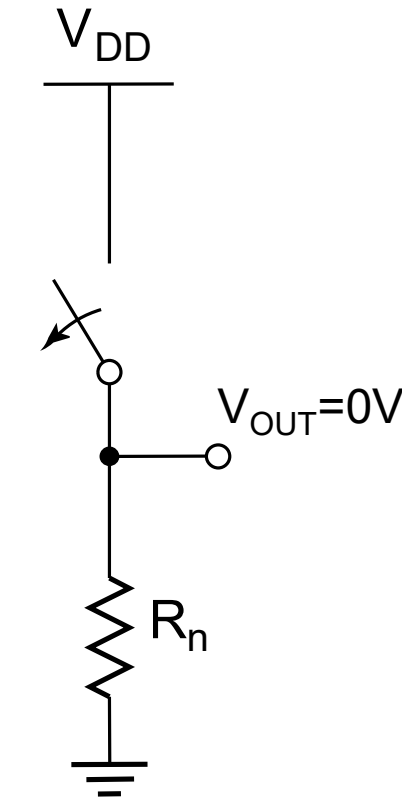
Ingresso	Uscita
0V	V_{DD}
V_{DD}	0V



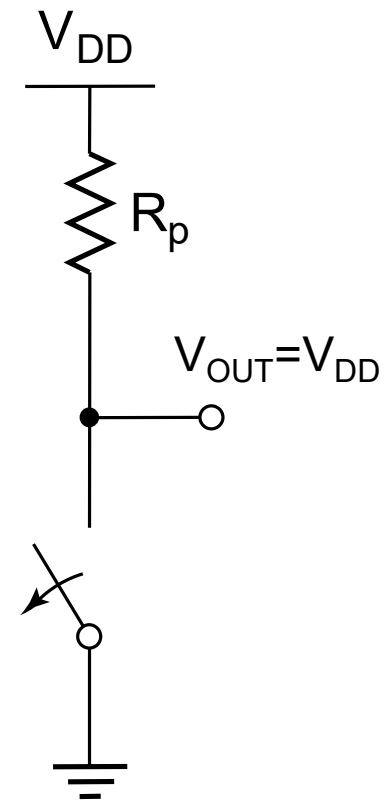
L' inverter CMOS : comportement statique



N.B. $V_{DD} > |V_{TH}|$

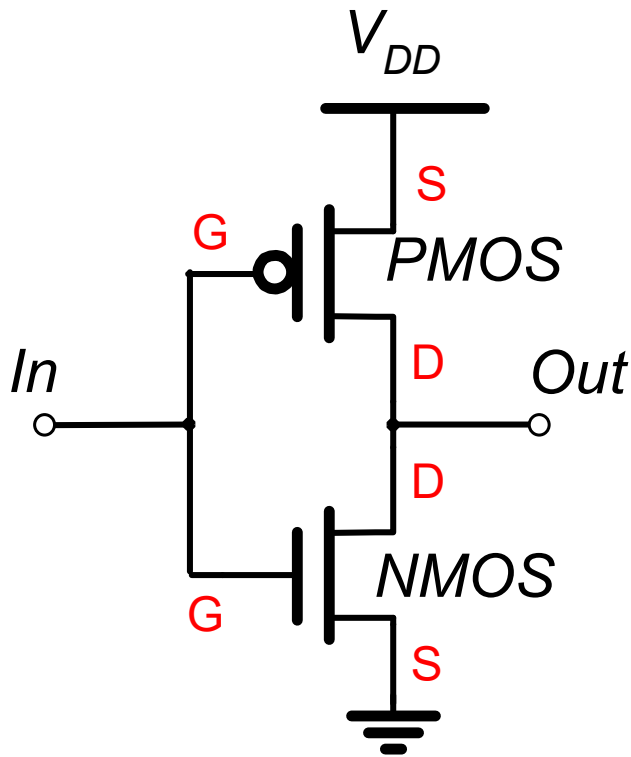


$V_{in} = V_{DD}$



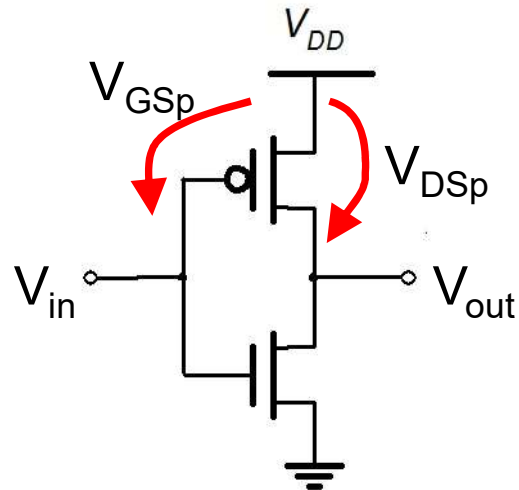
$V_{in} = 0V$

L' inverter CMOS : caratteristiche

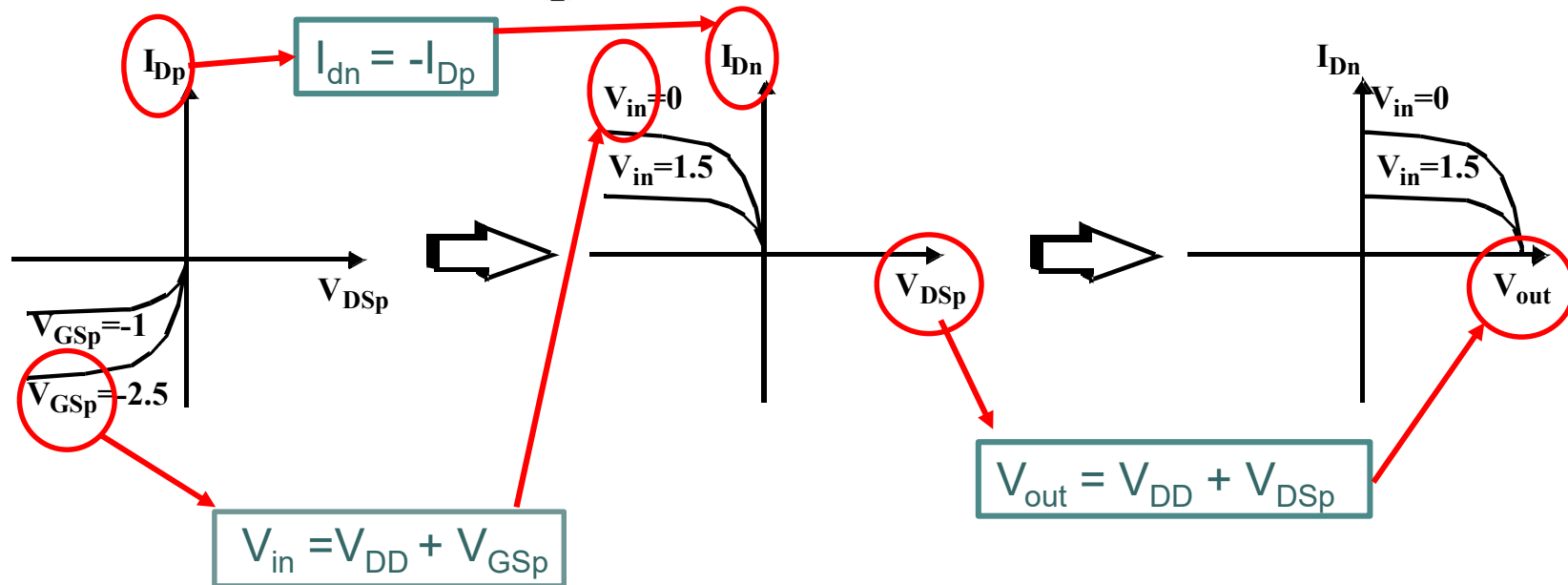


- Impedenza di ingresso altissima: $I_{IN} = I_G = 0A$
- Impedenza di uscita bassa (R_{ON})
- Consumo statico nullo ($V_{IN}=0$ opp $V_{IN}=V_{DD}$)

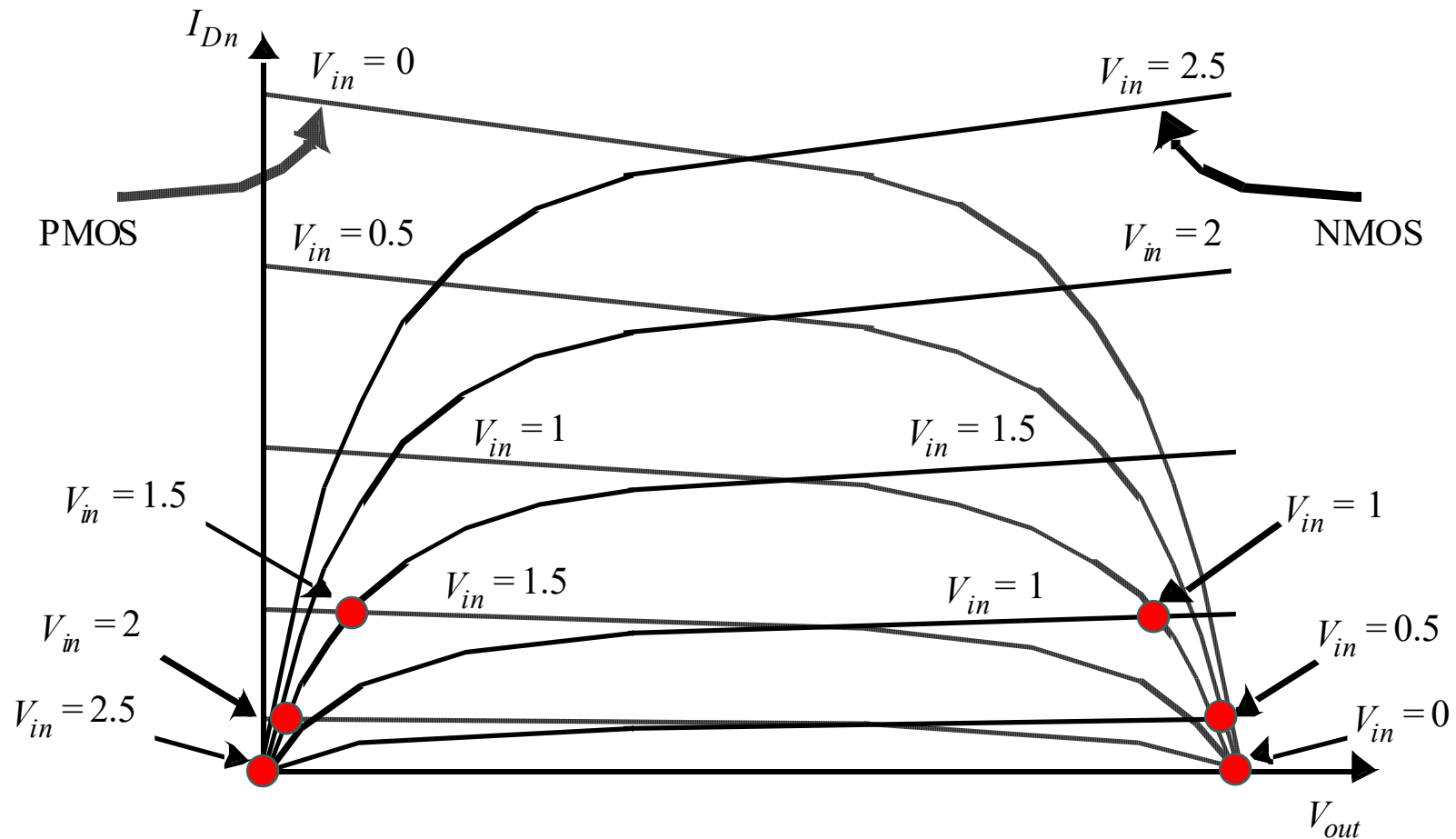
Inverter CMOS : caractéristique statique V_{in} - V_{out} (VTC)



N.B. $V_{DD}=2.5V$

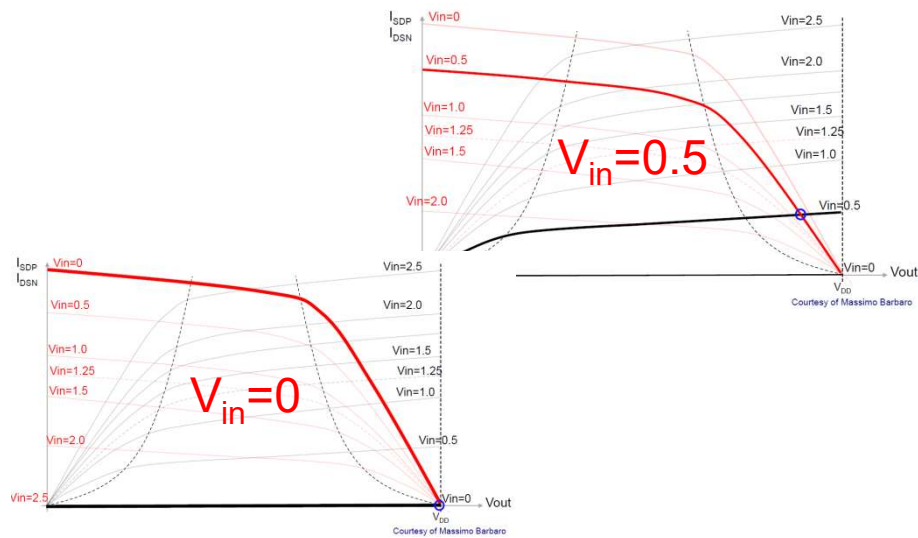
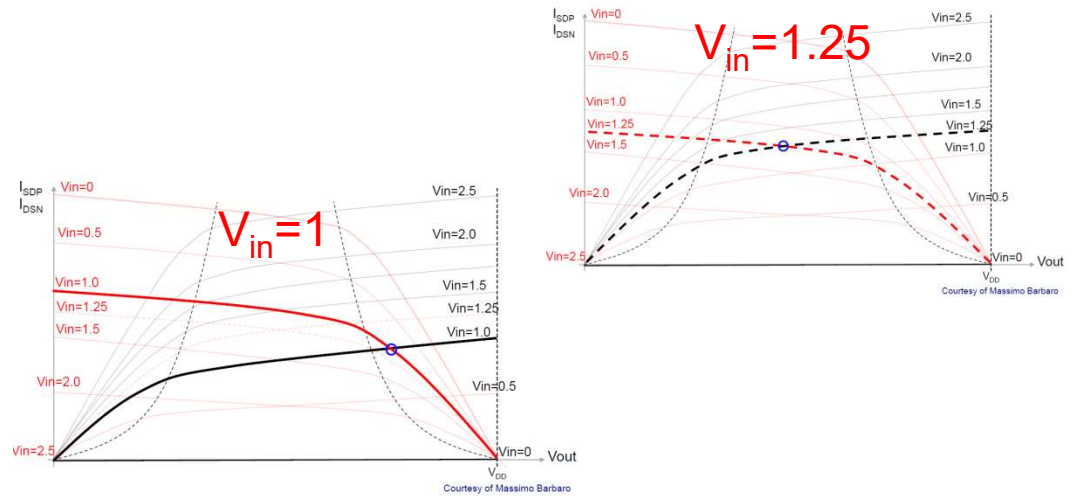


Inverter CMOS : caratteristica statica V_{in} - V_{out} (VTC)

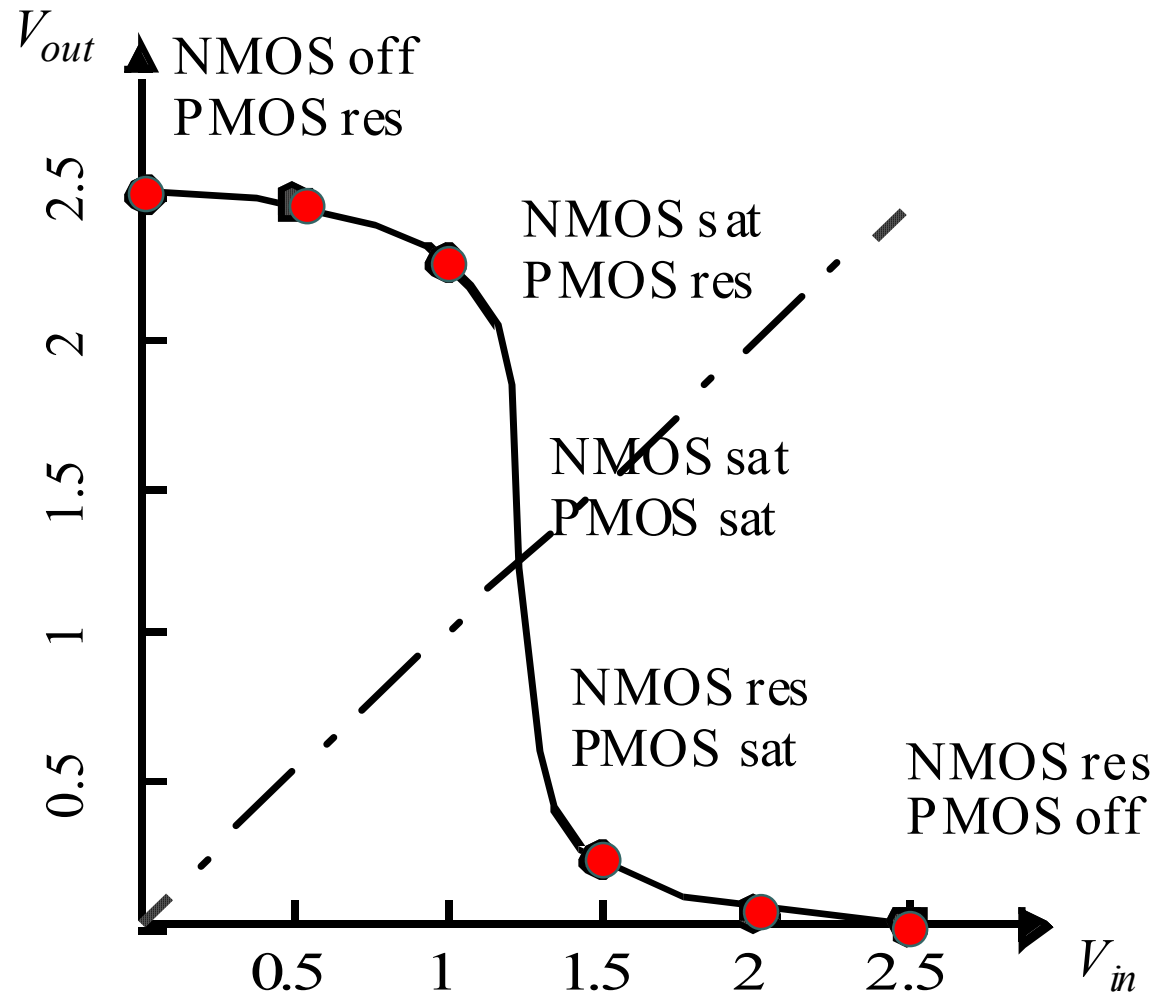


N.B. $V_{DD}=2.5V$

Inverter CMOS : caratteristica statica V_{in} - V_{out} (VTC)



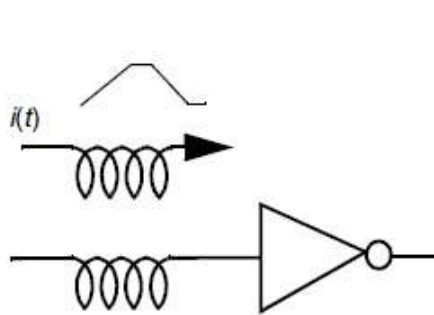
Inverter CMOS : caratteristica statica V_{in} - V_{out} (VTC)



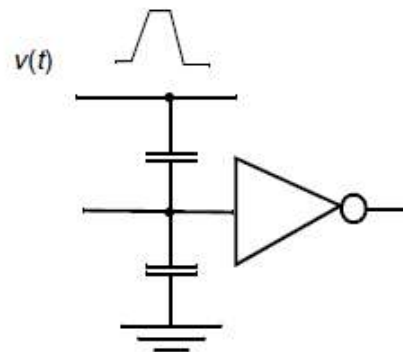
Robustezza dell' Inverter CMOS

Il comportamento reale di un gate (anche non CMOS) può essere diverso da quello ideale per molte ragioni ed in particolare a causa di:

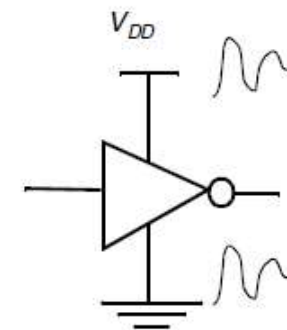
- Dispersione dei parametri di processo
- Inaccuratezza del processo di fabbricazione
- **Rumore** durante il funzionamento



(a) Inductive coupling



(b) Capacitive coupling



(c) Power and ground noise



Robustezza dell' Inverter CMOS

Occorre definire di parametri che esprimano la **robustezza** del gate riguardo alle non idealità ed in particolare al rumore.

In particolare definiremo i seguenti parametri:

- Soglia logica
- Margine di rumore
- Fan-in
- Fan-out



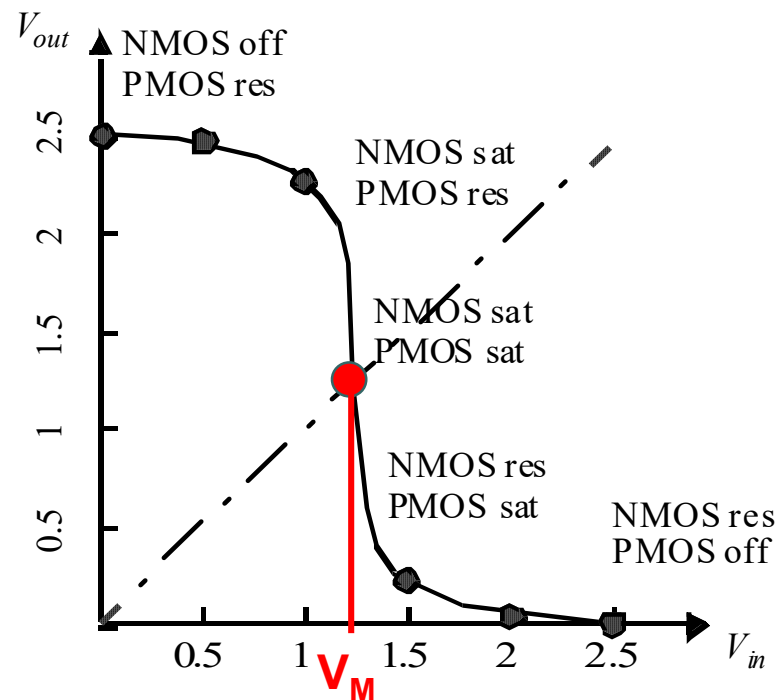
Fan-in e Fan-out

- **Fan-in:** numero di ingressi della porta logica
all' aumentare del fan-in aumenta la complessità della porta.
Inoltre le prestazioni statiche e dinamiche si riducono
- **Fan-out:** numero di porte collegate all' uscita di un gate.
All'aumentare del Fan-out aumenta la capacità di carico e
quindi vengono degradate le prestazioni dinamiche del gate.

Le regole di progetto (design rules) devono limitare questi due parametri in modo da non creare colli di bottiglia.

Soglia logica V_M

La soglia logica (V_M) è per definizione il valore della tensione di ingresso cui corrisponde uguale tensione di uscita.
Osservando la VTC, questo valore è quello di intercetta con la retta $V_{in}=V_{out}$ (bisettrice)

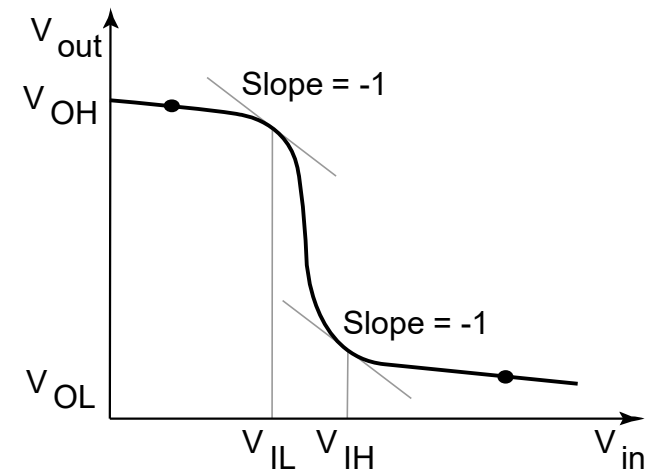
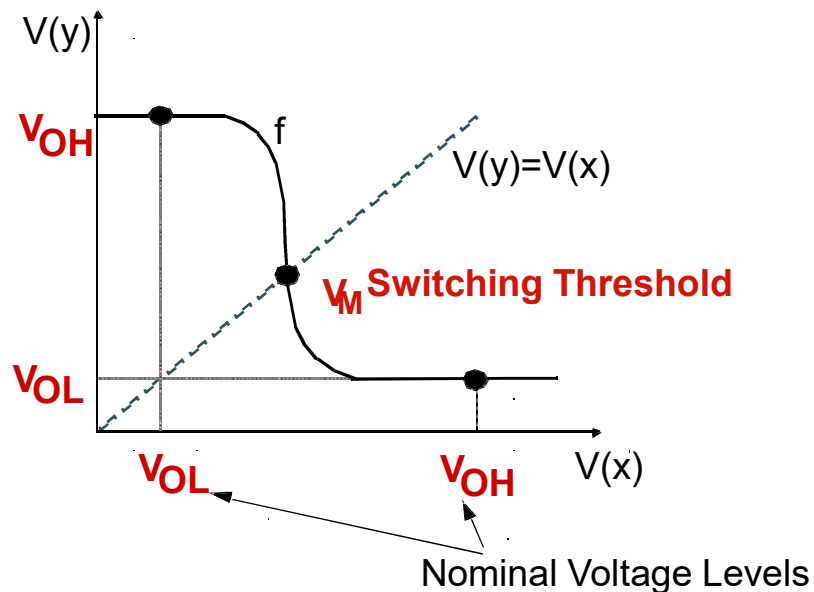


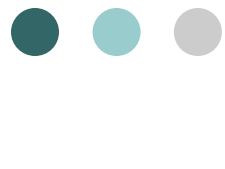
Margini di rumore (NM_H e NM_L)

Siano V_{OH} e V_{OL} i livelli nominali di uscita di un gate corrispondenti ad un analogo valore nominale applicato all'ingresso.

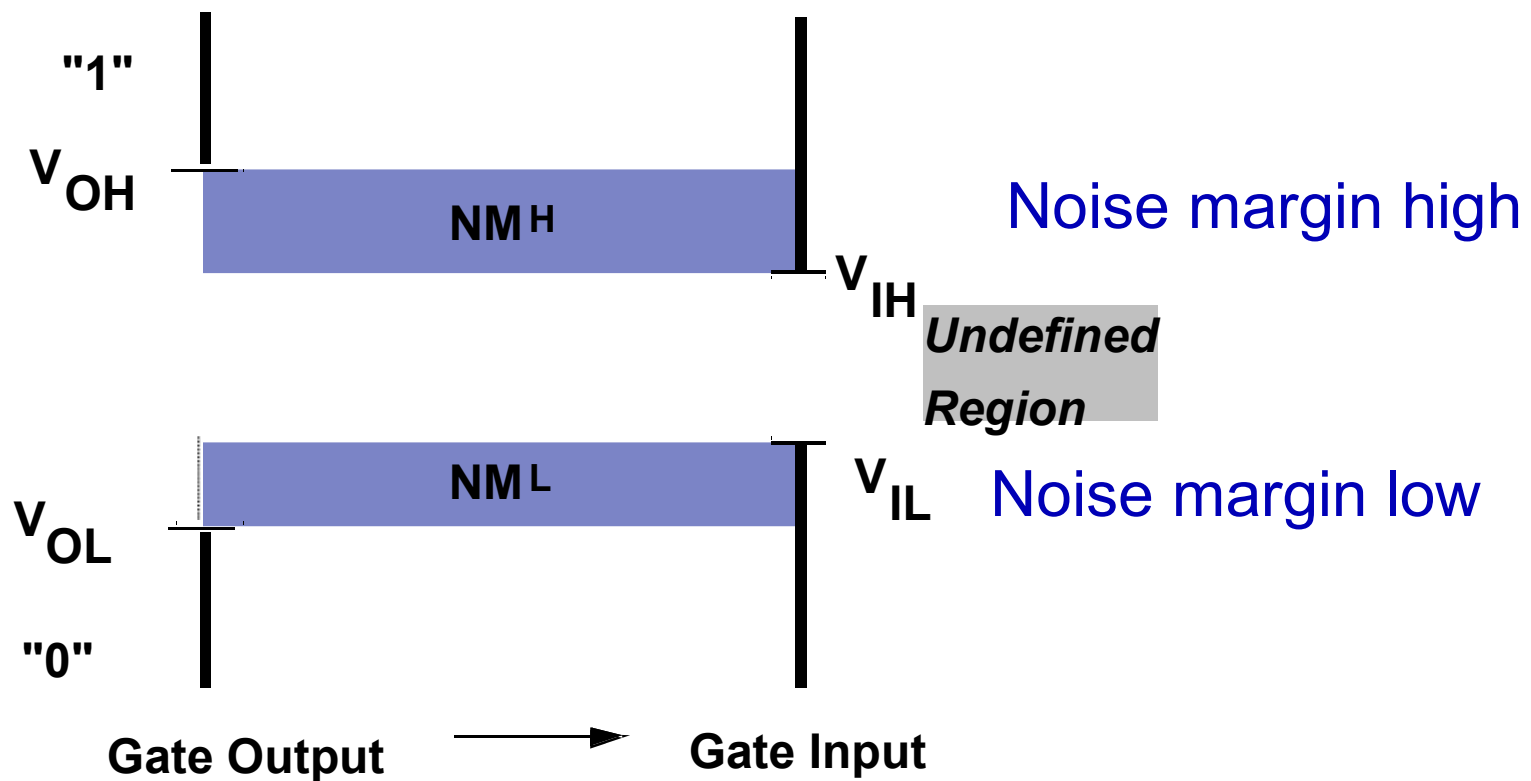
Definiamo inoltre V_{IH} e V_{IL} i valori limite per i livelli di ingresso. Questi sono definiti nominalmente come i livelli corrispondenti ai punti della VTC a pendenza pari a -1. I margini di rumore sono quindi definiti come:

$$NM_L = V_{IL} - V_{OL} \quad \text{e} \quad NM_H = V_{OH} - V_{IH}$$



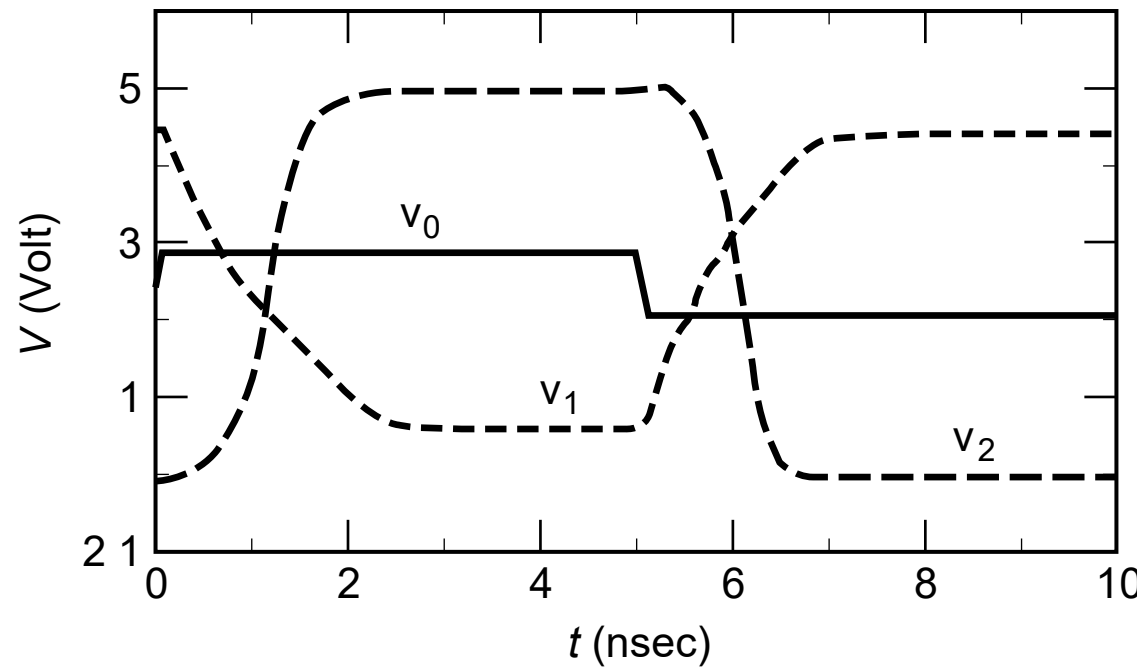
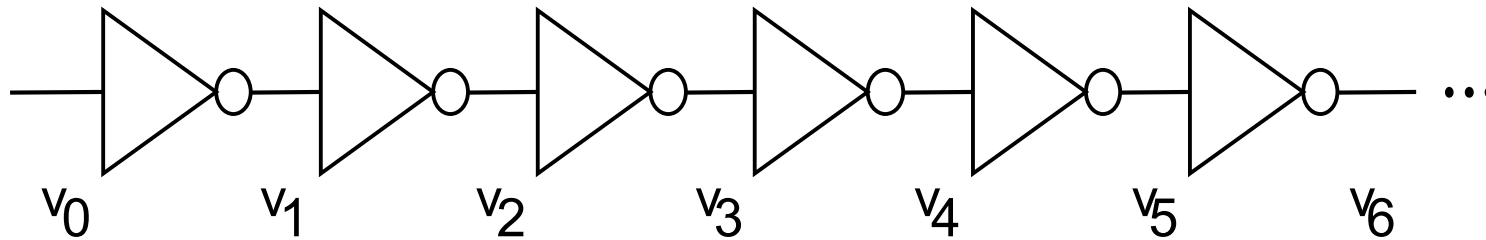


Margini di rumore (NM_H e NM_L)

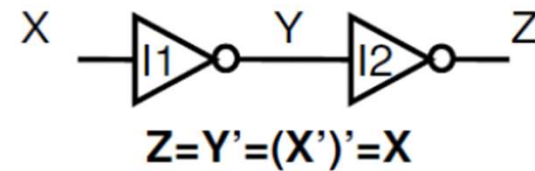
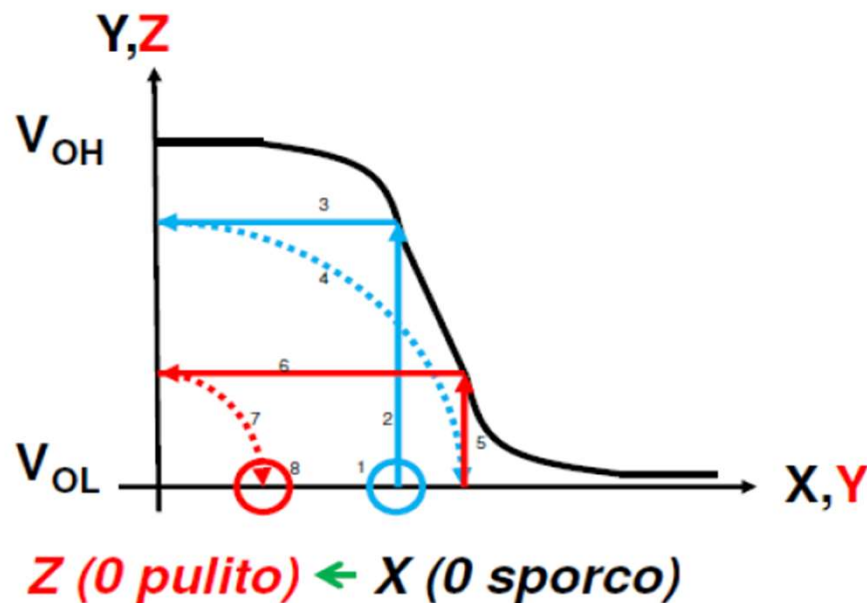




Proprietà rigenerativa



Porta logica rigenerativa

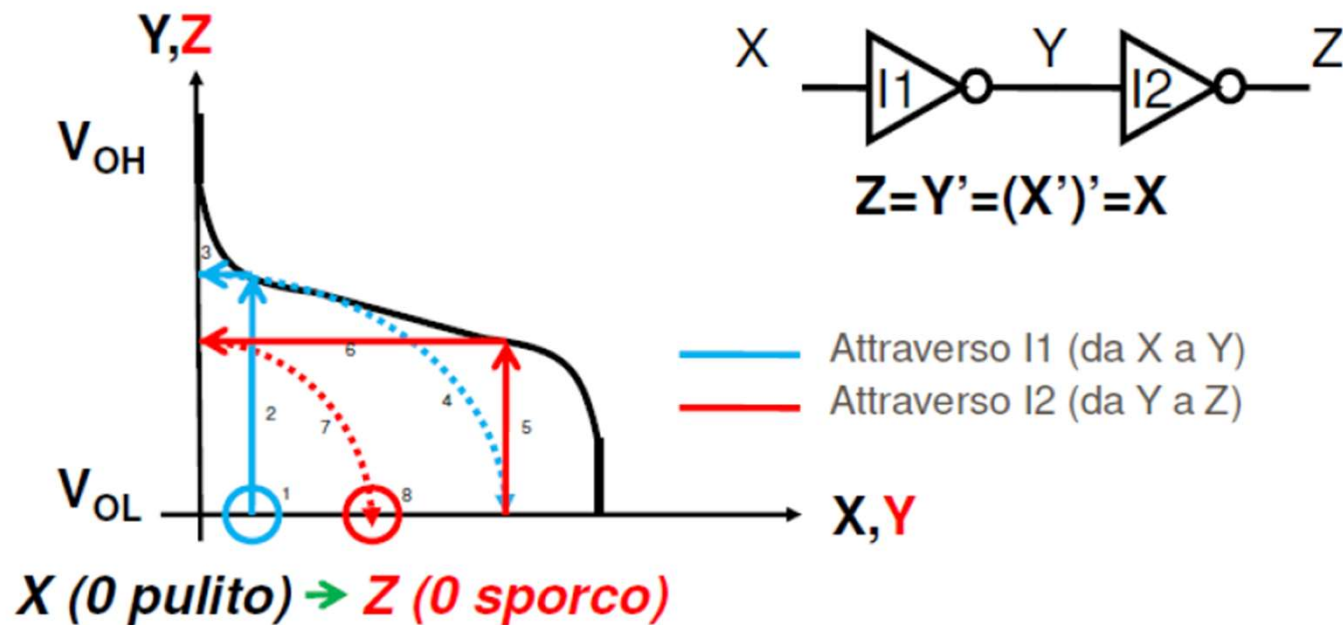


- Attraverso I1 (da X a Y)
- Attraverso I2 (da Y a Z)

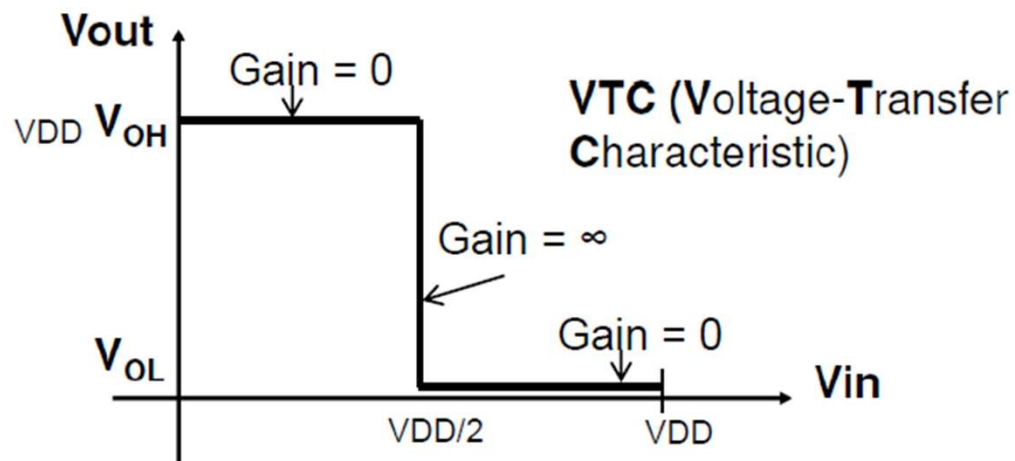
Il passaggio 4 (l'arco) serve a riportare l'uscita del primo inverter (Y) sull'asse delle ascisse, per poi utilizzare la stessa curva (che è anche la VTC del secondo inverter)

Porta logica non rigenerativa

- Non tutte le VTC permettono la rigenerazione



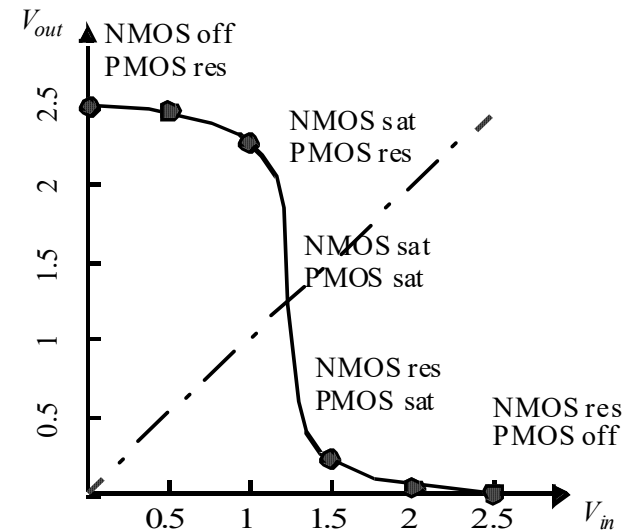
Caratteristica ideale



Se:

$$V_{OL}=0V, V_{OH}=V_{DD}, V_{IL}=V_{IH}=V_{DD}/2 \text{ e } V_M=V_{DD}/2$$

allora i margini di rumore sono uguali e massimi.



La VTC dell' inverter CMOS si avvicina all'idealità.

Calcolo della soglia logica

La soglia logica (V_M) si trova imponendo che le due correnti siano uguali e $V_{out} = V_{in}$. Tale condizione si verificherà nella zona (c) dove entrambi i MOS sono in saturazione.

$$V_{GS} = V_{in} = V_M$$

↓

$$V_{SG} = V_{DD} - V_{in} = V_{DD} - V_M$$

↓

$$\frac{K_n}{2} (V_{in} - V_{TN})^2 = \frac{|K_p|}{2} \cdot (V_{DD} - V_{in} - |V_{TP}|)^2$$

$$V_M = \frac{\sqrt{\frac{|K_p|}{K_n}} \cdot (V_{DD} - |V_{TP}|) + V_{TN}}{1 + \sqrt{\frac{|K_p|}{K_n}}}$$

$$\begin{aligned} K_p &= K'_p \cdot S_p \\ K_n &= K'_n \cdot S_n \end{aligned}$$

con

K = Fattore di guadagno

K' = Transconduttanza di processo

$$S_p = W_p / L_p \quad S_n = W_n / L_n$$

Dimensionamento del gate

$$V_M = \frac{\sqrt{\frac{|K_p|}{K_n}} \cdot (V_{DD} - |V_{TP}|) + V_{TN}}{1 + \sqrt{\frac{|K_p|}{K_n}}}$$

Osservazione:

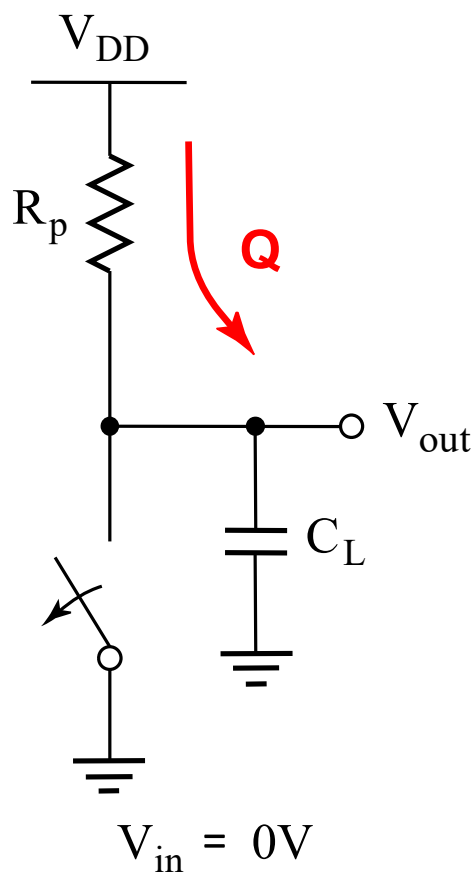
Dalle considerazioni precedenti si deduce che nel caso dell' inverter CMOS un dimensionamento ottimale di V_M è $V_M \cong V_{DD}/2$

Tale valore si raggiunge se si verificano le seguenti uguaglianze:

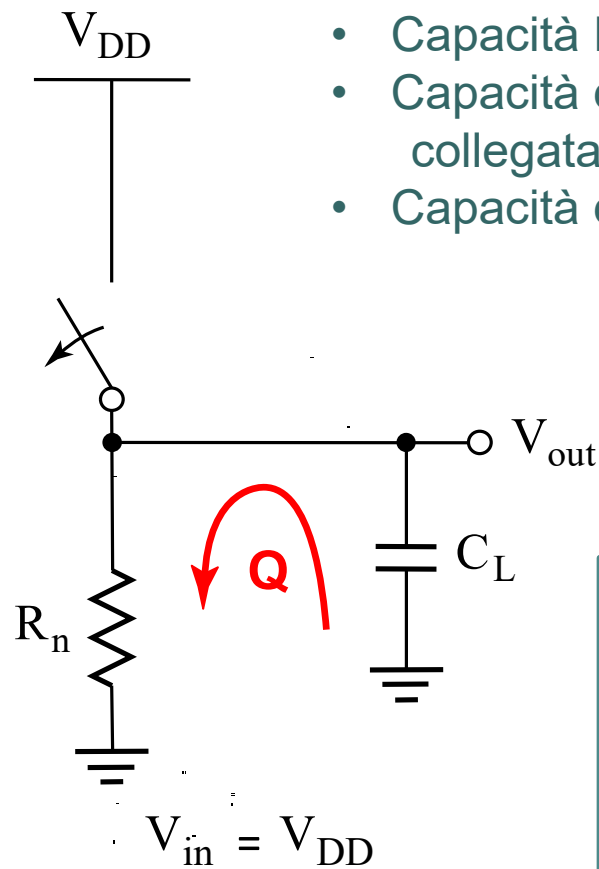
$$K_p \cong K_n \quad \text{e} \quad |V_{TP}| \cong V_{TN}$$

Se la seconda dipende dal processo di fabbricazione, la prima può essere verificata scegliendo opportunamente i rapporti W/L dei transistori.

L' inverter CMOS : comportamento dinamico



(a) Low-to-high



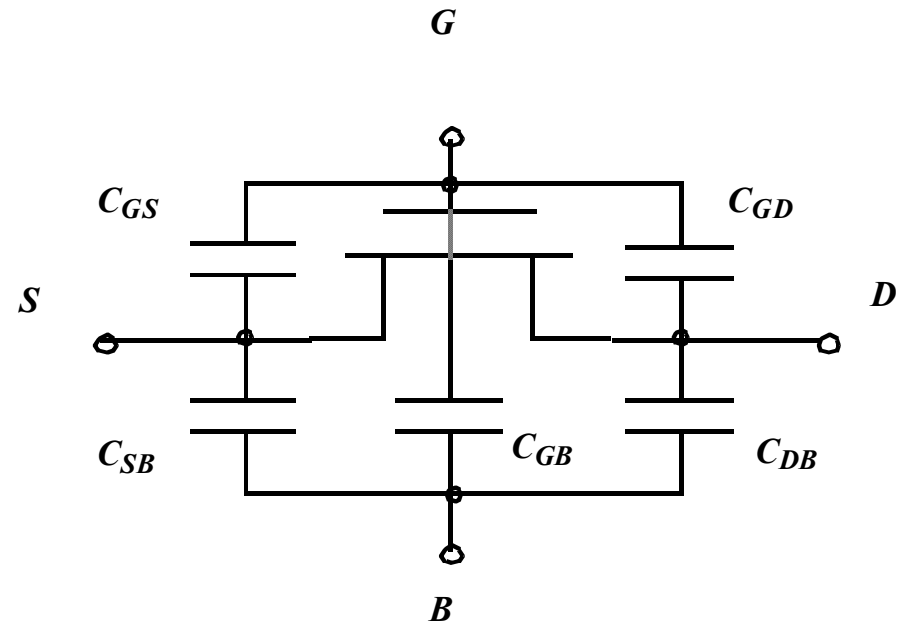
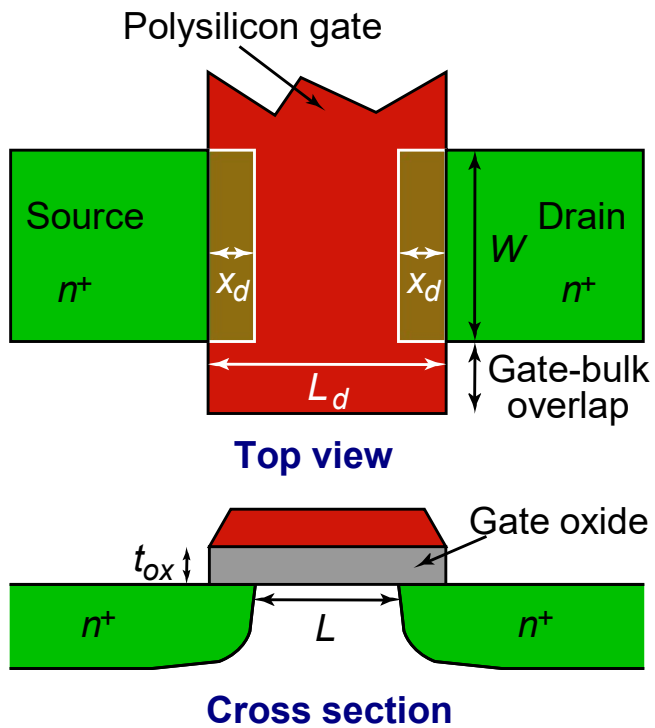
(b) High-to-low

C_L rappresenta la somma (parallelo) di diverse capacità ed in particolare:

- Capacità Drain –Bulk/Well
- Capacità della linea di trasmissione collegata all' uscita del gate
- Capacità di ingresso del gate a valle

Quando il gate commuta, all' uscita si svolge un transitorio di carica/scarica di tipo RC con R e C che cambiano durante il transitorio stesso

Transistore MOS : capacità “interne”

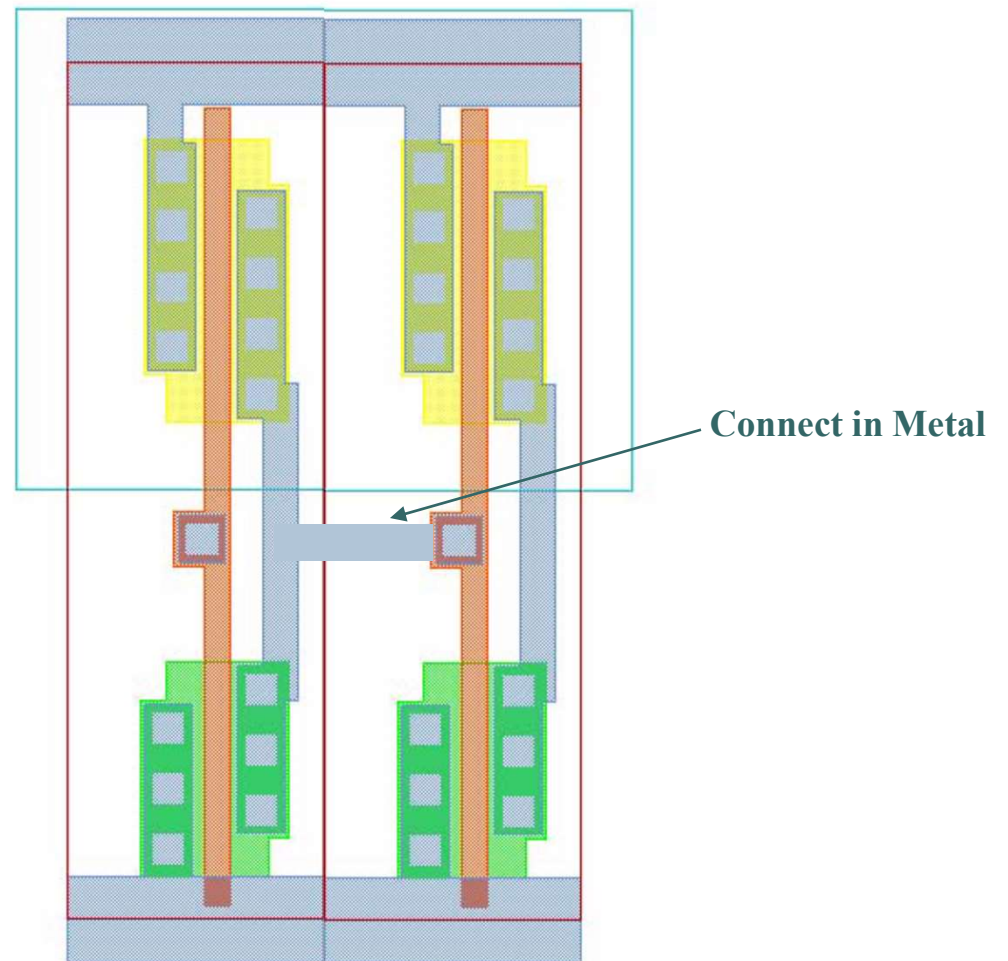
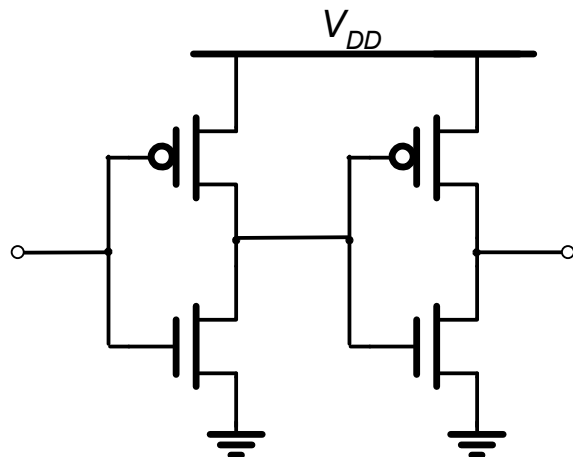




Una visione più completa

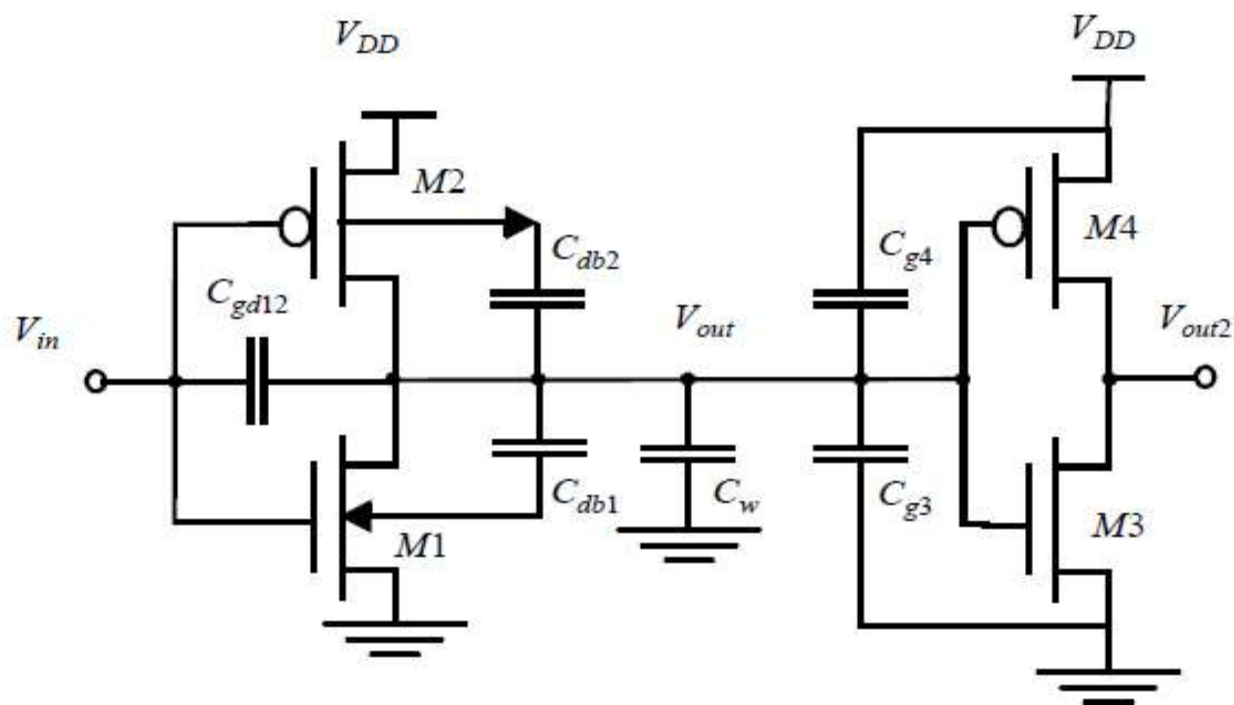
Share power and ground

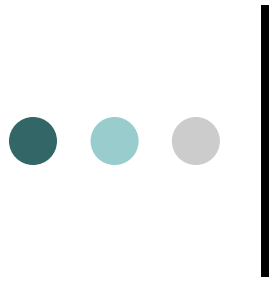
Abut cells





Una visione più completa



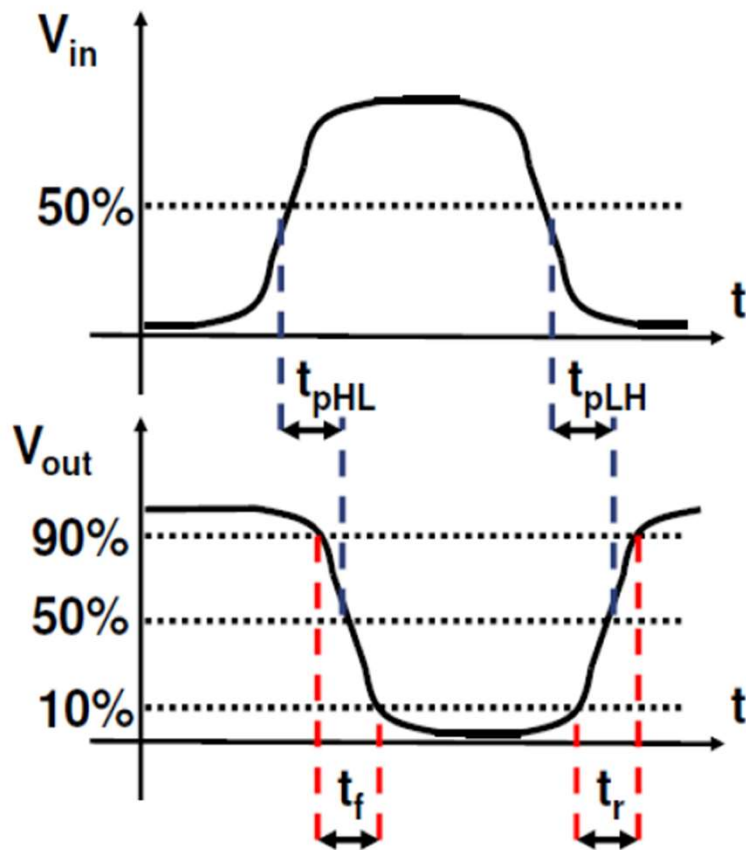


L' inverter CMOS in transitorio

- Il comportamento dinamico dell'inverter è caratterizzato da 3 parametri fondamentali:

- 1) Tempo di Propagazione (t_p):** il tempo medio necessario perché una transizione in ingresso si propaghi in uscita (50%-50%)
- 2) Tempo di salita (t_r):** il tempo che impiega il segnale in uscita per portarsi da basso a alto (10%-90%)
- 3) Tempo di discesa (t_f):** il tempo che impiega il segnale in uscita per portarsi da alto a basso (90%-10%)

L' inverter CMOS in transitorio



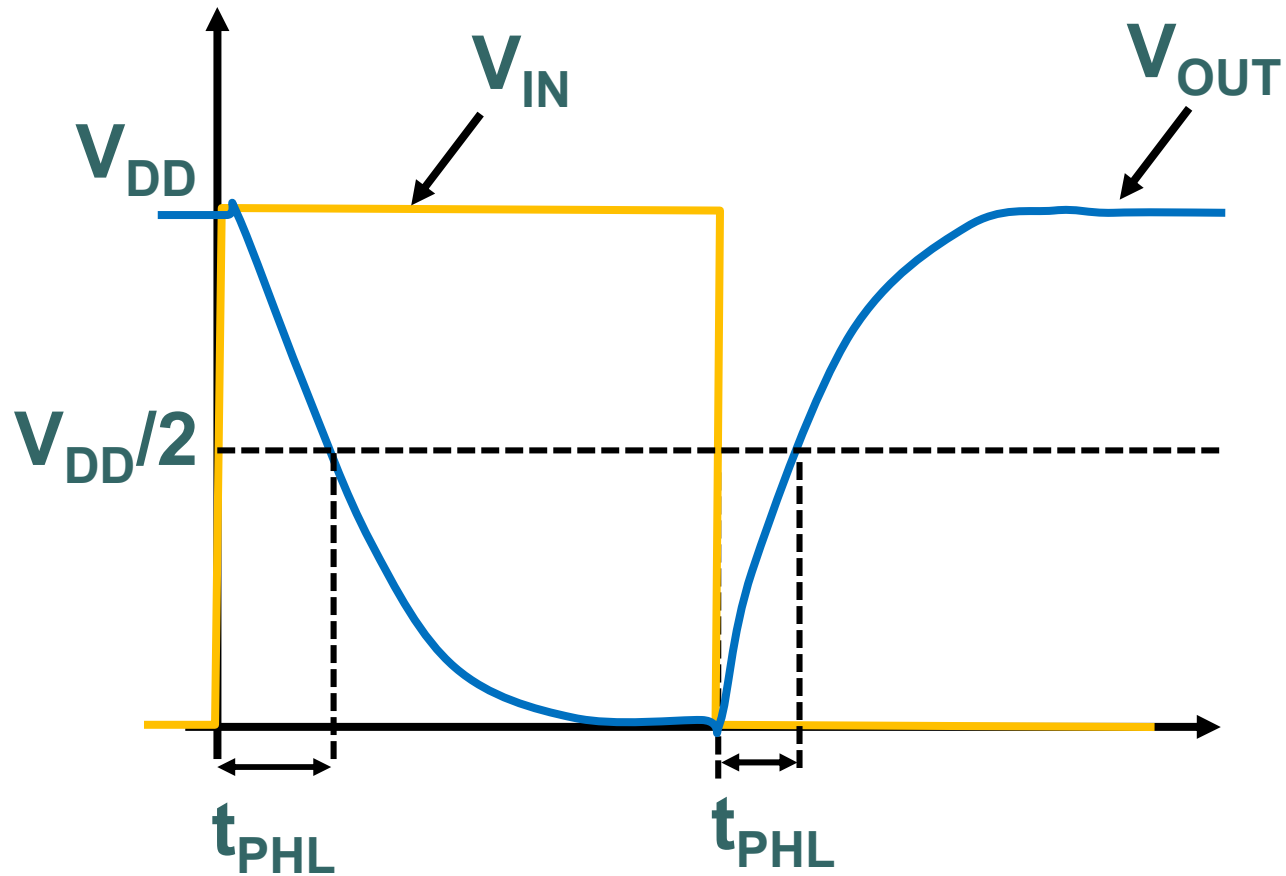
t_{pHL}/t_{pLH} = tempo fra
una variazione del 50%
dell'ingresso ed una del 50%
dell'uscita

$$t_p = (t_{pHL} + t_{pLH})/2$$

t_r = tempo variazione dell'uscita dal
10% del valore nom

t_f = tempo di variazione dal 90%
del valore nominale alto al 10%

L' inverter CMOS in transitorio



Ipotesi: fronti di salita e discesa di V_{IN} di durata nulla



Tempo di propagazione t_{pHL}

Consideriamo il transitorio di discesa. Dall' inizio il transistore l'NMOS si trova in conduzione, inizialmente in saturazione ($V_{DS}=V_{DD}=V_{GS}>V_{GS}-V_{Th}$).

Il PMOS al contrario è OFF.

Il tempo impiegato dalla tensione al nodo di uscita (drain dell' NMOS) per scendere a $V_{DD}/2$ può essere calcolato usando la relazione

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv$$

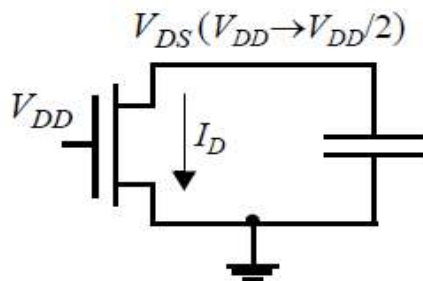
In questa relazione sia la capacità di carico C_L che la corrente di drain i dipendono in modo non lineare da v . Inoltre $v_1=V_{DD}$ e $v_2=V_{DD}/2$.

Il calcolo può essere effettuato manualmente solo se

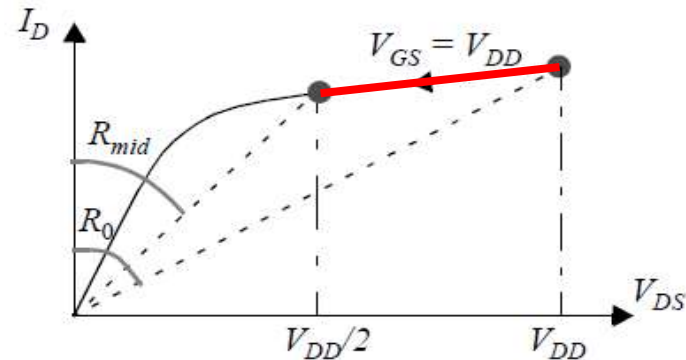
1. Si trascura la dipendenza da v della capacità C_L
2. Al posto di calcolare $i(v)$ si usi il modello resistivo del NMOS utilizzando una resistenza equivalente R_{EQ}

Tempo di propagazione t_{pHL}

Durante la prima parte del transitorio l'NMOS si trova in saturazione. In questa zona la dipendenza di I_{DS} da V_{DS} è circa lineare ed è legata al parametro λ che modella l'effetto di canale corto.



(a) schematic



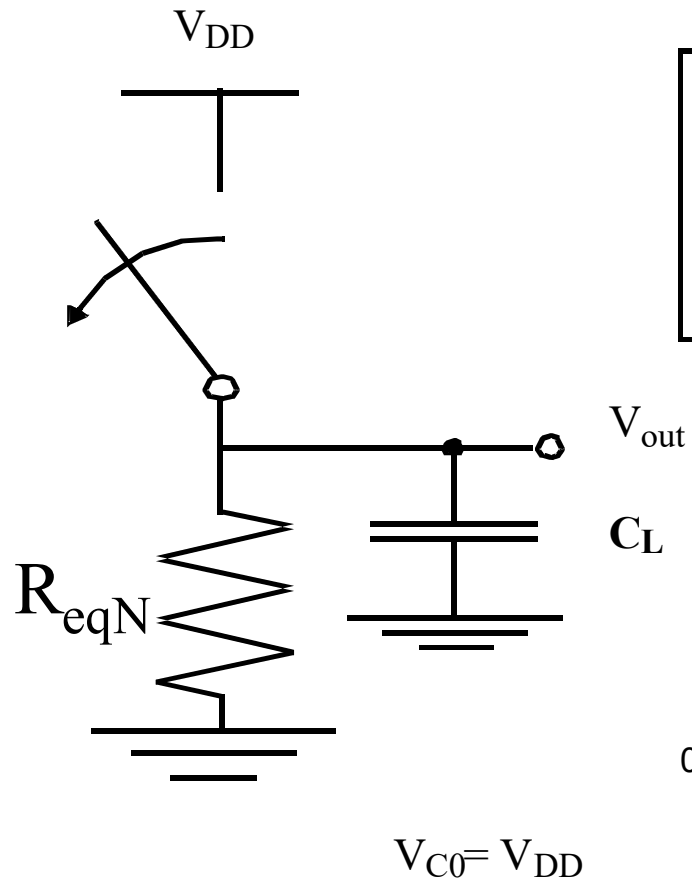
(b) trajectory traversed on ID-VDS curve.

Da considerazioni geometriche si può dimostrare che la resistenza R_{EQ} da utilizzare per il calcolo di t_p è pari a:

$$R_{eq} = \frac{1}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V}{I_{DSAT}(1 + \lambda V)} dV \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{7}{9} \lambda V_{DD} \right)$$

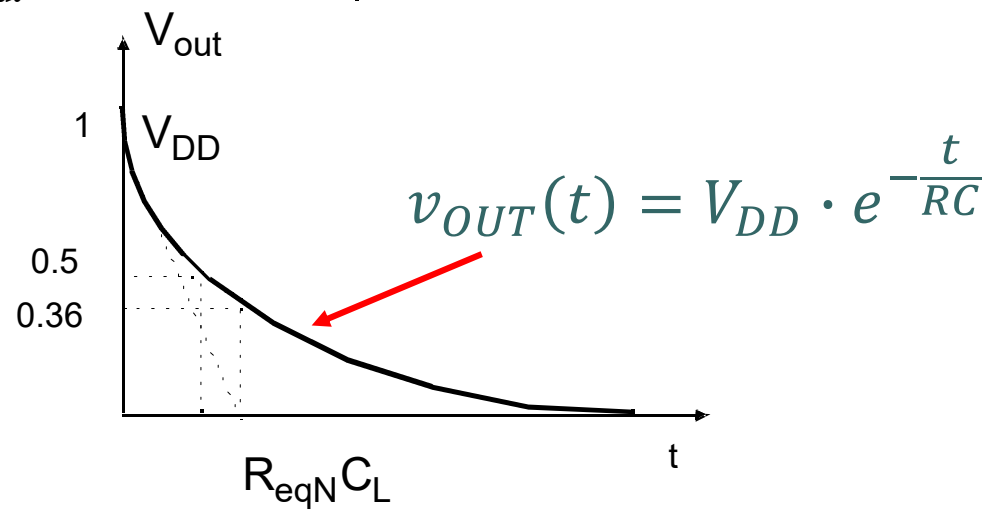
$$\text{dove } I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

Analisi del transitorio alto-basso

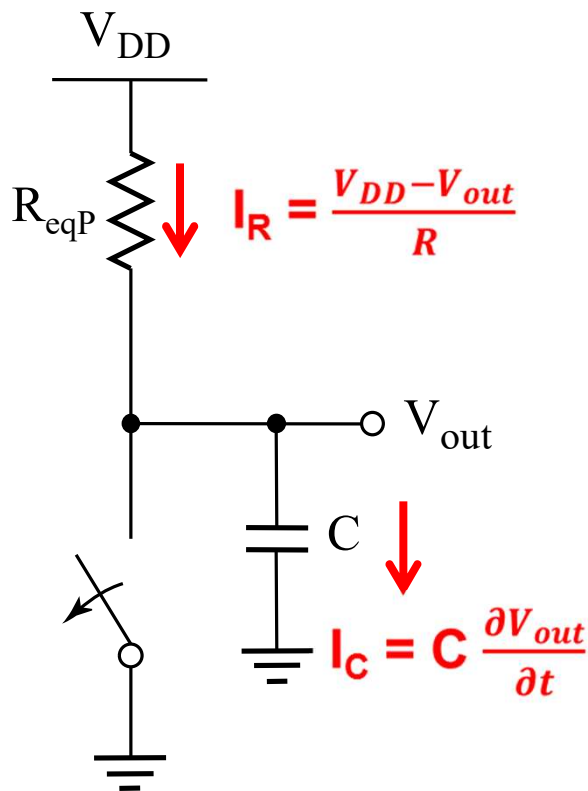


$$t_{pHL} = f(R_{eqN}C_L) \\ = 0.69 R_{eqN}C_L$$

$\ln(2)$



Analisi del transitorio basso-alto



- Consideriamo una rete RC del 1° ordine con V_{out} scollegato avremo che la corrente che attraversa il MOS raggiunge interamente il condensatore ($I_R = I_C$)

$$V_{DD} = RC \frac{\partial V_{out}}{\partial t} + V_{out} \Rightarrow V_{out} = V_{DD} \left(1 - e^{-\frac{t}{RC}} \right)$$

- Dunque serve un tempo infinito per raggiungere una V_{out} pari a V_{DD} .

Valutiamo il tempo di propagazione al 50% (*)

$$V_{out} = \frac{V_{DD}}{2} = V_{DD} \left(1 - e^{-\frac{t}{RC}} \right) \Rightarrow tp = RC \ln 2$$

(*) variazione brusca dell' ingresso

R_{eqP}



Tempo di propagazione

Ricordandoci che nell' analisi della rete RC del prim'ordine, il tempo di decadimento a $V_{DD}/2$ (discesa) può essere così calcolato

$$t_{pHL} = \ln(2)R_{eqn}C_L = 0.69R_{eqn}C_L$$

In modo del tutto simmetrico si può stimare il tempo di salita

$$t_{pLH} = 0.69R_{eqp}C_L$$

Definiamo infine il tempo di propagazione (ritardo) complessivo come

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69C_L\left(\frac{R_{eqn} + R_{eqp}}{2}\right)$$



Esempio

Si consideri un inverter CMOS.

Le caratteristiche tecnologiche sono: $R_{RIFp} = 31 \text{ K}\Omega$, $R_{RIFn} = 13 \text{ K}\Omega$

I rapporti geometrici dei due transistori sono : $W_n/L_n = 1.5$, $W_p/L_p = 4.5$

Calcolare il tempo di propagazione se $C_L = 6 \text{ fF}$

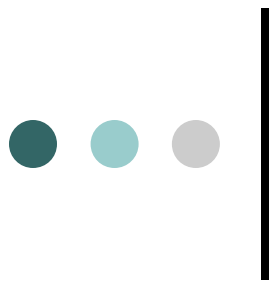
$$R_{eqn} = R_{RIFn} / (W_n/L_n) = 13 \text{ K}\Omega / 1.5 = 8.66 \text{ K}\Omega$$

$$R_{eqp} = R_{RIFp} / (W_p/L_p) = 31 \text{ K}\Omega / 4.5 = 6.88 \text{ K}\Omega$$

$$t_{pHL} = \ln(2) R_{eqn} C_L = 0.69 R_{eqn} C_L = 36 \text{ ps}$$

$$t_{pLH} = 0.69 R_{eqp} C_L = 29 \text{ ps}$$

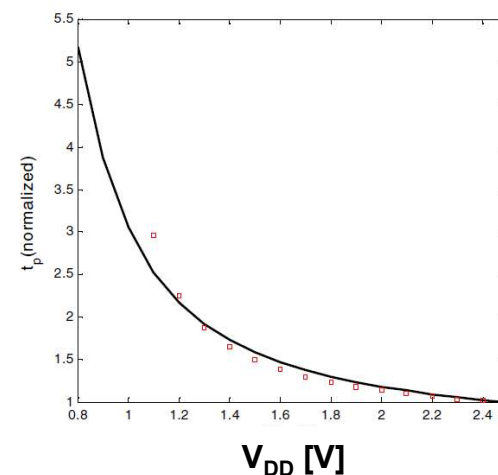
$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69 C_L \left(\frac{R_{eqn} + R_{eqp}}{2} \right) = 32.5 \text{ ps}$$



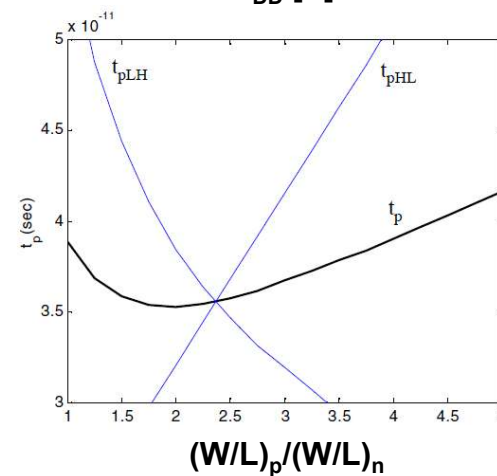
Ottimizzazione del tempo di propagazione

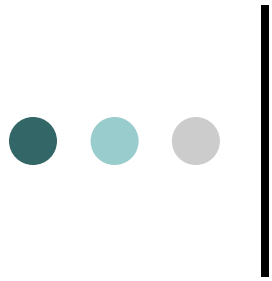
Analizzando la dipendenza di t_p da diversi parametri si trova che:

1) Dipendenza da V_{DD} : risulta modesta per V_{DD} elevate. Rilevante per $V_{DD} < 2V_T$



2) Dipendenza da $(W/L)_p/(W/L)_n$





L' inverter CMOS: consumo di potenza

- Il consumo di potenza è un parametro fondamentale per misurare le caratteristiche di una tecnologia.
- In genere la potenza dissipata da una porta logica si divide in 2 componenti:
 - Statica (consumata in situazione di stabilità dell'uscita)
 - Dinamica (consumata in commutazione dell'uscita)

● ● ● | Consumo di potenza : definizioni

○ Potenza Istantanea:

$$p(t) = v(t) \times i(t) = V_{supply} \times i(t)$$

○ Potenza di picco

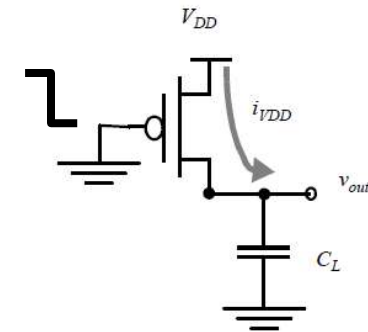
$$P_{peak} = V_{supply} i_{peak}$$

○ Potenza media

$$P_{avg} = \frac{1}{T} \int_t^{t+T} p(t) dt = \frac{V_{supply}}{T} \int_t^{t+T} i(t) dt$$

Energia spesa in commutazione

- Ad ogni commutazione del gate viene spesa una certa energia.
- Nel caso dell' inverter CMOS per la transizione **L** \rightarrow **H**, ipotizzando una transizione brusca $V_{DD} \rightarrow 0V$ dell' ingresso (gate) il calcolo può essere eseguito come segue:



L'energia fornita dal generatore V_{DD} è:

$$E_{VDD} = \int_0^{\infty} i_{VDD}(t) V_{DD} dt = V_{DD} \int_0^{\infty} C_L \frac{dv_{out}}{dt} dt = C_L V_{DD} \int_0^{V_{DD}} dv_{out} = C_L V_{DD}^2$$

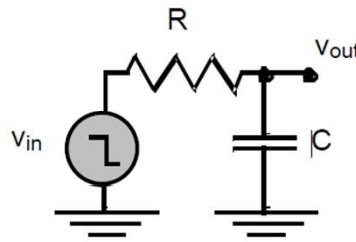
L'energia immagazzinata nel condensatore è:

$$E_C = \int_0^{\infty} i_{VDD}(t) v_{out} dt = \int_0^{\infty} C_L \frac{dv_{out}}{dt} v_{out} dt = C_L \int_0^{V_{DD}} v_{out} dv_{out} = \frac{C_L V_{DD}^2}{2}$$

La differenza, pari a $CV_{DD}^2/2$, è quindi dissipata in calore su R ovvero sul PMOS:

Energia e potenza dinamica

- Ad ogni commutazione del gate viene spesa una certa energia.
- Durante la transizione $H \rightarrow L$, ipotizzando una transizione brusca $0V \rightarrow V_{DD} \rightarrow$ dell'ingresso (gate), l'intera energia immagazzinata nel condensatore viene dissipata sulla resistenza R di scarica e cioè sul transistor NMOS



In un intero ciclo di commutazione $L \rightarrow H \rightarrow L$ quindi l'energia erogata dall'alimentazione è pari a $E = C \cdot V_{DD}^2$

- La potenza dinamica assorbita risulterà quindi

$$p_{dyn} = E/T = E \cdot f = C \cdot f \cdot V_{DD}^2$$



Esempio

- Sia dato un inverter in tecnologia CMOS 0.25 μ m. la capacità C_L al nodo di uscita è 6fF e la tensione di alimentazione è $V_{DD} = 2.5V$.

L' energia necessaria per caricare e scarica la capacità è

$$E_{\text{dyn}} = C_L \cdot V_{DD}^2 = 37.5 \text{ fJ}$$

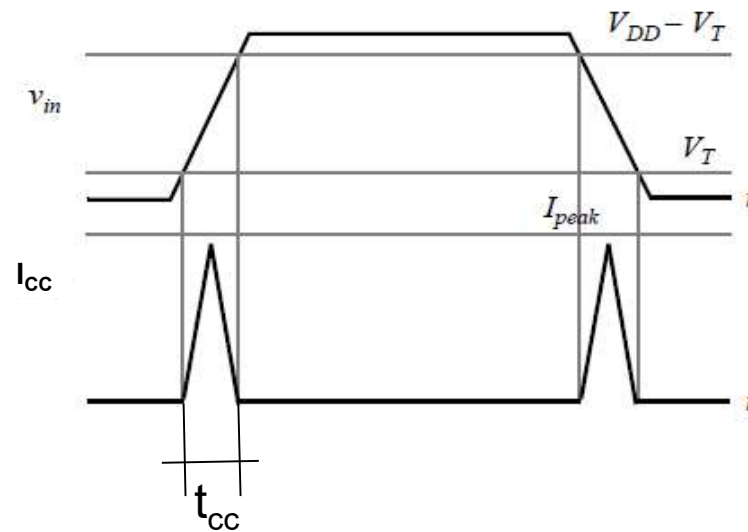
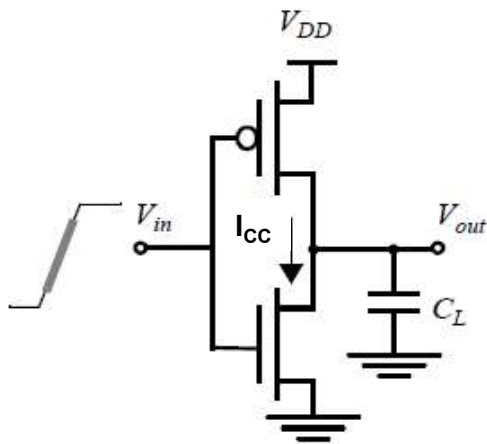
Ipotizziamo che il gate commuti ad una frequenza di 1 GHz.

La potenza dissipata risulta quindi

$$P_{\text{dyn}} = f \cdot E_{\text{dyn}} = 37.5 \text{ } \mu\text{W}$$

Potenza di cortocircuito

- Ipotizziamo ora che le transizioni non avvengano in maniera brusca ma con una tempo di salita/discesa finito (t_r , t_f).
- La VTC viene quindi percorsa in un tempo finito e quindi per un breve periodo i transistori NMOS e PMOS sono entrambi accesi.
- In questa situazione c'è un cammino diretto fra la V_{DD} e massa.
- La corrente che circola per questo effetto si dice di cortocircuito (I_{SC}).





Potenza di cortocircuito

- Approssimando l' andamento della I_{CC} ad un triangolo di base t_{CC} e altezza I_{peak} (dipendente anche dalla capacità di carico) , la corrente media durante il transitorio risulta

$$I_{AVG} = \frac{I_{peak}}{2}$$

- L' energia spesa per un intero ciclo di commutazioni $L \rightarrow H \rightarrow L$ risulta quindi facilmente calcolabile:

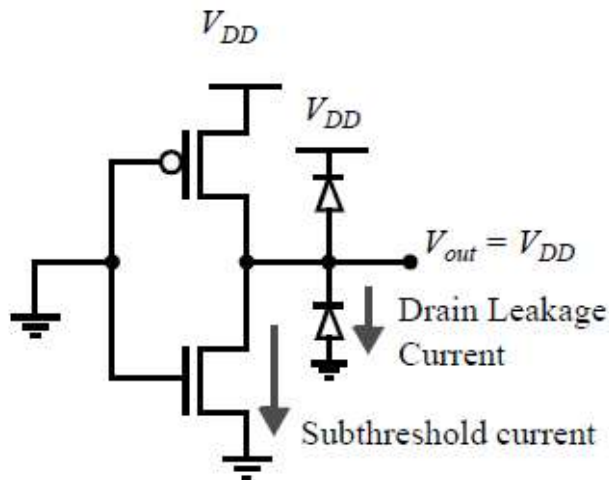
$$E_{CC} = 2 \cdot V_{DD} \cdot I_{AVG} \cdot t_{CC} = V_{DD} \cdot I_{peak} \cdot t_{CC}$$

- Infine, la potenza spesa risulterà

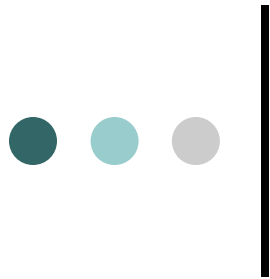
$$P_{CC} = E_{CC} \cdot f$$

Consumo statico

- Nell' inverter CMOS esistono diversi cammini di corrente parassite (sottosoglia e giunzioni in inversa in particolare)
- Queste correnti rappresentano un consumo di potenza definito statico (quindi continuo) di cui si tiene conto raggruppando le correnti in un unico contributo I_{stat}
- La potenza statica dissipata risulta quindi :



$$P_{stat} = V_{CC} \cdot I_{stat}$$



Consumo totale di potenza

Il consumo totale (massimo) risulta quindi essere:

$$P_{tot} = P_{stat} + P_{dyn} + P_{CC} = V_{CC} \cdot I_{stat} + (C_L \cdot V_{DD}^2 + V_{DD} \cdot I_{peak} \cdot t_{CC}) \cdot f$$

In realtà il termine dipendente da f va moltiplicato per la probabilità $P_{0 \rightarrow 1} < 1$ che si verifichi una transizione $0 \rightarrow 1$.

Se definiamo il fattore di attività $f_{0 \rightarrow 1}$ come

$$f_{0 \rightarrow 1} = f \cdot P_{0 \rightarrow 1}$$

allora

$$P_{tot} = V_{CC} \cdot I_{stat} + (C_L \cdot V_{DD}^2 + V_{DD} \cdot I_{peak} \cdot t_{CC}) \cdot f_{0 \rightarrow 1}$$

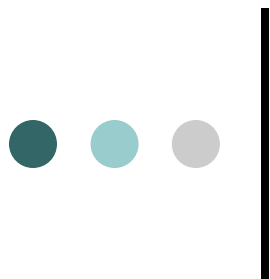


Figure di merito

1. Prodotto ritardo-consumo (PDP)

Trascurando il consumo statico e di CC ed ipotizzando il funzionamento alla massima frequenza ($f_{\max} = 1/(2t_p)$) si ottiene :

$$PDP = P_{av} t_p \quad \Rightarrow \quad PDP = C_L V_{DD}^2 f_{\max} t_p = \frac{C_L V_{DD}^2}{2}$$

2. Prodotto energia-ritardo (EDP)

$$EDP = PDP \times t_p = P_{av} t_p^2 = \frac{C_L V_{DD}^2}{2} t_p$$