

Esame di Calcolatori Elettronici T

10 Luglio 2017 (Ing. Informatica)

Esercizio 1

In un sistema basato su un microprocessore DLX, con **1 GB di EPROM** mappata negli indirizzi bassi e **1 GB di RAM** mappata negli indirizzi alti, è necessario *rilevare*, mediante un'opportuna rete logica da progettare, *quando il carattere letto da una porta in input* (già progettata) risulta *identico a quello ricevuto in precedenza dalla medesima porta*. Allorché tale condizione sia verificata, al termine della lettura della porta in input, dovrà essere invertito da una opportuna rete logica e senza l'intervento del processore lo stato di un LED inizialmente spento. Si assuma che all'avvio il primo carattere letto dalla porta in input non possa mai essere 255.

Tutte le periferiche saranno utilizzate unicamente per le finalità indicate nel testo.

- **Descrivere sinteticamente la soluzione** che s'intende realizzare e indicare **chiaramente quali sono i segnali di *chip-select*** necessari
- Progettare il sistema **minimizzando le risorse necessarie e risolvendo eventuali criticità**
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- Scrivere il codice dell'*interrupt handler* assumendo che i registri da R25 a R29 possano essere utilizzati senza la necessità di doverli ripristinare
- Soluzioni **interamente software NON saranno considerate valide**

Esercizio 2

Spiegare cosa sono le *alee di controllo* e quali strategie esistono per poterle gestirle

Esercizio 3

Quali sono i vantaggi reali derivanti della codifica delle istruzioni adottata dal processore DLX

MAPPING

1GB EPROM		1GB RAM (2x512)
-----------	--	--------------------

EPROM 1 GB : $0 \times 00000000 \rightarrow 0 \times 3FFFFFFF$

RAM_512KB_H : $0 \times E0000000 \rightarrow 0 \times FFFFFFFF$

RAM_512KB_L : $0 \times C0000000 \rightarrow 0 \times DFFFFFFF$

CS_INPUT_PORT : 0×80000000

CHIP SELECT

CS_RAM_H_0 = BA31 BA30 BA29 BE 0

CS_RAM_H_1 = BA31 BA30 BA29 BE 1

CS_RAM_H_2 = BA31 BA30 BA29 BE 2

CS_RAM_H_3 = BA31 BA30 BA29 BE 3

CS_RAM_L_0 = BA31 BA30 $\overline{\text{BA29}}$ BE 0

CS_RAM_L_1 = BA31 BA30 $\overline{\text{BA29}}$ BE 1

CS_RAM_L_2 = BA31 BA30 $\overline{\text{BA29}}$ BE 2

CS_RAM_L_3 = BA31 BA30 $\overline{\text{BA29}}$ BE 3

CS_EPROM_0 = $\overline{\text{BA31}}$ BE 0

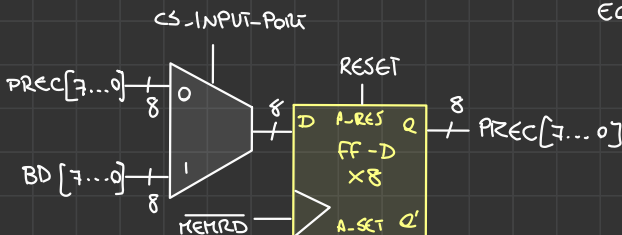
CS_EPROM_1 = $\overline{\text{BA31}}$ BE 1

CS_EPROM_2 = $\overline{\text{BA31}}$ BE 2

CS_EPROM_3 = $\overline{\text{BA31}}$ BE 3

CS_INPUT_PORT = BA31 $\overline{\text{BA30}}$ BE 0

PORTA INPUT



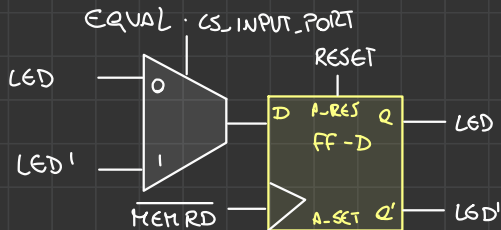
$$\text{EQUAL} = (\text{BD7} \equiv \text{PREC7}) \cdot (\text{BD6} \equiv \text{PREC6}) \cdot$$

$$(\text{BD5} \equiv \text{PREC5}) \cdot (\text{BD4} \equiv \text{PREC4}) \cdot$$

$$(\text{BD3} \equiv \text{PREC3}) \cdot (\text{BD2} \equiv \text{PREC2}) \cdot$$

$$(\text{BD1} \equiv \text{PREC1}) \cdot (\text{BD0} \equiv \text{PREC0})$$

LED



CODICE

100h HANDLER: LHI R25, 0x8000;
 104h LBU R26, 0x0000(R25); lettura dummy a CS_INPUT_PORT
 108h RFE; (0x80000000)

INTERFACCIA MEMORIE

$$\text{RAM } 512\text{MB} = 512 \cdot 1024^2 = 2^9 \cdot 2^{20} = 2^{29}$$

