

Esame di Calcolatori Elettronici T

6 Settembre 2017 (Ing. Informatica)

Esercizio 1

In un sistema basato su un microprocessore DLX, con **2 GB di EPROM** mappata negli indirizzi bassi e **512 MB di RAM** mappata negli indirizzi alti, è presente una porta a 8 bit in input (già progettata). I dati letti mediante interrupt dalla porta in input devono essere continuamente monitorati da un'opportuna rete logica, da progettare, al fine di contare (modulo 256) due distinti eventi:

- 1) il carattere precedentemente letto era dispari e il carattere attualmente letto è pari
- 2) il carattere precedentemente letto era pari e il carattere attualmente letto è dispari

I due valori di conteggio devono poter essere letti dal DLX in qualsiasi momento mediante opportune istruzioni software.

Tutte le periferiche saranno utilizzate unicamente per le finalità indicate nel testo.

- Descrivere sinteticamente la soluzione che s'intende realizzare e indicare chiaramente quali sono i segnali di *chip-select* necessari
- Progettare il sistema minimizzando le risorse necessarie evidenziando e risolvendo eventuali criticità
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- Scrivere il codice dell'*interrupt handler* assumendo che i registri da R25 a R29 possano essere utilizzati senza la necessità di doverli ripristinare e le istruzioni per leggere i valori di conteggio degli eventi
- Soluzioni interamente software NON saranno considerate valide

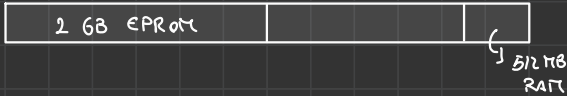
Esercizio 2

Spiegare quali sono i vantaggi di un sistema con più bus dati e come è possibile trarne vantaggio in pratica

Esercizio 3

Che cosa sono gli interrupt annidati? Quali strategie è necessario adottare nella scrittura degli interrupt handler per non incorrere in problemi?

MAPPING



EPROM_2GB : $0 \times 0000\,0000 \rightarrow 0 \times 7FFFFFFF$ (4 x 512 MB)

RAM_512MB : $0 \times C000\,0000 \rightarrow 0 \times FFFFFFFF$ (4 x 128 MB)

CS_INPUT_PORT : $0 \times 8000\,0000$

CS_READ_PD : $0 \times 8000\,0001$

CS_READ_DP : $0 \times 8000\,0002$

CHIP SELECT

CS_EPROM_0 = $\overline{BA31} \cdot BE0$

CS_EPROM_1 = $\overline{BA31} \cdot BE1$

CS_EPROM_2 = $\overline{BA31} \cdot BE2$

CS_EPROM_3 = $\overline{BA31} \cdot BE3$

CS_RAM_0 = $BA31 \cdot BA30 \cdot BE0$

CS_RAM_1 = $BA31 \cdot BA30 \cdot BE1$

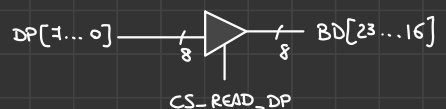
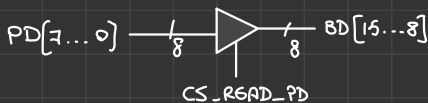
CS_RAM_2 = $BA31 \cdot BA30 \cdot BE2$

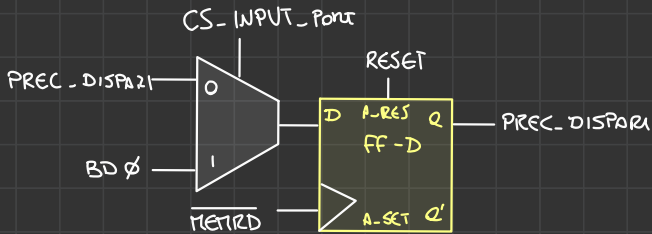
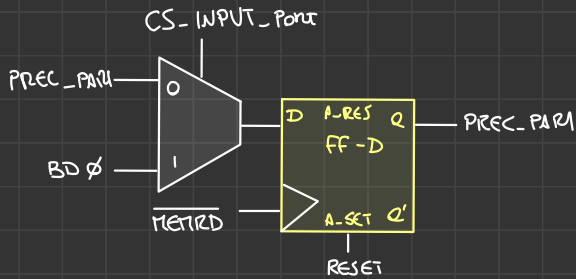
CS_RAM_3 = $BA31 \cdot BA30 \cdot BE3$

CS_INPUT_PORT = $BA31 \cdot \overline{BA30} \cdot BE0$

CS_READ_PD = $BA31 \cdot \overline{BA30} \cdot BE1 \cdot \overline{MEMRD}$

CS_READ_DP = $BA31 \cdot \overline{BA30} \cdot BE2 \cdot \overline{MEMRD}$





$$EN_COUNT_PD = CS_INPUT_PORT \cdot PREC_DISPAR1 \cdot \overline{BD\ 0}$$

$$EN_COUNT_DP = CS_INPUT_PORT \cdot PREC_PAR1 \cdot BD\ 0$$

CODICE

```

0h  HANDLSR:  LHI  R25, 0x8000
4h                LBU  R26, 0x0000(R25)
8h                RFE

100h  LHI  R25, 0x8000
104h  LBU  R26, 0x0001(R25)

200h  LHI  R25, 0x8000
204h  LBU  R26, 0x0002(R25)
  
```