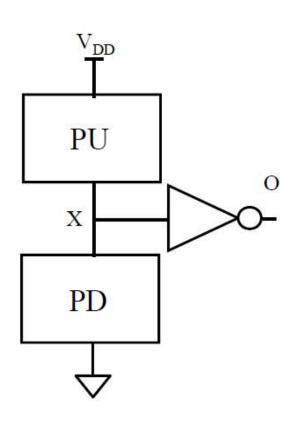
# Logiche CMOS statiche Esempi



Si assuma la capacità di ingresso dell'invertitore C<sub>INV</sub>=1pF:

- 1) Si realizzino le reti PU e PD in modo che la funzione di uscita sia  $O = \overline{A\overline{C} + C\overline{A} + B\overline{D}}$  Sono disponibili gli ingressi nelle due fasi
- 2) Si dimensioni le reti PU e PD in modo che il ritardo di caso peggiore (50%) al nodo X sia 2ns
- Si realizzi la funzione O usando un solo stadio di logica CMOS.
- 4) Si dimensionino i transistori del gate di cui al punto 3 in modo che il ritardo di caso peggiore sia 2ns (per un carico capacitivo di 1pF)

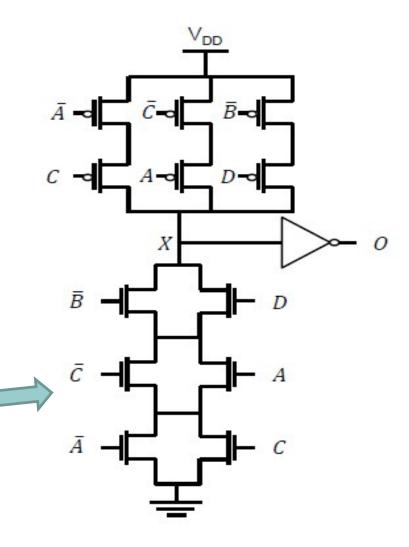
$$\overline{A\cdot B} = \overline{A} + \overline{B}$$
 $\overline{A+B} = \overline{A}\cdot \overline{B}$ 

$$X = \overline{O} = \overline{A\overline{C} + C\overline{A} + B\overline{D}}$$

$$X = \overline{O} = \overline{\overline{A}\overline{C}} * \overline{C}\overline{A} * \overline{B}\overline{\overline{D}}$$

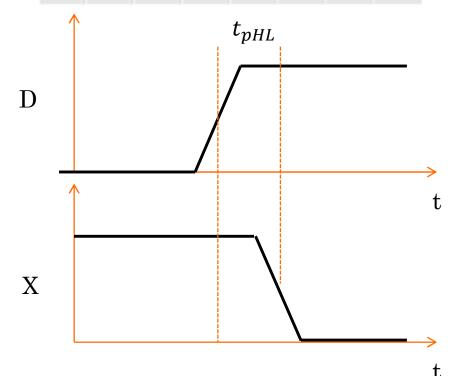


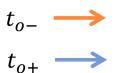
$$X = \overline{(\bar{A} + C) * (\bar{C} + A) * (\bar{B} + D)}$$

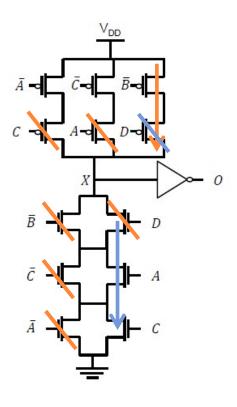


### Pattern di attivazione PDN:

	t(	0-)			t(	0+)	
Α	В	С	D	А	В	С	D
1	1	1	0	1	1	1	1



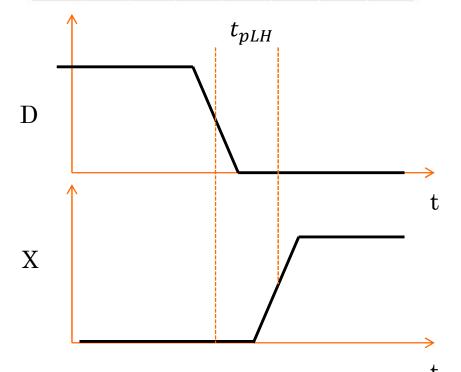


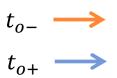


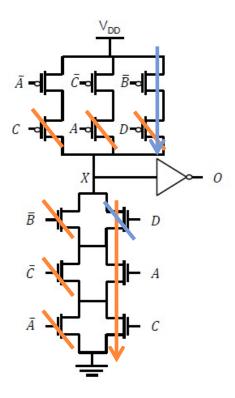
NMOS 3 serie

### Pattern di attivazione PUN:

t(0-)				t(0+)				
Α	В	С	D	Α	В	С	D	
1	1	1	1	1	1	1	0	







PMOS 2 serie

# • • Esempio 1-2

### $t_{pLH} = 0.69 * C_L * R_{eqP} = 2$ ns

$$R_{eqP} = 2R_P = \frac{t_{pLH}}{0.69 * C_L} \cong 2898 \,\Omega$$

$$R_P = \frac{\mathrm{R}_{eqP}}{2} \cong 1449 \,\Omega$$

$$S_P = \frac{R_{RIFp}}{R_P} * S_{RIFp} \cong \frac{10780 \ \Omega}{1449 \ \Omega} * 1$$
  $S_N = \frac{R_{RIFn}}{R_N} * S_{RIFn} \cong \frac{5390 \ \Omega}{966 \ \Omega} * 1$   $\cong 5.57$ 

$$S_P = \frac{W_p}{L_P} = 8$$

### PDN

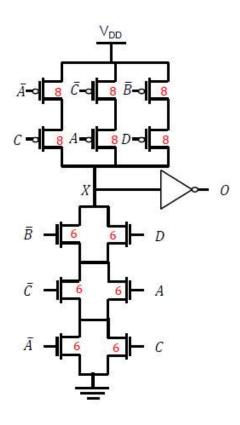
$$t_{pHL} = 0.69 * C_L * R_{eqN} = 2 \text{ns}$$

$$R_{eqP} = 2R_P = \frac{t_{pLH}}{0.69 * C_L} \cong 2898 \,\Omega$$
  $R_{eqN} = 3R_N = \frac{t_{pHL}}{0.69 * C_L} \cong 2898 \,\Omega$ 

$$R_N = \frac{\mathrm{R}_{eqN}}{3} \cong 966 \,\Omega$$

$$S_N = \frac{R_{RIFn}}{R_N} * S_{RIFn} \cong \frac{5390 \Omega}{966 \Omega} * 1$$
  
 $\cong 5.57$ 

$$S_N = \frac{W_n}{L_n} = 6$$



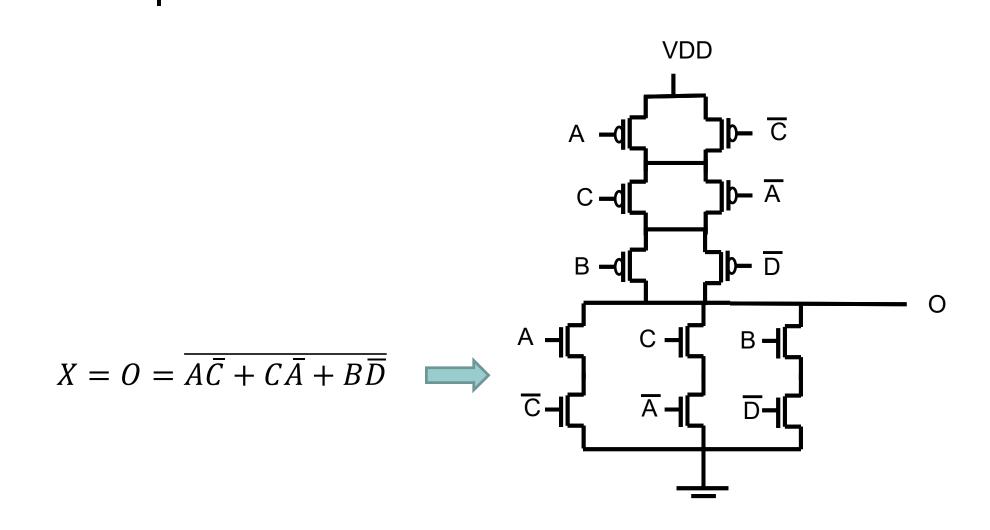
$$C_{ox} = 3.45 \frac{fF}{\mu m^2} \qquad L_{min} = 0.35 \mu m^2$$

### Qual'è il fan in della gate che abbiamo realizzato?

Il fan-in è il numero di ingressi del gate complesso, e nel nostro caso (consideriamo A e A' com eingressi distinti) è pari a 6

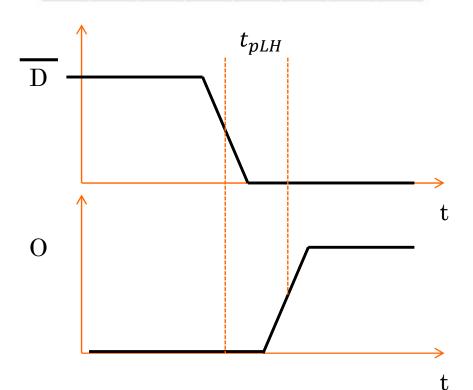
### Quanto vale la capacità di ingresso del gate complesso di caso peggiore?

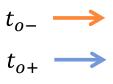
- In questo esempio gli ingressi compaiono unicamente con molteplicità 1 (ovvero un segnale al massimo pilota una coppia pmos-nmos), per cui tutti gli ingressi rappresentano un caso critico.
- $C_{in\_WC} = C_{ox} \cdot L_{min}^{2} \cdot (S_n + S_p) \cdot 1 \cong$   $\cong 3.45 \cdot 0.35^{2} \cdot (6 + 8) \cdot 1 \cong 5.91 \text{fF}$

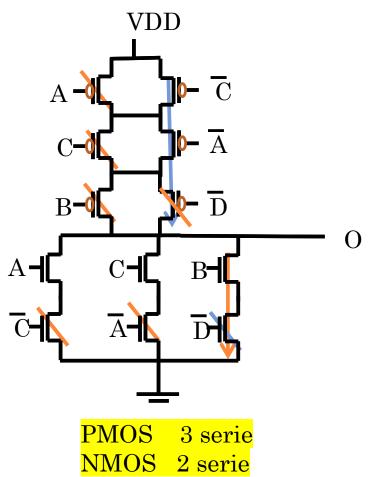


### Pattern di attivazione PUN:

	t(	0-)		t(0+)				
Α	В	С	D	Α	В	С	D	
1	1	1	0	1	1	1	1	







# • • Esempio 1-4

PDN

$$t_{pLH} = 0.69 * C_L * R_{eqP} = 2$$
ns

$$t_{pHL} = 0.69 * C_L * R_{eqN} = 2 \text{ns}$$

$$R_{eqP} = 3R_P = \frac{t_{pLH}}{0.69 * C_L} \cong 2898 \,\Omega$$

$$R_{eqP} = 3R_P = \frac{t_{pLH}}{0.69 * C_L} \cong 2898 \,\Omega$$
  $R_{eqN} = 2R_N = \frac{t_{pHL}}{0.69 * C_L} \cong 2898 \,\Omega$ 

$$R_P = \frac{R_{eqP}}{3} \cong 966 \,\Omega$$

$$R_N = \frac{\mathrm{R}_{eqN}}{2} \cong 1449 \ \Omega$$

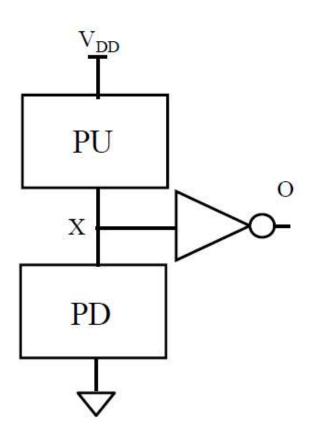
$$S_P = \frac{R_{RIFp}}{R_P} * S_{RIFp} \cong \frac{10780 \ \Omega}{966 \ \Omega} * 1$$
  $S_N = \frac{R_{RIFn}}{R_N} * S_{RIFn} \cong \frac{5390 \ \Omega}{1449 \ \Omega} * 1$   $\cong 3.72$ 

$$S_N = \frac{R_{RIFn}}{R_N} * S_{RIFn} \cong \frac{5390 \Omega}{1449 \Omega} * 1$$

$$\cong 3.72$$

$$S_P = \frac{W_p}{L_P} = 12$$

$$S_N = \frac{W_n}{L_n} = 4$$

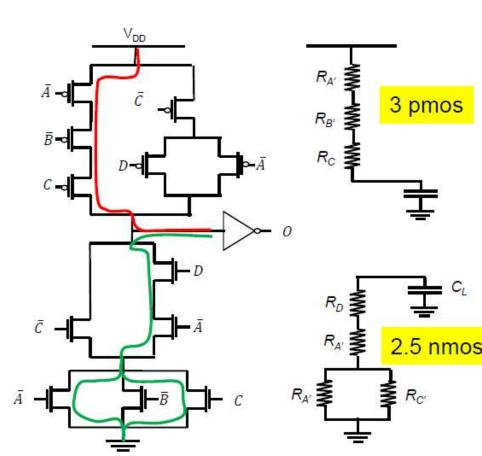


Si assuma la capacità di ingresso dell'invertitore C<sub>INV</sub>=200fF:

- 1. Si realizzino le reti PU e PD in modo che la funzione di uscita sia  $o = \overline{AB\overline{C} + C(A + \overline{D})}$  Sono disponibili gli ingressi nelle due fasi.
- Si dimensioni la rete PU in modo che il ritardo di caso peggiore (50%) al nodo X sia 1ns.
- Si dimensioni la rete PD in modo che il ritardo di caso peggiore (50%) al nodo X sia 1ns.
- Si minimizzino le dimensioni dei transistori sui cammini non di caso peggiore, avendo cura di mantenere comunque il ritardo massimo pari a 1ns.

$$O = \overline{AB\bar{C} + C(A + \overline{D})}$$

$$X = \bar{O} = \overline{AB\bar{C} + C(A + \bar{D})} = \overline{(\bar{A} + \bar{B} + C) \cdot (\bar{C} + \bar{A}D)}$$



#### Pattern di attivazione PUN:

	t(	0-)		t(0+)				
Α	В	С	D	Α	В	С	D	
0	1	0	X	1	1	0	X	

#### Pattern di attivazione PDN:

		t((	O-)		t(0+)				
6	Α	В	С	D	Α	В	С	D	
	0	1	0	0	0	1	0	1	

PDN

$$t_{pLH} = 0.69 * C_L * R_{eqP} = 1$$
ns

$$t_{pHL} = 0.69 * C_L * R_{eqN} = 1$$
ns

$$R_{eqP} = 3R_P = \frac{t_{pLH}}{0.69 * C_L} \cong 7246 \ \Omega$$

$$R_{eqN} = 2.5R_N = \frac{t_{pHL}}{0.69*C_L} \cong 7246 \ \Omega$$

$$R_P = \frac{\mathrm{R}_{eqP}}{3} \cong 2415 \,\Omega$$

$$R_N = \frac{R_{eqN}}{2.5} \cong 2898 \,\Omega$$

$$S_P = \frac{R_{RIFp}}{R_P} * S_{RIFp} \cong \frac{10780 \ \Omega}{2415 \ \Omega} * 1$$
  $S_N = \frac{R_{RIFn}}{R_N} * S_{RIFn} \cong \frac{5390 \ \Omega}{2898 \ \Omega} * 1$   $\cong 4.46$   $\cong 1.86$ 

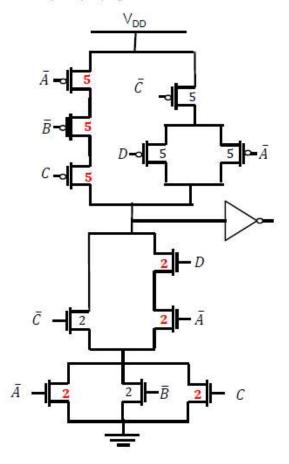
$$S_N = \frac{R_{RIFn}}{R_N} * S_{RIFn} \cong \frac{5390 \Omega}{2898 \Omega} * 1$$

$$\cong 1.86$$

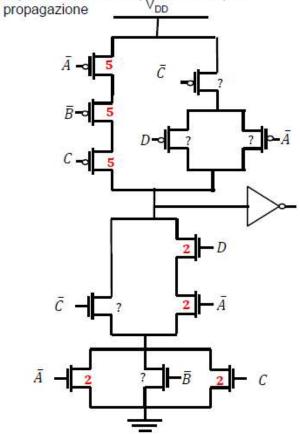
$$S_P = \frac{W_p}{L_P} = 5$$

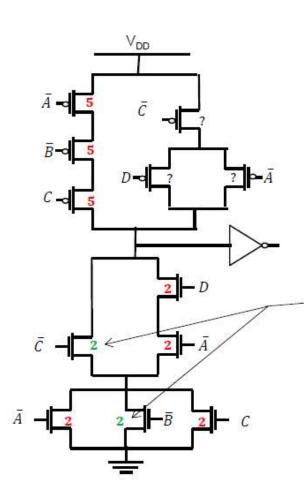
$$S_N = \frac{W_n}{L_n} = 2$$

Dimensionamento CLASSICO: con Sn e Sp tutti uguali (non ottimo ma comunque rispetto i vincoli sui tempi di propagazione



Dimensionamento OTTIMALE: Una volta ricavato gli sn e sp dei path critici, riduco i fattori di forma degli altri path in modo da ridurre l'area totale del gate complesso, avendo cura di rispettare i vincoli temporali sui tempi di propagazione





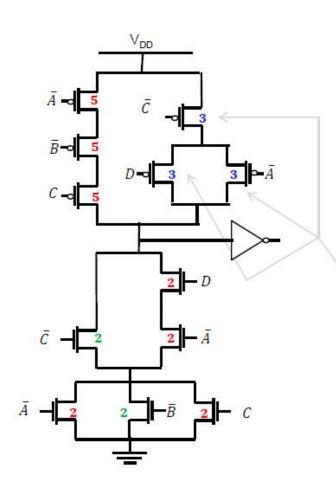
#### Dimensionamento OTTIMALE: PULL-Down Network

Con un tempo di propagazione di scarica pari ad 1ns abbiamo trovato una resistenza equivalente del pulldown pari a 7246 Ohm.

Nel PD dobbiamo dimensionare solo due transistor non critici, ovvero C' e B'. Esiste un percorso di scarica attraverso questi due nmos, quindi con 2 nmos in serie: ne consegue che per rispettare il vincolo sul tempo di scarica di 1ns deve essere

$$R_{n\_BC} = \frac{R_{eqPD}}{n^{\circ} nmos BC} \cong \frac{7246}{2} \cong 3623\Omega$$

$$S_n = \frac{R_{RIFn}}{R_{nBC}} \cdot S_{RIFn} \cong \frac{5390}{3623} \cdot 1 \cong 1.48 \rightarrow S_n = 2$$



#### Dimensionamento OTTIMALE: PULL-UP Network

Con un tempo di propagazione di carica pari ad 1ns abbiamo trovato una resistenza equivalente del pullup pari a 7246 Ohm.

Nel PU dobbiamo dimensionare solo tre transistor non critici, ovvero C' e D e A' (sul ramo di dx). Possiamo caricare la capacità di uscita sia passando da c' e D oppure da C' e A. In entrambi i casi ho due pmos in conduzione

$$R_{p\_BC} = \frac{R_{eqPU}}{n^{\circ}\_pmos\_BC} \cong \frac{7246}{2} \cong 3623\Omega$$

$$S_n = \frac{R_{RIFn}}{R_{n\_BC}} \cdot S_{RIFn} \cong \frac{10780}{3623} \cdot 1 \cong 2.97 \to S_n = 3$$

Dato un NAND a 4 ingressi, con fattore di forma dei Transistori NMOS pari a:

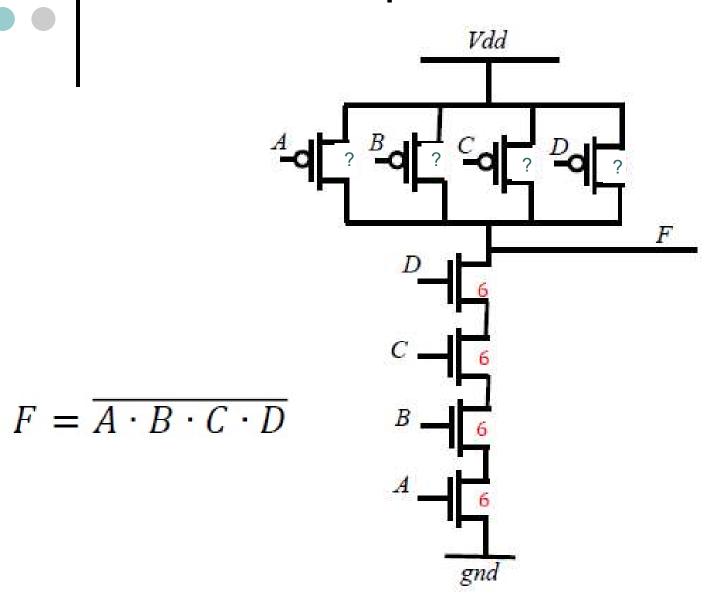
$$\frac{W_N}{L_N} = 6$$

Ricavare il fattore di forma dei transistori PMOS in modo tale da avere:

$$t_{pHL} = 2t_{pLH}$$

Come parametro tecnologico si ha:

$$\alpha = \frac{K_N'}{K_P'} = 1.5$$



$$t_{pHL} = 2t_{pLH}$$
 
$$0.69 * C_L * R_{eqPD} = 2 * 0.69 * C_L * R_{eqPU}$$
 
$$R_{eqPD} = 2 * R_{eqP}$$

$$R_{eqPD} = \frac{R_{RIFN}}{S_N} * n_{NMOS-seri}$$
  $R_{eqPU} = \frac{R_{RIFP}}{S_P} * n_{PMOS-seri}$  
$$\frac{R_{RIFN}}{6} * 4 = 2 * \frac{\alpha * R_{RIFN}}{S_P} * 1$$
 
$$\frac{S_P}{6} * 4 = 2 * 1.5$$
 
$$S_P = 4.5 \longrightarrow S_P = 5$$

