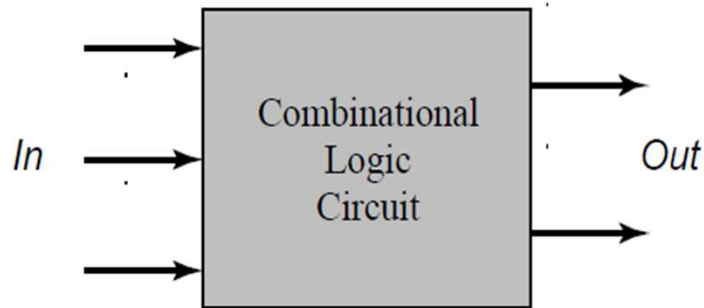


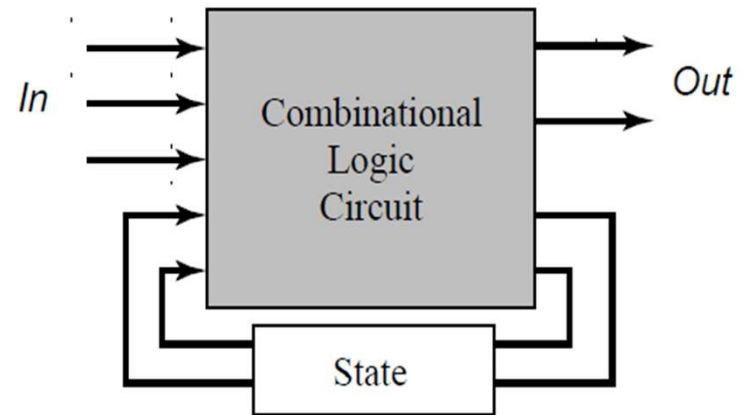


Circuito Combinatorio Vs Sequenziale



Combinational

$$\text{Output} = f(\text{In})$$



Sequential

$$\text{Output} = f(\text{In}, \text{Previous In})$$



Stili Di Progetto

- LOGICA STATICA: l'uscita è sempre collegata con un percorso diretto a bassa impedenza alla massa o all'alimentazione
- LOGICA DINAMICA: il nodo di uscita non è sempre connesso ad una delle alimentazioni e il dato viene temporaneamente immagazzinato in forma di carica su una capacità

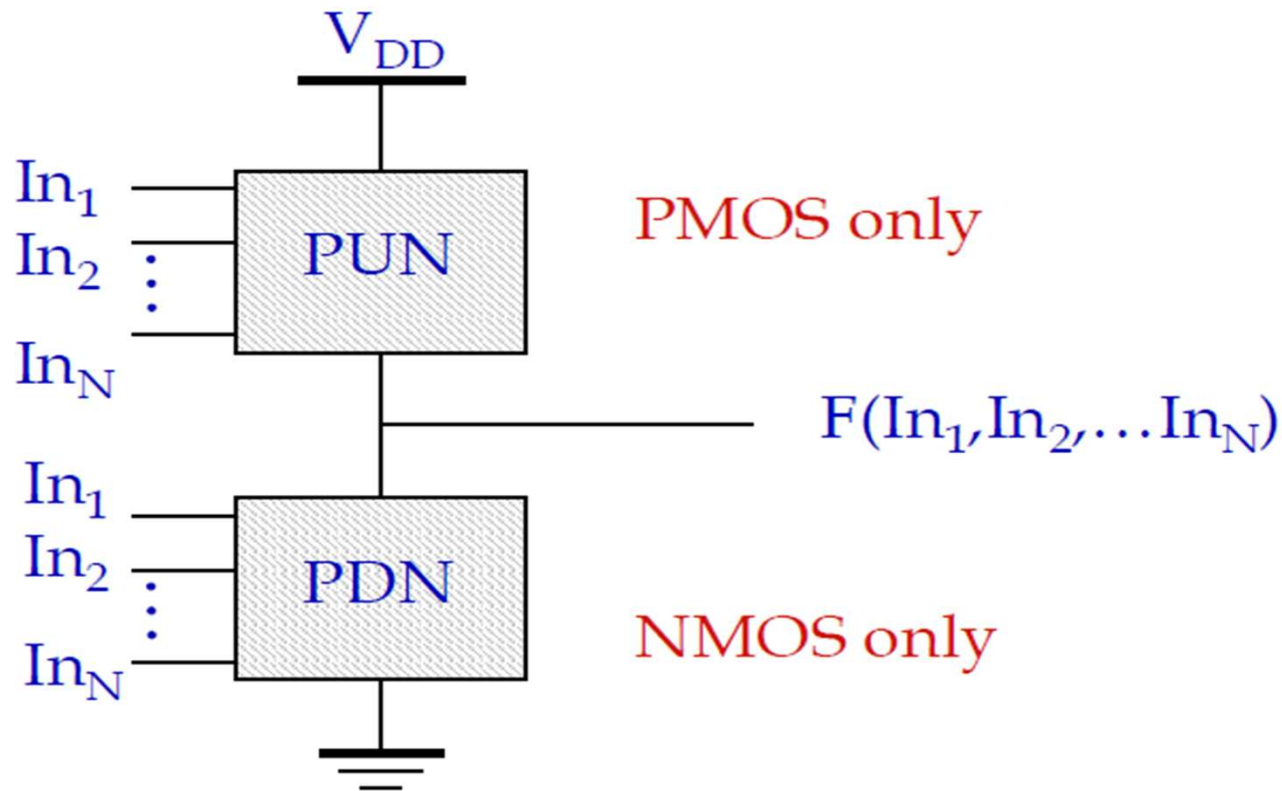
Logica Combinatoria

- Un blocco di logica combinatoria è un blocco con N variabili di ingresso e M variabili di uscita che sono funzioni booleana degli ingressi presenti in un certo istante
- Ad ogni istante le uscite dipendono solo dagli ingressi in quell'istante e NON dalla storia passata del circuito



● ● ● | Porte CMOS Statiche

- Una generica porta CMOS ha la struttura:





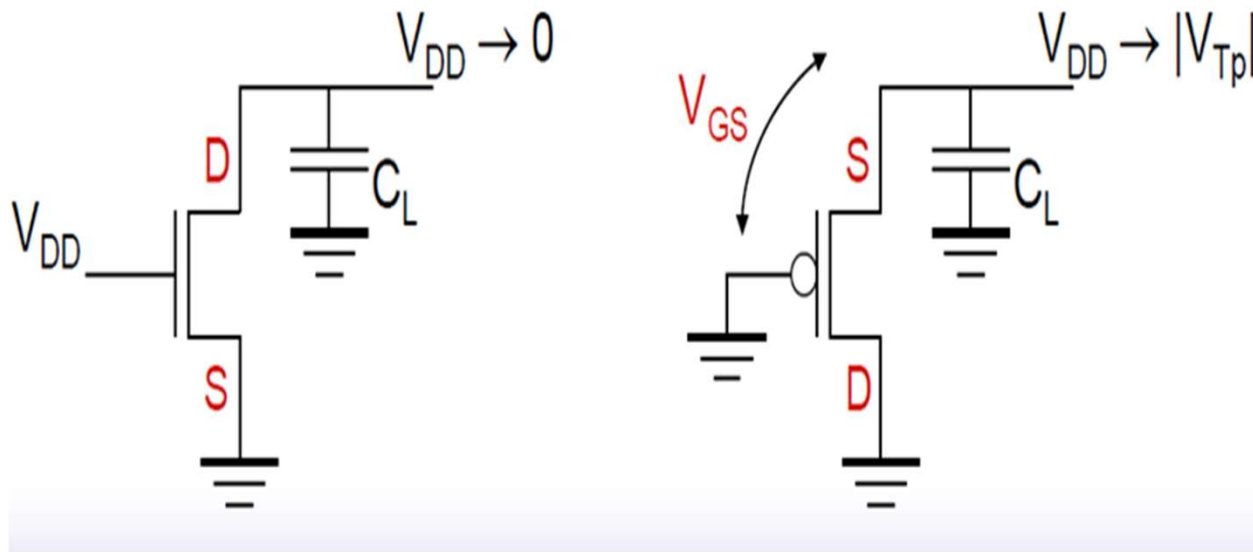
Caratteristiche Logica CMOS

- **PUN (Pull-Up Network)**: è una rete di interruttori PMOS (*) che connettono l'uscita a V_{DD} in corrispondenza delle combinazioni di ingresso per cui la funzione è $F(\dots)=1$
- **PDN (Pull-Down Network)**: è una rete di interruttori NMOS (*) che connettono l'uscita a 0 in corrispondenza delle combinazioni di ingresso per cui la funzione è $F(\dots)=0$
- Le due reti sono complementari, ossia quando è aperta una l'altra è chiusa e viceversa. Questo evita che ci siano percorsi diretti fra alimentazione e massa.

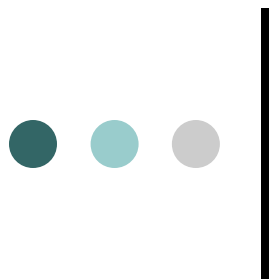
(*) vedi dopo

Zero 'forte'

la capacità di uscita è inizialmente carica a V_{DD} e ci sono due possibili scenari:

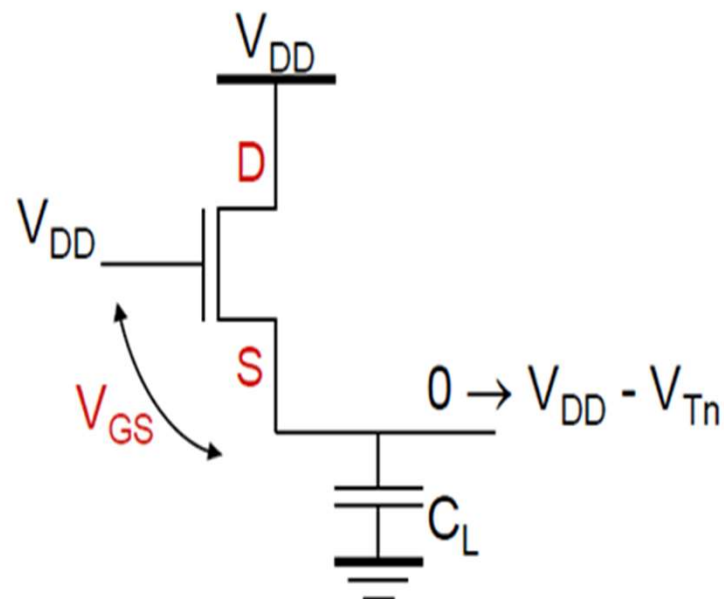
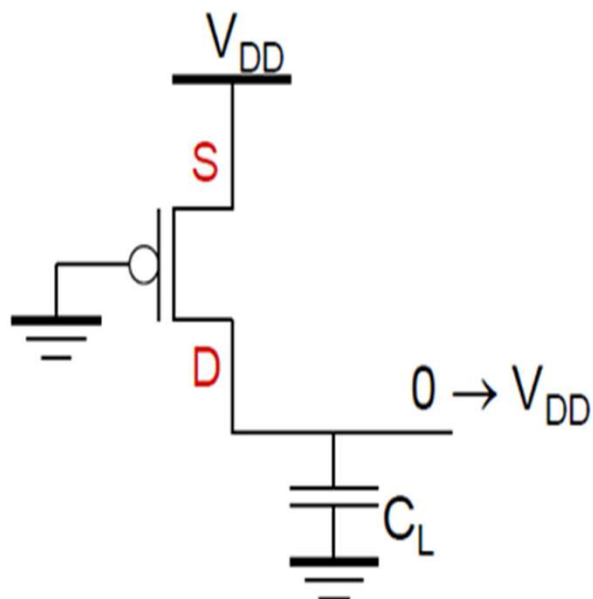


- ➔ Un transistor NMOS riesci sempre a scaricare completamente il nodo di uscita a massa.
- ➔ Il dispositivo PMOS abbassa la tensione del nodo di uscita a un valore minimo pari a $|V_{Tp}|$, dopo di che il PMOS si spegne ($V_{GS} = V_{Tp}$) e arresta il processo di scarica. I dispositivi NMOS sono i migliori candidati per realizzare il PDN.



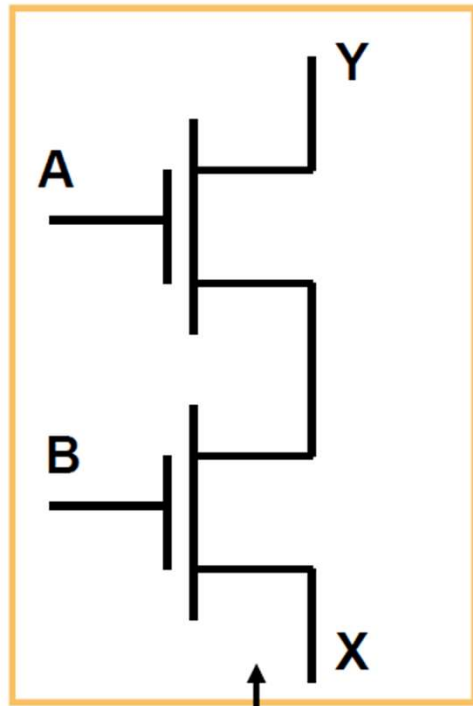
Uno 'forte'

Analogamente, i due modi alternativi per caricare un nodo assumendo che l'uscita sia inizialmente a massa.

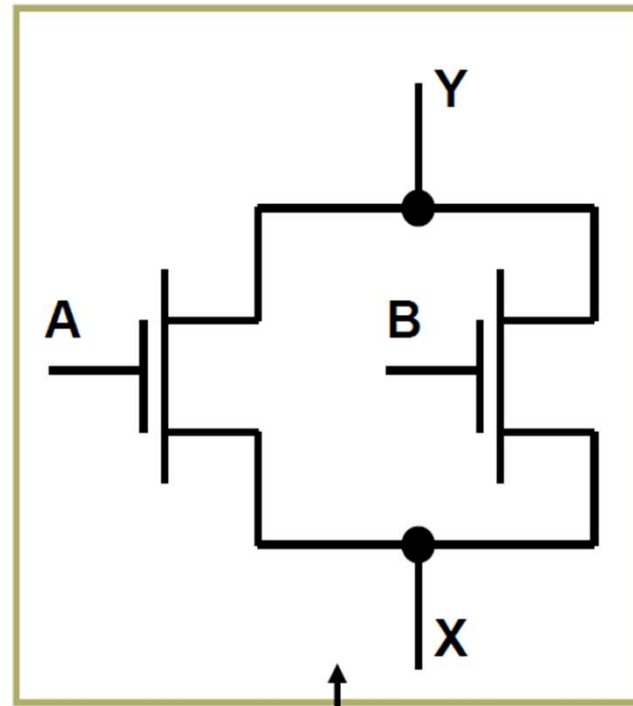


Il transistor PMOS riesce sempre a caricare il nodo fino a V_{DD} , mentre il transistor NMOS si spegne non appena la tensione di uscita raggiunge il valore $(V_{DD} - V_{Tn})$. Ciò spiega perché sia preferibile usare i transistor PMOS nel PUN.

Transistori NMOS In connessione Serie/Parallelo

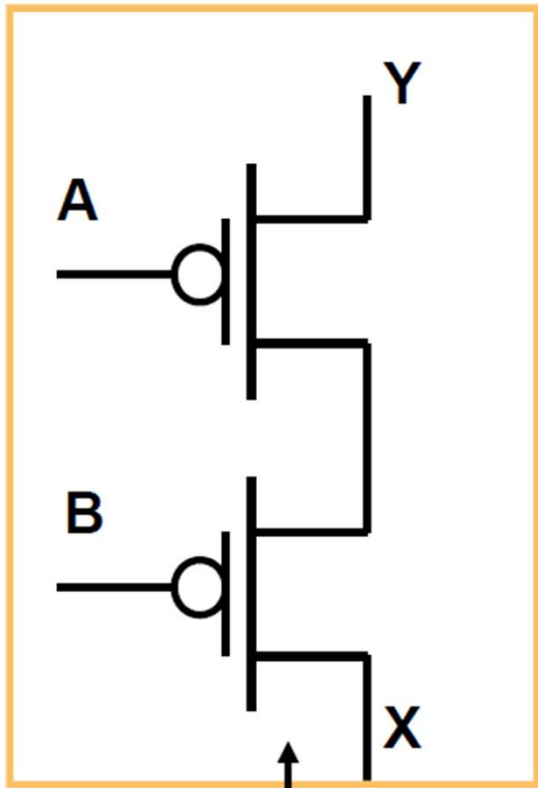


$Y=X$ SE $A=1$ E $B=1$ ($A \cdot B$)

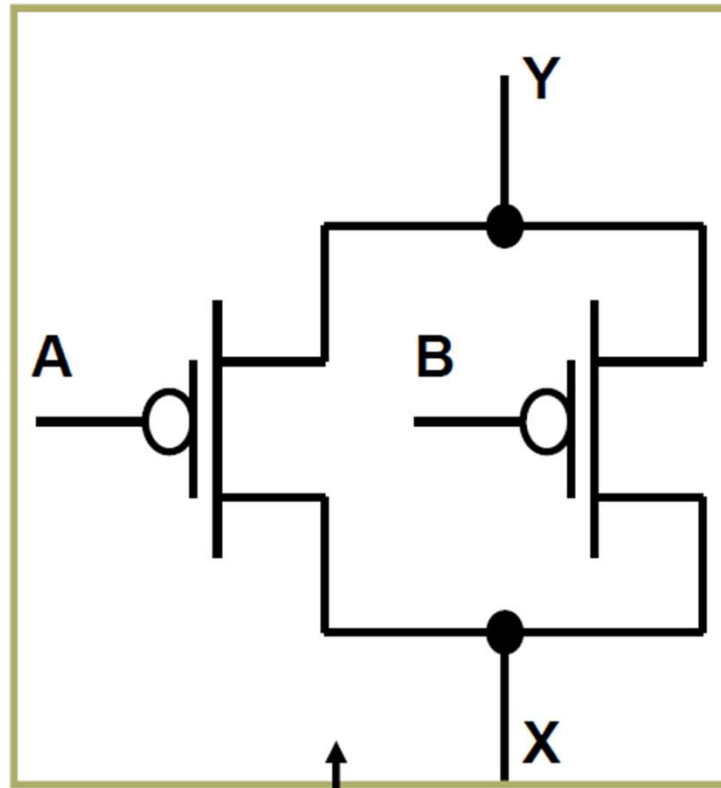


$Y=X$ SE $A=1$ O $B=1$ ($A+B$)

Transistori PMOS In Connessione Serie/Parallelo



Y=X se A=0 **E** B=0 ($\bar{A} \cdot \bar{B}$)



Y=X se A=0 **O** B=0 ($\bar{A} + \bar{B}$)



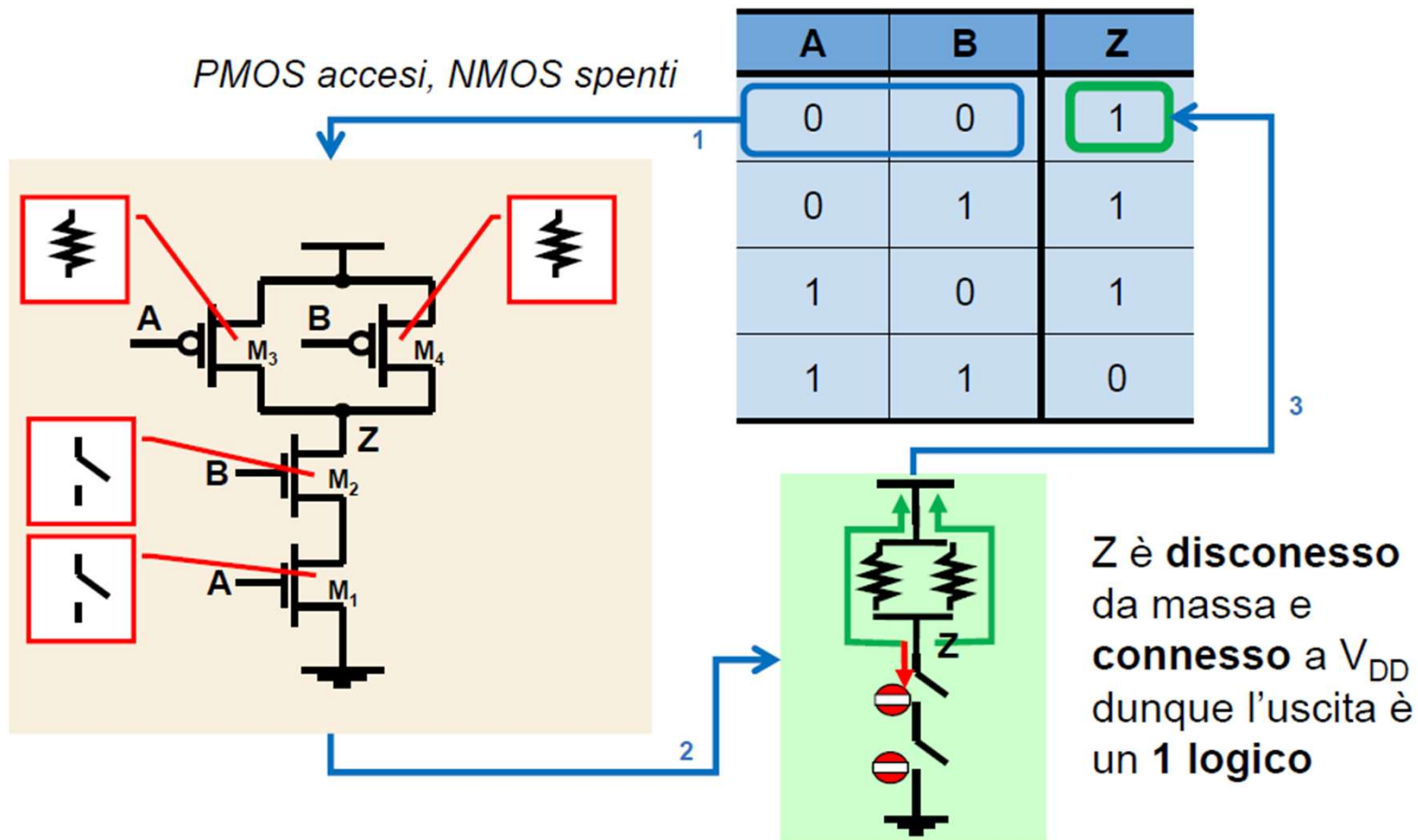
Teorema Di De Morgan

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

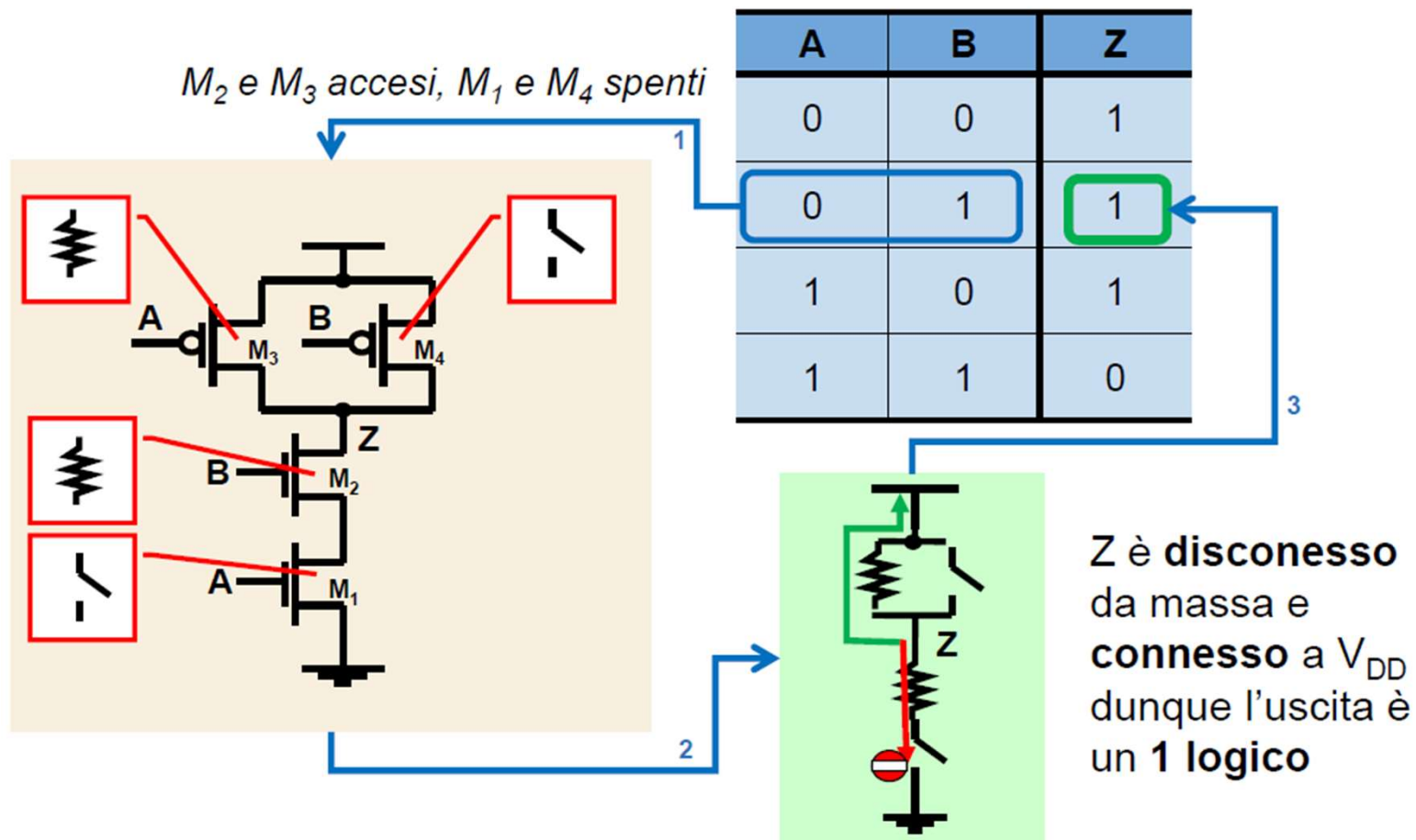
$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

- Utilizzando questi teoremi è possibile dimostrare che le reti del *pull-up* e del *pull-down* di una porta logica CMOS complementari sono reti duali.
- Ciò significa che la connessione in parallelo dei transistor nella rete di *pull-up* corrisponde alla connessione in serie dei dispositivi della rete di *pull-down*.

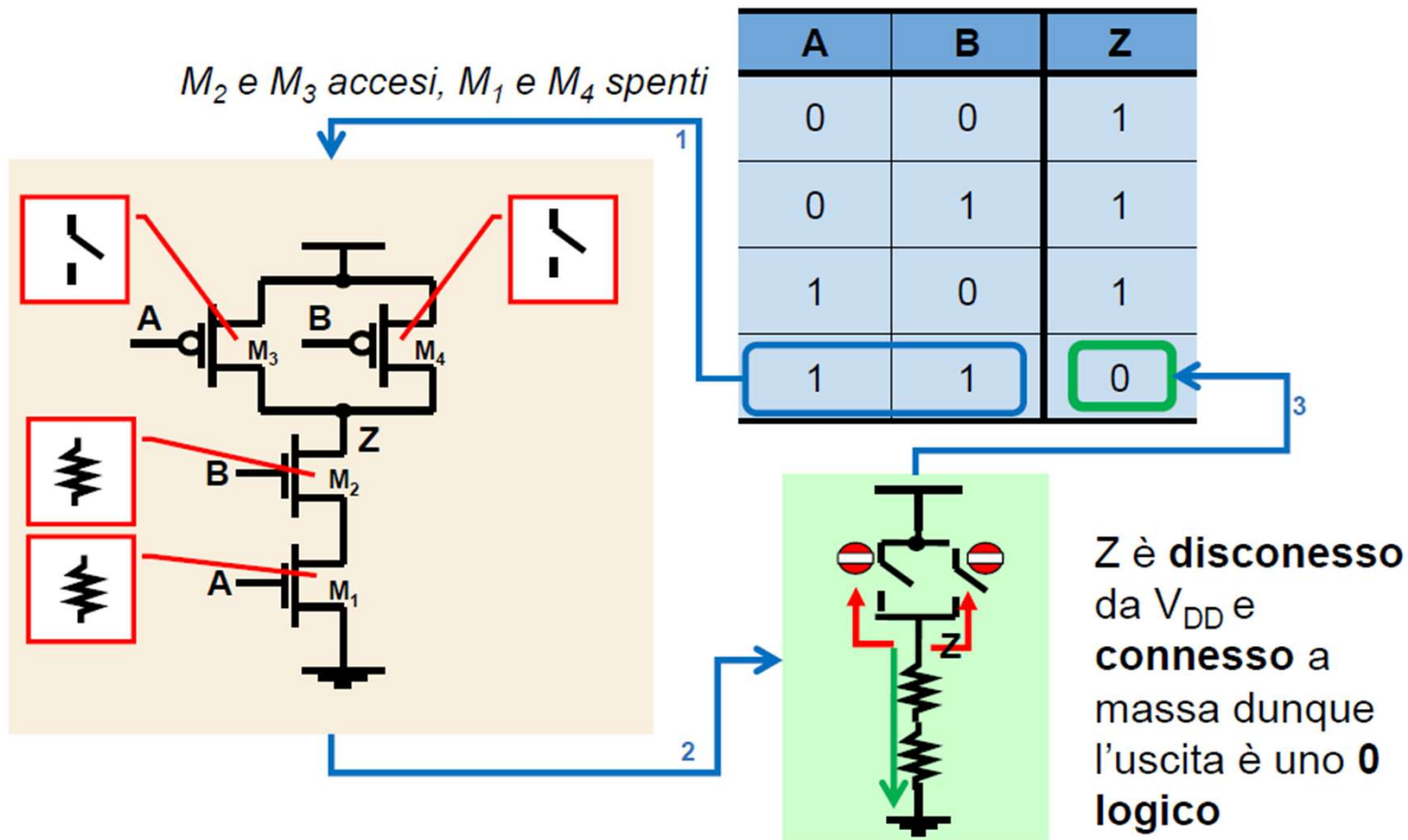
Esempio: Porta NAND (1)

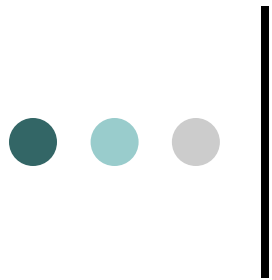


Esempio : Porta NAND (2)



Esempio : Porta NAND (3)





Note

- Un gate CMOS permette di realizzare funzioni logiche invertenti (p.e. NAND NOR ecc..)
- Se si vuole implementare una funzione logica non invertente (AND, OR ecc..) occorre aggiungere un inverter in uscita
- Il numero di transistori necessari per implementare una porta a N ingressi è $2N$



Proprietà CMOS

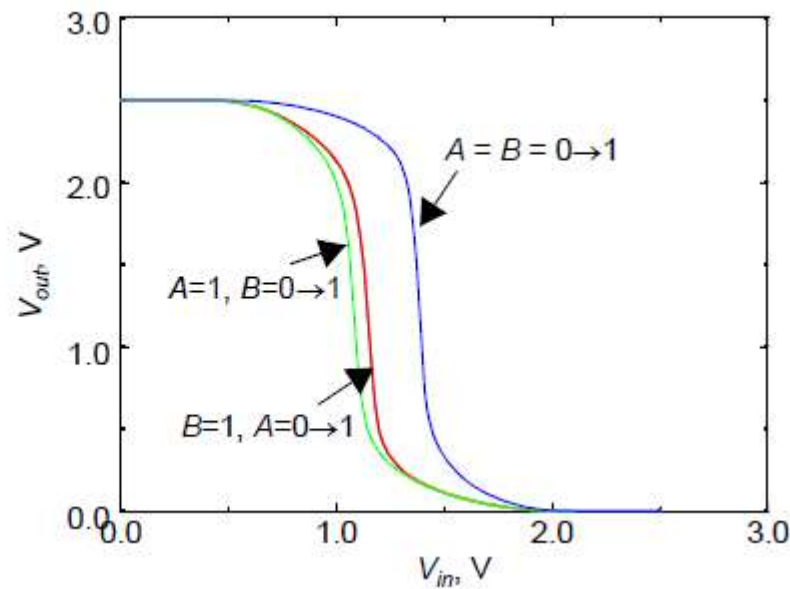
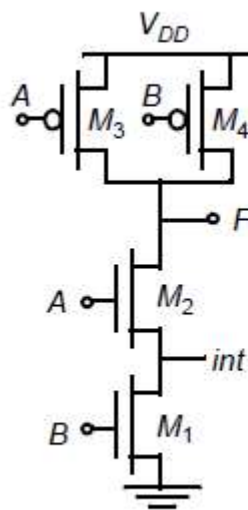
- Elevati margini di rumore
- Livelli logici non dipendenti dalle dimensioni dei dispositivi corrispondenti;
- Sempre un percorso verso lo stato stabile di V_{DD} o G_{nd} ; bassa impedenza di uscita
- Resistenza di ingresso estremamente elevata; quasi zero corrente di ingresso dello stato stazionario
- Staticamente no percorso diretto fra V_{DD} e massa; nessuna dissipazione statica di potenza
- Ritardo di propagazione funzione della capacità di carico e della resistenza dei transistori



Porta NAND: VTC

La caratteristica di trasferimento (VTC) risulta dipendente dalle accensioni dei transistori ovvero dai valori logici agli ingressi.

Nel caso di transizione $1 \rightarrow 0$ dell'uscita nel caso siano entrambi gli ingressi a commutare, PUN è inizialmente molto forte essendo entrambi i PMOS inizialmente accesi.





Tempi Di Propagazione

- Il tempo di propagazione attraverso una porta CMOS a N ingressi dipende da quanti e quali ingressi commutano contemporaneamente
- I tempi di propagazione sono inoltre asimmetrici



Esempio : NAND a 2 ingressi

Transizione H→L

- Questa transizione avviene solo se entrambi gli ingressi sono portati a V_{DD} .
- In questo caso essendo la PDN costituita da due NMOS in serie , il tempo di propagazione risulta

$$t_{pHL} = \ln 2 \cdot 2R_N \cdot C_L$$



Esempio : NAND a 2 ingressi

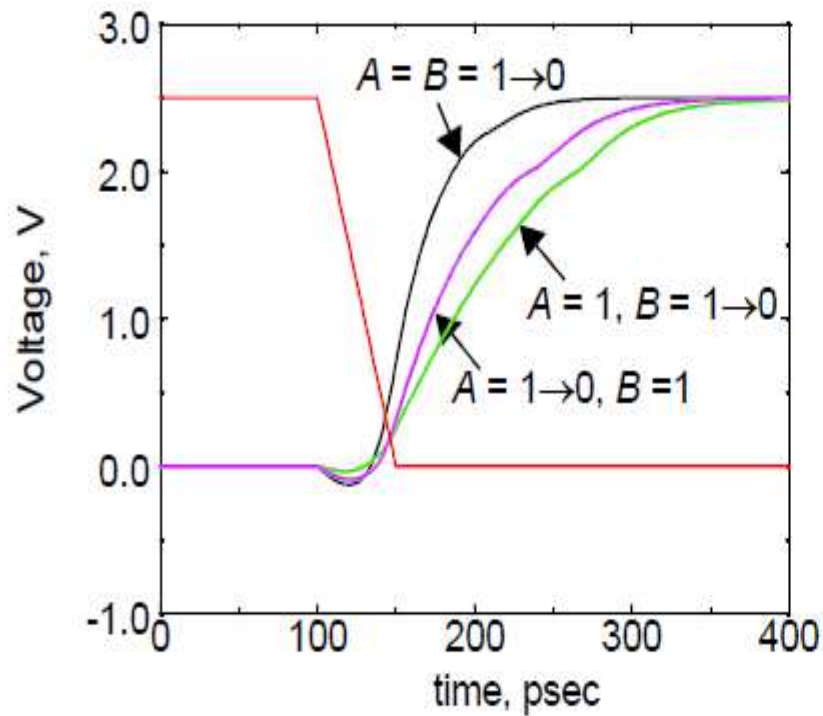
Transizione L→H

- Questa transizione può avvenire se solo uno o entrambi gli ingressi vengono portati a 0V.
- Nei vari casi possiamo avere sostanzialmente 2 configurazioni di accensione della PUN:
 - a) 1 transistor PMOS acceso
 - b) 2 transistori PMOS accesi in parallelo
- Nei due casi i tempi di propagazione risultano rispettivamente

$$a) \quad t_{pLH} = \ln 2 \cdot R_P \cdot C_L$$

$$b) \quad t_{pLH} = \ln 2 \cdot \frac{R_P}{2} \cdot C_L$$

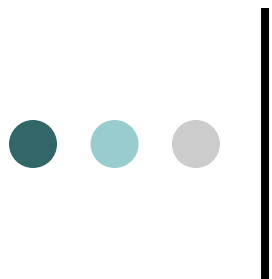
Dipendenza di t_p : NAND 2 ingressi



Input Data Pattern	Delay (psec)
$A = B = 0 \rightarrow 1$	69 (*)
$A = 1, B = 0 \rightarrow 1$	62
$A = 0 \rightarrow 1, B = 1$	50
$A = B = 1 \rightarrow 0$	35
$A = 1, B = 1 \rightarrow 0$	76
$A = 1 \rightarrow 0, B = 1$	57

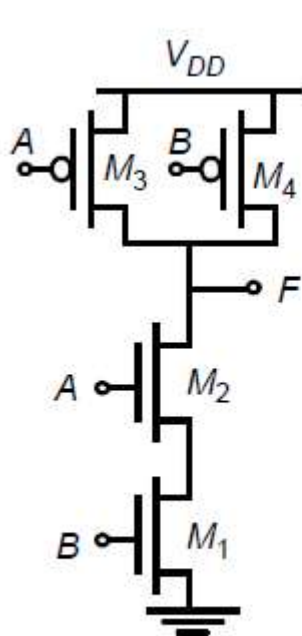


(*) Inizialmente C_{int} è carico a $V_{DD} - V_{TN}$

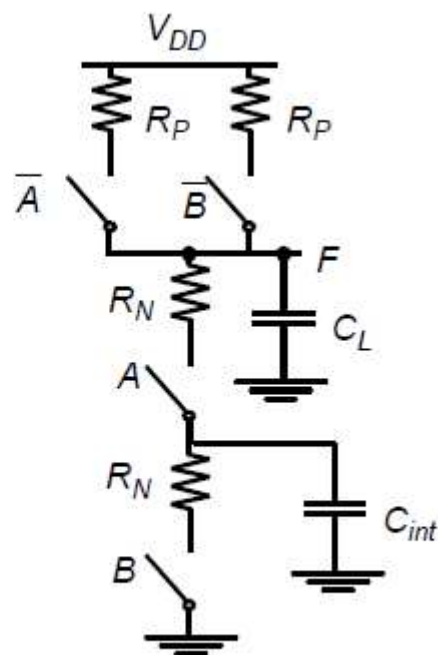


Dipendenza di t_p : NAND 2 ingressi

Il tempo di propagazione dipende dallo stato iniziale del 'nodo interno' cui è associata la capacità C_{INT}



(a) Two-input NAND

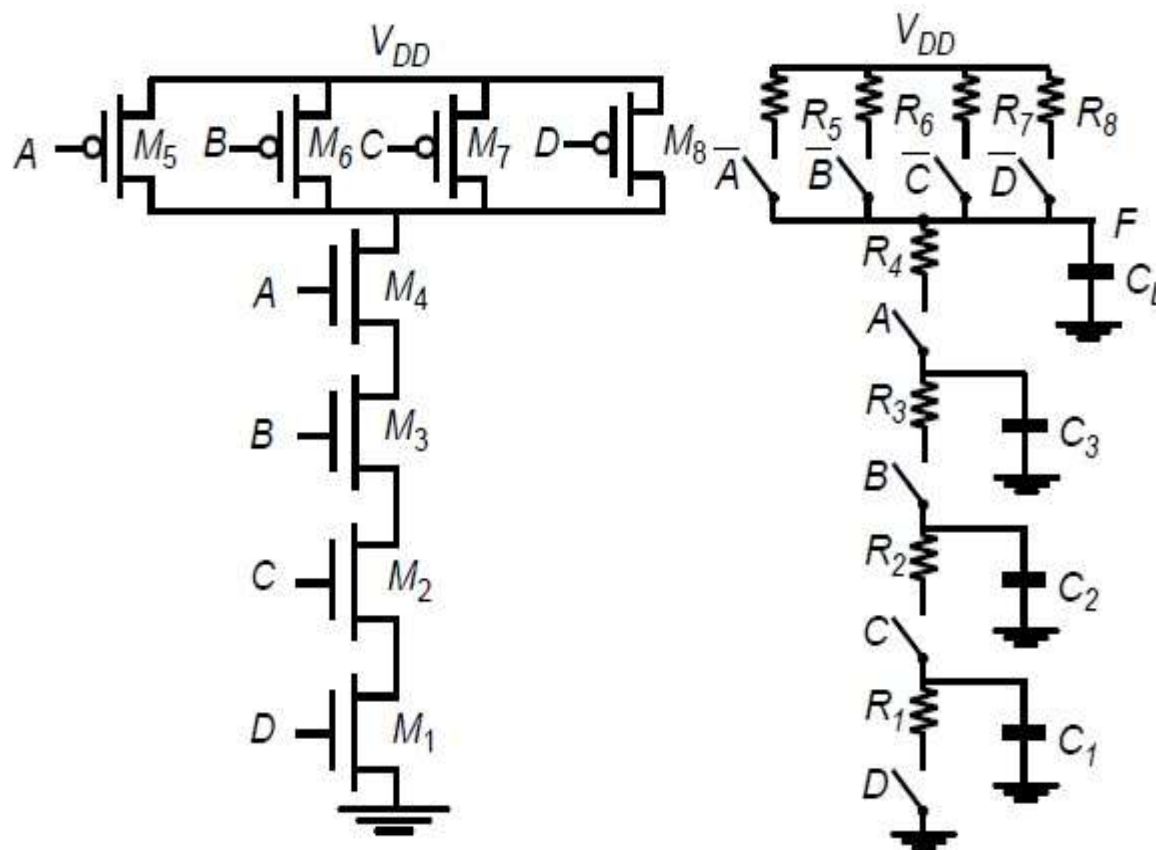


(b) RC equivalent model

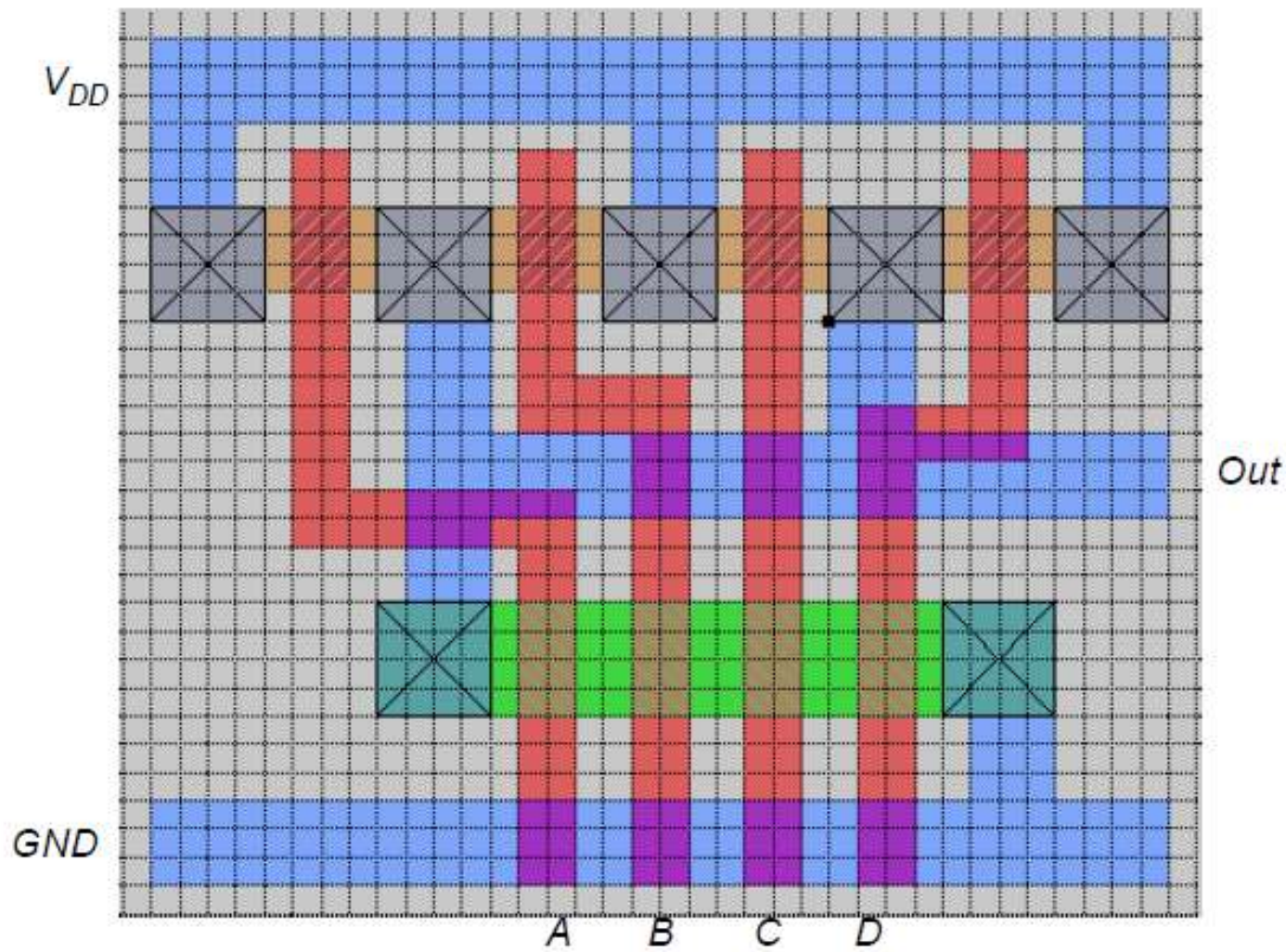
Input Data Pattern	Delay (psec)
$A = B = 0 \rightarrow 1$	69
$A = 1, B = 0 \rightarrow 1$	62
$A = 0 \rightarrow 1, B = 1$	50
$A = B = 1 \rightarrow 0$	35
$A = 1, B = 1 \rightarrow 0$	76
$A = 1 \rightarrow 0, B = 1$	57

Ancora su t_p : NAND a 4 ingressi

- Consideriamo una porta NAND a quattro ingressi e il suo modello equivalente a interruttori

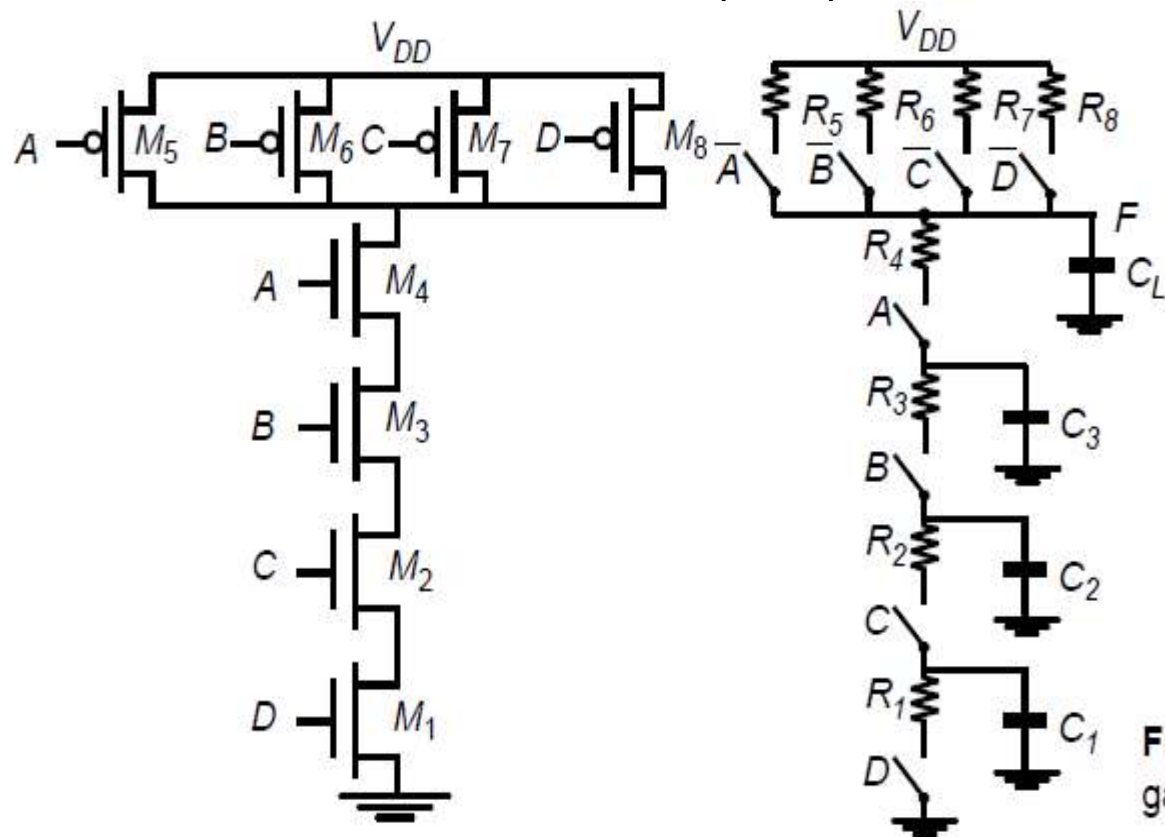


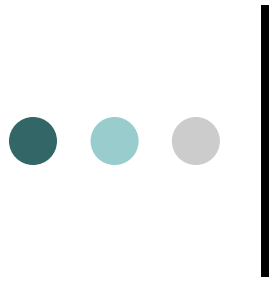
● ● ● | NAND a 4 ingessi



Calcolo di t_{pHL}

- Consideriamo la transizione $H \rightarrow L$: C_L si scarica attraverso i 4 NMOS accesi. Le loro resistenze equivalenti in stato ON sono $R_1..R_4$





Calcolo di t_{pHL}

- Considerando trascurabili le capacità di diffusione ($C_1..C_3$), il tempo di propagazione è

$$t_{pHL} = 0.69 \cdot (R_1 + R_2 + R_3 + R_4) \cdot C_L$$

- Diversamente occorre considerare che tutte le capacità devono scaricarsi dopo la commutazione (caso peggiore trascurando V_T).
- Si ottiene quindi :

$$t_{pHL} = 0.69(R_1 \cdot C_1 + (R_1 + R_2) \cdot C_2 + (R_1 + R_2 + R_3) \cdot C_3 + (R_1 + R_2 + R_3 + R_4) \cdot C_L)$$

Calcolo di t_{pHL}

- Ipotizzando che tutti i transistori NMOS abbiano uguale W/L e quindi uguale R_{eqN} , la precedente si semplifica in:

$$t_{pHL} = 0.69 \cdot R_N \cdot (C_1 + 2C_2 + 3C_3 + 4C_L)$$

dove le capacità hanno diverso valore.

Considerando solo le capacità intrinseche risulta:

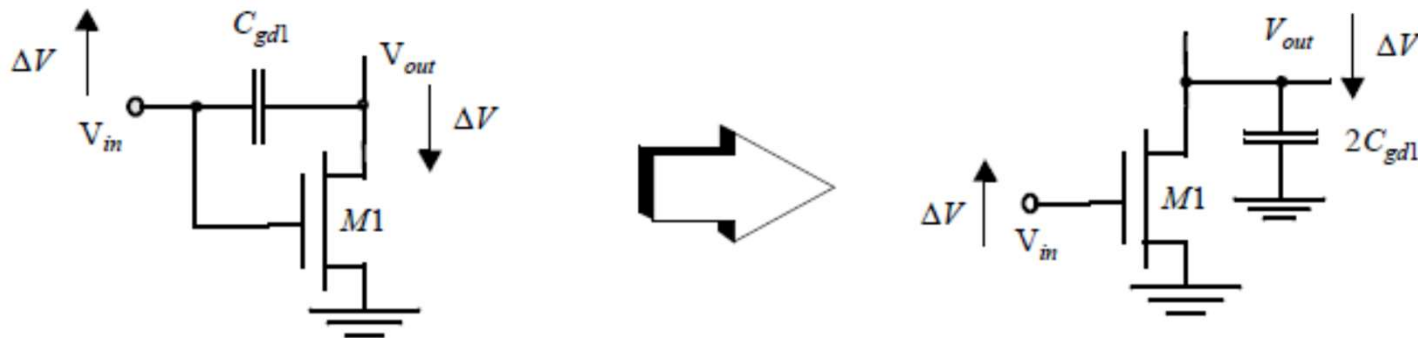
Capacitor	Contributions (H→L)	Value (fF) (H→L)
C_1	$C_{d1} + C_{s2} + 2 * C_{gd1} + 2 * C_{gs2}$	$(0.57 * 0.0625 * 2 + 0.61 * 0.25 * 0.28) + (0.57 * 0.0625 * 2 + 0.61 * 0.25 * 0.28) + 2 * (0.31 * 0.5) + 2 * (0.31 * 0.5) = 0.85\text{fF}$
C_2	$C_{d2} + C_{s3} + 2 * C_{gd2} + 2 * C_{gs3}$	$(0.57 * 0.0625 * 2 + 0.61 * 0.25 * 0.28) + (0.57 * 0.0625 * 2 + 0.61 * 0.25 * 0.28) + 2 * (0.31 * 0.5) + 2 * (0.31 * 0.5) = 0.85\text{fF}$
C_3	$C_{d3} + C_{s4} + 2 * C_{gd3} + 2 * C_{gs4}$	$(0.57 * 0.0625 * 2 + 0.61 * 0.25 * 0.28) + (0.57 * 0.0625 * 2 + 0.61 * 0.25 * 0.28) + 2 * (0.31 * 0.5) + 2 * (0.31 * 0.5) = 0.85\text{fF}$
C_L	$C_{d4} + 2 * C_{gd4} + C_{d5} + C_{d6} + C_{d7} + C_{d8} + 2 * C_{gd5} + 2 * C_{gd6} + 2 * C_{gd7} + 2 * C_{gd8} = C_{d4} + 4 * C_{d5} + 4 * 2 * C_{gd6}$	$(0.57 * 0.3125 * 2 + 0.61 * 1.75 * 0.28) + 2 * (0.31 * 0.5) + 4 * (0.79 * 0.171875 * 1.9 + 0.86 * 0.875 * 0.22) + 4 * 2 * (0.27 * 0.375) = 3.47\text{fF}$

Effetto Miller

- In un inverter o gate CMOS La C_{gd} ha peso doppio.
- Considerando il transistor NMOS, per esempio, ad una variazione $\Delta V = 0 \rightarrow V_{DD}$ della tensione di gate corrisponde infatti una variazione opposta del drain.
- La carica necessaria per cambiare lo stato di C_{gd} risulta quindi pari a

$$Q = C_{gd} \cdot 2V_{DD} = 2C_{gd} \cdot V_{DD}$$

- C_{gd} può essere sostituito per semplicità da un condensatore di valore doppio collegato fra il gate e massa



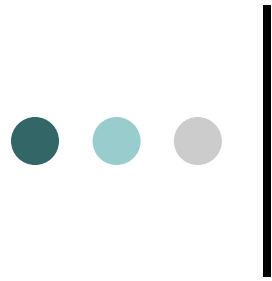


Calcolo approssimato di t_{pHL}

- Stante le considerazioni precedenti ipotizzando $R_N = 13K\Omega$ ed un uguale fattore di forma $S_N = 2$ per tutti i transistori NMOS del gate, allora il t_{pHL} può esser calcolato come:

$$t_{pHL} = 0.69 \cdot R_N \cdot (C_1 + 2C_2 + 3C_3 + 4C_L)$$

$$= 0.69 \cdot \frac{13K\Omega}{2} \cdot (0.85fF + 2 \cdot 0.85fF + 3 \cdot 0.85fF + 4 \cdot 3.47fF) = 85ps$$



Calcolo approssimato della C_{IN}

- Salvo diversamente specificato la capacità C_{IN} vista all' ingresso di un gate sarà calcolato come segue:

$$C_{IN} = \sum_i C_{Ni} + \sum_j C_{Pj}$$

- Dove le capacità C_{Ni} e C_{Pj} sono calcolate come segue:

$$C_{Ni} = C_{OX} \cdot W_{Ni} \cdot L_{ni} \quad C_{Pj} = C_{OX} \cdot W_{Pj} \cdot L_{Pj}$$

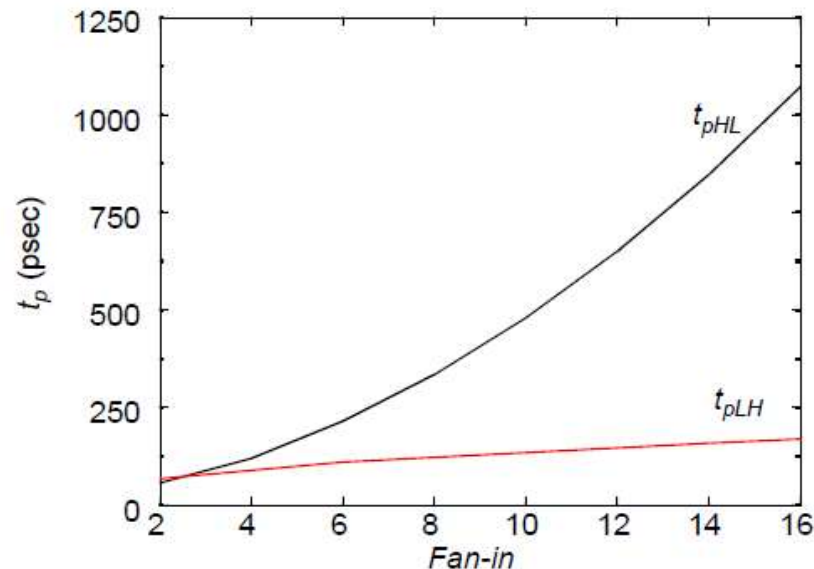
essendo W ed L le larghezze e le lunghezze di canale.

- Se, come normalmente è, L coincide con L_{min} allora:

$$C_{Ni} = C_{OX} \cdot W_{Ni} \cdot L_{min} = C_{OX} \cdot L_{min}^2 \cdot S_N \quad C_{Pj} = C_{OX} \cdot W_{Pj} \cdot L_{min} = C_{OX} \cdot L_{min}^2 \cdot S_P$$

Considerazioni

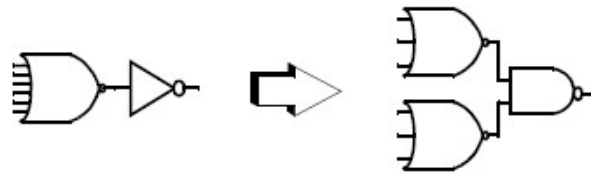
- Il tempo di propagazione in un NAND a N ingressi aumenta



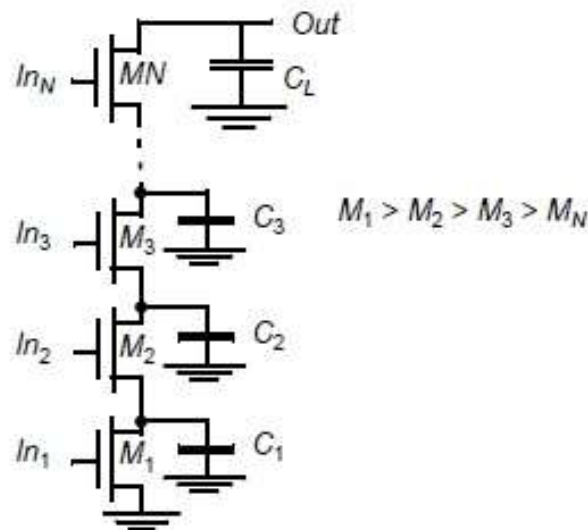
- All' aumentare del fan-in aumenta l' area (di $2N$) .
- Volendo meglio bilanciare il peso delle R_N , M1 dovrà essere sovradimensionato perché attraverso di esso si scaricano tutte le capacità → ulteriore aumento di area

Strategie

- Riorganizzazione logica: usare gate a ridotto fan-in in cascata



- Dimensionamento progressivo dei transistori





Metodo di Elmore

- E' un metodo empirico-approssimato per stimare i ritardi di propagazione in reti EC ad albero
- Sia data una rete RC dalle seguenti caratteristiche:
 - La rete ha N nodi e un singolo nodo di ingresso s
 - Tutti i condensatori sono posti fra un nodo e la massa
 - Non esistono percorsi circolari (topologia ad albero)

allora la costante di tempo per la propagazione di un segnale dall' ingresso s al nodo *i-esimo* è data dall' espressione :

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

Dove C_k è la capacità fra il nodo k-esimo e la massa e

R_{ik} è la 'resistenza di percorso condivisa' definita come

$$R_{ik} = \sum R_j \Rightarrow (R_j \in [path(s \rightarrow i) \cap path(s \rightarrow k)])$$

Esempio(*)

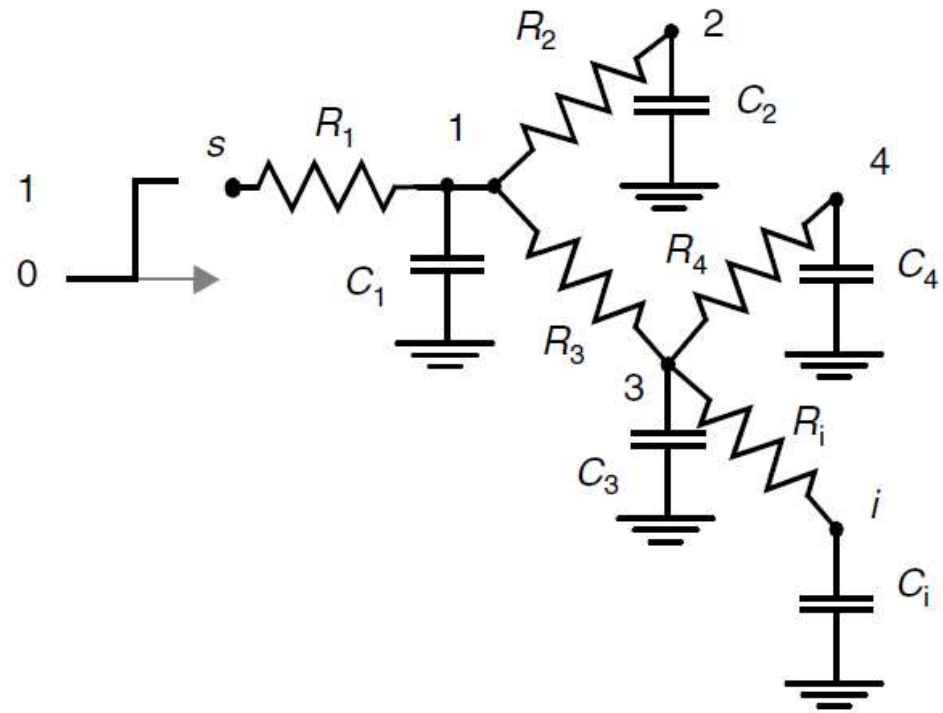
$$R_{i1} = R_1$$

$$R_{i2} = R_1$$

$$R_{i3} = R_1 + R_3$$

$$R_{i4} = R_1 + R_3$$

$$R_{ii} = R_1 + R_3 + R_i$$



Quindi con il metodo di Elmore stimiamo :

$$\tau_{Di} = R_1 C_1 + R_1 C_2 + (R_1 + R_3) C_3 + (R_1 + R_3) C_4 + (R_1 + R_3 + R_i) C_i$$

(*) si considerino inizialmente tutti i condensatori scarichi

Esempio (*): NAND a 4 ingressi - t_{pHL}

$$R_{o1} = R_1$$

$$R_{o2} = R_1 + R_2$$

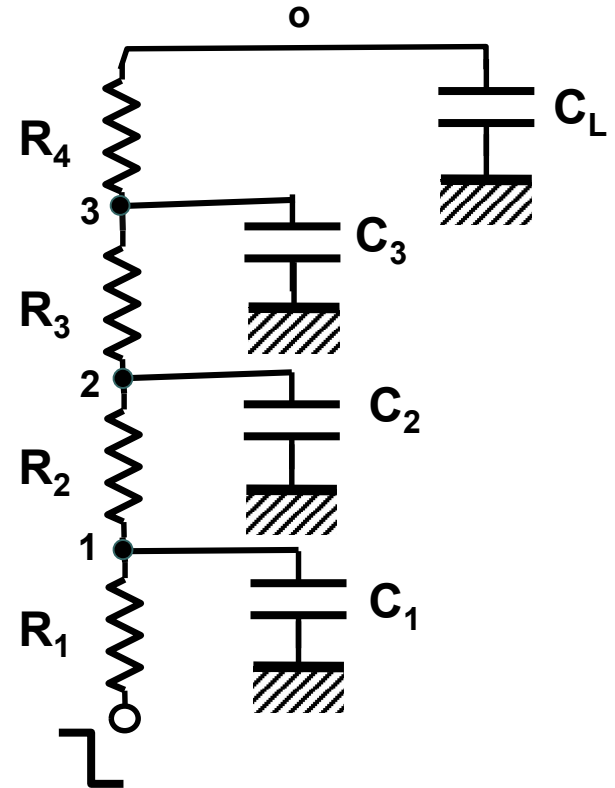
$$R_{o3} = R_1 + R_2 + R_3$$

$$R_{o0} = R_1 + R_2 + R_3 + R_4$$

Quindi con il metodo di Elmore stimiamo :

$$\tau_{Do} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3 + (R_1 + R_2 + R_3 + R_4) C_L$$

(*) si considerino inizialmente tutti i condensatori carichi



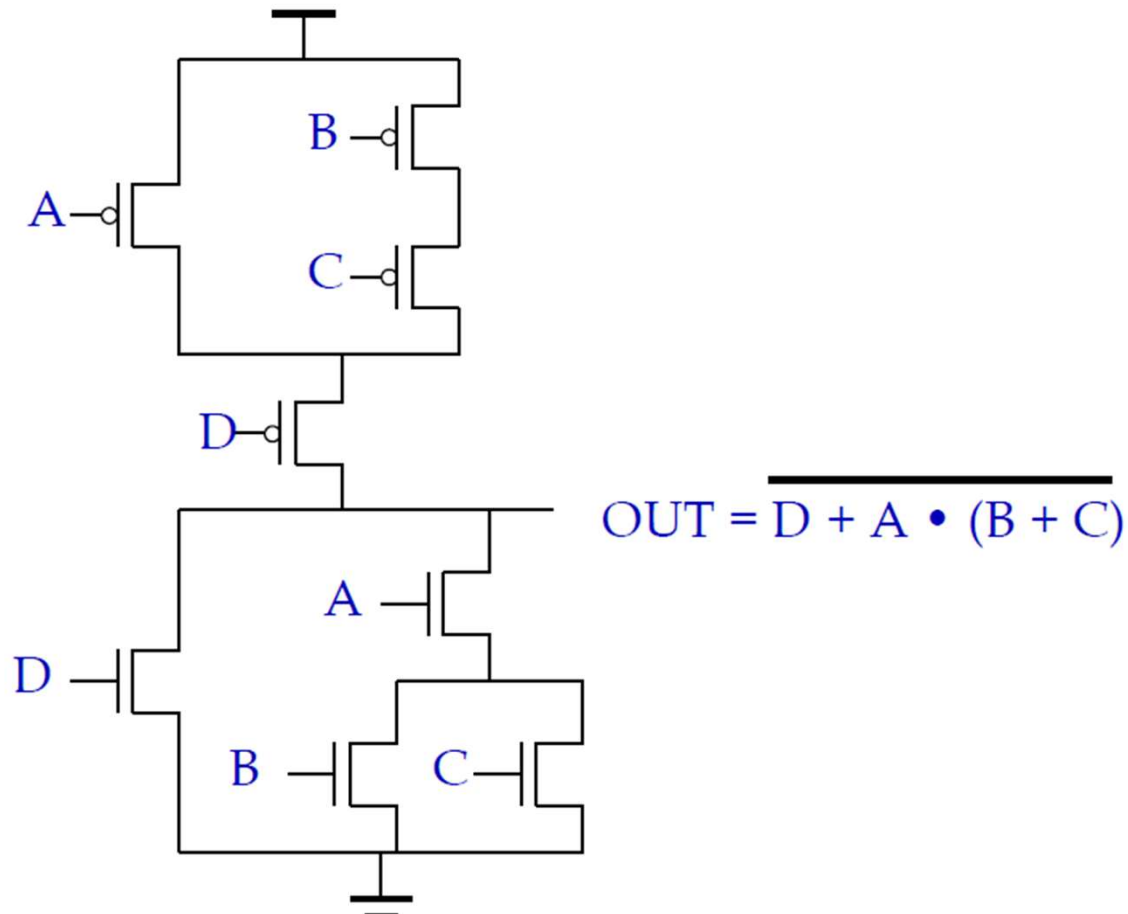
● ● ● | T_p In Funzione Del Fan-In E Fan-Out

- Fan-in: dipendenza quadratica a causa dell'aumento di resistenza e capacità
- Fan-out: ciascuna porta inserita all'uscita, aggiunge due capacità di gate in C_L

$$t_p = a_1 FI + a_2 FI^2 + a_3 FO$$

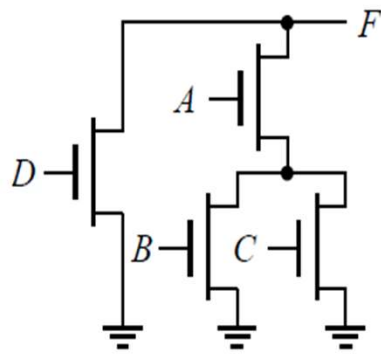


Esempio : Gate CMOS Complesso

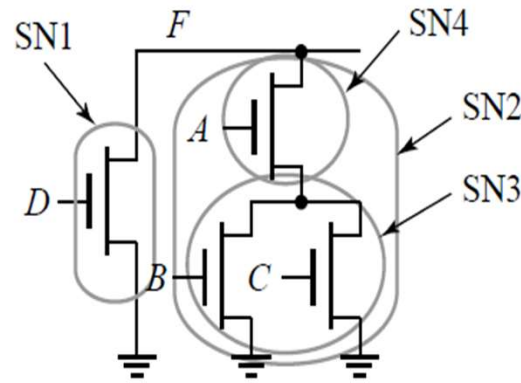


Progettare un Gate Complesso

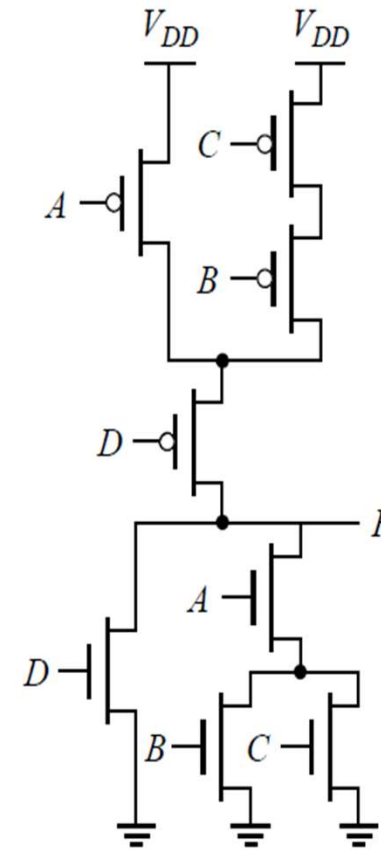
$$\text{OUT} = \overline{D + A \cdot (B + C)}$$



(a) pull-down network



(b) Deriving the pull-up network hierarchically by identifying sub-nets



(c) complete gate

Es. : Dimensionamento per t_{pHL}

Dati:

$$R_N = 5.39 \text{K}\Omega / S_N \quad R_P = 10.78 \text{K}\Omega / S_P$$

$$C_L = 100 \text{fF}$$

Si ignorino le capacità interne

Calcolare S_N affinché $t_{pHL} \leq 150 \text{ps}$

1) Caso peggiore ABCD = 1100 opp 1010

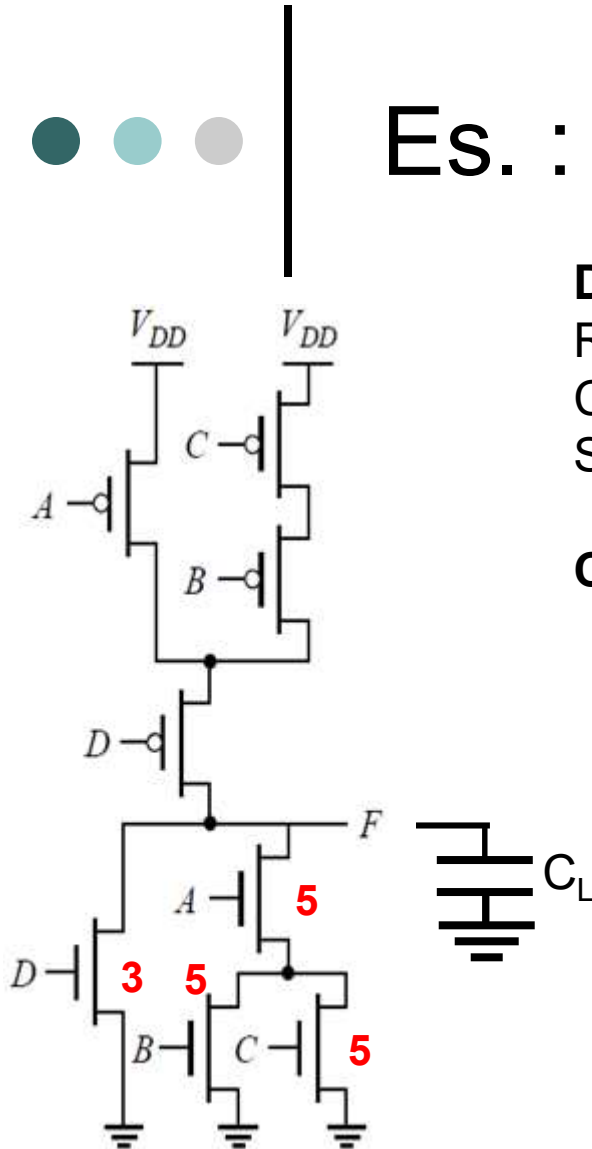
$$2) \quad t_{pHL} = 0.69 \cdot 2 \cdot R_N \cdot C_L = 0.69 \cdot 2 \cdot R_N \cdot 100 \text{fF} \leq 150 \text{ps}$$

$$3) \quad R_N \leq 150 \text{ps} / (0.69 \cdot 2 \cdot 100 \text{fF}) = 1087 \Omega$$

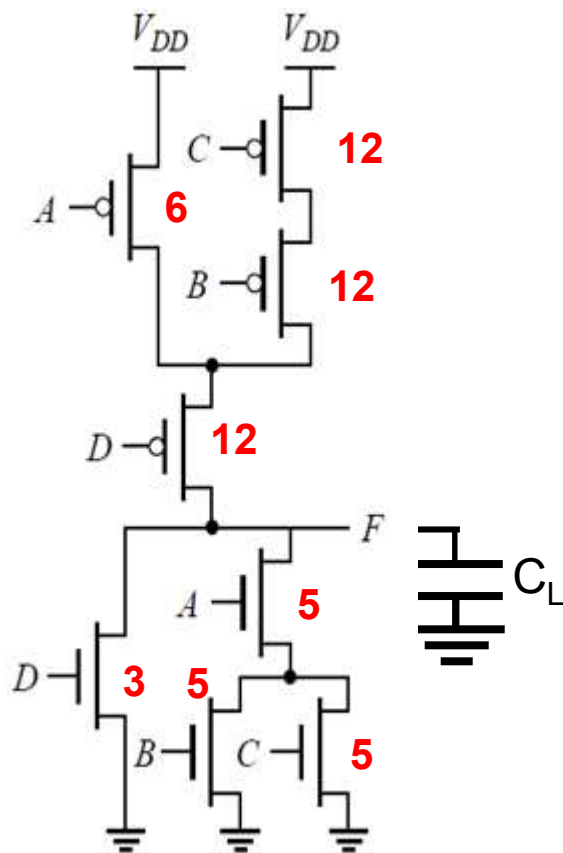
$$4) \quad S_N \geq 5.39 \text{K}\Omega / R_{N\max} = 4.95 \rightarrow \mathbf{S_N = 5}$$

5) Dimensionamento ottimizzato M_D (ABCD=0001):

$$t_{pHL} = 0.69 \cdot 1 \cdot R_{MD} \cdot C_L \leq 150 \text{ps} \rightarrow R_{MD} \leq 2174 \Omega \rightarrow \\ \rightarrow S_{MD} \geq 2.48 \rightarrow \mathbf{S_{MD} = 3}$$



Es. : Dimensionamento per t_{pLH}



Dati:

$$R_N = 5.39 \text{K}\Omega / S_N \quad R_P = 10.78 \text{K}\Omega / S_P$$

$$C_L = 100 \text{fF}$$

Si ignorino le capacità interne

Calcolare S_N affinché $t_{pLH} \leq 200 \text{ps}$

- 1) Caso peggiore ABCD = 1000
- 2) $t_{pLH} = 0.69 \cdot 3 \cdot R_P \cdot C_L = 0.69 \cdot 3 \cdot R_P \cdot 100 \text{fF} \leq 200 \text{ps}$
- 3) $R_P \leq 200 \text{ps} / (0.69 \cdot 3 \cdot 100 \text{fF}) = 966 \Omega$
- 4) $S_P \geq 10.78 \text{K}\Omega / R_{P_{\max}} = 11.16 \rightarrow \mathbf{S_P = 12} \rightarrow R_P = 898 \Omega$
- 5) Dimensionamento ottimizzato M_A (ABCD=0110/0100/0010)

$$t_{pHL} = 0.69 \cdot (R_P + R_{MA}) \cdot C_L \rightarrow R_P + R_{MA} = 2898 \Omega \rightarrow \\ \rightarrow R_{MA} = 2 \text{K}\Omega \rightarrow S_{MA} = 5.39 \rightarrow \mathbf{S_{MA} = 6}$$