

COGNOME:..... NOME: MATRICOLA:.....

Esercizio 0 (*punti 5*)

Rispondere alle seguenti domande:

1. Indicare sotto quale condizione un codice viene detto ridondante o non ridondante. (*punti 1*)
2. Disegnare **la struttura** del latch CD che si ottiene **usando un latch SR nella realizzazione**, indicando eventuali configurazioni vietate degli ingressi per un uso corretto del latch CD. (*punti 2*)
3. Spiegare quali vincoli vengono imposti sui segnali in ingresso ad una RSA per garantirne il corretto funzionamento. Come sono influenzati questi vincoli dall'uso di transizioni multiple al fine di evitare malfunzionamenti? (*punti 2*)

Esercizio 1 (*punti 10*)

Una rete sequenziale asincrona riceve due segnali in ingresso, F ed N , che non cambiano mai valore contemporaneamente. L'uscita Z può cambiare valore solo ai fronti di discesa del segnale F . In particolare, Z assume valore "1" solo se N ha mantenuto valore costante mentre F valeva "1" prima del fronte di discesa, mentre assume valore "0" in caso contrario. All'inizializzazione, la rete assume di non aver visto N costante prima dell'ultimo fronte di discesa di F .

1. Individuare il **grafo degli stati** utilizzando il modello di **Mealy** e **dare una descrizione sintetica** della storia degli ingressi memorizzata in ogni stato. *(punti 3)*

2. Riportare la **tabella di flusso** corrispondente al grafo degli stati individuato. *(punti 1)*

Prova d'esame di Reti Logiche T – 14/07/2020

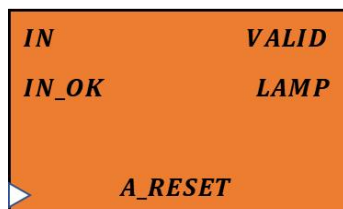
COGNOME:..... **NOME:** **MATRICOLA:**.....

3. Individuare una **codifica degli stati** riportando il **grafo delle adiacenze** e la **tabella delle transizioni**, indicando e risolvendo **eventuali corse critiche**. (*punti 3*)

4. Individuare le **espressioni PS** di costo minimo della variabile di uscita e delle variabili di stato futuro, **riportando le mappe di Karnaugh** e i **raggruppamenti rettangolari** individuati (*punti 2*)

5. Disegnare lo schema logico della rete **comprensivo della rete di reset.** (punti 1)

Esercizio 2 (punti 15)



Il sistema di apertura centralizzata delle portiere di un'automobile consente l'apertura solo quando il codice di sicurezza inviato dal telecomando corrisponde al codice memorizzato dalla centralina dell'automobile. Il codice viene trasmesso **in modo seriale** dal telecomando. Se il codice è corretto, la centralina effettua due operazioni: **apre le portiere; e accende le "freccie" dell'automobile per alcuni secondi**. Se il codice non è corretto non succede niente.

Progettare in maniera diretta **minimizzando l'uso delle risorse** una rete sequenziale sincrona dotata di un **clock a 16 Hz** che realizzi il controllo sulla correttezza del codice ricevuto dal telecomando. In particolare, la rete riceve **in modo seriale sull'ingresso sincrono IN a partire dal bit meno significativo** i bit inviati dal telecomando. I bit in ingresso su **IN** sono da ritenersi validi solo nei cicli di clock in cui l'ulteriore ingresso sincrono **IN_OK** vale 1. La rete dispone di **una ROM da 1KB** in cui è memorizzato il codice corretto che permette l'apertura delle portiere. Il codice è formato da 3 byte ed è memorizzato agli indirizzi $(0)_{10}$, $(1)_{10}$ e $(2)_{10}$ **a partire dal byte meno significativo**, ovvero il primo bit ricevuto dal telecomando sull'ingresso **IN** corrisponde al bit meno significativo del byte memorizzato all'indirizzo $(0)_{10}$. La rete deve pilotare opportunamente l'uscita **VALID** che si deve attivare **per un clock nel ciclo**

Prova d'esame di Reti Logiche T – 14/07/2020

COGNOME:..... **NOME:** **MATRICOLA:**.....

di clock in cui viene ricevuto l'ultimo bit del codice corretto sull'ingresso **IN**, e l'uscita **LAMP**, che pilota le "freccie", e deve mantenerle accese **per 2 secondi a partire dal clock successivo** a quello in cui è stata attivata l'uscita **VALID**. La rete è dotata infine di un **segnale di ingresso asincrono A_RESET**, che consente di inizializzarla all'accensione.

