

# Esame di Calcolatori Elettronici T

## 13 Settembre 2018 (Ing. Informatica)

### Esercizio 1

In un sistema basato sul processore DLX dotato di **1 GB di EPROM** mappata negli indirizzi bassi e **512 MB di RAM** mappata negli indirizzi alti, sono presenti quattro porte in input, già progettate, ciascuna in grado di ricevere dati dall'esterno mediante il protocollo di handshake. **Le quattro porte sono denominate IN\_0, IN\_1, IN\_2 e IN\_3. Tuttavia, in ogni istante è attiva solo una di queste porte** (all'avvio IN\_0). Al termine di ogni lettura dalla porta attiva, se il dato letto è **divisibile per 32**, dovrà essere abilitata una porta diversa in accordo all'ordine seguente : **IN\_0 -> IN\_1 -> IN\_2 -> IN\_3 -> IN\_0 -> IN\_1 -> ...**

- **Descrivere sinteticamente la soluzione** che s'intende realizzare e indicare **chiaramente quali sono i segnali di *chip-select* necessari**
- Progettare il sistema, **minimizzando le risorse necessarie evidenziando e risolvendo eventuali criticità**
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- **Scrivere il codice dell'interrupt handler** che consente di leggere dalle porte
- Si faccia l'ipotesi che i registri da R25 a R29 possano essere utilizzati senza la necessità di doverli ripristinare durante l'esecuzione degli interrupt handler

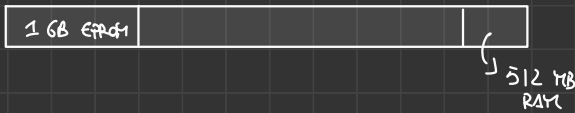
### Esercizio 2

Qual è la funzione dei registri A e B nel DLX sequenziale?

### Esercizio 3

Quali sono i vantaggi della codifica delle istruzioni adottata nel DLX?

## MAPPING E DECODIFICA



$$CS\_EPROM\_0 = \overline{BA31} \cdot \overline{BA30} \cdot BE0$$

$$CS\_EPROM\_1 = \overline{BA31} \cdot \overline{BA30} \cdot BE1$$

$$CS\_EPROM\_2 = \overline{BA31} \cdot \overline{BA30} \cdot BE2$$

$$CS\_EPROM\_3 = \overline{BA31} \cdot \overline{BA30} \cdot BE3$$

$$CS\_RAM\_0 = \overline{BA31} \cdot \overline{BA30} \cdot BE0$$

$$CS\_RAM\_1 = \overline{BA31} \cdot \overline{BA30} \cdot BE1$$

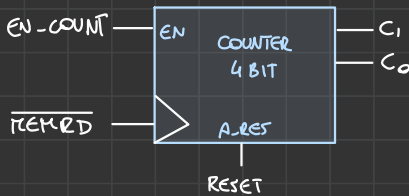
$$CS\_RAM\_2 = \overline{BA31} \cdot \overline{BA30} \cdot BE2$$

$$CS\_RAM\_3 = \overline{BA31} \cdot \overline{BA30} \cdot BE3$$

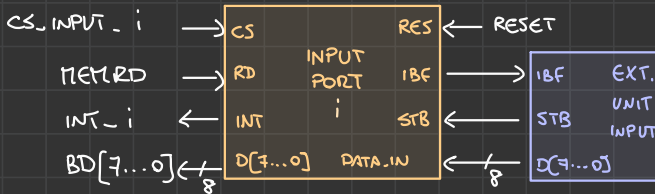
$$CS\_INPUT\_PORT = \overline{BA31} \cdot \overline{BA30} \cdot BE0$$

$$CS\_READ\_AUDIO = \overline{BA31} \cdot \overline{BA30} \cdot BE2 \cdot \overline{MEMRD}$$

$$CS\_SET\_AUDIO = \overline{BA31} \cdot \overline{BA30} \cdot BE1$$



$$EN\_COUNT = CS\_INPUT\_PORT \cdot DIV32$$



$$CS\_INPUT\_0 = CS\_INPUT\_PORT \cdot \overline{C0} \cdot C1$$

$$CS\_INPUT\_1 = CS\_INPUT\_PORT \cdot \overline{C0} \cdot \overline{C1}$$

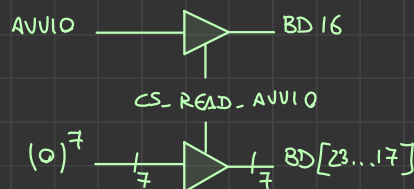
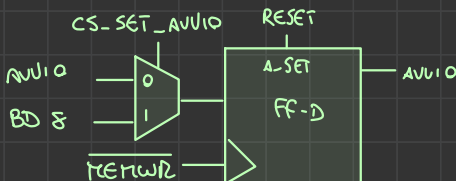
$$CS\_INPUT\_2 = CS\_INPUT\_PORT \cdot C1 \cdot \overline{C0}$$

$$CS\_INPUT\_3 = CS\_INPUT\_PORT \cdot C1 \cdot C0$$

$$INT(TO\ CLK) = INT\_0 \cdot \overline{C0} \cdot C1 + INT\_1 \cdot \overline{C1} \cdot \overline{C0} + INT\_2 \cdot C1 \cdot \overline{C0} + INT\_3 \cdot C1 \cdot C0$$

$$DIV32 = \overline{BD0} \cdot \overline{BD1} \cdot \overline{BD2} \cdot \overline{BD3} \cdot \overline{BD4}$$

## Procedura di audio



## CODE

```
0h    LHI    R25, 0x4000
4h    LB     R25, 0x0002(R25)
8h    BEQZ R25, HANDLER
Ch    SB     R0, 0x0001(R25)
10h    J     MAIN
14h    HANDLER: LBU    R27, 0x0000(R25)
18h                    RFE
1Ch    MAIN:
```