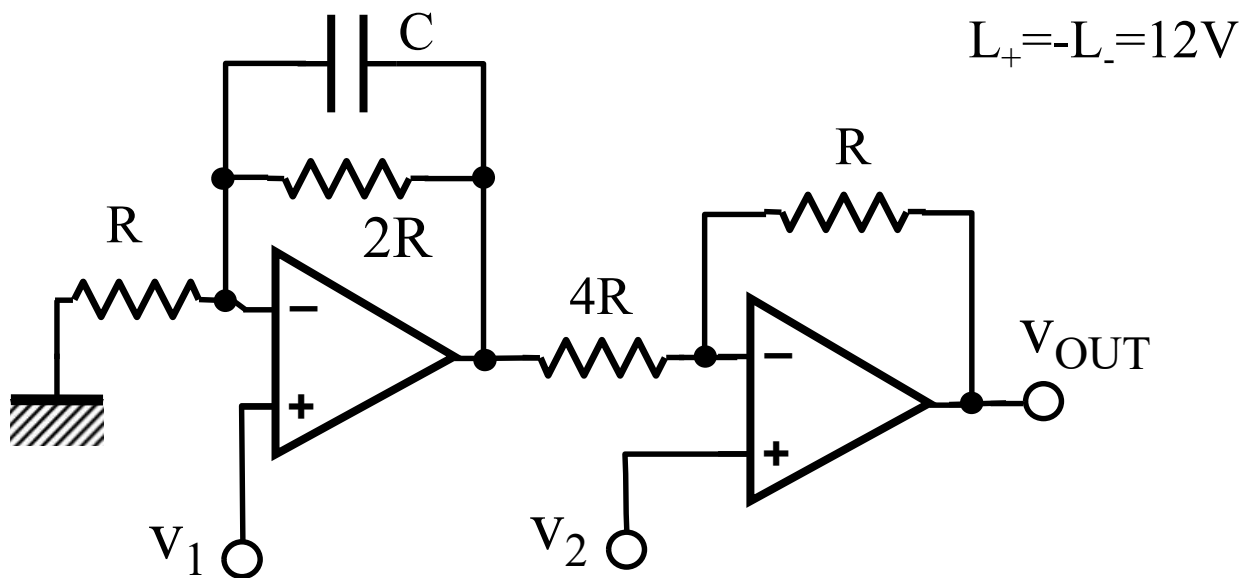


A**NO + VO MOD1**

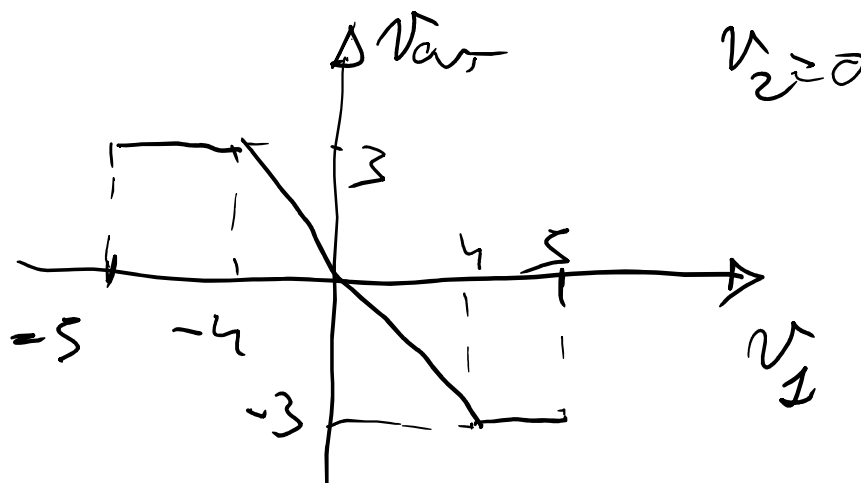
- 1) Del seguente circuito si calcoli la relazione ingressi-uscita.
- 2) Si disegni la caratteristica statica V_1 - V_O per $V_1 \in [-5V..+5V]$ e $V_2=0V$.

Si assumano gli OPAMP ideali e in alto guadagno.

Esplicitare i passaggi.



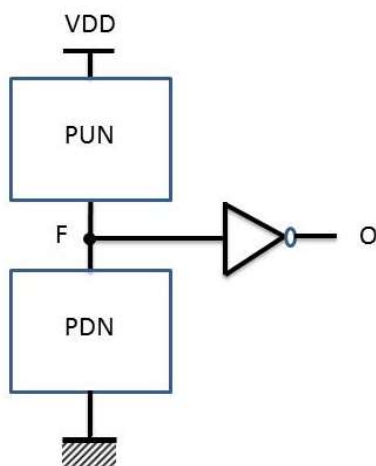
$$V_{out} = \frac{5}{4} V_2 - \frac{1}{4} \left[\frac{3 + j\omega 2RC}{1 + j\omega 2RC} \right] V_1$$



D NO + VO MOD2

- 1) Facendo riferimento allo schema di principio della figura, progettare le reti PUN e PDN del gate in tecnologia CMOS statica in modo da implementare la funzione indicata.
 - 2) Tenendo conto che i transistori dell'inverter di uscita hanno geometrie $S_p=85$ e $S_n=40$, si dimensionino tutti i transistori in modo che i tempi di propagazione al nodo F risultino inferiori a 115 ps per entrambi i fronti. Si ottimizzi il progetto.
 - 3) Calcolare il t_{PHL} minimo.
- Non si semplifichi la funzione logica. Esplicitare i passaggi.

$$O = [A \cdot (B + \bar{C}) + \bar{A}] \cdot (\bar{A} + \bar{B} + C)$$



Parametri tecnologici:

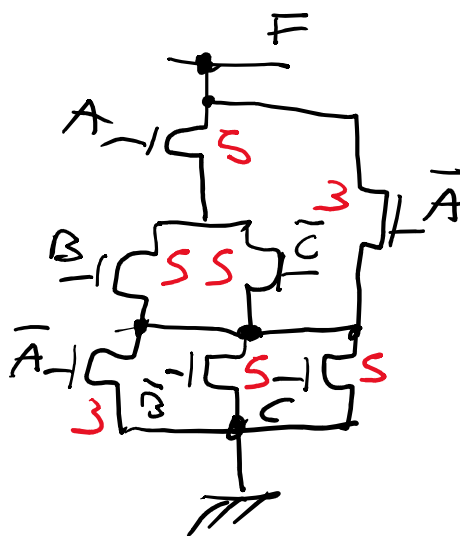
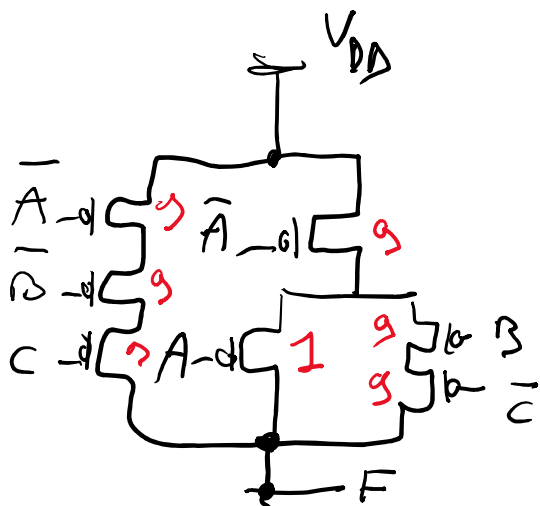
$R_{eq\ p} = 10\text{Kohm}$

$R_{eq\ n} = 5\text{Kohm}$

$C_{ox} = 3\text{ fF}/\mu\text{m}^2$

$L_{min} = 0,35\mu\text{m}$

$V_{dd} = 3,3\text{V}$



$$t_{PHLmin} = 70.6\text{ps}$$