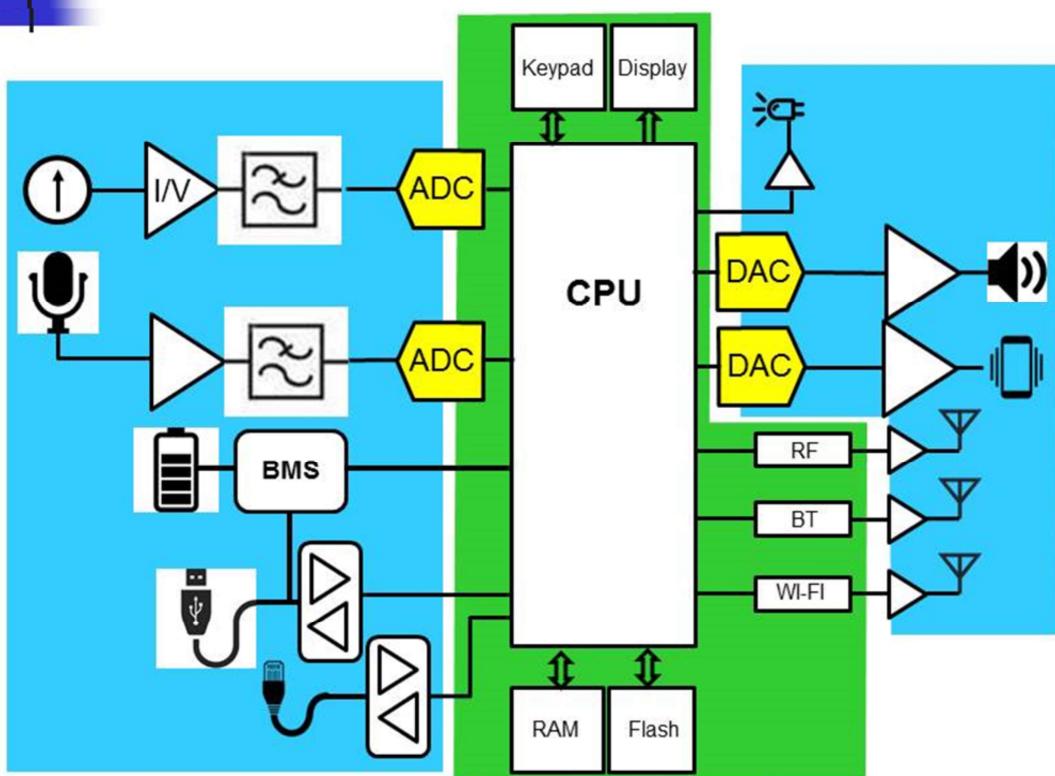


## Digital to Analog (DAC) and Analog to Digital (A/D) converters



Molti segnali elettrici richiedono elaborazioni molto complesse.

Come già accennato quando si sono introdotti i filtri attivi a operazionali, queste elaborazioni possono essere effettuate sia con circuiti analogici che, come vedremo in questa sezione, convertendo i segnali analogici in rappresentazioni numeriche (digitali), applicando algoritmi di elaborazione numerica ed infine convertendo il risultato nuovamente in un segnale analogico.

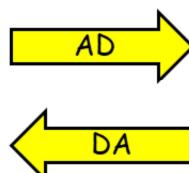
Questo approccio, noto come elaborazione digitale del segnale, è sempre più diffuso anche grazie alla introduzione sul mercato di specifici dispositivi integrati (i DSP da Digital Signal Processor) che possono essere programmati dall'utente per eseguire le operazioni sui campioni numerici.

Con i DSP è possibile in particolare implementare degli algoritmi di filtraggio anche molto complessi o che si possono adattare a diverse situazioni.

Un secondo esempio di impiego della conversione A/D e D/A si trova nella trasmissione di segnali a distanza dove l'introduzione del digitale ha permesso di raggiungere immunità ai disturbi non raggiungibili con la trasmissione analogica.

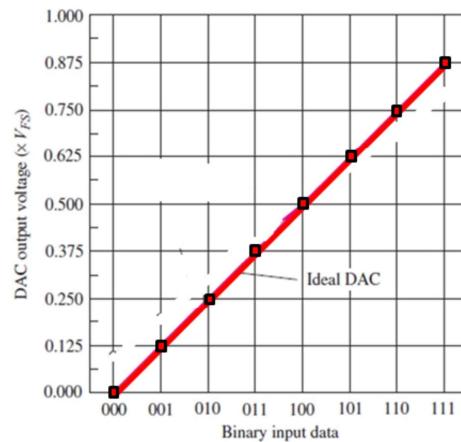
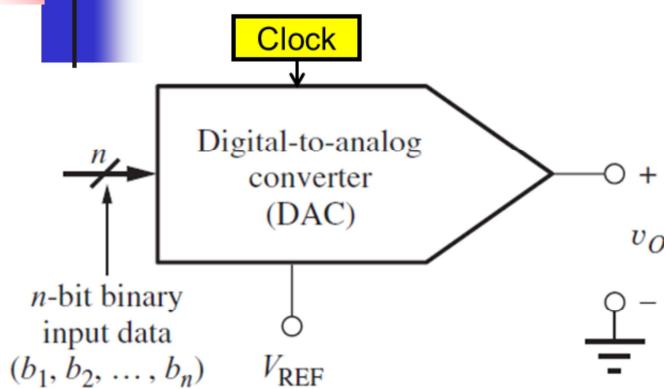
In questa sezione ci occuperemo dei **circuiti per la conversione A/D e D/A**.

## La conversione AD e DA



10011110
01110110
00110011
01001001
10000000
11100110
11000000
11010001
01111011
10011100
01010000

# Digital to Analog Converters (DAC)

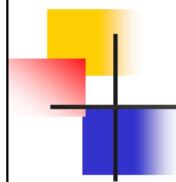


$$v_O = V_{FS}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) + V_{OS} \quad \text{for } b_i \in \{1, 0\}$$

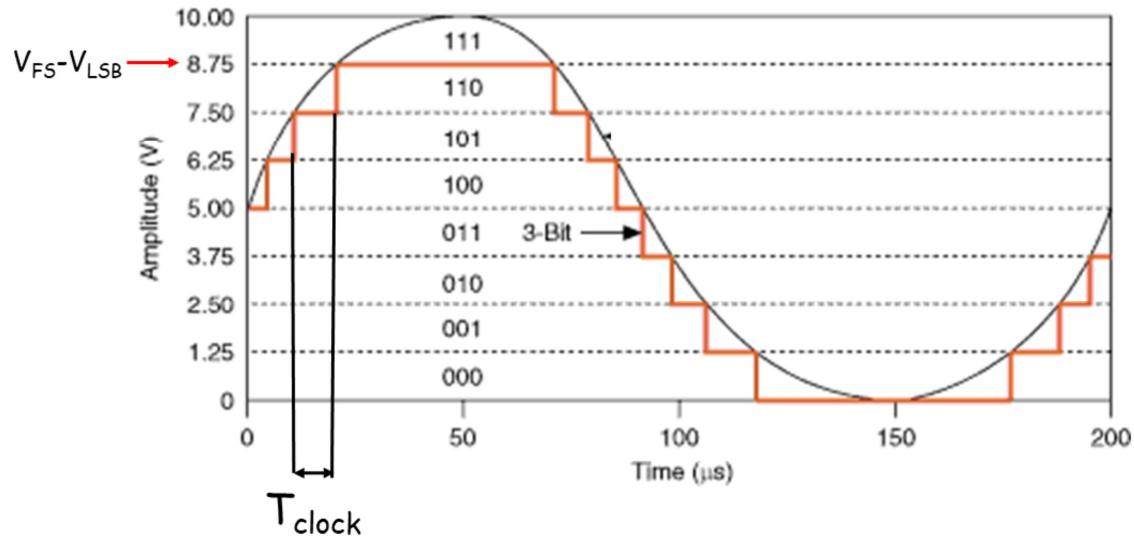
$$V_{FS} = K V_{REF}$$

Risoluzione del DAC:  $V_{LSB} = 2^{-n} V_{FS}$

$$\mathbf{NB} \quad V_{omax} = V_{FS} (1 - 1/2^n) = V_{FS} - V_{LSB}$$

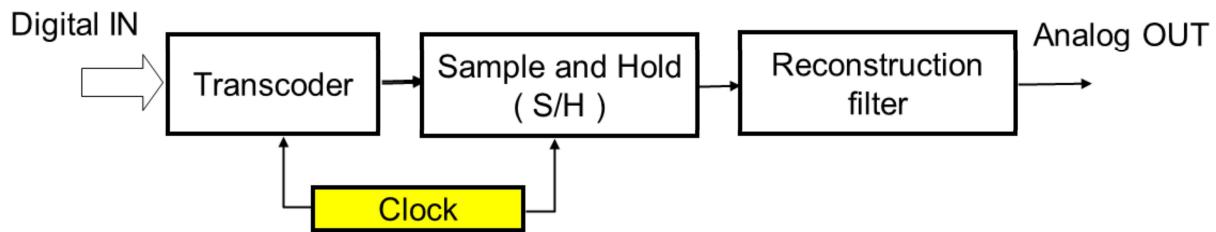


## Digital to Analog Converters (DAC)

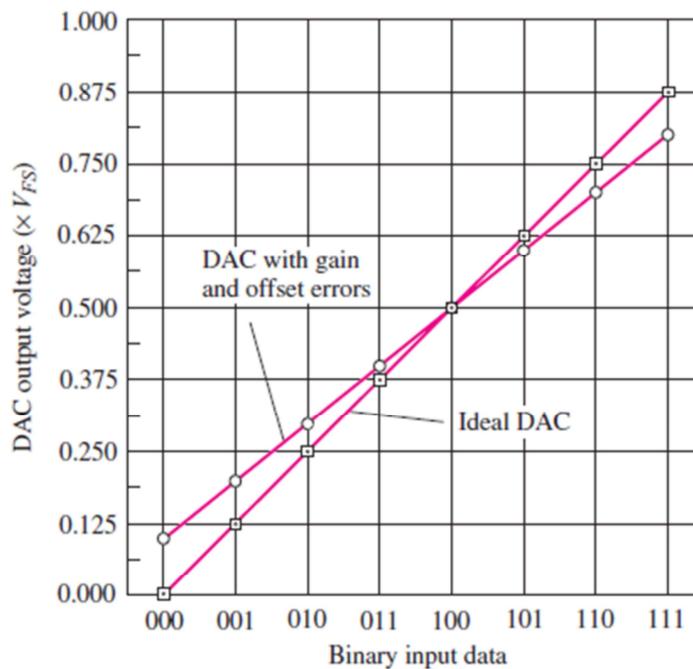


# Digital to Analog Converters (DAC)

## Convertitori DA



## Non idealità dei DAC: gain error e offset



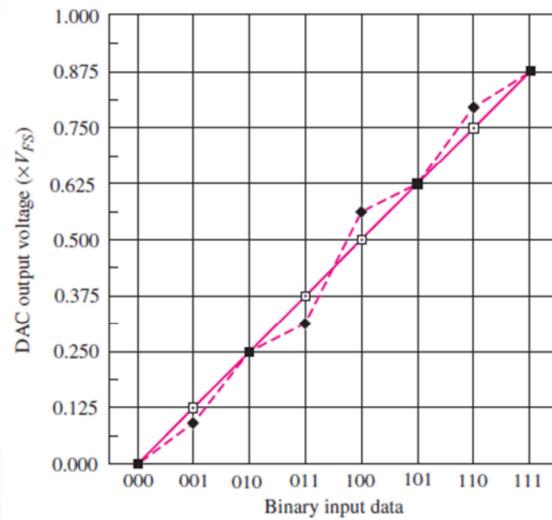
# Non idealità dei DAC: DNL e INL

ES: DAC a 3 bit  $V_{LSB} = V_{FS}/8 = V_{FS} \times 0.125$

Se ideale  
1 LSB

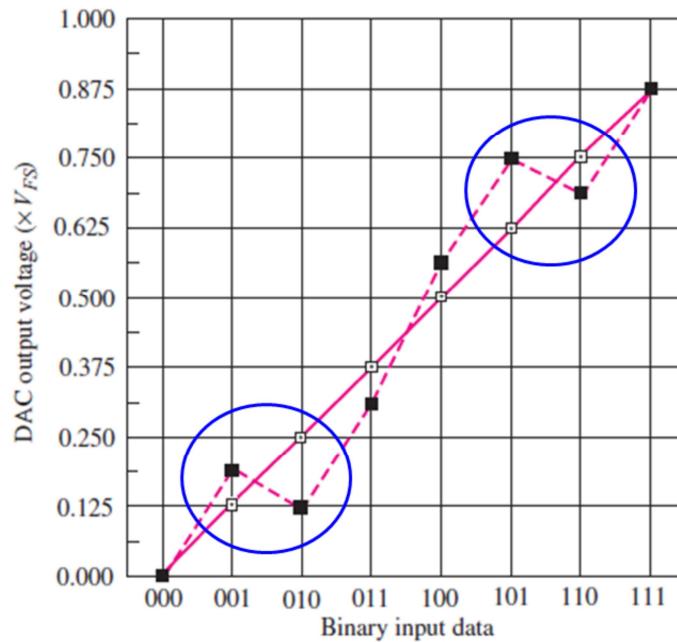
**TABLE 12.7**  
D/A Converter Transfer Characteristics

BINARY INPUT	IDEAL DAC OUTPUT ( $\times V_{FS}$ )	DAC OF FIG. 12.21 ( $\times V_{FS}$ )	STEP SIZE (LSB)	DIFFERENTIAL LINEARITY ERROR (LSB)	INTEGRAL LINEARITY ERROR (LSB)
000	0.0000	0.0000			0.00
001	0.1250	0.1000	0.80	-0.20	-0.20
010	0.2500	0.2500	1.20	+0.20	0.00
011	0.3750	0.3125	0.50	-0.50	-0.50
100	0.5000	0.5625	2.00	+1.00	+0.50
101	0.6250	0.6250	0.50	-0.50	0.00
110	0.7500	0.8000	1.40	+0.40	+0.40
111	0.8750	0.8750	0.60	-0.40	0.00



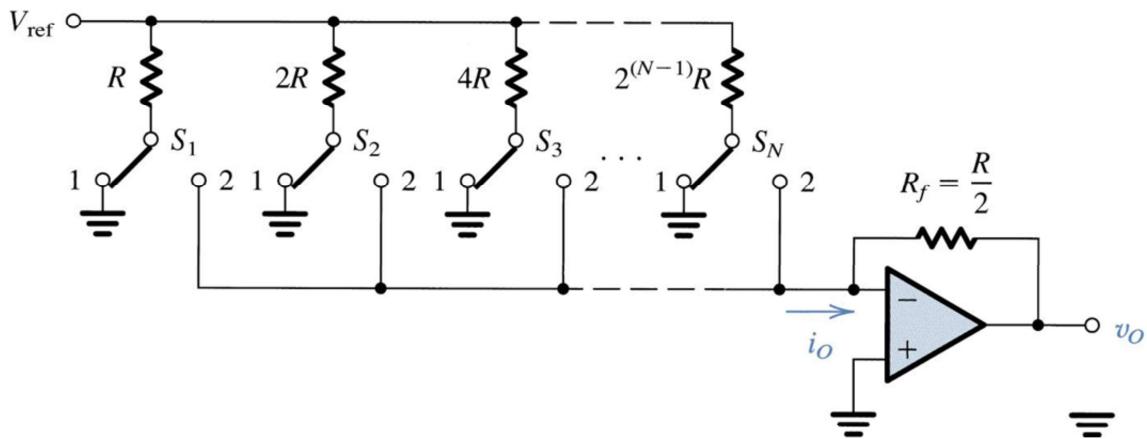
DNL = Step size - 1  
INL = Ideale-Reale

# Non idealità dei DAC: monotonicità



Se monotono  $\rightarrow | DNL | \leq 1 \text{ LSB}$

# DAC Transcoder



$$v_O = V_{\text{ref}}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n}) + V_{OS} \quad \text{for } b_i \in \{1, 0\}$$

In linea di principio un convertitore DA può essere immaginato come un convertitore I-V al cui ingresso venga applicata una corrente somma di correnti di peso  $1/2^k$  dove k corrisponde al bit k. Se il bit k è vero, viene sommata la corrente dipesa  $1/2^k$  altrimenti la stessa corrente viene deviata verso massa dallo switch  $S_K$ .

La tensione risultante in uscita è:

$$i_O = \frac{V_{REF}}{R} b_1 + \frac{V_{REF}}{2R} b_2 + \dots + \frac{V_{REF}}{2^{N-1}R} b_N = \frac{2 \cdot V_{REF}}{R} \left( \frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

e quindi

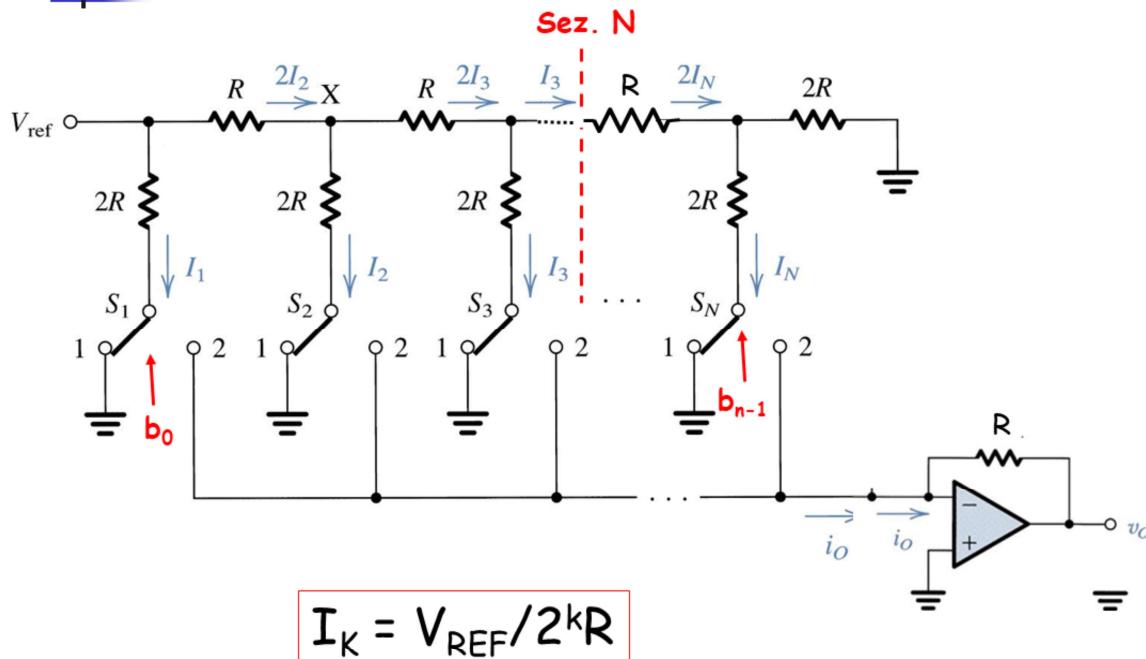
$$i_O = \frac{2 \cdot V_{REF}}{R} D$$

Dove D rappresenta il valore del dato da convertire.

La tensione  $V_O$  sarà quindi data da

$$v_O = -i_O R_f = -V_{REF} \cdot D$$

# DAC Transcoder - Rete R-2R inversa



Lo schema appena discusso ha un grave difetto: le resistenze devono essere sottomultipli una dell'altra e, se il numero di bit  $N$  è elevato, possono essere di valore molto diverso. Un tale insieme di valori risulta quindi difficile da realizzare.

Una rete molto utile che supera questo problema permettendo di generare una serie di correnti di peso  $1/2^K$  con due soli valori di resistenze è quello riportato in figura.

Partendo da destra, si osserva che la corrente che entra nel nodo  $N$  viene ripartita equamente fra i due rami in parallelo. Indipendentemente dallo stato dello switch  $S_N$  infatti, il nodo  $N_L$  è a potenziale 0V, o perché collegato a massa o perché collegato alla massa virtuale del convertitore I-V.

Notiamo anche che a valle della sezione  $N$  viene vista una resistenza equivalente pari a  $2R$ , come pure a valle di ogni sezione  $K$  intermedia.

Risulta quindi che :  $I_{N-1} = 2I_N$

E più in generale :  $I_{K-1} = 2I_K$

Risulta quindi :  $I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1} I_N$

che è la serie di correnti necessarie per il convertitore DA.



# AD5761



DAC AD5761RBRUZ 16 bit-Bit,  
TSSOP, Parallel & Serial  
(LVDS/SPI), 16 pin

Codice RS **865-2218**

Codice costruttore **AD5761RBRUZ**

Marchio **Analog Devices**

Confronta

**€ 9,78**

Unità

1



## Multiple Range, 16-/12-Bit, Bipolar/Unipolar, Voltage Output DACs

Data Sheet

**AD5761/AD5721**

### FEATURES

8 software-programmable output ranges: 0 V to 5 V, 0 V to 10 V,  
0 V to 16 V, 0 V to 20 V,  $\pm 3$  V,  $\pm 5$  V,  $\pm 10$  V,  $-2.5$  V to  $+7.5$  V;  
5% overrange

Total unadjusted error (TUE): 0.1% FSR maximum

16-bit resolution:  $\pm 2$  LSB maximum INL

Guaranteed monotonicity:  $\pm 1$  LSB maximum

Single channel, 16-/12-bit DACs

Settling time: 7.5  $\mu$ s typical

Integrated reference buffers

Low noise: 35 nV/ $\sqrt{\text{Hz}}$

Low glitch: 1 nV-sec

1.8 V logic compatibility

Asynchronous updating via LDAC

Asynchronous RESET to zero scale/midscale

DSP/microcontroller-compatible serial Interface

Robust 4 kV HBM ESD rating

Available in 16-lead TSSOP and 16-lead LFCSP

Operating temperature range:  $-40^{\circ}\text{C}$  to  $+125^{\circ}\text{C}$

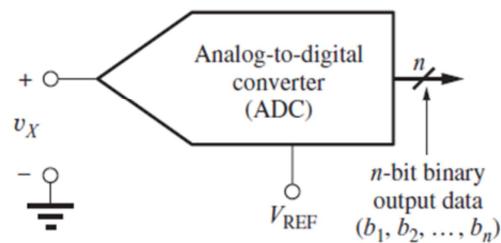
### GENERAL DESCRIPTION

The AD5761/AD5721 are single channel, 16-/12-bit serial input, voltage output, digital-to-analog converters (DACs). They operate from single supply voltages from 4.75 V to 30 V or dual supply voltages from  $-16.5$  V to 0 V  $V_{\text{SS}}$  and 4.75 V to  $16.5$  V  $V_{\text{DD}}$ . The integrated output amplifier and reference buffer provide a very easy to use, universal solution.

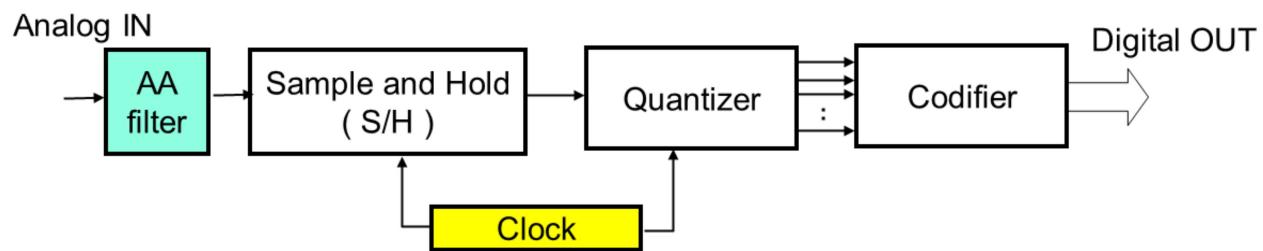
The devices offer guaranteed monotonicity, integral nonlinearity (INL) of  $\pm 2$  LSB maximum, 35 nV/ $\sqrt{\text{Hz}}$  noise, and 7.5  $\mu$ s settling time on selected ranges.

The AD5761/AD5721 use a serial interface that operates at clock rates of up to 50 MHz and are compatible with DSP and microcontroller interface standards. Double buffering allows the asynchronous updating of the DAC output. The input coding is user-selectable two's complement or straight binary. The asynchronous reset function resets all registers to their default state. The output range is user selectable, via the RA[2:0] bits in the control register.

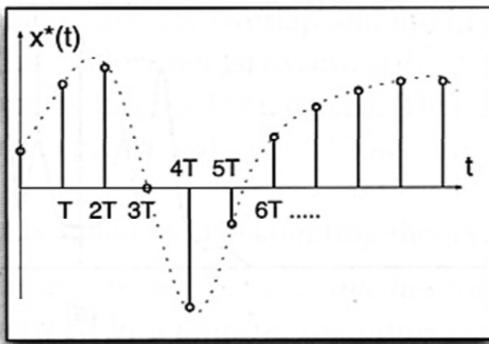
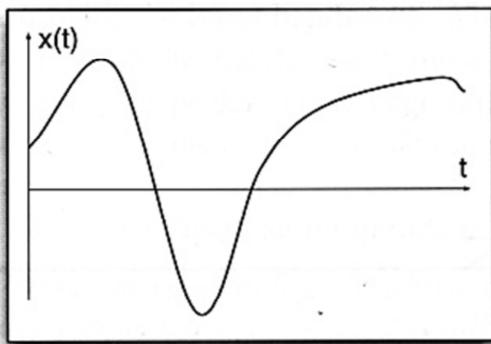
# Convertitori Analogico-Digitale (A/D)



## Convertitori AD

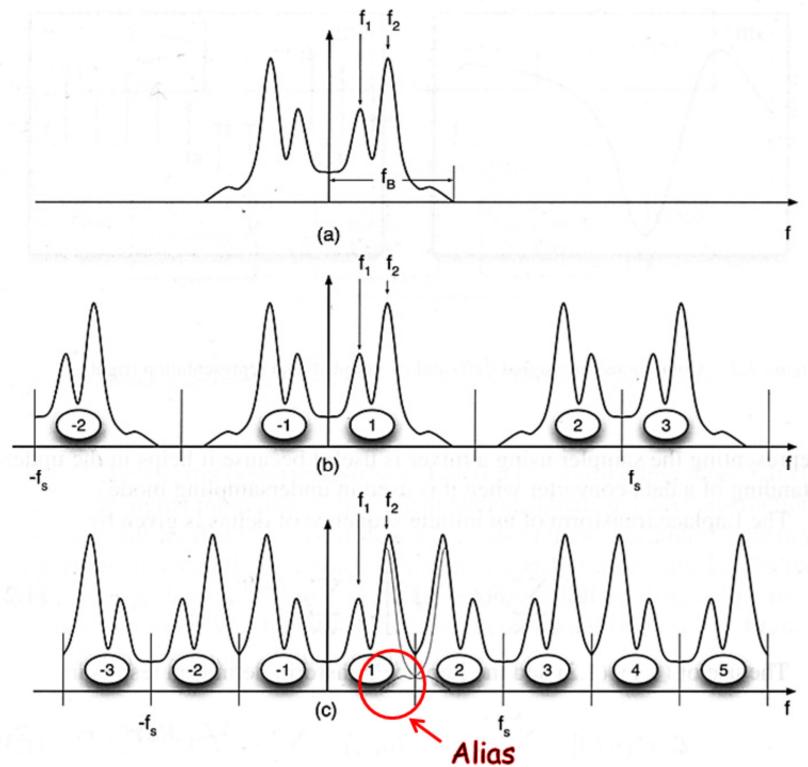


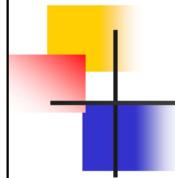
## Conversione AD : Campionamento



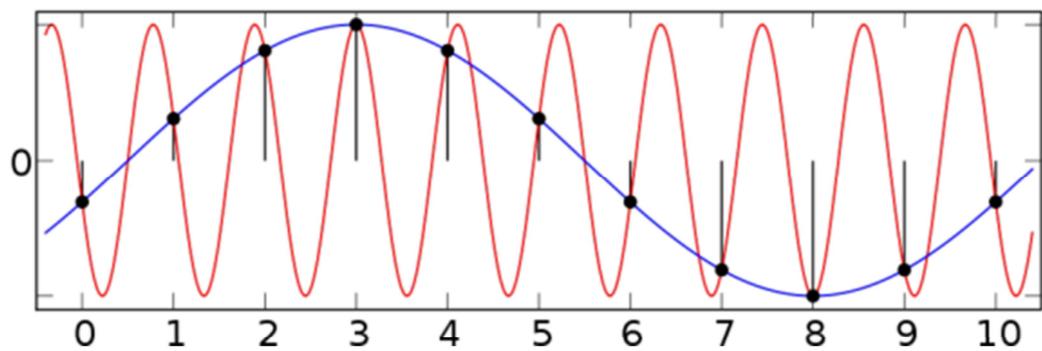
F.Maloberti, "Data Converters", Springer 2007

## Spettri del segnale e del segnale campionato





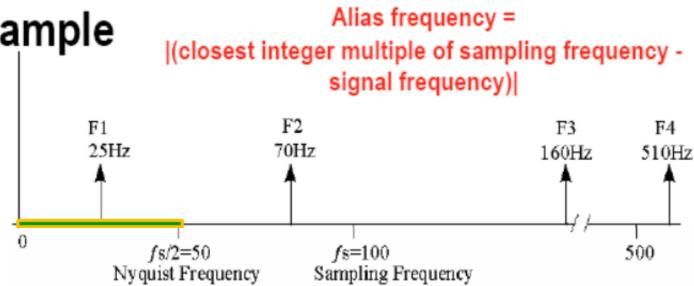
## Aliasing



# Aliasing

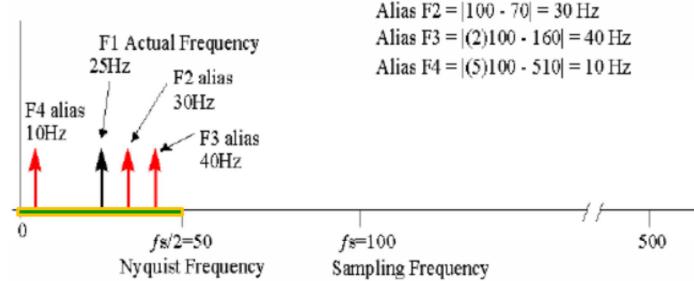
## Aliasing Example

Signals before acquisition



$$\text{Alias frequency} = |(\text{closest integer multiple of sampling frequency} - \text{signal frequency})|$$

Signals after acquisition

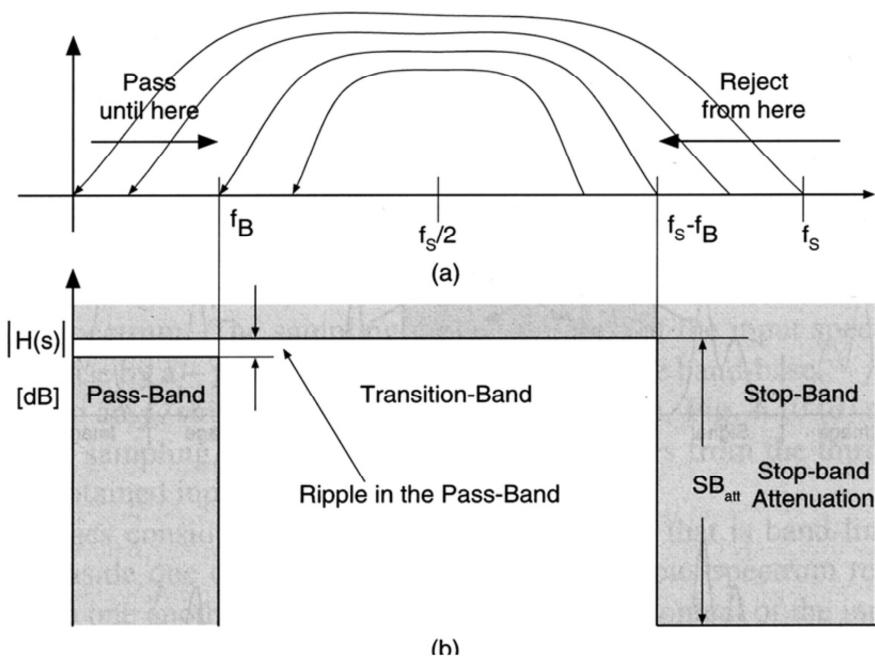


$$\text{Alias } F_2 = |100 - 70| = 30 \text{ Hz}$$

$$\text{Alias } F_3 = |(2)100 - 160| = 40 \text{ Hz}$$

$$\text{Alias } F_4 = |(5)100 - 510| = 10 \text{ Hz}$$

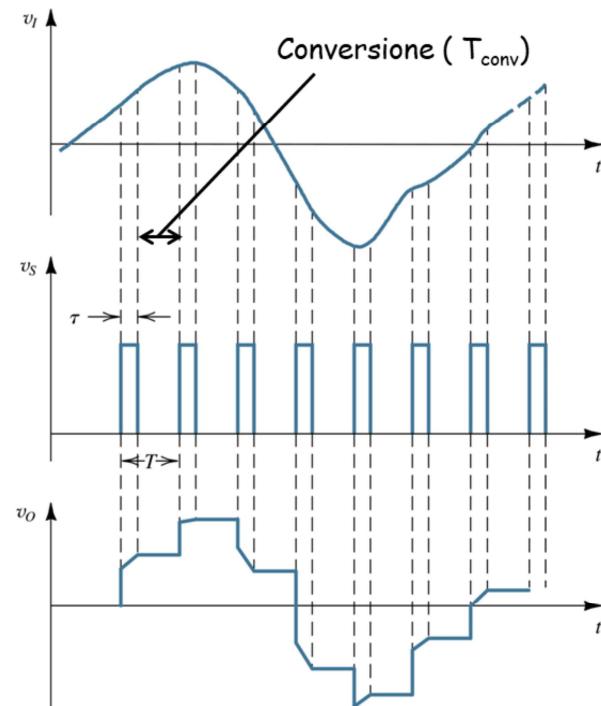
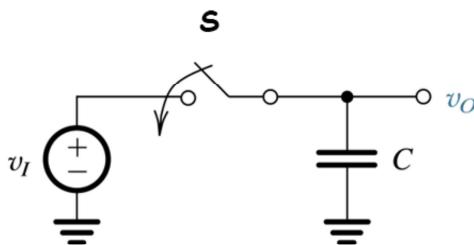
# Filtro anti-alias



# Parametri di merito

- DC
  - Risoluzione
  - Accuratezza assoluta
  - Accuratezza relativa (linearità)
  - Offset
  - Monotonicità
  - Consumo
- AC
  - Tempo di conversione
  - Rapporto S/N
  - Bit Error Rate (BER)
- COSTO

# Campionatore (Sample and Hold S/H)



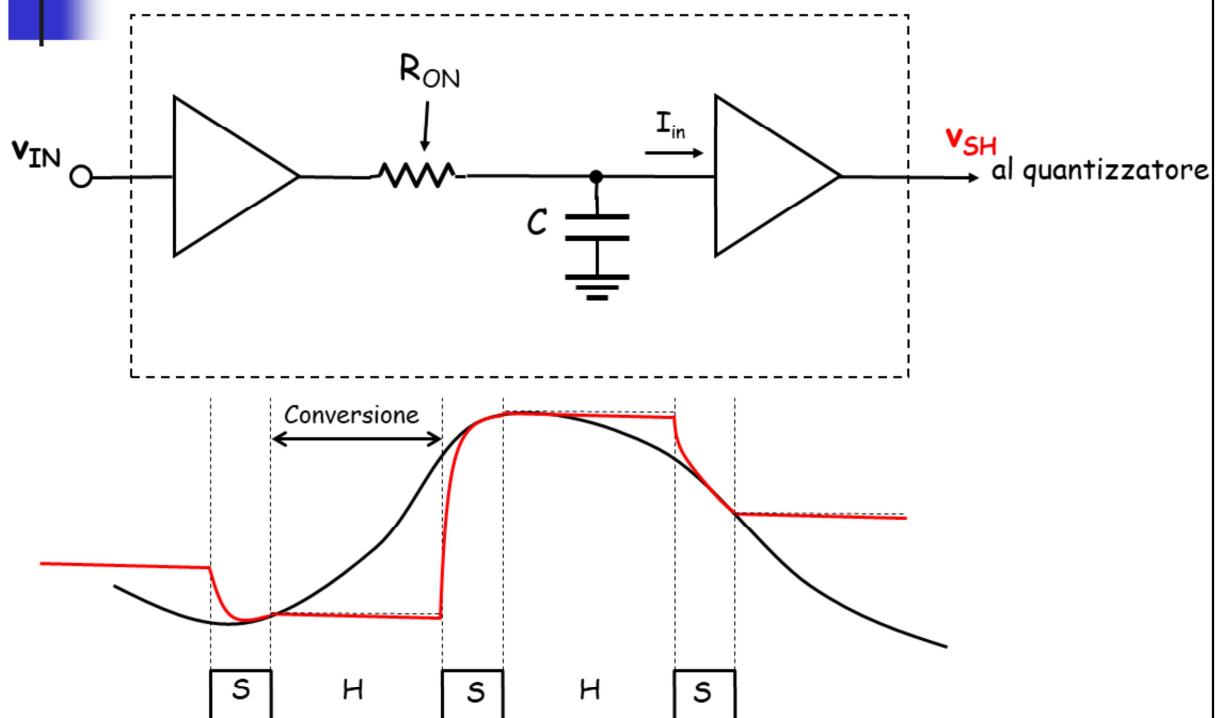
Il campionatore in linea di principio può essere schematizzato come un interruttore ideale S seguito da una capacità C, pure ideale, di mantenimento della tensione.

Idealmente, quando la tensione di comando  $v_S$  attiva la chiusura dello switch S la tensione sulla capacità si porta istantaneamente al valore della tensione in ingresso  $v_I$  e la segue fino all'aprirsi dell'interruttore dopo un intervallo di tempo  $\tau$ .

Da questo istante fino alla successiva chiusura di S la tensione ai capi del condensatore rimane costante ed il quantizzatore può eseguire la conversione.

Il ciclo viene ripetuto con periodo  $T$ , che corrisponde al periodo di campionamento ovvero al reciproco della frequenza di campionamento.

# Campionatore (Sample and Hold S/H)



L' implementazione circuitale di un S/H deve tenere in considerazione importanti aspetti di non idealità che determinano la scelta.

Per evitare di caricare il circuito a monte è opportuno inserire un voltage follower in grado di pilotare con bassa impedenza di uscita la carica della capacità C.

È pure opportuno inserire una amplificatore ad alta impedenza di ingresso ( quindi con corrente di ingresso molto piccola) fra la capacità ed il quantizzatore allo scopo di ridurre al minimo il cambiamento della tensione  $V_C$  durante il periodo di Hold.

Bisogna poi tenere presente che lo switch S non sarà ideale ma caratterizzato da una resistenza  $R_{ON}$  in stato chiuso non nulla. Immediatamente dopo la chiusura di S la rete  $R_{ON}$ -C fa sì che la tensione su  $V_C$  raggiunga la tensione in ingresso  $V_{IN}$  dopo un transitorio la cui durata dipende dalla costante di tempo  $\tau = R_{ON}C$ . Questo impone una durata minima dell'intervallo di sample che limita la frequenza di campionamento.

# Campionatore (Sample and Hold S/H)

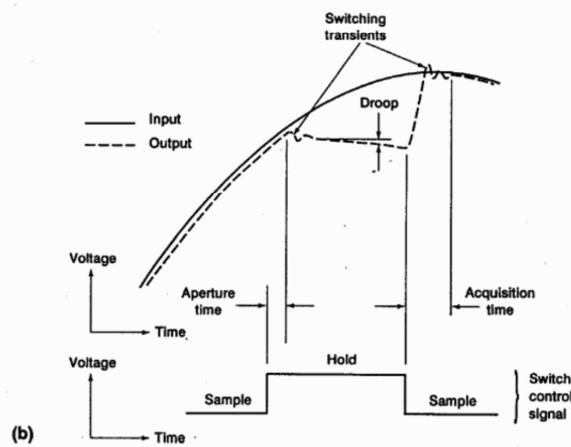
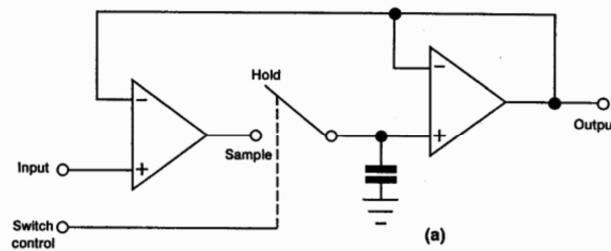
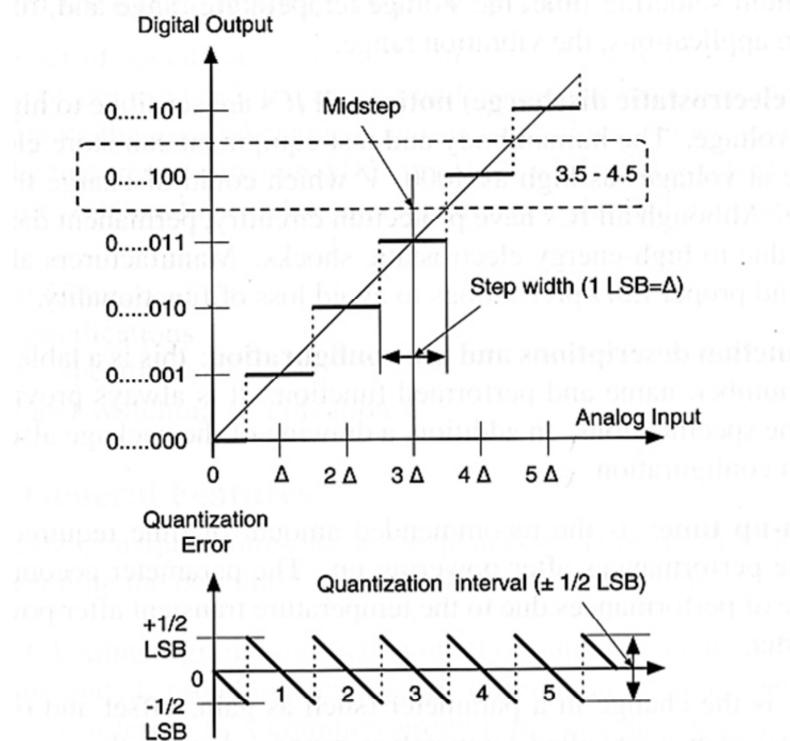


Figure 9.13 Sample-and-hold amplifier: (a) circuit diagram, (b) voltage/time graphs

# Quantizzatore :

## Caratteristica ingresso-uscita ideale



## Rumore di quantizzazione

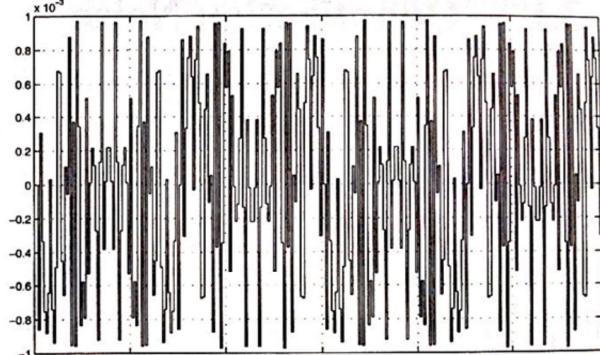
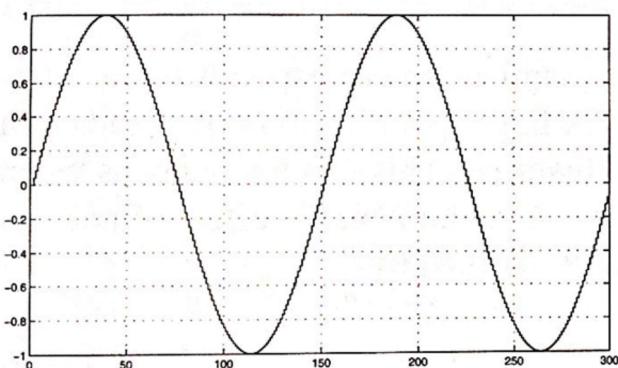


Figure 1.15. Quantized signal (left) and quantization error (right),  $f_s = 150f_{in}$ .

F.Maloberti, "Data Converters", Springer 2007



## Definizioni (DC)

- Resolution =  $n$  [number of bits]
- Range =  $V_{\max} - V_{\min} = V_{FS}$
- Numer of quantization intervals =  $M = 2^n$
- $\Delta = LSB = \text{Quantization Step} = \frac{V_{FS}}{M}$
- Quantization error =  $\varepsilon_q = \frac{1}{2} LSB$
- Analog Resolution =  $\Delta$

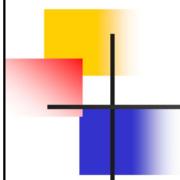
Il numero di bit di un convertitore è legato direttamente alla sua risoluzione.



## Esempio

ADC 12 bit ,  $V_{REF} = 4.096V = V_{FS}$

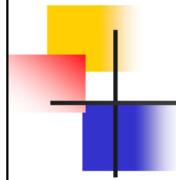
- Risoluzione 12 bit
- $M = 2^{12} = 4096$
- $LSB = 4.096V/4096 \cong 1 \text{ mV}$
- $\varepsilon_q = \frac{1}{2} LSB \cong 0.5 \text{ mV}$
- Analog resolution = 1 mV



## Quanti bit ?

n	$2^n$	LSB ppm [1x10-6]
■ 8bits	256	3906
■ 10bits	1024	976
■ 12bits	4096	244
■ 14bits	16384	61
■ 16bits	65536	15
■ 18bits	262144	3.8
■ 20bits	1,048576	0.95
■ 22bits	4,194304	0.24
■ 24bits	16,777216	0.06

Il numero di bit di un convertitore è legato direttamente alla sua risoluzione.



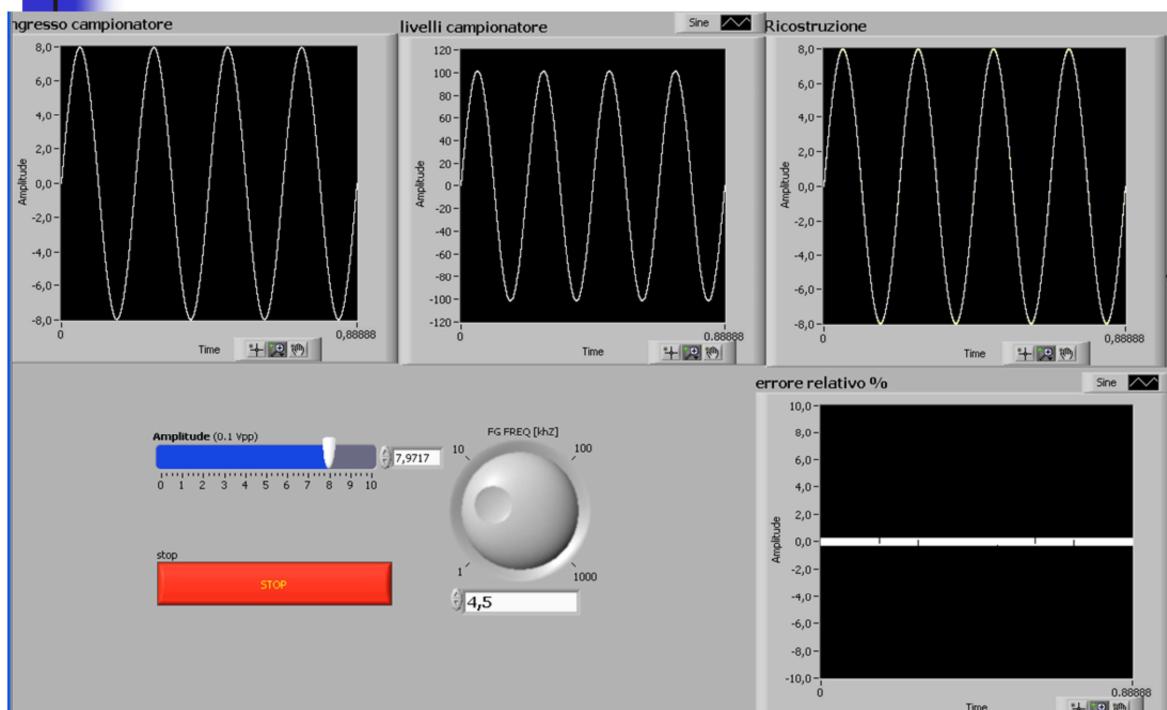
## Signal to Noise Ratio (SNR) \*

$$\text{SNR} \approx (6.02 \times n + 1.76) \text{ dB}$$

- 8 bit                50 dB
- 12 bit              74 dB
- 16 bit              98 dB
- 24 bit              146 dB

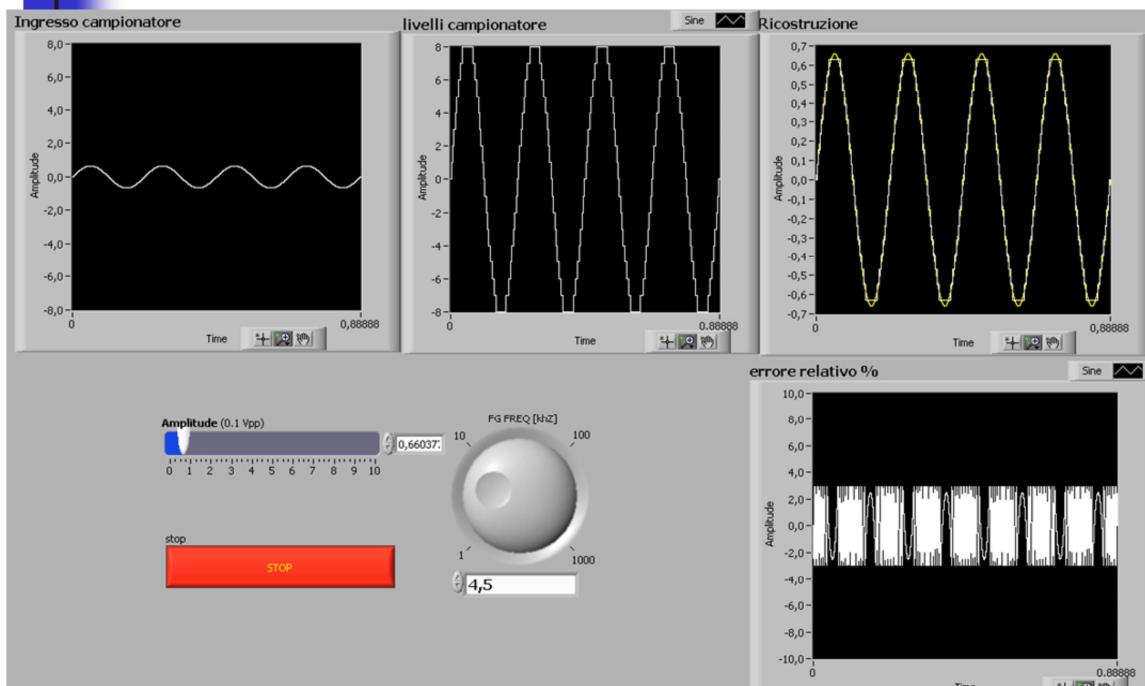
(\*) solo quantization noise

# Ottimizzazione del campionamento

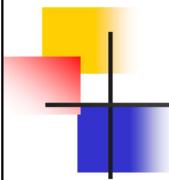


Elettronica T

# Ottimizzazione del campionamento



Elettronica T



# Non idealità: DNL e INL

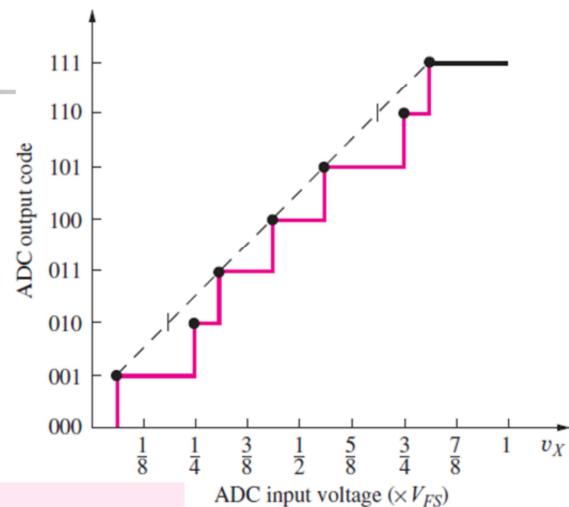
ES: ADC a 3 bit  $V_{LSB} = V_{FS}/8 = V_{FS} \times 0.125$

$$V_{LSB}/2 = V_{FS} \times 0.0625$$

Se ideale  
1 LSB

**TABLE 12.8**  
A/D Converter Transfer Characteristics

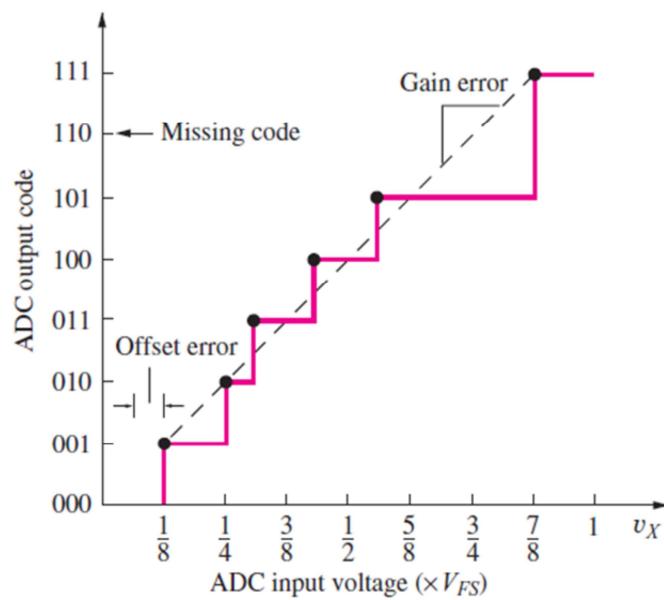
BINARY OUTPUT CODE	IDEAL ADC TRANSITION POINT ( $\times V_{FS}$ )	ADC OF FIG. 12-31 ( $\times V_{FS}$ )	STEP SIZE (LSB)	DIFFERENTIAL LINEARITY ERROR (LSB)	INTEGRAL LINEARITY ERROR (LSB)
000	0.0000	0.0000	0.5	0	0
001	0.0625	0.0625	1.5	0.50	0.5
010	0.1875	0.2500	0.5	-0.50	0
011	0.3125	0.3125	1.0	0	0
100	0.4375	0.4375	1.0	0	0
101	0.5625	0.5625	1.50	0.50	0.5
110	0.6875	0.7500	0.5	-0.50	0
111	0.8125	0.8125	1.5	0	0



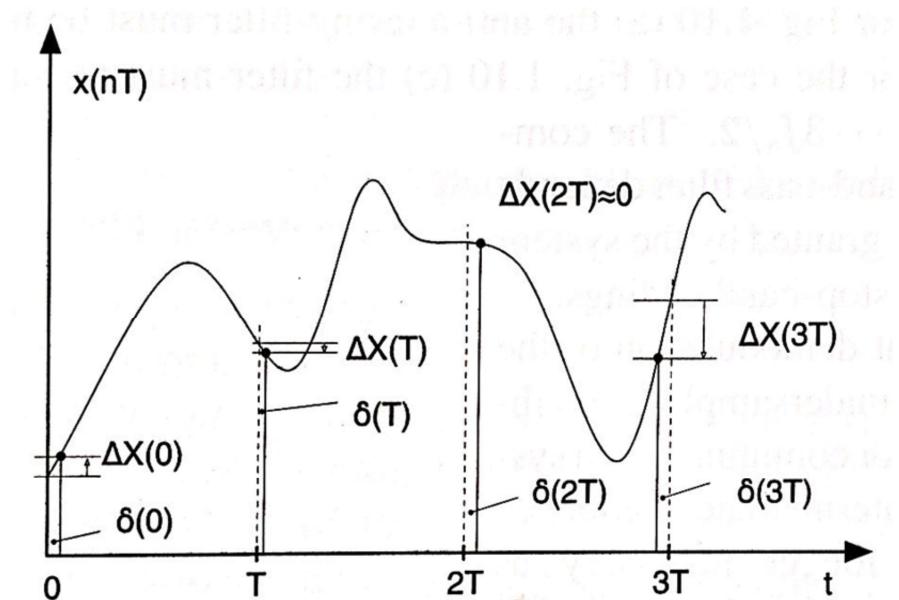
$$\text{DNL} = \text{Step Size} - 1$$

$$\text{INL} = \text{Ideale-Reale}$$

# Non idealità. Missing codes



# Jitter



F.Maloberti, "Data Converters", Springer 2007

# SNR funzione di $\omega_s$ e jitter

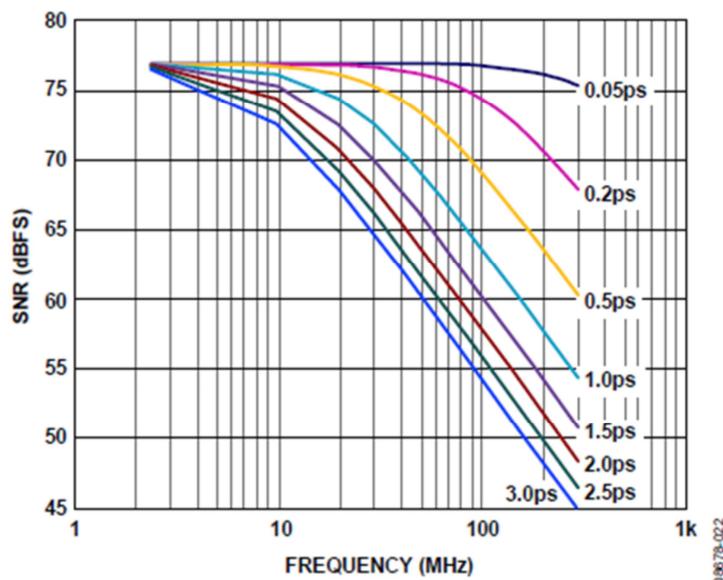


Figure 52. SNR vs. Input Frequency and Jitter

AD9266 data sheet



## Equivalent number of bits - ENOB

Per segnali sinusoidali :

$$SNR_Q = (6.02 \times n + 1.76) \text{ dB}$$

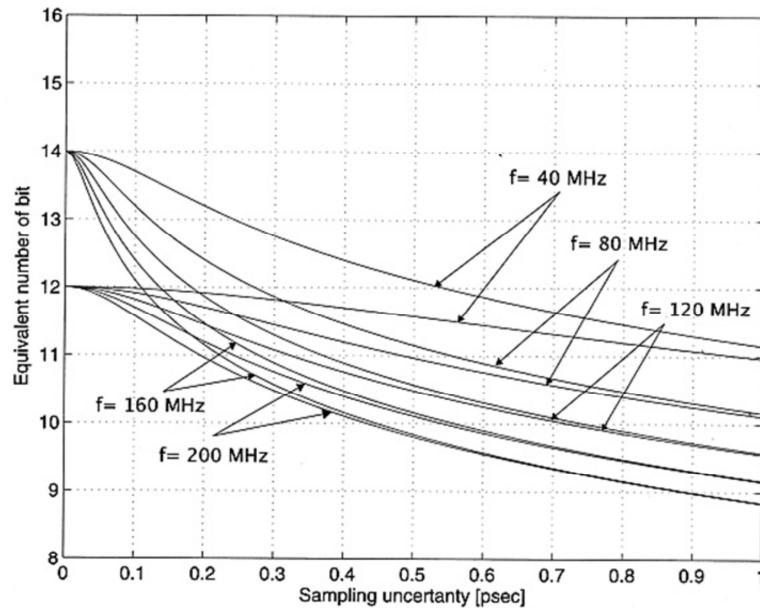
$$SNR_{tot} = SINAD = (6.02 \times ENOB + 1.76) \text{ dB}$$



$$ENOB = (SINAD - 1.76) / 6.02$$

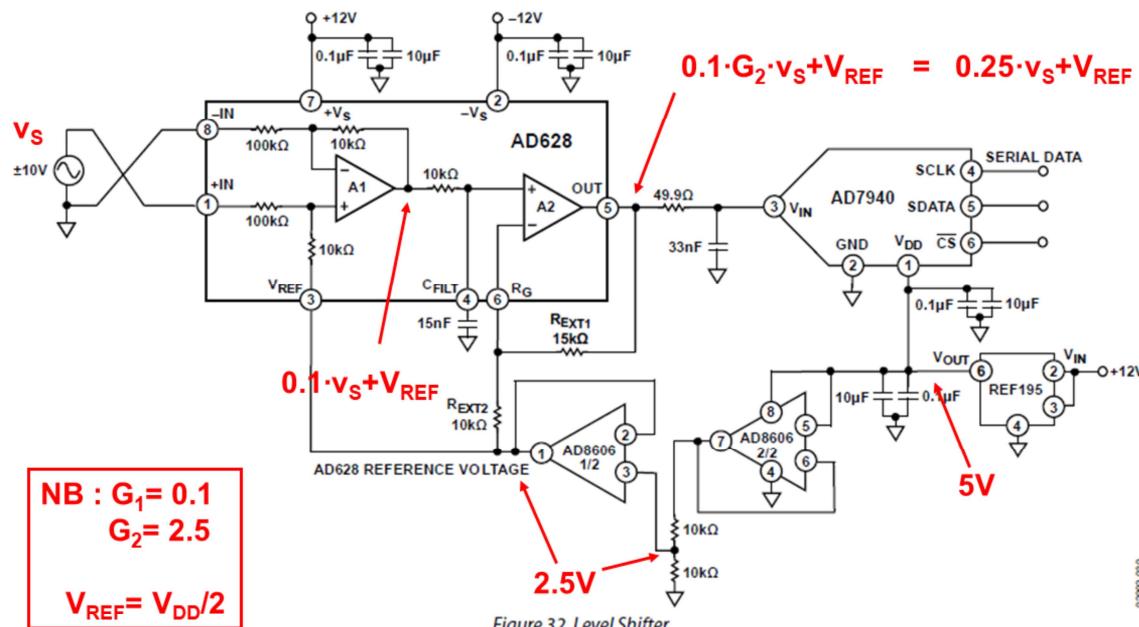
*SINAD=Signal-to-noise and distortion ratio*

# ENOB in funzione di $\omega_s$ e jitter



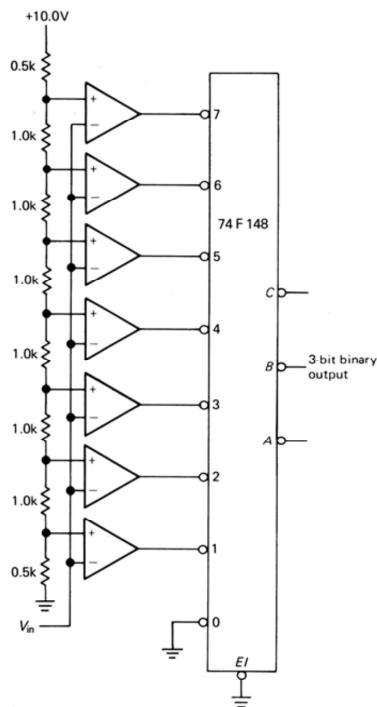
F.Maloberti, "Data Converters", Springer 2007

## Conversione AD: il problema della singola alimentazione



02902/010

# ADC ad alta velocità : Flash



+ 1 clock cycle conversion

+ maximum speed for given technology

-10-11 bit max resolution due to Kelvin divider resistor mismatching

-Exponential increase of complexity with n

-High power consumption

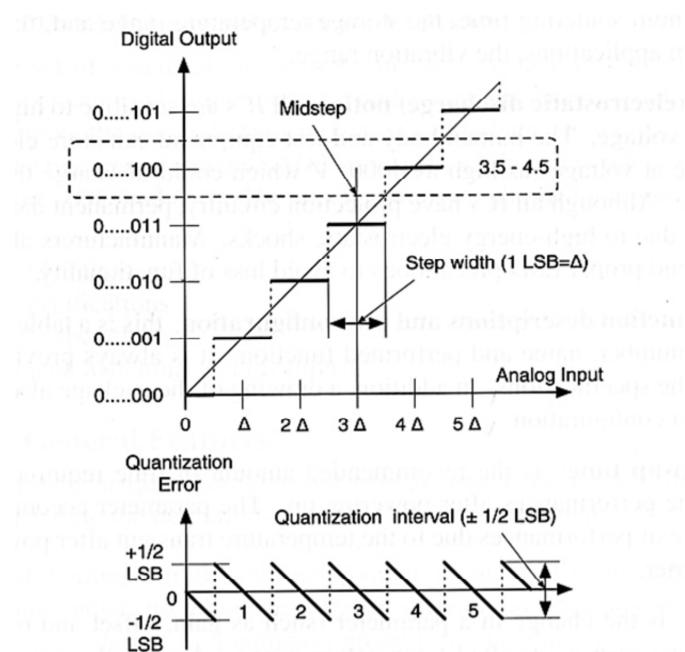
Il convertitore di tipo FLASH ad N bit è concettualmente molto semplice: il valore di tensione da convertire viene confrontato con  $2^N-1$  livelli di tensione equispaziati ottenuti con un semplice partitore resistivo a partire da una tensione  $V_{REF}$ .

Il risultato del confronto (di tipo termometrico) viene elaborato da una rete che lo converte nel codice corrispondente.

A favore di questo convertitore gioca la velocità che è massima: la conversione si ottiene con un solo confronto.

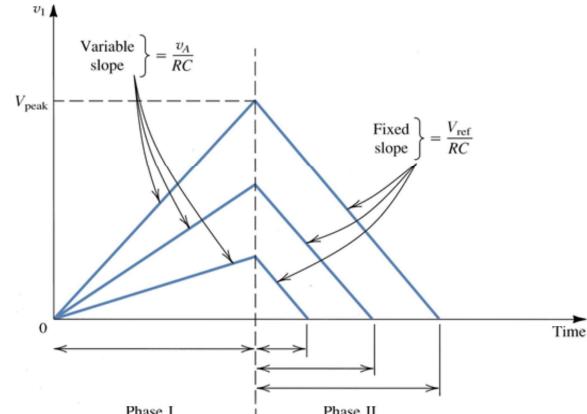
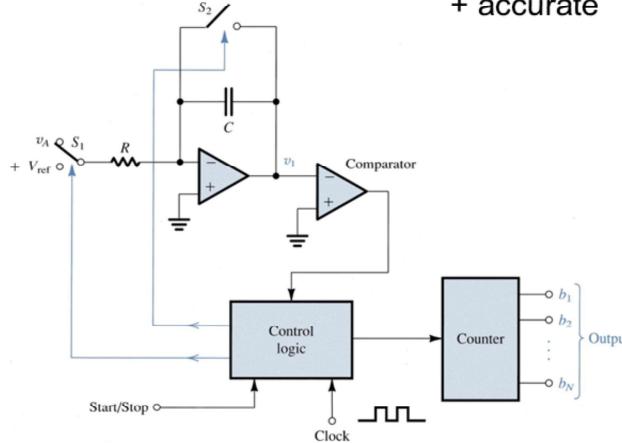
D'altro canto la complessità del circuito cresce esponenzialmente con il numero di bit del convertitore e risulta proibitiva per  $N > 8$ .

# Caratteristica ingresso-uscita



# ADC ad alta risoluzione: doppia rampa

- Very slow
- opamp offset sensitive
- + accurate



$$T_1 = 2N T_{CK} \quad T_2 = K T_{CK}$$

$$v_a = -v_{IN} < 0$$

$$V_a 2^N T_{CK} / \tau = V_{REF} K T_{CK} / \tau \quad (\tau = RC)$$

Il convertitore a doppia rampa risulta piuttosto accurato in quanto il risultato non dipende dal valore di  $R$  e  $C$  e di conseguenza dalle loro variazioni.

Reset: inizialmente l'integratore viene azzerato chiudendo  $S_2$

Fase 1: L'interruttore  $S_1$  viene portato in posizione tale da collegare all'ingresso dell'integratore la tensione da convertire  $v_A = -v_x$  (supposto  $v_x$  positiva e quindi  $v_a$  negativa). L'integrazione in questa fase ha durata fissa e nota pari a  $T_1$ . Alla fine della fase 1 la tensione di uscita sarà:

$$V_{PEAK} = \frac{-v_A}{RC} T_1 \quad \Rightarrow \quad T_1 = RC \frac{V_{PEAK}}{-v_A} \quad (v_A < 0)$$

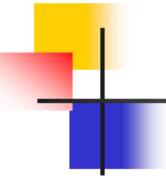
Fase 2: L'interruttore  $S_1$  viene portato in posizione tale da collegare all'ingresso dell'integratore la tensione di riferimento  $V_{REF}$  di segno opposto a  $v_A$ . Il tempo impiegato dall'integratore per riazzere la sua uscita risulta :

$$T_2 = RC \frac{V_{PEAK}}{V_{REF}}$$

facendo il rapporto fra  $T_2$  e  $T_1$  risulta :

$$\frac{T_2}{T_1} = \frac{-v_A}{V_{REF}}$$

Che è indipendente sia dal prodotto  $RC$  che dal periodo del clock del contatore che misura  $T_1$  e  $T_2$ .



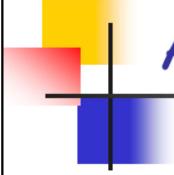
## Esempio

Dato un convertitore doppia rampa a 16 bit con frequenza di clock pari a 1 MHz:

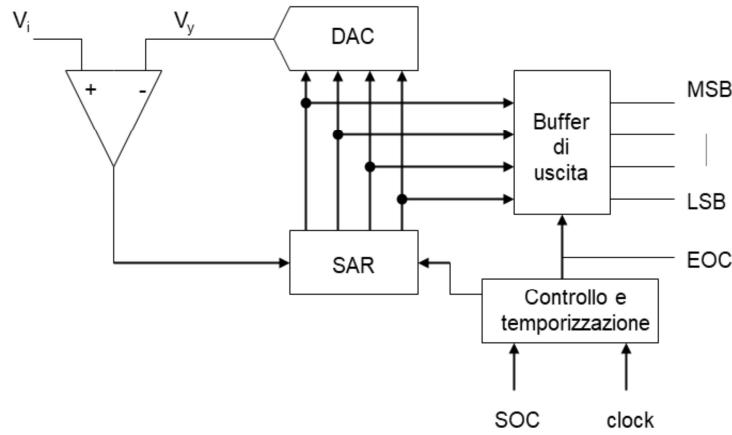
- 1) Qual'è la durata massima di una conversione?
- 2) Qual è la massima velocità di conversione?

$$1) \quad T_{convMAX} = 2 \cdot 2^N \cdot T_{CK} = 2 \cdot 65536 \cdot 1\mu s \cong 131 \text{ ms}$$

$$2) \quad f_{convMAX} = 1 / T_{convMAX} = 7.3 \text{ conv/sec}$$



# ADC ad alta risoluzione: SAR



Fra i convertitori ad alta risoluzione, molto diffusi sono i cosiddetti convertitori SAR o per approssimazioni successive.

Si tratta di un convertitore basato su una logica di controllo ed un convertitore DA con un numero di bit pari al convertitore AD che si vuole realizzare.

La logica setta in successione i bit del SAR che vengono eventualmente resettati se la tensione generata dal DAC corrispondente alla parola nel SAR è superiore a quella in ingresso.

Il tempo di conversione è fisso e corrisponde a N cicli di confronto dove N è il numero di bit del convertitore.

# ADC ad alta risoluzione: SAR

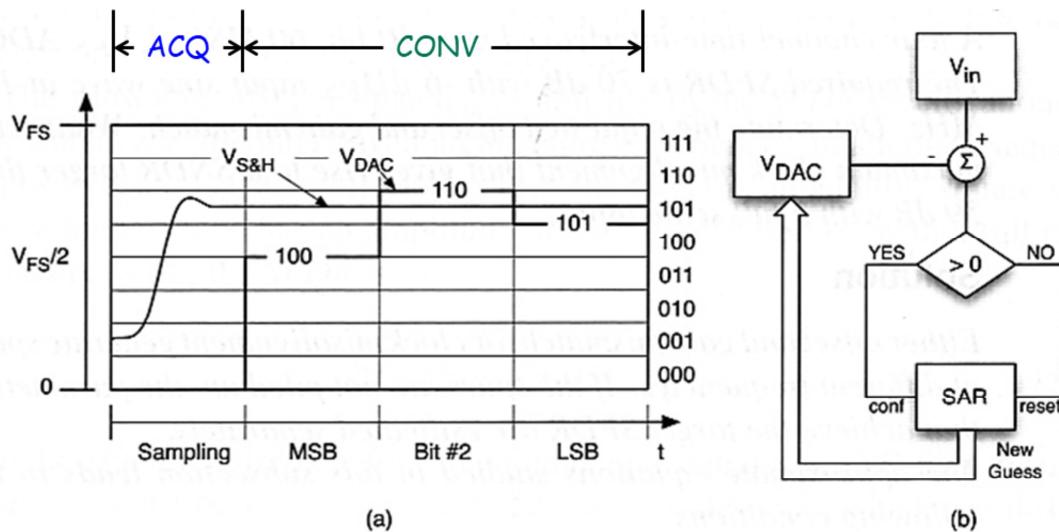


Figure 4.28. Timing (a) and flow diagram (b) of the successive approximation technique.

Fra i convertitori ad alta risoluzione, molto diffusi sono i cosiddetti convertitori SAR o per approssimazioni successive.

Si tratta di un convertitore basato su una logica di controllo ed un convertitore DA con un numero di bit pari al convertitore AD che si vuole realizzare.

La logica setta in successione i bit del SAR che vengono eventualmente resettati se la tensione generata dal DAC corrispondente alla parola nel SAR è superiore a quella in ingresso.

Il tempo di conversione è fisso e corrisponde a  $N$  cicli di confronto.

# ADC ad alta risoluzione: SAR



## 1 Features

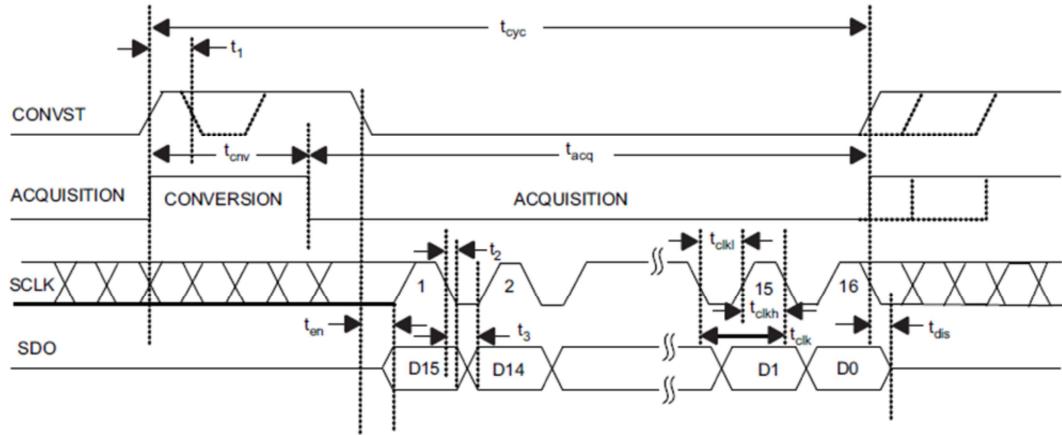
- 500-kHz Sample Rate
- 16-Bit Resolution
- Zero Latency at Full Speed
- Unipolar, Single-Ended Input Range: 0 V to  $V_{REF}$
- SPI-Compatible Serial Interface With Daisy-Chain Option
- Excellent Performance:
  - 93.6-dB SNR (Typical) at 10-kHz Input
  - -106-dB THD (Typical) at 10-kHz Input
  - $\pm 1.5$ -LSB (Maximum) INL
  - $\pm 1$ -LSB (Maximum) DNL

ADS8319 16-Bit, 500-kSPS, Serial Interface, Micropower, Miniature, SAR Analog-to-Digital Converter

ADS8319

SLAS600C – MAY 2008 – REVISED DECEMBER 2016

	ADC ADS8319BDGST A 16 bit- Bit Differentiale, MSOP 10 pin, Interfaccia SPI	€ 11,47
	ADC ADS8319BDGST A 16 bit- Bit Differentiale, MSOP 10 pin, Interfaccia SPI Codice RS 923-6918 Codice codificatore ADS8319BDGST Marchio Texas Instruments	€ 8,913 Unità (Su Richiesta da 250) 250 <a href="#">Aggiungi</a>





# High res Flash converters

16-Bit, 20 MSPS/40 MSPS/65 MSPS/80 MSPS,  
1.8 V Analog-to-Digital Converter

Data Sheet

AD9266



ADC AD9266BCPZ-40 A 16 bit-Bit Differenziale, LFCSP, 32 pin, Interfaccia SPI  
Codice RS 804-9804  
Codice  
costuttore AD9266BCPZ-40  
Marchio Analog Devices  
 Confronta

€ 52,49

Unità

1

Aggiungi

Latenza!

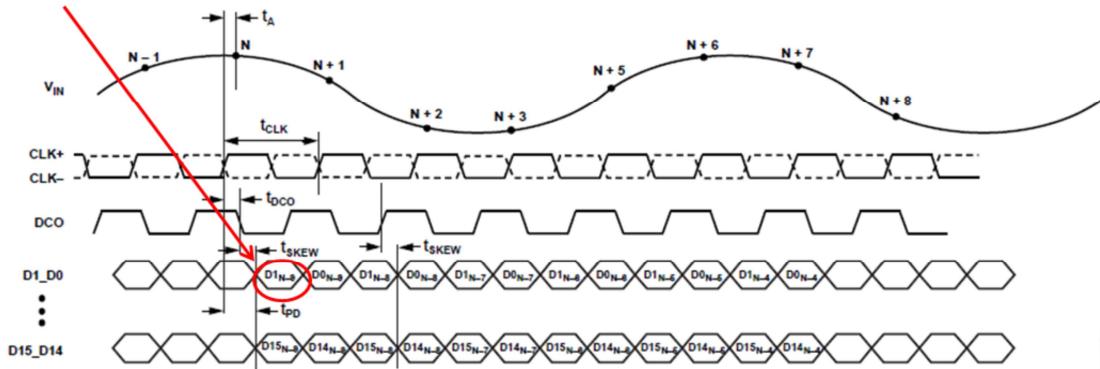


Figure 2. CMOS Output Data Timing

0878402

## THEORY OF OPERATION

The AD9266 architecture consists of a multistage, pipelined ADC. Each stage provides sufficient overlap to correct for flash errors in the preceding stage. The quantized outputs from each stage are combined into a final 16-bit result in the digital correction logic. The pipelined architecture permits the first stage to operate with a new input sample, whereas the remaining stages operate with preceding samples. Sampling occurs on the rising edge of the clock.

Each stage of the pipeline, excluding the last, consists of a low resolution flash ADC connected to a switched-capacitor DAC and an interstage residue amplifier (for example, a multiplying digital-to-analog converter (MDAC)). The residue amplifier