

Esame di Calcolatori Elettronici T

1 Febbraio 2017 (Ing. Informatica)

Esercizio 1

Progettare un sistema basato sul microprocessore DLX dotato di **2 GB di EPROM** mappata negli indirizzi bassi e **256 MB di RAM** mappata negli indirizzi alti. Nel sistema sono presenti **4 periferiche a 8 bit**, già progettate, denominate **INPUT_PORT_i** ($i=[A,B,C,D]$), in grado di ricevere dati dall'esterno utilizzando il protocollo di *handshake*.

Gli accessi alle periferiche dovranno essere **serializzati**, sin dall'avvio mediante un'opportuna rete logica, **in accordo all'ordine temporale** (mutuamente esclusivo alle singole periferiche) seguente: **INPUT_PORT_A, INPUT_PORT_B, INPUT_PORT_C, INPUT_PORT_D, INPUT_PORT_C, INPUT_PORT_B**. Ciascun dato, una volta letto da una periferica, **dovrà essere memorizzato all'indirizzo FFFFFFF0h**. Al termine di **ogni sequenza di trasferimenti** come quella appena definita **dovrà essere invertito automaticamente, mediante un'opportuna rete logica, lo stato di un LED** (all'avvio del sistema spento) **e si dovrà riabilitare** (automaticamente) **la medesima sequenza temporale di trasferimenti**. Tutte le periferiche saranno utilizzate unicamente per le finalità indicate.

- **Descrivere sinteticamente la soluzione** che s'intende realizzare indicando **quali sono i segnali di chip-select necessari**
- Progettare il sistema **minimizzando il numero di risorse necessarie, il numero di istruzioni eseguite dall'interrupt handler e risolvendo eventuali criticità**
- Utilizzare i **comandi asincroni unicamente per l'inizializzazione dei dispositivi**
- Scrivere il codice dell'*interrupt handler*, **commentando in modo chiaro ogni istruzione**, che consente di gestire il problema in accordo alle specifiche assumendo che i registri da R20 a R30 possano essere utilizzati senza la necessità di dover preservare il loro contenuto
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- Soluzioni **interamente software NON saranno considerate valide**

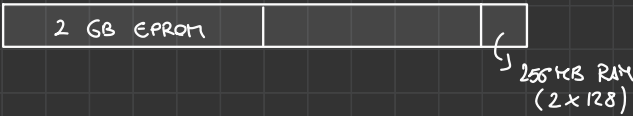
Esercizio 2

- Esistono nel DLX diverse tipologie di istruzioni per scritture in memoria di halfword di tipo *signed* e *unsigned*? Si o No?
- Motivare chiaramente la risposta data al punto a)**

Esercizio 3

Quali informazioni sono necessarie all'unità di controllo del DLX per generare i segnali BE_i, con $i=[0,1,2,3]$? **Motivare chiaramente la risposta.**

MAPPING



EPROM - 2GB: $0 \times 00000000 \rightarrow 0 \times 7FFFFFFF$ (4 x 512 MB)

RAM - 128 MB - L: $0 \times F0000000 \rightarrow 0 \times F7FFFFFFF$ (4 x 32 MB)

RAM - 128 MB - H: $0 \times F8000000 \rightarrow 0 \times FFFFFFFF$ (4 x 32 MB)

CHIP SELECT

CS_RAM-H-0 = $BA31 \ BA30 \ BA27 \cdot B60$

CS_RAM-H-1 = $BA31 \ BA30 \ BA27 \cdot B61$

CS_RAM-H-2 = $BA31 \ BA30 \ BA27 \cdot B62$

CS_RAM-H-3 = $BA31 \ BA30 \ BA27 \cdot B63$

CS_RAM-L-0 = $BA31 \ BA30 \ \overline{BA27} \cdot B60$

CS_RAM-L-1 = $BA31 \ BA30 \ \overline{BA27} \cdot B61$

CS_RAM-L-2 = $BA31 \ BA30 \ \overline{BA27} \cdot B62$

CS_RAM-L-3 = $BA31 \ BA30 \ \overline{BA27} \cdot B63$

CS_EPROM-0 = $\overline{BA31} \ B60$

CS_EPROM-1 = $\overline{BA31} \ B61$

CS_EPROM-2 = $\overline{BA31} \ B62$

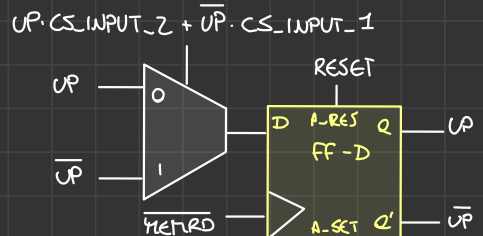
CS_EPROM-3 = $\overline{BA31} \ B63$

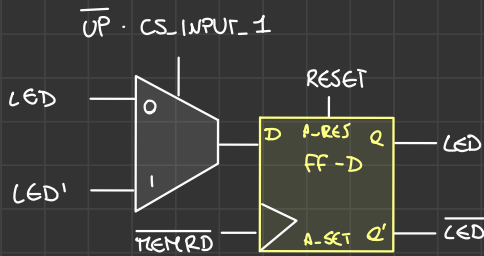
CS_INPUT-0 = $BA31 \ BA30 \cdot IBF_0 \cdot \overline{CI} \cdot \overline{CO} \cdot B60$

CS_INPUT-1 = $BA31 \ BA30 \cdot IBF_1 \cdot \overline{CI} \cdot \overline{CO} \cdot B61$

CS_INPUT-2 = $BA31 \ BA30 \cdot IBF_2 \cdot \overline{CI} \cdot \overline{CO} \cdot B62$

CS_INPUT-3 = $BA31 \ BA30 \cdot IBF_3 \cdot \overline{CI} \cdot \overline{CO} \cdot B63$





$$\begin{aligned}
 INT(TO \ DLX) &= INT_INPUT_0 \quad \overline{CI} \overline{CO} + \\
 &INT_INPUT_1 \quad \overline{CI} CO + \\
 &INT_INPUT_2 \quad CI \overline{CO} + \\
 &INT_INPUT_3 \quad CI CO +
 \end{aligned}$$

CODICE

```

0h    LHI    RZ1, 0x8000
4h    LBU    RZ2, 0x0000(RZ1)
8h    SB     RZ2, 0xFF00(R0)
Ch    RFE;

```