

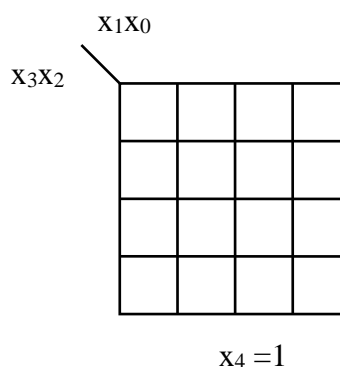
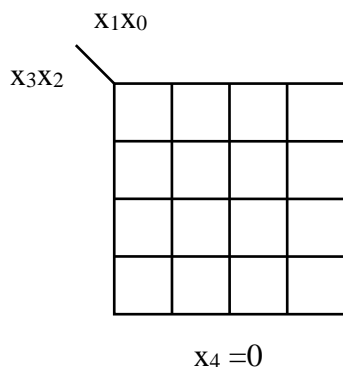
Reti Logiche T

Esercizi reti combinatorie

Esercizio 1

La tabella della verità della seguente funzione di 5 ingressi non è riportata integralmente, ma è riportato il valore dell'uscita come funzione di x_0, x_1 , e x_2 quando le altre variabili di ingresso sono fissate ad una delle loro 4 possibili configurazioni. Prima di procedere alla sintesi sarà quindi necessario riempire le mappe di Karnaugh effettuando la valutazione delle funzioni.

x_4	x_3	x_2	x_1	x_0	U
0	0				$x_0 \cdot x_1 \cdot x_2 + \overline{x_0} \cdot \overline{x_1} \cdot x_2$
0	1				$x_0 + x_1 + x_2$
1	0				$(x_0 \oplus x_1 \oplus x_2) + \overline{x_2}$
1	1				$\overline{x_0 \cdot x_1 \cdot x_2}$



- Si esegua la sintesi minima SP e PS.
- Si disegni lo schema a NAND (assumendo di avere a disposizione segnali in forma vera e negata).
- Si disegni lo schema con multiplexer a 5 bit di indirizzo ai cui bit di indirizzo siano collegati (dal meno al più significativo) gli ingressi x_0, x_1, x_2, x_3 e x_4 .
- Si disegni lo schema con multiplexer a 2 bit di indirizzo a cui siano collegati (dal meno al più significativo) gli ingressi x_3 e x_4 .

Esercizio 2

Scrivere l'espressione generale PS di n variabili. Qual è il numero di interconnessioni di una rete che realizza l'espressione generale PS di n variabili?

Disegnare una rete che realizza l'espressione generale PS di 3 variabili.

Esercizio 3

Data l'espressione dell'algebra di commutazione

$$Z = ((a + b) \cdot (c + d) + a \cdot (b + c')) \cdot (a + d')$$

- Se ne disegni lo schema logico a NOR.
- Si arrivi ad una forma SP, applicando prima il teorema di espansione alla variabile **a**, e poi le opportune equivalenze notevoli. Quella ottenuta è la forma che consente la sintesi di costo minimo SP? In caso negativo, come andrebbe modificata?

Esercizio 4

Siano 11010 e 00100 due stringhe di bit che rappresentano numeri binari con segno rappresentati in complemento a 2. Se ne esegua la somma e la si verifichi in base 10. Si disegni lo schema del circuito necessario ad eseguire la somma basato su full-adder, e si valuti il ritardo di caso peggiore della rete nell'ipotesi che il ritardo introdotto da un full-adder sia di 10 ns.

Esercizio 5

Sia data la funzione rappresentata dalla tabella della verità riportata di seguito.

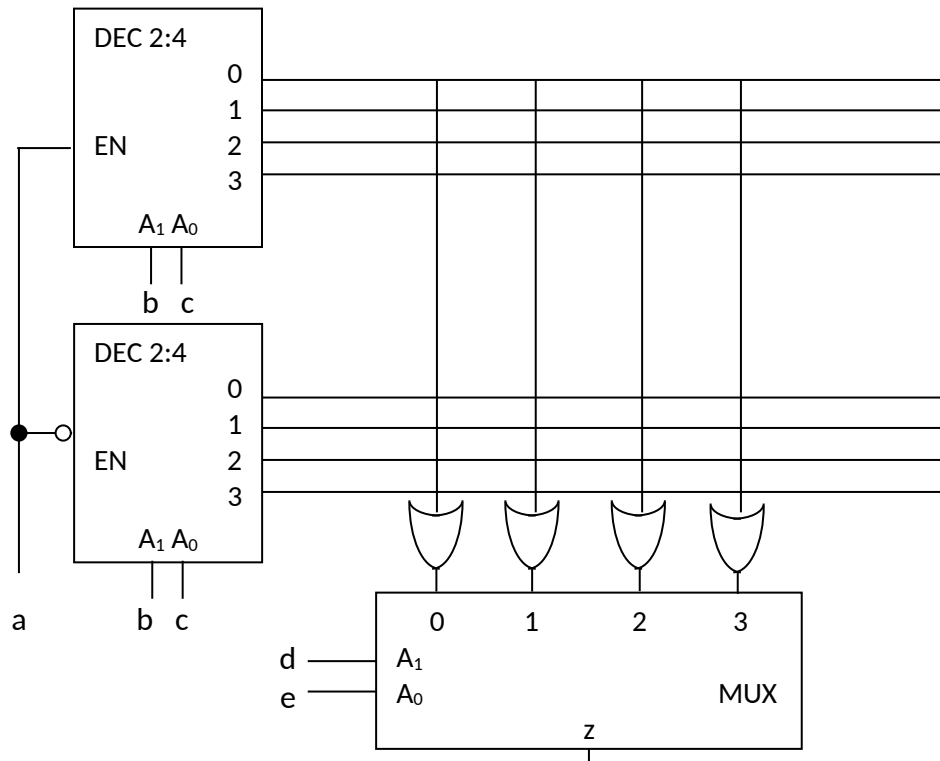
- Eseguire la sintesi di costo minimo SP.
- Eseguire la sintesi di costo minimo PS.
- Eseguire la sintesi di costo minimo con soli gate NAND.
- Eseguire la sintesi di costo minimo con soli gate NOR.

a	b	c	d	e	z
0	0	0	0	0	-
0	0	0	0	1	1
0	0	0	1	0	1
0	0	0	1	1	0
0	0	1	0	0	-
0	0	1	0	1	1
0	0	1	1	0	0
0	0	1	1	1	-
0	1	0	0	0	-
0	1	0	0	1	0
0	1	0	1	0	1
0	1	0	1	1	-
0	1	1	0	0	0
0	1	1	0	1	0
0	1	1	1	0	0
0	1	1	1	1	0

a	b	c	d	e	z
1	0	0	0	0	1
1	0	0	0	1	-
1	0	0	1	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	0	1	-
1	0	1	1	0	0
1	0	1	1	1	0
1	1	0	0	0	-
1	1	0	0	1	0
1	1	0	1	0	-
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	1
1	1	1	1	0	-
1	1	1	1	1	1

Esercizio 6

Realizzare la funzione specificata all'esercizio precedente, riportando i collegamenti necessari tra righe e colonne nello schema sottostante, usando la notazione compatta che abbiamo introdotto per le ROM:



Esercizio 7

Si effettuino due sintesi della seguente mappa per ottenere:

- l'espressione di costo minimo SP
- l'espressione di costo minimo PS

$x_1 \ x_0$	00	01	11	10
$x_3 \ x_2$				
00	0	0	0	1
01	0	0	0	1
11	0	1	1	1
10	0	1	1	1

$x_4 = 0$

$x_1 \ x_0$	00	01	11	10
$x_3 \ x_2$				
00	1	1	1	1
01	0	1	1	0
11	0	1	1	0
10	0	0	0	0

$x_4 = 1$

Esercizio 8

Si esegua la sintesi di costo minimo SP di un encoder “1 su 3”, e si consideri il comportamento in presenza di configurazioni di ingresso proibite. Si modifichi la sintesi per ottenere un encoder *a priorità*, ovvero un encoder che in presenza di configurazioni proibite riporti in uscita il numero binario più grande tra i possibili ingressi a 1. Ad esempio, un encoder con priorità risponde alla configurazione $X_1 = 1, X_2 = 0, X_3 = 1$ con il numero 3, mentre risponde a $X_1 = 1, X_2 = 1, X_3 = 0$ con il numero 2.

Esercizio 9

Si esegua la sintesi di costo minimo PS e SP di una rete combinatoria con 5 segnali di ingresso (a, b, c, d, e) e un 1 segnale di uscita (z) definita dalla seguente tabella della verità.

a	b	c	d	e	z
0	0	0	0	0	-
0	0	0	0	1	0
0	0	0	1	0	1
0	0	0	1	1	-
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	1
0	1	0	0	0	-
0	1	0	0	1	0
0	1	0	1	0	-
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	0
0	1	1	1	1	0

a	b	c	d	e	z
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	-
1	0	0	1	1	1
1	0	1	0	0	-
1	0	1	0	1	-
1	0	1	1	0	-
1	0	1	1	1	0
1	1	0	0	0	-
1	1	0	0	1	0
1	1	0	1	0	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	0	1	0
1	1	1	1	0	-
1	1	1	1	1	0

Esercizio 10

Una rete combinatoria ha 4 ingressi ($a, b, cbi, s/d'$) e 2 uscite (u, cbo) e deve poter funzionare come adder o subtracter. La rete presenta i seguenti ingressi: a e b operandi, cbi carry in per la somma e prestito richiesto dalle colonne precedenti (*borrow in*) per la differenza, s/d' ingresso di controllo che stabilisce se eseguire la somma o la differenza quando vale rispettivamente 1 o 0. In uscita, la rete presenta u , bit di somma/differenza e cbo , carry out per la somma e prestito da richiedere alle colonne successive per la differenza. Realizzare la sintesi di costo minimo SP e PS e quella tramite MUX, assumendo di avere a disposizione solo MUX a 4 vie.

Esercizio 11

Date due ROM da 1 KB, che memorizzano al loro interno numeri con segno a 8 bit rappresentati in complemento a 2, si disegni lo schema della rete logica combinatoria che ha in ingresso un bus $A[?..0]$ che indica l'indirizzo di una cella nella prima ROM e della cella con lo stesso indirizzo nella seconda ROM, e produce in uscita la differenza dei due numeri sul bus $D[?..0]$, indicando se il risultato non è valido sul bit O. Quanti ingressi e quante uscite ha la rete?

Esercizio 12

Per ognuno dei seguenti intervalli numerici, ottenere tramite sintesi **diretta** (senza usare Karnaugh o sintesi a mux) e minimizzando l'utilizzo di risorse, la rete che prende in ingresso un numero codificato nel bus N e produce l'uscita Y pari a 1 se il numero in input è compreso nell'intervallo considerato, pari a 0 altrimenti (es. intervallo $[9, 12]$, input: 10 \rightarrow uscita 1, input 6 \rightarrow uscita 0). Per ogni intervallo, si consideri di rappresentare i numeri con la codifica ed il numero di bit indicati.

INTERVALLO	CODIFICA	# BIT
$[-3, 1]$	Complemento a 2	4
$[41, 63]$	Interi senza segno	7
$[-288, -1]$	Complemento a 2	10
$[15, 40]$	Interi senza segno	7