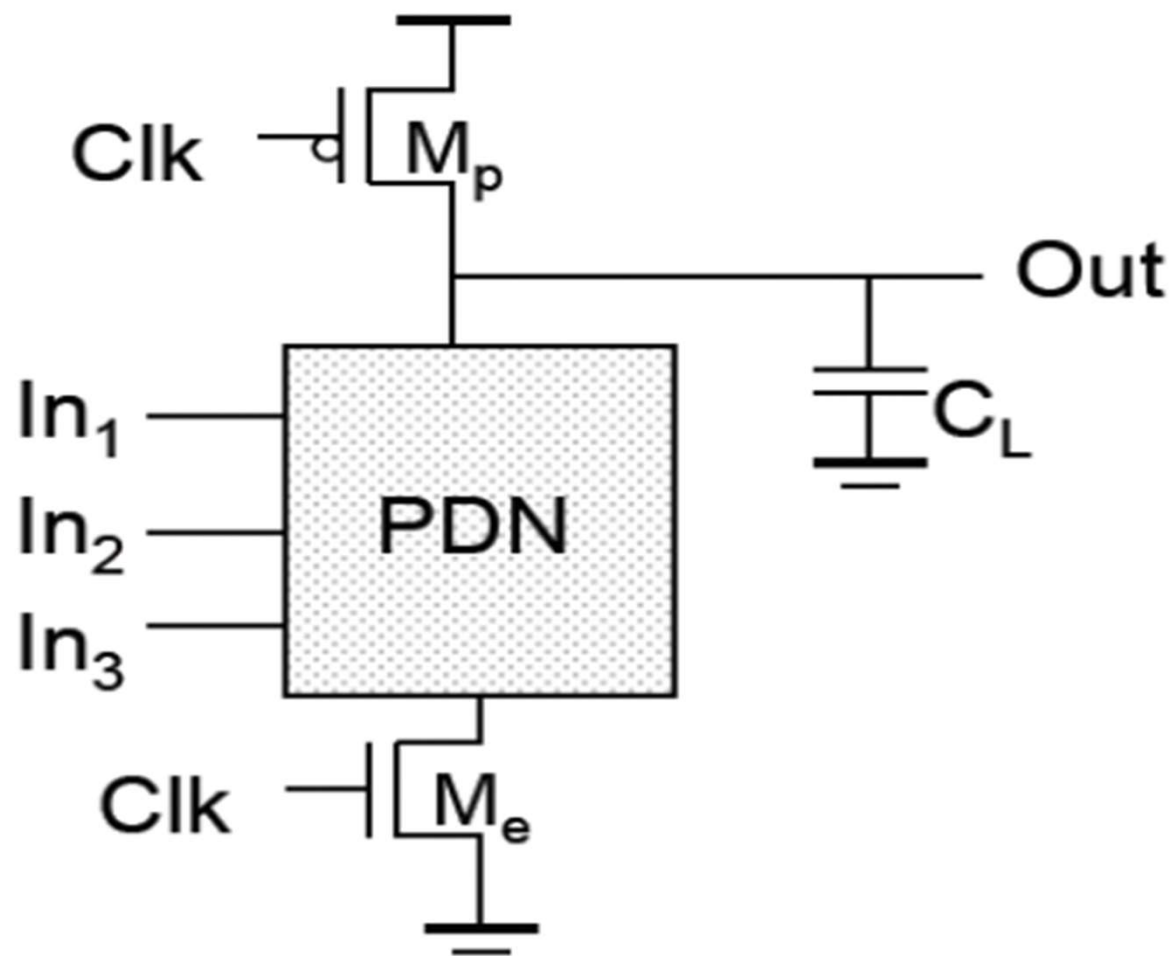


Logica combinatoria dinamica

- Le logiche dinamiche sono logiche in cui le uscite non sono sempre connesse ad una alimentazione
- L'informazione viene temporaneamente immagazzinata sotto forma di carica elettrica su un condensatore
- In genere sono logiche temporizzate, in cui cioè si alternano fasi di **valutazione** della funzione logica e di **memorizzazione** sulle capacità

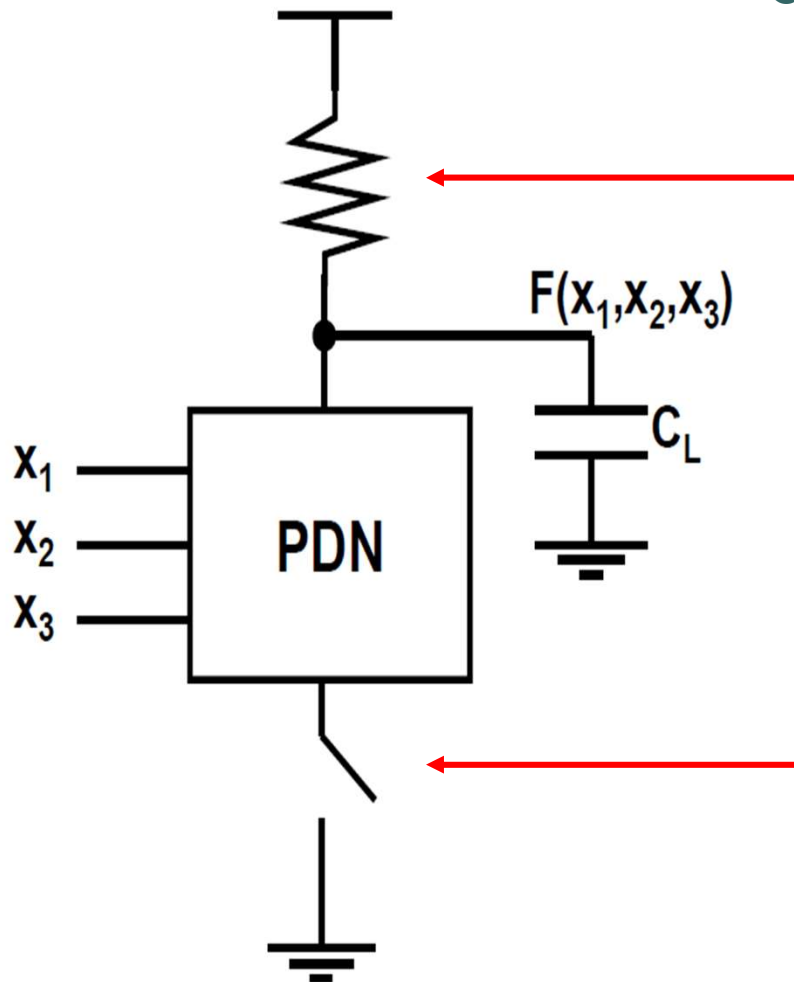


Logica combinatoria dinamica



● ● ● | **Fase di precarica:** C_L si carica a V_{DD}

○ **CLK = 0**

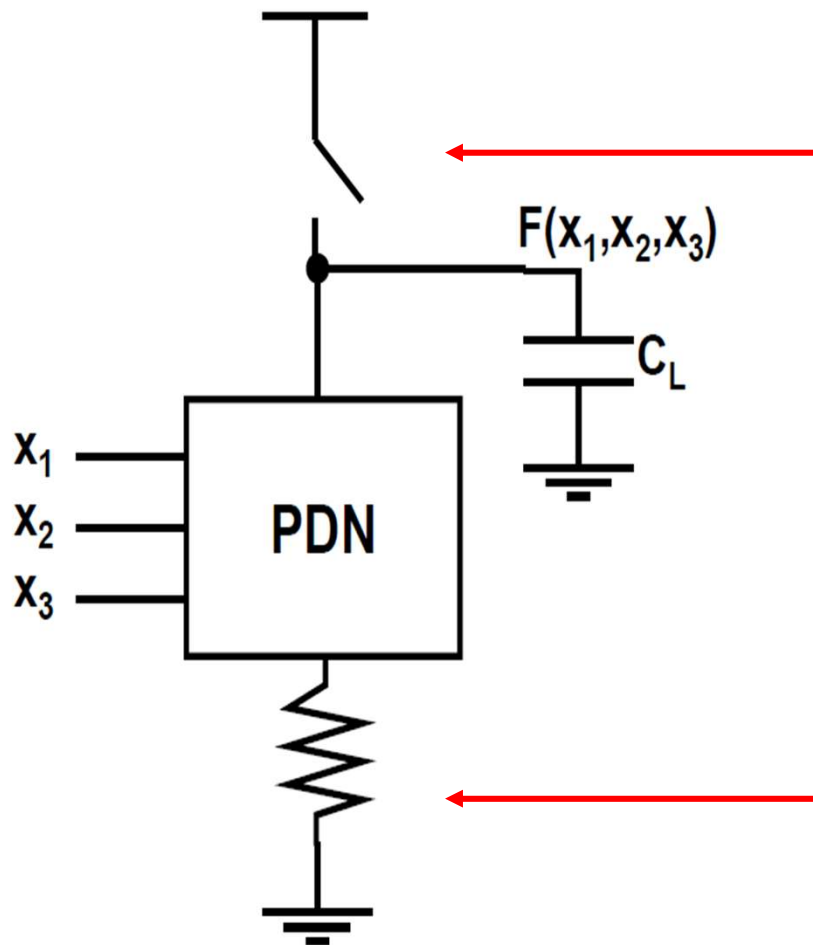


Il PMOS è acceso e carica C_L (e quindi l'uscita) a V_{DD} .

L' NMOS è spento ed interdice il percorso verso massa.

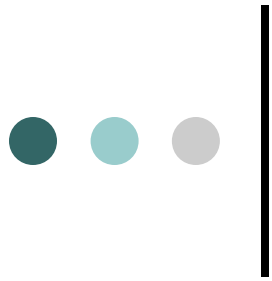
● ● ● | **Fase di valutazione:** se la combinazione agli ingressi è tale da mettere in conduzione la PDN, C_L si scarica a 0V

○ **CLK = 1**



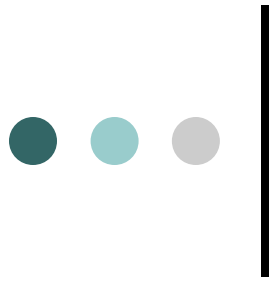
Il PMOS è spento ed interdice il percorso verso V_{DD} .

L' NMOS è acceso ed abilita il percorso verso la massa.



Vantaggi delle logiche dinamiche

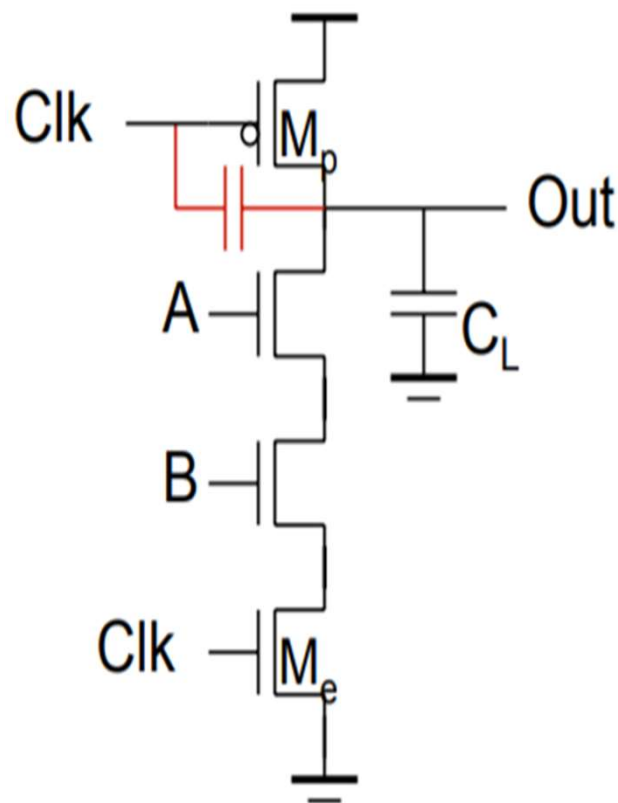
- La funzione logica viene svolta dalla rete di pull-down
- Sono necessari solo $N+2$ transistor anziché $2N$
- Non c'è dissipazione di potenza statica(il percorso statico fra VDD e massa è sempre interdetto).
- La PDN può essere realizzata come nel caso del CMOS statico.
- È più veloce e compatta dell'equivalente CMOS statico (meno capacità parassite e minor carico dovuto alla presenza di un solo gate anziché due)



Svantaggi delle logiche dinamiche

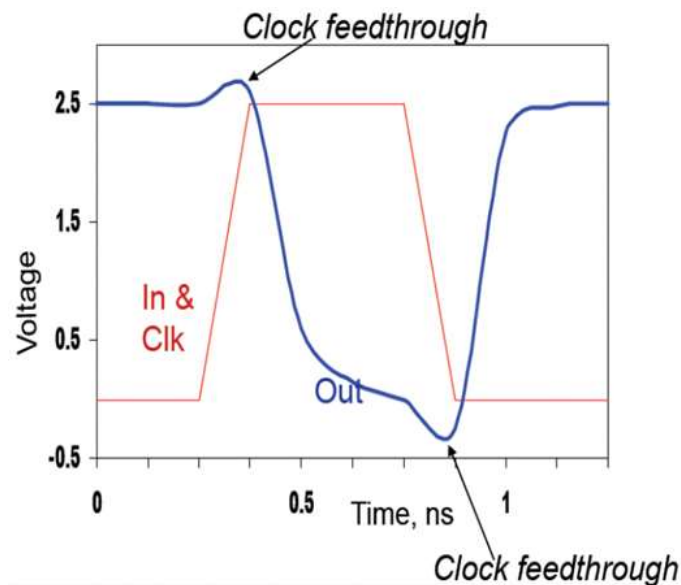
- Il maggiore problema della logica dinamica è l'immunità al rumore
- Poiché la commutazione dipende da soli transistor NMOS si può dire che V_M , V_{IL} e V_{IH} coincidono con V_T (tensione di soglia)
Questo rende i margini di rumore molto bassi
- Ha bisogno di precarica/valutazione e di un segnale aggiuntivo (CLK)

Problemi di progetto: clock feedthrough



Causa : Accoppiamento tra l'ingresso Clk della precarica ed il nodo di uscita della porta via la capacità gate-drain di M_p

Effetto : La tensione di Out può salire sopra VDD (Clk L \rightarrow H) o scendere sotto 0V (Clk H \rightarrow L)

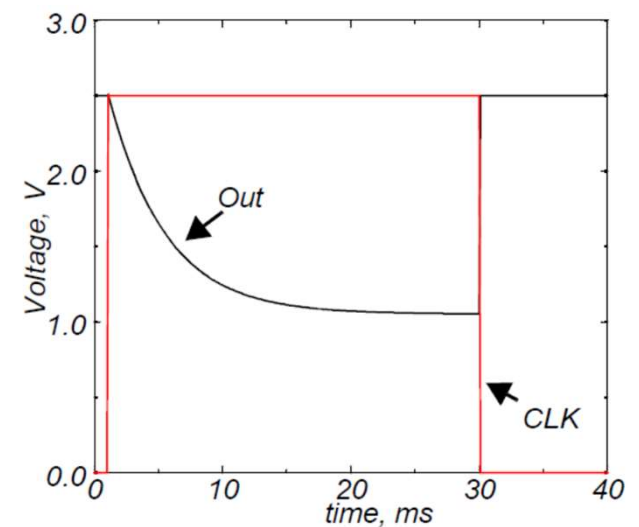
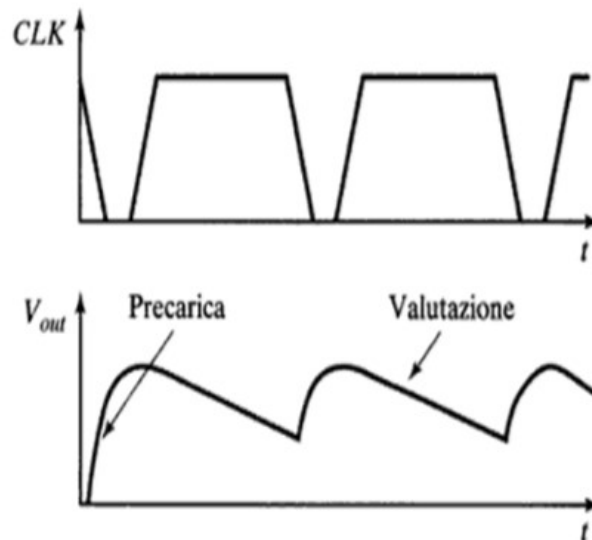
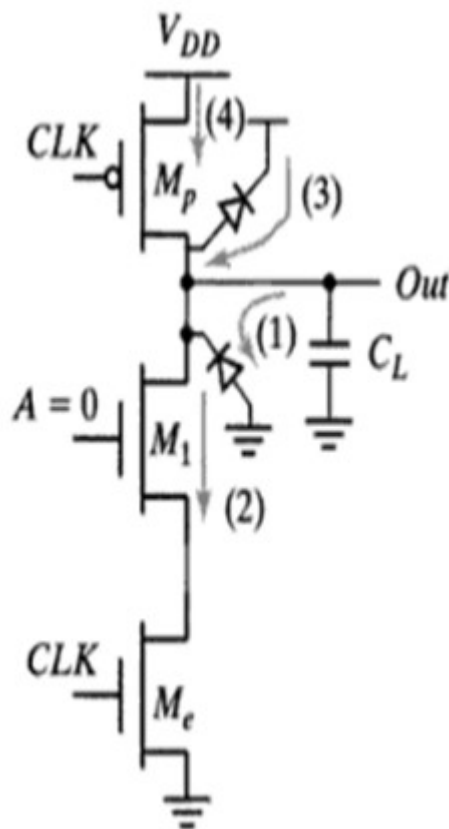


Problemi di progetto: correnti di perdita

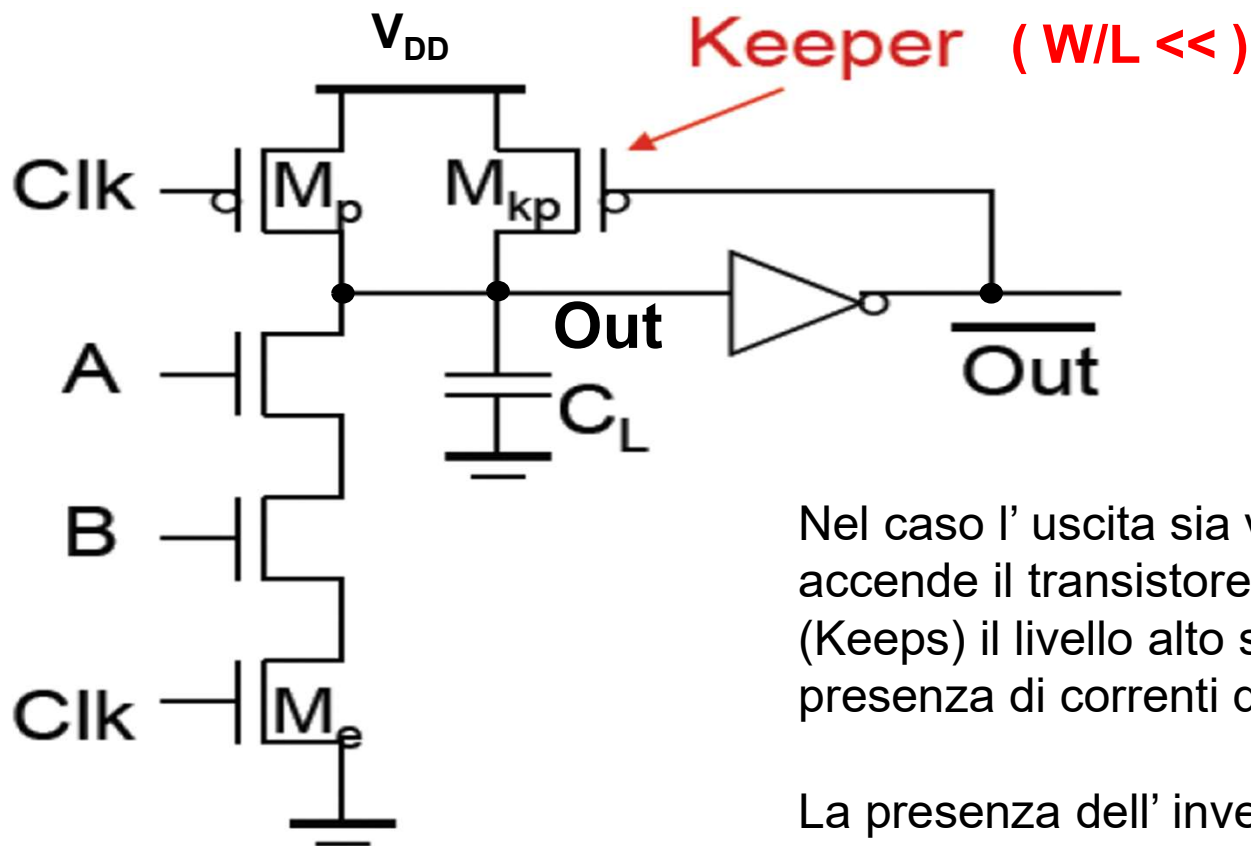
Causa: correnti di perdita sulle giunzioni e nei transistori spenti (sottosoglia)

Effetto: lo stato di carica durante la fase di valutazione può essere alterato nel tempo nel caso la PUN sia interdetta.

La componente dominante sono le correnti di sottosoglia nei transistori NMOS



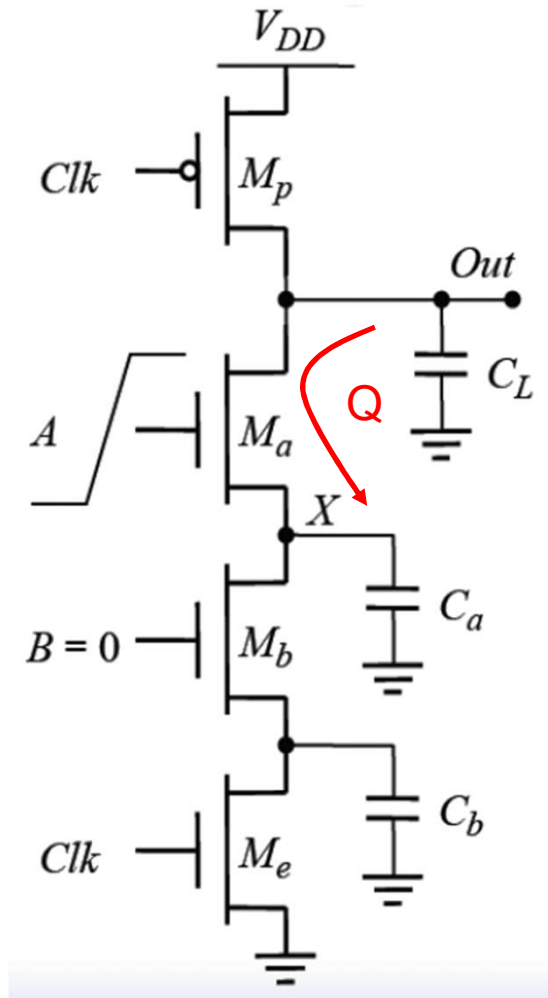
Correnti di perdita: **Bleeder**



Nel caso l'uscita sia vera, l'inverter accende il transistor M_{KP} che mantiene (Keeps) il livello alto su **out** anche in presenza di correnti di perdita.

La presenza dell'invertitore annulla il consumo di potenza statico in caso di 0 in uscita

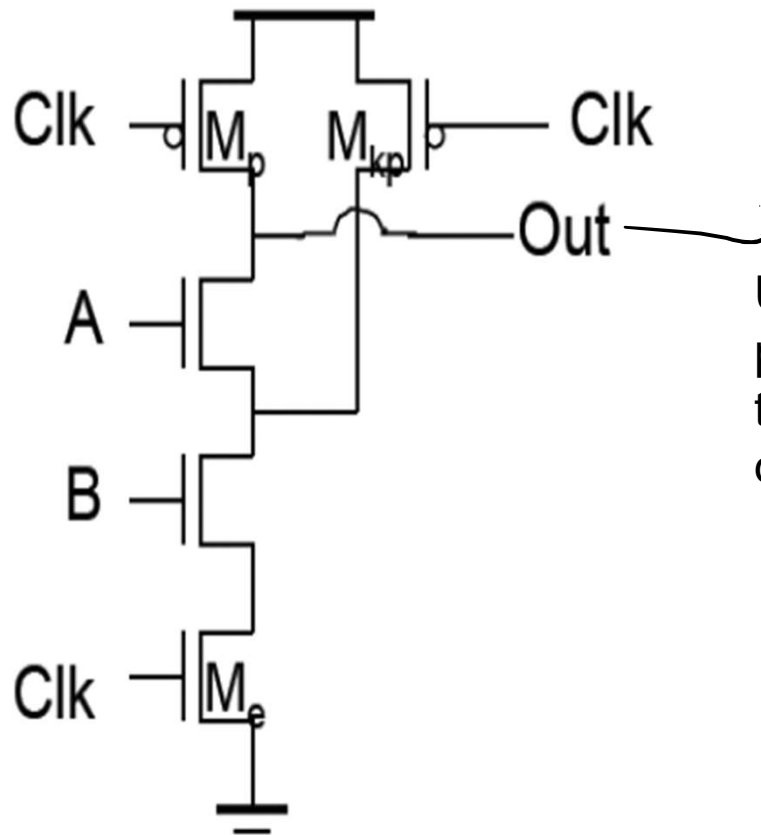
Problemi di progetto: charge sharing



Causa : presenza di capacità ai nodi intermedi devono essere caricate quando l'uscita è vera

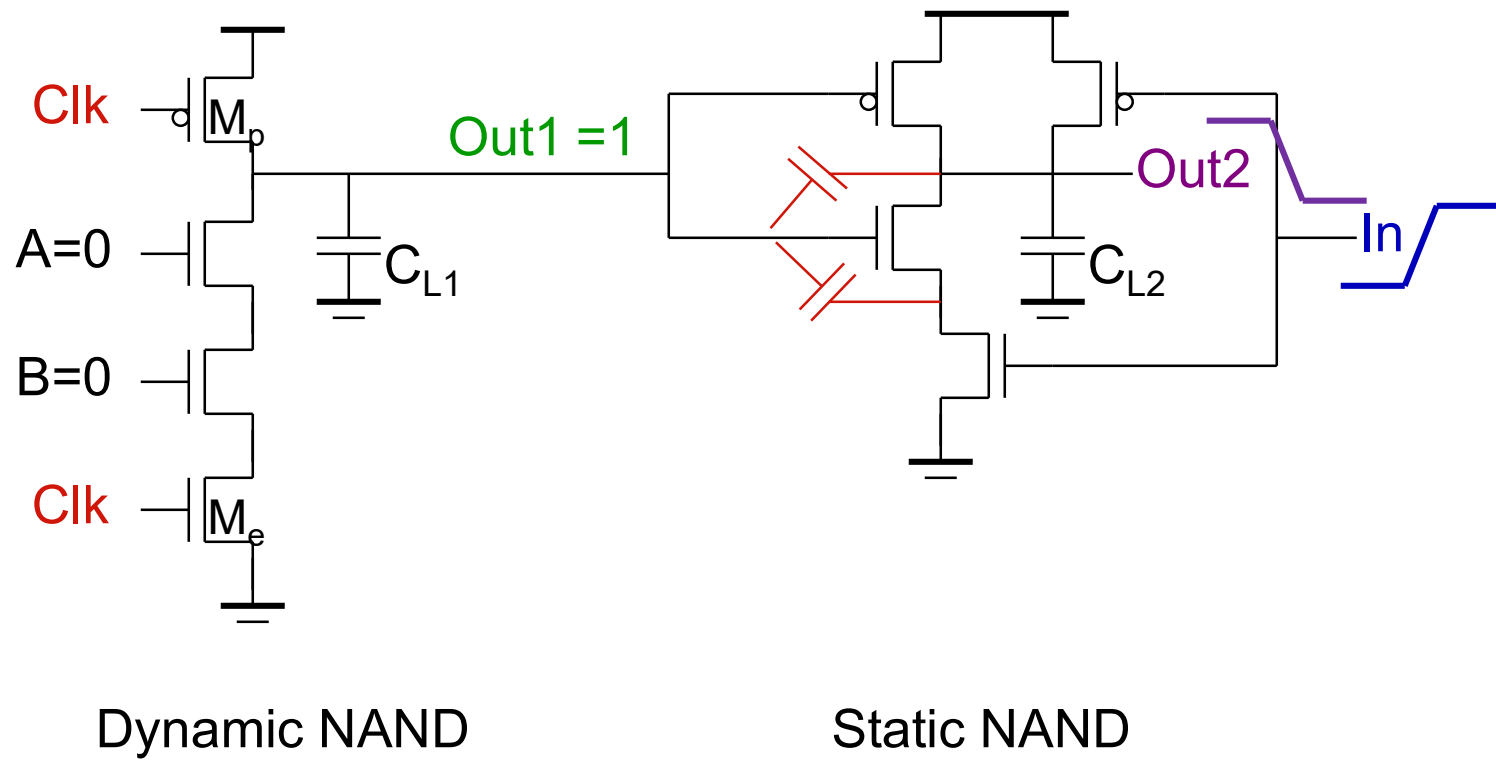
Effetto : La tensione al nodo Out può scendere sotto V_{DD} in fase di valutazione a seguito di una ripartizione di carica fra C_L e le capacità ai nodi intermedi

Charge sharing : precarica



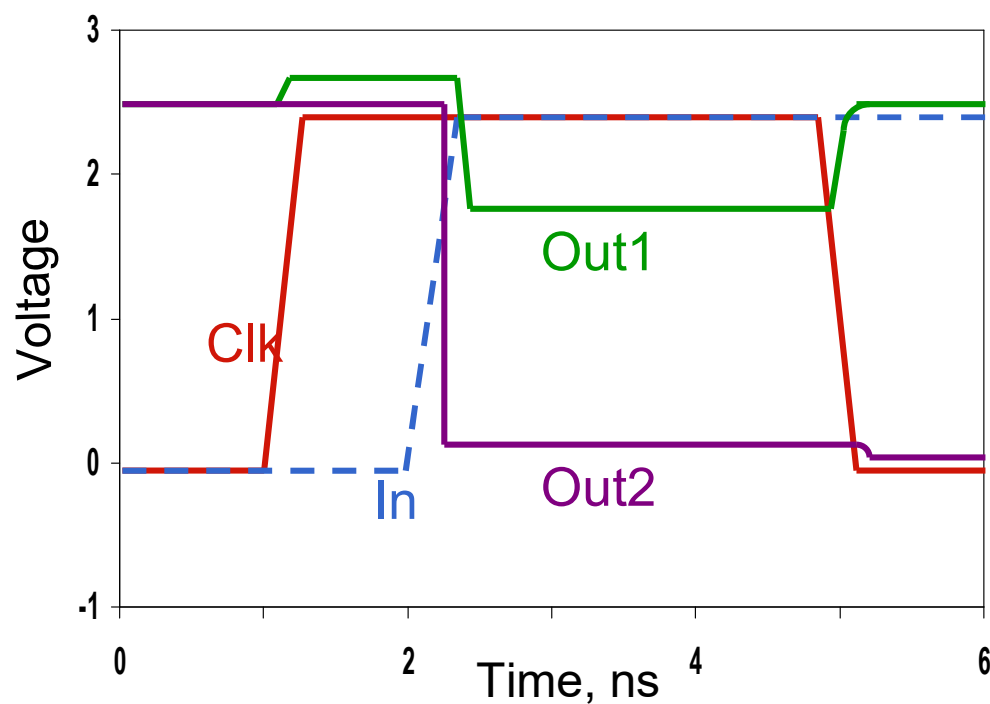
Una possibile soluzione è quella di precaricare i nodi interni utilizzando un transistor PMOS collegato al clock (a costo di maggiore area e potenza)

Problemi di progetto: backgate coupling





Problemi di progetto: backgate coupling

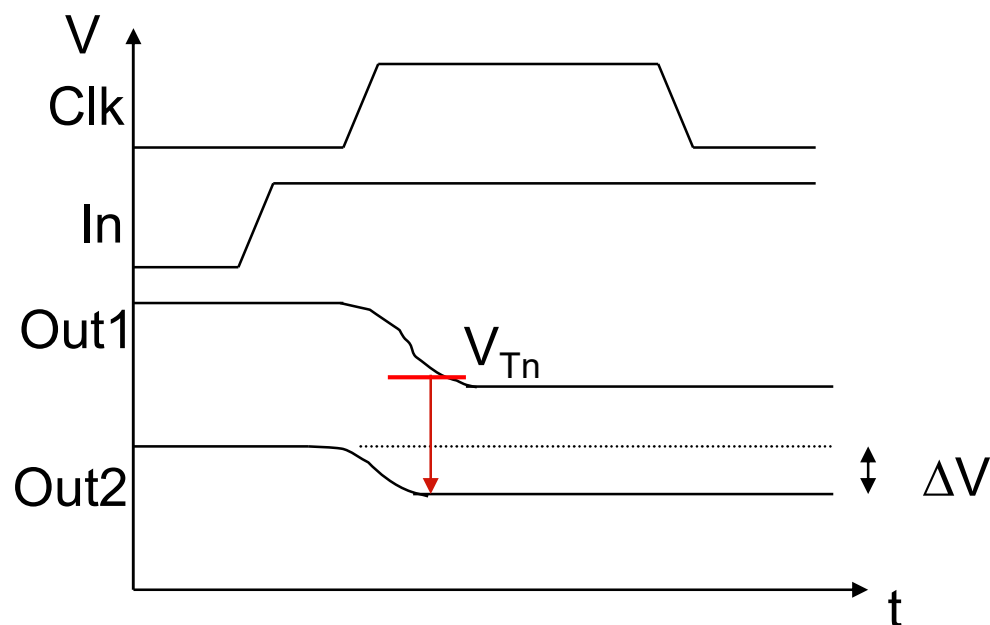
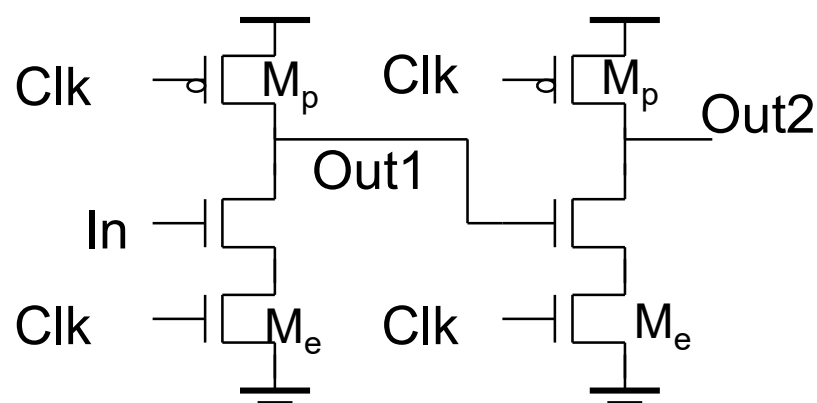


La commutazione di un gate statico a valle provoca una variazione dell'uscita del gate dinamico a monte.

La causa sono gli accoppiamenti capacitivi fra l'uscita del secondo gate ed il suo ingresso a sua volta collegato all'uscita del primo stadio mantenuto alla tensione desiderata da C_L



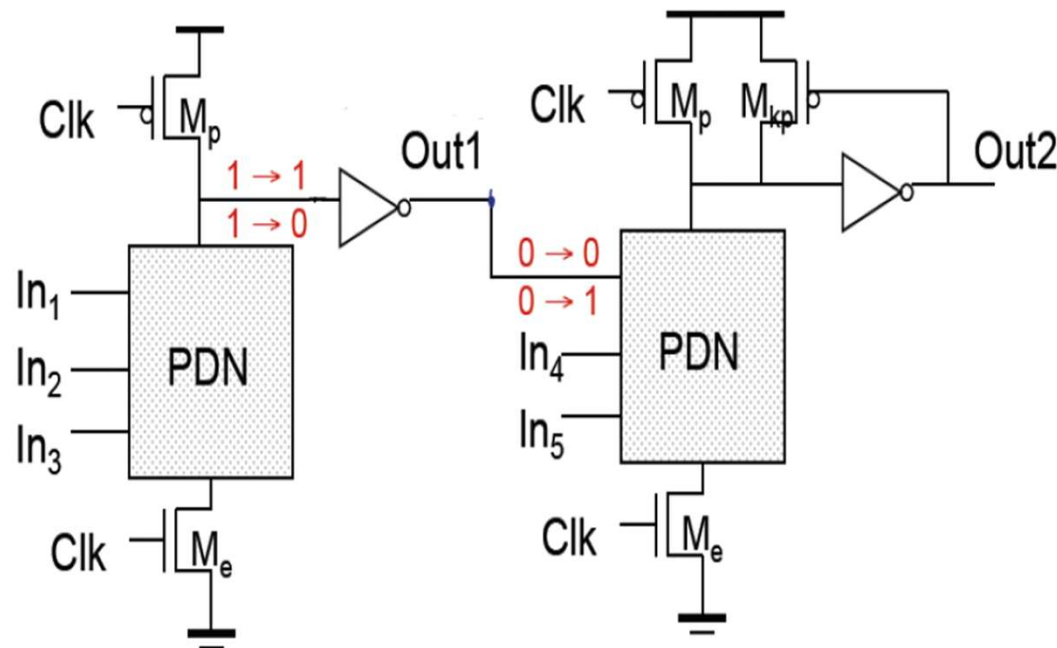
Problemi di progetto: gate dinamici in cascata



- Due gate dinamici collegati direttamente in cascata non possono funzionare correttamente.
- La causa è il ritardo fra la valutazione sull'uscita out_1 e la temporanea accensione della PDN del secondo gate che scarica parzialmente la C_{L2}
- Il corretto funzionamento è garantito solo se gli ingressi possono subire al più una commutazione $0 \rightarrow 1$ durante la fase di valutazione



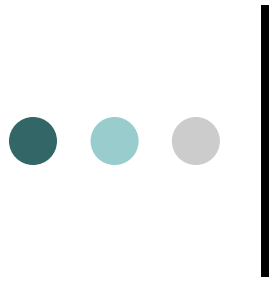
Logica domino



Le logiche domino prevedono la cascata di gate dinamici con interposti inverter CMOS statici.

Questo permette di risolvere molti problemi ed in particolare:

- ✓ Eventuale variazione degli ingressi limitata a $0 \rightarrow 1$
- ✓ Gli ingressi vengono pilotati a bassa impedenza risolvendo il problema del backgate coupling
- ✓ Si ha a disposizione il segnale necessario per annullare l'effetto di charge sharing



Logica domino : proprietà

- ✓ Le logiche domino permettono di implementare solo logiche NON invertenti
- ✓ Velocità molto alta:
 - L' inverter CMOS può essere dimensionato per la sola transizione $0 \rightarrow 1$ della sua uscita
 - Le capacità di carico sono ridotte al minimo