

Esame di Calcolatori Elettronici T

19 Dicembre 2019 (Ing. Informatica)

Esercizio 1

Progettare un sistema, basato sul processore DLX, dotato di **544 MB di EPROM** mappata agli indirizzi bassi e **2 GB di RAM** mappata agli indirizzi alti. Nel sistema è anche presente **una porta in input**, denominata **INPUT_PORT**, già progettata, che comunica con l'esterno mediante il protocollo di *handshake*.

Si desidera **monitorare**, mediante opportune reti logiche, **il numero N di interrupt ricevuti da INPUT_PORT** e **il numero D di clock durante i quali il segnale di interrupt** generato dalla stessa periferica **risulta asserito**. Il dato (*unsigned*) letto dalla porta in input dovrà essere scritto a **FFFF4000h** mentre i due parametri N e D monitorati (**modulo 2^{16}**) dovranno essere letti all'interno dell'interrupt handler e inseriti rispettivamente nei registri **R28 (N)** e **R29 (D)**. All'avvio del sistema, la procedura delineata dovrà essere abilitata senza la possibilità di essere mai disabilitata e i valori N e D posti al valore 0.

- **Per prima cosa, descrivere sinteticamente la soluzione** che s'intende realizzare e indicare **chiaramente quali sono i dispositivi utilizzati e segnali di chip-select**
- Progettare il sistema, **minimizzando le risorse necessarie ed evidenziando eventuali criticità**
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- Scrivere il codice che, dai valori monitorati, calcola il valore (intero) medio di cicli di clock durante i quali il segnale di interrupt risulta asserito
- Si faccia l'ipotesi che i registri da R20 a R27 possano essere utilizzati senza la necessità di doverli ripristinare durante l'esecuzione degli interrupt handler. I registri R28 e R29 sono riservati per essere utilizzati per le finalità del problema (vedi testo).

Esercizio 2

Per quali ragioni si preferisce utilizzare un Branch Target Buffer piuttosto che il *delayed branch* per gestire le alee di controllo?

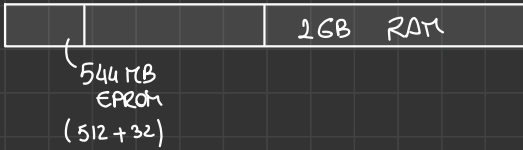
Esercizio 3

- Qual è la dimensione dell'immediato nelle istruzioni di *load* e *store* nel DLX? **16 bit**
- In quale modo è esteso tale immediato? **esteso con segno**
- Con quanti bit è codificato il valore esteso? **32 bit**

Risposte vaghe e/o non focalizzate sulle domande del testo non saranno MINIMAMENTE considerate.

A partire da questo appello, cambia la procedura di verbalizzazione e la validità dei voti sufficiente. Si consulti il sito del corso per maggiori dettagli.

CHIP SELECT



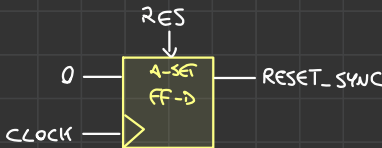
$$\begin{aligned} CS_EPROM_L_0 &= \overline{BA31} \overline{BA30} \overline{BA29} \overline{BE0} \\ " - 1 &= " \quad BE1 \\ " - 2 &= " \quad BE2 \\ " - 3 &= " \quad BE3 \end{aligned}$$

$$\begin{aligned} CS_EPROM_H_0 &= \overline{BA31} \overline{BA30} \overline{BA29} \overline{BE0} \\ " - 1 &= " \quad BE1 \\ " - 2 &= " \quad BE2 \\ " - 3 &= " \quad BE3 \end{aligned}$$

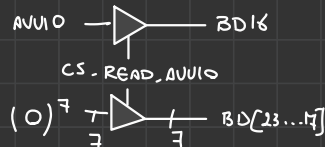
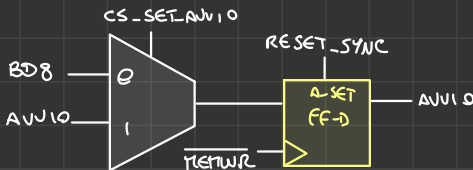
$$\begin{aligned} CS_RAM_0 &= \overline{BA31} \overline{BE0} \\ " - 1 &= " \quad BE1 \\ " - 2 &= " \quad BE2 \\ " - 3 &= " \quad BE3 \end{aligned}$$

$$\begin{aligned} CS_INPUT_PORT &= \overline{BA31} \overline{BA30} \overline{BA2} \overline{BE0} \\ CS_SET_AUDIO &= \quad \quad \quad BE1 \\ CS_READ_AUDIO &= \quad \quad \quad BE2 \quad \overline{ICMRD} \\ CS_READ_STATS &= " \quad \quad \quad BA2 \quad \overline{ICMRD} \end{aligned}$$

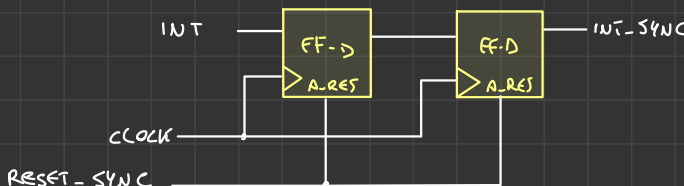
Sincronizzo il segnale di reset con il clock



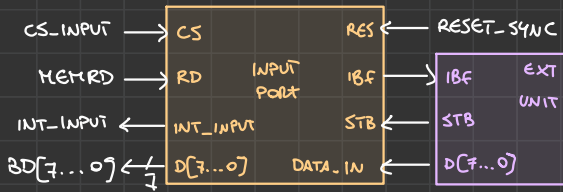
Procedura di audio



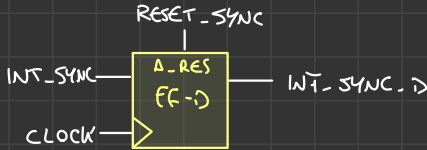
Sincronizziamo INT con il clock



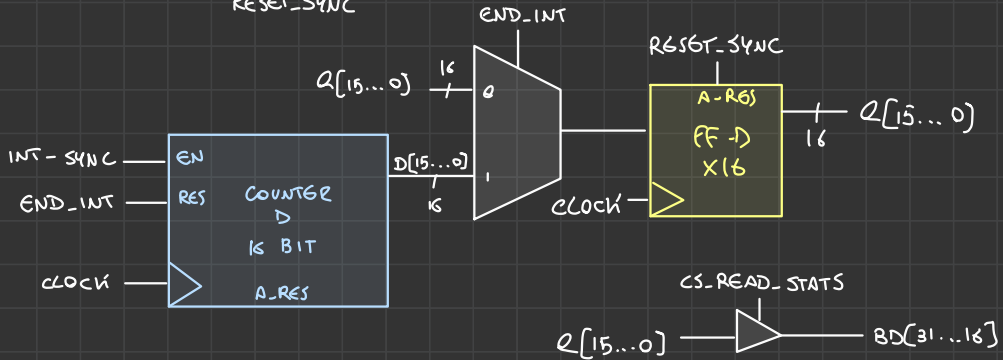
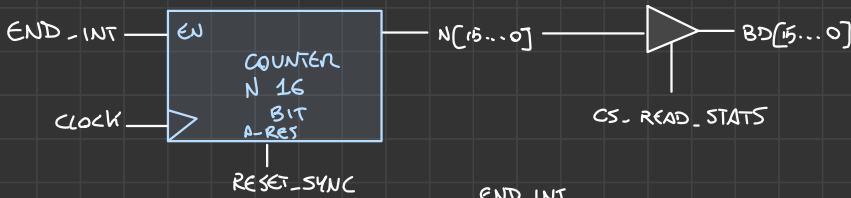
PORTA DI INPUT



$$INT(TO CLK) = INT_INPUT \cdot \overline{ANVIO}$$



$$END_INT = INT_SYNC_D \cdot INT_SYNC$$



CODICE

CS_INPUT_PORT : 0x40000000

CS_SET_AUDIO : 0x40000001

CS_READ_AUDIO : 0x40000002

CS_READ_STATIS : 0x40000004

0h LHI R20, 0x4000
4h LB R21, 0x0002(R20)
8h BEQZ R21, handler
Ch LHI R25, 0x0000
10h SB R0, 0x0001(R20)
14h J main
18h handler:
1Ch LHI R21, 0xFFFF
20h LBU R22, 0x0000(R20)
24h SB R22, 0x4000(R21)
28h LW R27, 0x0004(R20)
2Ch ADD R29, R28, R0
30h SLR R29, R29, 10h
34h SLL R28, R28, 10h
38h SLR R28, R28, 10h
3Ch ADD R25, R25, R29
40h DIV R26, R25, R28
44h RFE

1000h main