

# Esame di Calcolatori Elettronici T

## 6 Febbraio 2019 (Ing. Informatica)

### Esercizio 1

Progettare un sistema, basato sul processore DLX, dotato di **576 MB di EPROM** mappata agli indirizzi bassi e **512 MB di RAM** mappata agli indirizzi alti.

Nel sistema sono presenti **quattro porte in input** (INPUT\_PORT\_i, i=0,1,2,3) già progettate che comunicano con l'esterno mediante il protocollo di *handshake*. In ogni istante è abilitata sempre una sola porta. Ogni 6 trasferimenti di caratteri negativi dalla porta i-esima abilitata in quel momento, deve essere abilitata la porta i+1-esima e così via. Il procedimento appena descritto si ripete continuamente e il dato letto da ciascuna porta deve essere memorizzato a **FFFFFF00h**. All'avvio deve essere abilitata la porta INPUT\_PORT\_0.

- Per prima cosa, descrivere sinteticamente la soluzione che s'intende realizzare e indicare chiaramente quali sono i dispositivi utilizzati e segnali di *chip-select*
- Progettare il sistema, minimizzando le risorse necessarie ed evidenziando eventuali criticità
- Indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali
- Scrivere il codice dell'interrupt *handler*
- Si faccia l'ipotesi che i registri da R25 a R29 possano essere utilizzati senza la necessità di doverli ripristinare durante l'esecuzione degli interrupt handler

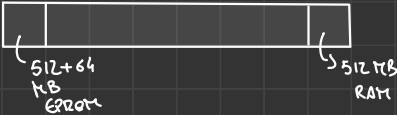
### Esercizio 2

- Nel DLX, unicamente dagli indirizzi emessi dal processore è possibile determinare i segnali BE\_i, i=0,1,2,3 ?
- Si o No?
- Se Si, come? Se No, perché?

### Esercizio 3

- Quale problema mira a risolvere il *cycle-split*?
- Come agisce?
- Esistono alternative?

# CHIP SELECT



$$\begin{aligned} CS\_EPROM\_L\_0 &= \overline{BA31} \overline{BA30} \overline{BA29} B60 \\ " \quad -1 &= " \quad B61 \\ " \quad -2 &= " \quad B62 \\ " \quad -3 &= " \quad B63 \end{aligned}$$

$$\begin{aligned} CS\_EPROM\_H\_0 &= \overline{BA31} \overline{BA30} \overline{BA29} B60 \\ " \quad -1 &= " \quad B61 \\ " \quad -2 &= " \quad B62 \\ " \quad -3 &= " \quad B63 \end{aligned}$$

$$\begin{aligned} CS\_RAM\_0 &= \overline{BA31} \overline{BA30} B60 \\ " \quad -1 &= " \quad B61 \\ " \quad -2 &= " \quad B62 \\ " \quad -3 &= " \quad B63 \end{aligned}$$

$$CS\_INPUT\_PORT = \overline{BA31} \overline{BA30} B60$$

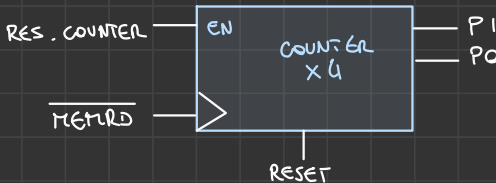


$$CS\_INPUT\_i = CS\_INPUT\_PORT \cdot P1 \cdot P0$$



$$EN\_COUNTER = IBF \cdot CS\_INPUT\_PORT \cdot BD[7]$$

$$RES\_COUNTER = EN\_COUNTER \cdot C2 \cdot C0$$



$$\begin{aligned} INT(TO\ DLY) &= INT\_INPUT\_0 \cdot \overline{P0} \cdot P1 + INT\_INPUT\_1 \cdot \overline{P1} \cdot P0 \\ &+ INT\_INPUT\_2 \cdot P1 \cdot \overline{P0} + INT\_INPUT\_3 \cdot P1 \cdot P0 \end{aligned}$$

## CODICE

```
0h    LHI    R25, 0x4000
4h    LB     R26, 0x0000(R25)
8h    LHI    R27, 0xFFFF
ch    SW     R26, 0xFF00(R27)
10h    RFE
```