

COGNOME:..... NOME: MATRICOLA:.....

Esercizio 0 (*punti 5*)

Rispondere alle seguenti domande:

1. Spiegare cos'è una funzione incompleta o non completamente specificata (*punti 1*).
2. Descrivere il fenomeno dell'uscita trasparente, indicando in quale componente si verifica e quale tipo di montaggio impedisce. (*punti 2*)
3. Disegnare **la struttura** di un Full Adder usando gate elementari. (*punti 2*)

Esercizio 1 (*punti 10*)

Una rete sequenziale asincrona riceve due segnali in ingresso d e p che non cambiano mai valore contemporaneamente. Il segnale di uscita t **assume valore "0" quando $p = d$** . Quando p è diverso da d , t assume valore "1" **solo se le ultime tre configurazioni, inclusa quella corrente, in cui p è stato diverso da d sono state $d = "1", p = "0"$** . All'inizializzazione, la rete assume di non aver visto $d = 1$, $p = 0$ nell'ultima configurazione in cui d è stato diverso da p .

1. Individuare **il grafo degli stati** utilizzando il modello di **Mealy** e **dare una descrizione sintetica** della storia degli ingressi memorizzata in ogni stato. *(punti 3)*

2. Riportare **la tabella di flusso** corrispondente al grafo degli stati individuato. *(punti 1)*

Prova d'esame di Reti Logiche T – 16/07/2019

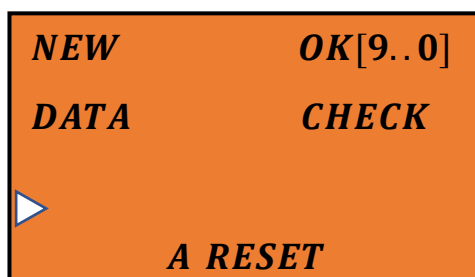
COGNOME:..... **NOME:** **MATRICOLA:**.....

3. Individuare una **codifica degli stati** indicando il **grafo delle adiacenze** e la **tabella delle transizioni**, indicando e risolvendo **eventuali corse critiche**. (*punti 3*)

4. Individuare le **espressioni SP** di costo minimo della variabile di uscita e delle variabili di stato futuro, **riportando le mappe di Karnaugh** e i **raggruppamenti rettangolari** individuati (*punti 2*)

5. Disegnare lo schema logico della rete **comprensivo della rete di reset**. (punti 1)

Esercizio 2 (punti 15)



Progettare in maniera diretta **minimizzando l'uso delle risorse** una rete sequenziale sincrona che gestisce un visualizzatore per il controllo della qualità dei pezzi che escono da una linea di produzione. Ogni volta che un nuovo pezzo è pronto ed è stato controllato, **il segnale sincrono NEW assume il valore "1" per 3 cicli di clock**. Durante questi 3 cicli di clock, la rete riceve **sull'ingresso seriale sincrono DATA** un dato formato da 3 bit, **trasmesso a partire dal bit meno significativo**. Tale dato indica l'esito del controllo qualità sul pezzo appena uscito dalla linea. In particolare, **se la rete riceve "001" il pezzo non presenta difetti, se la rete riceve "111" la macchina per il controllo qualità non è stata in grado di determinare con certezza la bontà del pezzo**, mentre **se riceve un qualunque altro codice il pezzo è difettoso**. La rete da progettare deve fornire **continuamente sul bus di uscita a 10 bit OK[9..0] la differenza codificata come numero intero senza segno tra il numero di pezzi buoni e il numero di pezzi difettosi prodotti fino a quel momento**, ignorando quelli per cui il sistema di controllo qualità non ha preso una decisione. Se la differenza da riportare sul bus OK dovesse diventare negativa, la rete ne ignora il valore (ovvero mantiene il valore sul bus OK pari a "0"), ma attiva l'uscita **CHECK** per richiedere l'intervento di un tecnico, e la mantiene ad "1" fino alla produzione del pezzo successivo. Entrambe le uscite devono essere aggiornate **nel ciclo di clock successivo alla ricezione del terzo bit** sulla linea seriale DATA corrispondente ad un nuovo pezzo. La rete è dotata inoltre di un **segnale di ingresso asincrono A_RESET**, che consente di inizializzarla all'accensione, quando la differenza vale "0" e CHECK vale "0".

Prova d'esame di Reti Logiche T – 16/07/2019

COGNOME:..... **NOME:** **MATRICOLA:**.....

