

Esame di Calcolatori Elettronici T

10 Febbraio 2021 (Ing. Informatica)

Esercizio 1

Progettare un sistema, basato su un processore DLX dotato di **1024 MB di EPROM** mappata agli indirizzi bassi e **2560 MB di RAM** mappata agli indirizzi alti. Inoltre, nel sistema sono presenti una **porta in input (INPUT_PORT)** e una **porta in output (OUTPUT_PORT)**, già progettate, ciascuna in grado di trasferire 8 bit mediante il protocollo di *handshake*. I byte *unsigned* letti da **INPUT_PORT**, mappata su **BD[31..24]**, dovranno essere **automaticamente accumulati modulo 2^{16}** da una **rete logica RL**, inizializzata all'avvio al valore 0, da progettare. Da **RL**, mappata su **BD[31..16]** dovrà essere possibile leggere mediante istruzioni software. Diversamente, **OUTPUT_PORT** dovrà essere collocata su bus diversi, in base al **resto della divisione modulo 4 del valore accumulato dalla rete RL** descritta in precedenza, nel modo seguente: resto 0 → **BD[15..8]**, resto 1 → **BD[23..16]**, resto 2 → **BD[7..0]** e resto 3 → **BD[31..24]**. Quanto letto da **INPUT_PORT** dovrà essere scritto a **E0000123h** mentre **quanto presente in memoria a E0002311h** dovrà essere **scritto in OUTPUT_PORT**. Nella gestione degli eventi associati alle porte di input e output, a **INPUT_PORT** dovrà essere assegnata **priorità massima**.

- Descrivere sinteticamente la soluzione indicando chiaramente quali sono i dispositivi utilizzati, gli indirizzi e i segnali di *chip-select*
- Progettare il sistema evidenziando/gestendo eventuali criticità e indicare le espressioni di decodifica e il range di indirizzi di tutte le periferiche, le memorie e i segnali e le connessioni di tutti i dispositivi con i bus di sistema
- Scrivere il **codice dell'interrupt handler riducendo al minimo il numero di istruzioni di branch**. Si assuma che nell'handler i registri da R20 a R25 possano essere utilizzati senza la necessità di doverli ripristinare
- Scrivere il **codice per leggere dalla rete RL che accumula i dati letti**

Esercizio 2

- Indicare, chiaramente e sinteticamente, quali sono le motivazioni per utilizzare il *delayed load*
- Esistono controindicazioni nell'utilizzo di tale strategia?

Esercizio 3

Quali sono i vantaggi nell'utilizzo del protocollo di *handshake* rispetto a non utilizzarlo. Rispondere in modo sintetico motivando chiaramente la risposta.

- I dati vengono letti e scritti quando ciò può e deve essere fatto
- Non lavora per la CPU - Le porte di I/O possono generare interrupt

Risposte vaghe e/o non focalizzate sulle domande del testo non saranno MINIMAMENTE considerate.

MAPPING 6 DECODIFICA

1GB EPROT

2GB RATA

512MB RAM

2560MB RATA → 2048 + 512
(2¹¹ + 2⁹)

$$CS_EPROT_0 = \overline{BA31} \overline{BA30} BE0$$

$$u \quad -1 = u \quad BE1$$

$$u \quad -2 = u \quad BE2$$

$$u \quad -3 = u \quad BE3$$

$$CS_RAM_2GB_0 = \overline{BA31} BE0$$

$$u \quad -1 = u \quad BE1$$

$$u \quad -2 = u \quad BE2$$

$$u \quad -3 = u \quad BE3$$

$$CS_RAM_512MB_0 = \overline{BA31} \overline{BA30} \overline{BA29} BE0$$

$$u \quad -1 = u \quad BE1$$

$$u \quad -2 = u \quad BE2$$

$$u \quad -3 = u \quad BE3$$

$$CS_FREEZE_INT = \overline{BA31} \overline{BA30} \overline{BA29} \overline{BA3} BE3$$

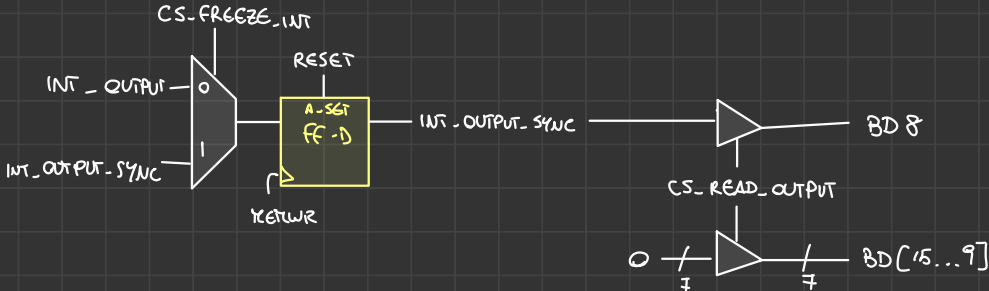
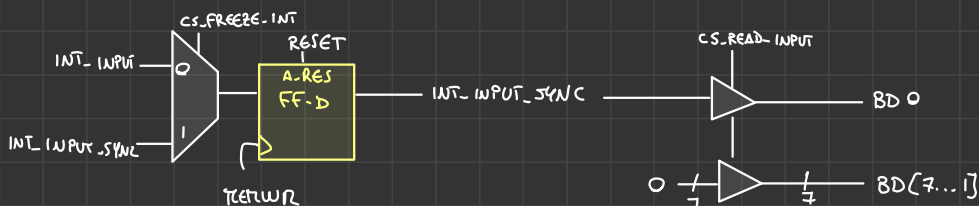
$$CS_READ_RL = u \quad u \quad u \quad u \quad BE0$$

$$CS_INPUT_PORT = u \quad u \quad u \quad \overline{BA3} \overline{BA2}$$

$$CS_OUTPUT_PORT = u \quad u \quad u \quad u \quad \overline{BA2} \quad BE3 \cdot BE2$$

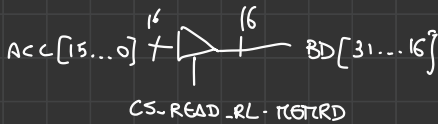
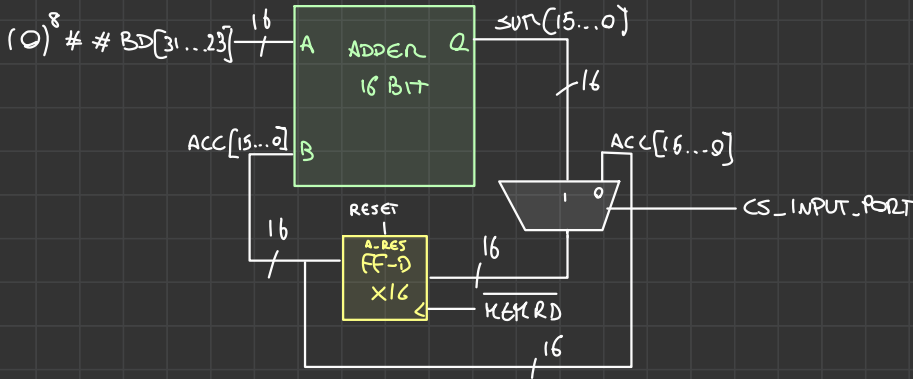
$$CS_READ_OUTPUT = u \quad u \quad u \quad u \quad u \quad BE1$$

$$CS_READ_INPUT = u \quad u \quad u \quad u \quad u \quad BE0$$

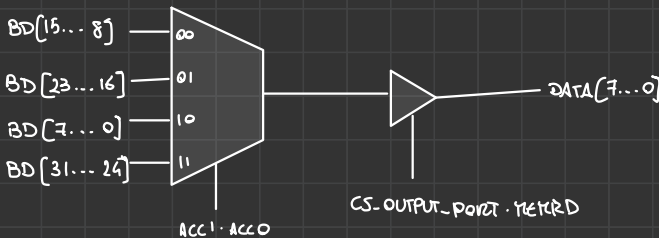
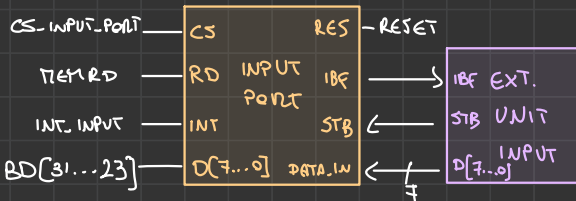


$$INT(TO DLX) = INT_INPUT + INT_OUTPUT$$

PROGETTAZIONE RL



PORTA DI I/O



CODICE

0h interrupt handler :

4h
8h
Ch
10h
14h
18h
1Ch
20h
24h
28h
2Ch

- scrittura dummy a freeze-int
- leggere stato input port
- se zero handler output