

Esame di Calcolatori Elettronici T

22 Dicembre 2017 (Ing. Informatica)

Esercizio 1

In un sistema basato sul DLX, con **768 MB di EPROM** mappata negli indirizzi bassi e **128 MB di RAM** mappata negli indirizzi alti, sono presenti: **una porta a 8 bit in input (IN_1)** e **quattro porte a 8 bit in output** (denominate **OUT_3, OUT_2, OUT_1** e **OUT_0**). Tutte le porte in input e output utilizzano il protocollo di handshake.

Dopo ogni trasferimento dalla porta in input deve essere eseguito, appena possibile, un unico trasferimento sulla porta in output OUT_i prima di poter eseguire una successiva lettura dalla porta in input. L'indice **i**, che **determina la porta in output** sul quale eseguire il trasferimento successivo alla lettura dalla porta in input, **corrisponde al resto della divisione per 4 del dato precedentemente letto** (dalla porta in input). Tutte le altre porte in output non debbono essere utilizzate finché non risulteranno abilitate mediante la strategia appena delineata (i.e., **lettura porta in input -> scrittura sull'unica porta in output abilitata -> lettura da porta in input -> scrittura sull'unica porta in output abilitata -> etc**). Il dato letto dalla porta in input deve essere scritto in memoria a **FFFF0080h** mentre il dato scritto sulla porta in output abilitata deve essere letto a **FFFF0100h**. All'avvio del sistema deve essere abilitato come primo trasferimento quello che coinvolge la porta in input.

- **Descrivere sinteticamente la soluzione** che s'intende realizzare e indicare **chiaramente quali sono i segnali di chip-select** necessari
- Progettare il sistema, **minimizzando le risorse necessarie evidenziando e risolvendo eventuali criticità**
- Indicare le espressioni di decodifica e il *range* di indirizzi di tutte le periferiche, le memorie e i segnali
- Scrivere il **codice ottimizzato** dell'*interrupt handler* (i registri da R25 a R29 possono essere utilizzati senza la necessità di doverli ripristinare)
- Soluzioni **interamente software NON saranno considerate valide**

Esercizio 2

Che cosa sono gli interrupt annidati? Quali problematiche comporterebbero nel caso del DLX?

Esercizio 3

Che cosa s'intende per architettura Harvard? Quali problemi mira a risolvere e come può essere realizzata nel caso del DLX?

MAPPING

00000000

FFFFFFF



768 KB
EPROM
(512+256)

128 MB RAM

EPROM - 512 : $0 \times 00000000 \rightarrow 0 \times 1FFFFFFF$ (4 x 128 KB)

EPROM - 256 : $0 \times 20000000 \rightarrow 0 \times 2FFFFFFF$ (4 x 64 KB)

RAM - 128 : $0 \times F8000000 \rightarrow 0 \times FFFFFFFF$ (4 x 32 MB)

PORTS : 0×40000000

READ-STATUS : 0×40000001

CHIP SELECT

CS-EPROM-512-0 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE0}$

CS-EPROM-512-1 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE1}$

CS-EPROM-512-2 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE2}$

CS-EPROM-512-3 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE3}$

CS-EPROM-256-0 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE0}$

CS-EPROM-256-1 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE1}$

CS-EPROM-256-2 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE2}$

CS-EPROM-256-3 = $\overline{BA31} \overline{BA30} \overline{BA29} \overline{BE3}$

CS-RAM-0 = $\overline{BA31} \overline{BE0}$

CS-RAM-1 = $\overline{BA31} \overline{BE1}$

CS-RAM-2 = $\overline{BA31} \overline{BE2}$

CS-RAM-3 = $\overline{BA31} \overline{BE3}$

CS-PORTS = $\overline{BA31} \overline{BA30} \overline{BE0}$

CS-READ-STATUS = $\overline{BA31} \overline{BA30} \overline{BE1}$ MEMRD

PERIPHERAL I/O



CS-INPUT = CS-PORTS · $\overline{EN_INPUT}$ · \overline{IBF}

CS-OUTPUT-0 = CS-PORTS · $\overline{EN_INPUT}$ · \overline{RI} · \overline{RO} · $\overline{OBF_0}$

CS-OUTPUT-1 = CS-PORTS · $\overline{EN_INPUT}$ · \overline{RI} · \overline{RO} · $\overline{OBF_1}$

CS-OUTPUT-2 = CS-PORTS · $\overline{EN_INPUT}$ · \overline{RI} · \overline{RO} · $\overline{OBF_2}$

CS-OUTPUT-3 = CS-PORTS · $\overline{EN_INPUT}$ · \overline{RI} · \overline{RO} · $\overline{OBF_3}$



INT (TO DEX) = INT-INPUT · $\overline{EN_INPUT}$ +

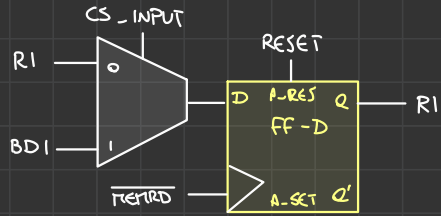
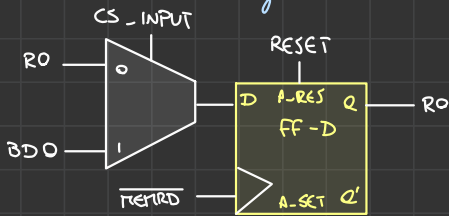
+ INT-OUTPUT-0 · \overline{RI} · \overline{RO} · $\overline{EN_INPUT}$ +

+ INT-OUTPUT-1 · \overline{RI} · \overline{RO} · $\overline{EN_INPUT}$ +

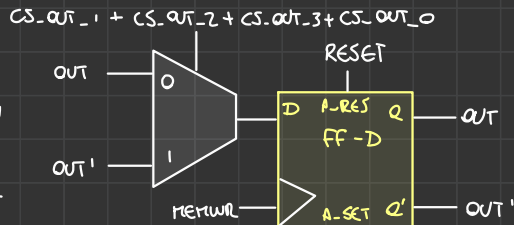
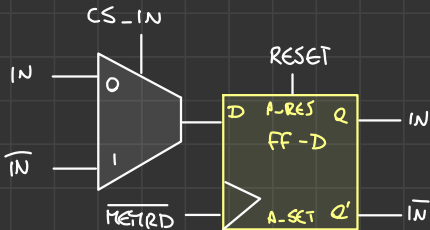
+ INT-OUTPUT-2 · \overline{RI} · \overline{RO} · $\overline{EN_INPUT}$ +

+ INT-OUTPUT-3 · \overline{RI} · \overline{RO} · $\overline{EN_INPUT}$

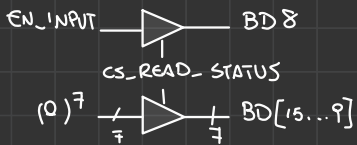
Generazione segnali RO e RI



Generazione del segnale EN_INPUT



$$EN_INPUT = IN \oplus OUT$$



CODICE

```

0h  LHI    R25, 0x4000;
4h  LBU    R26, 0x0001(R25);
8h  LHI    R28, 0xFFFF;
Ch  BEQZ   R26, OUTPUT;
10h LBU    R27, 0x0000(R25);
14h SB     R27, 0x0080(R28);
18h  RFE;
1Ch  OUTPUT: LBU    0x0100(R28);
20h          SB     0x0000(R25);
24h          RFE;
  
```