

Esercitazione

Reti Sequenziali Sincrone

Reti Logiche T

Ingegneria Informatica

Esercizio 1

Progettare in modo diretto una rete sequenziale sincrona che analizza continuamente **IN[7..0]**. Tali ingressi sono da considerarsi **sincroni** e sono validi solo quando il segnale **EN=1**.

La rete deve essere in grado di fornire due distinte informazioni, contando il verificarsi di due eventi:

1. Il carattere (valido) **attuale è pari** e il carattere (valido) **precedente era dispari** (uscita **PD[?..0]**)
2. Il carattere (valido) **attuale è dispari** e il carattere (valido) **precedente era pari** (uscita **DP[?..0]**)

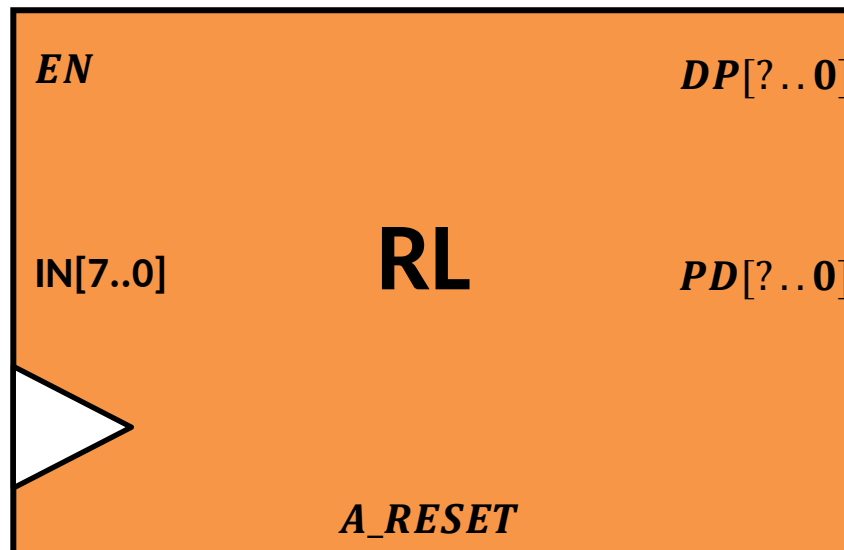
Entrambi i conteggi devono essere effettuati in aritmetica **modulo 16**, ossia i contatori devono partire da 0, incrementarsi di 1 fino a 15 e poi, all'incremento successivo, ripartire da 0.

La rete deve aggiornare le proprie uscite solo al termine del ciclo di clock nel quale si verifica uno degli eventi descritti.

E' presente inoltre un segnale, denominato **A_RESET**, che consente di inizializzare la rete all'avvio in modo asincrono. Al reset, si deve assumere di non aver visto nessun carattere valido in precedenza.

Esercizio 1

- Sintetizzare la rete in maniera diretta riducendo al minimo l'utilizzo di risorse.
- Di quanti bit di uscita avrà bisogno la rete?



Esercizio 2

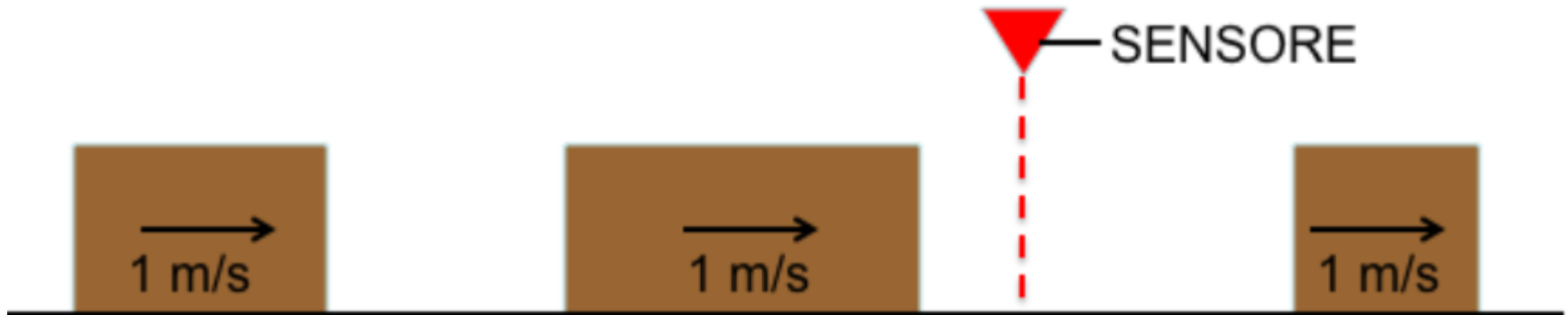
- Progettare in modo diretto una rete sequenziale sincrona che esegue continuamente l'accumulo **modulo 256** dei segnali d'ingresso **IN[5..0]** opportunamente elaborati come indicato in seguito.
- I segnali di ingresso, codificati come numeri senza segno e significativi solo quando **EN=1**, prima di essere sommati modulo 256 devono essere divisi per 4 se **DIV4=1** (lasciati inalterati se **DIV4=0**) o moltiplicati per 4 se **MUL4=1** (lasciati inalterati se **MUL4=0**). Si assuma che **DIV4** e **MUL4** non possano mai essere contemporaneamente ad **1**.
- Il valore dell'accumulatore deve essere mostrato sulle uscite **OUT[?..0]** e aggiornato ad ogni clock successivo alla ricezione di un carattere valido.
- Ogni volta che il valore accumulato risulta maggiore o uguale a 128, la rete deve invertire lo stato di un segnale **LED** di uscita **nel clock successivo alla ricezione del carattere valido**.

Esercizio 2

- Tutti i segnali, con l'esclusione di **A_RESET**, sono da intendersi **sincroni**. Il segnale asincrono **A_RESET** spegne il **LED** (**LED=0**) e azzerà l'accumulatore interno della rete.
 - Nelle divisioni non si consideri la parte frazionaria.
1. Quanti bit sono necessari per codificare l'uscita **OUT**?
 2. Sintetizzare la rete in maniera diretta riducendo al minimo l'utilizzo delle risorse.

Esercizio 3

- Utilizzando un clock a **1 KHz**, progettare in modo diretto una rete sequenziale sincrona in grado di misurare la lunghezza, **in mm**, di oggetti di dimensione inferiore a **1 m** che si muovono alla velocità costante di **1 m/s** su un nastro trasportatore.



Esercizio 3

- Il segnale **SENSORE**, per sua natura asincrono, generato da un dispositivo non in movimento, vale **1** quando è presente un oggetto nell'area monitorata e **0** in caso contrario.
- Al termine di ogni misura,
 - Il segnale di uscita **READY** deve assumere il valore 1 per segnalare che la macchina è pronta a ricevere un nuovo oggetto e deve essere portato a 0 a partire dal periodo di clock successivo alla rilevazione di un nuovo oggetto nell'area monitorata.
 - il risultato della misura dovrà essere mostrato sui **t** segnali di uscita **LENGTH[t-1..0]**. I valori assegnati a **LENGTH[t-1..0]** dovranno assumere il nuovo valore nel periodo di clock successivo a quello in cui l'oggetto misurato esce dall'area monitorata.
- Infine, un segnale denominato **A_RESET**, consente di inizializzare all'avvio in modo asincrono il sistema **quando non sono presenti oggetti sul nastro trasportatore.**

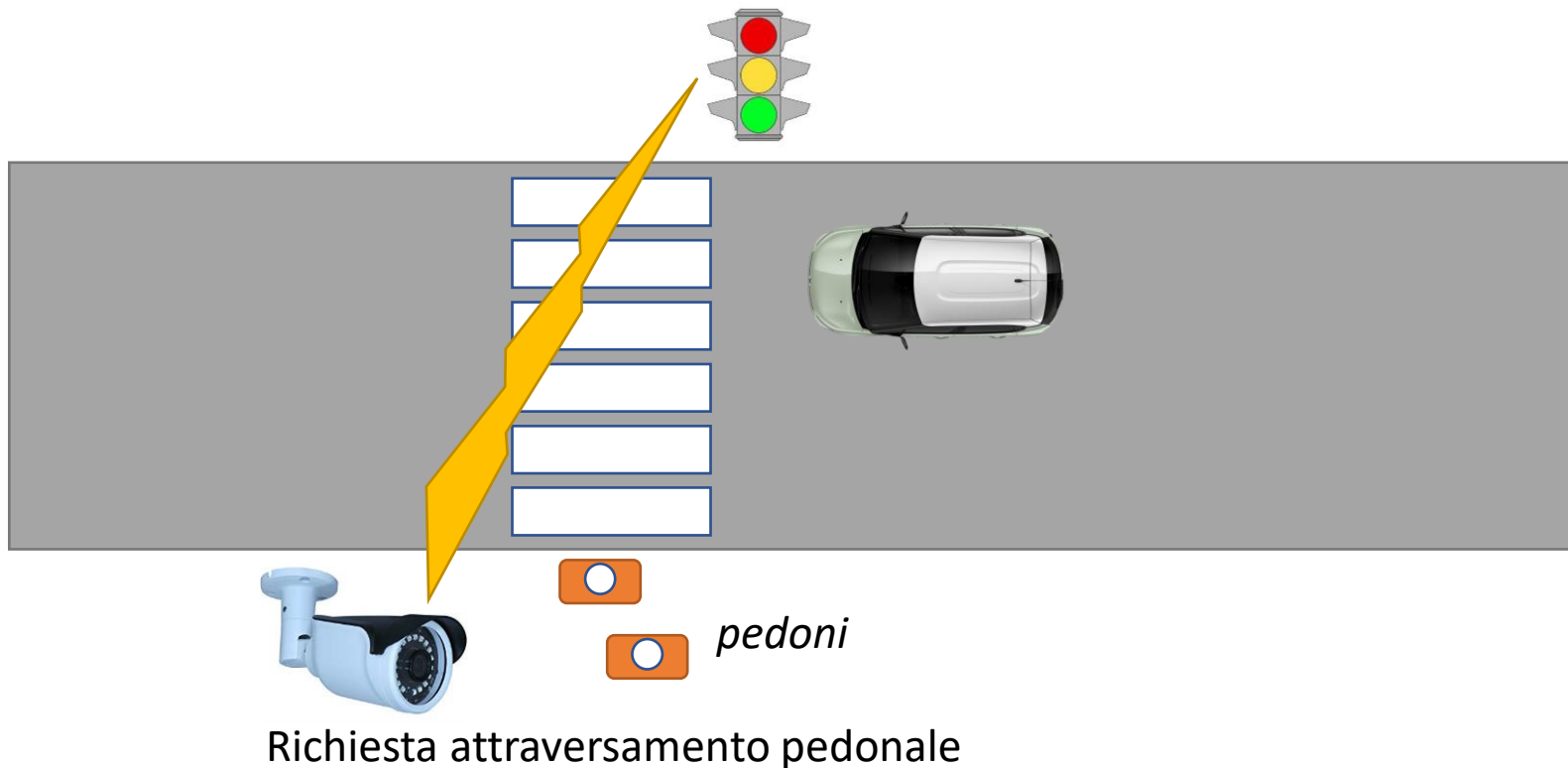
Esercizio 3

Si proponga una soluzione basata su un approccio sincrono con sintesi diretta.

- Indicare quanti segnali sono necessari per codificare la misura.
- Ridurre al minimo l'utilizzo di risorse.
- Qual è il margine di errore che possiamo garantire sulla misura e da cosa è causato, assumendo flip-flop con setup time e hold time pari a 0, ovvero ignorando problemi di metastabilità?
- Come potrebbe essere aumentata la risoluzione nella misura?

Esercizio 4

- Progettare **in modo diretto** una rete sequenziale sincrona che controlla un semaforo posto ad un attraversamento pedonale «intelligente». Il semaforo controlla il transito dei **veicoli**, **permettendone il passaggio quando è verde** ed **impedendolo quando è rosso**.



Esercizio 4

- L'incrocio è comandato da una rete logica sequenziale sincrona che riceve un clock con frequenza di 2 Hz e produce tre uscite **ROSSO**, **GIALLO** e **VERDE** che comandano le rispettive luci semaforiche. I tre segnali devono sempre essere attivi in maniera mutuamente esclusiva.
- La rete ha due ingressi asincroni: un segnale **PEDONE** che quando asserito codifica la presenza di pedoni in attesa di attraversare la strada e un segnale di reset **A_RESET**.
- Il funzionamento della rete prevede di mantenere il semaforo su **VERDE** se non ci sono pedoni in attesa di attraversare la strada. Questa è anche la situazione in cui viene portata la rete alla ricezione di **A_RESET**.

Esercizio 4

- Nel caso in cui venga rilevata la presenza di un pedone **per un periodo di almeno 1 s** la rete deve permetterne l'attraversamento accendendo **GIALLO** per **8 s** e successivamente **ROSSO** per **16 s**. Dopo questo intervallo il semaforo torna su **VERDE**, che mantiene per almeno **21 s**, e fino alla successiva richiesta di attraversamento.
- Nel caso in cui il semaforo completi un ciclo di attraversamento pedonale e il segnale **PEDONE** sia attivo **perché non si è mai disattivato** durante il ciclo **GIALLO-ROSSO-VERDE**, la rete **assume che il sensore sia ostruito o comunque malfunzionante** e ignora la richiesta di servizio presente, mantenendo **VERDE** attivo. Dal clock in cui **PEDONE** si disattiva, la rete riprende a considerare eventuali richieste di attraversamento provenienti dal segnale **PEDONE**.

Esercizio 4

- Si esegua la sintesi della rete minimizzando l'utilizzo delle risorse.

