

Esercitazione

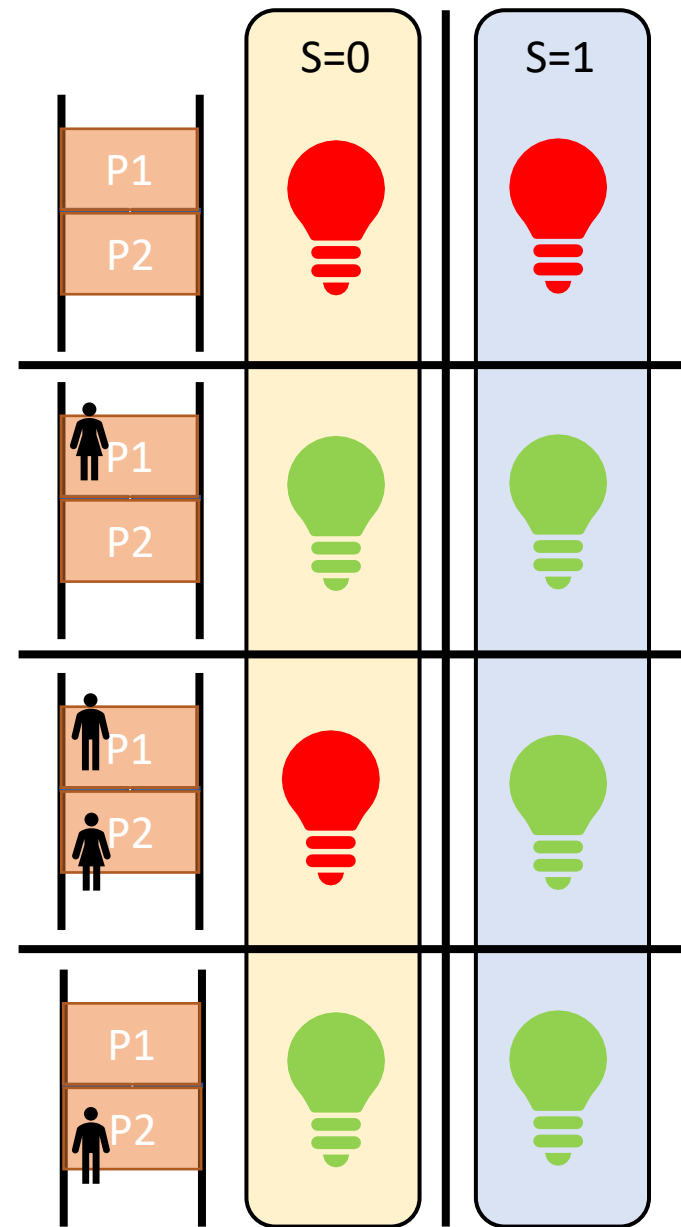
Reti Combinatorie

Reti Logiche T

Ingegneria Informatica

Esercizio 1 – La Porta

- L'apertura e la chiusura di una porta sono controllate da un operatore. Per facilitare il compito dell'operatore, la sua postazione è stata dotata di due lampadine, una di colore **verde** ed una di colore **rosso**. La lampadina **verde** è controllata dal segnale **V** (**0**=spenta, **1**=accesa), la lampadina **rossa** dal segnale **R** (**0**=spenta, **1**=accesa).
- Due sensori RFID **P₁** e **P₂** posti ai due lati della porta rilevano se la persona presente nell'area è abilitata al passaggio (ovvero è dotata di un tag abilitato), portando il loro valore a **1** (altrimenti hanno valore **0**).
- Il sistema può funzionare in due modalità, a seconda della posizione di un selettore **S**.
- **Selettore in posizione S=0**
lampadina verde -> **presenza** di una persona abilitata in P1 o in P2 ma non in entrambe le zone
lampadina rossa -> **assenza** di persone abilitate o persone abilitate in entrambe le zone
- **Selettore in posizione S=1**
lampadina verde -> **presenza** di persone abilitate in almeno una delle due zone
lampadina rossa -> **assenza** di persone abilitate in entrambe le zone



Esercizio 1 – La Porta

Si decide di implementare la gestione delle lampadine mediante una rete combinatoria.

Rispondere ai seguenti quesiti:

1. Quali sono i segnali d'ingresso e di uscita della rete?
2. Esistono configurazioni d'ingresso impossibili? Se sì, quali sono?
3. Esistono indifferenze sull'uscita? Se sì, quali sono?
4. Produrre la tabella di verità della rete di controllo.
5. Sintetizzare la rete di controllo mediante sintesi minima SP.
6. Sintetizzare la rete di controllo mediante MUX a 8 vie.
7. Sintetizzare la rete di controllo tramite un solo MUX a 2 vie e gate elementari.

Esercizio 1 – La Porta

1. Quali sono i segnali d'ingresso alla rete?

- La rete ha 3 segnali in ingresso (P_1, P_2, S) e due di uscita (R, V).

2. Esistono configurazioni d'ingresso impossibili? Se sì quali sono?

- No.

3. Esistono indifferenze sulle uscite? Se sì quali sono?

- No.

Esercizio 1 – La Porta

4. Produrre la tabella di verità della rete di controllo.

S	P_1	P_2	R	V
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

Esercizio 1 – La Porta

5. Sintetizzare la rete di controllo mediante sintesi minima SP.

$S \backslash P_1P_2$	00	01	11	10
0	1	0	1	0
1	1	0	0	0

$$R = P_1'P_2' + S'P_1P_2$$

$S \backslash P_1P_2$	00	01	11	10
0	0	1	0	1
1	0	1	1	1

$$V = P_1'P_2 + P_1P_2' + SP_2$$

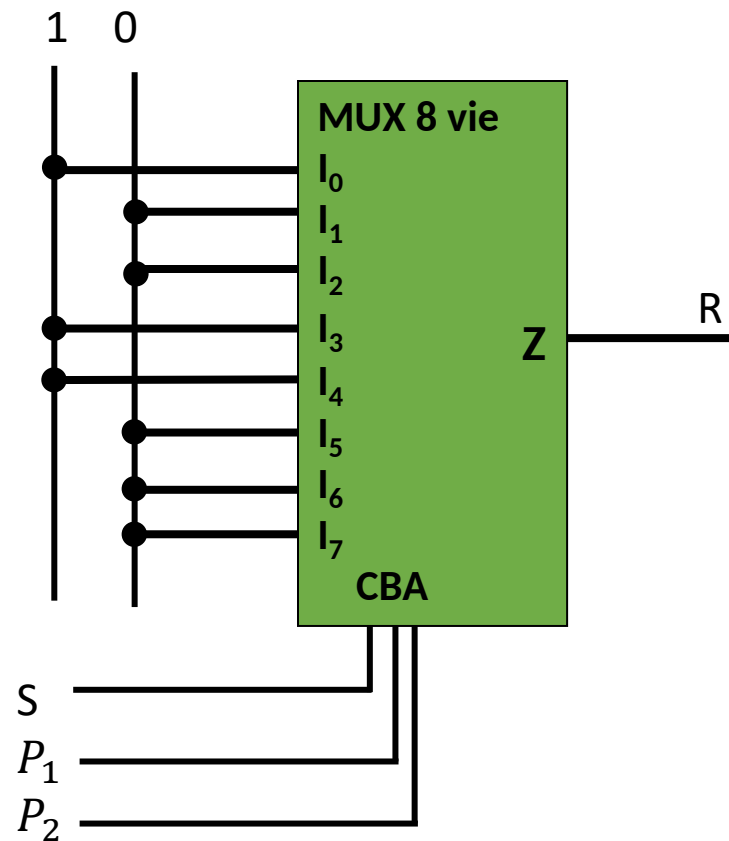
oppure

$$P_1'P_2 + P_1P_2' + SP_1$$

Esercizio 1 – La Porta

6. Sintetizzare la rete di controllo mediante MUX a 8 vie.

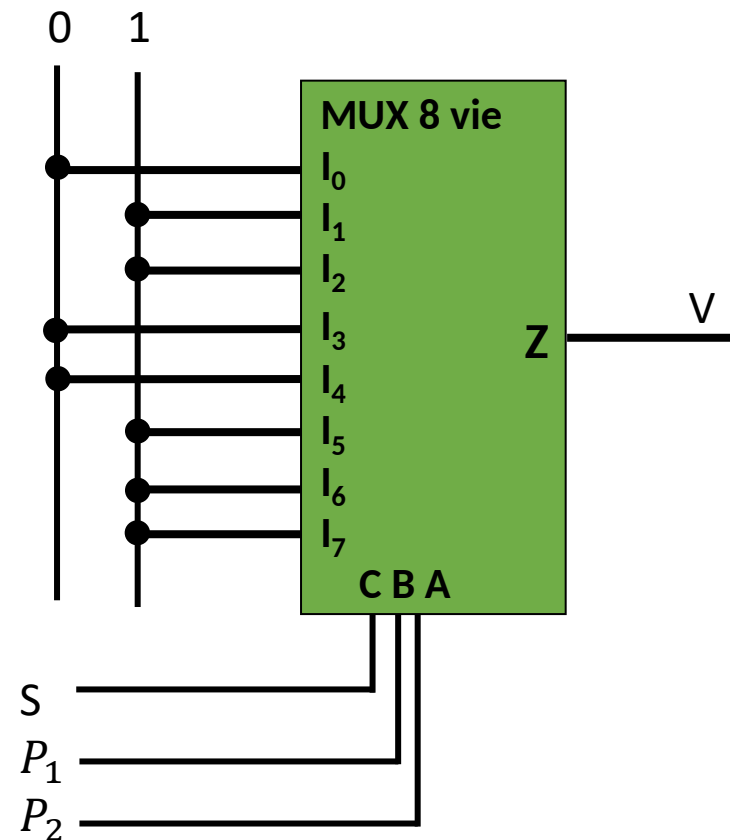
S	P_1	P_2	R	V
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1



Esercizio 1 – La Porta

6. Sintetizzare la rete di controllo mediante MUX a 8 vie.

S	P ₁	P ₂	R	V
0	0	0	1	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1



Esercizio 1 – La Porta

7. Sintetizzare la rete di controllo tramite un solo MUX a 2 vie e gate elementari.

	S	P_1	P_2	R	V
$S = 0$	0	0	0	1	0
	0	0	1	0	1
	0	1	0	0	1
	0	1	1	1	0
$S = 1$	1	0	0	1	0
	1	0	1	0	1
	1	1	0	0	1
	1	1	1	0	1

Useremo S come selettore del MUX

Esercizio 1 – La Porta

7. Sintetizzare la rete di controllo tramite un solo MUX a 2 vie e gate elementari.

R	V
1	0
0	1
0	1
1	0
1	0
0	1
0	1
0	1

R e **V** sono uno il negato dell'altro.
Posso sintetizzare la rete corrispondente a uno dei due segnali e ottenere l'altro segnale negando quanto ottenuto.

Esercizio 1 – La Porta

7. Sintetizzare la rete di controllo tramite un solo MUX a 2 vie e gate elementari.

$S = 0$

P_1	P_2	R	V
0	0	1	0
0	1	0	1
1	0	0	1
1	1	1	0

$$V = P_1 \oplus P_2$$

$$R = V'$$

Esercizio 1 – La Porta

7. Sintetizzare la rete di controllo tramite un solo MUX a 2 vie e gate elementari.

$S = 1$

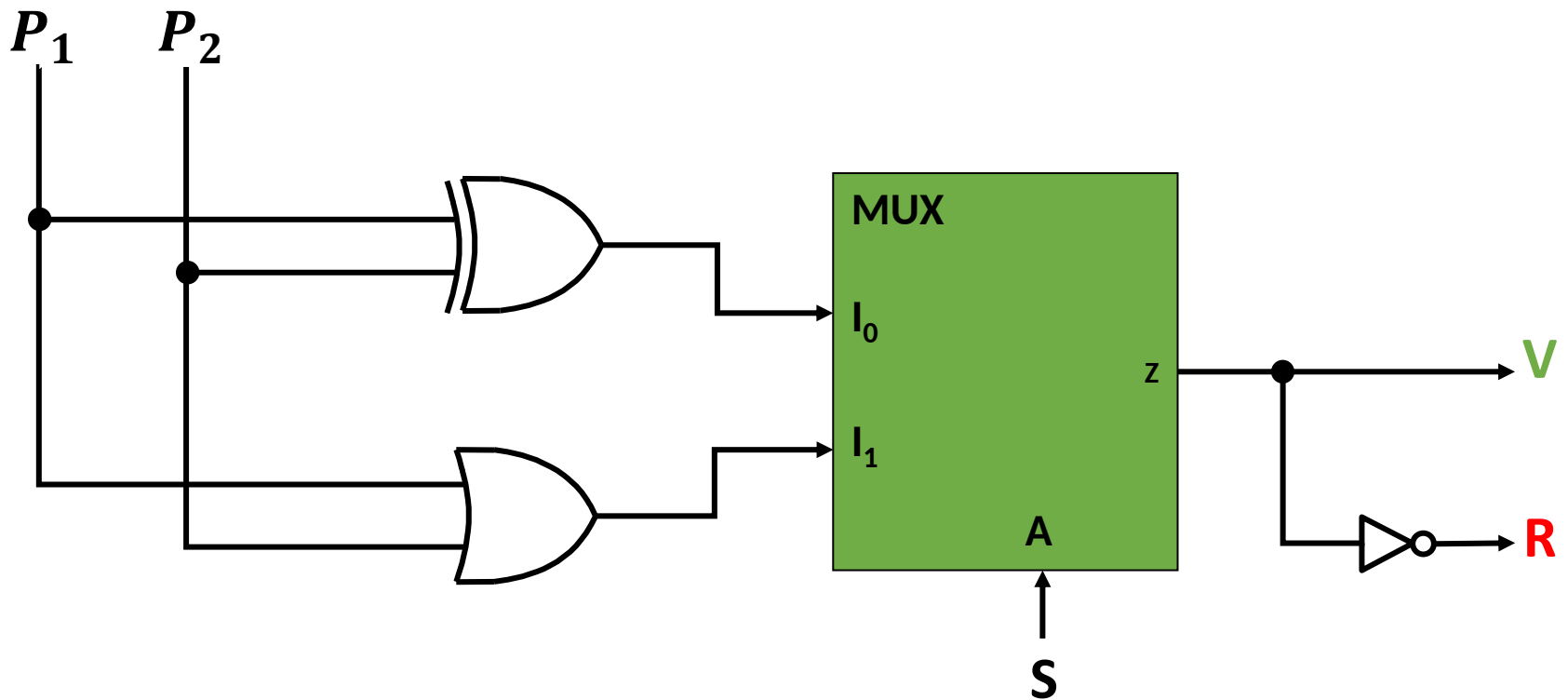
P_1	P_2	R	V
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

$$V = P_1 + P_2$$

$$R = V'$$

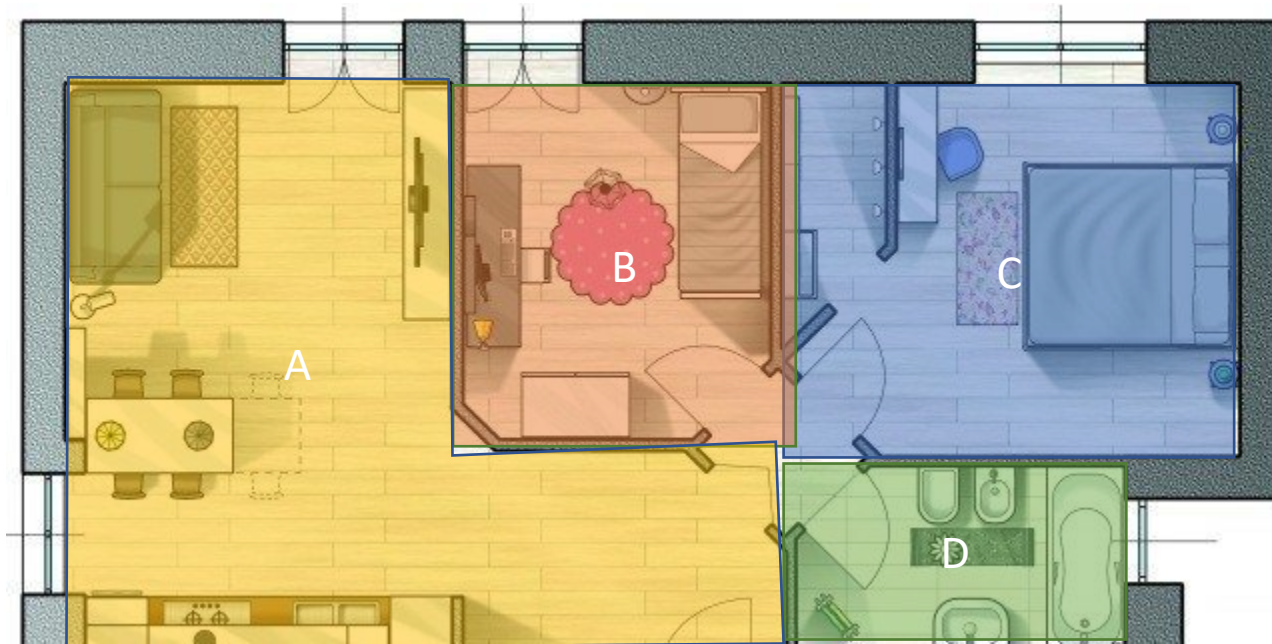
Esercizio 1 – La Porta

7. Sintetizzare la rete di controllo tramite un solo MUX a 2 vie e gate elementari.



Esercizio 2 – Il Climatizzatore

- Una casa dispone di un sistema di climatizzazione che permette di riscaldare o raffreddare ogni stanza separatamente.
- La casa è composta da 4 stanze (**A**, **B**, **C**, **D**) ciascuna dotata di un proprio termostato.
- Ogni termostato indica, attraverso specifici segnali (**A**, **B**, **C**, **D**), se la temperatura è sopra (**1**) o sotto (**0**) quella impostata.



Esercizio 2 – Il Climatizzatore

- L'impianto di climatizzazione ha due modalità di funzionamento alternabili attraverso il segnale I : Estate ($I = 0$), in cui lo scopo è tenere la temperatura delle stanze sotto soglia, ed Inverno ($I = 1$), in cui lo scopo è l'inverso.
- L'impianto è in grado di controllare gli emettitori caldo/freddo di ogni stanza usando 4 segnali (On_A, On_B, On_C, On_D) per i quali «1» codifica acceso e «0» spento.
- Le singole unità sono automaticamente programmate per emettere caldo quando $I = 1$ e freddo quando $I = 0$.
- Per ragioni di risparmio energetico al massimo 2 stanze possono essere attive contemporaneamente secondo l'ordine di priorità $A > B > C > D$.

Esercizio 2 – Il Climatizzatore

1. Quali sono i segnali d'ingresso e di uscita della rete?
2. Esistono configurazioni d'ingresso impossibili? Se sì, quali sono? Esistono indifferenze sull'uscita? Se sì, quali sono?
3. Produrre la tabella di verità della rete di controllo.
4. Sintetizzare la rete di controllo mediante sintesi minima SP e PS.
5. Facendo riferimento alla sintesi SP, rispondere alle seguenti domande:
 - a. E' possibile utilizzare altri gate oltre a OR, AND e NOT per ridurre la complessità di alcune reti?
 - b. Calcolare N_{gate} , N_{conn} , N_{casc} per la rete On_C assumendo la disponibilità di componenti elementari con fan-in a piacere e conteggiando i gate di negazione.
 - c. Sintetizzare il segnale On_C utilizzando solamente gate di tipo NAND (↑)
6. Facendo riferimento alla sintesi PS, rispondere alle seguenti domande:
 - a. Calcolare N_{gate} , N_{conn} , N_{casc} per la rete On_B assumendo la disponibilità di componenti elementari con fan-in a piacere e conteggiando i gate di negazione.
 - b. Sintetizzare il segnale On_B utilizzando solamente gate di tipo NOR (↓)
7. Sintetizzare la rete On_A mediante MUX a 2/16 vie.

Esercizio 2 – Il Climatizzatore

1. Quali sono i segnali d'ingresso e di uscita della rete?
 - a) Input: A, B, C, D, I
 - b) Output: On_A, On_B, On_C, On_D
 - c) 5 input $\rightarrow 2^5$ configurazioni $\rightarrow 32$ possibili ingressi.
 - d) 4 output $\rightarrow 4$ reti combinatorie da sintetizzare.

2. Esistono configurazioni d'ingresso impossibili? Se sì quali sono? Esistono indifferenze sull'uscita? Se sì quali sono?

Non ci sono configurazioni d'ingresso impossibili né indifferenze sull'uscita.

Tabella della verità – Estate ($I=0$)

I	A	B	C	D	On_A	On_B	On_C	On_D
0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	0
0	0	0	1	1	0	0	1	1
0	0	1	0	0	0	1	0	0
0	0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1	0
0	0	1	1	1	0	1	1	0
0	1	0	0	0	1	0	0	0
0	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	1	0
0	1	0	1	1	1	0	1	0
0	1	1	0	0	1	1	0	0
0	1	1	0	1	1	1	0	0
0	1	1	1	0	1	1	0	0
0	1	1	1	1	1	1	0	0

Tabella della verità – Inverno ($I = 1$)

I	A	B	C	D	On_A	On_B	On_C	On_D
1	0	0	0	0	1	1	0	0
1	0	0	0	1	1	1	0	0
1	0	0	1	0	1	1	0	0
1	0	0	1	1	1	1	0	0
1	0	1	0	0	1	0	1	0
1	0	1	0	1	1	0	1	0
1	0	1	1	0	1	0	0	1
1	0	1	1	1	1	0	0	0
1	1	0	0	0	0	1	1	0
1	1	0	0	1	0	1	1	0
1	1	0	1	0	0	1	0	1
1	1	0	1	1	0	1	0	0
1	1	1	0	0	0	0	1	1
1	1	1	0	1	0	0	1	0
1	1	1	1	0	0	0	0	1
1	1	1	1	1	0	0	0	0

Sintesi rete costo minimo SP

Sintesi del segnale ' On_A '.

AB \ CD	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$I=0$

AB \ CD	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	1	1	0	0
10	1	1	0	0

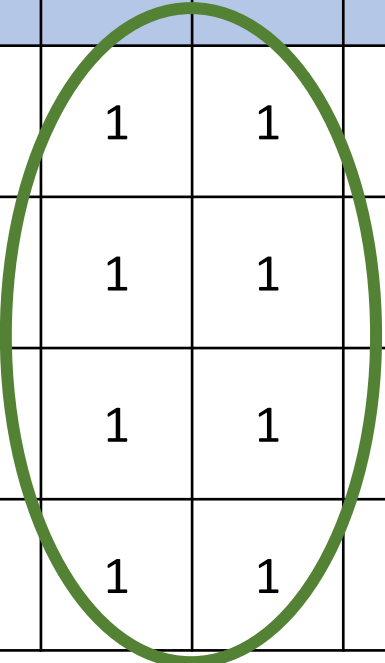
$I=1$

$$On_A = AI' + A'I$$

Sintesi rete costo minimo SP

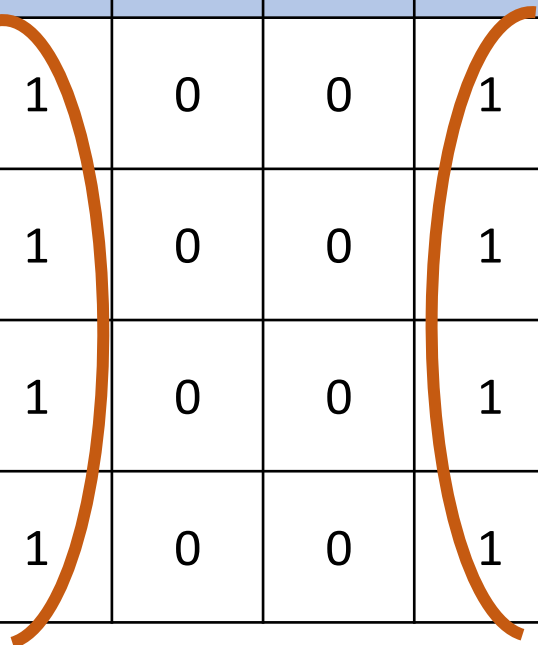
Sintesi del segnale ' On_B '.

AB \ CD	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	0	1	1	0



$l=0$

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1



$l=1$

$$On_B = BI' + B'I$$

Sintesi rete costo minimo SP

Sintesi del segnale ' On_C '.

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	0	1
10	1	1	0	1

$l=0$

AB \ CD	00	01	11	10
00	0	1	1	1
01	0	1	1	1
11	0	0	0	0
10	0	0	0	0

$l=1$

$$On_C = A'CI' + B'CI' + BC'I + AC'I$$

Sintesi rete costo minimo SP

Sintesi del segnale ' On_D '.

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	0	1
11	1	0	0	0
10	0	0	0	0

$l=0$

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	1	1	1

$l=1$

$$On_D = A'C'DI' + A'B'DI' + B'C'DI' + BCD'I + ACD'I + ABD'I$$

Analisi della rete SP

Reti di costo minimo SP:

$$On_A = AI' + A'I$$

$$On_B = BI' + B'I$$

$$On_C = A'CI' + B'CI' + BC'I + AC'I$$

$$On_D = A'C'DI' + A'B'DI' + B'C'DI' + BCD'I + ACD'I + ABD'I$$

5a. E' possibile utilizzare altri gate oltre a OR, AND e NOT per ridurre la complessità di alcuni segnali?

$$On_A = A \oplus I$$

$$On_B = B \oplus I$$

Analisi della rete SP

Reti di costo minimo SP:

$$On_A = AI' + A'I$$

$$On_B = BI' + B'I$$

$$On_C = A'CI' + B'CI' + BC'I + AC'I$$

$$On_D = A'C'DI' + A'B'DI' + B'C'DI' + BCD'I + ACD'I + ABD'I$$

5b. Calcolare N_{gate} , N_{conn} , N_{casc} per la rete On_C assumendo la disponibilità di componenti elementari con fan-in a piacere e conteggiando i gate di negazione.

$$N_{gate} = 9$$

$$N_{conn} = 20$$

$$N_{casc} = 3$$

Analisi della rete SP

Reti di costo minimo SP:

$$On_A = AI' + A'I$$

$$On_B = BI' + B'I$$

$$On_C = A'CI' + B'CI' + BC'I + AC'I$$

$$On_D = A'C'DI' + A'B'DI' + B'C'DI' + BCD'I + ACD'I + ABD'I$$

5c. Sintetizzare il segnale On_C utilizzando solamente gate di tipo NAND (\uparrow)

$$\text{a) } On_C = (A' \cdot C \cdot I') + (B' \cdot C \cdot I') + (B \cdot C' \cdot I) + (A \cdot C' \cdot I)$$

$$\text{b) } On_C = (A' \uparrow C \uparrow I') \uparrow (B' \uparrow C \uparrow I') \uparrow (B \uparrow C' \uparrow I) \uparrow (A \uparrow C' \uparrow I)$$

$$\text{c) } On_C = ((A \uparrow A) \uparrow C \uparrow (I \uparrow I)) \uparrow ((B \uparrow B) \uparrow C \uparrow (I \uparrow I)) \uparrow (B \uparrow (C \uparrow C) \uparrow I) \uparrow (A \uparrow (C \uparrow C) \uparrow I)$$

Sintesi rete costo minimo PS

Sintesi del segnale ' On_A '.

AB \ CD	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	1	1
10	0	0	1	1

$I=0$

AB \ CD	00	01	11	10
00	1	1	0	0
01	1	1	0	0
11	1	1	0	0
10	1	1	0	0

$I=1$

$$On_A = (A + I)(A' + I')$$

Sintesi rete costo minimo PS

Sintesi del segnale ' On_B '.

AB \ CD	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	0	1	1	0

$l=0$

AB \ CD	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

$l=1$

$$On_B = (B + I) (B' + I')$$

Sintesi rete costo minimo PS

Sintesi del segnale ' On_C '.

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	0	1
10	1	1	0	1

$I=0$

AB \ CD	00	01	11	10
00	0	1	1	1
01	0	1	1	1
11	0	0	0	0
10	0	0	0	0

$I=1$

$$On_C = (C + I) (A' + B' + I) (C' + I') (A + B + I')$$

Sintesi rete costo minimo PS

Sintesi del segnale ' On_d '.

AB \ CD	00	01	11	10
00	0	0	0	0
01	1	1	0	1
11	1	0	0	0
10	0	0	0	0

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	0	0	0	0
10	0	1	1	1

$l=0$

$l=1$

$$On_D = (D + I)(D' + I')(A' + B' + I)(A + B + I')(A + C + I')(B + C + I')(B' + C' + D')(A' + C' + D')$$

Analisi della rete PS

Reti di costo minimo PS:

$$On_A = (A + I)(A' + I')$$

$$On_B = (B + I)(B' + I')$$

$$On_C = (C + I)(A' + B' + I)(C' + I')(A + B + I')$$

$$On_D = (D + I)(D' + I')(A' + B' + I)(A + B + I')(A + C + I')(B + C + I')(B' + C' + D')(A' + C' + D')(B' + C' + I)(A' + C' + I)$$

6a. Calcolare N_{gate} , N_{conn} , N_{casc} per la rete On_B assumendo la disponibilità di componenti elementari con fan-in a piacere e conteggiando i gate di negazione.

$$N_{gate} = 5$$

$$N_{conn} = 8$$

$$N_{casc} = 3$$

Analisi della rete PS

Reti di costo minimo PS:

$$On_A = (A + I)(A' + I')$$

$$On_B = (B + I)(B' + I')$$

$$On_C = (C + I)(A' + B' + I)(C' + I')(A + B + I')$$

$$On_D = (D + I)(D' + I')(A' + B' + I)(A + B + I')(A + C + I')(B + C + I')(B' + C' + D')(A' + C' + D')(B' + C' + I)(A' + C' + I)$$

6b. Sintetizzare il segnale On_B utilizzando solamente gate di tipo NOR (\downarrow)

$$a) \quad On_b = (B + I) \cdot (B' + I')$$

$$b) \quad On_b = (B \downarrow I) \downarrow (B' \downarrow I')$$

$$c) \quad On_b = (B \downarrow I) \downarrow ((B \downarrow B) \downarrow (I \downarrow I))$$

Sintesi a Mux

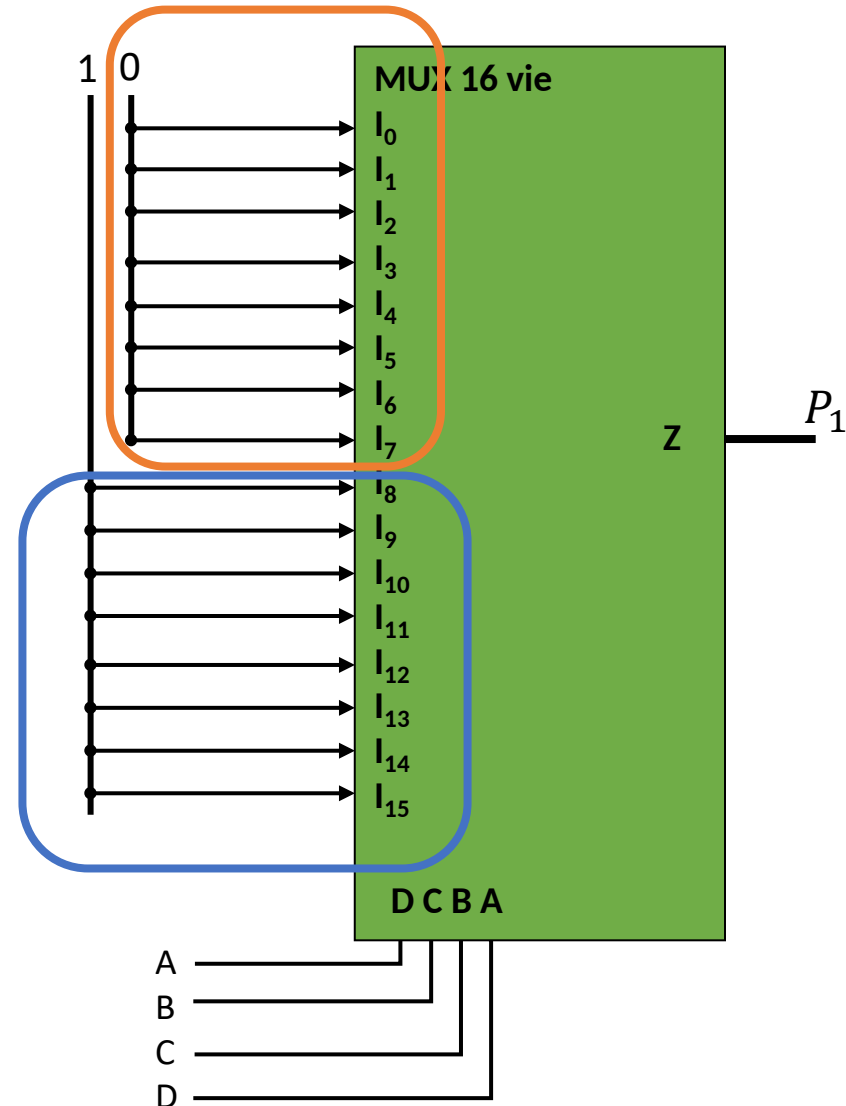
7) Sintetizzare la rete On_A avendo a disposizione MUX a 2/16 vie.

- a) Abbiamo MUX a 1 e 4 bit di indirizzo, ma 5 ingressi.
- b) Optiamo per una sintesi a due livelli, la nostra rete sarà quindi composta da 3 MUX, due nel livello 1 e uno nel livello 2. I primi due useranno come indirizzo i segnali A, B, C, D il terzo il segnale I .
- c) Ripartiamo dalla tabella della verità per capire come connettere '1' e '0' ai differenti ingressi dei MUX.

Sintesi a Mux

7) Sintetizzare la rete On_A avendo a disposizione MUX a 2/16 vie.

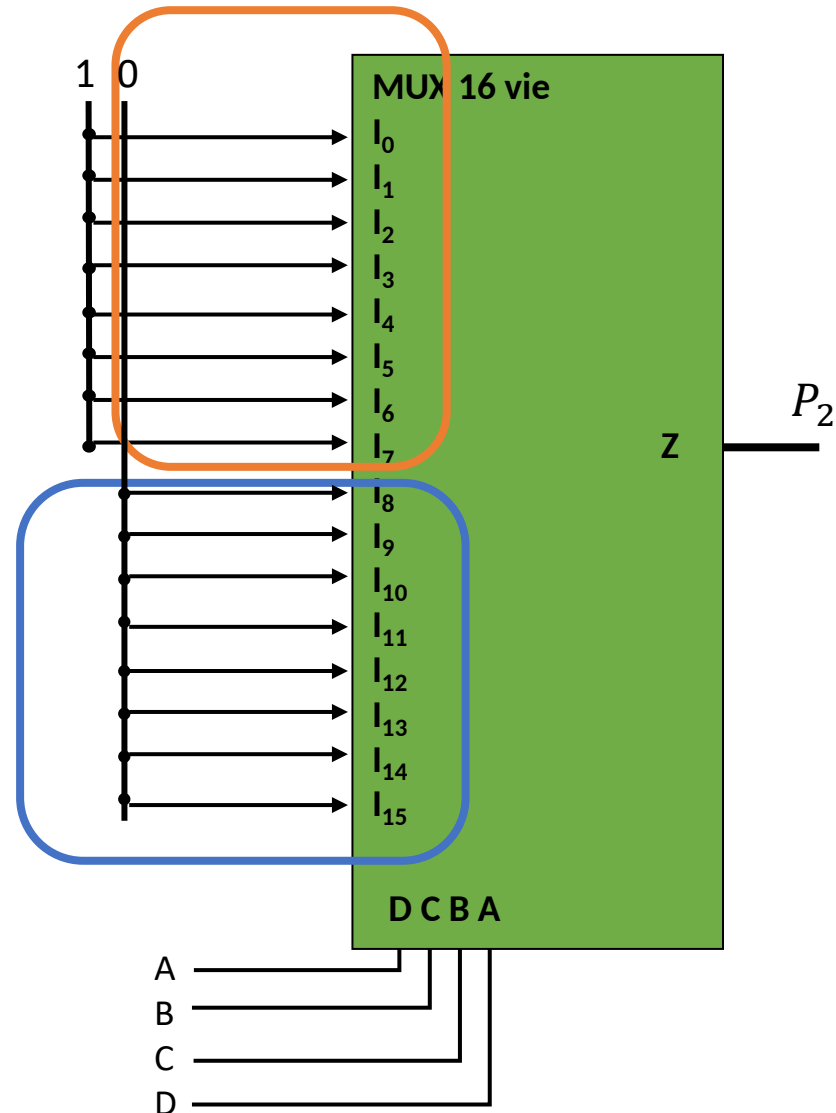
I	A	B	C	D	On_A
0	0	0	0	0	0
0	0	0	0	1	0
0	0	0	1	0	0
0	0	0	1	1	0
0	0	1	0	0	0
0	0	1	0	1	0
0	0	1	1	0	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	0	1	1
0	1	0	1	0	1
0	1	0	1	1	1
0	1	1	0	0	1
0	1	1	0	1	1
0	1	1	1	0	1
0	1	1	1	1	1



Sintesi a Mux

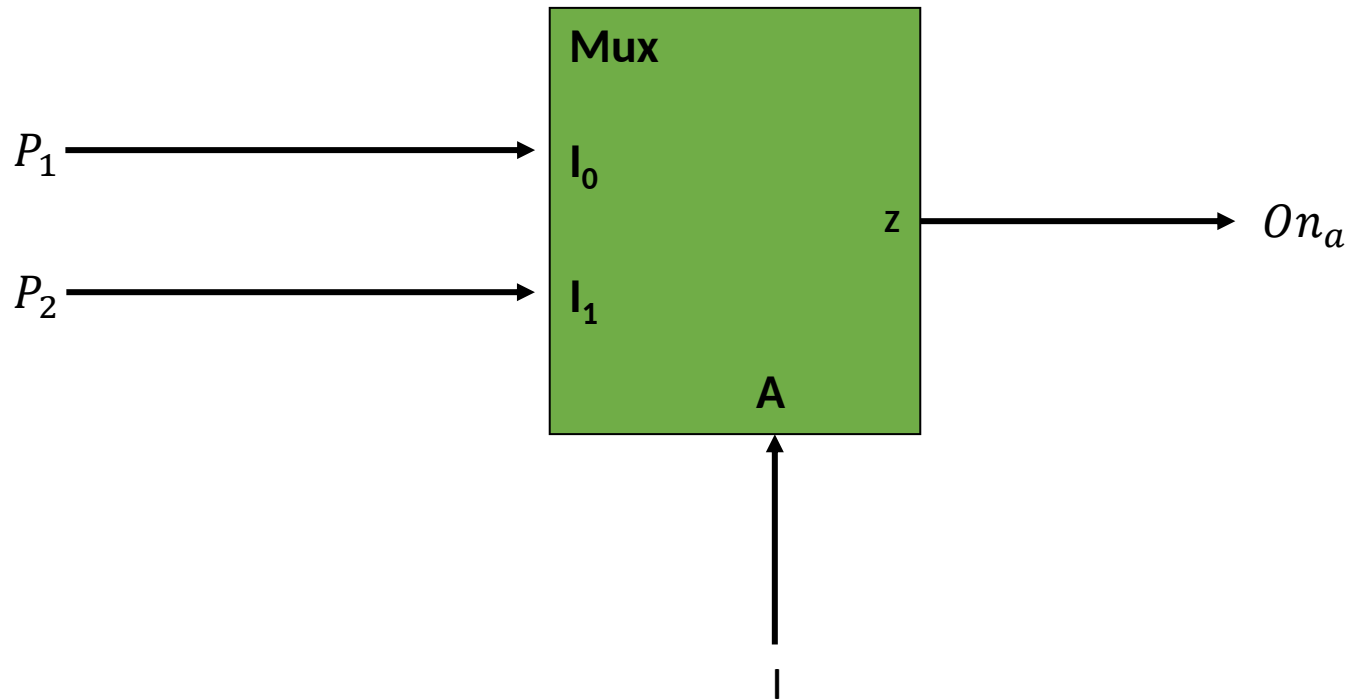
7) Sintetizzare la rete On_A avendo a disposizione MUX a 2/16 vie.

I	A	B	C	D	On_A
1	0	0	0	0	1
1	0	0	0	1	1
1	0	0	1	0	1
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	0	1	1
1	0	1	1	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	0	1	0
1	1	0	1	0	0
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	0	1	0
1	1	1	1	0	0
1	1	1	1	1	0



Sintesi a Mux

7) Sintetizzare la rete On_A avendo a disposizione MUX a 2/16 vie.



Esercizio 3 – Riconoscitore di numeri

Realizzare una rete che prende in ingresso un bus $N[?..0]$ utilizzato per codificare numeri interi con segno in complemento a 2 (il segnale $N[0]$ codifica il bit meno significativo del numero).

La rete ha una sola uscita Y che assume valori differenti a seconda di un ulteriore segnale d'ingresso M che specifica il modo di funzionamento della rete stessa:

- Se $M = 0$, Y deve assumere il valore **1** se e solo se il numero codificato da N è uguale a **-2**; altrimenti, Y deve valere **0**.
- Se $M = 1$, Y deve assumere il valore **1** se e solo se il numero codificato da N si trova nell'intervallo **[-12, -9]**; altrimenti, Y deve valere **0**.

Esercizio 3 – Riconoscitore di numeri

1. Qual è il numero minimo di segnali di cui deve essere composto N ?
2. Realizzare la rete Y :
 - a. Progettando le sottoreti corrispondenti ai modi di funzionamento $M = 0$ e $M = 1$, ipotizzando di poter utilizzare dei DECODER di grandezza a piacere (soluzione non ottimizzata): un DECODER per ogni sottorete più altri gate elementari se necessario.
 - b. Progettando nuovamente le sottoreti, utilizzando esclusivamente gate elementari AND/OR/NOT senza utilizzare le mappe di Karnaugh o la sintesi a MUX (soluzione ottimizzata).
 - c. In entrambi i casi, combinare tali sottoreti tramite un MUX a 2 vie per ottenere la rete Y .
 - d. Minimizzare ulteriormente il numero di gate usati nella soluzione ottenuta usando solo gate elementari (punto b) realizzando anche il MUX tramite gate.

Esercizio 3 – Riconoscitore di numeri

1. Qual è il numero minimo di segnali di cui deve essere composto N ?

N deve poter codificare il numero **-2** ed i numeri compresi tra **-12** e **-9**.
Ragioniamo sul numero di valore assoluto massimo tra quelli dati, **-12**.

I numeri sono rappresentati in complemento a 2.

Dati n segnali, il range di numeri rappresentabili in complemento a 2 è:

$$[-2^{n-1}, 2^{n-1} - 1]$$

Da qui:

$$-2^{n-1} \leq -12$$

$$2^{n-1} \geq 12$$

$$n - 1 \geq \lceil \log_2 12 \rceil = \lceil 3.58 \rceil = 4$$

$$n \geq 5$$

Esercizio 3 – Riconoscitore di numeri

2a. Progettare le sottoreti corrispondenti ai modi di funzionamento $M = 0$ e $M = 1$, ipotizzando di poter utilizzare dei DECODER di grandezza a piacere

I decoder non «ragionano» in complemento a 2, quindi occorre capire a quali numeri interi senza segno corrispondono i numeri negativi richiesti.

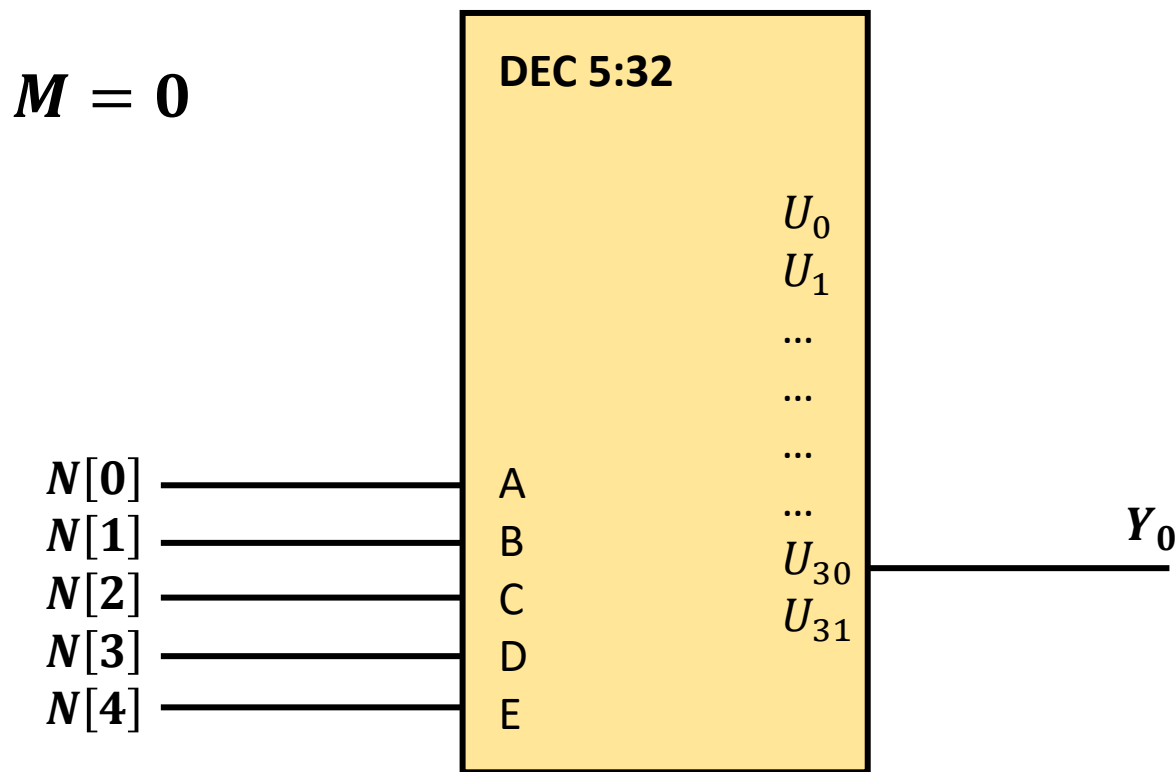
Esercizio 3 – Riconoscitore di numeri

Rappr. Binaria	Intero senza segno	Intero compl. a 2
00000	0	0
00001	1	1
00010	2	2
00011	3	3
00100	4	4
00101	5	5
00110	6	6
00111	7	7
01000	8	8
01001	9	9
01010	10	10
01011	11	11
01100	12	12
01101	13	13
01110	14	14
01111	15	15

Rappr. Binaria	Intero senza segno	Intero compl. a 2
10000	16	-16
10001	17	-15
10010	18	-14
10011	19	-13
10100	20	-12
10101	21	-11
10110	22	-10
10111	23	-9
11000	24	-8
11001	25	-7
11010	26	-6
11011	27	-5
11100	28	-4
11101	29	-3
11110	30	-2
11111	31	-1

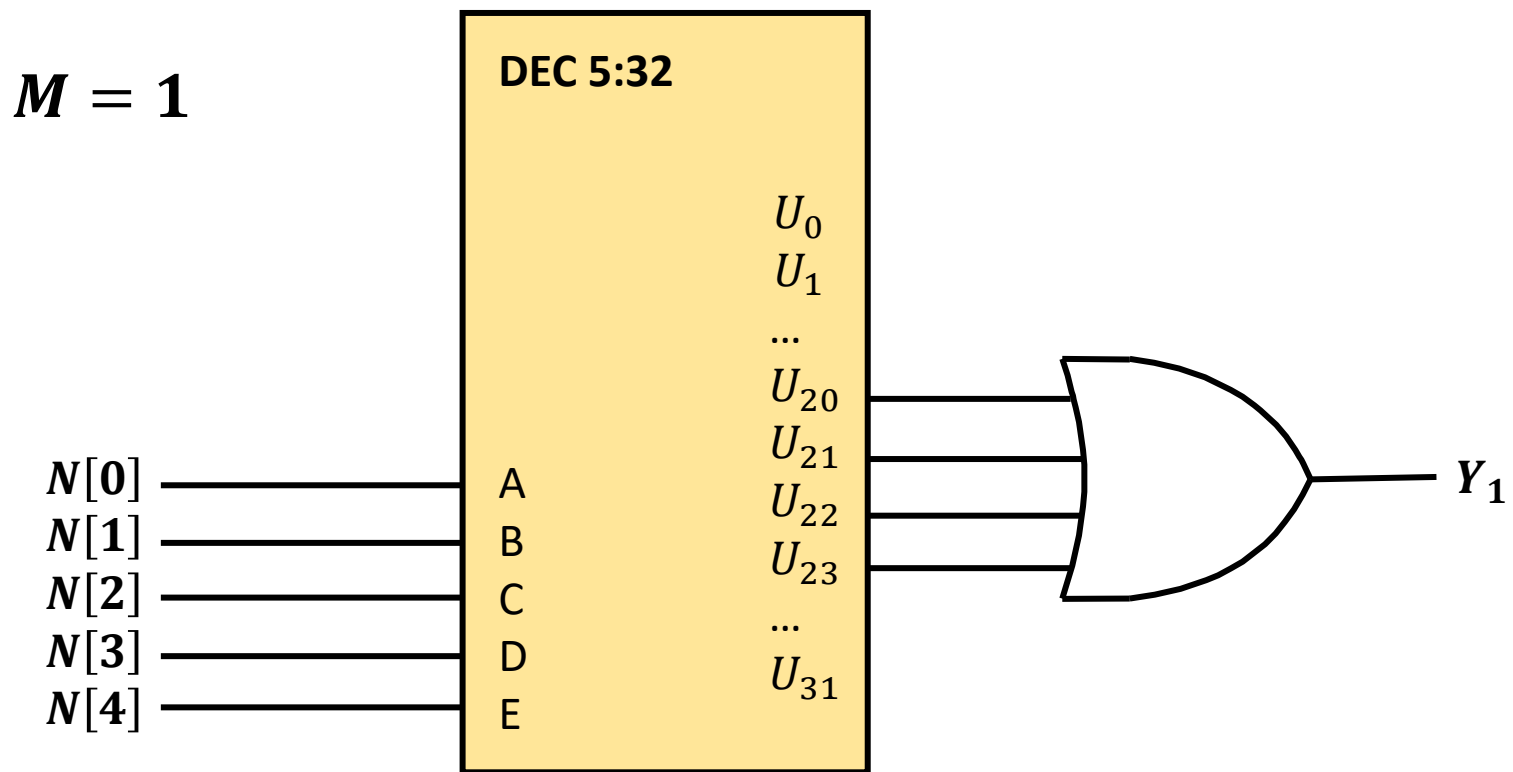
Esercizio 3 – Riconoscitore di numeri

2a. Progettare le sottoreti corrispondenti ai modi di funzionamento $M = 0$ e $M = 1$, ipotizzando di poter utilizzare dei DECODER di grandezza a piacere



Esercizio 3 – Riconoscitore di numeri

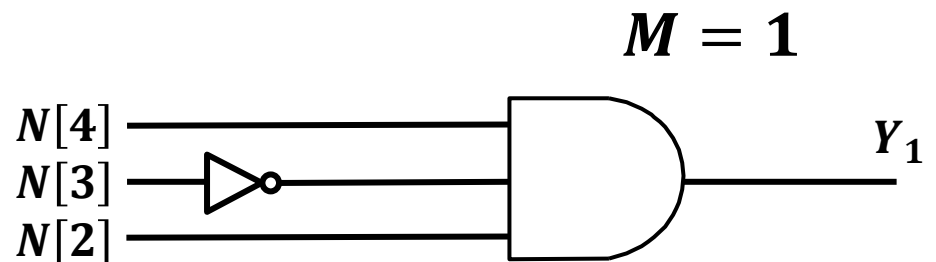
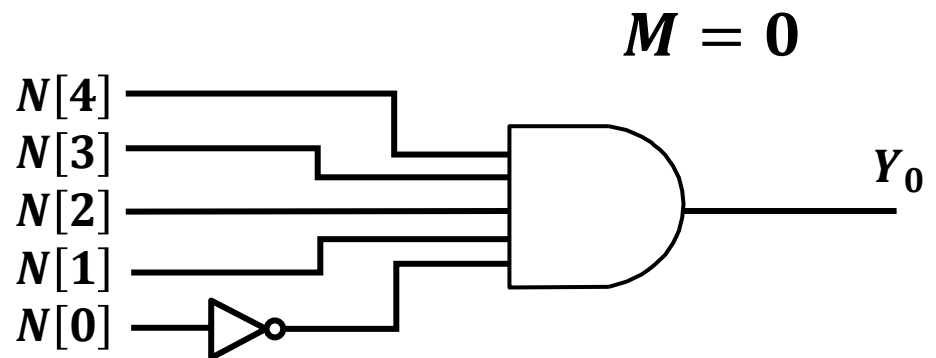
2a. Progettare le sottoreti corrispondenti ai modi di funzionamento $M = 0$ e $M = 1$, ipotizzando di poter utilizzare dei DECODER di grandezza a piacere



Esercizio 3 – Riconoscitore di numeri

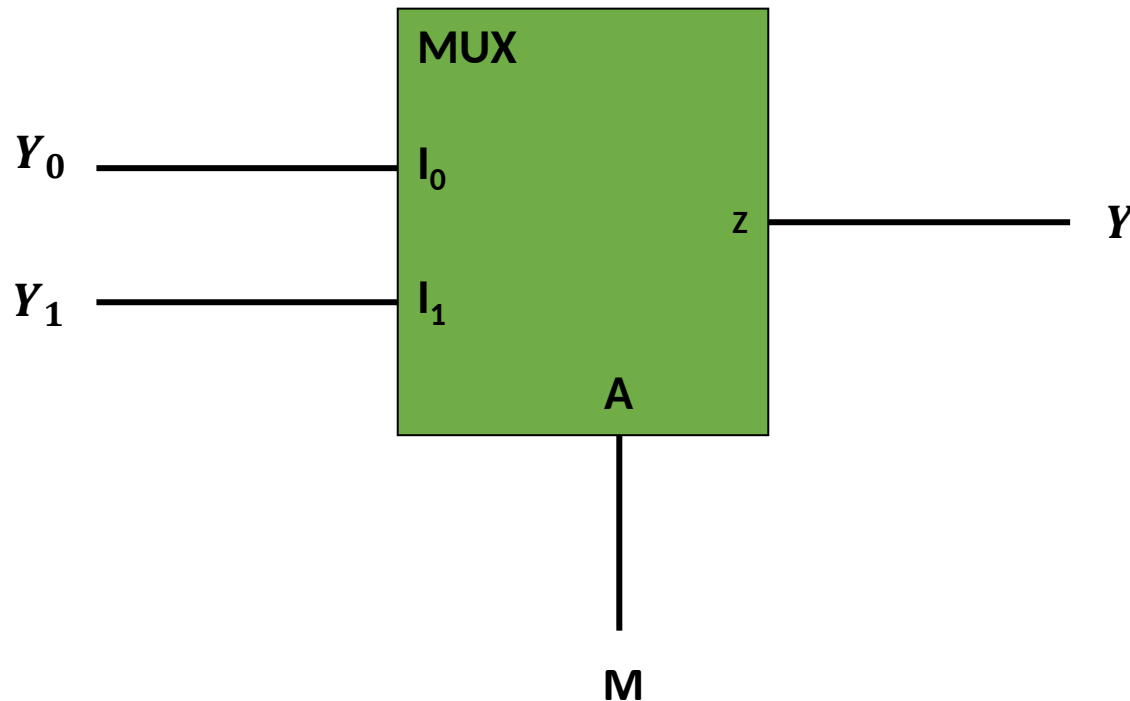
2b. Progettare nuovamente le reti, utilizzando esclusivamente gate elementari AND/OR/NOT (soluzione ottimizzata).

-16	10000	0	00000
-15	10001	1	00001
-14	10010	2	00010
-13	10011	3	00011
-12	10100	4	00100
-11	10101	5	00101
-10	10110	6	00110
-9	10111	7	00111
-8	11000	8	01000
-7	11001	9	01001
-6	11010	10	01010
-5	11011	11	01011
-4	11100	12	01100
-3	11101	13	01101
-2	11110	14	01110
-1	11111	15	01111



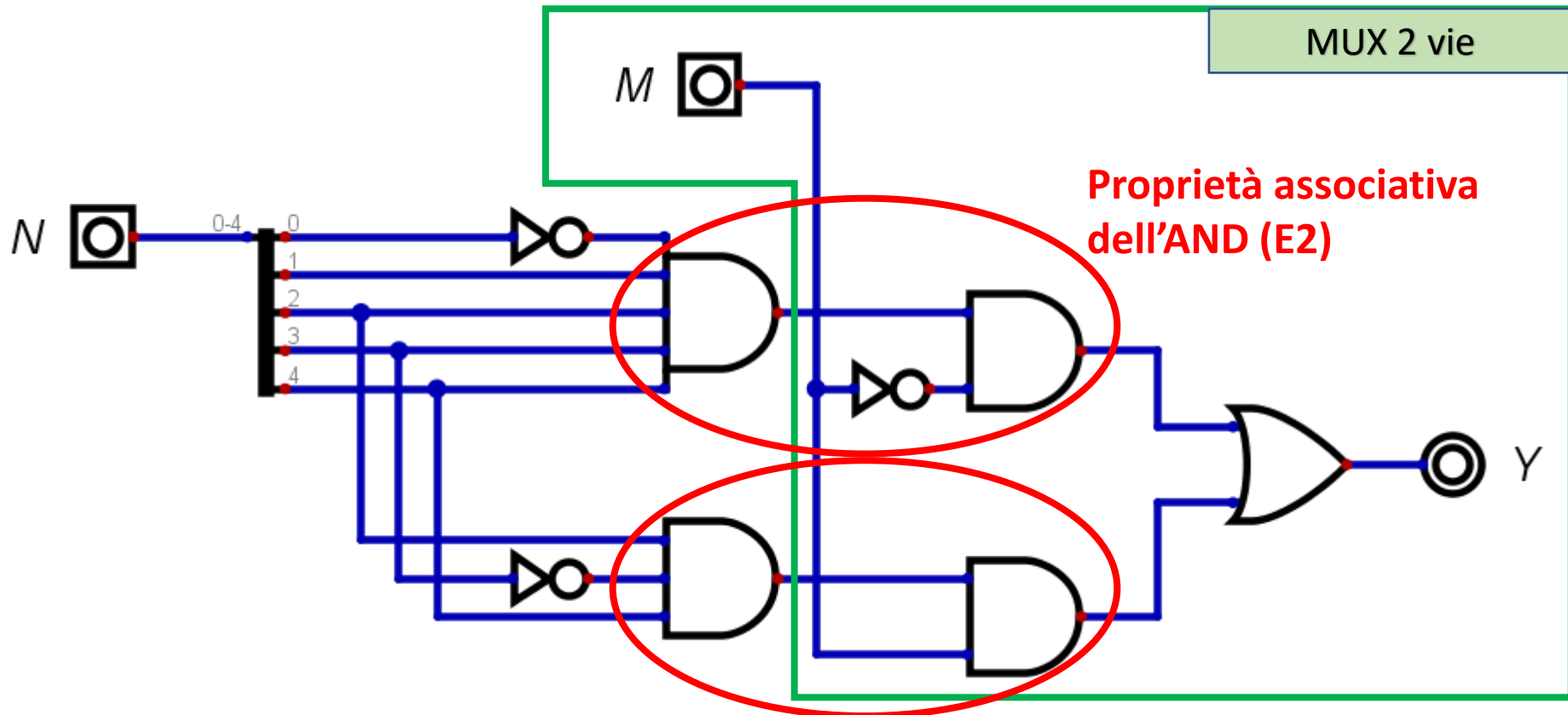
Esercizio 3 – Riconoscitore di numeri

2c. Combinare le sottoreti ottenute nei punti precedenti tramite un MUX a 2 vie per ottenere la rete Y .



Esercizio 3 – Riconoscitore di numeri

2d. Minimizzare ulteriormente il numero di gate usati nella soluzione ottenuta usando solo gate elementari (punto b) realizzando anche il MUX tramite gate.



Esercizio 3 – Riconoscitore di numeri

2d. Minimizzare ulteriormente il numero di gate usati nella soluzione ottenuta usando solo gate elementari (punto b) realizzando anche il MUX tramite gate.

