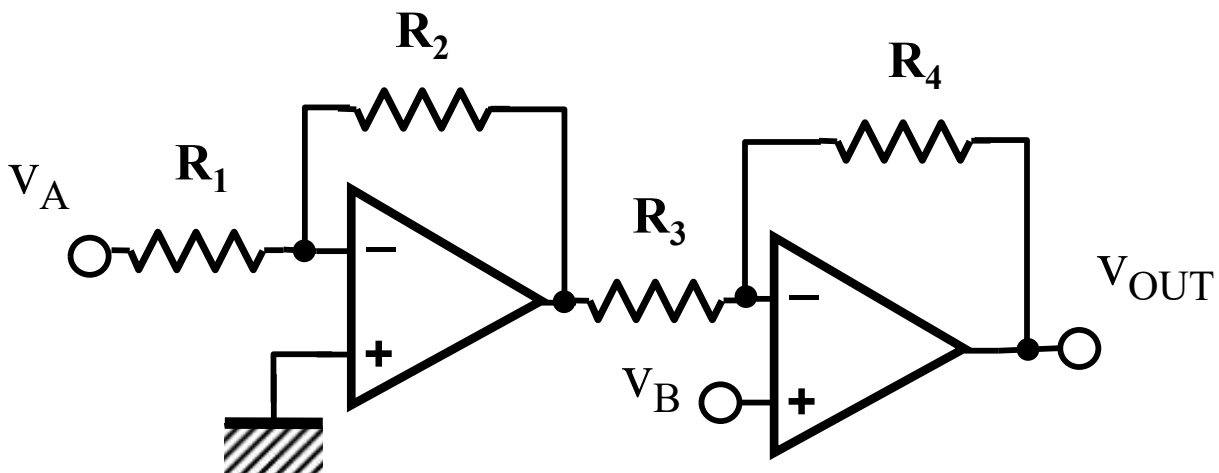


A**N.O. e MOD1 V.O.**

- 1) Del seguente circuito si calcoli v_{OUT} in funzione di v_A e v_B .
Si suppongano gli OPAMP ideali e in alto guadagno.
Esplicitare i passaggi.
- 2) Dimensionare R_1 in modo che il circuito si comporti come un sommatore nei confronti degli ingressi v_A e v_B . Esplicitare i passaggi.



$$R_2 = 40 \text{ K}\Omega$$

$$R_3 = 10 \text{ K}\Omega$$

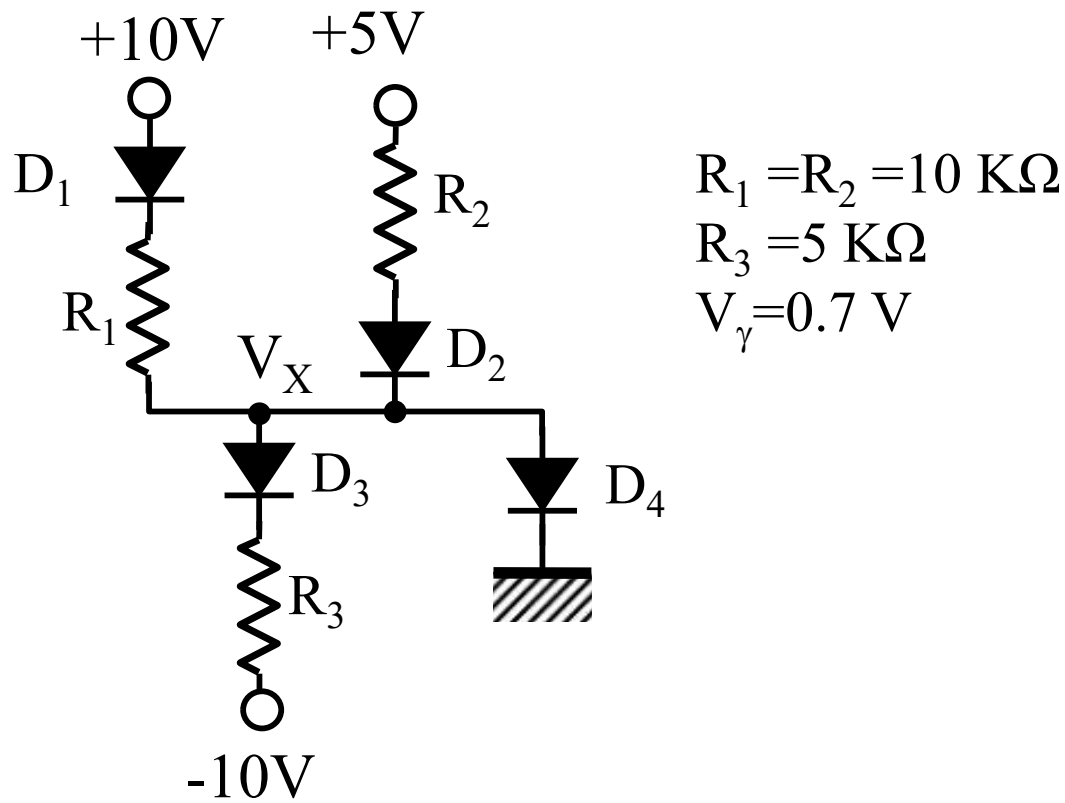
$$R_4 = 40 \text{ K}\Omega$$

$$L_+ = -L_- = 10 \text{ V}$$

$$v_O = \frac{R_4 R_2}{R_3 R_1} v_A + \frac{R_3 + R_4}{R_3} v_B$$

$$R_1 = 32 \text{ K}\Omega$$

- 1) Del seguente circuito si calcoli V_X .
Esplicitare i passaggi.



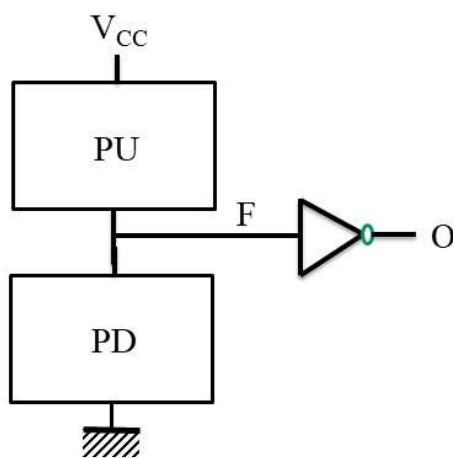
$$V_x = -1.25V$$

D**N.O. e MOD2 V.O.**

1) Si progetti un gate CMOS in logica statica in modo da implementare la seguente funzione logica:

$$O = [(A + D) \cdot B + \bar{C}] \cdot [E + \bar{F}]$$

essendo O il nodo evidenziato nella seguente figura:



$$S_N=8$$

$$S_P=15$$

$$t_{plhmin}=31.3ps$$

$$t_{phlmin}=35.6ps$$

2) Dimensionare NMOS e PMOS (senza ottimizzazione) in modo che il tempo di salita e discesa sia in tutti i casi inferiore o uguale a 110 ps.

Con il dimensionamento ottenuto si calcolino i tempi minimi di propagazione

Parametri tecnologici:

$$R_{eq\ p}= 10Kohm$$

$$R_{eq\ n}= 5Kohm$$

$$C_{ox} = 3\ fF/\mu m^2$$

$$L_{min} = 0,35\mu m$$

$$V_{dd} = 3,3V$$

$$C_{INV} = 75\ fF$$