

# Esame di Calcolatori Elettronici T

## 16 Luglio 2015 (Ing. Informatica)

### Esercizio 1

Progettare un sistema basato sul microprocessore **DLX** dotato di **1 GB di EPROM** mappata negli indirizzi bassi e **1 GB di RAM** mappata negli indirizzi alti. Nel sistema è anche presente una **periferica a 8 bit**, già progettata, denominata **INPUT\_PORT** in grado di ricevere dati dall'esterno utilizzando il protocollo di *handshake*. **A ogni lettura da INPUT\_PORT, una rete logica da progettare deve verificare se il carattere letto è palindromo e, in caso affermativo, incrementare il valore di conteggio di un contatore a 16 bit. Il valore di conteggio dei dati palindromi deve poter essere letto dal DLX mediante opportune istruzioni software e il contatore deve poter essere resettato sempre mediante opportuni comandi software.**

- Indicare i segnali di *chip select* di tutte le periferiche, memorie e di eventuali altri segnali presenti nel sistema
- Progettare, **ottimizzando le risorse utilizzate**, le reti necessarie al funzionamento del sistema indicando inoltre le connessioni di tutte le periferiche e le memorie ai bus del DLX
- Scrivere il codice dell'*interrupt handler* che gestisce le comunicazioni con la porta in input, la lettura dal contatore e il reset del contatore. Si assuma che i registri da R20 a R30 possano essere utilizzati senza la necessità di dover preservare il loro contenuto

### Esercizio 2

Si consideri la seguente sequenza di istruzioni assembler DLX. Indicare, mostrando l'evoluzione delle istruzioni nella pipeline, quanti stalli risultano nei seguenti tre casi:

- a) senza forwarding unit e senza cycle-split
- b) con forwarding unit e senza cycle-split
- c) senza forwarding unit e con cycle-split

```
NOP;  
NOP;  
NOP;  
ADD R4, R5, R6  
LW R4, 100(R12)  
LW R9, 200(R4)  
ADD R6, R8, R1  
ADDI R15, R4, 1
```

### Esercizio 3

Spiegare le differenze tra la gestione dell'Input/Output mediante *polling* e *interrupt* evidenziando vantaggi e svantaggi di ciascuna metodologia.

## MAPPING

EPROM 1 GB :  $0 \times 0000\ 0000 \rightarrow 0 \times 3fff\ ffff$  ( $4 \times 256$ )

RAM 512 MB L :  $0 \times c000\ 0000 \rightarrow dfff\ ffff$  ( $4 \times 128$ )

RAM 512 KB H :  $0 \times e000\ 0000 \rightarrow ffff\ ffff$  ( $4 \times 128$ )

CS\_INPUT\_PORT :  $0 \times 4000\ 0000$

CS\_READ\_COUNT :  $0 \times 4000\ 0002/3$

CS\_RES\_COUNT :  $0 \times 4000\ 0001$

CS\_RAM\_L\_0 = BA31  $\overline{BA29}$  BE 0

CS\_RAM\_L\_1 = BA31  $\overline{BA29}$  BE 1

CS\_RAM\_L\_2 = BA31  $\overline{BA29}$  BE 2

CS\_RAM\_L\_3 = BA31  $\overline{BA29}$  BE 3

CS\_EPROM\_0 =  $\overline{BA31}$   $\overline{BA30}$  BE 0

CS\_EPROM\_1 =  $\overline{BA31}$   $\overline{BA30}$  BE 1

CS\_EPROM\_2 =  $\overline{BA31}$   $\overline{BA30}$  BE 2

CS\_EPROM\_3 =  $\overline{BA31}$   $\overline{BA30}$  BE 3

CS\_RAM\_H\_0 = BA31 BA29 BE 0

CS\_RAM\_H\_1 = BA31 BA29 BE 1

CS\_RAM\_H\_2 = BA31 BA29 BE 2

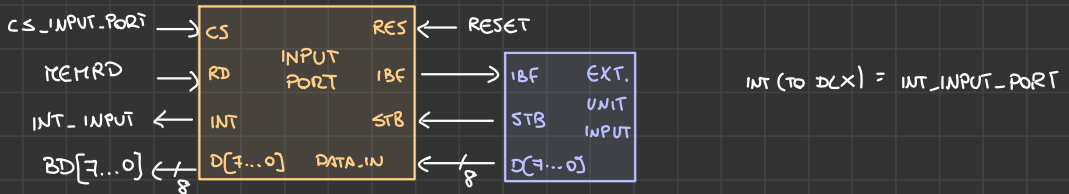
CS\_RAM\_H\_3 = BA31 BA29 BE 3

CS\_INPUT\_PORT =  $\overline{B31}$  B30 BE 0

CS\_READ\_COUNT =  $\overline{B31}$  B30 BE 2 BE 3 · MEMRD

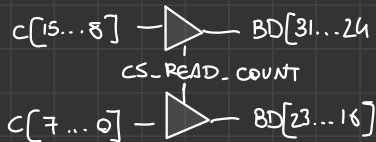
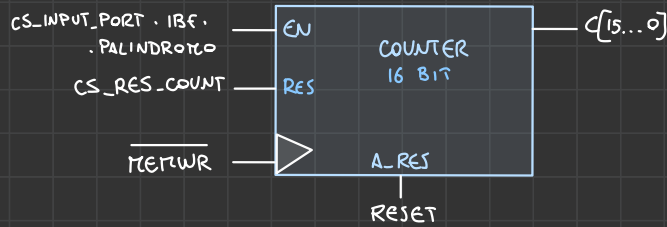
CS\_RES\_COUNT =  $\overline{B31}$  B30 BE 1

## PORTA INPUT



PALINDROMIO = BD7  $\equiv$  BD0 · BD6  $\equiv$  BD1 · BD5  $\equiv$  BD2 · BD4  $\equiv$  BD3

## Rete per il conteggio



## CODICE

### HANDLER:

```
LHI R20, 0x4000
```

```
LBU R21, 0x0000(R20)
```

```
RFE
```

### LETTURA DA COUNTER

```
LHI R25, 0x4000
```

```
LHU R26, 0x0002(R25)
```

### RESET COUNTER

```
LHI R28, 0x4000
```

```
SB R0, 0x0001(R28)
```