

Calcolatori Elettronici T
Ing. Informatica

Traccia soluzione
23 Dicembre 2022

Dispositivi e segnali presenti nel sistema.

Dispositivi di memoria:

RAM_512_H	E0000000h:FFFFFFFFh, 4 banchi da 128 MB
RAM_512_M	C0000000h:FFFFFFFFh, 4 banchi da 128 MB
RAM_512_L	A0000000h:FFFFFFFFh, 4 banchi da 128 MB
EPROM_512	40000000h:5FFFFFFFFh, 4 banchi da 128 MB
EPROM_1GB	00000000h:3FFFFFFFFh, 4 banchi da 256 MB

Porte di input, output e altri chip-select e/o segnali:

CS_INPUT_PORT_0	60000000h
CS_INPUT_PORT_1	60000001h
CS_OUTPUT_PORT_0	60000000h
CS_OUTPUT_PORT_1	60000001h
CS_INT_STATUS	60000002h

Il segnale **INPUT_ACTIVE** definito in seguito, quando asserito, codifica che deve essere eseguito un trasferimento dalle porte in INPUT.

Segnali di decodifica di memorie, periferiche e segnali:

CS_RAM_512_H_0	= BA31·BA30·BA29·BE0
CS_RAM_512_H_1	= BA31·BA30·BA29·BE1
CS_RAM_512_H_2	= BA31·BA30·BA29·BE2
CS_RAM_512_H_3	= BA31·BA30·BA29·BE3

CS_RAM_512_M_0	= BA31·BA30·BA29*·BE0
CS_RAM_512_M_1	= BA31·BA30·BA29*·BE1
CS_RAM_512_M_2	= BA31·BA30·BA29*·BE2
CS_RAM_512_M_3	= BA31·BA30·BA29*·BE3

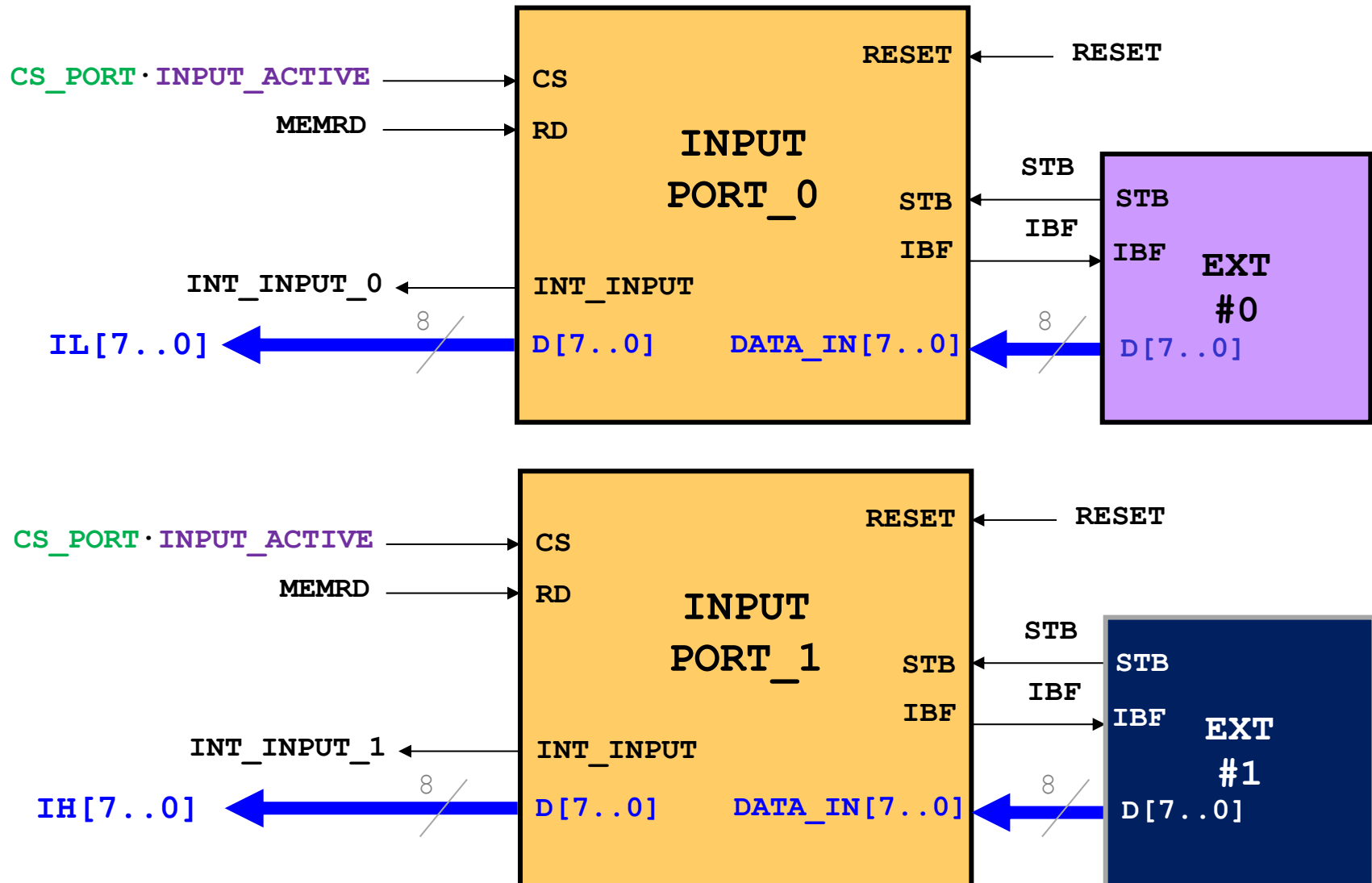
CS_RAM_512_L_0	= BA31·BA30*·BE0
CS_RAM_512_L_1	= BA31·BA30*·BE1
CS_RAM_512_L_2	= BA31·BA30*·BE2
CS_RAM_512_L_3	= BA31·BA30*·BE3

CS_PORT	= BA31*·BA30·BA29·BE1·BE0	mappato a 60000000/1h
CS_INT_STATUS	= BA31*·BA30·BA29·BE2	mappato a 60000002h

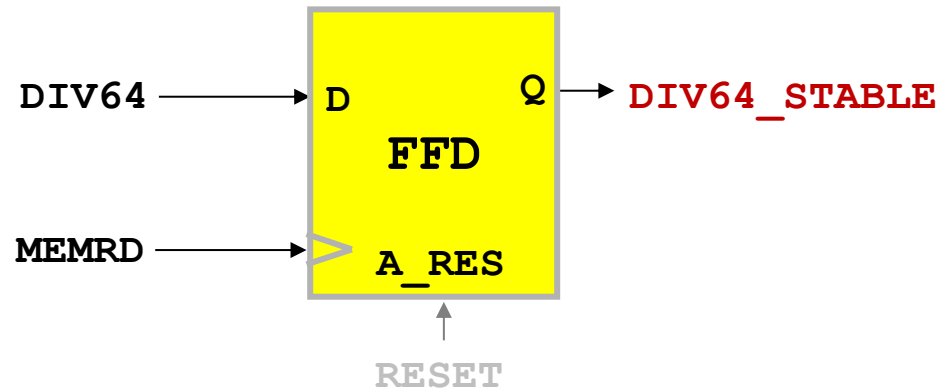
CS_RAM_512_0	= BA31*·BA30·BA29*·BE0
CS_RAM_512_1	= BA31*·BA30·BA29*·BE1
CS_RAM_512_2	= BA31*·BA30·BA29*·BE2
CS_RAM_512_3	= BA31*·BA30·BA29*·BE3

CS_EPROM_1GB_0	= BA31*·BA30*·BE0
CS_EPROM_1GB_1	= BA31*·BA30*·BE1
CS_EPROM_1GB_2	= BA31*·BA30*·BE2
CS_EPROM_1GB_3	= BA31*·BA30*·BE3

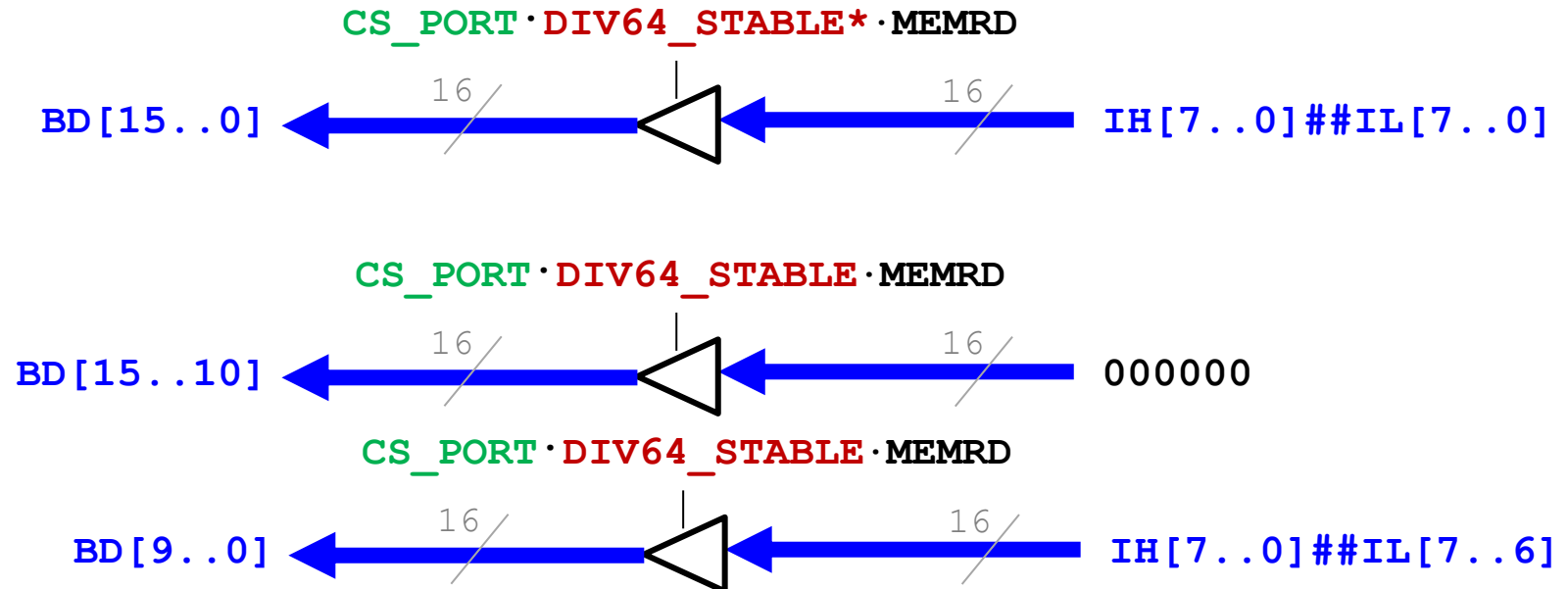
Nel sistema sono presenti due porte in input, **INPUT_PORT_1** e **INPUT_PORT_0** connesse a due unità esterne indipendenti. Il condizionamento con **INPUT_ACTIVE** non è indispensabile e può essere omissso.



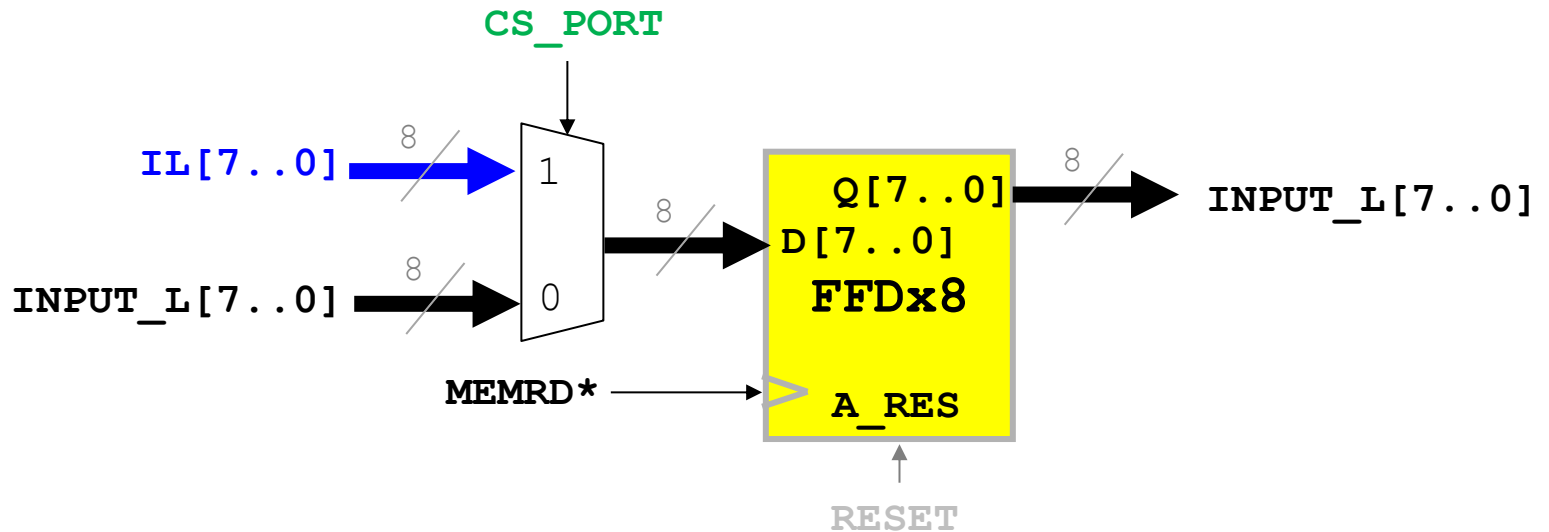
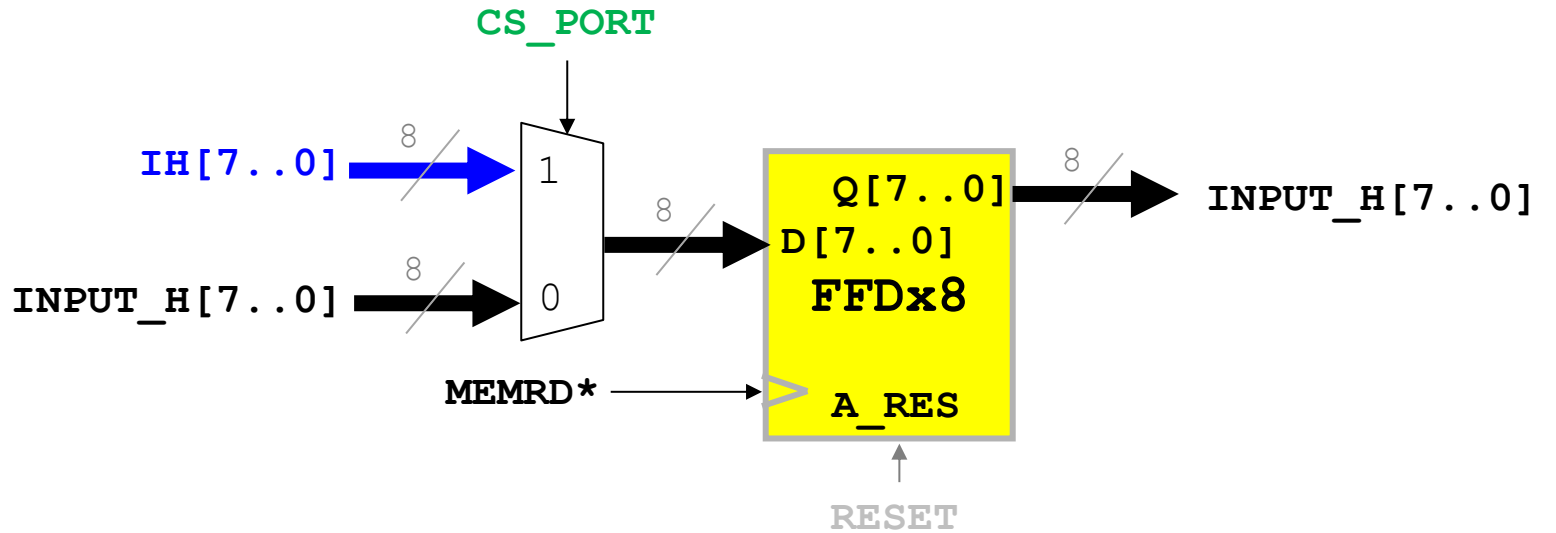
La stabilità del segnale **DIV64** non è garantita durante i trasferimenti dalle porte in input. Pertanto, si procede alla sua sincronizzazione mediante la rete seguente.



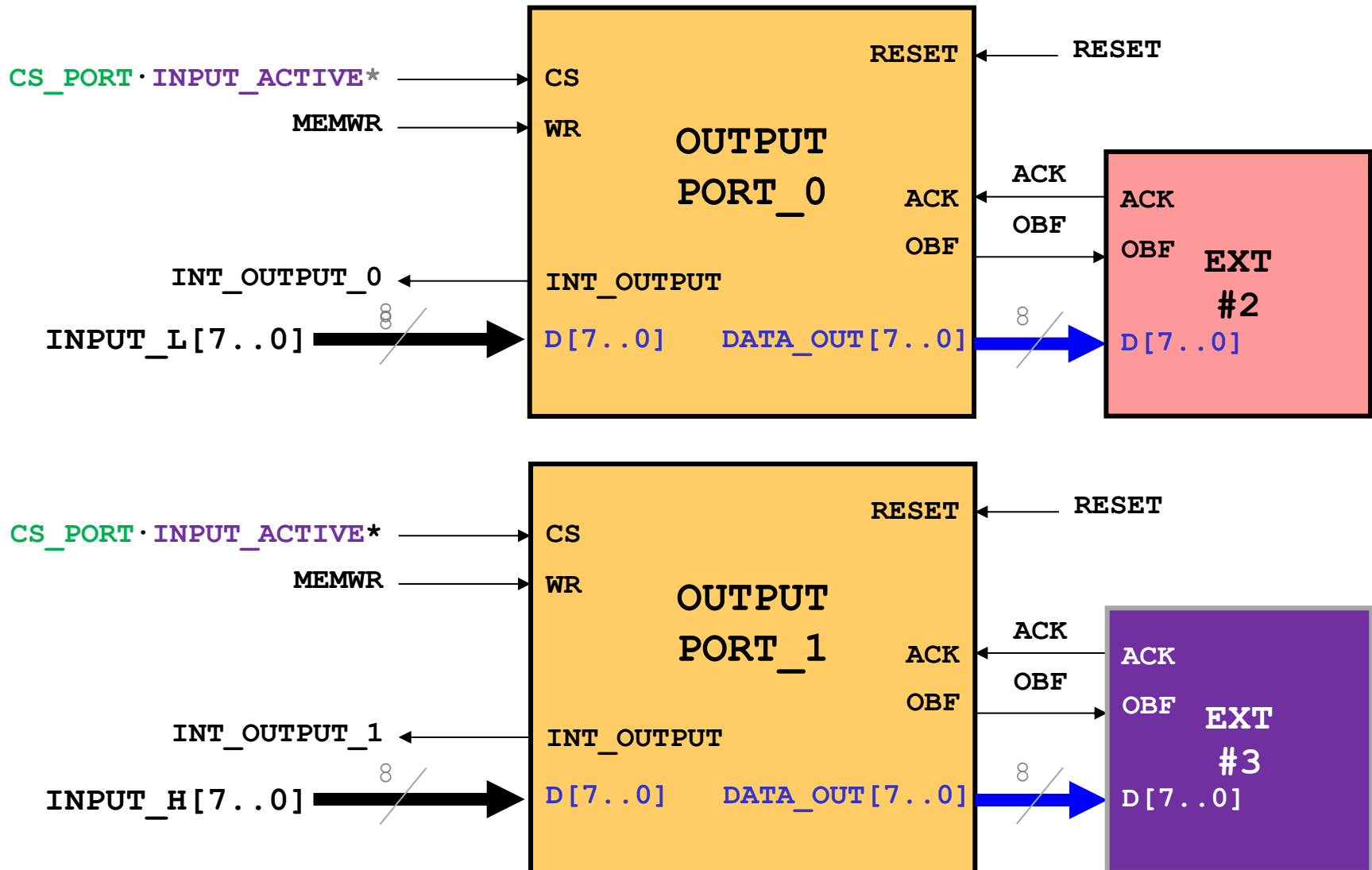
In accordo al segnale **DIV64_STABLE** si connettono le uscite delle porte in input al bus dati come segue:



La rete seguente memorizza il dato letto dalle porta in input al fine di poterlo inviare successivamente alle porte in output.

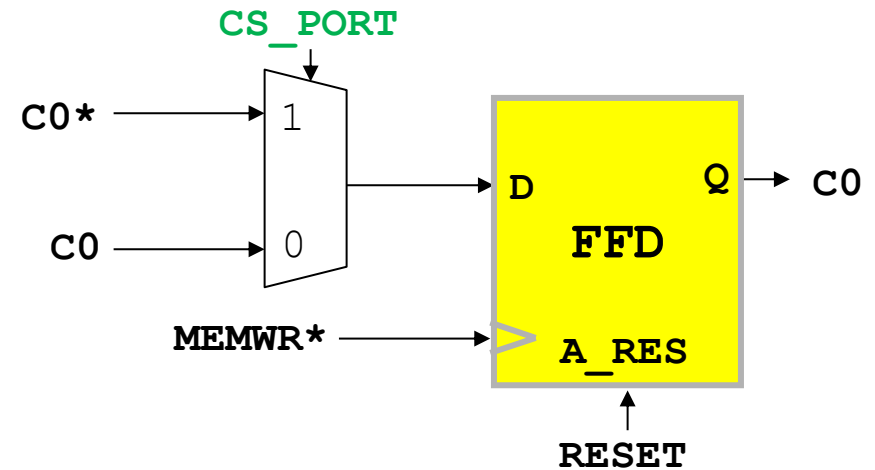
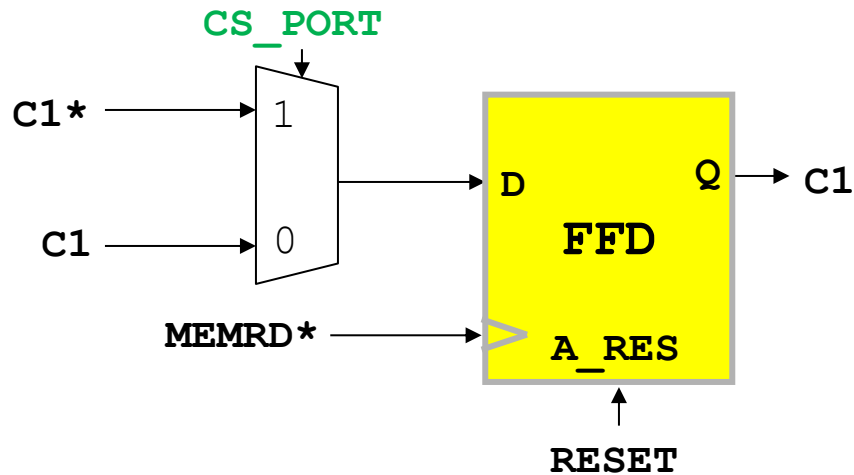


Nel sistema sono presenti due porte in output, **OUTPUT_PORT_0** e **OUTPUT_PORT_1** connesse a due unità esterne indipendenti. Il condizionamento dei CS con **INPUT_ACTIVE*** non è indispensabile e può essere omesso.



La rete seguente, consente di gestire l'alternanza tra letture e scritture nelle porte con *handshake* mediante l'elaborazione dei segnali **C1** e **C0** (**C1C0=00->input**, **10->output**, **11->input**, **01->output**, **00->input**, etc) generati dalla rete seguente. Il segnale **INPUT_ACTIVE**, se asserito, indica che è necessario un trasferimento in input:

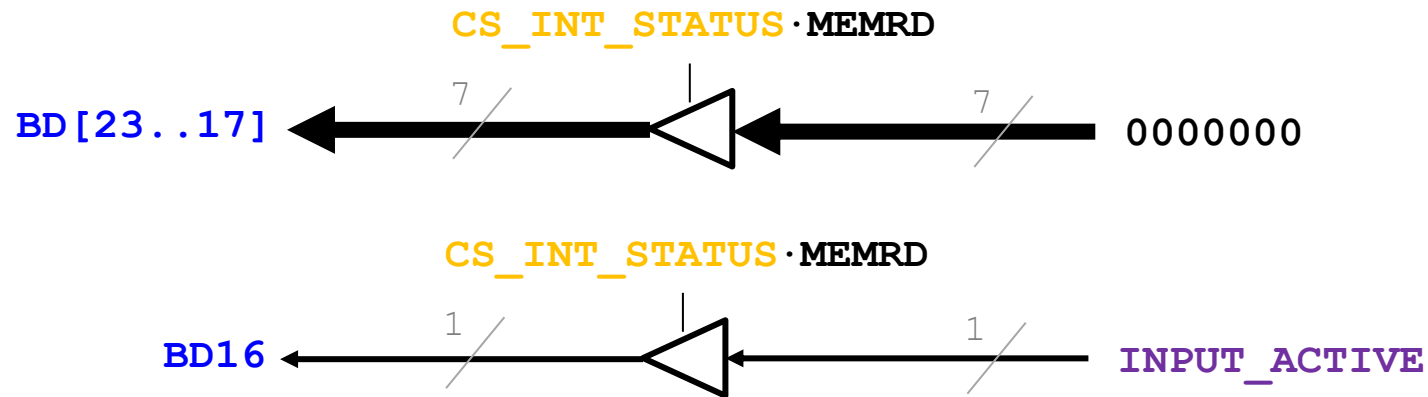
$$\text{INPUT_ACTIVE} = \text{NOT}(\text{C1 XOR C0})$$



Il segnale **INPUT_ACTIVE**, è utilizzato per condizionare le richieste di interrupt al DLX nel modo seguente.

$$\text{INT_DLX} = (\text{INT_INPUT_1} \cdot \text{INT_INPUT_0}) \cdot \text{INPUT_ACTIVE} + (\text{INT_OUTPUT_1} \cdot \text{INT_OUTPUT_0}) \cdot \text{INPUT_ACTIVE}^*$$

Come mostrato nella pagina successiva, il segnale **INPUT_ACTIVE** può essere letto all'interno dell'*interrupt handler* al fine di determinare quale trasferimento eseguire.



Interrupt handler (si omette per semplicità rete/procedura di avvio):

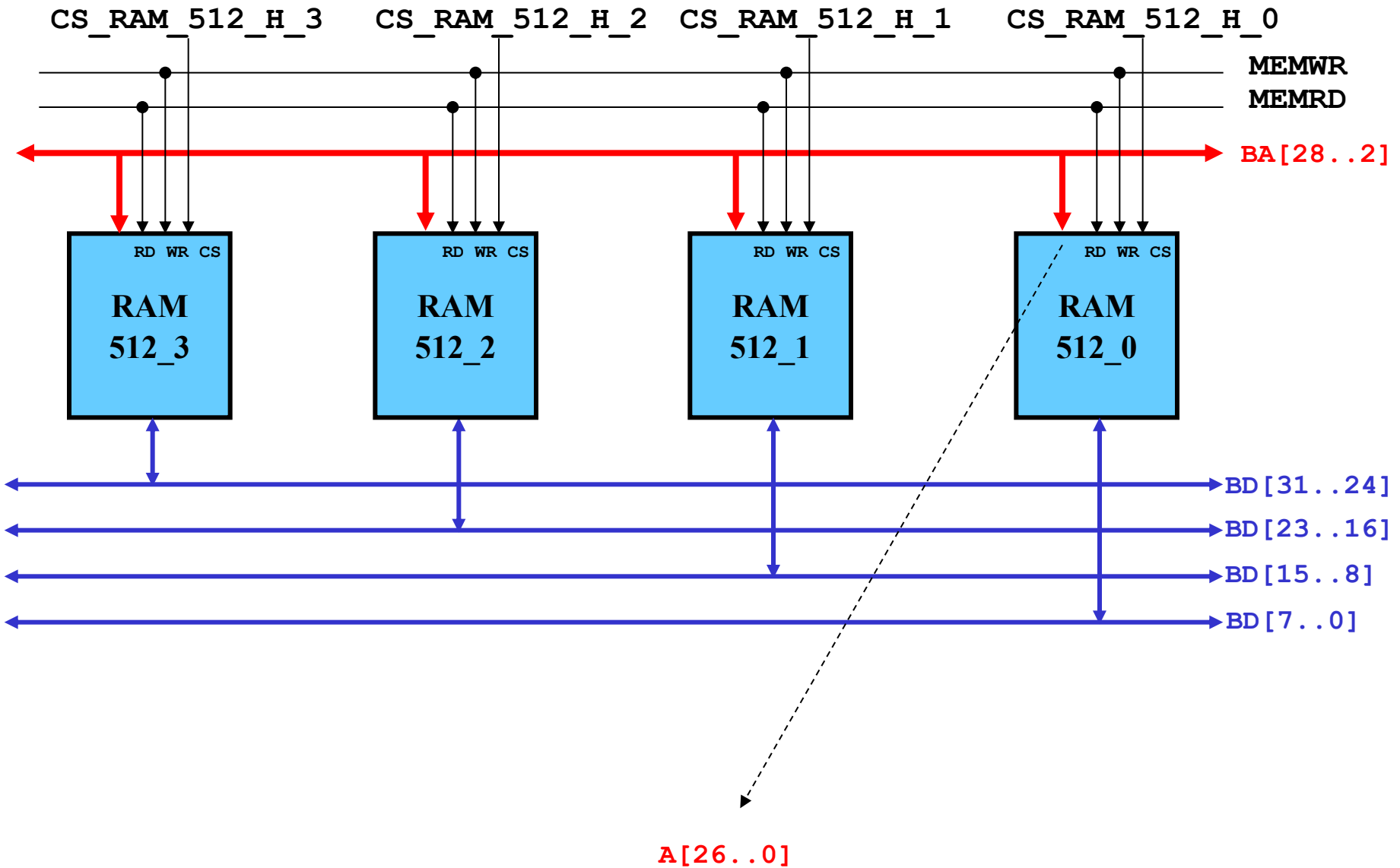
```

00000000: LHI R20,0x6000      ; R20 = 60000000h
00000004: LBU R21,0x0002(R20) ; legge INPUT_ACTIVE
00000008: BEQZ R21,output     ; se R21 zero scrive su porte in output
                                ; gestione input
0000000C: LHI R22,0xFF00      ; R22 = FF000000h
00000010: LHU R23,0x0000(R20) ; legge 16 bit dalle porte in input
00000014: SH R23,0x4000(R22) ; scrive quanto letto a FF004000h
00000018: RFE                ;
output:                                ; gestione output
0000001C: SH R0,0x0000(R20)  ; scrittura dummy verso le porte in output
00000020: RFE                ;

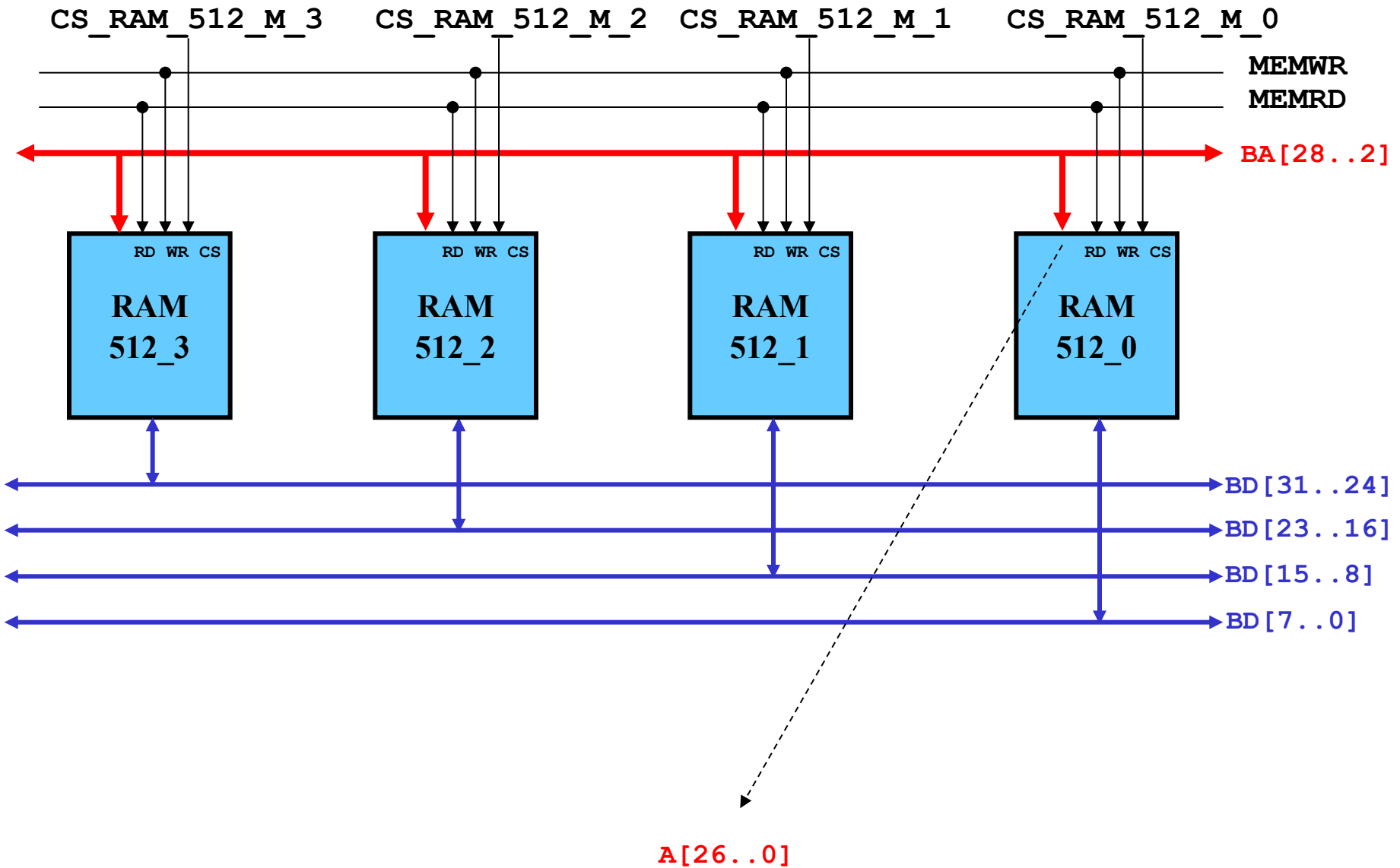
```

output: equivale a $16_{10} = 10_{16}$

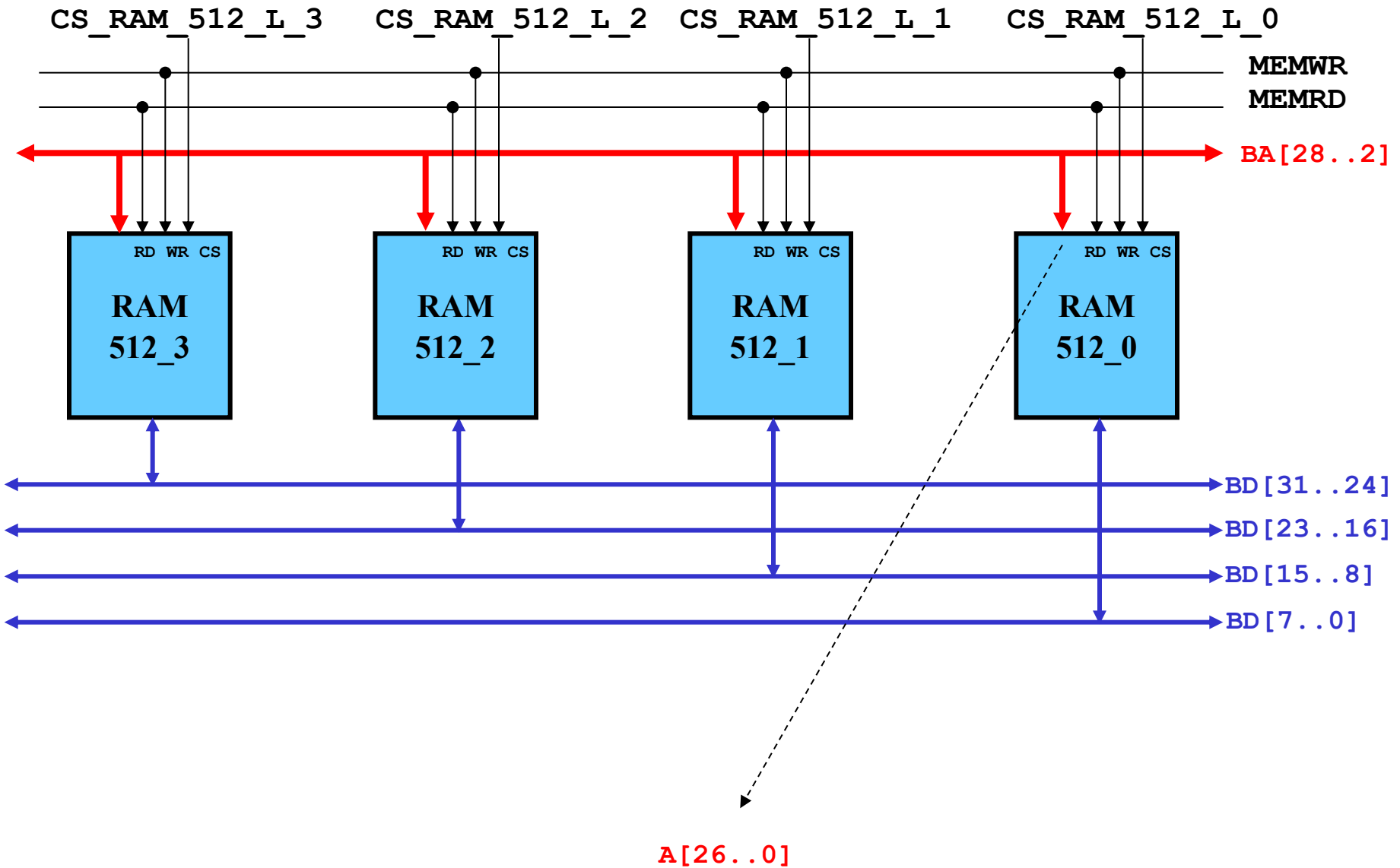
Interfacciamento RAM_512_H



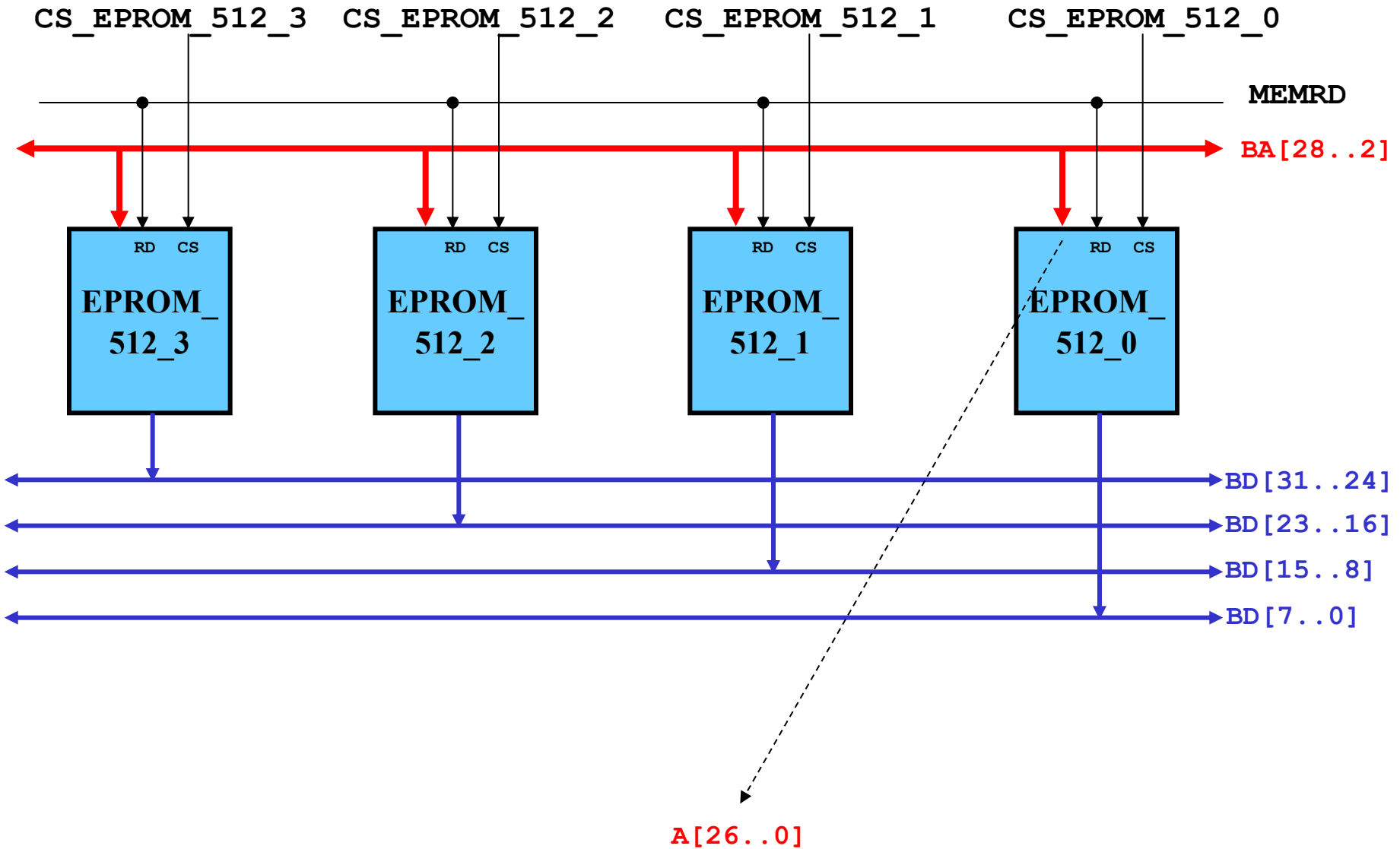
Interfacciamento RAM_512_M



Interfacciamento RAM_512_L



Interfacciamento EPROM_512



Interfacciamento EPROM_1GB

