

Esame di Calcolatori Elettronici T

23 Dicembre 2022 (Ing. Informatica)

Progettare un sistema, basato su un processore DLX nel quale sono presenti 2 porte in INPUT (denominate **INPUT_0** e **INPUT_1**) e 2 porte in OUTPUT (denominate **OUTPUT_0** e **OUTPUT_1**). Tutte le 4 porte sono a 8 bit, già progettate, e comunicano con l'esterno mediante il protocollo di *handshake*.

Il sistema dispone anche di una memoria **EPROM pari a 1536 MB**, mappata nella parte bassa dello spazio di indirizzamento, e una stessa quantità di memoria **RAM** mappata nella parte alta.

I trasferimenti (a 16 bit di dati *unsigned*) eseguiti dalle porte in INPUT e in OUTPUT dovranno **alternarsi continuamente** e, all'avvio, dovrà essere abilitato il trasferimento a 16 bit dalle due porte in INPUT. Successivamente dovrà essere eseguito un trasferimento a 16 verso l'esterno mediante le porte in OUTPUT e così via. L'alternanza tra le operazioni di input e output dovrà avvenire mediante una opportuna rete logica.

I 16 bit letti dalla porta in INPUT potranno essere o meno divisi per 64 (divisione intera) in funzione di un segnale **DIV64** generato all'esterno del sistema. La **divisione intera per 64** dovrà essere eseguita, mediante un'opportuna rete logica **durante la lettura dalle porte in INPUT unicamente quando DIV64 è asserito**. I dati letti dalle porte in INPUT dovranno essere memorizzati all'indirizzo **FF004000h**.

Diversamente, i **16 bit inviati alle porte in output** dovranno **coincidere con l'ultimo valore a 16 bit** originariamente (i.e., indipendentemente dalla divisione per 64) **letto dalle porte in INPUT**.

- a) **Descrivere sinteticamente la soluzione** indicando **chiaramente quali sono i dispositivi utilizzati, gli indirizzi e i segnali di chip-select**
- b) **Progettare il sistema** indicando le **espressioni di decodifica** e il **range di indirizzi** di tutte le periferiche, le memorie e i segnali e le connessioni di tutti i dispositivi con i bus di sistema. Evidenziare eventuali criticità.
- c) Scrivere il **codice dell'interrupt handler** che effettua la lettura dalle porte in INPUT e la scrittura nelle porte in OUTPUT, assumendo che i registri da R20 a R25 non debbano essere ripristinati.