

Esame di Calcolatori Elettronici T

17 Gennaio 2023 (Ing. Informatica)

Progettare un sistema, basato su un processore DLX nel quale sono presenti quattro porte in input (denominate **INPUT_PORT_0**, **INPUT_PORT_1**, **INPUT_PORT_2** e **INPUT_PORT_3**) e una porta in output (denominata **OUTPUT_PORT**). Tutte le porte sono a 8 bit, già progettate, e comunicano con l'esterno mediante il protocollo di *handshake*.

Il sistema dispone anche di una memoria **EPROM pari a 1280 MB**, mappata nella parte bassa dello spazio di indirizzamento, e **2 GB di RAM** mappata nella parte alta.

Sin dall'avvio, e mediante l'ausilio di opportune reti logiche: **ogni 6 trasferimenti di un byte di tipo *signed* da INPUT_PORT_0, dovrà essere eseguito un unico trasferimento (a 32 bit) dalle 4 porte in input e così via** (i.e., 6 trasferimenti da INPUT_PORT_0, un unico trasferimento a 32 bit dalle quattro porte, 6 trasferimenti da INPUT_PORT_0, eccetera). Inoltre, **il byte letto da INPUT_0** (indipendentemente dal fatto che si stia leggendo da una singola o dalle quattro porte in input) dovrà essere **contemporaneamente** inviato, nel caso questo sia possibile, anche a **OUTPUT_PORT**.

Quanto letto dalla/e porta/e in input dovrà essere scritto, come word, all'indirizzo **0xF0000008**.

- a) **Descrivere sinteticamente la soluzione** indicando **chiaramente quali sono i dispositivi utilizzati, gli indirizzi e i segnali di *chip-select***
- b) **Progettare il sistema** indicando le **espressioni di decodifica** e il **range di indirizzi** di tutte le periferiche, le memorie e i segnali e le connessioni di tutti i dispositivi con i bus di sistema.
- c) Si evidenzino eventuali criticità e nella soluzione si renda, mediante l'utilizzo di opportune reti logiche, **l'esecuzione dell'interrupt handler il più veloce possibile**
- d) Scrivere il **codice dell'interrupt handler** assumendo che i registri da R20 a R25 non debbano essere ripristinati.