

**Calcolatori Elettronici T**  
**Ing. Informatica**

**Traccia soluzione**  
**23 Dicembre 2021**

# Esercizio 1

Nell'esercizio è necessario eseguire trasferimenti a 16 bit contemporanei da due porte in input a 8 bit connesse a due unità esterne indipendenti. Tuttavia, la collocazione sul bus dati dei dati letti dalle due porte a 8 bit deve variare in funzione del numero di letture a 16 bit eseguite nelle due porte in accordo a quanto indicato nel testo del problema. Inoltre, all'avvio del sistema, il numero di tali trasferimenti dovrà essere inizializzato al valore 1Fh.

## Dispositivi e segnali presenti nel sistema.

Dispositivi di memoria:

RAM_2GB	mappata da 80000000h:FFFFFFFFh, 4 banchi da 512 MB
RAM_512MB_H	mappata da 60000000h:7FFFFFFFh, 4 banchi da 128 MB
RAM_512MB_L	mappata da 40000000h:5FFFFFFFh, 4 banchi da 128 MB
EPROM_512	mappata da 00000000h:1FFFFFFFh, 4 banchi da 128 MB

Porte di input, output e altri chip-select e/o segnali:

CS_INPUT_PORT	mappata a 20000000/1h
CS_SET_STARTUP_FFD	mappato a 20000002h (write)
CS_READ_STARTUP_FFD	mappato a 20000002h (read)
CS_INIT_COUNTER	mappato a 20000003h

Segnali di decodifica di memorie, periferiche e segnali:

CS_RAM_2GB_0	= BA31 · BE0
CS_RAM_2GB_1	= BA31 · BE1
CS_RAM_2GB_2	= BA31 · BE2
CS_RAM_2GB_3	= BA31 · BE3

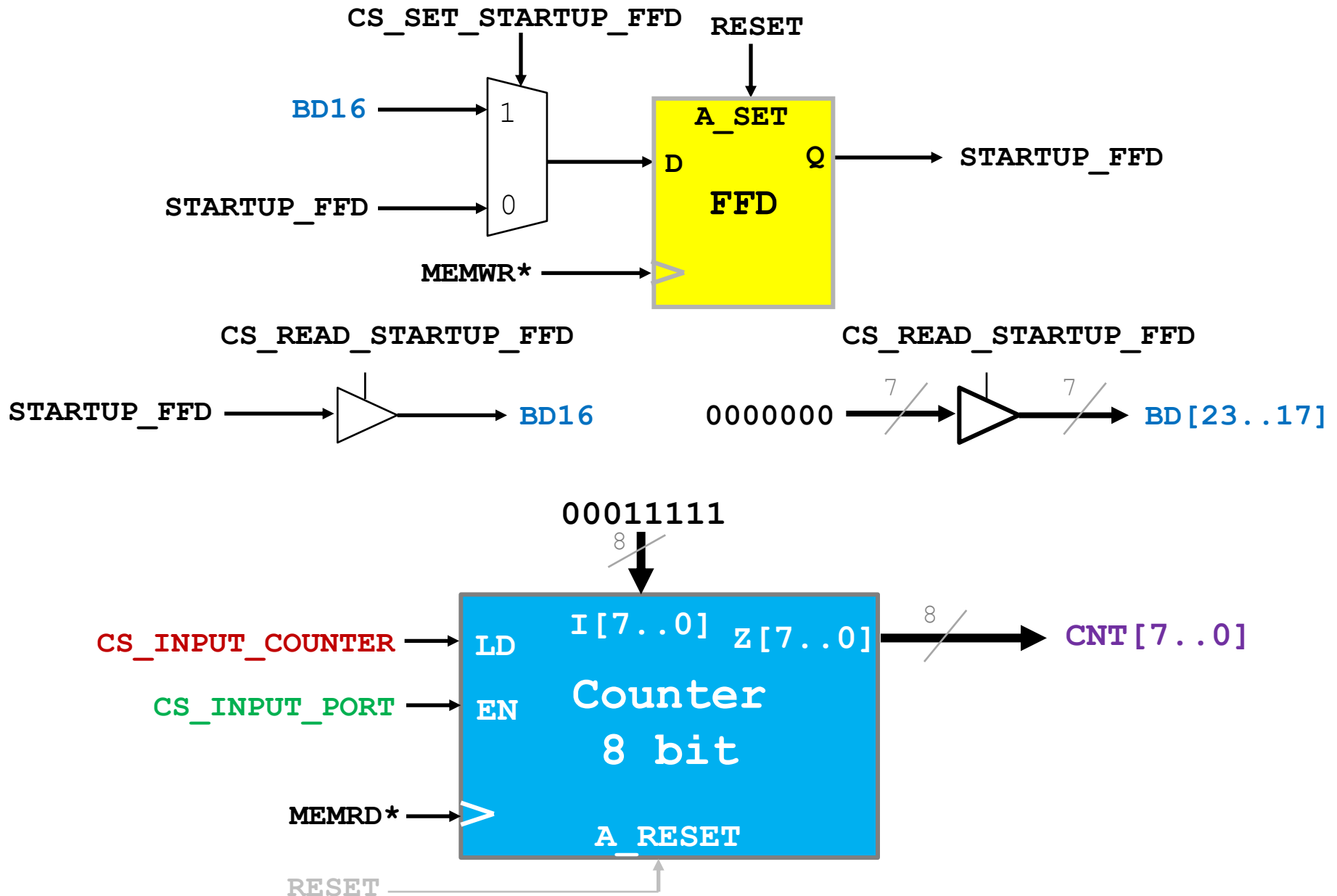
CS_RAM_512_H_0	= BA31* · BA30 · BA29 · BE0
CS_RAM_512_H_1	= BA31* · BA30 · BA29 · BE1
CS_RAM_512_H_2	= BA31* · BA30 · BA29 · BE2
CS_RAM_512_H_3	= BA31* · BA30 · BA29 · BE3

CS_RAM_512_L_0	= BA31* · BA30 · BA29* · BE0
CS_RAM_512_L_1	= BA31* · BA30 · BA29* · BE1
CS_RAM_512_L_2	= BA31* · BA30 · BA29* · BE2
CS_RAM_512_L_3	= BA31* · BA30 · BA29* · BE3

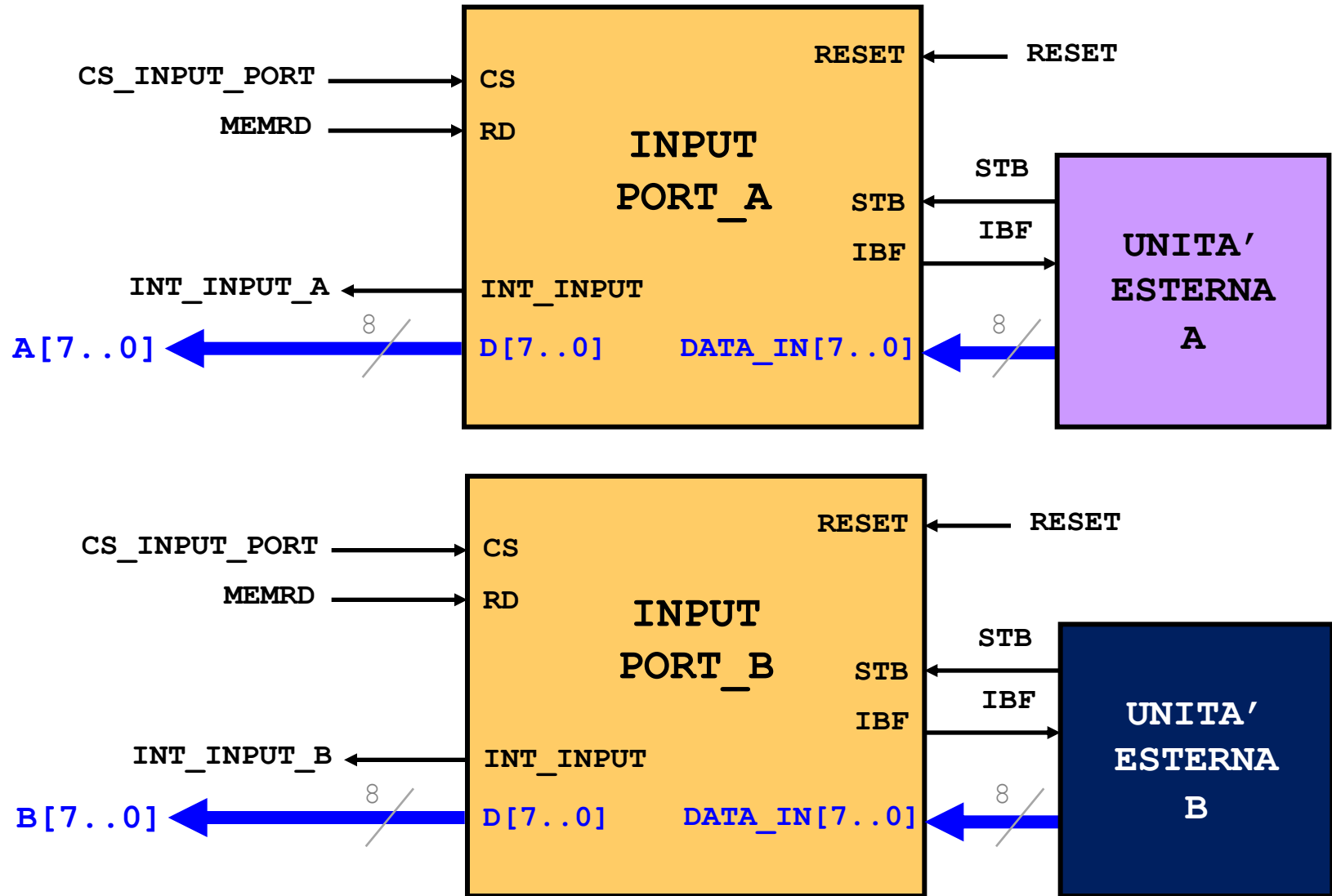
CS_INPUT_PORT	= BA31* · BA30* · BA29 · BE0 · BE1	mappato a 20000000/1h
CS_SET_STARTUP_FFD	= BA31* · BA30* · BA29 · BE2	mappato a 20000002h (write)
CS_READ_STARTUP_FFD	= BA31* · BA30* · BA29 · BE2 · MEMRD	mappato a 20000002h (read)
CS_INIT_COUNTER	= BA31* · BA30* · BA29 · BE3	mappato a 20000003h

CS_EPROM_512_0	= BA31* · BA30* · BA29* · BE0
CS_EPROM_512_1	= BA31* · BA30* · BA29* · BE1
CS_EPROM_512_2	= BA31* · BA30* · BA29* · BE2
CS_EPROM_512_3	= BA31* · BA30* · BA29* · BE3

Le reti seguenti consentono di gestire la fase di avvio, inizializzazione/conteggio dei trasferimenti mediante un contatore.



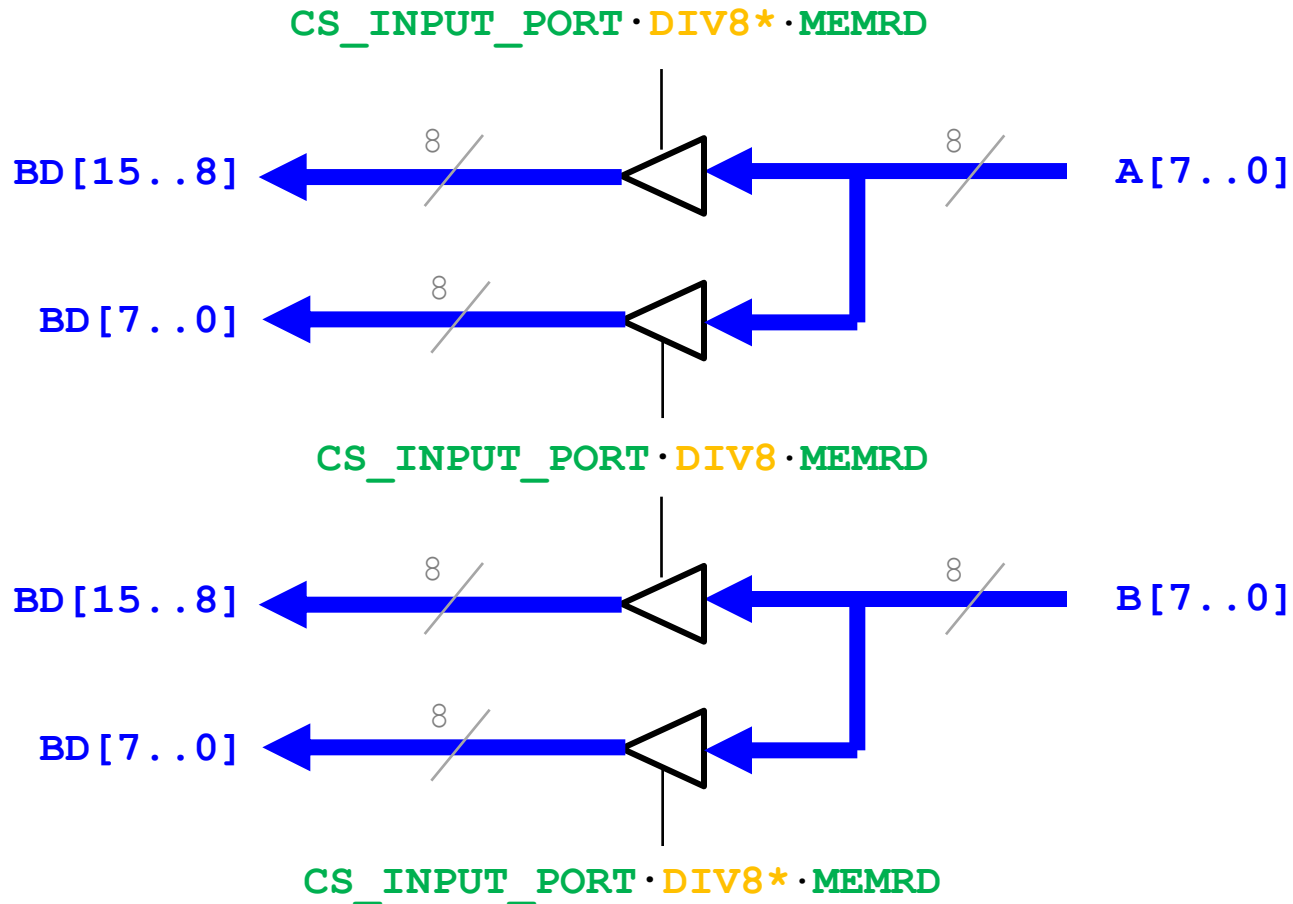
Nel sistema sono presenti due porte in input, **INPUT\_PORT\_A** e **INPUT\_PORT\_B** connesse a due unità esterne indipendenti.



Il segnale di interrupt inviato al pin INT del DLX risulta:  
**INT (to DLX) = INT\_INPUT\_A · INT\_INPUT\_B · STARTUP\_FFD\***

Le due porte in input, sono connesse dinamicamente ai bus dati **BD[15..8]** e **BD[7..0]** attraverso dei tri-stati, condizionati dalle uscite del contatore a 8 bit, come mostrato in basso.  
Il segnale **DIV8** codifica valori di conteggio divisibili per 8 (si esclude lo zero):

$$\text{DIV8} = \text{CNT2} * \text{CNT1} * \text{CNT0} * (\text{CNT7} + \text{CNT6} + \text{CNT5} + \text{CNT4} + \text{CNT3})$$

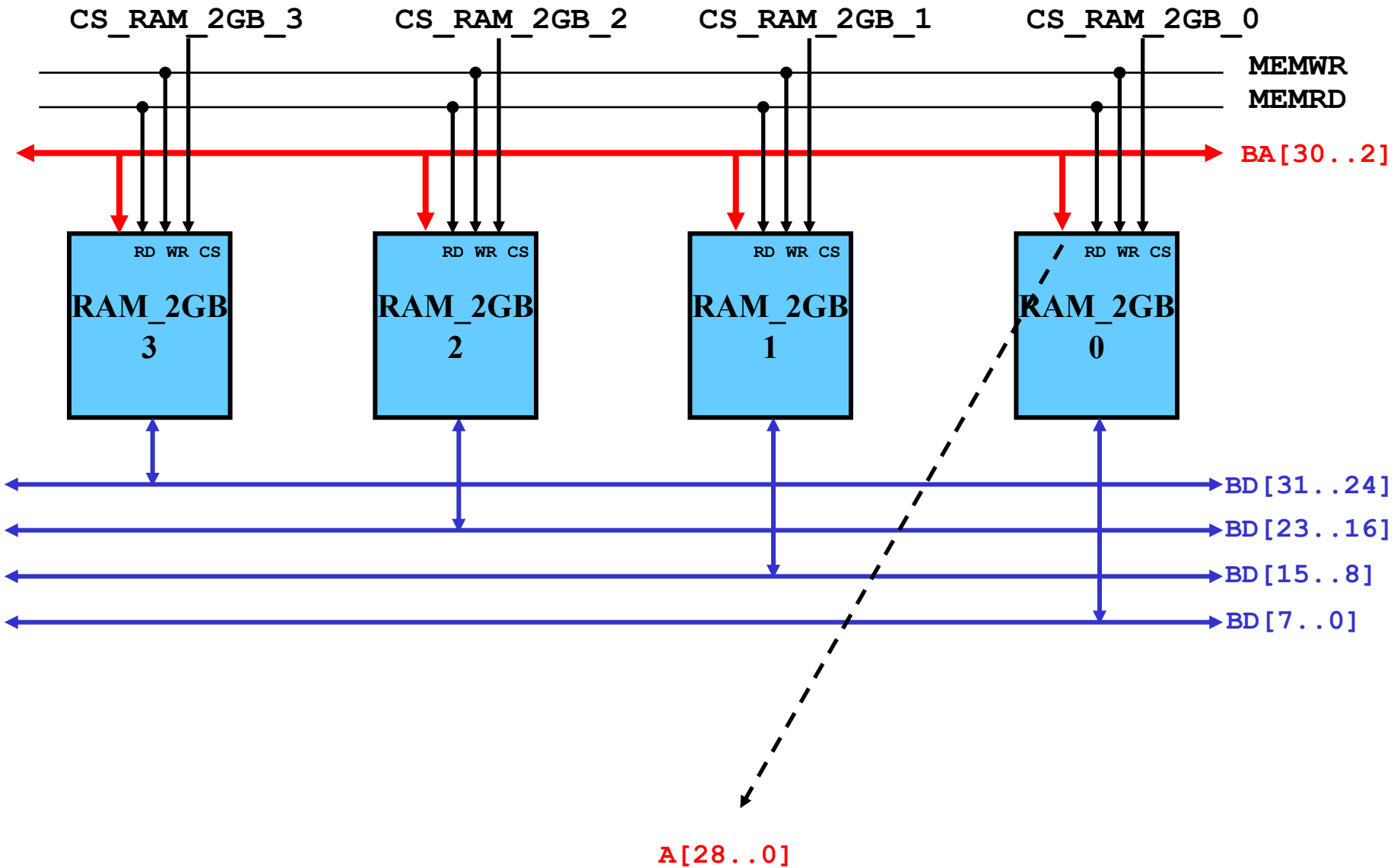


Supponendo che il main sia memorizzato all'indirizzo 00001000h, il codice di avvio e l'interrupt handler, risultano:

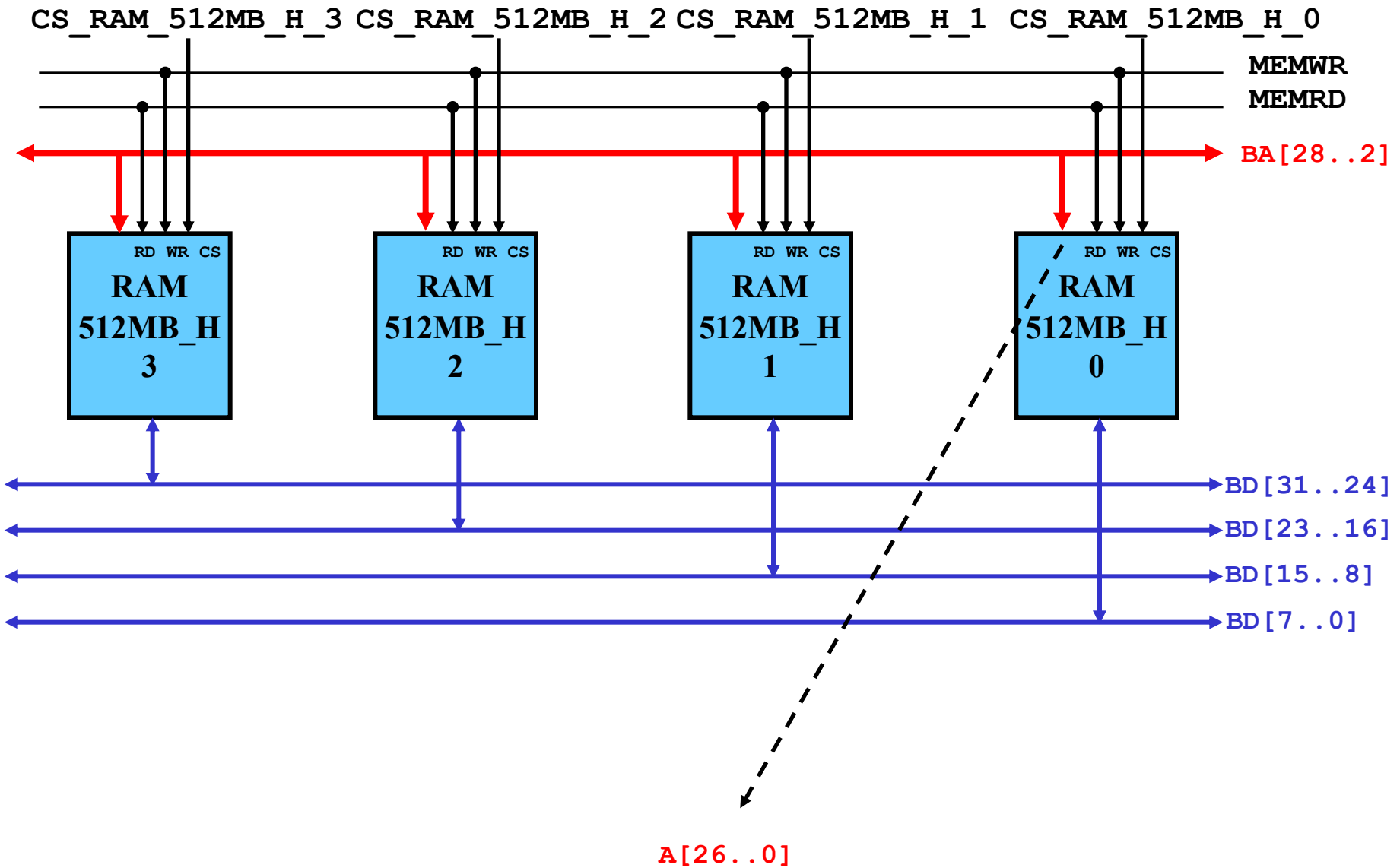
```
                                ; codice di avvio
00000000: LHI R20,2000h                ; prepara indirizzo 20000000h in R20
00000004: LBU R21,2(R20)              ; legge valore di STARTUP_FFD
00000008: BEQZ R21,handler            ; se R21 zero esegue interrupt handler
0000000C: ADDUI R21,R0,1000h          ; prepara indirizzo del main
00000010: LB R25,3(R20)               ; inizializza counter (lettura dummy)
00000014: SB R0,2(R20)                ; imposta a 0 segnale STARTUP_FFD
00000018: JR R21                      ; salta a main_code a 00001000h
handler:                      ; interrupt handler (label handler = 10h)
0000001C: LH R21,0(R20)               ; legge da INPUT_PORT 16 bit signed
00000020: LHI R22,FFFFh               ; prepara indirizzo FFFF0000h in R22
00000024: SW R21,1000h(R22)           ; scrive una word a FFFF1000h
00000028: RFE                          ; ritorna dall'interrupt
. . .
. . .
. . .
00001000: main_code                  ; codice main
```



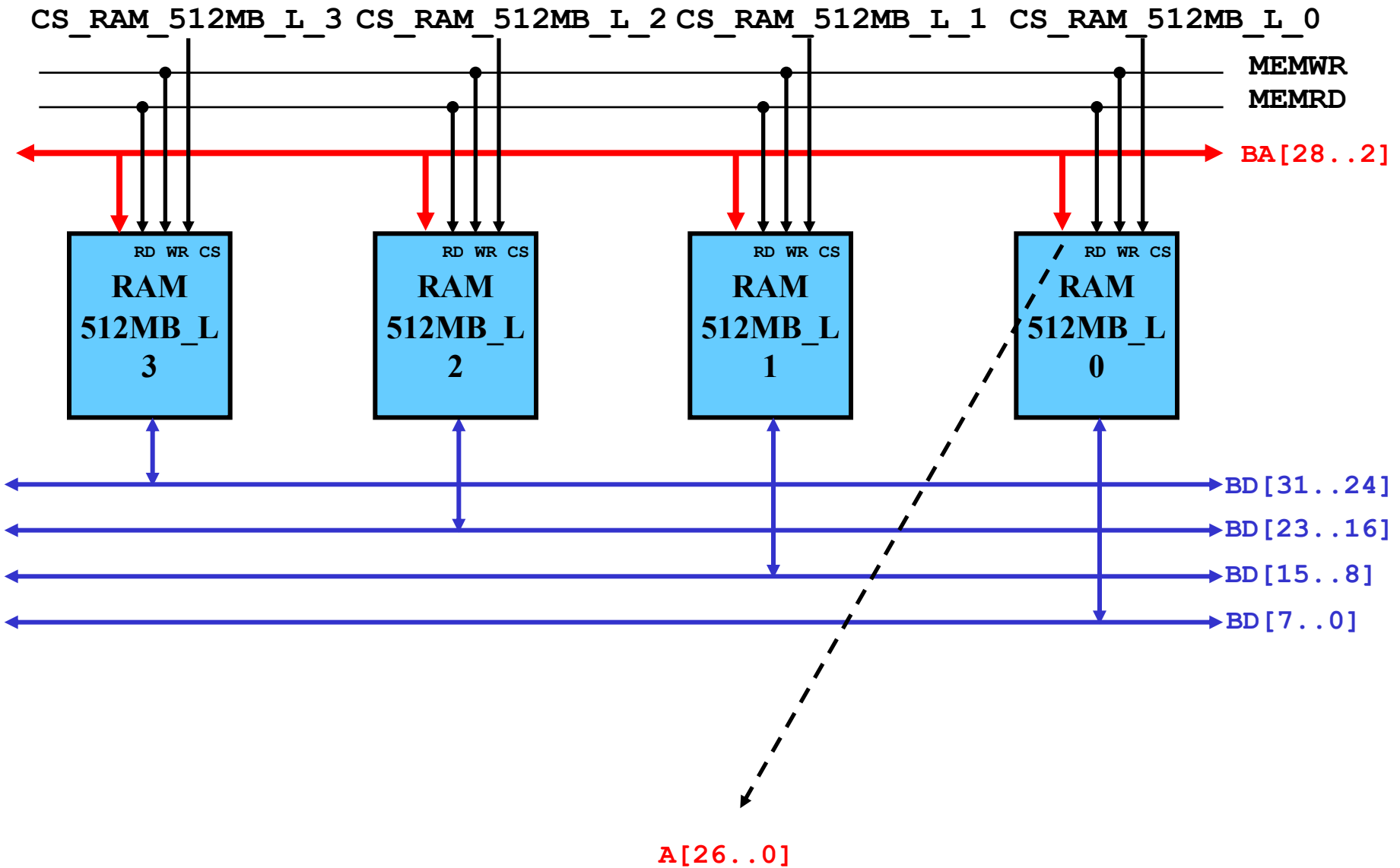
## Interfacciamento RAM\_2GB



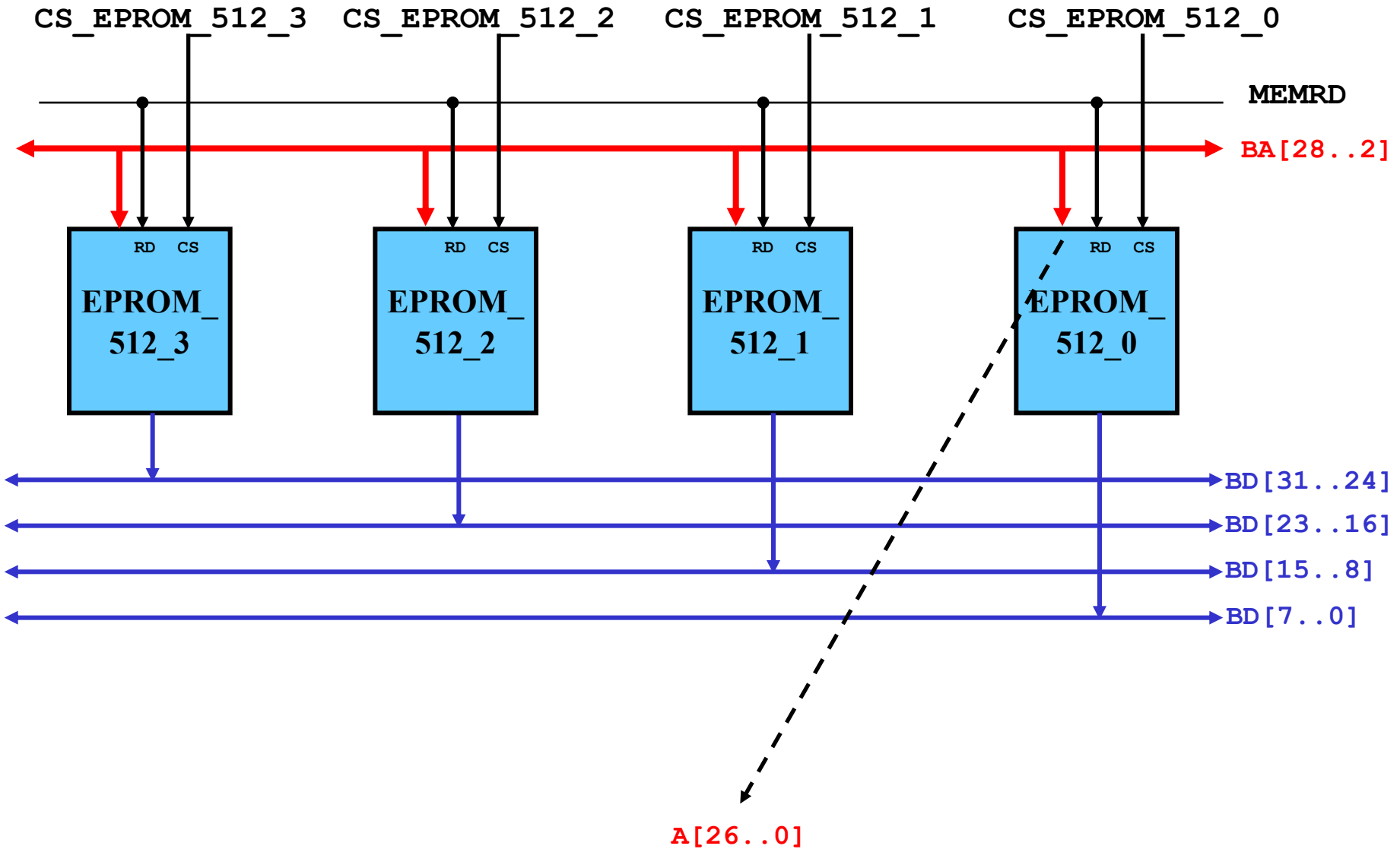
# Interfacciamento RAM\_512MB\_H



# Interfacciamento RAM\_512MB\_L



# Interfacciamento EPROM\_512



## Esercizio 2

Rif. lucidi/lezioni.

## Esercizio 3

Rif. lucidi/lezioni.