

**Calcolatori Elettronici T**  
**Ing. Informatica**

**Traccia soluzione**  
**9 Febbraio 2023**

## Dispositivi e segnali presenti nel sistema.

Dispositivi di memoria:

RAM_H_512	E0000000h:FFFFFFFFh, 4 banchi da 128 MB
RAM_L_512	C0000000h:FFFFFFFFh, 4 banchi da 128 MB
EPROM_OPT	40000000h:7FFFFFFFFh, 4 banchi da 256 MB
EPROM_1GB	00000000h:3FFFFFFFFh, 4 banchi da 256 MB

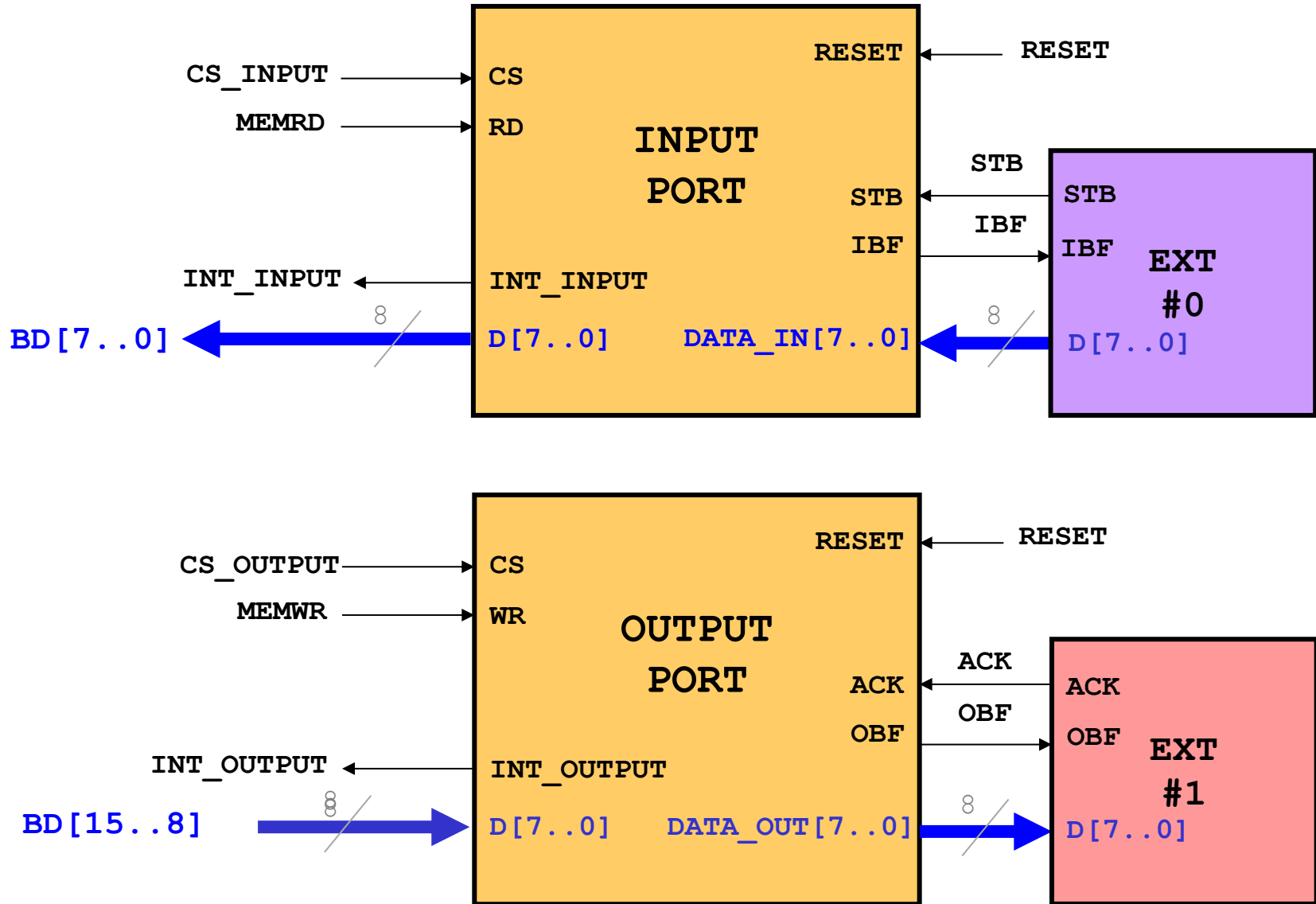
Porte di input, output e altri chip-select e/o segnali:

CS_INPUT	80000000h
CS_OUTPUT	80000001h
CS_STATUS	80000002h

Segnali di decodifica di memorie, periferiche e segnali:

CS_RAM_H_512_0	= BA31·BA30·BA29·BE0
CS_RAM_H_512_1	= BA31·BA30·BA29·BE1
CS_RAM_H_512_2	= BA31·BA30·BA29·BE2
CS_RAM_H_512_3	= BA31·BA30·BA29·BE3
CS_RAM_L_512_0	= BA31·BA30·BA29*·BE0
CS_RAM_L_512_1	= BA31·BA30·BA29*·BE1
CS_RAM_L_512_2	= BA31·BA30·BA29*·BE2
CS_RAM_L_512_3	= BA31·BA30·BA29*·BE3
CS_INPUT	= BA31·BA30*·BE0
CS_OUTPUT	= BA31·BA30*·BE1
CS_STATUS	= BA31·BA30*·BE2
CS_EPROM_OPT_0	= BA31*·BA30·BE0·ACTIVE
CS_EPROM_OPT_1	= BA31*·BA30·BE1·ACTIVE
CS_EPROM_OPT_2	= BA31*·BA30·BE2·ACTIVE
CS_EPROM_OPT_3	= BA31*·BA30·BE3·ACTIVE
CS_EPROM_1GB_0	= BA31*·BA30*·BE0
CS_EPROM_1GB_1	= BA31*·BA30*·BE1
CS_EPROM_1GB_2	= BA31*·BA30*·BE2
CS_EPROM_1GB_3	= BA31*·BA30*·BE3

Nel sistema sono presenti una porta in input, **INPUT\_PORT**, e una porta in output, **OUTPUT\_PORT**.

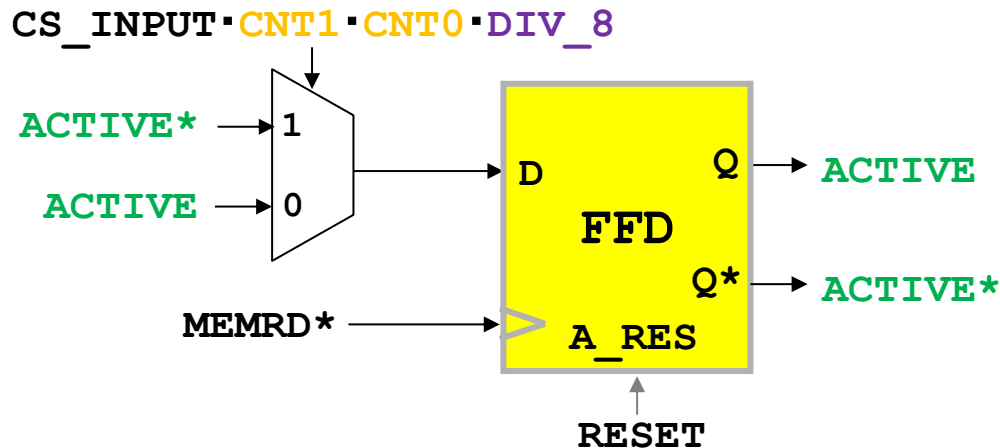


Un contatore modulo 4 consente di tenere traccia dei trasferimenti dalla porta in input. Il segnale **DIV\_8** codifica se il dato è divisibile per 8 e non il valore zero:

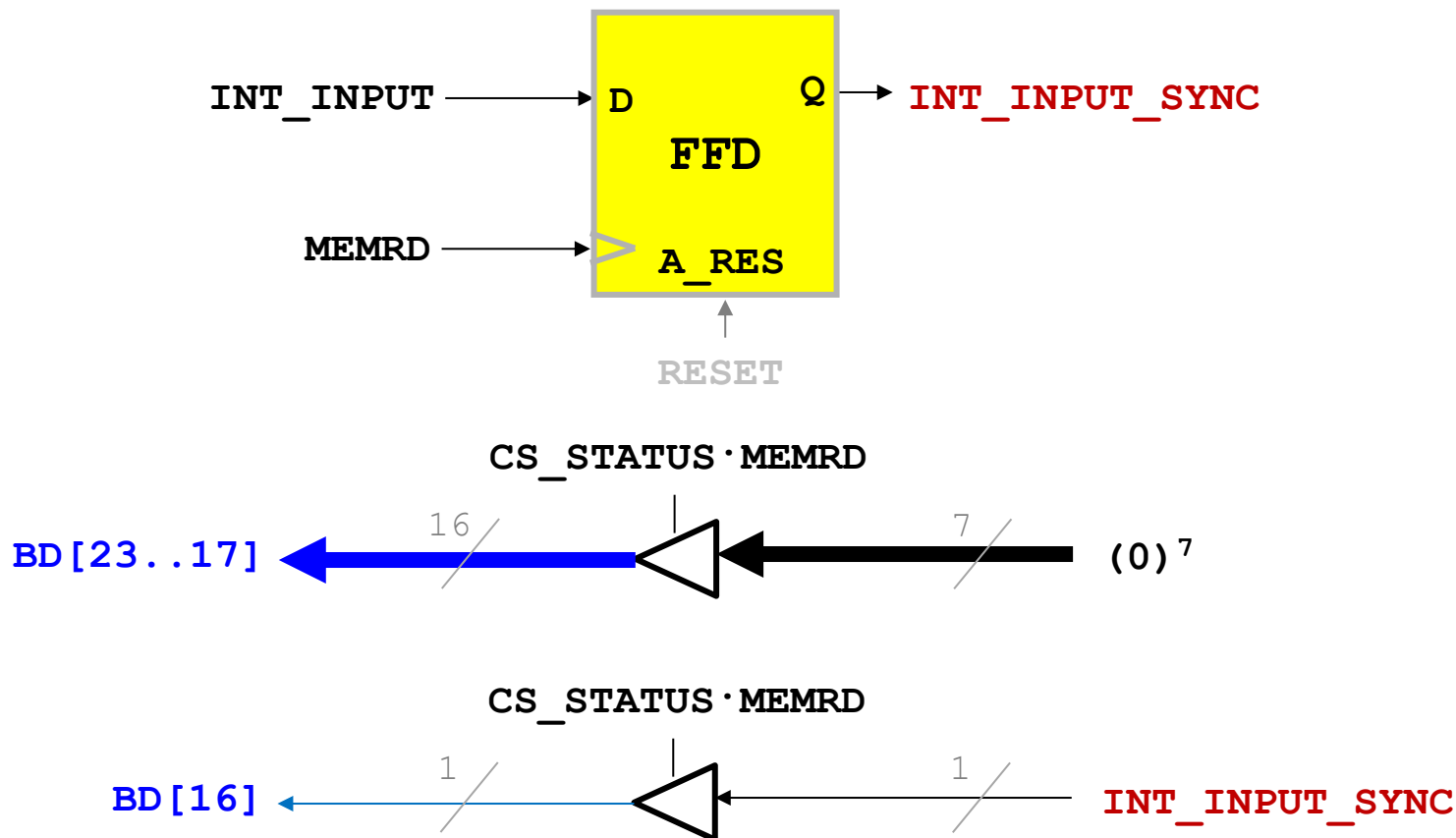
$$\text{DIV\_8} = \text{BD2} * \text{BD1} * \text{BD0} * (\text{BD7} + \text{BD6} + \text{BD5} + \text{BD4} + \text{BD3})$$



Un FFD, opportunamente inizializzato all'avvio, consente di generare il segnale **ACTIVE** che condiziona la presenza di **EPROM\_OPT**:



Il segnale **INT\_INPUT\_SYNC**, ottenuto campionando sul fronte di salita di **MEMRD** il segnale **INT\_INPUT**, è letto all'indirizzo **CS\_STATUS** per determinare se l'interrupt di **INPUT\_PORT**, maggiormente prioritario, è asserito.



Il segnale di interrupt inviato al DLX risulta:

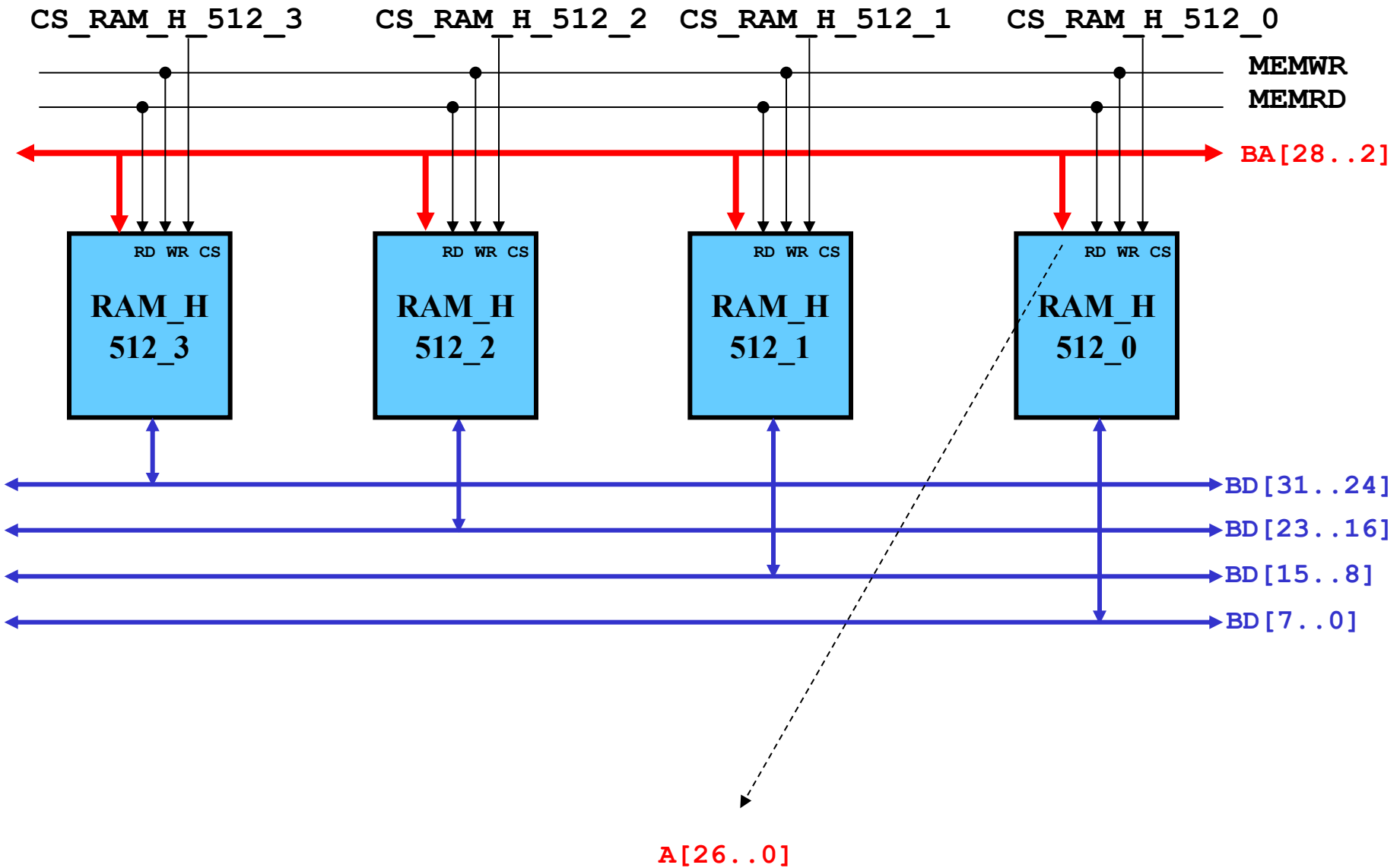
$$\text{INT\_DLX} = \text{INT\_INPUT} + \text{INT\_OUTPUT}$$

Codice dell'interrupt handler (si omette per semplicità rete/procedura di avvio):

```
00000000: LHI  R20,0x8000          ; R20 = 80000000h
00000004: LHI  R24,0xFF00         ; R24 = FF000000h
00000008: LBU  R21,0x0002(R20)    ; legge il valore di INT_INPUT_SYNC
0000000C: BEQZ R21,OUTPUT        ; se R21=0, gestisce OUTPUT_PORT
00000010: LBU  R21,0x0000(R20)    ; legge byte da INPUT_PORT
00000014: SB   R21,0x0000(R24)    ; scrive il byte letto a FF000000h
00000018: RFE
OUTPUT:                      ; scrive un byte in OUTPUT_PORT
0000001C: LBU  R21,0x0020(R24)    ; legge byte a FF000000h
00000020: SB   R21,0x0001(R20)    ; scrive byte in OUTPUT_PORT
00000024: RFE
```

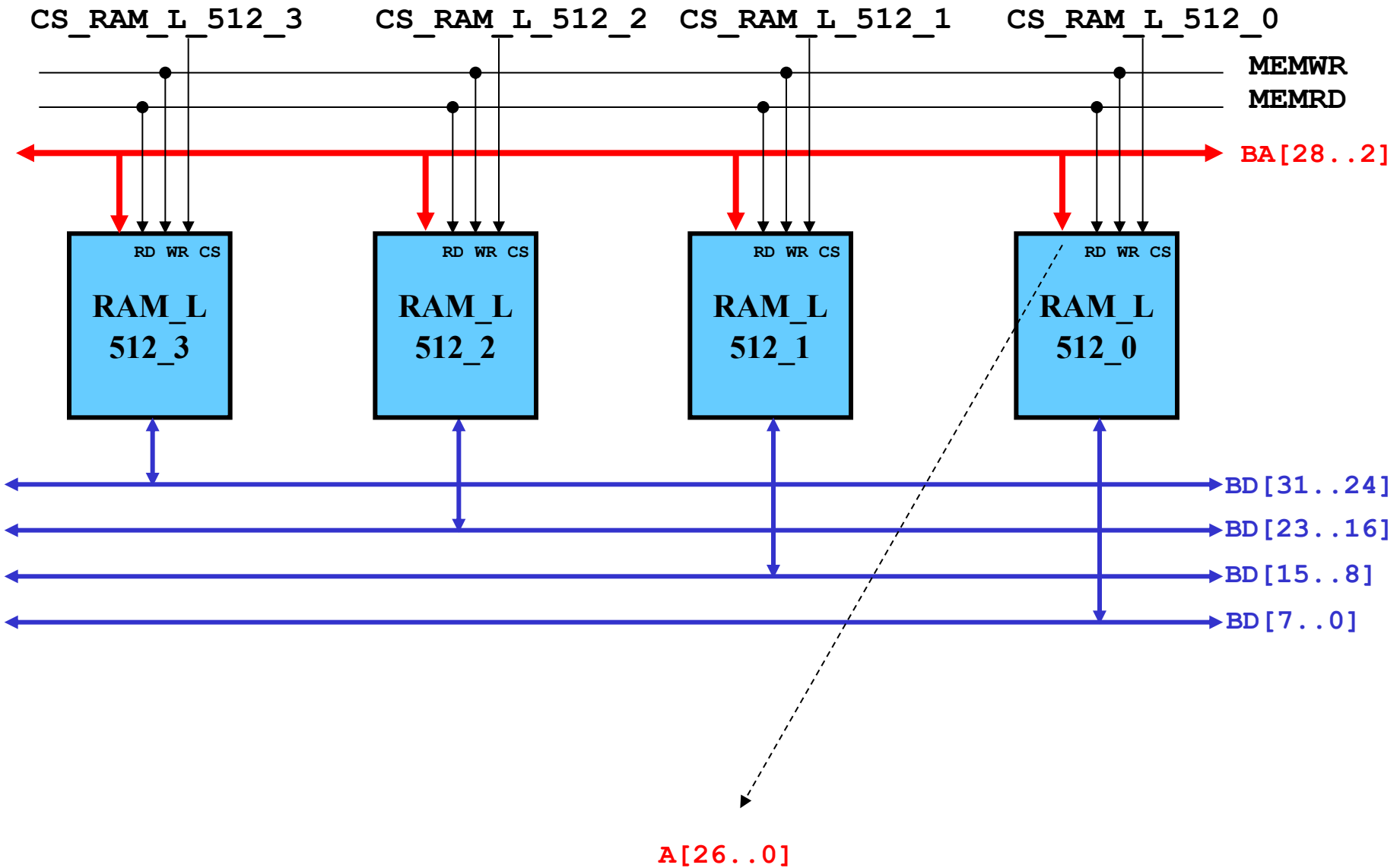
Il valore della label **OUTPUT** risulta:  $12_{10} = 0xC$

# Interfacciamento RAM\_H\_512

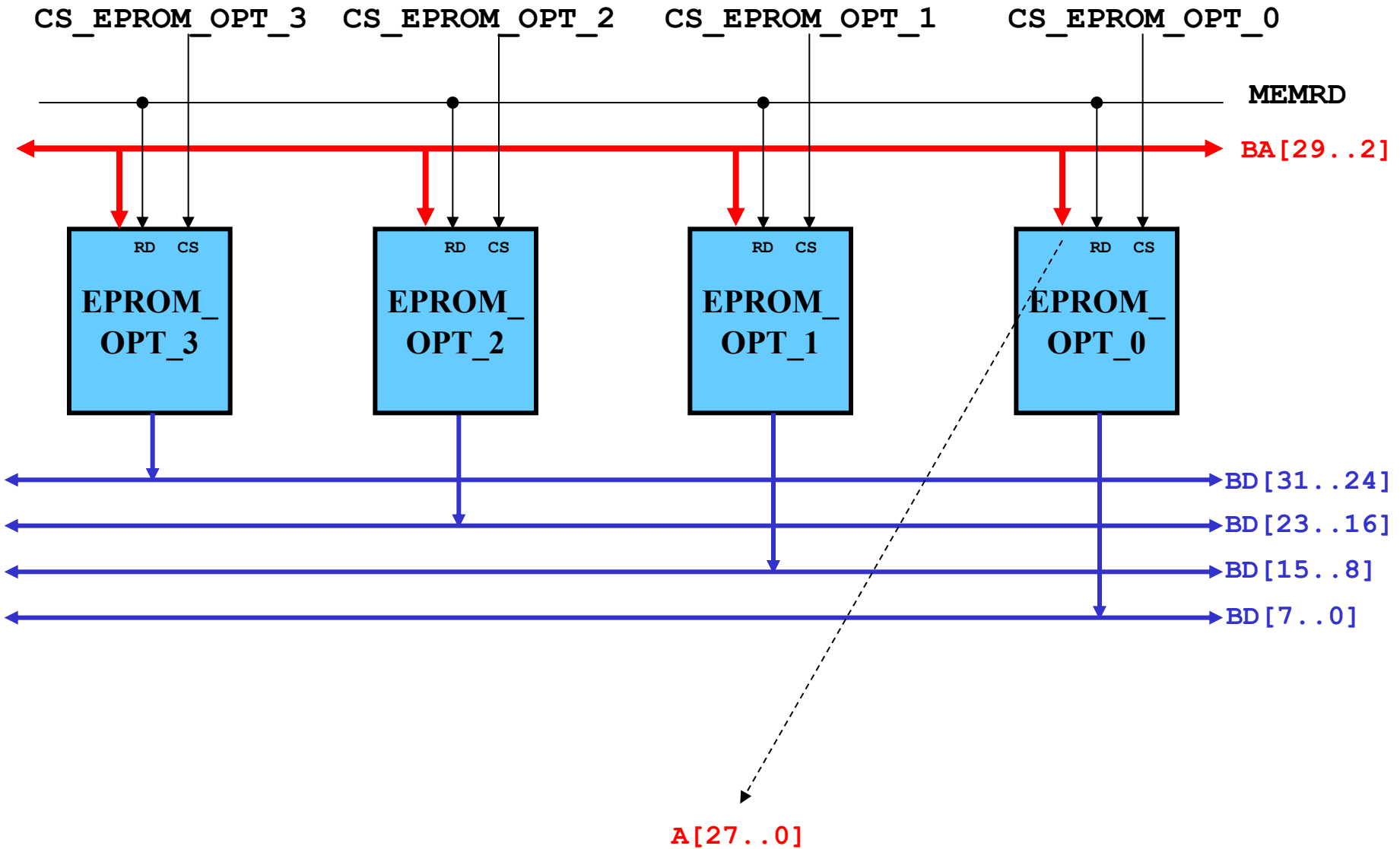




# Interfacciamento RAM\_L\_512



# Interfacciamento EPROM\_OPT



# Interfacciamento EPROM\_1GB

