

**Calcolatori Elettronici T**  
**Ing. Informatica**

**Traccia soluzione**  
**17 Febbraio 2022**

# Esercizio 1

Nell'esercizio è richiesto di allertare un DLX a 1 GHz ogni volta che un macchinario industriale ha prodotto 200 pezzi. Tale macchinario asserisce, per non meno di 100 ns, il segnale NEW\_ONE appena terminata la produzione di un singolo pezzo. Tale operazione non richiede meno di alcuni secondi. L'*interrupt handler* dovrà scrivere il valore 200 a un determinato indirizzo, e se possibile, inviare il medesimo valore su una porta in output denominata OUTPUT\_PORT che comunica mediante il protocollo di *handshake*.

Per semplicità, non essendo strettamente necessarie per le finalità dell'esame, si omettono rete e codice di avvio che tuttavia sarebbero indispensabili in un sistema reale.

## Dispositivi e segnali presenti nel sistema.

Dispositivi di memoria:

RAM_512_H	mappata da E0000000h:FFFFFFFFh, 4 banchi da 128 MB
RAM_512_L	mappata da C0000000h:DEFFFFFFh, 4 banchi da 128 MB
EPROM_1024	mappata da 00000000h:7FFFFFFFh, 4 banchi da 512 MB

Porte di input, output e altri chip-select e/o segnali:

CS_OUTPUT_PORT	mappata a 80000000h
CS_READ_INT	mappata a 80000001h

Segnali di decodifica di memorie, periferiche e segnali:

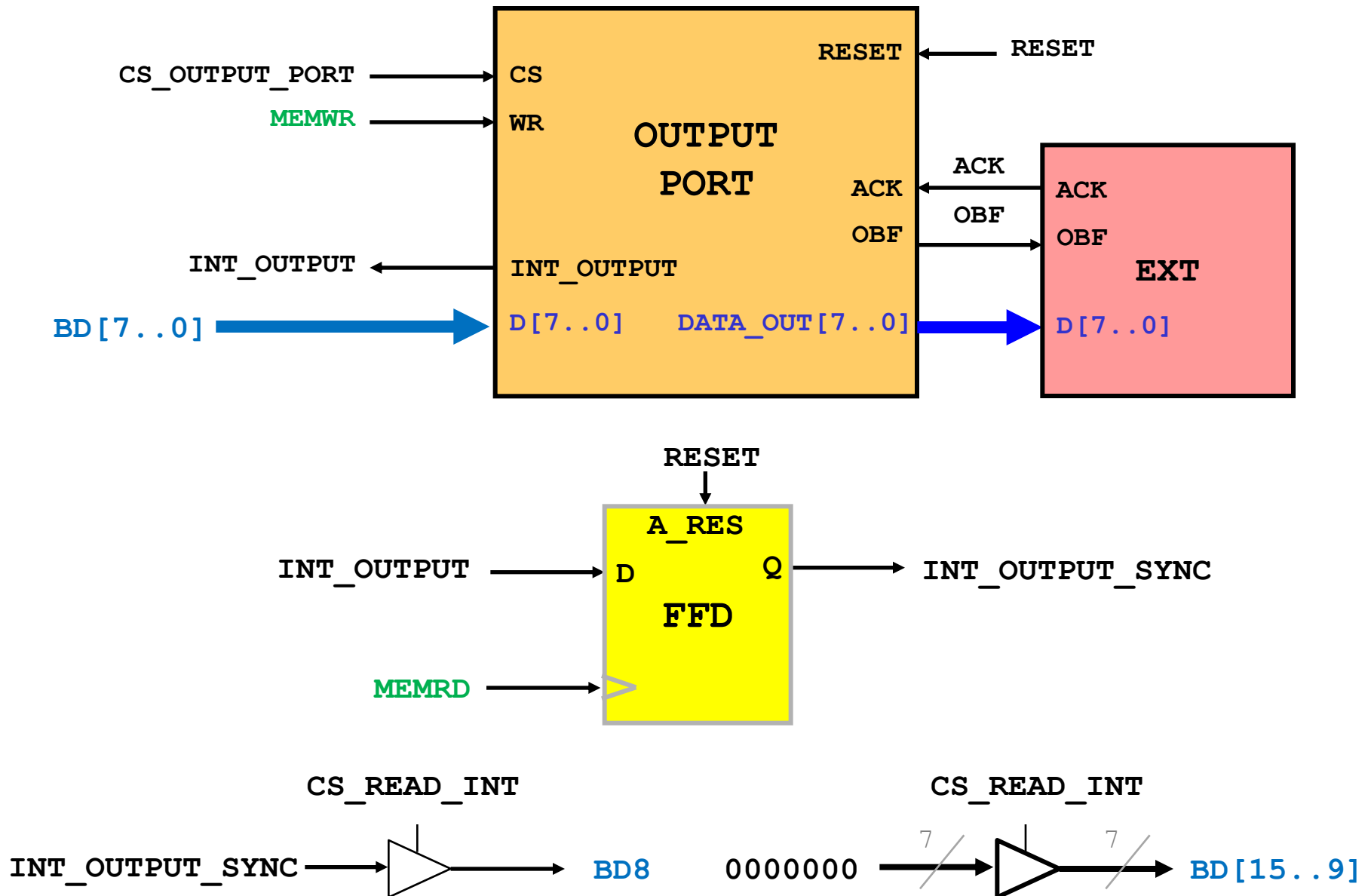
CS_RAM_512_H_0	=	BA31·BA30·BA29·BE0
CS_RAM_512_H_1	=	BA31·BA30·BA29·BE1
CS_RAM_512_H_2	=	BA31·BA30·BA29·BE2
CS_RAM_512_H_3	=	BA31·BA30·BA29·BE3

CS_RAM_512_L_0	=	BA31·BA30·BA29*·BE0
CS_RAM_512_L_1	=	BA31·BA30·BA29*·BE1
CS_RAM_512_L_2	=	BA31·BA30·BA29*·BE2
CS_RAM_512_L_3	=	BA31·BA30·BA29*·BE3

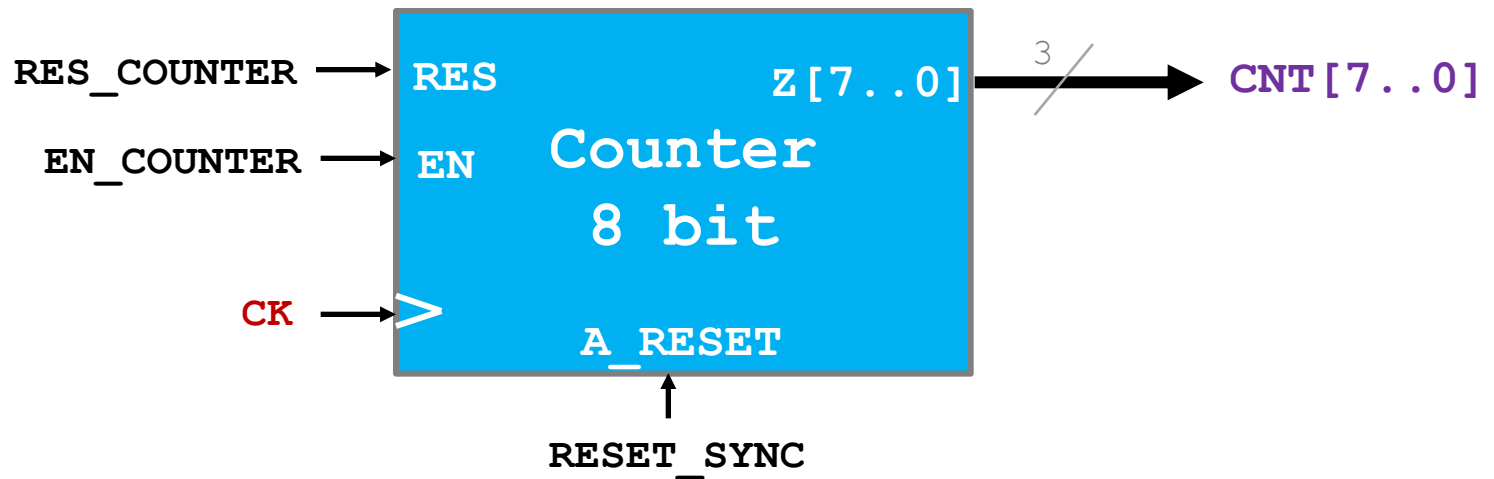
CS_OUTPUT_PORT	=	BA31·BA30*·BE0	mappato a 80000000h
CS_READ_INT	=	BA31·BA30*·MEMRD·BE1	mappato a 80000001h

CS_EPROM_0	=	BA31*·BE0
CS_EPROM_1	=	BA31*·BE1
CS_EPROM_2	=	BA31*·BE2
CS_EPROM_3	=	BA31*·BE3

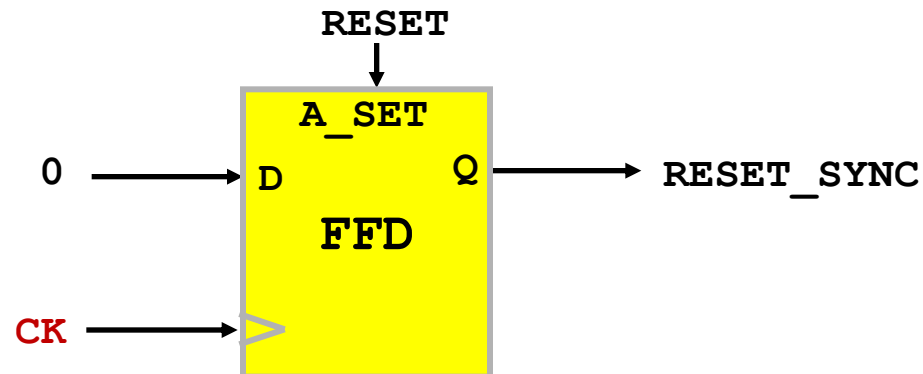
Nel sistema è presente una porta in output denominata **OUTPUT\_PORT**. Il segnale **INT\_OUTPUT**, opportunamente campionato mediante la rete mostrata in basso, dovrà poter essere letto.



Nel sistema è necessario tenere traccia del numero di pezzi prodotti mediante un contatore modulo 256. Tuttavia, essendo i clock del processore e del macchinario diversi, è necessaria una opportuna gestione del segnale emesso dal dispositivo esterno.



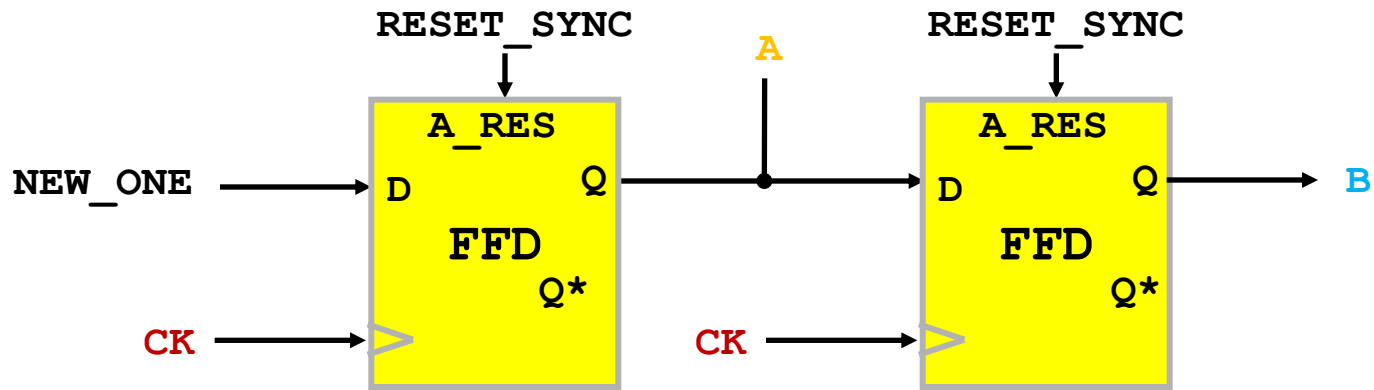
Il segnale **RESET\_SYNC** è generato mediante la rete seguente, mentre i segnali **RES\_COUNTER** ed **EN\_COUNTER** sono generati come mostrato nella pagina successiva.



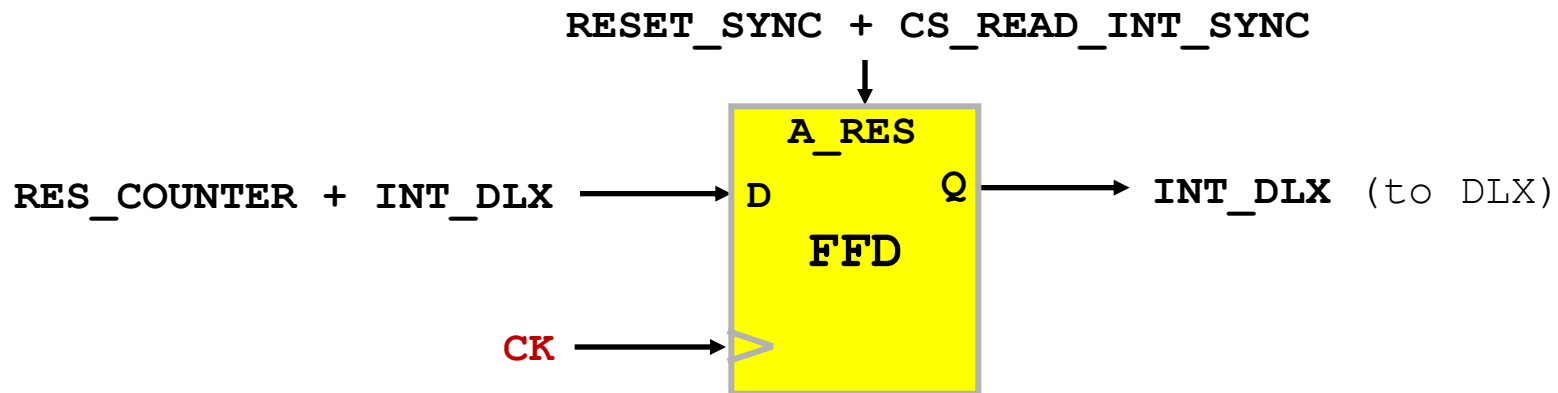
Il segnale **RES\_COUNTER** è ottenuto dalla decodifica dell'uscita del contatore (valore 200).

**RES\_COUNTER = DEC(CNT[7..0] = 200)**

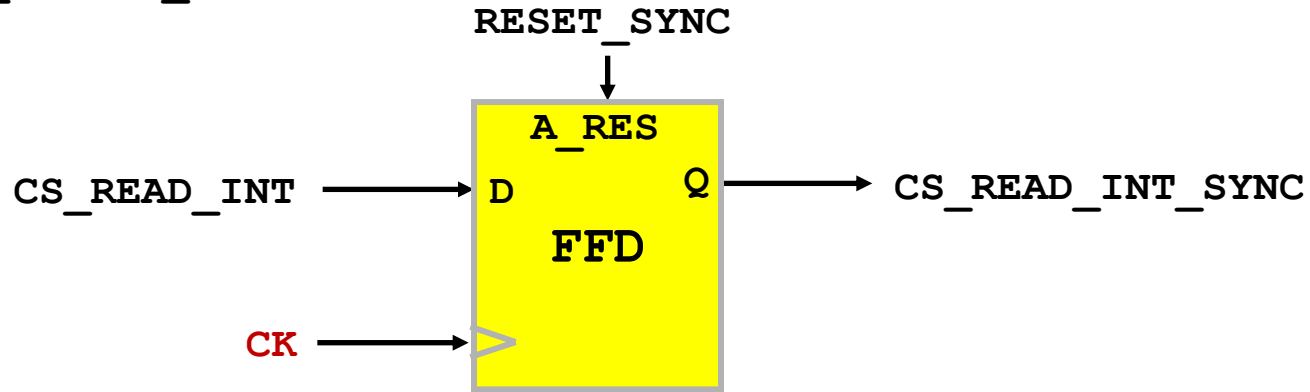
Il segnale di enable del contatore è ottenuto intercettando il fronte di salita (o alternativamente di discesa) del segnale **NEW\_ONE**, opportunamente campionato. Pertanto, **EN\_COUNTER = A · B\***



Il segnale di interrupt, inviato al DLX risulta:



Il segnale **CS\_READ\_INT\_SYNC** non è altro che il segnale **CS\_READ\_INT** sincronizzato con il clock. Tale segnale, è utilizzato per resettare la richiesta di interrupt inviata al DLX durante la lettura del segnale **INT\_OUTPUT\_SYNC**.



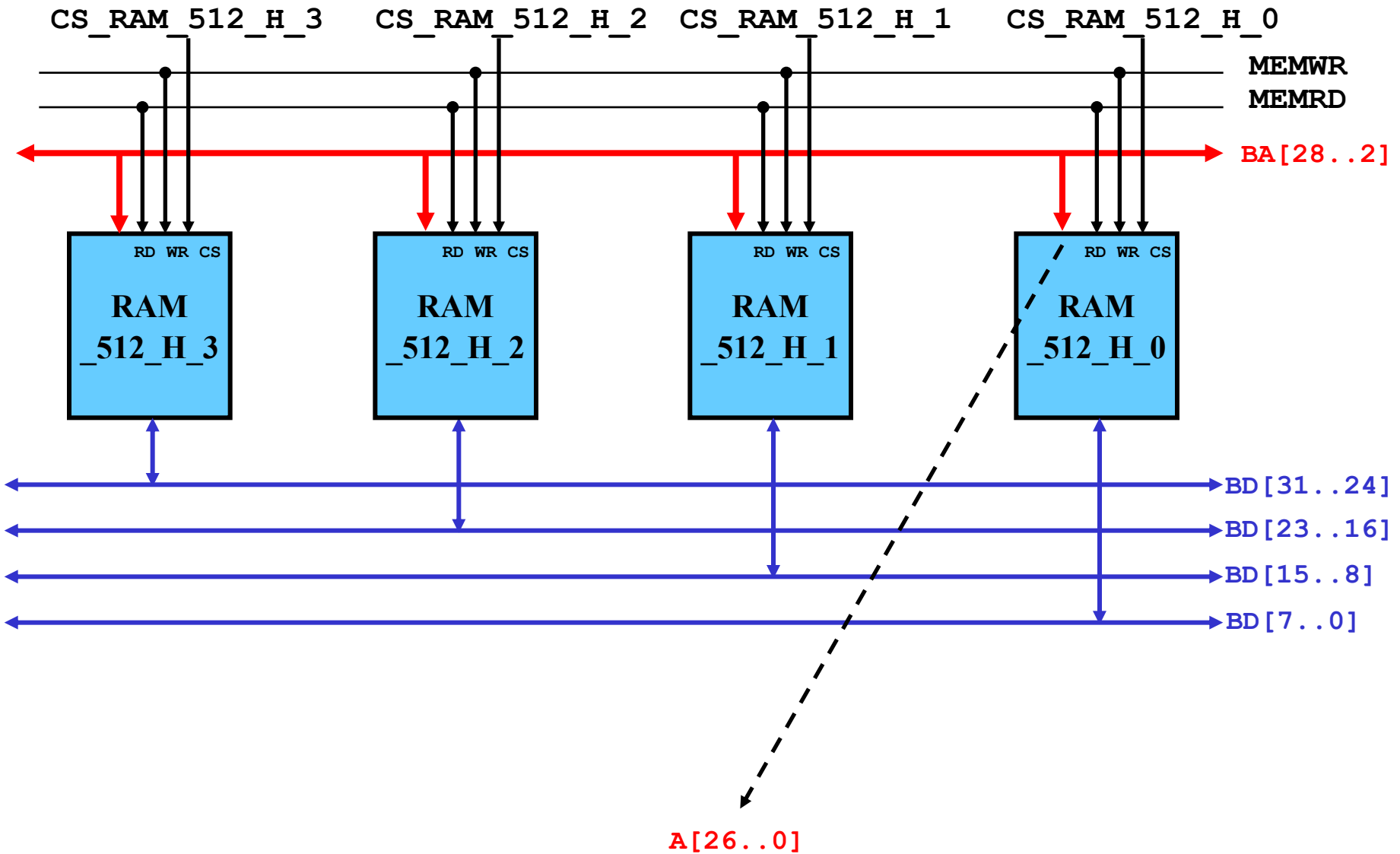
Codice dell'*interrupt handler* (si omettono rete e codice di avvio per le ragioni indicate in precedenza):

```
00000000: LHI R25,FFFFh      ; imposta indirizzo FFFF0000h in R25
00000004: LHI R26,8000h      ; imposta indirizzo 80000000h in R26
00000008: ADDUI R27,R0,20010 ; R27=20010
0000000C: ADDUI R25,R25,8000 ; prepara indirizzo FFFF8000h
00000010: SB R27,0(R25)      ; scrive 20010 a indirizzo FFFF8000h
00000014: LBU R28,1(R26)     ; legge INT_OUTPUT_SYNC
00000018: BEQZ R28,fine      ; se INT_OUTPUT_SYNC==0 salta a fine
0000001C: SB R27,0(R26)     ; scrive 20010 in OUTPUT_PORT
fine:
00000020: RFE
```

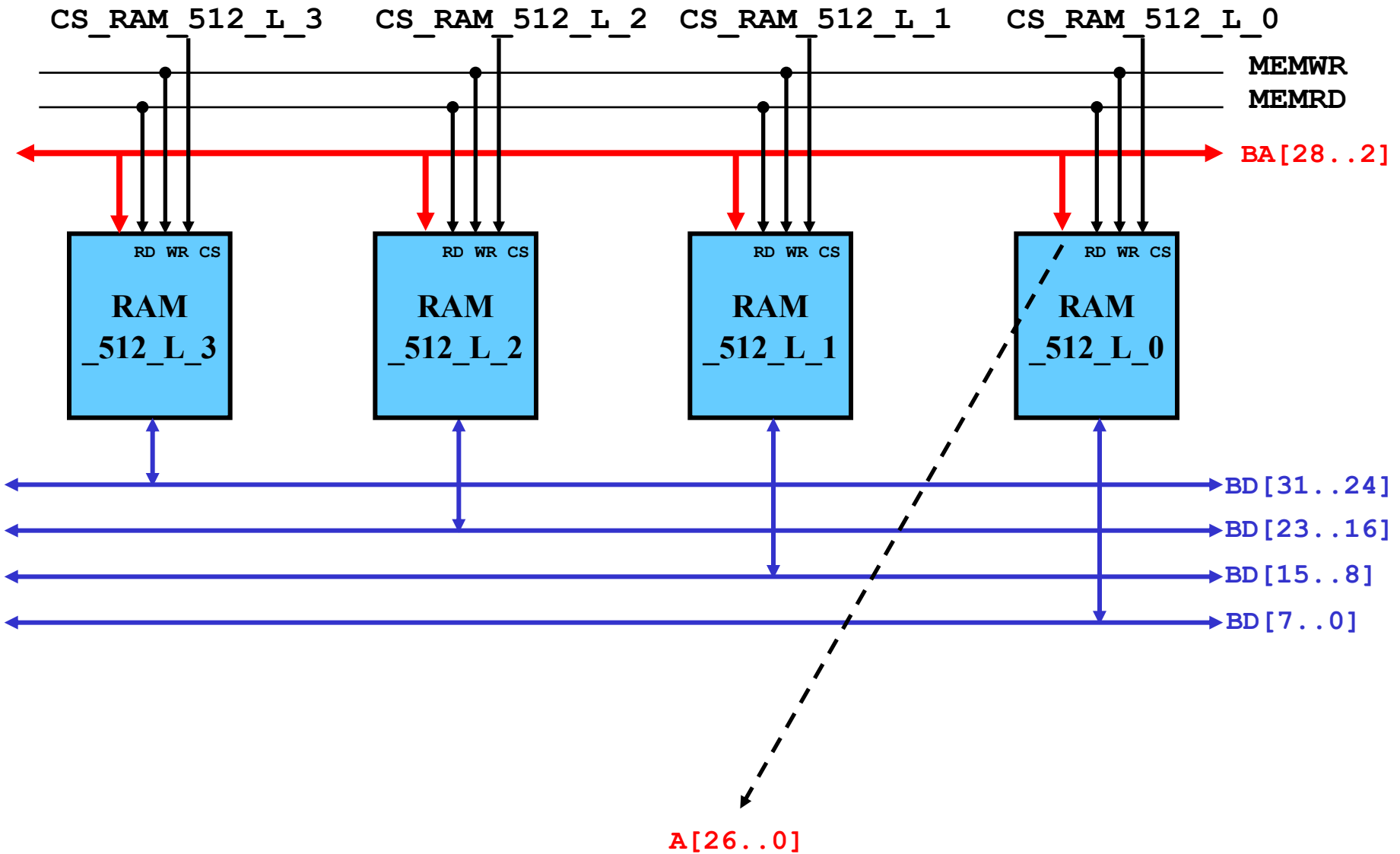
Il valore numerico corrispondente alla label **fine** è pari a  $4_{10} = 4h$



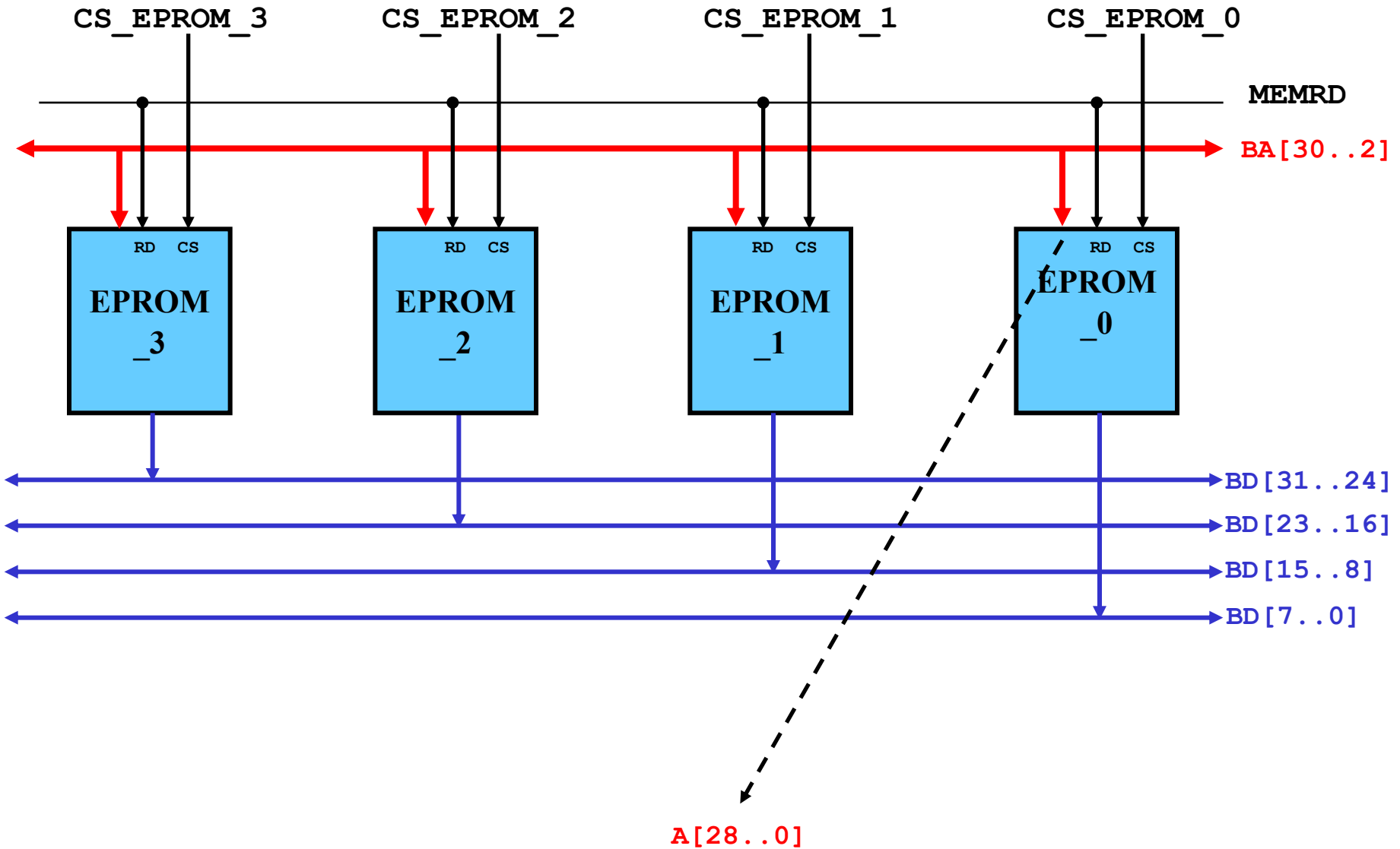
## Interfacciamento RAM 512 H



# Interfacciamento RAM\_512\_L



# Interfacciamento EPROM



## Esercizio 2

Rif. lucidi/lezioni.

## Esercizio 3

Rif. lucidi/lezioni.