

课下作业

作业概括

在上次实验的基础上，使用 Verilog 语言设计一个流水线处理器。

设计说明

1. 处理器应支持如下指令集：{ add, sub, ori, lw, sw, beq, lui, jal, jr, nop }。
2. 处理器为五级流水线设计。

设计要求

1. 流水线的设计以追求性能为第一目标，因此必须尽最大可能**支持转发**以解决数据冒险。这一点在本 project 的最终成绩中所占比重较大，课上测试时会通过测试程序所运行的**总周期数**进行判定，望大家慎重对待。
2. 对于 b 类和 j 类指令，流水线设计必须**支持延迟槽**，因此设计需要注意使用 **PC@D + 8**或 **PC@I + 4**。
3. 为了解决数据冒险而设计的转发数据来源必须是**某级流水线寄存器**，**不允许**对功能部件的输出直接进行转发。
4. 指令存储器（IM，instruction memory）和数据存储器（DM，data memory）要求如下：
 - IM：容量为 **16KiB** ($4096 \times 32\text{bit}$)。
 - DM：容量为 **12KiB** ($3072 \times 32\text{bit}$)。
5. PC 的初始地址为 **0x00003000**，和 Mars 中我们要求设置的代码初始地址相同。
6. 最外层的 mips 模块的文件名必须为 mips.v，该文件中的 module 也必须命名为 **mips**。

测试要求

1. 你编写的汇编测试程序必须确保所有指令都应被测试充分。
2. 冲突是你的测试重点，需要覆盖性的测试每一条指令的 A、T 值是否标记正确。

