

# 乘除模块

## 乘除法部件简介

为了支持 `mult, multu, div, divu, mfhi, mflo, mthi, mtlo` 等乘除法相关的指令，需要设计独立的乘 / 除功能部件。该部件位于在流水线的 E 阶段，如图 1 所示：

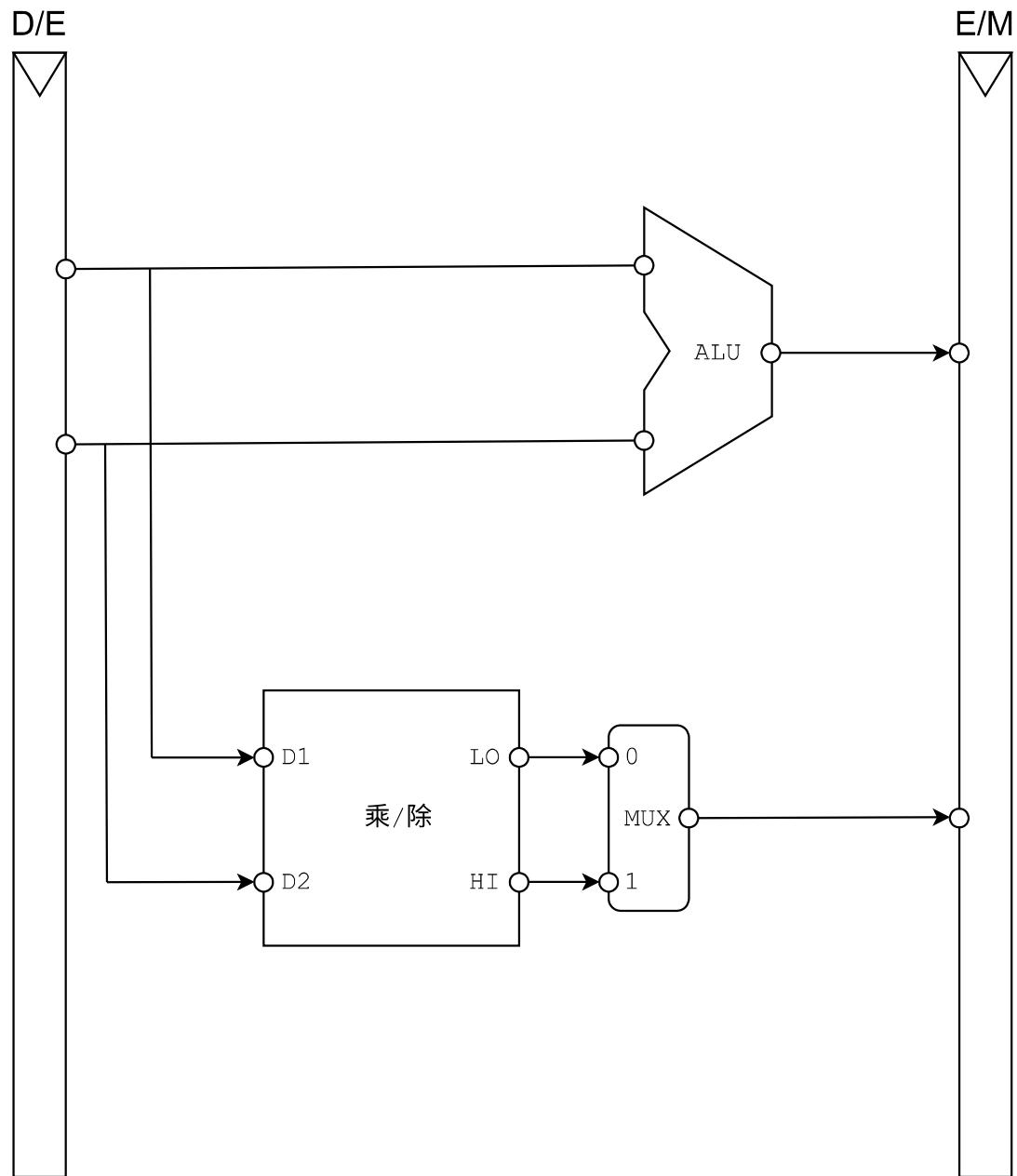
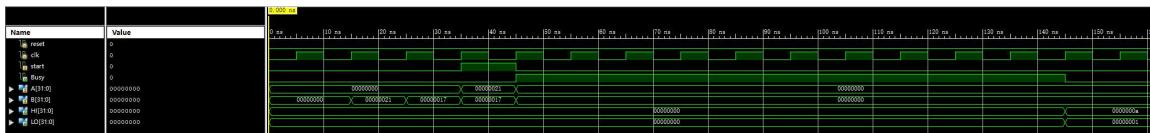
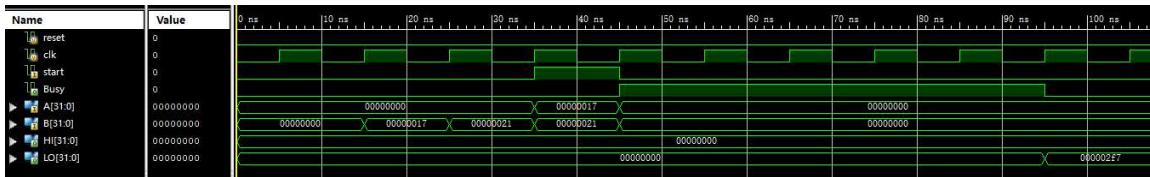


图 1：流水线EX阶段的乘/除部件

## 乘除法部件要求

为了降低实验难度，乘 / 除法运算的实现可以使用 VerilogHDL 的内置运算符，而不需要从门级开始建模乘法或除法的硬件算法。

我们假定乘除法部件的执行乘法的时间为 **5** 个时钟周期，执行除法的时间为 **10** 个时钟周期（包含写入内部的 **HI** 和 **LO** 寄存器）。你在乘除法部件内部必须模拟这个延迟，即通过 **Busy** 输出标志来反映这个延迟。同时，我们通过**只能有效 1 个时钟周期的 Start**信号来启动乘除法运算。



`mult` 和 `div` 的波形样例如上图所示。

乘除法部件中内置了 **HI** 和 **LO** 两个寄存器，这两个寄存器同时也是与外界沟通的窗口。另外乘除法部件有天然的运算功能，因此其余的端口设计类似于 GRF 和 ALU，此处就不再赘述了。

乘除模块行为约定如下：

- 自 `Start` 信号有效后的第 1 个 `clock` 上升沿开始，乘除法部件开始执行运算，同时将 `Busy` 置位为 1。
- 在运算结果保存到 `HI` 寄存器和 `LO` 寄存器后，`Busy` 位清除为 0。
- 当 `Busy` 信号或 `Start` 信号为 1 时，`mult`, `multu`, `div`, `divu`, `mfhi`, `mflo`, `mthi`, `mtlo` 等乘除法相关的指令均被阻塞在 D 流水级。
- 数据写入 `HI` 寄存器或 `LO` 寄存器，均只需 1 个时钟周期。

一些同学的实现中，为了获得更好的性能，当 `Busy` 信号或 `Start` 信号为 1（正在进行乘除法计算）时，执行乘除法指令 `mult`, `multu`, `div`, `divu` 将取消先前的乘除法计算。

对于这部分同学，我们保证你不会因为 CPU 执行周期过少而无法通过评测（评测数据中不存在连续两条乘除法指令，保证每一条乘除法指令执行完都会先进行 `mfhi` 和 `mflo` 操作）。



### 思考题

为什么需要有单独的乘除法部件而不是整合进 ALU？为何需要有独立的 **HI**、**LO** 寄存器？



### 思考题

真实的流水线 CPU 是如何使用实现乘除法的？请查阅相关资料进行简单说明。



### 思考题

请结合自己的实现分析，你是如何处理 Busy 信号带来的周期阻塞的？