

# 设计要求简介

## 作业概括

本次实验是在 P5 对流水线 CPU 设计了解的基础上，设计一个支持更多指令的较为复杂的流水线 CPU。考察同学们对流水线原理的掌握和对复杂系统的设计实现能力。

## 设计说明

处理器应为五级流水线设计，支持如下指令集：

```
add, sub, and, or, slt, sltu, lui  
addi, andi, ori  
lb, lh, lw, sb, sh, sw  
mult, multu, div, divu, mfhi, mflo, mthi, mtlo  
beq, bne, jal, jr
```

请注意，所有运算类指令均暂不考虑因溢出而产生的异常。

## 设计要求

1. 直接通过顶层模块 mips.v 的 output 端口传出相应信号，不允许出现 `display` 语句，具体要求见“在线测试相关说明”小节。
2. 要求存储器外置，即将 IM 和 DM 放置在 CPU 之外。P6 的 IM 和 DM 两个模块被内置于官方评测的 testbench 中（官方使用的 tb 已在“存储器外置”小节公开），**不再需要大家自行实现** IM 和 DM 模块。官方 tb 中实现的指令存储器（IM, instruction memory）和数据存储器（DM, data memory）的容量如下：
  - IM：容量为 **16KB** (32bit/word × **4096word**)
  - DM：容量为 **12KB** (32bit/word × **3072word**)
3. 需有单独的**乘除法模块**和**数据扩展模块**，我们会分别在“乘除模块”和“支持按字节访存”两个小节中中予以详细说明。
4. 最外层的 mips 模块的文件名必须为 mips.v，该文件中的 module 也必须命名为 **mips**。

## 测试要求

1. 你编写的汇编测试程序必须确保所有指令都被测试充分（对于指令功能的测试，可参考 P3 测试部分的教程）。
2. 冲突（冒险）是你的测试重点，你的测试程序必须去充分地测试数据冲突和分支（控制）冲突，对可能会产生冲突的各种指令的组合都要考虑到（对于暂停转发的测试，可参考 P5 测试部分的教程）。
3. 如果你仔细思考就会发现，上述冲突的覆盖性分析与流水线的设计其实是相互促进的。你的测试用例集是根据你的流水线设计构造的，而你的流水线设计又可以根据测试用例集进行完善。