

存储器外置

CPU 和存储器的关系

在我们之前已有的 CPU 设计中，指令存储器 IM 和数据存储器 DM 是作为 CPU 内的部件出现的，这种相对简单的结构极大方便了我们从实现一个简易的单周期 CPU 到扩展成为流水线 CPU。但是在实际的计算机中，处理器和存储器是相互独立的两种元件。

从 CPU 的视角来看，存储器相对于 CPU 而言不再是位于其内部的模块，而是一种位于 CPU 外部并且与 CPU 相互连接的“外设”。CPU 通过与存储器部件交互获取取指令以及存取数据。其效果如图 1 所示：

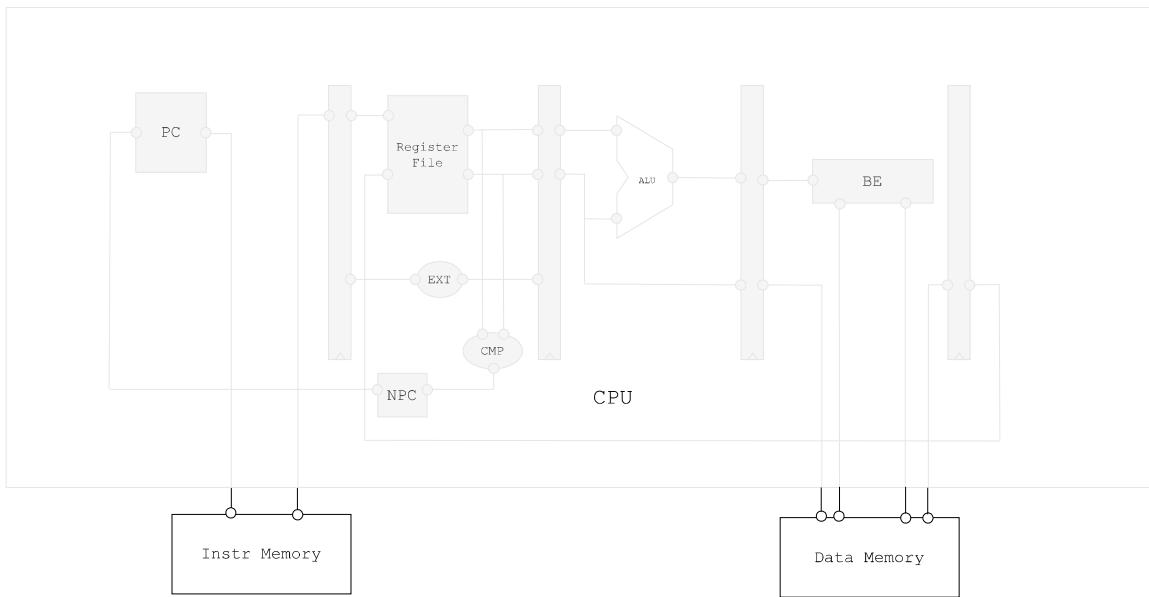


图 1：由 CPU 和 IM/DM 构成的简易微系统示意

在 P6 实验中，我们需要将 IM 和 DM 从 CPU 中分离，实现存储器外置。为了降低同学们的开发难度，我们帮大家在官方 tb（[下载链接](#)）中实现了 IM 和 DM 模块，也暂时不需要大家了解 CPU 与存储器的交互细节。大家只需要根据我们提供的 tb 为顶层模块增加输入和输出信号即可。

IM 相关接口说明

需要同学们在 CPU 顶层模块加入 2 个接口，实现 CPU 与 tb 中指令存储器的交互操作：

信号名	方向	描述
i_inst_addr[31:0]	O	需要进行取指操作的流水级 PC (一般为 F 级)
i_inst_rdata[31:0]	I	i_inst_addr 对应的 32 位指令

其实现效果如图 2 所示：

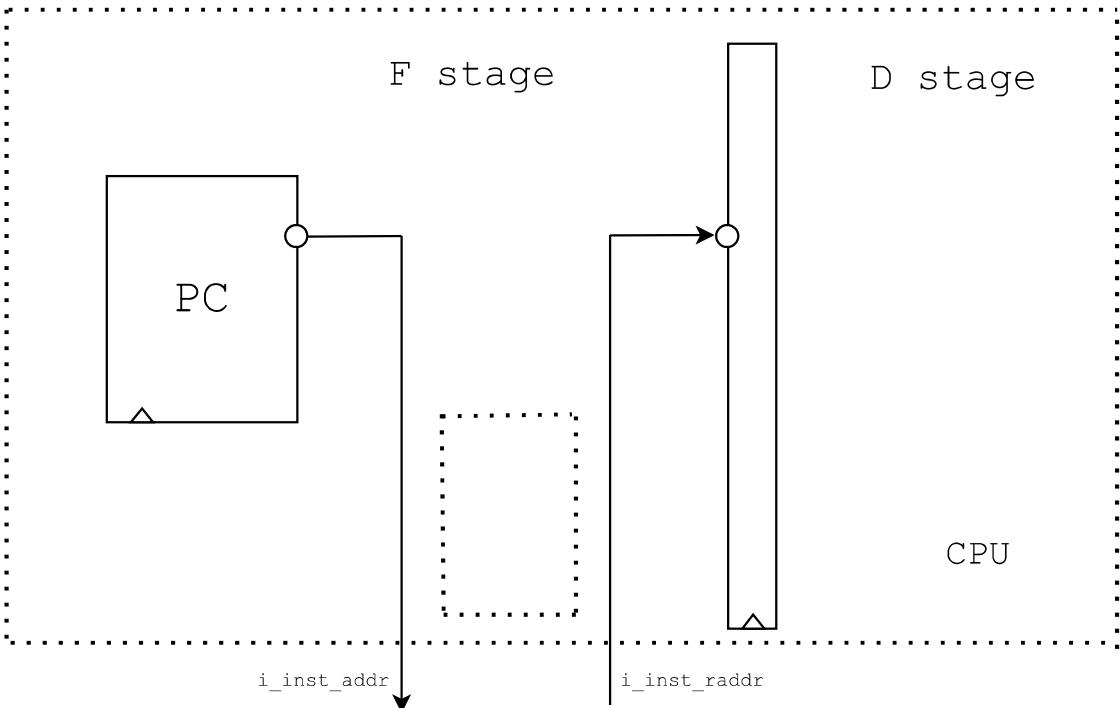


图 2: CPU 与 IM 数据交互

DM 相关接口说明

需要同学们在 CPU 顶层模块再加入 5 个接口，实现 CPU 与 tb 中数据存储器的交互操作：

信号名	方向	描述
m_data_rdata[31:0]	I	数据存储器存储的相应数据
m_data_addr[31:0]	O	待写入/读出的数据存储器相应地址
m_data_wdata[31:0]	O	待写入数据存储器相应数据

信号名	方向	描述
m_data_byteen[3:0]	O	四位字节使能
m_inst_addr[31:0]	O	M 级 PC

其实现效果如图 3 所示：

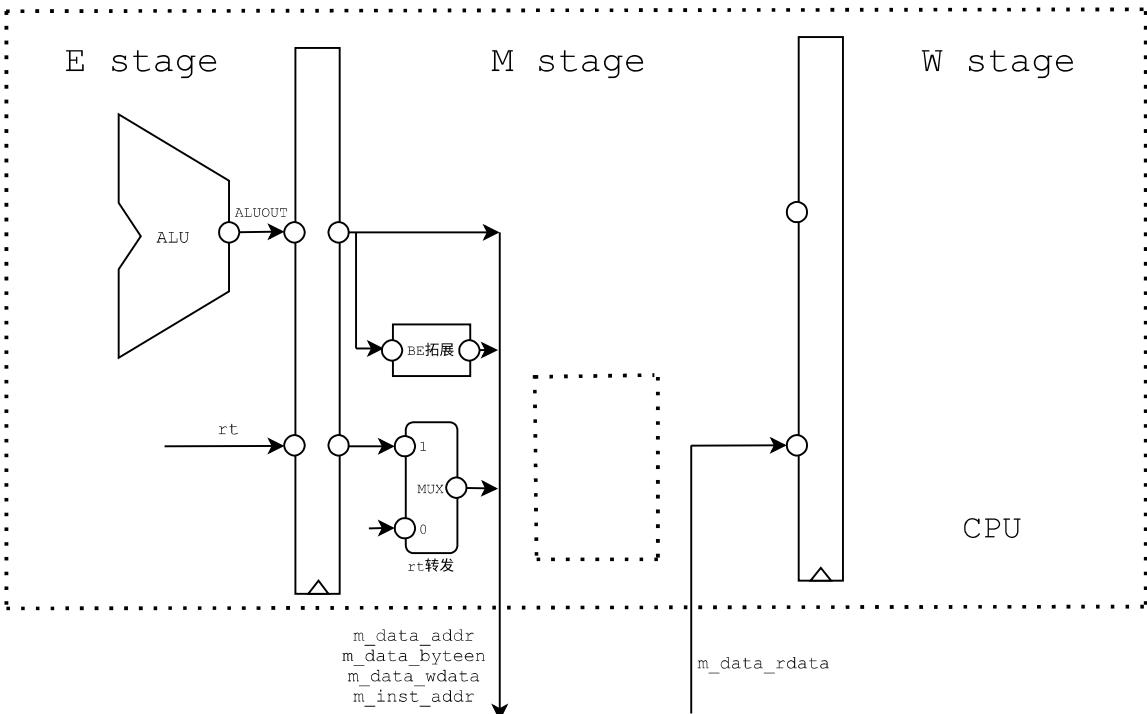


图 3：CPU 与 DM 数据交互

可以观察到，CPU 中新增了四位字节使能信号，这部分将在“支持按字节访存”小节详细介绍。