

在线测试相关说明

提交要求

下列模块必须**严格满足**如下的接口定义：

```
module mips(
    input clk,
    input reset,
    input [31:0] i_inst_rdata,
    input [31:0] m_data_rdata,
    output [31:0] i_inst_addr,
    output [31:0] m_data_addr,
    output [31:0] m_data_wdata,
    output [3 :0] m_data_byteen,
    output [31:0] m_inst_addr,
    output w_grf_we,
    output [4:0] w_grf_addr,
    output [31:0] w_grf_wdata,
    output [31:0] w_inst_addr
);
```

接口的详细含义如下：

信号名	方向	描述
clk		时钟信号
reset		同步复位信号
i_inst_rdata [31:0]		i_inst_addr 对应的 32 位指令
m_data_rdata [31:0]		m_data_addr 对应的 32 位数据
i_inst_addr [31:0]	O	需要进行取指操作的流水级 PC (一般为 F 级)
m_data_addr [31:0]	O	数据存储器待写入地址
m_data_wdata [31:0]	O	数据存储器待写入数据
m_data_byteen [3:0]	O	字节使能信号

信号名	方向	描述
m_inst_addr [31:0]	O	M 级 PC
w_grf_we	O	GRF 写使能信号
w_grf_addr [4:0]	O	GRF 中待写入寄存器编号
w_grf_wdata [31:0]	O	GRF 中待写入数据
w_inst_addr [31:0]	O	W 级 PC

必须在 Verilog HDL 设计中建立这个**顶层模块**，不允许修改模块名称、端口各信号以及变量的名称 / 类型，**代码中任何地方不允许包含 display 语句。**

复位后，PC 指向 0x00003000，此处为第一条指令的地址，GRF 中的所有数据清零，注意与 **MARS 中的设置**保持一致。在复位期间对存储单元进行操作请不要输出任何信息，以免影响评测结果。

除加减法外的指令均以指令集规定的行为为准，可参看 **MIPS-C 指令集**（该指令集描述针对单周期，注意单周期和流水线有些许指令行为描述不同，但最终结果是一致的），加减法按无符号处理（不考虑溢出）。若对本次实验有任何疑问请及时在讨论区提出。

额外说明

有些同学在 P5 中采用 AT 法后，不再需要使用 `w_grf_we`。对于**这部分同学**，可以直接在输出时将 `w_grf_we` 信号置 1，而不用把写使能信号重新加回来。（注意：请大家自行理解官方 tb 的逻辑并做妥善处理，不要盲目置 1）

由于本次设计是流水线 CPU，对各种指令间存在的**数据冲突和控制冲突**，应尽量使用**转发**来解决，不能使用转发解决的情况下才选择使用暂停解决。因此，CPU 设计时解决冲突的方案不同，跑完测试程序所需要的周期数也不同。越好的设计方案，所需要的周期数相对而言也就越少。

对于我们的实验而言，我们不要求大家设计的都非常完美，但至少常见的能使用转发解决的冲突都要用转发来解决。课上测试时我们会根据测试程序的不同设置不同的**周期范围**，你的 CPU 要在这个范围内跑完整个测试程序，否则即使结果正确也无法通过评测。课上测试时我们会**重点**提问你的设计中对于冲突的解决方案，成绩的很大一部分也取决于你的 CPU 所跑的**周期数与问答情况**。



思考题

在本实验中你遇到了哪些不同指令类型组合产生的冲突？你又是如何解决的？相应的测试样例是什么样的？



思考题

如果你是手动构造的样例，请说明构造策略，说明你的测试程序如何保证覆盖了所有需要测试的情况；如果你是完全随机生成的测试样例，请思考完全随机的测试程序有何不足之处；如果你在生成测试样例时采用了**特殊的策略**，比如构造连续数据冒险序列，请你描述一下你使用的策略如何结合了随机性达到强测的效果。