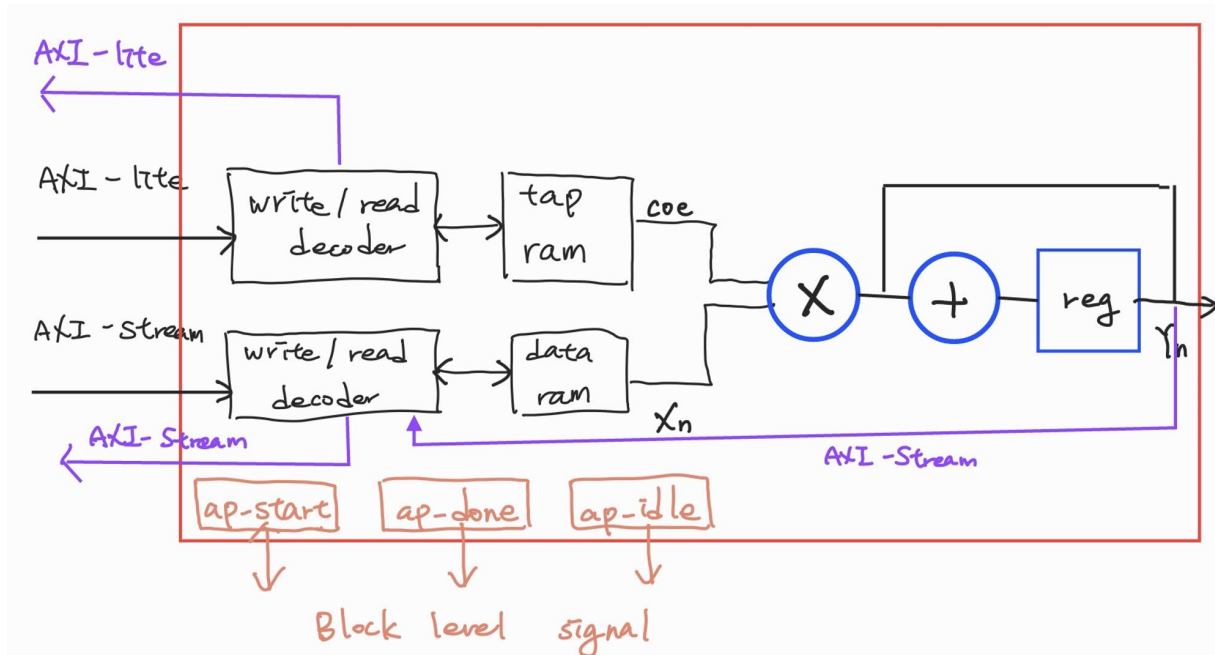


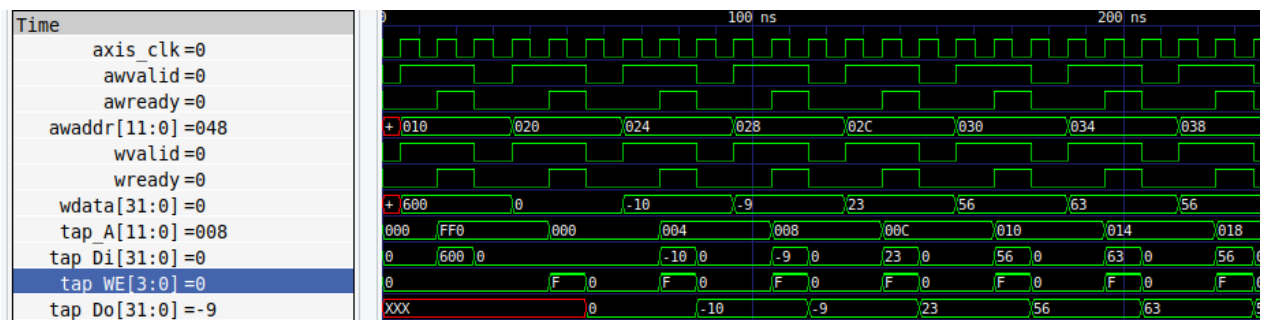
一、System block diagram



二、執行流程與波型圖

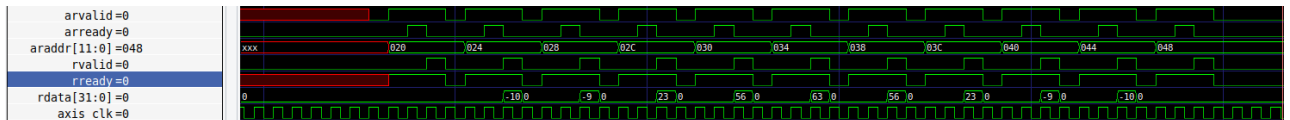
1. Axi-lite 傳輸 fir coefficient 並寫入至 tap sram :

- 在寫入地址握手成功後($awready \& awvalid == 1$)，將寫入地址($awaddr$)減去 $12'h20$ 存入 tap_A ，且需判斷寫入地址($awaddr$)是不是 ap configure 的地址，若不是寫入地址才可以減去 $12'h20$ 。
- 同時，在寫入資料握手成功後($wready \& wvalid == 1$)，將 $wdata$ 的資料寫入至 tap sram 中，成功寫入資料同時將 $wvalid$ 拉高。
- $awready$ 與 $wready$ 在每次成功握手後會拉低訊號一個 cycle，避免不必要的資料寫入。



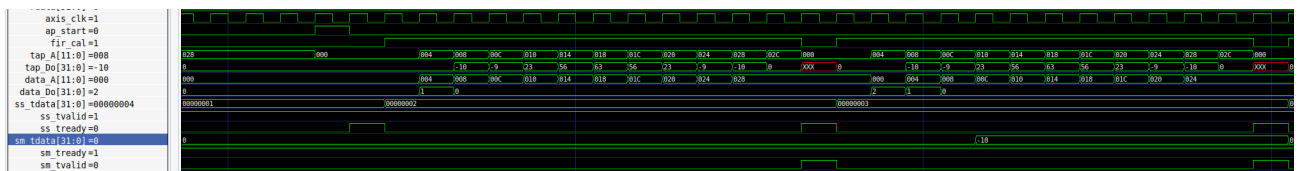
2. Axi-lite 讀取 fir coefficient :

- 讀出地址握手成功後(arready & arvalid == 1)，arready 下個 cycle 設為 0 避免讀到下一筆的地址。
- 若讀出地址不小於 12'h20，就代表讀出的資料為 fir 參數，所以握手成功後將地址減去 12'h20，讀出 sram 相對應地址的值。
- 成功讀出(rready & rvalid = 1)資料同時將 rvalid 設為 1。下個 cycle 拉低 rready 與 rvalid，等待接收下一筆資料。



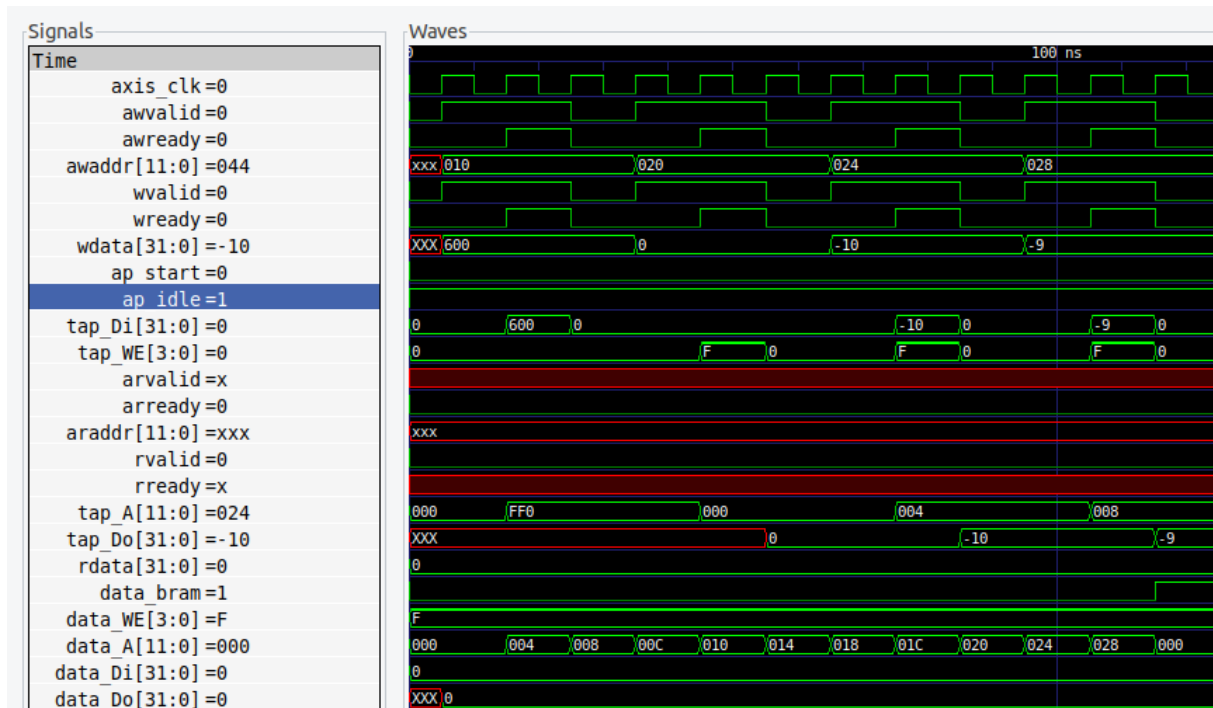
3. Fir 運算 :

- 在 fir 運算，只有設一個 fir_cal 訊號判斷是不是正在進行 fir 操作
- Host 端寫入 ap_start 之後的下個週期(ss_tvalid & ss_tready == 1)成功握手並將資料寫入至 data bram。
- 在下個週期拉高 fir_cal，代表開始進行 fir 運算。拉高 fir_cal 的第一個 cycle 是讀地址，所以第二個 cycle 才會讀出數值並同時進行運算。
- 運算經過 11 個 cycle 後，拉低 fir_cal 訊號，並成功握手(sm_tready & sm_tvalid == 1)將結果輸出。
- 拉低 fir_cal 訊號的同時，(ss_tvalid & ss_tready == 1)成功握手並將資料寫入至 data bram。
- 值得注意的是，data_A 在 fir_cal 狀態時，tap_A 如果為 12'h28 || 12'h2c，則 data_A 地址維持不變，這樣一來就不用 pointer 去指向現在在哪個地址，直接用 fir_cal 訊號與 tap_A 做判斷即可。



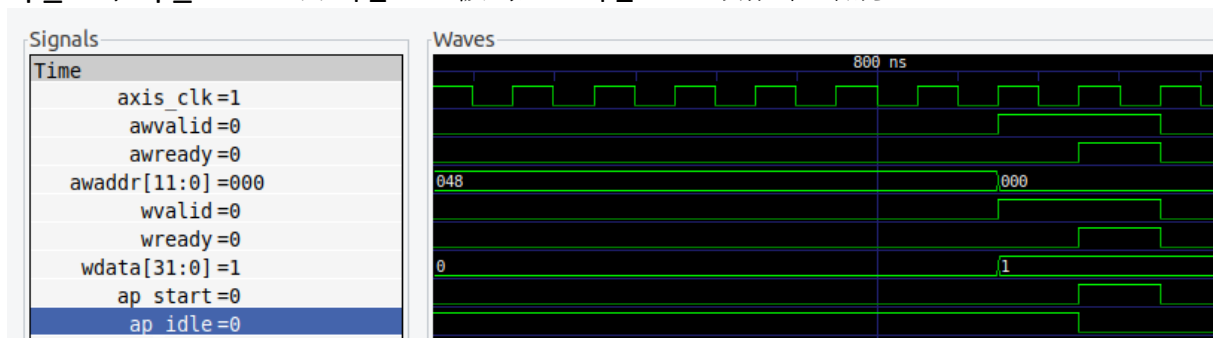
4. Data sram 歸零：

- 在一開始進行 axi-lite write 時，同時將 data sram 地址 12'h00~12'h28 的值歸零，這樣就不用多花時間歸零。

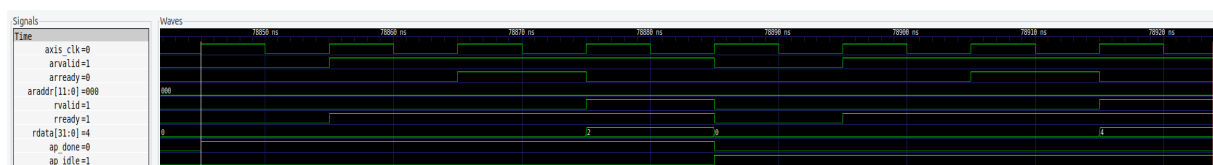


5. ap_idle, ap_done, ap_start：

ap_idle, ap_start：當 ap_start 被寫入，ap_idle 立刻拉低訊號。



ap_done, ap_idle：當 fir engine 輸出最後一筆資料，拉高 ap_done 訊號，系統讀到 ap_done 訊號後，拉低 ap_done 訊號並且拉高 ap_idle 訊號。



三、實驗結果

1. 資源用量

- LUT & FF

1. Slice Logic

Site Type	Used	Fixed	Prohibited	Available	Util%
Slice LUTs*	183	0	0	53200	0.34
LUT as Logic	183	0	0	53200	0.34
LUT as Memory	0	0	0	17400	0.00
Slice Registers	165	0	0	106400	0.16
Register as Flip Flop	165	0	0	106400	0.16
Register as Latch	0	0	0	106400	0.00
F7 Muxes	8	0	0	26600	0.03
F8 Muxes	0	0	0	13300	0.00

- Block RAM

2. Memory

Site Type	Used	Fixed	Prohibited	Available	Util%
Block RAM Tile	0	0	0	140	0.00
RAMB36/FIFO*	0	0	0	140	0.00
RAMB18	0	0	0	280	0.00

- DSP

3. DSP

Site Type	Used	Fixed	Prohibited	Available	Util%
DSPs	3	0	0	220	1.36
DSP48E1 only	3				

2. Timing report

- Period = 11 (ns) , input/output delay = 2 (ns) , 若沒有設置 input/output delay , slack 會跳 inf , Max speed 也會異常地可以到 200Mhz 。

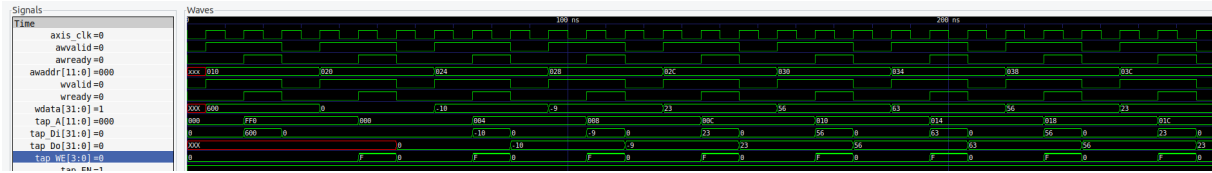
Timing			
Design Timing Summary			
General Information			
Timer Settings			
Design Timing Summary			
Clock Summary (1)			
Methodology Summary			
Check Timing (0)			
Intra-Clock Paths			
Inter-Clock Paths			
Setup			
Worst Negative Slack (WNS):	0.800 ns	Worst Hold Slack (WHS):	0.137 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	613	Total Number of Endpoints:	613
Pulse Width			
Worst Pulse Width Slack (WPWS):	5.000 ns	Total Pulse Width Negative Slack (TPWS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	166	Total Number of Endpoints:	166
All user specified timing constraints are met.			

● Critical path

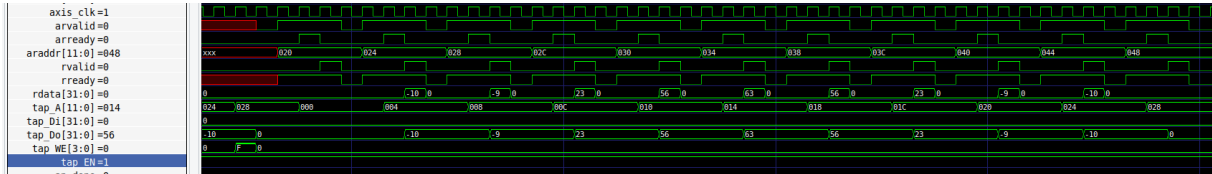
```
Max Delay Paths
-----
Slack (MET) :          0.800ns (required time - arrival time)
Source:          tap_Do[16]
                  (input port clocked by axis_clk {rise@0.000ns fall@5.500ns period=11.000ns})
Destination:     fir_multi_reg[31]/D
                  (rising edge-triggered cell FDCE clocked by axis_clk {rise@0.000ns fall@5.500ns period=11.000ns})
Path Group:      axis_clk
Path Type:       Setup (Max at Slow Process Corner)
Requirement:     11.000ns (axis_clk rise@11.000ns - axis_clk rise@0.000ns)
Data Path Delay:  10.336ns (logic 8.055ns (77.928%) route 2.281ns (22.072%))
Logic Levels:    9 (CARRY4=4 DSP48E1=2 IBUF=1 LUT2=2)
Input Delay:     2.000ns
Clock Path Skew:  2.128ns (DCD - SCD + CPR)
  Destination Clock Delay (DCD):  2.128ns = ( 13.128 - 11.000 )
  Source Clock Delay (SCD):        0.000ns
  Clock Pessimism Removal (CPR):   0.000ns
Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE
  Total System Jitter (TSJ):       0.071ns
  Total Input Jitter (TIJ):        0.000ns
  Discrete Jitter (DJ):            0.000ns
  Phase Error (PE):               0.000ns
```

3. Waveform

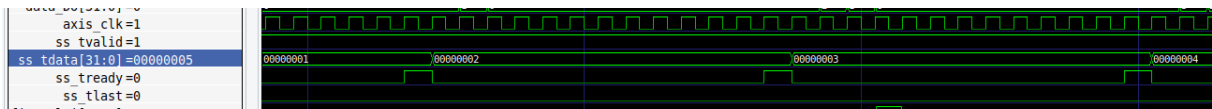
● Axi-lite write with tap ram



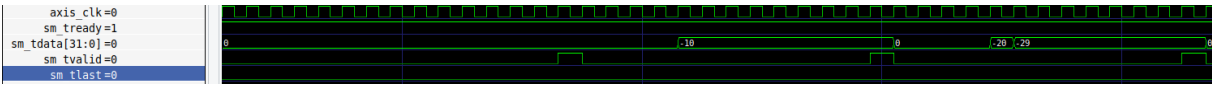
● Axi-lite read with tap ram



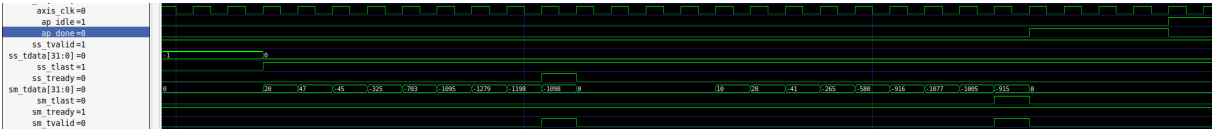
● Axi-stream input



● Axi-stream output



● Last data



受影響原因：我是住宿生，學校好幾次無預警停電，每次停電都沒存到檔案。做作業也都是在實驗室做，因為電腦硬體容量太小不允許我裝虛擬機，所以學校停電去實驗室做也都沒有辦法。因此希望老師能諒解這次的意外事件。