

半导体器件物理期末试题 (A)

(电子科学与工程学院 2002 级 2005 年 6 月 考试时间 150 分钟)

一、[35 分] 回答下列问题

基区穿通 MOSFET 的阈值电压 基区宽度调变效益 等电子陷阱

P-I-N 光电二极管中 “I” 层的作用 外量子效率 雪崩击穿

二、[10 分] 长 PN 结处于反向偏压, 解扩散方程求出少数载流子分布, 电流分布和总电流的表达式。说明反向饱和电流的产生机制。

三、[10 分] 画出金属与 P 型半导体接触处于热平衡时的能带图。

(a) $q\Phi_m > q\Phi_s$

(b) $q\Phi_m < q\Phi_s$

四、[15 分] 以 N 沟 MOS 为例

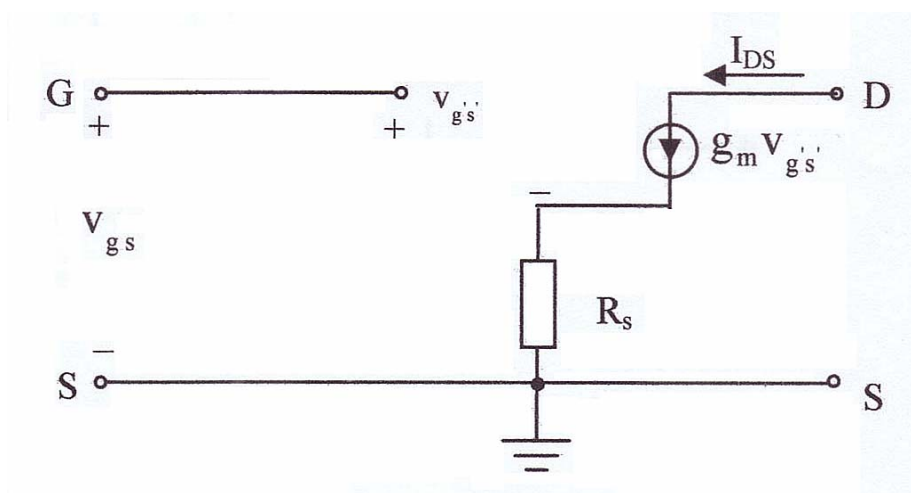
- 画出结构示意图并说明 MOSFET 的工作原理
- 导出理想 MOS 的沟道电导和阈值电压的表达式
- 说明增强型 (常闭) 和耗尽型 (常通) MOSFET 的区别, 设计一种 N 沟耗尽型 MOSFET, 说明其工作原理

五、[10 分] 热平衡 PN 结中存在着内建电势差

- 将 PN 结短路, 会不会有电流通过? 为什么?
- 能不能用万用电表测量出该电势差? 为什么?

六、[10 分] 下图为结型场效应晶体管的低频小信号等效电路图, 其中 R_s 为源极电阻。证明:

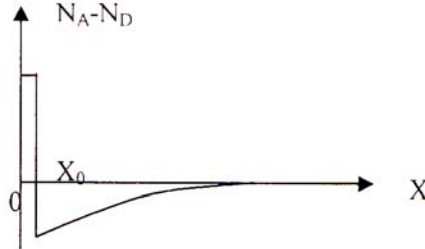
由于 R_s 的存在, 晶体管的跨导变成 $g_m' \equiv \frac{I_{DS}}{V_{gs}} = \frac{g_m}{1 + g_m R_s}$ 式中 $g_m = \frac{I_{DS}}{V_{gs}}$ 为忽略 R_s 时的跨导。



七、[10 分] NPN 晶体管处于饱和工作模式, 写出少子边界条件 ($x = -x_E, -w_E, 0, x_B, x_C, \infty$), 并画出少子分布示意图。

2002 级《半导体器件物理》考试题（B）卷

- 1 PN 结杂质分布如下图所示，P 区重掺杂，N 区杂质分布为 $N_d = N_0 e^{\frac{x-x_0}{L}}$ ，推导 $C_T - V_R$ 特性表达式。（总分 10 分）



- 2 在 $p^+ - n$ 结二极管中，n 区的宽度 W_n 远小于 L_p ，用 $I_p \Big|_{x=W_n} = qS\Delta p_n A$ （S 为表面复合速度）作为 n 侧末端的少数载流子电流，并以此为边界条件之一，推导出载流子和电流分布。绘出在 $S=0$ 和 $S=\infty$ 时 n 侧少数载流子的分布形状。（总分 10 分）
- 3 采用叠加法证明当氧化层中电荷分布为 $\rho(x)$ 时，相应的平带电压变化可用下式表示：

$$\Delta V_{FB} = -\frac{q}{C_0} \int_0^{x_0} \frac{x\rho(x)}{x_0} dx \quad (\text{总分 10 分})$$

- 4 硅 N 沟道 JFET 具有如图 5-1a 的结构以及下参数： $N_a = 10^{18} \text{ cm}^{-3}$ ， $N_d = 10^5 \text{ cm}^{-3}$ ，

$a = 2 \mu\text{m}$ 和 $Z = 0.2 \text{ cm}$ ，计算：

(a) 自建电势 ψ_0 （5 分）

(b) 夹断电压 V_{p0} 和 V_p （5 分）

(c) 电导 G_0 以及（5 分）

(d) 在栅极和漏极为零偏压时实际的沟道电导(5 分) (总分 20 分)

- 5 试推导 N 沟道 JFET 的电流与电压关系。它的截止面 $2a \times 2a$ ，为 P^+ 所包围，器件长度为 L。（总分 15 分）

- 6 推导出金属-氧化物-半导体场效应晶体管

(a) 表面电势（10 分）

(b) 体电荷以及（5 分）

(c) 表面电场的表达式（5 分） (总分 20 分)

- 7 假设 $p^+ - n$ 二极管受到一个光源的均匀照射，所引起的电子-空穴产生速率为 G_L ，解二极管的扩散方程以证明

$$\Delta p_n = \left[p_{n0} (e^{\frac{V}{VT}} - 1) - G_L \frac{L_p^2}{D_p} \right] e^{-\frac{x}{L_p}} + \frac{G_L L_p^2}{D_p} \quad (\text{总分 } 15 \text{ 分})$$

2002 级半导体器件物理期末试题 (A) 答案

电子科学与工程学院

2005.6.29 (150 分钟)

一、【35 分】

基区穿通【5 分】: 若在雪崩击穿之前集电结的空间电荷区到达发射结, 则 BJT 穿通, 这种击穿称为穿通击穿, 或基区穿通。(其他正确答法亦可)

MOSFET 的阈值电压【5 分】: 使 MOSFET 栅氧化层下方半导体表面出现强反型层所需的栅电压。

基区宽度调变效应【5 分】: 在共发射极电路中, 当 $V_{CE} > 0$ 时, 集电极电流 I_C 随 V_{CE} 的增加而增加, 这种现象起因于 BJT 的基区宽度调变效应 (此话亦可不答), 也称为 Early 效应。基区宽度调变效应是由于 V_{CE} 增加时, 集电结空间电荷区展宽, 使有效基区宽度 x_B 减小, 使 h_{FE} 增加, 从而 I_C 将随 V_{CE} 的增加而增加。

等电子陷阱【5 分】: 等电子杂质取代晶格基质原子而产生的束缚态。等电子杂质就是周期表中与半导体基质原子同族的原子。

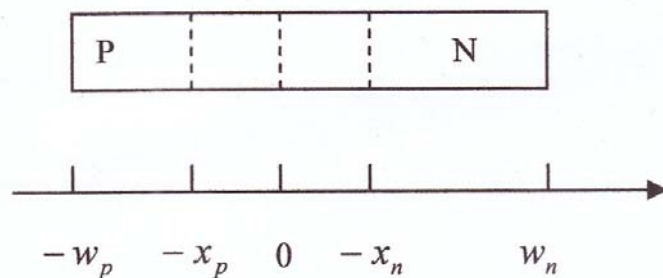
P-I-N 光电二极管中 “I” 层的作用【5 分】: 增尽耗尽层宽度。

外量子效率【5 分】: 单位时间内输出二极管外的光子数与注入载流子数之比。

雪崩击穿【5 分】: 在处于反偏的 PN 结中, 杂散载流子电子或空穴进入空间电荷层, 会在电场作用下加速运动, 高速运动的载流子和晶格碰撞可以从晶格中电离出一个电子, 从而产生电子-空穴对。在碰撞之后, 原始的和新生成的载流子将继续他们的行程, 并被电场加速, 从而与晶格发生更多次的碰撞, 产生更多的载流子, 结果载流子的增加是一个倍增过程, 称为雪崩击穿, 或碰撞电离。

二、【10 分】

解:



在 $x \geq x_n$ 区域, 少子空穴满足

$$D_p \frac{d^2(p_n - p_{n0})}{dx^2} - \frac{p_n - p_{n0}}{\tau_p} = 0$$

$$\frac{d^2(p_n - p_{n0})}{dx^2} - \frac{p_n - p_{n0}}{L_p^2} = 0$$

$$L_p^2 = D_p \tau_p$$

其普通解为

$$p_n - p_{n0} = k_1 e^{-x/L_p} + k_2 e^{-x/L_p} \quad (1)$$

边界条件为

$$\begin{cases} x = w_n = \infty, p_n = p_{n0} & (2) \\ x = x, p_n = p_{n0} e^{V/V_T} = 0 & (3) \end{cases}$$

$$\text{由 (2)、(1) 知} \quad K_2 = 0$$

$$\text{由 (3)、(1) 知} \quad -p_{n0} = K_1 e^{-x_n/L_p}$$

$$\text{所以 } K_1 = -p_{n0} e^{x_n/L_p}$$

代入 (1) 式, 有

$$p_n - p_{n0} = -p_{n0} e^{-(x-x_n)/L_p}$$

或

$$p_n = p_{n0} [1 - e^{-(x-x_n)/L_p}] \quad (4)$$

类似的, 对于 $x \leq -x_p$:

$$n_p = n_{p0} [1 - e^{-(x+x_n)/L_p}] \quad (5)$$

(4)、(5) 即为少子分布 【4 分】

电流分布:

$$I_p(x) = -qAD_p \frac{dp_n}{dx} = \frac{-qAD_p p_{n0}}{L_p} e^{-(x-x_n)/L_p} = -I_p(x_n) e^{-(x-x_n)/L_p} \quad (6)$$

$$I_n(x) = -qAD_n \frac{dn_p}{dx} = \frac{-qAD_n n_{p0}}{L_n} e^{(x+x_p)/L_n} = -I_n(-x_p) e^{(x+x_p)/L_n} \quad (7)$$

式 (6)、(7) 即为电流分布

$$\text{总电流 } I = I_p(x_n) + I_n(-x_p) = -qA\left(\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right) = -I_0$$

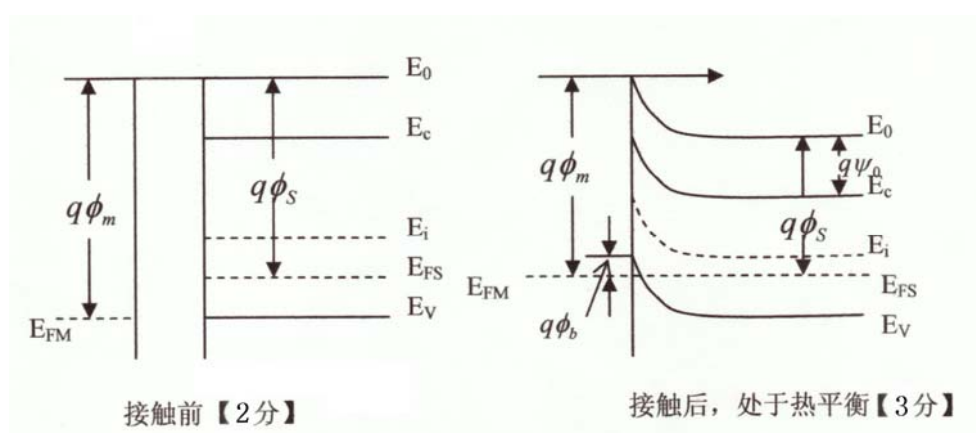
$$\text{其中 } I_0 = qA\left(\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right)$$

为二极管饱和电流【4分】

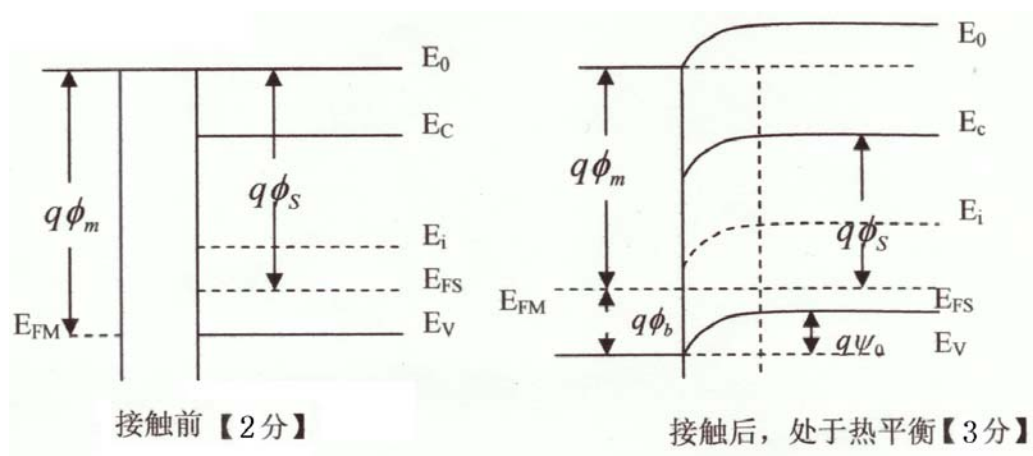
反向饱和电流的来源是PN结扩散区内的少子产生电流。【2分】

三、【10分】

A. $q\phi_m > q\phi_s$ 【5分】

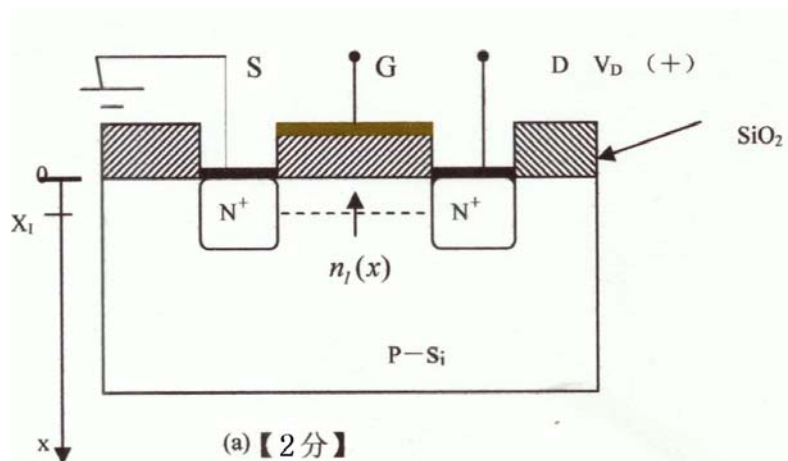


B. $q\phi_m < q\phi_s$ 【5分】



四、【15分】

(a)



工作原理：当 $V_G = 0$ 时，MOSFET 为两个背靠背的 PN 结，加上 V_{DS} 不会有电流。

当加上 $V_G > 0$ 且 $V_G > V_{TH}$ ，则栅下方半导体表面会出现 N 型反型层，两个 N^+ 区被反型层（N）连通，此时加上 V_{DS} ，会有电流从 $D \rightarrow S$ ，或者说电子从源向漏漂移。【3分】

(b)

$$g_1 = \frac{Z}{L} \int_0^{X_1} q \mu_n n_1(x) dx$$

其中， X_1 为沟道宽度， $n_1(x)$ 为反型层内电子分布

令 $\frac{Z}{L} \int_0^{X_1} q \mu_n n_1(x) dx = -Q_1$ 即反型层中单位面积的总电子电量 【2分】

$$\text{则 } g_1 = -\frac{Z}{L} \mu_n Q_1 \text{ 【2分】}$$

$$\text{由 } V_G = V_0 + \psi_s = -\frac{Q_s}{C_0} + \psi_s$$

强反型时，

$$Q_s = Q_I + Q_B, \psi_s = \psi_{si}$$

$$\text{所以, } V_G = -\frac{Q_s}{C_0} - \frac{Q_B}{C_0} + \psi_{si}$$

$$\text{即 } Q_I = -C_0 [V_G - (-\frac{Q_B}{C_0} + \psi_{si})] = -C_0 (V_G - V_{TH})$$

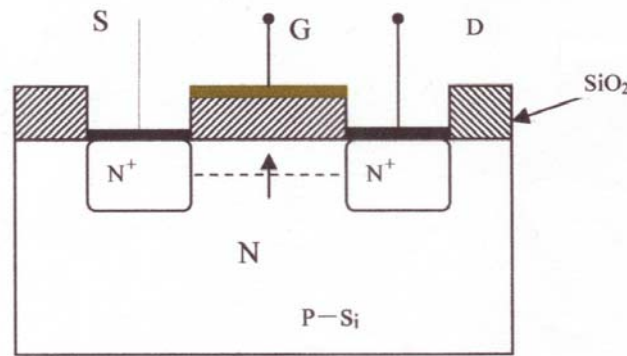
式中

$$V_{TH} \equiv -\frac{Q_B}{C_0} + \psi_{si}$$

即为阈值电压。【3 分】

(c)

增强型 MOS 和耗尽型 MOS 的主要区别是前者在零栅压时没有导电沟道, 后者在零栅压时就存在导电沟道。【2 分】



(b) 【2 分】

例如, 用离子注入或扩散方法, 在栅氧化层下方, 形成一 N 层, 即可得到 P 沟道耗尽型 MOSFET。【3 分】

五、【10 分】

解:

- A. 不会, 【2 分】由于内建电势差的存在, 使载流子漂移电流和扩散电流相互抵消, 即内建电势差维持了 P-N 结载流子的分布平衡。【3 分】
- B. 不能, 【2 分】万用电表探针与半导体接触会产生接触电势差, 它们与内建电势差抵消。【3 分】

六、【10 分】

解: 有 R_s 存在时,

由 $D \rightarrow R_s \rightarrow s$ 回路可知

$$I_{DS} = g_m V_{g's'} \quad \text{【2 分】}$$

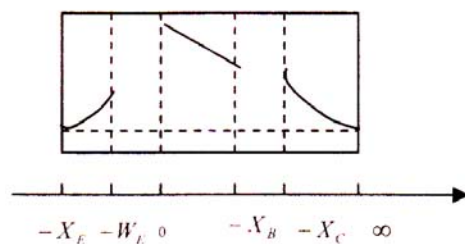
$$V_{gs} = V_{g's'} + I_{DS} R_s = V_{g's'} + g_m V_{g's'} R_s = (1 + g_m R_s) V_{g's'} \quad \text{【2 分】}$$

$$\text{即 } V_{g's'} = \frac{V_{gs}}{1 + g_m R_s} \quad \text{【2 分】}$$

$$\text{所以 } I_{DS} = g_m \frac{V_{gs}}{1 + g_m R_s} = g'_m V_{gs} \quad \text{【2 分】}$$

$$\text{即 } g'_m = \frac{g_m}{1 + R_s g_m} \quad \text{【2 分】}$$

七、【10 分】



【4 分】

解：饱和模式

$$V_E > 0, V_C > 0$$

$$x = 0, n_p = n_{p0} e^{V_E/V_T}$$

$$x = x_B, n_p = n_{p0} e^{V_C/V_T}$$

$$x = -w_E, p_{nE} = n_{nE0} e^{V_E/V_T}$$

$$x = x_C, p_{nC} = p_{nC0} e^{V_C/V_T}$$

$$x = \infty, p_{nC} = p_{nC0}$$

$$x = -x_E, p_{nE} = p_{nE0} \quad \text{【6 分】}$$

说明：

1. 其他正确答法同样得分
2. 不完整及不贴切但意思正确者适当给分

2002 级半导体器件物理期末试题（A）答案

电子科学与工程学院

2005.6.29 （150 分钟）

七、【35 分】

基区穿通【5 分】：若在雪崩击穿之前集电结的空间电荷区到达发射结，则 BJT 穿通，这种击穿称为穿通击穿，或基区穿通。（其他正确答法亦可）

MOSFET 的阈值电压【5 分】：使 MOSFET 栅氧化层下方半导体表面出现强反型层所需的栅电压。

基区宽度调变效应【5 分】：在共发射极电路中，当 $V_{CE} > 0$ 时，集电极电流 I_C 随 V_{CE} 的增加而增加，这种现象起因于 BJT 的基区宽度调变效应（此话亦可答），也称为 Early 效应。基区宽度调变效应是由于 V_{CE} 增加时，集电结空间电荷区展宽，使有效基区宽度 x_B 减

小，使 h_{FE} 增加，从而 I_C 将随 V_{CE} 的增加而增加。

等电子陷阱【5 分】：等电子杂质取代晶格基质原子而产生的束缚态。等电子杂质就是周期表中与半导体基质原子同族的原子。

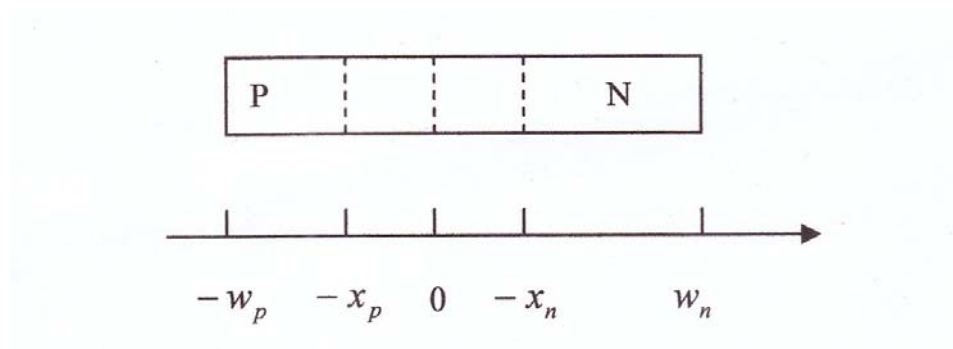
P-I-N 光电二极管中 “I” 层的作用【5 分】：增尽耗尽层宽度。

外量子效率【5 分】：单位时间内输出二极管外的光子数与注入载流子数之比。

雪崩击穿【5 分】：在处于反偏的 PN 结中，杂散载流子电子或空穴进入空间电荷层，会在电场作用下加速运动，高速运动的载流子和晶格碰撞可以从晶格中电离出一个电子，从而产生电子-空穴对。在碰撞之后，原始的和新生成的载流子将继续他们的行程，并被电场加速，从而与晶格发生更多次的碰撞，产生更多的载流子，结果载流子的增加是一个倍增过程，称为雪崩击穿，或碰撞电离。

八、【10 分】

解：



在 $x \geq x_n$ 区域，少子空穴满足

$$D_p \frac{d^2(p_n - p_{n0})}{dx^2} - \frac{p_n - p_{n0}}{\tau_p} = 0$$

$$\frac{d^2(p_n - p_{n0})}{dx^2} - \frac{p_n - p_{n0}}{L_p^2} = 0$$

$$L_p^2 = D_p \tau_n$$

其普通解为

$$p_n - p_{n0} = k_1 e^{-x/L_p} + k_2 e^{-x/L_p} \quad (1)$$

边界条件为

$$\begin{cases} x = w_n = \infty, p_n = p_{n0} \end{cases} \quad (2)$$

$$\begin{cases} x = x_n, p_n = p_{n0} e^{V/V_T} = 0 \end{cases} \quad (3)$$

由 (2)、(1) 知 $K_2 = 0$

由 (3)、(1) 知 $-p_{n0} = K_1 e^{-x_n/L_p}$

所以 $K_1 = -p_{n0}e^{x_n/L_p}$

代入 (1) 式, 有

$$p_n - p_{n0} = -p_{n0}e^{-(x-x_n)/L_p}$$

或

$$p_n = p_{n0}[1 - e^{-(x-x_n)/L_p}] \quad (4)$$

类似的, 对于 $x \leq -x_p$:

$$n_p = n_{p0}[1 - e^{-(x+x_n)/L_p}] \quad (5)$$

(4)、(5) 即为少子分布 【4 分】

电流分布:

$$I_p(x) = -qAD_p \frac{dp_n}{dx} = \frac{-qAD_p p_{n0}}{L_p} e^{-(x-x_n)/L_p} = -I_p(x_n)e^{-(x-x_n)/L_p} \quad (6)$$

$$I_n(x) = -qAD_n \frac{dn_p}{dx} = \frac{-qAD_n n_{p0}}{L_n} e^{(x+x_p)/L_n} = -I_n(-x_p)e^{(x+x_p)/L_n} \quad (7)$$

式 (6)、(7) 即为电流分布

$$\text{总电流 } I = I_p(x_n) + I_n(-x_p) = -qA\left(\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right) = -I_0$$

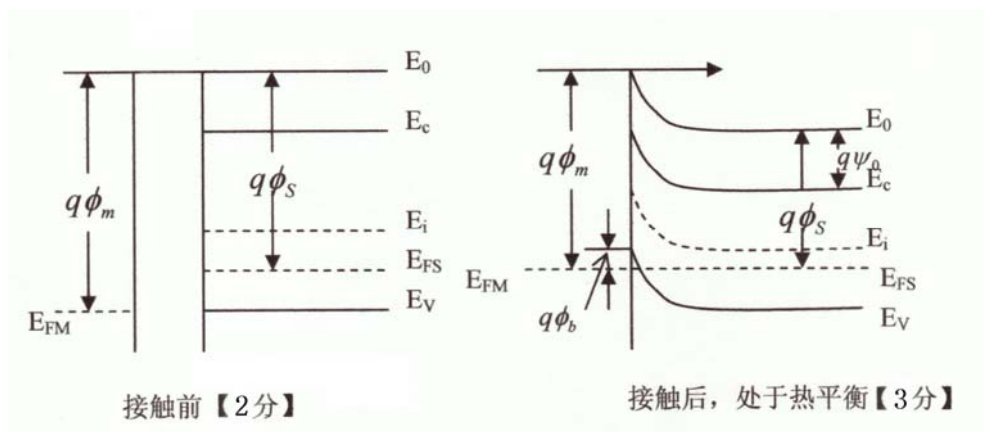
$$\text{其中 } I_0 = qA\left(\frac{D_p p_{n0}}{L_p} + \frac{D_n n_{p0}}{L_n}\right)$$

为二极管饱和电流 【4 分】

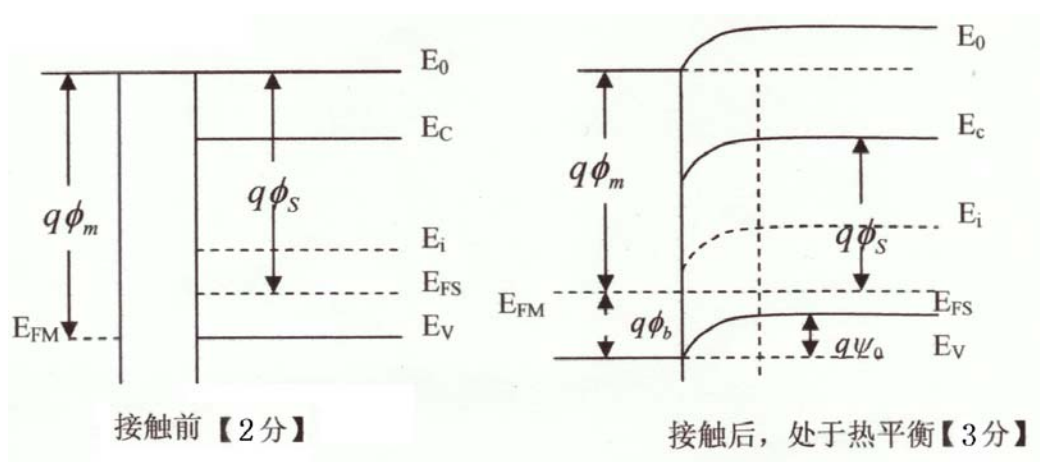
反向饱和电流的来源是 PN 结扩散区内的少子产生电流。【2 分】

九、【10 分】

$$\text{A. } q\phi_m > q\phi_s \quad \text{【5 分】}$$

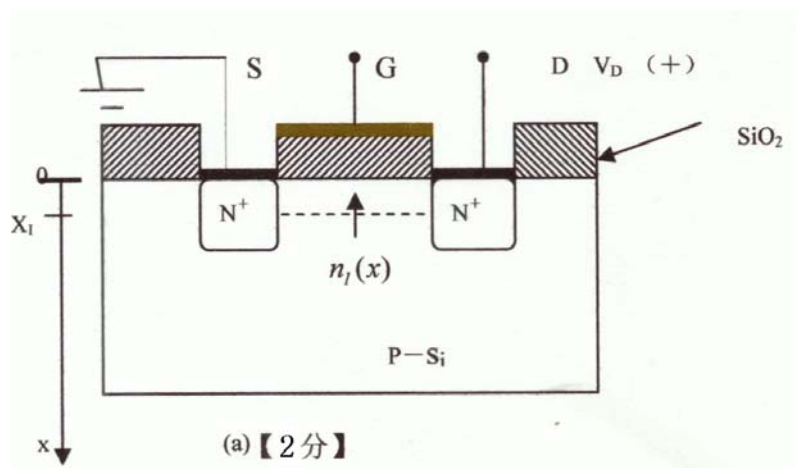


B. $q\phi_m < q\phi_s$ 【5分】



十、【15分】

(a)



工作原理：当 $V_G = 0$ 时，MOSFET 为两个背靠背的 PN 结，加上 V_{DS} 不会有电流。

当加上 $V_G > 0$ 且 $V_G > V_{TH}$ ，则栅下方半导体表面会出现 N 型反型层，两个 N^+ 区被反型层（N）连通，此时加上 V_{DS} ，会有电流从 $D \rightarrow S$ ，或者说电子从源向漏漂移。【3

分】

(b)

$$g_1 = \frac{Z}{L} \int_0^{X_1} q \mu_n n_1(x) dx$$

其中, X_1 为沟道宽度, $n_1(x)$ 为反型层内电子分布

令 $\frac{Z}{L} \int_0^{X_1} q \mu_n n_1(x) dx = -Q_1$ 即反型层中单位面积的总电子电量 【2 分】

$$\text{则 } g_1 = -\frac{Z}{L} \mu_n Q_1 \text{ 【2 分】}$$

$$\text{由 } V_G = V_0 + \psi_s = -\frac{Q_s}{C_0} + \psi_s$$

强反型时,

$$Q_s = Q_I + Q_B, \psi_s = \psi_{si}$$

$$\text{所以, } V_G = -\frac{Q_s}{C_0} - \frac{Q_B}{C_0} + \psi_{si}$$

$$\text{即 } Q_I = -C_0 [V_G - (-\frac{Q_B}{C_0} + \psi_{si})] = -C_0 (V_G - V_{TH})$$

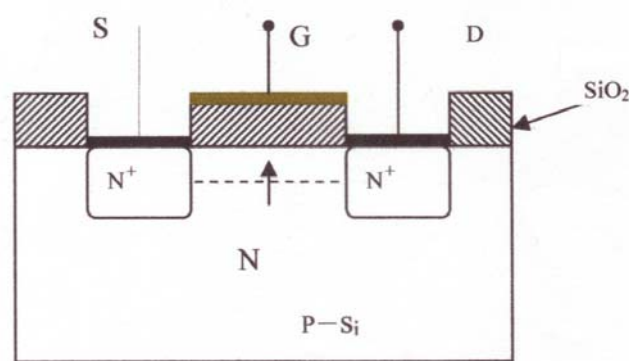
式中

$$V_{TH} \equiv -\frac{Q_B}{C_0} + \psi_{si}$$

即为阈值电压。【3 分】

(c)

增强型 MOS 和耗尽型 MOS 的主要区别是前者在零栅压时没有导电沟道, 后者在零栅压时就存在导电沟道。【2 分】



(b) 【2 分】

例如，用离子注入或扩散方法，在栅氧化层下方，形成一 N 层，即可得到 P 沟道耗尽型 MOSFET。【3 分】

十一、 【10 分】

解：

- A. 不会，【2 分】由于内建电势差的存在，使载流子漂移电流和扩散电流相互抵消，即内建电势差维持了 P-N 结载流子的分布平衡。【3 分】
- B. 不能，【2 分】万用电表探针与半导体接触会产生接触电势差，它们与内建电势差抵消。【3 分】

十二、 【10 分】

解：有 R_s 存在时，

由 $D \rightarrow R_s \rightarrow s$ 回路可知

$$I_{DS} = g_m V_{g's'} \quad \text{【2 分】}$$

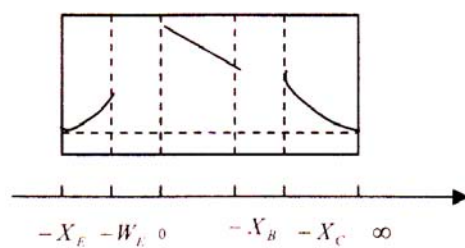
$$V_{gs} = V_{g's'} + I_{DS} R_s = V_{g's'} + g_m V_{g's'} R_s = (1 + g_m R_s) V_{g's'} \quad \text{【2 分】}$$

$$\text{即 } V_{g's'} = \frac{V_{gs}}{1 + g_m R_s} \quad \text{【2 分】}$$

$$\text{所以 } I_{DS} = g_m \frac{V_{gs}}{1 + g_m R_s} = g_m' V_{gs} \quad \text{【2 分】}$$

$$\text{即 } g_m' = \frac{g_m}{1 + R_s g_m} \quad \text{【2 分】}$$

八、【10 分】



【4 分】

解：饱和模式

$$V_E > 0, V_C > 0$$

$$x = 0, n_p = n_{p0} e^{V_E/V_T}$$

$$x = x_B, n_p = n_{p0} e^{V_C/V_T}$$

$$x = -w_E, p_{nE} = n_{nE0} e^{V_E/V_T}$$

$$x = x_C, p_{nC} = p_{nC0} e^{V_C/V_T}$$

$$x = \infty, p_{nC} = p_{nC0}$$

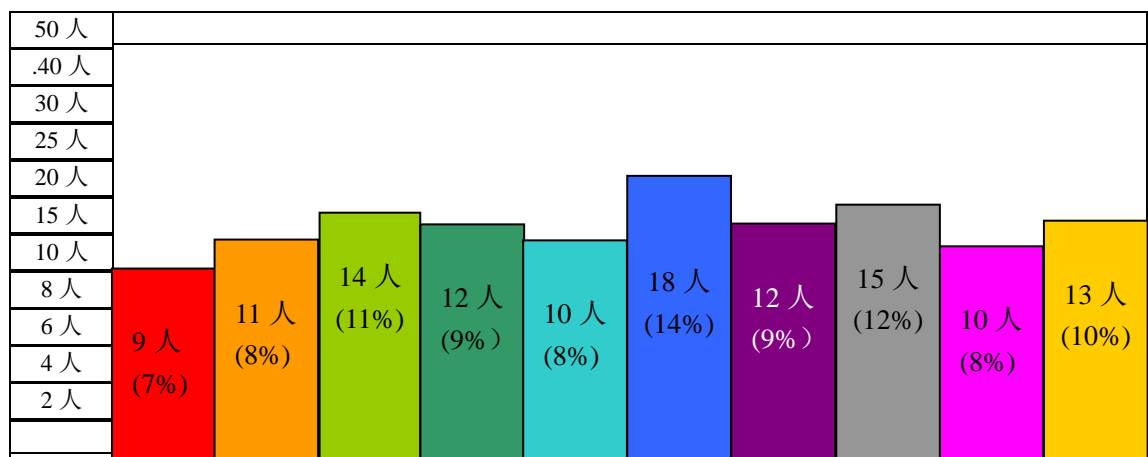
$$x = -x_E, p_{nE} = p_{nE0} \quad \text{【6 分】}$$

说明：

3. 其他正确答法同样得分
4. 不完整及不贴切但意思正确者适当给分

吉林大学试卷分析报告

2002 级本科生《半导体器件物理》课程考试成绩分布图



注：①分数、人数指本档分数、人数的最低线；②其它中间值可以参照图表数字适当标出位置

2002 级本科生《半导体器件物理》课程学习状况分析

学生对所学知识的掌握情况，考核中反映出的学生能力和素质状况，考核中发现学生学习中存在的主要问题，加强该课程教学的想法等（本页不足可另附纸）

从成绩分布可见，本次考试符合学生学习分布的实际情况。器件课程的概念较多，重复性小，概念题回答全对的同学不多，反映了学生读书尚不够仔细。

此次考试为了反映学生分析问题解决问题的能力，出了第六题和第四(C)小题。第六题是平时作业中没出现的问题，是一个综合能力很强的问题，绝大多数的同学都能回答的很好，说明同学对基础理论掌握较好，第四(C)是一个设计器件的实际问题，能回答完整，正确的同学不多，反映了同学理论联系实际的能力欠缺。

通过本次考试，说明了在教学过程中要更重视素质教育。

评卷教师签字：

2005 年 7 月 4 日