



Nguyễn Phúc Khải

CHƯƠNG 3: *CẤU TRÚC LUẬN LÝ SỐ*





Các nội dung:

- Transistor
- Cổng luận lý (Logic gate)
- Mạch tổ hợp (Combinational circuit)
- Mạch tuần tự (Sequential logic circuit)
- Đường truyền dữ liệu LC3

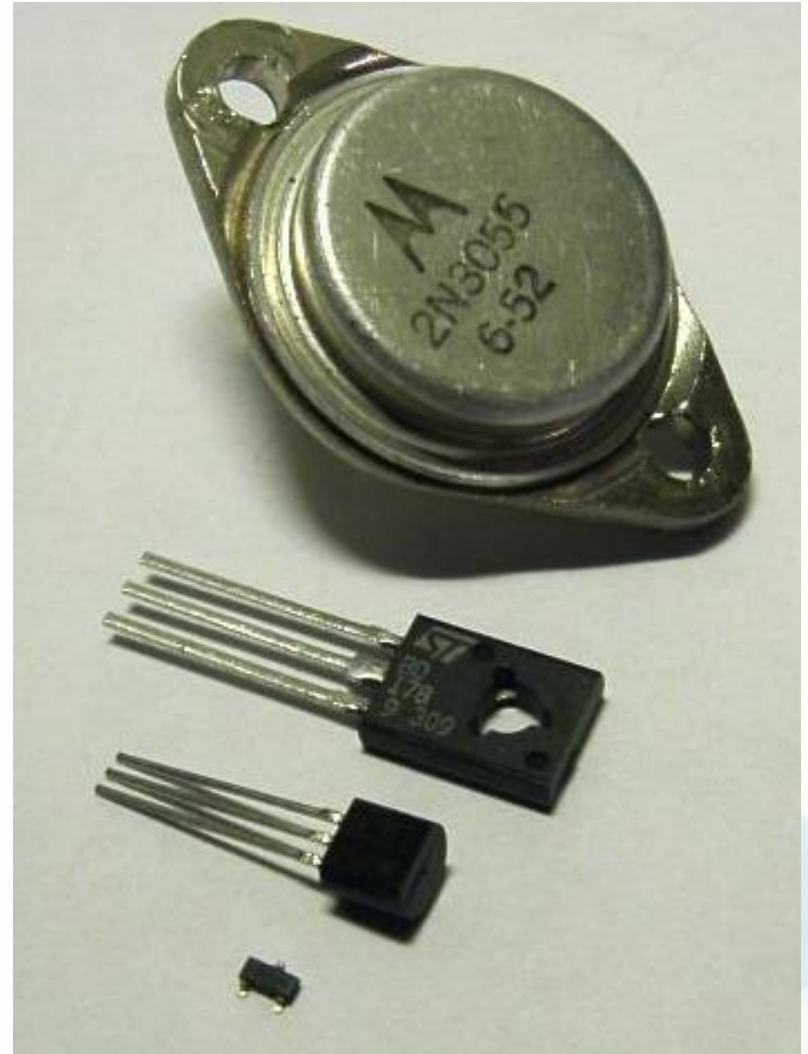




TRANSISTOR

- Transistor là thiết bị bán dẫn để khuếch đại hoặc đóng cắt tín hiệu điện tử và năng lượng điện.

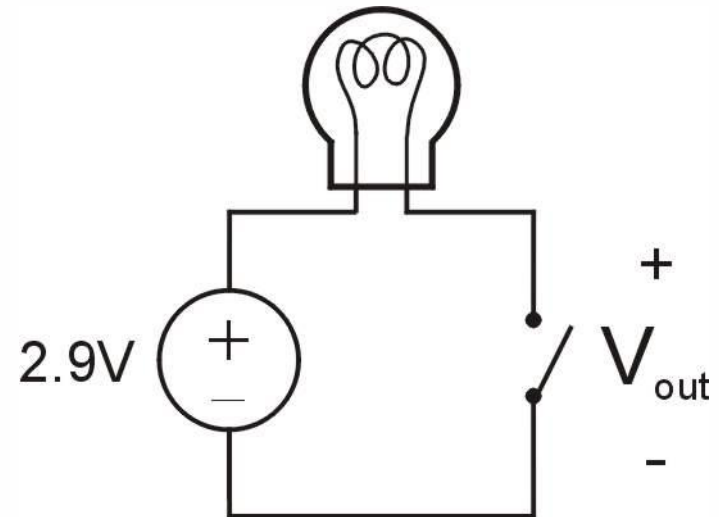
Một số loại Transistor →





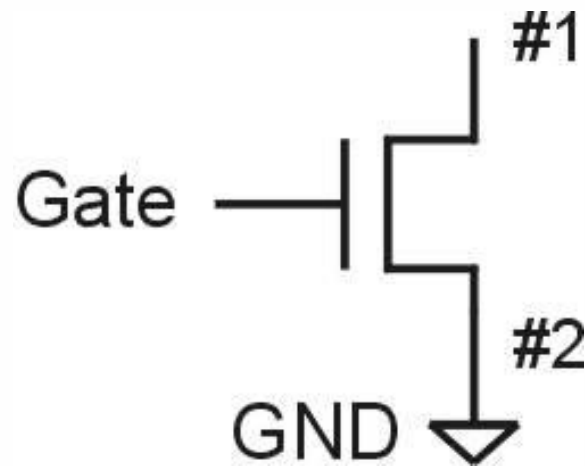
TRANSISTOR

- Chức năng đóng/cắt:
 - Khi khóa mở, điện thế $V_{out} = 2,9V$, tức điện thế ra ở transistor ở mức cao.
 - Khi khóa đóng, điện thế $V_{out} = 0V$, khi đó điện thế ra ở transistor ở mức thấp.





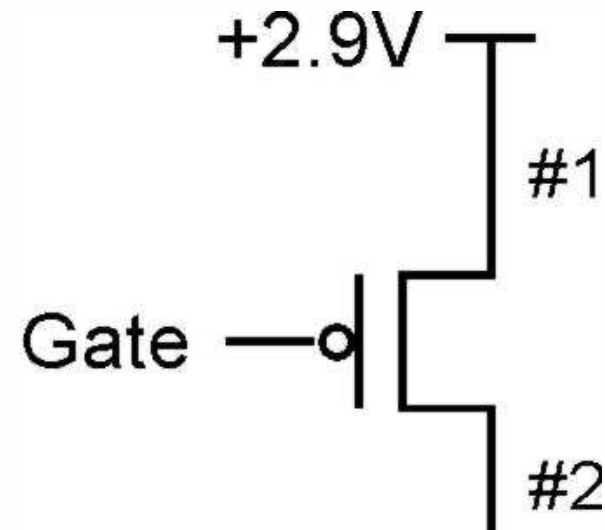
TRANSISTOR



Transistor loại N:

$$G=1 \Rightarrow U_{12}=0$$

$$G=0 \Rightarrow U_{12}=1$$



Transistor loại P:

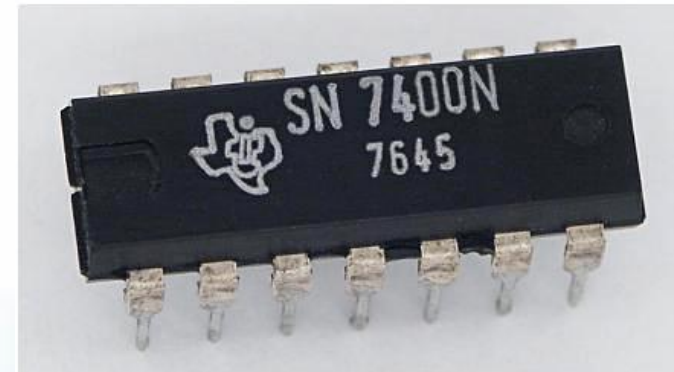
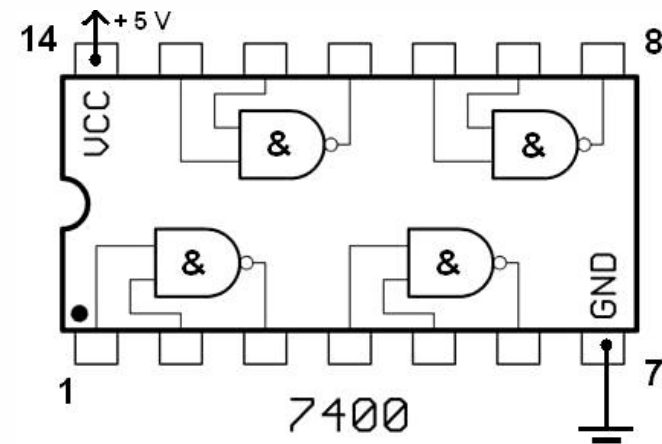
$$G=1 \Rightarrow U_{12}=1$$

$$G=0 \Rightarrow U_{12}=0$$



Cổng luận lý (Logic gate)

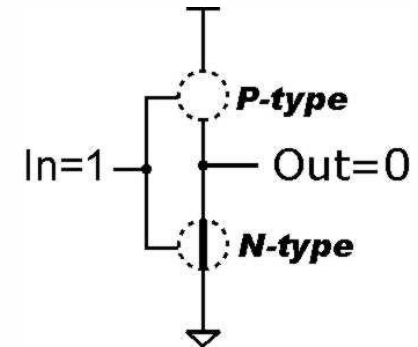
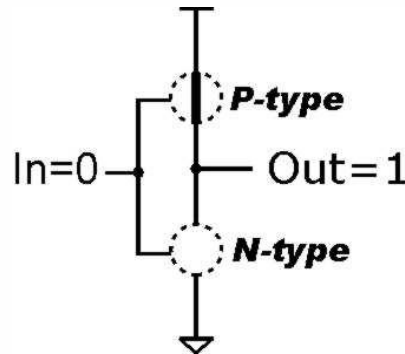
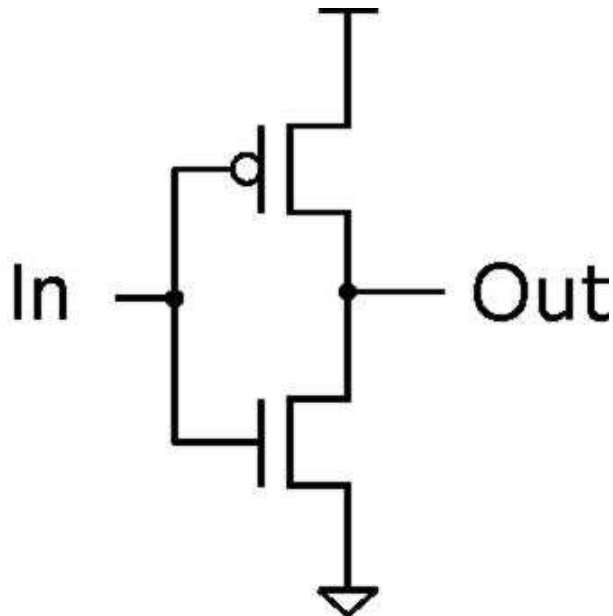
- Cổng luận lý là mạch điện thực hiện một phép tính Boole
- Các cổng luận lý cơ bản AND, OR, và NOT
- Tầm trị điện áp analog từ 0-2,9V:
 - Điện thế từ 0-0,5V → mức logic 0
 - Điện thế từ 2,4V – 2,9V → mức logic 1



Vi mạch 7400 gồm 4 cổng NAND

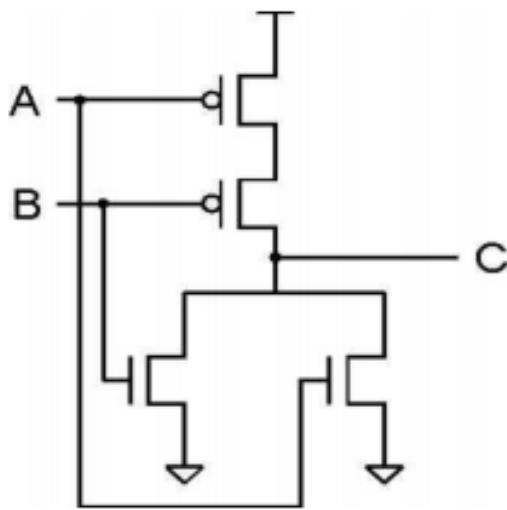


Cổng NOT

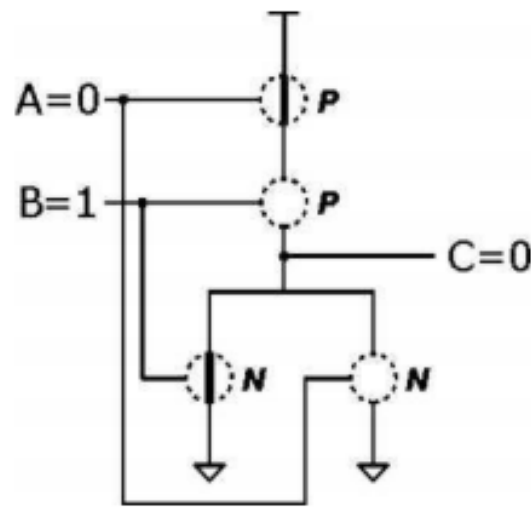


In	Out
0	1
1	0

Cổng NOR



(a)



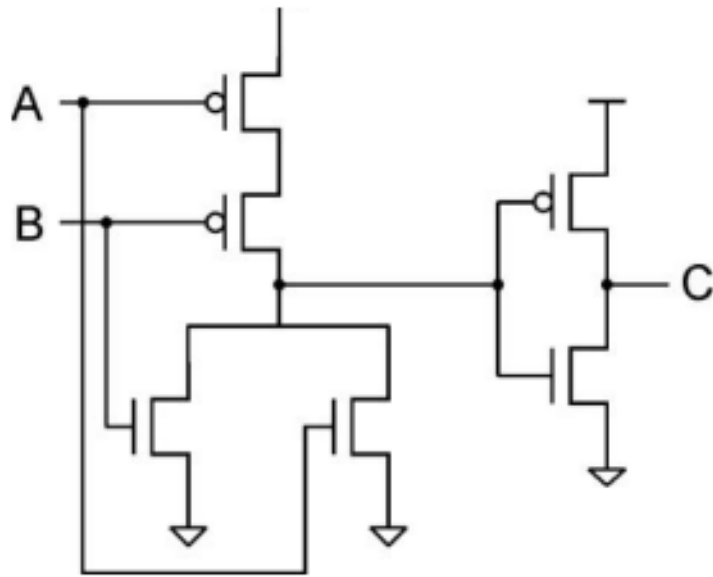
(b)

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

(c)

Hình 3.5 Cổng NOR

Cổng OR



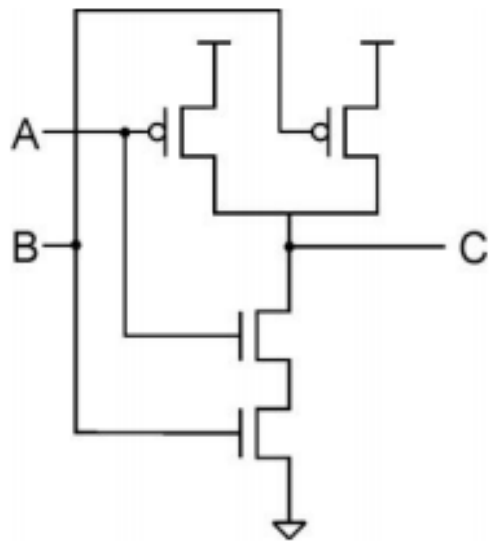
(a)

<i>A</i>	<i>B</i>	<i>C</i>
0	0	0
0	1	1
1	0	1
1	1	1

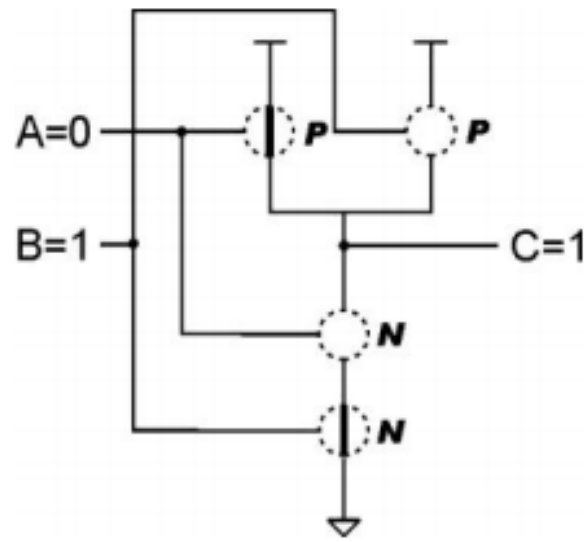
(b)

Hình 3.6 Cổng OR

Cổng NAND



(a)



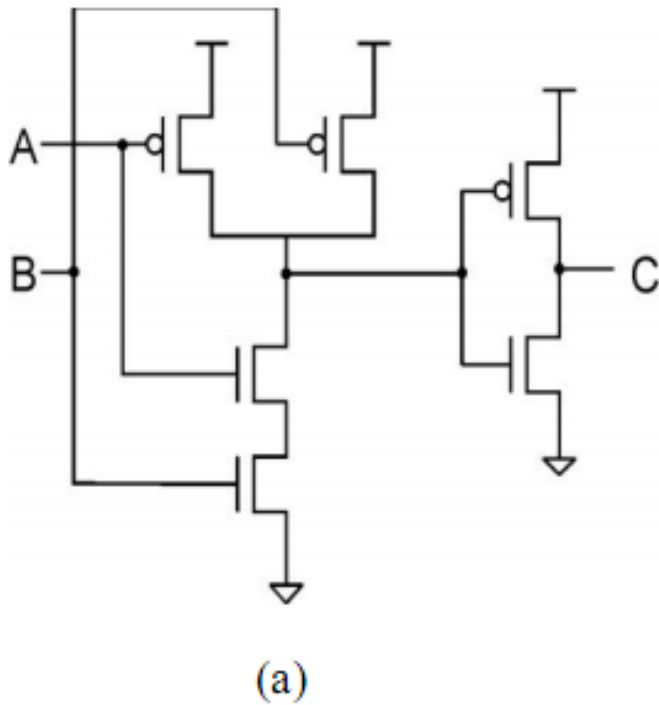
(b)

<i>A</i>	<i>B</i>	<i>C</i>
0	0	1
0	1	1
1	0	1
1	1	0

(c)

Hình 3.7 Cổng NAND

Cổng AND



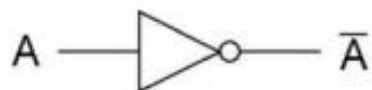
<i>A</i>	<i>B</i>	<i>C</i>
0	0	0
0	1	0
1	0	0
1	1	1

(b)

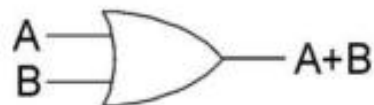
Hình 3.8 Cổng AND



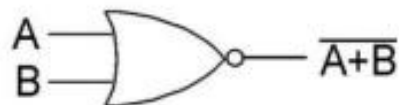
Biểu diễn các công luận lý



NOT



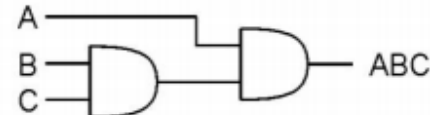
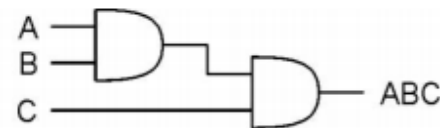
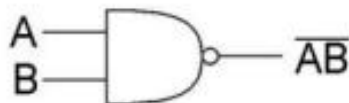
OR



NOR



AND





Định luật De Morgan

- Luật De Morgan cho phép chúng ta biểu diễn cổng OR bằng cổng AND kèm theo một số cổng NOT, hay ngược lại.

$$\overline{A + B} = \overline{A} \bullet \overline{B} \quad (1)$$

và

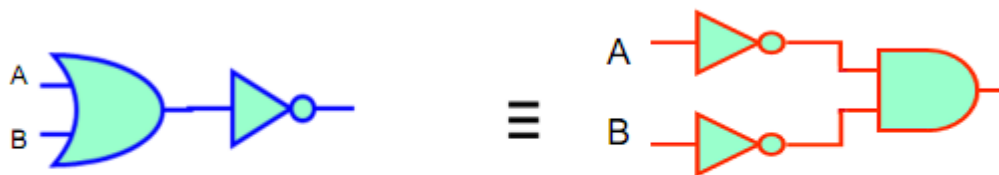
$$\overline{A \bullet B} = \overline{A} + \overline{B} \quad (2)$$





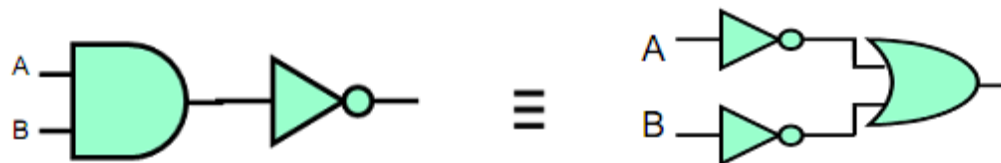
Định luật De Morgan

$$\overline{A + B} = \overline{A} \bullet \overline{B}$$



Hình 3.11 Luật De Morgan 1

$$\overline{A \bullet B} = \overline{A} + \overline{B}$$



Hình 3.12 Luật De Morgan 2

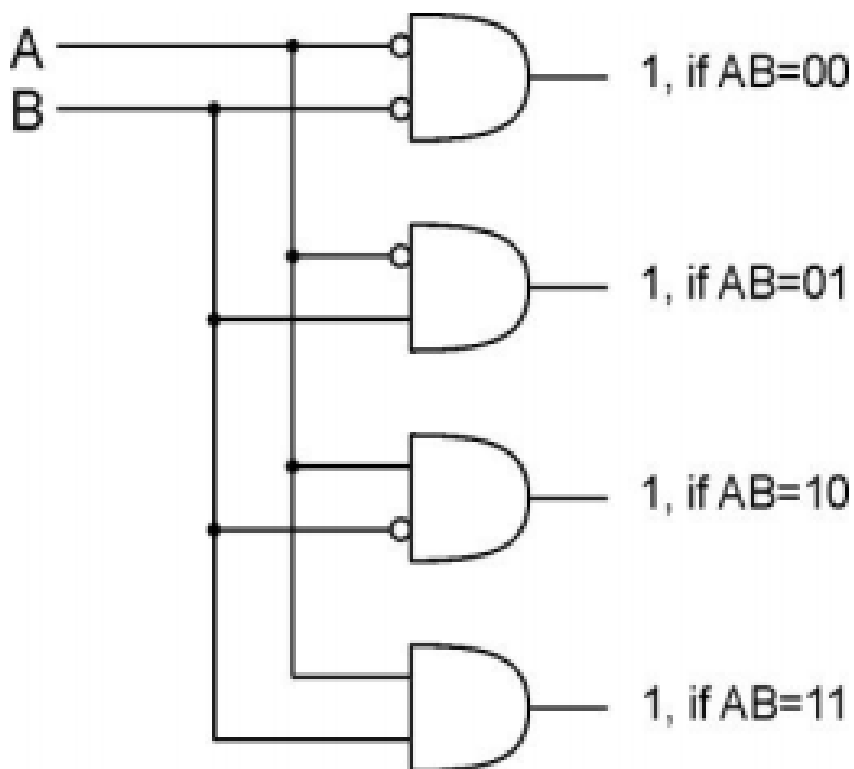


Mạch tổ hợp & Mạch tuần tự

- Mạch tổ hợp (Combinational circuit) là mạch luận lý mà các giá trị đầu ra của nó phụ thuộc vào tổ hợp các giá trị đầu vào của nó ở cùng thời điểm.
- Giá trị đầu ra của mạch tuần tự không chỉ phụ thuộc vào đầu vào hiện tại mà còn phụ thuộc vào trạng thái hiện tại của các phần tử nhớ trong mạch.
- Mạch tuần tự có thể giữ được thông tin, và làm cơ sở cho cấu trúc bộ nhớ của máy tính.



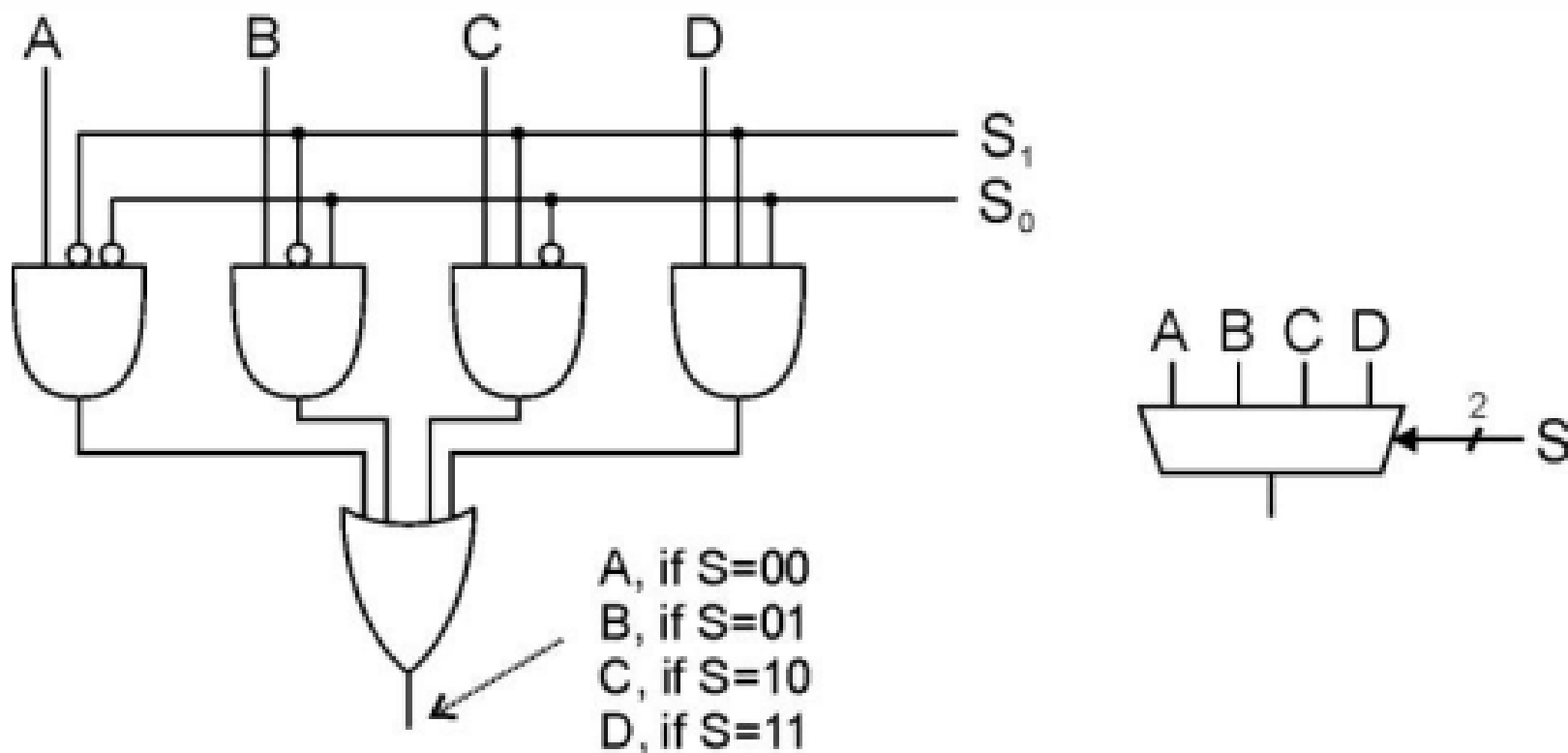
Mạch giải mã (Decoder)



Hình 3.13 Mạch giải mã 2 bit



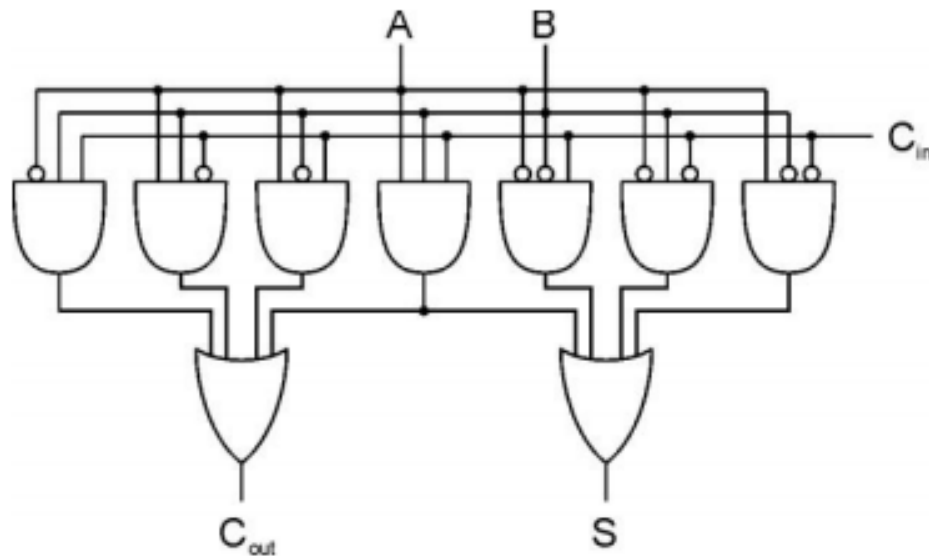
Mạch phân kênh(Multiplexer)



Hình 3.14 Mạch phân kênh 4 đầu vào



Mạch cộng toàn phần (Full adder)



(a)

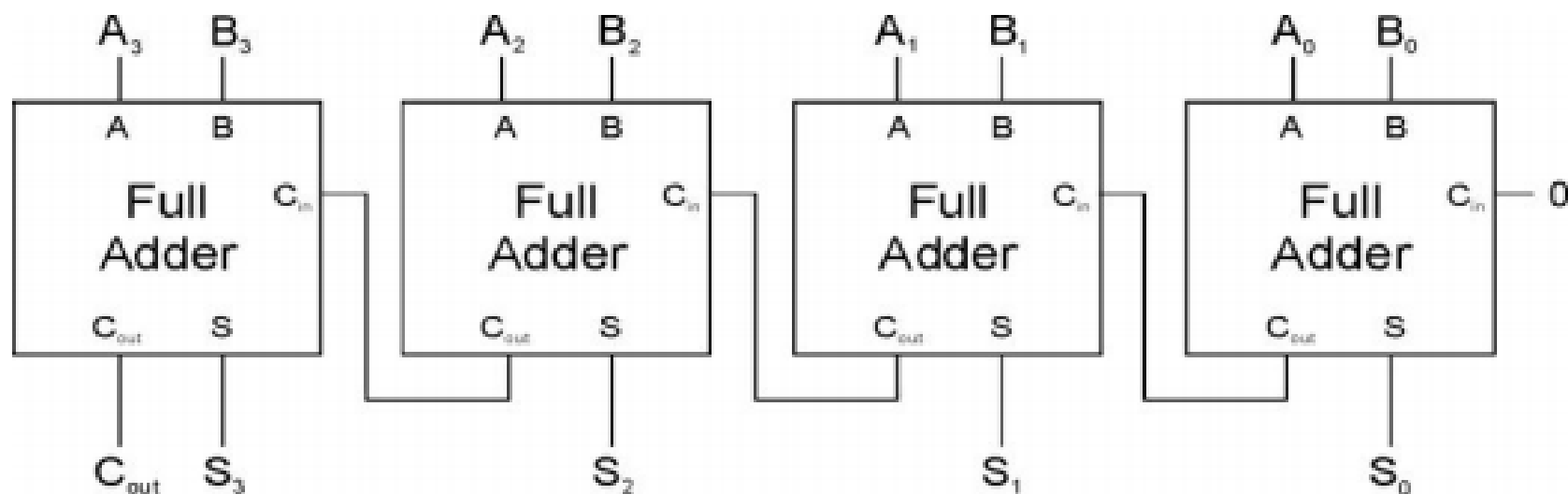
A	B	C_{in}	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(b)

Hình 3.15 Mạch cộng toàn phần



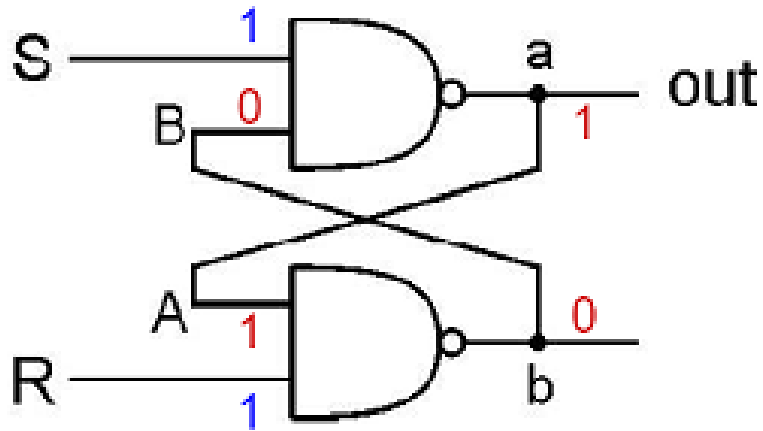
Mạch cộng toàn phân (Full adder)



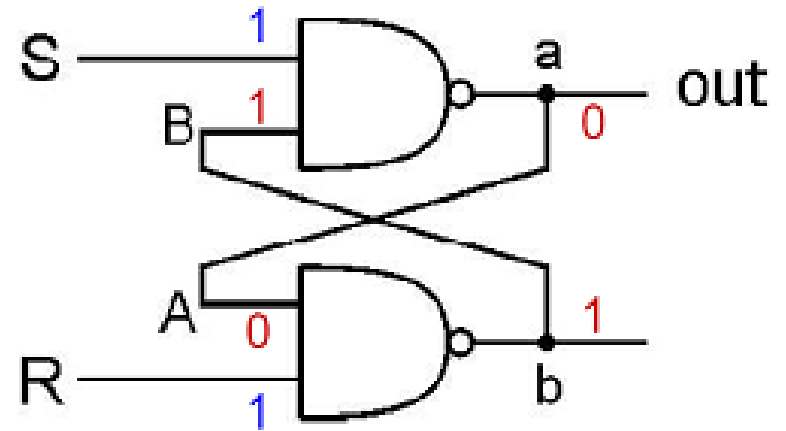
Hình 3.16 Mạch cộng hai số nhị phân 4 bit



Mạch cài R-S (R-S latch)



(a)

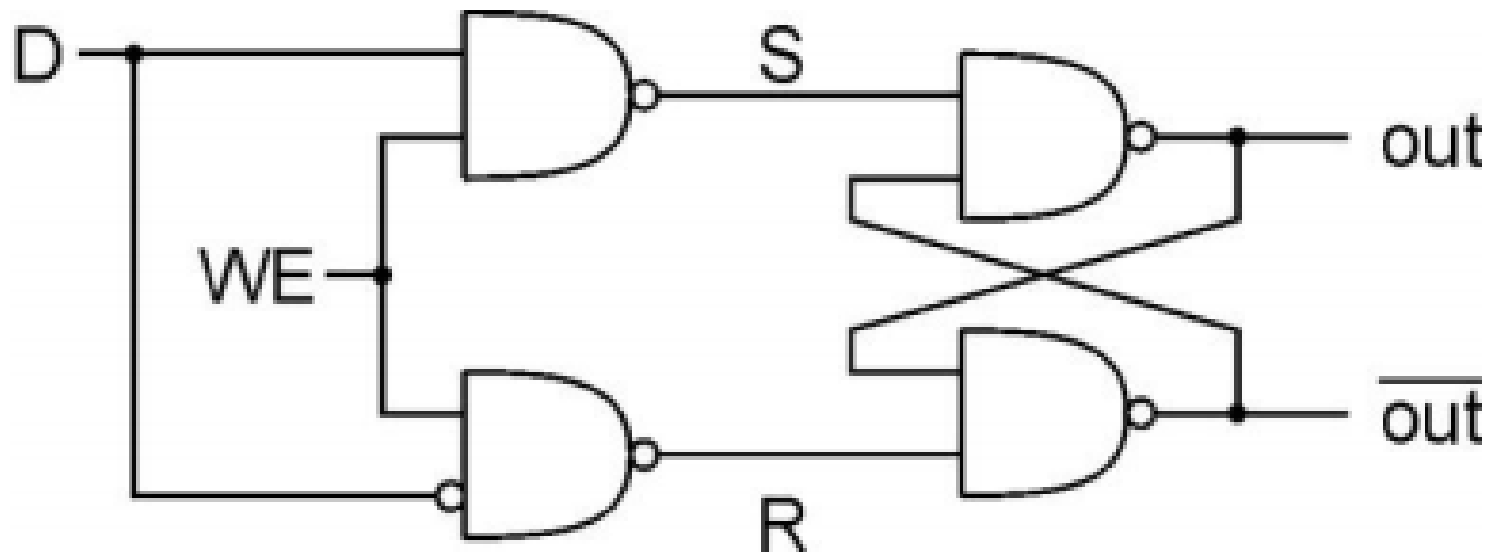


(b)

Hình 3.18 Mạch cài S-R



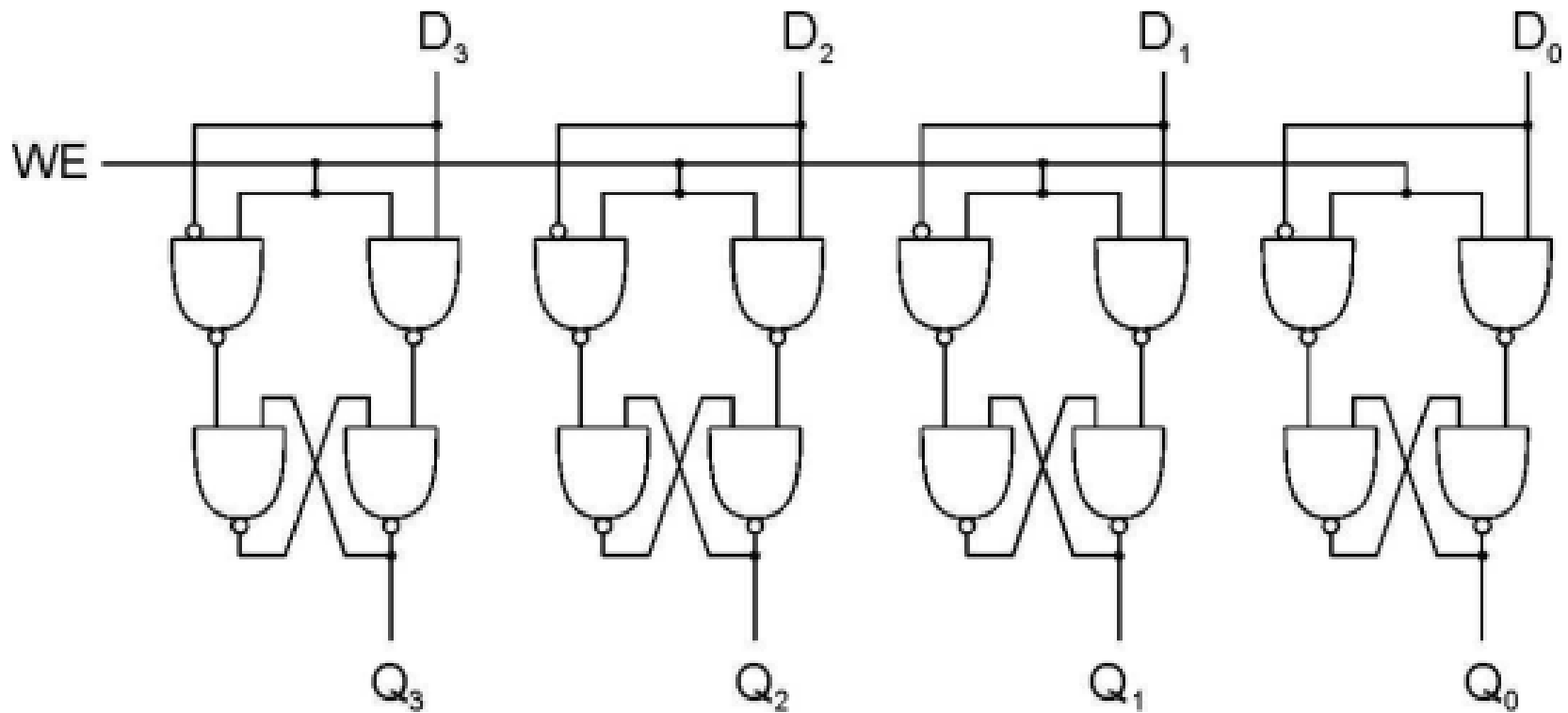
Mạch cài D (D latch)



Hình 3.21 Mạch cài D



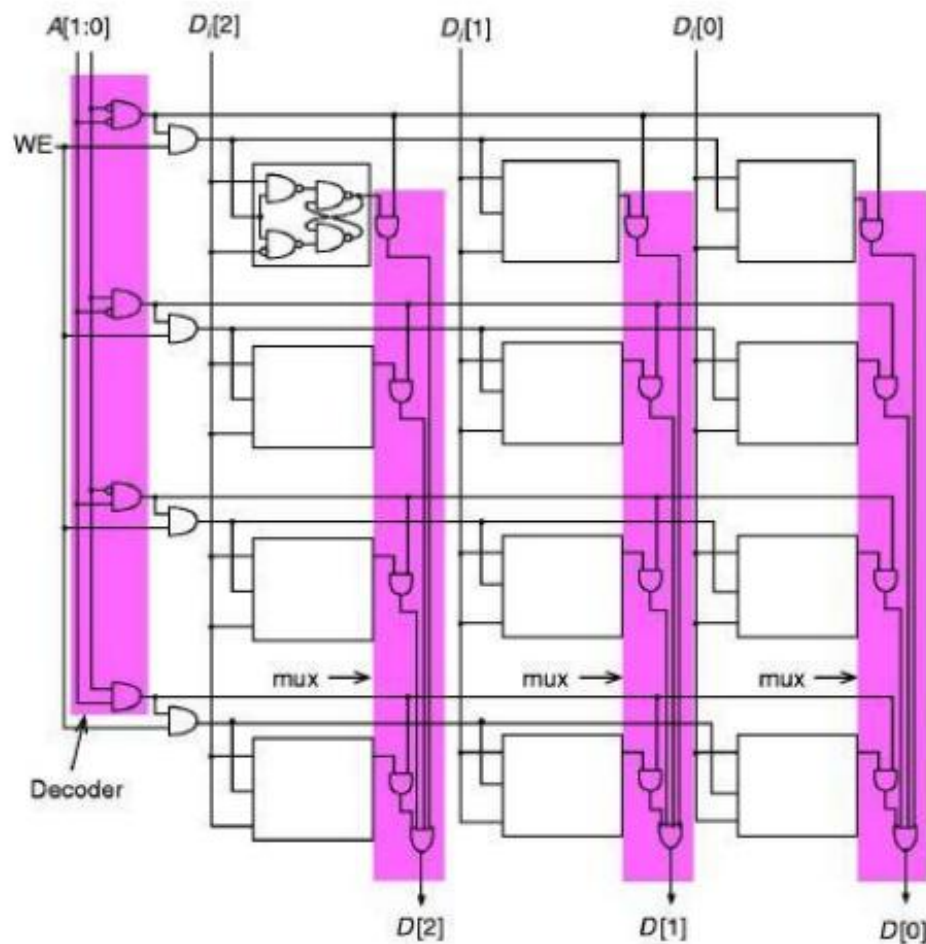
Thanh ghi (Register)



Hình 3.22 Thanh ghi bốn bit



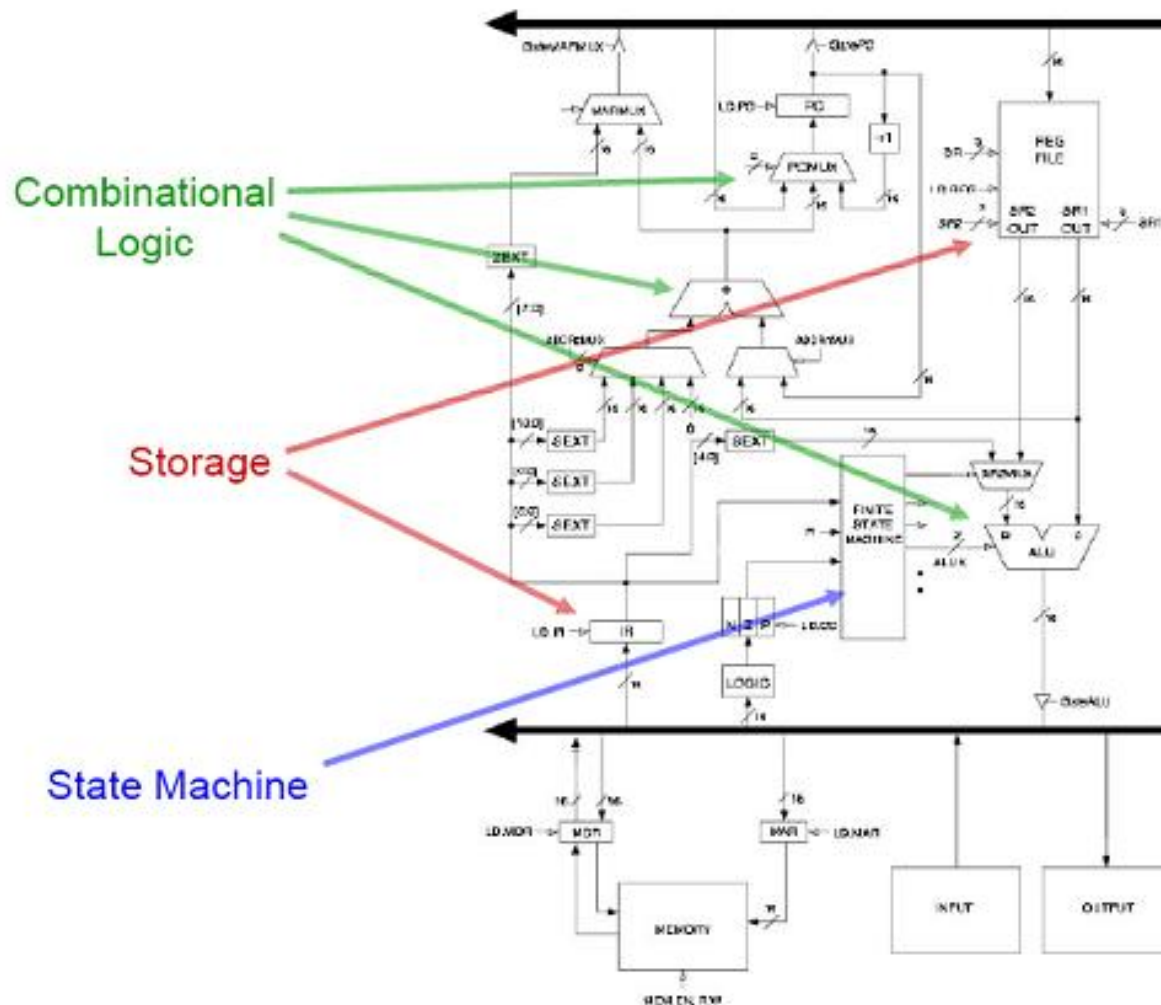
Bộ nhớ (Memory)



Hình 3.24 Bộ nhớ 4 từ 3 bit



Cấu trúc máy tính LC3



Hình 3.36 Đường trường dữ liệu của máy tính LC3



Kết thúc chương 3

