

CA - Class question 6

1. Bảng sau mô tả tỷ lệ lỗi với các kích thước khối và kích thước bộ đệm khác nhau. Giả sử rằng hệ thống có tổng phí để đọc/ghi bộ nhớ là 80 chu trình. Thời gian chạm bộ đệm là 1 chu trình. Bộ nhớ chuyển 16 bytes giữa bộ đệm và bộ nhớ mất 2 chu trình. Như vậy miss penalty cho khối 16 bytes là 82 chu trình, 32 bytes là 84 chu trình . . . Xác định xem kích thước khối tối ưu cho bộ đệm với kích thước khác nhau để có thời gian truy cập trung bình nhỏ nhất.

Block size	Cache size			
	4K	16K	64K	256K
16	8.57%	3.94%	2.04%	1.09%
32	7.24%	2.87%	1.35%	0.70%
64	7.00%	2.64%	1.06%	0.51%
128	7.78%	2.77%	1.02%	0.49%
256	9.51%	3.29%	1.15%	0.49%

2. Giả sử tăng số khối trong một tập hợp sẽ làm tăng thời gian chạm. Giả sử thời gian chạm của liên kết trực tiếp là 1 chu trình. Thời gian chạm của 2,4,8 khối trong một tập hợp tương ứng là 1.36, 1.44, 1.52. Miss penalty là 25 chu trình. Bảng tỷ lệ lỗi cho như hình sau. Xác định xem với trường hợp kích thước bộ đệm nào thì mệnh đề sau là đúng.

$\text{Average memory access time}_{8\text{-way}} < \text{Average memory access time}_{4\text{-way}}$
 $\text{Average memory access time}_{4\text{-way}} < \text{Average memory access time}_{2\text{-way}}$
 $\text{Average memory access time}_{2\text{-way}} < \text{Average memory access time}_{1\text{-way}}$

Cache size (KB)	Degree associative	Total miss rate						
			Compulsory		Capacity		Conflict	
4	1-way	0.098	0.0001	0.1%	0.070	72%	0.027	28%
4	2-way	0.076	0.0001	0.1%	0.070	93%	0.005	7%
4	4-way	0.071	0.0001	0.1%	0.070	99%	0.001	1%
4	8-way	0.071	0.0001	0.1%	0.070	100%	0.000	0%
8	1-way	0.068	0.0001	0.1%	0.044	65%	0.024	35%
8	2-way	0.049	0.0001	0.1%	0.044	90%	0.005	10%
8	4-way	0.044	0.0001	0.1%	0.044	99%	0.000	1%
8	8-way	0.044	0.0001	0.1%	0.044	100%	0.000	0%
16	1-way	0.049	0.0001	0.1%	0.040	82%	0.009	17%
16	2-way	0.041	0.0001	0.2%	0.040	98%	0.001	2%
16	4-way	0.041	0.0001	0.2%	0.040	99%	0.000	0%
16	8-way	0.041	0.0001	0.2%	0.040	100%	0.000	0%
32	1-way	0.042	0.0001	0.2%	0.037	89%	0.005	11%
32	2-way	0.038	0.0001	0.2%	0.037	99%	0.000	0%
32	4-way	0.037	0.0001	0.2%	0.037	100%	0.000	0%
32	8-way	0.037	0.0001	0.2%	0.037	100%	0.000	0%
64	1-way	0.037	0.0001	0.2%	0.028	77%	0.008	23%
64	2-way	0.031	0.0001	0.2%	0.028	91%	0.003	9%
64	4-way	0.030	0.0001	0.2%	0.028	95%	0.001	4%
64	8-way	0.029	0.0001	0.2%	0.028	97%	0.001	2%
128	1-way	0.021	0.0001	0.3%	0.019	91%	0.002	8%
128	2-way	0.019	0.0001	0.3%	0.019	100%	0.000	0%
128	4-way	0.019	0.0001	0.3%	0.019	100%	0.000	0%
128	8-way	0.019	0.0001	0.3%	0.019	100%	0.000	0%
256	1-way	0.013	0.0001	0.5%	0.012	94%	0.001	6%
256	2-way	0.012	0.0001	0.5%	0.012	99%	0.000	0%
256	4-way	0.012	0.0001	0.5%	0.012	99%	0.000	0%
256	8-way	0.012	0.0001	0.5%	0.012	99%	0.000	0%
512	1-way	0.008	0.0001	0.8%	0.005	66%	0.003	33%
512	2-way	0.007	0.0001	0.9%	0.005	71%	0.002	28%
512	4-way	0.006	0.0001	1.1%	0.005	91%	0.000	8%
512	8-way	0.006	0.0001	1.1%	0.005	95%	0.000	4%

3. Giả sử trong 1000 truy cập bộ nhớ có 40 lần lỡ ở cache L1 và 20 lần lỡ ở cache L2. Giả sử miss penalty của L2 là 200 chu trình, thời gian chạm L2 là 10 chu trình, thời gian chạm L1 là 1 chu trình. Có 1.5 truy cập bộ nhớ cho 1 lệnh. Bỏ qua ảnh hưởng của việc ghi bộ nhớ.
- Hãy tính các loại tỷ lệ lỡ (địa phương, toàn cục).
 - Xác định thời gian truy cập bộ nhớ trung bình (Average memory access time)
 - Xác định số trì hoãn bộ nhớ trung bình cho 1 câu lệnh (Average memory stalls per instruction) $\text{mis rate}_2 = 20/1000$ vì tính trên tổng số truy cập vào bộ nhớ (mis rate toàn cục)