

SFF-8679 QSFP + 4X 基本电气规格 Rev 1.7

摘要: 规范定义了可插拔 QSFP10 / 14/28 模块/直接连接电缆插头和连接器的接触焊盘，电气（铜缆），电源，ESD 和热特性。

本文档为系统制造商，系统集成商和供应商提供了一个通用规范。这是 SFF 委员会的内部工作文件，是一个行业特设小组。

本规范旨在通过增加对更高传输速率和更高功率等级的支持来替代和扩展 INF-8438 QSFP (Quad SFP) 4 Gb/s 4X Transceiver 和 SFF-8436 QSFP+ 10 Gb/s 4X Pluggable Transceiver。

本规范可供公众查阅，书面意见来自读者。会员将收到的意见将纳入本规范的未来版本。

前言

该规范的开发工作由 SFF 委员会（一个行业组织）完成。自 1990 年 8 月成立以来，委员会的成员包括作为行业领导者的公司。当引入 2 1/2”直径的磁盘驱动器时，在外部尺寸（例如物理尺寸，安装位置，连接器类型，连接器位置，供应商之间）之间没有共同点。这些磁盘驱动器的首次使用是在笔记本。系统集成商等在具体应用中与供应商分开开发包装。结果是广泛的多样性，不兼容。集成商，设备供应商和组件供应商面临的问题导致 SFF 委员会成立为一个行业特设小组，以解决新兴技术的营销和工程考虑。在形式因素定义的发展过程中，提出了其他活动，因为 SFF 委员会的参与者面临比磁盘驱动器的物理形式因素更多的问题。1992 年 11 月，扩大了章程，以解决存储行业普遍关心的任何问题。SFF 委员会成为解决不符合标准过程或需要立即解决的行业问题的论坛。已经同意支持规范的那些公司在每个 SFF 规范的第一页中被标识。行业共识并不是发布 SFF 规范的基本要求，因为认识到在新兴产品领域，存在多种方法的空间。通过提供有关竞争性提案的文档，集成商可以检查可用的替代方案，并选择被认为最合适的产品。

SFF 委员会会议在 T10 周期间举行（见 www.t10.org），特定主题工作组在参加者方便的时候举行。在 SFF 委员会会议上提交的材料成为公有领域，对委员会会议上提交的材料公开邮寄没有限制。SFF 委员会制定的大多数规范已经被 EIA（电子工业协会），ANSI（美国国家标准协会）和 IEC（国际电工委员会）纳入标准或采用标准。如果您有兴趣参加或希望遵循 SFF 委员会的活动，可以在以下网址找到会员资格和/或文档的注册信息：

www.sffcommittee.com/ie/join.html

1、范围

本文件规定了 QSFP10 / 14/28 可插拔 4 通道接口（以下简称 QSFP28）的电气要求。范围包括：主机连接器的电气触点；光纤接口的光纤位置；电源要求；可插拔 QSFP28 模块和直接连接电缆的 ESD 和热特性。机械要求通过参考确定。

本规范通过支持更高的传输速率来取代并扩展 INF-8438 QSFP (Quad SFP) 4 Gb/s 4X Transceiver 和 SFF-8436 QSFP+ 10 Gb/s 4X Pluggable Transceiver 支持的应用。

2、参考文档

2.1 行业文件

以下接口标准和规格与本规范相关

- GR-253-CORE
- ESD specifications EN61000-4-2, JEDEC JESD22-A114-B
- Optical Connectors: MPO:IEC 61754-7, Dual LC: IEC 61754-20

- Aligned key (Type B) MPO patch cords: TIA-568
- Dual LC optical patch cord: TIA/EIA-604-10A
- Thermal specifications: NEBS GR-63
- IEEE Std 802.3-2012, 802.3bj and 802.3bm
- InfiniBand Architecture Specifications FDR and EDR
- INCITS 479-2011 FC-PI-5 (Fibre Channel Physical Interface -5)
- INCITS 512-2014 FC-PI-6 (Fibre Channel Physical Interface -6)
- T10 2212-D SAS-3
- T11-533-201x FC-PI-6P (Fibre Channel Physical Interface -6 128GFC Four Lane Parallel)
- SFF-8635 QSFP+ 10 Gb/s 4X Pluggable Transceiver Solution (QSFP10)
- SFF-8665 QSFP+ 28 Gb/s 4X Pluggable Transceiver Solution (QSFP28)
- SFF-8685 QSFP+ 14 Gb/s 4X Pluggable Transceiver Solution (QSFP14)

2.2 SFF 规格

SFF 委员会内有若干项目活跃。完整或仍在处理的规格的完整列表在规范中列在 <ftp://ftp.seagate.com/sff/SFF-8000.TXT>。与各种 QSFP 代相关的规格如下。

INF-8438	QSFP (Quad Small Formfactor Pluggable) Transceiver
SFF-8024	SFF Committee Cross Reference to Industry Products
SFF-8436	QSFP+ 10 Gb/s 4X Pluggable Transceiver - Standardized as EIA-964
SFF-8635	QSFP+ 10 Gb/s 4X Pluggable Transceiver Solution (QSFP10)
SFF-8636	Common Management Interface
SFF-8661	QSFP+ 28 Gb/s 4X Pluggable Module
SFF-8662	QSFP+ 28 Gb/s 4X Connector (Style A)
SFF-8663	QSFP+ 28 Gb/s Cage (Style A)
SFF-8665	QSFP+ 28 Gb/s 4X Pluggable Transceiver Solution (QSFP28)
SFF-8672	QSFP+ 28 Gb/s 4X Connector (Style B)
SFF-8679	QSFP+ 4X Base Electrical Specification
SFF-8682	QSFP+ 14 Gb/s 4X Connector (Style B)
SFF-8683	QSFP28 14 Gb/s Cage

2.3 来源

参加 SFF 委员会作为观察员或会员的人将收到会议记录和 SFF 规范的电子副本 (<http://www.sffcommittee.com/ie/join.html>)。

ANSI 标准的副本可以从国际信息技术标准委员会 (<http://www.techstreet.com/incitsgate.tmpl>) 购买。

2.4 公约

使用 ISO 编号惯例，即，数千和更高的倍数被空格隔开，并且周期被用作小数点。这相当于英美美国公约和逗号。

American	French	ISO
0.6	0,6	0.6
1,000	1 000	1 000
1,323,462.9	1 323 462,9	1 323 462.9

2.5 缩略语

在本说明书中使用以下首字母缩略词。

ANSI	American National Standards Institute
ASIC	Application Specific Integrated Circuit

ATM	Asynchronous Transfer Mode
CML	Current Mode Logic
CORE	Central Office Relay Equipment
DC	Direct Current
DDR	Double Data Rate
EDR	Enhanced Data Rate
EIA	Electronic Industries Alliance
EMI	Electro Magnetic Interference
ESD	Electro Static Discharge
FC	Fibre Channel
FDR	Fourteen Data Rate
Gb/s	Gigabits per second
GbE	Gigabit Ethernet
GFC	Gigabit Fibre Channel
HCB	Host Compliance Board
IEC	International Electrotechnical Commission
IEEE	Institute for Electrical and Electronics Engineers
ISO	Organization for International Standards
ITU	International Telecommunications Union
JEDEC	Joint Electron Device Engineering Council
kHz	kiloHertz
km	kilometer
LVC MOS	Low Voltage Complementary Metal Oxide Semiconductor
LV TTL	Low Voltage Transistor Transistor Logic
MCB	Module Compliance Board
MHz	MegaHertz
MIB	Management Information Base
MPO	Multi-fiber Push On
MSA	Multiple Source Agreement
NAS	Network-Attached Storage
NAT	Network Address Translation
NEBS	Network Equipment Building System
OC	Optical Carrier
OEM	Original Equipment Manufacturer
OMA	Open Mobile Alliance
PCB	Printed Circuit Board
PDH	Plesiochronous Digital Hierarchy
PI	Physical Interface
PON	Passive Optical Network
QDR	Quad Data Rate
QSFP	Quad SFP
Rx	Receiver
SAS	Serial Attached SCSI
SDH	Synchronous Digital Hierarchy

SDR	Software Defined Receiver
SerDes	Serializer-Deserializer
SFP	Small Formfactor Pluggable
SM	Single Mode
SNMP	Simple Network Management Protocol
SONET	Synchronous Optical NETwork
STM	Synchronous Transfer Mode
TIA	Telecommunications Industry Association
TTL	Transistor-Transistor Logic
Tx	Transmitter
XFP	10 Gigabit Small Formfactor Pluggable

3、一般说明

本规范涵盖以下项目：

a) 电气规格。（包括用于数据控制，状态，配置和测试信号的连接器触点分配）以及电连接器和推荐的主机 PCB 布局要求。

b) 机械和电路板定义。

c) 环境和热要求（箱体温度）。带和不带模块安装在笼子时的电磁干扰（EMI）建议（包括必要的屏蔽功能，以从密封 OEM 机箱前面板输出）。静电放电（ESD）要求仅在本说明书所公开的范围内，其中这种公开的唯一目的是使产品能够在规格内定义进行操作，连接或通信。

d) 时间要求

整体包装尺寸应符合所需的尺寸和公差。

- 安装特征应定位，使产品与笼和连接器系统机械可互换。
- 电路板上的笼和连接器系统的总体尺寸和安装要求应配置为使产品机械和电气可互换。
- 光学连接器和相应的光纤电缆插头的总体尺寸和插入要求应使产品在机械和光学上可互换。

这些电气和光学规格可能与以下列举的那些兼容：

ITU-T Recommendation G.957	STM-1, STM-4, STM-16
Telcordia Technologies GR-253-CORE	OC-3, OC-12, OC-48, OC-192
Ethernet IEEE 802.3	10 GbE, 40 GbE, 100 GbE
Infiniband Architecture Specifications	SDR, DDR, QDR, FDR, EDR
SFF Committee	SFF-8436 QSFP+
Fibre Channel	FC-PH-3/4/5/6, 2G, 4G, 8G, 10G, 16G, 32G

规格将为支持 SONET / SDH 和/或以太网和/或 Infiniband 和/或光纤通道和/或 SAS 规格的组合四通道端口提供通用解决方案。该规范涵盖能够支持多模和单模模块，无源铜，有源铜缆和有源光缆的设计。

应用参考模型，参见图 3-1，显示了 ASIC（SerDes）和模块之间的高速数据接口。为简单起见，仅显示了接口的一个数据通道。可以使用并行 MPO 或双工 LC 光纤连接器作为光接口。

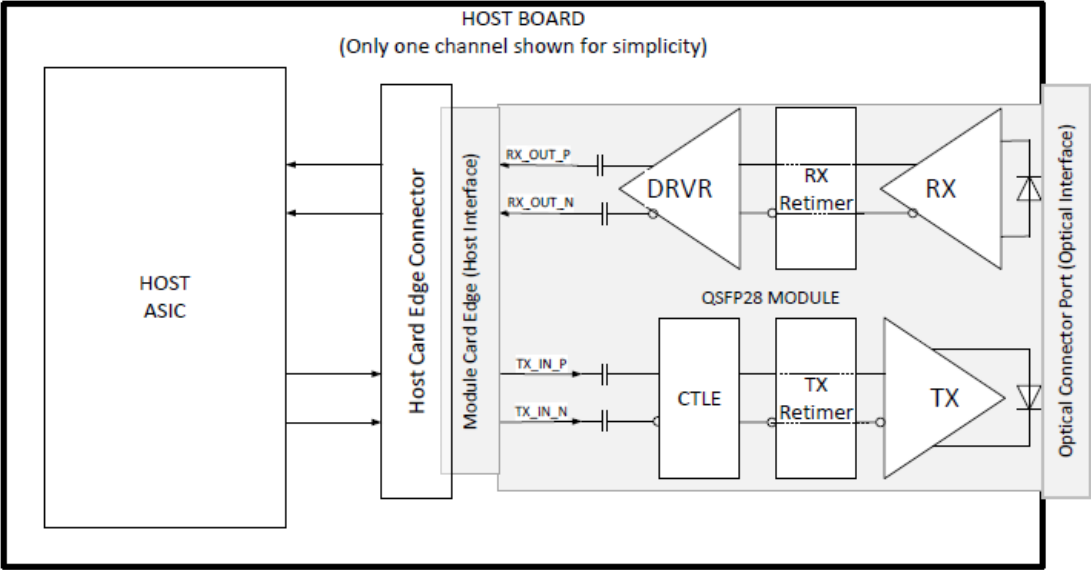


FIGURE 3-1 APPLICATION REFERENCE MODEL

4、合规测试

模块电气接口测试点旨在使用合规板进行测量，如图 4-1 所示。 这些合规板旨在将待测模块连接到测试设备，以验证是否符合相应的标准。

模块合规板用于测试模块。 合规板的电气参数应由适当的标准规定。 模块合规板和主机合规板可以插在一起用于校准符合性信号，并检查合规板的电气参数。

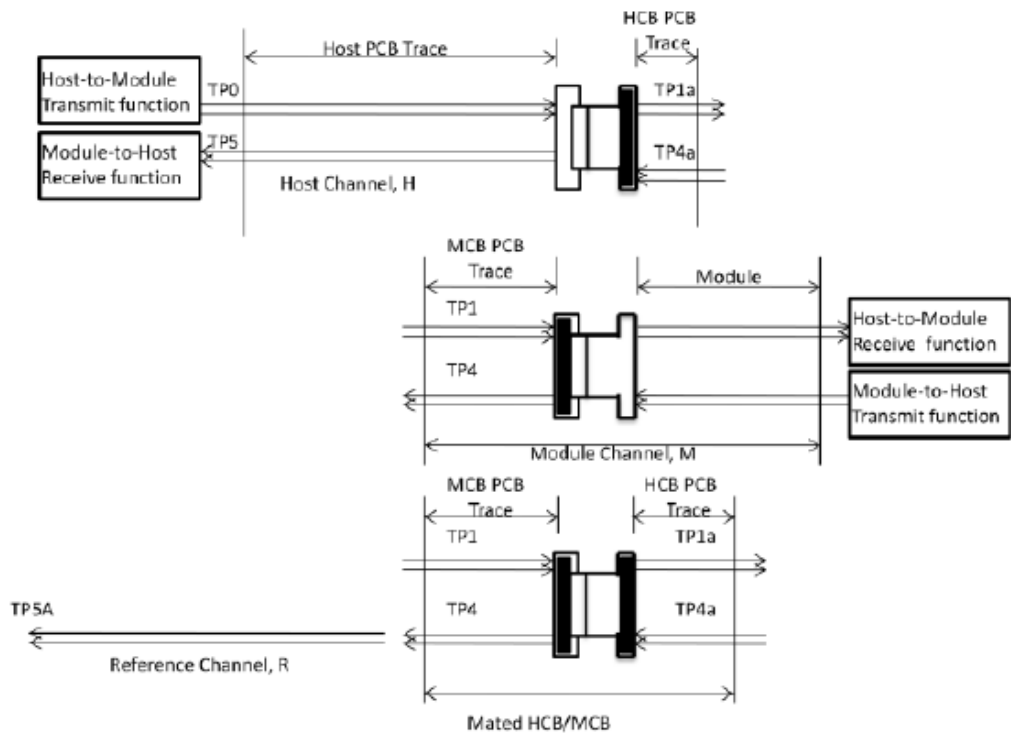


FIGURE 4-1 REFERENCE POINTS AND COMPLIANCE BOARDS

参考点在表 4-1 中定义。

表 4-1 参考点

- TP0 在 DUT 板上的 ASIC 封装引脚上的主机 ASIC 发送器输出
 - TP1 通过配对模块兼容板和模块连接器输入到模块兼容板。 用于测试模块输入
 - TP1A 主机 ASIC 发送器通过主机板和主机边缘卡连接器在主机兼容板的输出端输出
 - TP4 模块输出通过配对模块和主机边缘卡连接器通过模块合规板
 - TP4A 通过配对主机兼容板和主机边缘卡连接器输入主机兼容板。 用于测试主机输入
 - TP5 输入到主机 ASIC
- 注意：个别标准可以指定唯一的参考点

5、电气规格

本节包含模块的引脚定义数据。 引脚定义数据对于千兆位/秒数据通信应用如光纤通道，以太网和 SONET / ATM 应用是通用的。 图 4-1 中定义了高速信号电测量的符合点。 所有其他电气信号的符合点在主机边缘卡连接器处于相似点。

5.1 电气连接器

图 5-1 显示了模块边缘连接器的信号符号和接点编号。 该图显示了模块 PCB 边缘作为顶视图和底视图。 有 38 个触点用于高速信号，低速信号，电源和接地连接。 表 5-1 提供了有关 38 个连接中的每一个的更多信息。

该模块包含与电连接器相配合的印刷电路板。 pad 设计用于顺序接触：

- 第一触点 - 地触点
- 第二触点 - 电源触点
- 第三触点 - 信号触点

对于 EMI 保护，当模块拆卸时，应关闭连接器的信号。 建议使用标准电路板布局实践，例如使用 Vias 连接到 Vcc 和 GND，使用短距离和等长差分信号线，使用微带线和 50 欧姆终端。 模块的机箱接地（外壳通用）应与模块的电路接地 GND 隔离，为设备设计人员提供模块外部电磁干扰屏蔽和电路接地 GND 之间连接的灵活性。

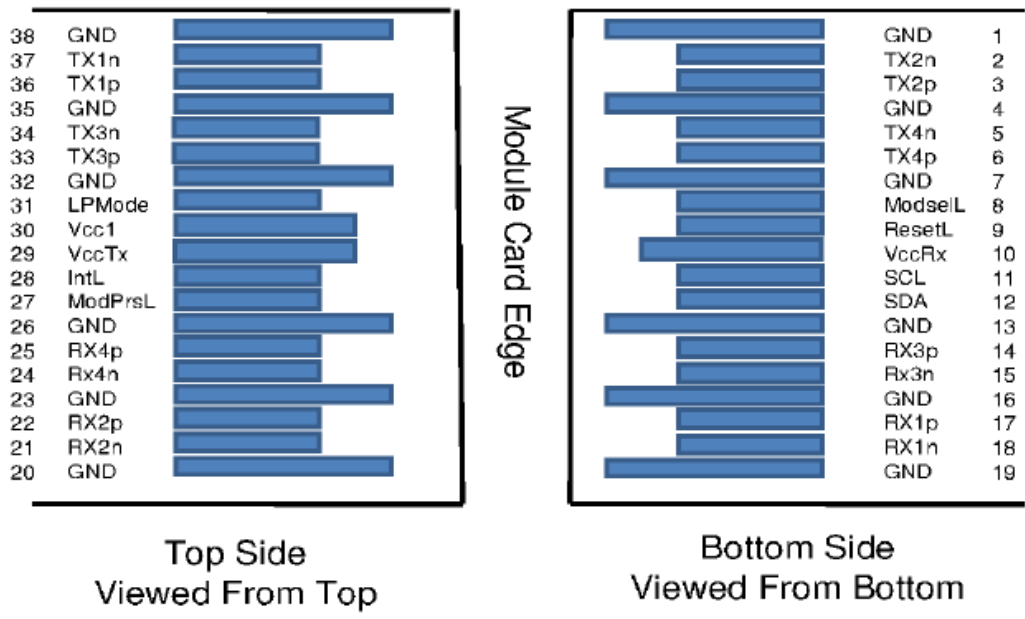


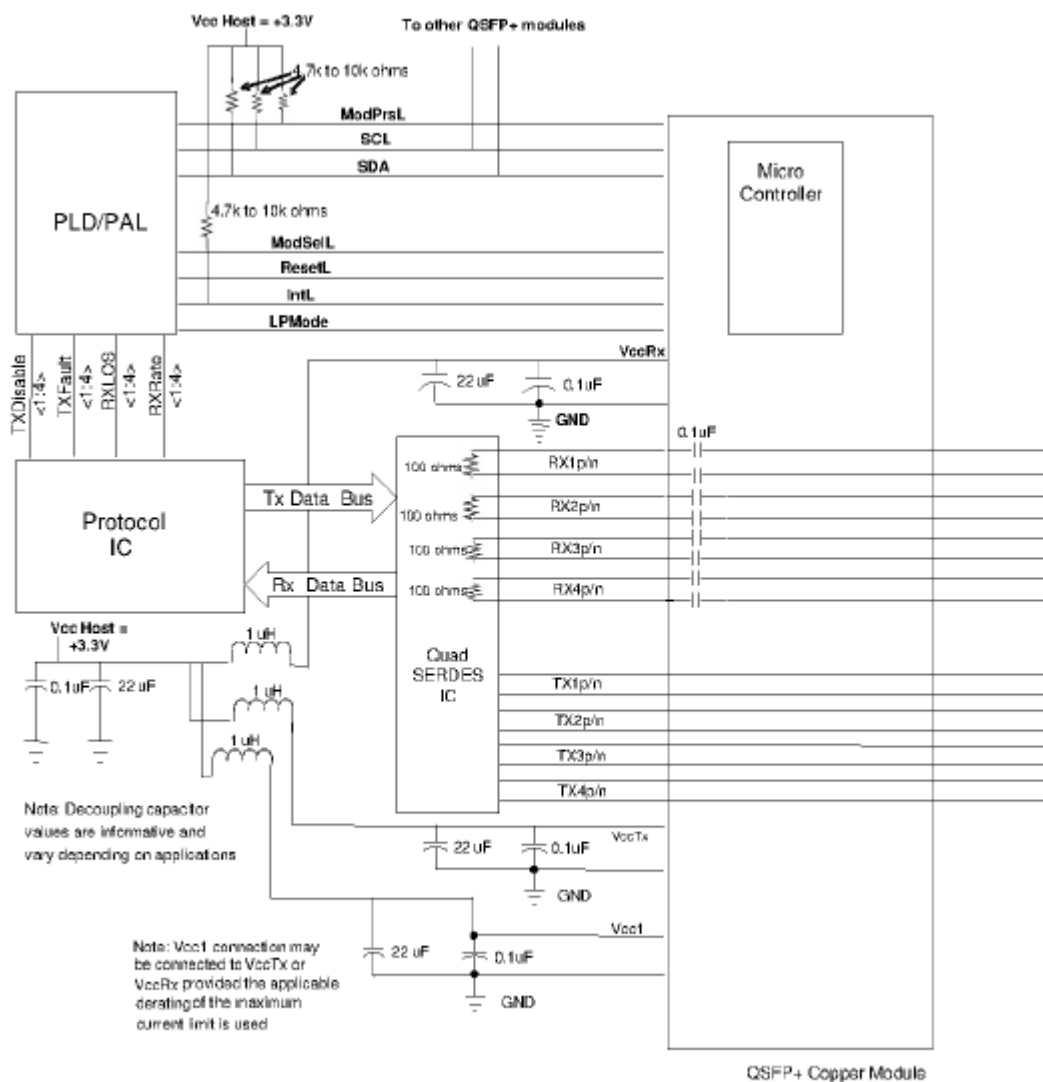
FIGURE 5-1 MODULE PAD LAYOUT

TABLE 5-1 PIN FUNCTION DEFINITION

Pin	Logic	Symbol	Description	Plug Sequence	Notes
1		GND	Ground	1	1
2	CML-I	Tx2n	Transmitter Inverted Data Input	3	
3	CML-I	Tx2p	Transmitter Non-Inverted Data Input	3	
4		GND	Ground	1	1
5	CML-I	Tx4n	Transmitter Inverted Data Input	3	
6	CML-I	Tx4p	Transmitter Non-Inverted Data Input	3	
7		GND	Ground	1	1
8	LVTTL-I	ModSelL	Module Select	3	
9	LVTTL-I	ResetL	Module Reset	3	
10		Vcc Rx	+3.3V Power Supply Receiver	2	2
11	LVC MOS-I/O	SCL	2-wire serial interface clock	3	
12	LVC MOS-I/O	SDA	2-wire serial interface data	3	
13		GND	Ground	1	1
14	CML-O	Rx3p	Receiver Non-Inverted Data Output	3	
15	CML-O	Rx3n	Receiver Inverted Data Output	3	
16		GND	Ground	1	1
17	CML-O	Rx1p	Receiver Non-Inverted Data Output	3	
18	CML-O	Rx1n	Receiver Inverted Data Output	3	
19		GND	Ground	1	1
20		GND	Ground	1	1
21	CML-O	Rx2n	Receiver Inverted Data Output	3	
22	CML-O	Rx2p	Receiver Non-Inverted Data Output	3	
23		GND	Ground	1	1
24	CML-O	Rx4n	Receiver Inverted Data Output	3	
25	CML-O	Rx4p	Receiver Non-Inverted Data Output	3	
26		GND	Ground	1	1
27	LVTTL-O	ModPrsL	Module Present	3	
28	LVTTL-O	IntL	Interrupt	3	
29		Vcc Tx	+3.3V Power supply transmitter	2	2
30		Vcc1	+3.3V Power supply	2	2
31	LVTTL-I	LPMode	Low Power Mode	3	
32		GND	Ground	1	1
33	CML-I	Tx3p	Transmitter Non-Inverted Data Input	3	
34	CML-I	Tx3n	Transmitter Inverted Data Input	3	
35		GND	Ground	1	1
36	CML-I	Tx1p	Transmitter Non-Inverted Data Input	3	
37	CML-I	Tx1n	Transmitter Inverted Data Input	3	
38		GND	Ground	1	1

注 1: GND 是模块通用的信号和电源（电源）符号。除非另有说明，否则所有模块电压都参考此模块电压。将它们直接连接到主机板信号公共接地层。

注 2: 同时应用 Vcc Rx, Vcc1 和 Vcc Tx。对于主机边缘卡连接器的主机侧规定的要求见表 5-6。Vcc Rx Vcc1 和 Vcc Tx 可以在模块内以任何组合内部连接。连接器引脚的额定最大电流为 1000 mA。



ResetL 引脚应拉至模块中的 Vcc。ResetL 引脚上的低电平长于最小脉冲长度 ($t_{\text{Reset_init}}$) 将启动完整的模块复位, 将所有用户模块设置恢复到默认状态。复位位置位时间 (t_{init}) 在 ResetL 引脚的低电平被释放后的上升沿开始。

在执行复位（t_init）期间，主机将忽略所有状态位，直到模块指示复位中断完成为止。该模块通过将 Data_Not_Ready 位置为“低”以及一个 IntL 信号来指示。请注意，在上电（包括热插拔）时，模块应将此完成复位中断，而不需要复位。

5.2.3 LPMODE

LPMODE 引脚应在模块中拉至 Vcc。该引脚在高电平时硬件控制模块置于低功耗模式。通过使用 LPMODE 引脚和 Power_override, Power_set 和 High_Power_Class_Enable 软件控制位（地址 A0h, 字节 93 位 0,1,2）的组合，主机控制模块可以耗散多少功率。

有关电源规格的详细信息，请参见第 5.5 节。

5.2.4 ModPrsL

ModPrsL 被拉到主板上的 Vcc_Host，并在模块中接地。当模块在主机连接器中物理上不存在时被置为“高”，ModPrsL 被插入时被断言为“低”。

5.2.5 IntL

IntL 是一个输出引脚。当 IntL 为“低”时，表示可能的模块操作故障或对主机系统至关重要的状态。主机使用 2 线串行接口识别中断源。IntL 引脚是集电极开路输出，应被拉至主机电源电压。当字节 2 位 0（数据未就绪）被读取时，INTL 引脚在复位完成后被置为“高”，读取标志字段（见 SFF-8636）。

5.3 低速引脚电气规格

5.3.1 低速信号

SCL 和 SDA 以外的低速信号基于以 Vcc 工作的低电压 TTL（LVTTTL）。Vcc 是指 VccTx, VccRx, Vcc_host 或 Vcc1 的通用电源电压。

主机应在每个 2 线接口 SCL（时钟），SDA（数据）和所有低速状态输出上使用连接到 Vcc_host 的上拉电阻。

SCL 和 SDA 是可以支持总线拓扑的热插拔接口。在模块插入或取出期间，模块可以实现预充电电路，防止损坏已经在使用总线的其他模块的数据传输。

符合表 5-3 提供了主机总线主机和 2 线接口之间的兼容性。

TABLE 5-2 LOW SPEED PIN ELECTRICAL SPECIFICATIONS

Parameter	Symbol	Min	Max	Unit	Condition
SCL and SDA	VOL	0	0.4	V	IOL(max)=3.0mA
	VOH	Vcc-0.5	Vcc+0.3	V	
SCL and SDA	VIL	-0.3	Vcc*0.3	V	
	VIH	Vcc*0.7	Vcc + 0.5	V	
Capacitance for SCL and SDA I/O pin	Ci		14	pF	
Total bus capacitive load for SCL and SDA	Cb		100	pF	3.0 k Ohms pullup resistor, max
			200	pF	1.6 k Ohms pullup resistor max
LPMODE, Reset and ModSelL	VIL	-0.3	0.8	V	Iin <=125 uA for 0V<Vin,Vcc
	VIH	2	Vcc+0.3	V	
ModPrsL and IntL	VOL	0	0.4	V	IOL=2.0mA
	VOH	Vcc-0.5	Vcc+0.3	V	

5.3.2 低速引脚时序

SCL, SDA 和 ModSelL 的时序在通用管理接口文档 SFF-8636 中定义。第 8 节规定了硬件控制功能的时序。

5.4 高速引脚电气规格

5.4.1 Rx (n) (p/n)

Rx (n) (p/n) 是模块接收器数据输出。Rx (n) (p/n) 是在主机 ASIC (SerDes) 上以 100 欧姆差分终止的 AC 耦合的 100 欧姆差分线路。交流耦合在模块内，主板上不需要。

对于 28 Gb/s 的操作，相关标准（例如，OIF CEI v3.1）定义了高速差分线路上的信号要求。以较低的速度运作，请参阅相关标准。

注意：由于将传统 QSFP 和 QSFP+模块插入设计用于更高速度运行的主机的可能性，建议主机输入的损坏阈值至少为峰峰值差异为 1600 mV。

光输入信号的丢失需要输出静噪（以下称为 Rx 静噪），功能如下。在任何通道上的光信号变得等于或小于声明 LOS 所需的电平的情况下，该通道的接收器数据输出应被静噪或禁用。在静噪或禁用状态下，输出阻抗水平保持不变，而差分电压摆幅应小于 50 mVpp。

在正常工作状态下，默认情况下，Rx 静噪有效。可以通过 2 线串行接口使用 Rx 静噪禁用 Rx 静噪。 Rx Squelch Disable 是一个可选功能。具体细节请参考 SFF-8636。

5.4.2 Tx (n) (p/n)

Tx (n) (p/n) 是模块发射机数据输入。它们是模块内部具有 100 欧姆差分端接的交流耦合 100 欧姆差分线路。交流耦合在模块内，主板上不需要。对于 28 Gb/s 的操作，相关标准（例如，OIF CEI v3.1）定义了高速差分线路上的信号要求。以较低的速率运作，请参阅相关标准。

由于将模块插入设计用于较低速度运行的主机可能性，模块输入的损伤阈值应至少为 1600 mV 峰 - 峰差。

输入信号丢失（以下称为 Tx LOS）时输出静噪（以下称为 Tx 静噪），是可选功能。实施时的功能如下。在差分情况下，任何通道上的峰 - 峰电信号变得小于 50 mVpp，则该通道的发射机光输出将被静噪或禁用，并且相关联的 TxLOS 标志置 1。

发射机 OMA 应在小于或等于 -26dBm 的地方被静噪，当被禁用时，发射机功率应小于或等于 -30dBm。对于应用，例如以太网，其中发射机关闭条件是根据平均功率定义的，禁止发射机被推荐应用，例如。 InfiniBand，其中发射机关闭条件是根据 OMA 定义的，建议对发射机进行静噪。

在模块操作中，实施 Tx 静噪时，默认情况下，Tx 静噪有效。可以通过 2 线串行接口使用 Tx 静噪禁止 Tx 静噪。 Tx 静噪禁用是一个可选功能。具体细节请参考 SFF-8636。

5.5 电源引脚

QSFP28 模块中的电路卡有三个指定的电源引脚，标记为 VccTx，VccRx 和 Vcc1。当 QSFP28 模块被“热插拔”到已经存在电源的连接器和连接器中时，三个引脚同时施加电源。模块负责限制热插拔事件期间的浪涌电流。主机电源负责在热插拔事件期间提供最大浪涌电流限制，而不会对同一电源上的其他模块和组件造成干扰。

5.5.1 功率等级和最大功耗

QSFP28 模块分为几个功率等级，如表 5-3 所示。电源类在管理接口的第 00h 页上方显示，字节 129（81h）。

TABLE 5-3 QSFP28 - MAXIMUM POWER CLASSES

Power Class	Maximum power dissipation per module (W)
1	1.5
2	2.0
3	2.5
4	3.5
5	4.0
6	4.5
7	5.0

主机电源滤波网络的规格超出了本规范的范围,特别是因为 QSFP28 模块功率等级范围很广。如图 5-5 所示,图 5-4 中标记为 I1 的主机滤波器的电流波形示例如图 5-5 所示。每个电源连接都有一个电源滤波器,用于滤除主机到模块的高频噪声和纹波。在热插拔事件期间,过滤器网络限制主机电源上的任何电压降,以使共享相同电源的相邻模块保持在其指定的电源电压限制内。

主板与 QSFP28 模块一起形成一个集成的电源系统。主机为模块提供稳定的电源。每个模块将电气噪声限制回主机系统,并限制热插拔插入期间的浪涌充电/电流。所有规格应在最大电源电流下达到。主机系统不需要电源的电源排序,因为模块在插入期间按接地,供电和信号顺序对触点进行排序。主机上的过滤器网络上的任何压降都会受到主机直流设定点精度规格的限制。

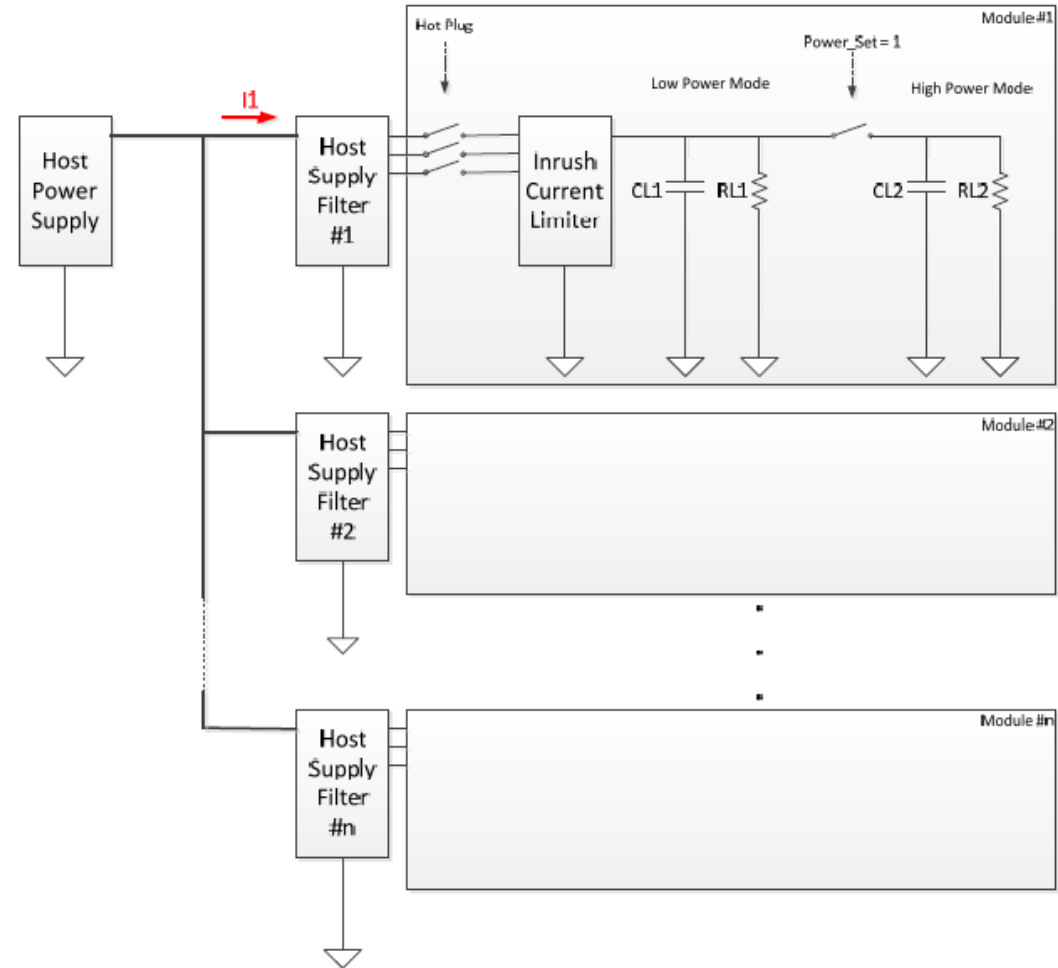


FIGURE 5-4 EXAMPLE: SCHEMATIC OF MULTIPLE QSFP28 POWER SUPPLY ARRANGEMENT

5.5.2 模块电源规格

为了避免超过主机系统的电源容量,在热插拔,上电或复位时,所有 QSFP28 模块都应在功率 1 级上电,指定为“低功耗模式”。1 级的 QSFP28 模块在初始化后将完全正常工作,并在系统运行期间保持低功耗模式。所有其他 QSFP28 模块只能在主机系统启用“高功率模式”功能后才能完成功能操作。

高功率模式被定义为第 00 页(字节 129)中公布的最大功率等级,只有主机能为模块提供足够的电源,主机才能使能。主机系统使用 LPMODE 输入引脚和写入字节 93 中的 3 个控制位控制是否启用特定功率等级。管理接口规范 SFF-8636 提供完整的详细信息,但是为了说明电源控制,表 5-4 列出了这些位。

TABLE 5-4 POWER MODE CONTROL BITS (SEE SFF-8636)

Addr	Bit	Name	Description
93	7-3	Reserved	
	2	High_Power_Class_Enable (Classes 5-7)	When set (=1b) enables power classes 5 to 7 if listed in address 129d. When cleared (=0b), modules with power classes 5 to 7 shall dissipate less than 3.5W, but are not required to be fully functional. Default = 0.
	1	Power_set	Power set to Low Power Mode (class 1). Default = 0.
	0	Power_override	Override of LPMode pin to allow power mode setting by software.

当设置 (= 1b) 使地址 129d 中列出的功率等级为 5 到 7。清除 (= 0b) 时，功率等级为 5 至 7 的模块应耗散小于 3.5W，但不需要完全正常工作。默认=0。

电源设置为低功耗模式（1 级）。默认=0。

覆盖 LPMode 引脚以允许通过软件设置电源模式。

显示允许的功率等级的真值表如表 5-5 所示。

TABLE 5-5 POWER MODE TRUTH TABLE

High_Power_Class_Enable bit	LPMode pin state	Power_override bit	Power_set bit	Module Power Classes Allowed
0	1	0	X	1
0	0	0	X	2 to 4
0	X	1	1	1
0	X	1	0	2 to 4
1	1	0	X	1
1	0	0	X	2 to 7
1	X	1	1	1
1	X	1	0	2 to 7

QSFP28 模块通过三个电源引脚上的主机供电电压进行工作。为保护主机和系统运行，每个 QSFP28 模块在热插拔和正常运行期间都应遵循表 5-5 所示的要求，如图 5-5 所示。

用于测量电源电流的测试配置是具有参考电源滤波器的模块兼容板（MCB），类似于 SFF-8431，附录 D 和图 56 所示的电路.QSFP28 MCB 上每个模块卡具有单个滤波器 或每个模块卡上每个电源引脚有单独滤波器，具体取决于功率等级和模块设计。表 5-6 中的电流限制是指通过每个电感的电流。

如图 5-5 所示，图 5-4 中标记为 I1 的主机滤波器的电流波形示例如图 5-5 所示。该图还显示了在低功耗模式下初始模块接通的时序，以及主机系统通过双线接口启用后，过渡到全功率模式的时间。

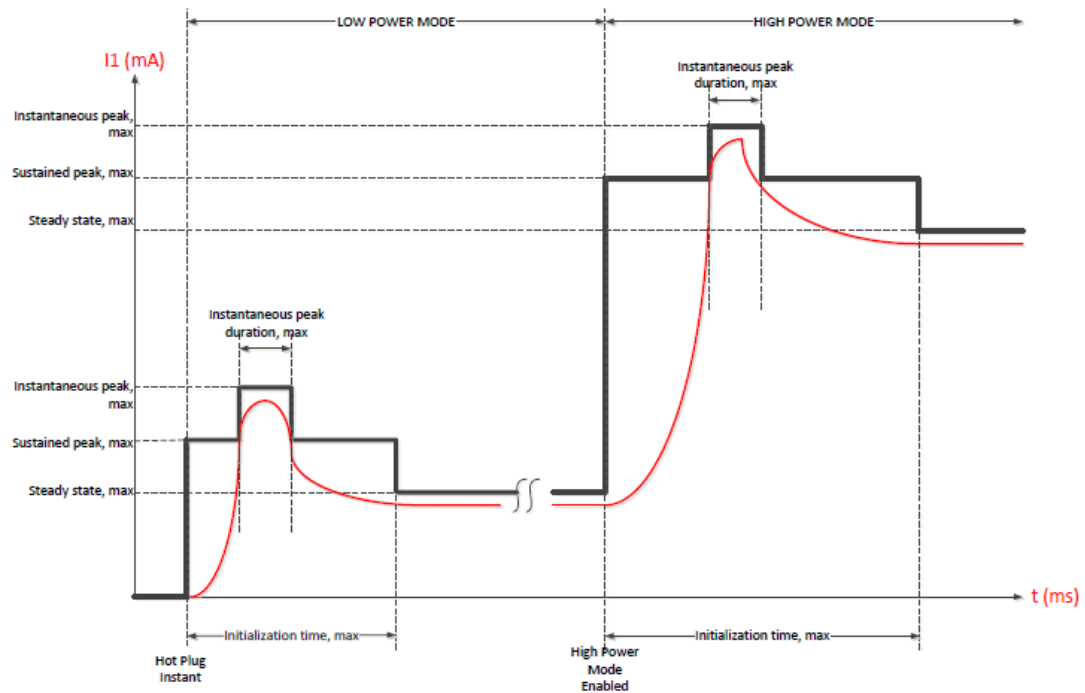


FIGURE 5-5 QSFP28 INRUSH CURRENT TIMING

TABLE 5-6 QSFP28 MODULE POWER SUPPLY SPECIFICATION

Parameter	Symbol	Min	Nom	Max	Unit
Host power supply voltages including ripple, droop and noise below 100 kHz	Vcc_Host	3.135	3.3	3.465	V
Host RMS noise output 10 Hz-10 MHz	e _{rms}			25	mV
Module RMS noise output 10 Hz - 10 MHz	e _{rms}			15	mV
Module power supply noise tolerance 10 Hz - 10 MHz (peak-to-peak)	PSNR _{acc}			66	mV
Module inrush - instantaneous peak duration	T _{ip}	-	-	50	μs
Module inrush - initialization time	T _{init}	-	-	500	ms
Power Class 1 module and low power mode for other modules					
Power consumption	P ₁	-	-	1.5	W
Instantaneous peak current at hot plug	Icc _{ip_1}	-	-	600	mA
Sustained peak current at hot plug	Icc _{sp_1}	-	-	495	mA
Steady state current	Icc ₁	-	-	432.9	mA
Power Class 2 module					
Power consumption	P ₃	-	-	2.0	W
Instantaneous peak current at hot plug	Icc _{ip_3}	-	-	800	mA
Sustained peak current at hot plug	Icc _{sp_3}	-	-	660	mA
Steady state current	Icc ₃	-	-	577.2	mA
Power Class 3 module					
Power consumption	P ₄	-	-	2.5	W
Instantaneous peak current at hot plug	Icc _{ip_4}	-	-	1000	mA
Sustained peak current at hot plug	Icc _{sp_4}	-	-	825	mA
Steady state current	Icc ₄	-	-	721.5	mA
Power Class 4 module					
Power consumption	P ₅	-	-	3.5	W
Instantaneous peak current at hot plug	Icc _{ip_5}	-	-	1400	mA
Sustained peak current at hot plug	Icc _{sp_5}	-	-	1155	mA
Steady state current	Icc ₅	-	-	1010.1	mA
Power Class 5 module					
Power consumption	P ₆	-	-	4.0	W
Instantaneous peak current at hot plug	Icc _{ip_6}	-	-	1600	mA
Sustained peak current at hot plug	Icc _{sp_6}	-	-	1320	mA
Steady state current	Icc ₆	-	-	1154.4	mA
Power Class 6 module					
Power consumption	P ₇	-	-	4.5	W
Instantaneous peak current at hot plug	Icc _{ip_7}	-	-	1800	mA
Sustained peak current at hot plug	Icc _{sp_7}	-	-	1485	mA
Steady state current	Icc ₇	-	-	1298.7	mA
Power Class 7 module					
Power consumption	P ₈	-	-	5.0	W
Instantaneous peak current at hot plug	Icc _{ip_8}	-	-	2000	mA
Sustained peak current at hot plug	Icc _{sp_8}	-	-	1650	mA
Steady state current	Icc ₈	-	-	1443.0	mA

5.5.3 主机电源噪声输出

当通过 SFF-8431 第 D.17.1 节的方法进行测试时，主机将产生小于表 5-6 中值的有效加权积分频谱 RMS 噪声。

5.5.4 模块电源噪声输出

当通过 SFF-8431（D.17.2 节）的方法进行测试时，QSFP28 产生的要小于表 5-6 中的值。

5.5.5 模块电源噪声容限

根据 SFF-8431 第 D.17.3 节的方法，在从表 10-6 给出的振幅正弦公差信号，从 10 Hz 扫描到 10 MHz 情况下，QSFP28 模块应满足所有要求，并保持完整的工作状态。这可以模拟主机的最坏情况噪声输出。

5.6 ESD

在没有另外规定 ESD 性能的情况下，例如在 InfiniBand 规范中，当安装在正确接地的笼和机箱中时，模块应符合 EN61000-4-2 标准 B 测试规范中给出的 ESD 要求。这些单元在运行期间经受 15kV 的空气放电，并在 8kV 直接接触放电的情况下。

模块和主机高速信号触点应根据 JEDEC JESD22-A114-B 的人体模型承受 1000V 静电放电。

6、机械和电路板定义

6.1 介绍

本节中定义的总体模块如图 6-1 所示。所有可插拔模块和直接连接电缆插头必须与本规范中定义的连接器和笼子设计配合。光接口应符合 IEC 61754-7 接口 7-3（MPO 适配器接口）的尺寸规格，并与光纤电缆上的插头进行光耦合。可以使用几个笼式到边框选项。金属弹簧手指和弹性 EMI 解决方案均允许使用，但必须通过客户定义的要求。散热器/夹具热设计是特定的，不在本规范中定义;但是以通用设计为例。

General View: QSFP Cable Plug/Module and Receptacle/Cage (shown cage accepts heat sink)

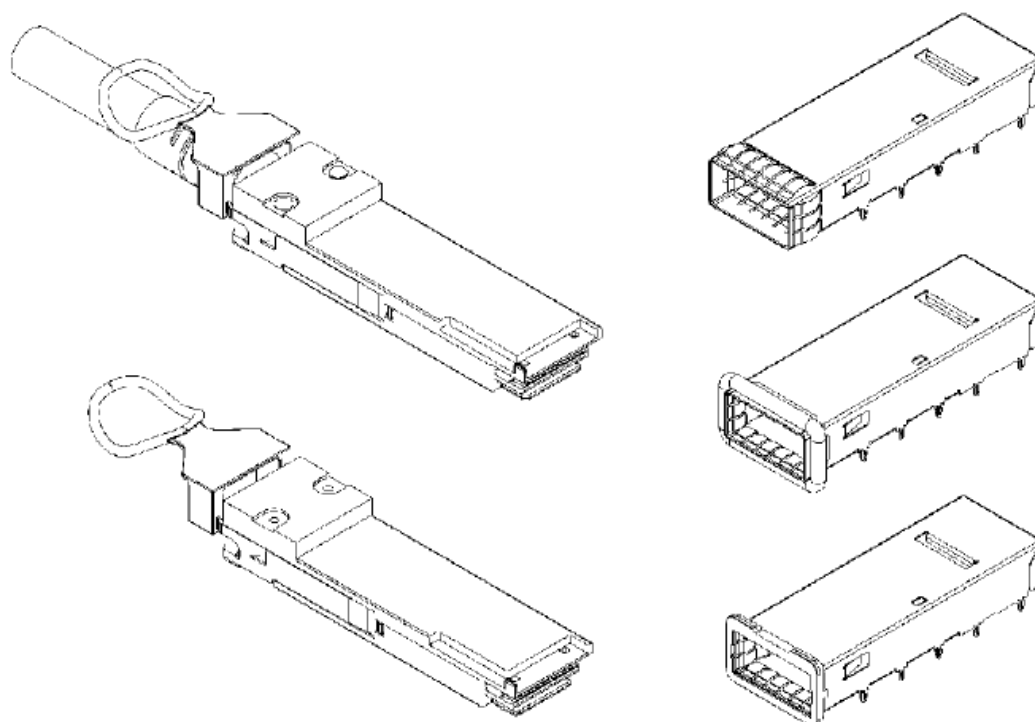


FIGURE 6-1 PLUGGABLE AND DIRECT ATTACH MODULE RENDERING

6.2 模块的颜色编码和标签

模块的暴露特征（延伸到挡板外部的特征或表面）应按如下颜色进行编码：

- 米色 850nm

- 蓝色为 1310nm

- 白色为 1550nm

每个模块应标明清晰。当模块安装后并且设备的底部是标签的推荐位置时，完整的标签不可见。标签应包括：

- 适当的制造和部件号识别

- 适当的合规性标签

- 制造追溯码

标签还应包括外部端口特性的明确规定，如：

- 光波长

- 所需的光纤特性

- 操作数据速率

- 支持接口标准

- 支持链接长度

标签不得干扰机械，热或 EMI 特性。

6.3 光接口

光接口端口应为 IEC 61754-7（见图 6-4）中规定的公型 MPO 连接器或 IEC 61754-20 规定的双 LC（见图 6-5）。

如图 6-2 所示，左侧的四个光纤位置，带有键，用于光发送信号（通道 1 至 4）。右侧的光纤位置用于光接收信号（通道 4 至 1）。中心四根光纤可以物理存在。存在两个对准销。

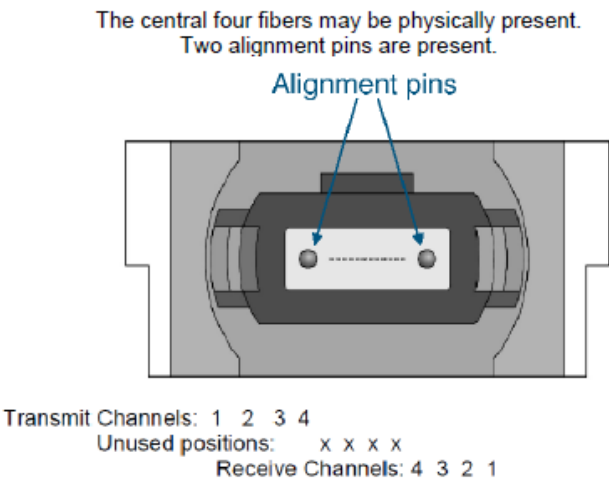


FIGURE 6-2 OPTICAL RECEPTACLE AND CHANNEL ORIENTATION FOR MPO CONNECTOR

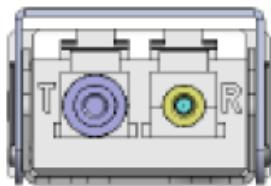


FIGURE 6-3 OPTICAL RECEPTACLE AND CHANNEL ORIENTATION FOR DUAL LC CONNECTOR

6.3.1 MPO 光缆连接

配对键（B 型）MPO 跳线应用于确保模块之间的信号对齐。 对齐的关键跳线在 TIA-568 中定义，如图 6-4 所示。 光学连接器的定向使得 MPO 插座的键控特征位于顶部。

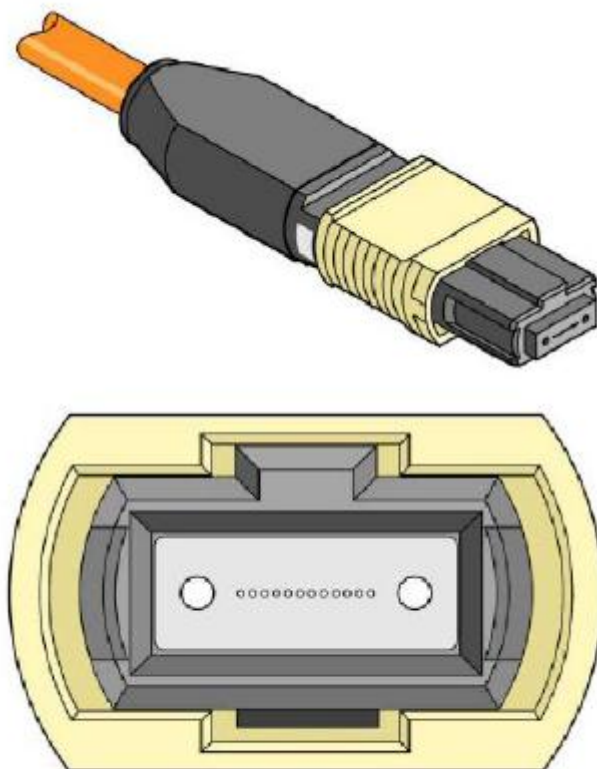


FIGURE 6-4 MPO OPTICAL PATCH CORD

6.3.2 双 LC 光缆连接

双 LC 光缆跳线在 TIA / EIA-604-10A 中定义，如图 6-5 所示。

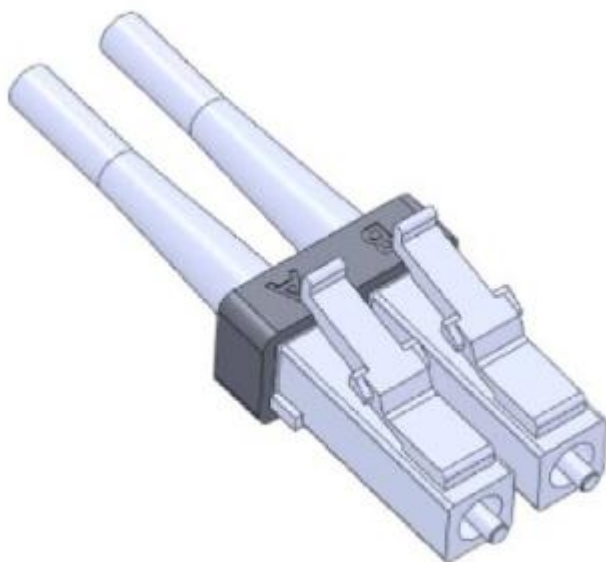


FIGURE 6-5 DUAL LC OPTICAL PATCH CORD

7、环境与热力

7.1 热量要求

模块应在表 7-1 中定义的一个或多个外壳温度范围内工作。温度范围适用于海拔 60 米，海

拔 1800 米（参考 NEBS GR-63），利用主机系统设计的气流。

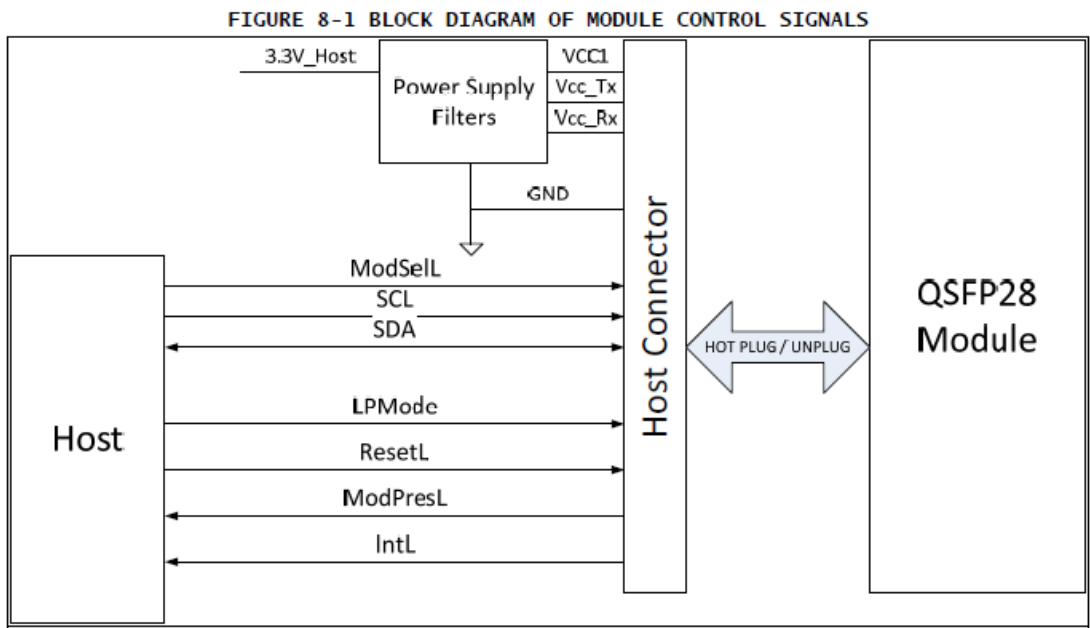
TABLE 7-1 TEMPERATURE RANGE CLASS OF OPERATION

Class	Case Temperature Range
Standard	0 through 70C
Extended	-5 through 85C
Industrial	-40 through 85C

该设计允许多达 16 个相邻的模块，组合和/或腹部到腹部，具有适合的冷却/气流热设计。（参考 NEBS GR-63）

8、时间要求

图 8-1 给出了主机系统与 QSFP28 模块之间的控制和状态信号的框图。SFF-8636 通用管理接口规范中提供了 SCL, SDA 和 ModSelL 信号的时序要求。 本节提供硬件信号 ResetL, LPMode 和 IntL 的时序要求。 此外，还提供了通过两线接口实现的控制和状态功能的时序。



8.1 软控制和状态时序要求

Parameter	Symbol	Max	Unit	Conditions
Initialization time	t_init	2000	ms	从电源开启*2，热插拔或复位上升沿直到模块完全正常工作的时间。*3 该时间不适用于低功耗状态下的非功率级 0 模块。
Reset Init Assert Time	t_reset_init	2	us	ResetL 上输入超过 t_reset_init 的低电平产生复位。
Serial Bus Hardware Ready Time	t_serial	2000	ms	从电源开始到模块通过双线串行总线响应数据传输的时间。 *2
Monitor Data Ready Time	t_data	2000	ms	从上电到 DataNotReady（字节 2 位 0）设为无效和 IntL 输出置为有效的时间。*2

Reset Assert Time	t_reset	2000	ms	从 ResetL 输入上升沿开始直到模块完全运行的时间，。*3
LPMODE Assert Time	ton_LPMODE	100	us	从断言 LPMODE (Vin: LPMODE = Vih) 直到模块功耗达到功率级别 1 的时间。
LPMODE Deassert Time	toff_LPMODE	300	ms	从 LPMODE (Vin: LPMODE = Vil) 取消直到模块完全运行的时间，。*3*5
IntL Assert Time	ton_IntL	200	ms	条件触发 IntL 直到 Vout: IntL = Vol 的时间。
IntL Deassert Time	toff_IntL	500	us	从相关标志的清零读操作到 Vout: IntL = Voh 的时间。*4 这包括 Rx LOS, Tx Fault 和其他标志位的无效时间。
Rx LOS Assert Time	ton_LOS	100	ms	从 Rx LOS 状态到 Rx LOS 位置 1 (值= 1b) 和 IntL 置位的时间。
Tx Fault Assert Time	ton_Txfault	200	ms	从 Tx 故障状态到 Tx 故障位设置 (值= 1b) 和 IntL 置位的时间。
Flag Assert Time	ton_flag	200	ms	从条件触发标志到相关标志位设置 (值= 1b) 和 IntL 断言的时间。
Mask Assert Time	ton_mask	100	ms	从掩码位置位 (值= 1b) 到相关 IntL 断言被禁止的时间。*1
Mask Deassert Time	toff_mask	100	ms	屏蔽位清零的时间 (值= 0b) 直到相关的 IntL 操作恢复。*1
Application or Rate Select Change Time	t_ratesel	100	ms	变更状态或速率选择位* 1 直到发送器或接收器带宽符合适当的规格的时间。*1
Power_override or Power_set Assert Time	ton_Pdown	100	ms	从 P_Down 位设置直到模块功耗达到功率级别 1 的时间 (值= 1b)。*1
Power_override or Power_set Deassert Time	toff_Pdown	300	ms	从 P_Down 位清零 (值= 0b) 直到模块完全运行的时间。*1
*1 从写入事务的 STOP 位之后的下降时钟沿测量。				
*2 上电定义为当电源电压达到并保持在表 6 规定的最小电平或以上时的瞬间。				
*3 完全功能定义为 IntL 由于 DataNotReady 而导致，位 0 字节 2 被置为无效。该模块还应符合光学和电气规格。				
*4 从读取事务的 STOP 位之后的下降时钟沿测量。				
*5 不适用于 1 级电源模块。				

8.2 静噪和 TxRx 禁用断言，取消和启用/禁用时序

表 8-2 列出了 Tx 静噪，Rx 静噪，Tx 禁止和 Rx 输出禁用功能的断言，解除，使能和禁止的所需时序性能。

Parameter	Symbol	Max	Unit	Conditions
-----------	--------	-----	------	------------

Rx Squelch Assert Time	ton_Rxsq	80	us	从 Rx 输入信号丢失直到达到静噪输出条件的 时间。见 4.1.3.1。
Rx Squelch Deassert Time	toff_Rxsq	80	us	恢复 Rx 输入信号直到正常 Rx 输出条件 达到的时间。见 4.1.3.1。
Tx Squelch Assert Time	ton_Txsq	400	ms	从 Tx 输入信号丢失到达到静噪输出条件 的时间。见 4.1.3.2。
Tx Squelch Deassert Time	toff_Txsq	400	ms	恢复 Tx 输入信号直到达到正常 Rx 输出 条件的时间。见 4.1.3.2。
Tx Disable Assert Time	ton_TxDis	100	ms	自 Tx 禁用位置位（值= 1b）的直到光输 出低于标称值的 10%时间，。*1
Tx Disable Deassert Time	toff_TxDis	400	ms	自 Tx 禁用位清零（值= 0b），直到光输 出上升到额定值的 90%以上的时间。*1
Rx Output Disable Assert Time	ton_RxDis	100	ms	Rx 输出禁止位置 1（值= 1b），直到 Rx 输出低于标称值的 10%的时间。*1
Rx Output Disable Deassert Time	toff_RxDis	100	ms	Rx 输出禁止位清零（值= 0b），直到 Rx 输出上升到额定值的 90%以上的时间。 *1
Squelch Disable Assert Time	ton_sqDIS	100	ms	这适用于 Rx 和 Tx 静噪，是从位清零（值 = 0b）到静噪功能使能的时间。*1
Squelch Disable Deassert Time	toff_sqDIS	100	ms	这适用于 Rx 和 Tx 静噪，并且是从位设 置（值= 1b）到静噪功能禁用的时间。*1
*1 从写入事务的 STOP 位之后的下降时钟沿测量。				