

本规范已经存档。

SFF-8419 SFP +低速接口是所有高速规格的参考

SFF-8418 SFP + 10 Gb / s 电接口包含本规范的其余内容。

SFF 委员会

SFF-8431

规格

SFP + 10 Gb / s 和低速电接口

版本 4.1 2009 年 7 月 6 日

4.1 版附录 2013 年 9 月 15 日

摘要：本规范定义了增强型小型可插拔（SFP +）模块和主机的高速电气特性。SFP +模块是一个热插拔、小型串行到串行的与数据无关的光收发器。这些模块可用于实现 850nm, 1310nm 或 1550nm 的单模或多模串行光接口。SFP +模块设计可以使用几种不同的光纤连接器之一。该规范为系统制造商，系统集成商和供应商提供了通用参考。这是 SFF 委员会的内部工作规范，是一个行业专案小组。本规范可供公众查阅，书面征求意见。会员将收到的意见将纳入本规范的未来版本。

SFF 委员会

SFF-8431

规格

增强型小尺寸可插拔模块 SFP +

版本 4.1

2009 年 7 月 6 日

摘要：本文档规定了增强型小型可插拔（SFP +）模块和主机的低速电气和管理接口规范。SFP +模块是一个热插拔、小型串行到串行的与数据无关的光收发器。本文档定义了 10Gb / s SFP +模块和主机的高速电接口规范。FC-PI-4 定义了 8.5 千兆位/秒的高速电接口规范。模块也可以选择地支持较低的信令速率。这些模块可用于实现 850 nm, 1310 nm 或 1550 nm 的单模或多模串行光学接口。SFP +模块设计可以使用几种不同的光纤连接器之一。

用户应注意到对本规范的实现可能需要使用专利权所涵盖的发明的可能性。通过分发本说明书，关于与其有关的任何专利权利要求或权利要求的有效性，不采取任何立场。要求专利存

在的 SFF 委员会成员必须提供一份愿意按合理和非歧视性条款向这些权利授予许可证的声明，以供希望获得该许可证的申请人申请。

前言

该规范的开发工作由 SFF 委员会（一个行业组织）完成。自 1990 年 8 月成立以来，委员会的成员包括各行各业的公司。当引入 2 1/2” 直径的磁盘驱动器时，供应商之间的外部尺寸没有共同点，例如物理尺寸，安装位置，连接器类型，连接器位置。这些磁盘驱动器的首次使用是在笔记本电脑便携式计算机中，系统集成商与供应商分开开发包装。结果是广泛的多样性，不兼容。集成商，设备供应商和组件供应商面临的问题导致 SFF 委员会成立为行业专案组，以解决新兴技术的营销和工程考虑。在开发形式因素定义时，提出了其他活动，因为 SFF 委员会的参与者面临比磁盘驱动器的物理形状因素更多的问题。1992 年 11 月，该章程得到扩大，以解决存储行业普遍关心的任何问题。SFF 委员会成为解决不符合标准过程或需要立即解决的行业问题的论坛。已经同意支持规范的那些公司在每个 SFF 规范的第一页中被标识。发布 SFF 规范的行业共识并不是基本要求，因为认识到在出现的产品领域，存在多种方法的空间。通过提供有关竞争性提案的文档，集成商可以检查可用的替代方案，并选择被认为最合适的产品。SFF 委员会会议在 T10 周期间举行（见 www.t10.org），特定主题工作组在参加者方便的时候举行。在 SFF 委员会会议上提交的材料成为公有领域，对委员会上提交的材料的公开邮寄没有限制。SFF 委员会制定的大多数规范已被 EIA(电子工业协会)，ANSI (美国国家标准协会) 和 IEC (国际电工委员会) 纳入标准或采用标准。SFF 委员会活动支持存储行业的要求，涉及多个标准。如果您有兴趣参与或希望遵循 SFF 委员会的活动，则可以在以下网址找到会员资格和/或文档的注册：

www.sffcommittee.com/ie/join.html。

已经有 SFF 规格的完整列表完成或正在由 SFF 委员会工作，可以在以下网址找到：

[ftp://ftp.seagate.com/sff/SFF-8000.TXT](http://ftp.seagate.com/sff/SFF-8000.TXT)。

如果您想更多地了解 SFF 委员会，指导活动的原则可以在以下位置找到：

[ftp://ftp.seagate.com/sff/SFF-8032.TXT](http://ftp.seagate.com/sff/SFF-8032.TXT)。

欢迎对本规范进行改进的建议。它们应该送到 SFF 委员会, 14426 Black Walnut Ct, Saratoga, CA 95070。

工业文档

以下接口标准与 SFP + 规格相关。

SFF-8432 – 改进的可插拔形式因子 ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

SFF-8083 – 改进的 0.8mm 卡边缘连接器 ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

SFF-8089 – SFP 速率和应用程序代码 ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

SFF-8079 – SFP 速率和应用程序选择 ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

SFF-8472 – 光收发器的诊断监控接口 ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

INF-8074i – SFP (小尺寸) 收发器 ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

INF-8077i – 10 千兆小型可插拔模块 (XFP MSA) ([ftp://ftp.seagate.com/sff/](http://ftp.seagate.com/sff/))

FC-PI-4 – 光纤通道 – 物理接口-4

10GFC – 光纤通道 – 10 千兆位

FC-MJSQ – 抖动和信号质量规范方法 FC INCITS 项目 1316-DT Rev 14.1, 2005 年 6 月 5 日

IEEE 802.3 – IEEE 标准 802.3，相关的 10 个千兆以太网子句是 49, 10GBASE-R LAN PHY; 50, 10GBASE-W WAN PHY; 52, 千兆以太网串行 PMD 和 68, 10GBASE-LRM)。

OIF CEI – 光网络论坛 – 实施协议#OIF-CEI-02.0 通用电气 I / O (CEI)

(<http://www.oiforum.com/public/impagreements.html>)

缩略语和缩写

64B/66B	Data encoded with 64B/66B encoder as defined by the IEEE Std. 802.3 CL 49.	用 IEEE 标准 802.3 CL 49 定义的 64B / 66B 编码器编码的数据。
BER	bit error ratio	位错误率
CDR	clock and data recovery	时钟和数据恢复
CRU	clock recovery unit	时钟恢复单元
dB	decibel. $10 \times \log_{10}(\text{ratio of power quantities})$. Powers can be electrical or optical. Conventional usage. See also dBe and dBo.	“分贝”。 $10 \times \log_{10}$ （功率数量比）。功率可以是电气或光学。常规用法。参见 dBe 和 dBo。
dBe	Specific case of dB where signals are electrical. $10 \times \log_{10}(\text{ratio of electrical power quantities})$. $20 \times \log_{10}(\text{ratio of voltage quantities})$ can be used if reference impedances are equal.	信号为电的 dB 的具体情况。 $10 \times \log_{10}$ （电功率比）。如果参考阻抗相等，则可以使用 $20 \times \log_{10}$ （电压量的比）。
dBm	decibel (relative to 1 mW)	分贝（相对于 1 mW）
dBo	Specific case of dB where the signals are in optical power. $10 \times \log_{10}(\text{ratio of optical power quantities})$. Also, in certain cases with electrical signals relating to linear optical modules, where it is expected that electrical voltage is in proportion to optical power, $10 \times \log_{10}(\text{ratio of voltage quantities})$.	信号处于光功率的 dB 的具体情况。 $10 \times \log_{10}$ （光功率比）。此外，在某些情况下，与线性光学模块有关的电信号，预期电压与光功率成比例， $10 \times \log_{10}$ （电压量的比）。
DCD	Duty cycle distortion	占空比失真
DDPWS	Data Dependent Pulse Width Shrinkage	数据相关脉冲宽度收缩
DDJ	Data Dependent Jitter	数据依赖抖动
dRN	Difference of Relative noise see Appendix D	相对噪声的差异，见附录 D
DUT	device under test	被测设备
dWDp	Difference of the waveform distortion penalty of an optical receiver	光接收机的波形失真损失的差异
dWDpC	Difference of the waveform distortion penalty of an electrical cable assembly	电缆组件的波形失真损失的差异
EMC	electromagnetic compatibility	电磁兼容
EMI	electromagnetic Interference	电磁干扰
FC	Fibre Channel	光纤通道
h	hexadecimal notation	十六进制符号
HCB	Host Compliance Board	主机合规板
IEEE	Institute of Electrical and Electronics	电气与电子工程师学会

	Engineers	
ITU-T	ITU Telecommunication Standardization Sector	国际电联电信标准化部门
Gbit	$\text{gigabit} = 10^9 \text{ bits}$	千兆比特= 10^9 位
GBd	Gigabaud	吉波特
J2	99% Jitter	99%抖动
LRM	IEEE 802.3 CL68 Physical Layer Specifications for 10Gb/s using 10GBASE-R encoding and long wavelength optics for multimode fiber	IEEE 802.3 CL68 使用 10GBASE-R 编码和多模光纤的长波长光纤的 10Gb/s 物理层规范
MCB	Module Compliance Board	模块合规板
OMA	optical modulation amplitude	光调制幅度
PCB	printed circuit board	印刷电路板
PRBS9	Pseudo-Random Bit Sequence $2^9 - 1$, see D.1.1	伪随机位序列 $2^9 - 1$, 见 D.1.1
PRBS31	Pseudo-Random Bit Sequence $2^{31} - 1$, see D.1.1	伪随机位序列 $2^{31} - 1$, 见 D.1.1
Q_{sq}	Q_{sq} a measure of SNR, see D.8 and IEEE 802.3.68.6.7	Q_{sq} 是 SNR 的度量, 见 D.8 和 IEEE 802.3.68.6.7
RI	random interference	随机干扰
RMS	root mean square	均方根

RN	relative noise	相对噪音
Rx	receiver	接收器
Rx_LOS	Loss of signal same as defined in FC PI-4 and the inverse of signal detect (SD) in 802.3	信号丢失与 FC PI-4 中定义的信号相同，802.3 中的信号检测 (SD) 相反
RSS	“Root Sum of Squares”	“正方形总和”
SD	Signal Detect	信号检测
SerDes	Serializer/Deserializer	串行器/解串器
SFI	SFP+ high speed serial electrical interface	SFP +高速串行电接口
SNR	signal-to-noise ratio	信噪比
VccT	Module positive power supply rail for the transmitter	模块用于发射机的正电源轨
VccR	Module positive power supply rail for the receiver	模块用于接收机的正电源轨
VMA	voltage modulation amplitude	电压调制幅度

Tx	transmitter	发射机
TWDP	Transmitter Waveform Distortion Penalty for an optical transmitter	发射机波形失真补偿, 用于光发射机
TWDPC	Transmitter Waveform Distortion Penalty of a host transmitter supporting an electrical cable assembly	发射机波形失真, 支持电缆组件的主机发射机的补偿。
UI	unit interval = 1 symbol period	单位间隔= 1个符号周期
UJ	Uncorrelated Jitter	不相关的抖动
WDP	Waveform distortion penalty	波形失真损失
WDPC	Waveform distortion penalty for an electrical cable assembly	电缆组件的波形失真损失

SFF 规范

SFF 委员会内有若干项目活跃。规范中已完成或仍在处理的完整列表, 请参见
<ftp://ftp.seagate.com/sff/SFF-8000.TXT>

文件来源

参加 SFF 委员会作为观察员或会员的会员将收到会议记录和 SFF 规范的电子副本 (<http://www.sffcommittee.com/ie/join.html>)。ANSI 标准的副本可以从国际信息技术标准委员会 (<http://tinyurl.com/c4psg>) 购买。SFE, T10 (SCSI), T11 (光纤通道) 和 T13 (ATA) 标准和仍在开发中的标准副本可在 HPE 版本的 CD_Access (<http://tinyurl.com/85fts>) 上获得。

约定

使用美国的编号惯例, 即千分之一和更高的倍数用逗号隔开, 而一个逗号用作小数点。这相当于 ISO / IEC 惯例的空格和逗号。

American	ISO
----------	-----

0.6	0, 6
1, 000	1 000
1, 323, 462. 90	1 323 462, 9

第 1 章 SFP + 规范的范围

1.1 介绍

本规范定义了 SFP + 模块和主机之间的电气接口及其测试方法，最高可达 11.1 GBd。主机与 SFP + 模块之间的高速电接口称为“SFI”。SFI 简化了模块，并利用基于主机的传输预加重和基于主机的接收均衡来克服 PCB 和外部介质损耗。

SFI 通常使用一个在模块接口处的连接器，高达约 200 mm 的改进的 FR4 材料或 150 mm 的标准 FR4，见 1.3。电气接口基于标称差分阻抗为 100Ω 的高速、低压交流耦合逻辑。

SFP + 规范包括管理，连接器¹，机械²，低速信号，高速信号，以及提供参数和测试板定义的附录以及实施和测量描述。

1. Defined in SFF-8083

2. Defined in SFF-8432

SFP + 模块是可热插拔的，主动连接由发射机（VccT）和接收机（VccR）的单独电源连接供电。多个模块可以为每个 VccT 和 VccR 共享单个 3.3 V 电源，并提供单独的滤波。详细的电源规格见 2.8。

通过 C.3 定义的配对的参考测试卡定义和测量所有 SFP + 模块合规点。通过 C.2 定义的配对的参考测试卡定义和测量所有 SFP + 主机合规点。

SFP + 模块是旨在支持表 1 中列出的一个或多个应用的电对光学或电 – 电设备。

预计一系列 SFP + 模块将在单模光纤，多模光纤和 SFP + 电缆组件上运行。

允许符合 SFP + 标准的主机支持线性模块，限位模块，或线性模块和限位模块。线性模块是包含线性接收器的模块。限位模块是包含限位接收器的模块。尽管不是必需的，但是鼓励支持线性规范的主机支持 10GSFP + Cu 直连电缆（附录 E）。对于其他铜型号，请参阅 SFF-8461。

1.2 SFP+支持的标准

SFP + 模块可以遵守表 1 所示标准的任何组合，并且可能适用于其他或未来的标准。本规范并不排除本表未列出的其他信令速率的操作，例如 2GFC 为 2.125 GBd，4GFC 为 4.25 GBd。由于将经典 SFP 模块插入到为 SFP + 设计的主机的可能性，C 端的输入信号的主机的损坏阈值（见图 13）应至少为 2000 mV 峰 – 峰差。

Table 1 SFP+ Standard Compliance

Standard	Signalling Rate (GBd)	High Speed Serial Interface	High Speed Serial Test Method	Low Speed Electrical Definitions	Low Speed Test Methods	Management	Mechanical/ Connector
IEEE 802.3 Clause 38 or Clause 59 (1 Gb/s Ethernet)	1.25	802.3 Clause 38 or 59 Appendix F		Chapter 2	Appendix D	Chapter 4 SFF-8472, SFF-8079, SFF-8089	SFF-8432 SFF-8083
8 GFC	8.5	FC-PI-4	FC-PI-4				
10GSFP+Cu	10.3125	Chapter 3 Appendix E	Appendix D Appendix E				
IEEE 802.3 Clause 52 (10 Gb/s Ethernet LAN PHY)	10.3125						
IEEE 802.3 Clause 52 (10 Gb/s Ethernet WAN PHY)	9.95328						
IEEE 802.3 Clause 68 (LRM)	10.3125						
10 GPC	10.51875						
10GBASE-R (IEEE 802.3 Clause 49) Encapsulated in G.709 ODU-2 Frame (FEC)	11.10						

1.3 SFI 典型 PCB 范围（信息）

SFI 通道可以用微带线或带状线结构来实现。具有典型 PCB 走线的示例主机板设计如表 2 所示。附录 A 中列出了详细的通道特性和建议。

Table 2 Host Board Achievable Trace Length

Type	Material	Trace Width (mm)	Loss Tangent	Copper Thickness (oz) see 1	Copper Thickness (μm)	Trace Length (mm)
Microstrip	FR4-6/8	0.3	0.022	1	35	200
	Nelco 4000-13	0.3	0.016	1	35	300
Stripline	FR4-6/8	0.125	0.022	0.5	17.5	150
	Nelco 4000-13	0.125	0.016	0.5	17.5	200

1. Copper (oz) is defined as an ounce of copper over one square foot of laminate.

第 2 章 低速电气和电源规格

2.1 介绍

SFP +低速电接口与传统的 SFP 接口 (INF-8074i) 相比具有多种增强功能，但 SFP +主机也可以支持大多数传统 SFP 模块。SFP+2 线接口电气和时序规范在第 4 章中定义，SFP+2 线接口管理和寄存器映射由 SFF-8472 定义。

2.2 一般要求

SFP +模块可热插拔。热插拔是指在主板供电时插入或拔出模块。

模块信号接地触点 VeeR 和 VeeT 应与模块外壳隔离。

所有电气规格应在 2.8 节给出的电源的整个规定范围内满足。

2.3 SFP +主机连接器定义

SFP +主机连接器是由 SFF-8083 或具有等效电气性能的堆叠式连接器指定的 0.8 mm 间距 20 位改进连接器。主机 PCB 触点分配如图 1 所示，触点定义如表 3 所示。SFP +模块触点按照图 2 所示接地，电源顺序与主机配合，接触顺序顺序列于表 3。

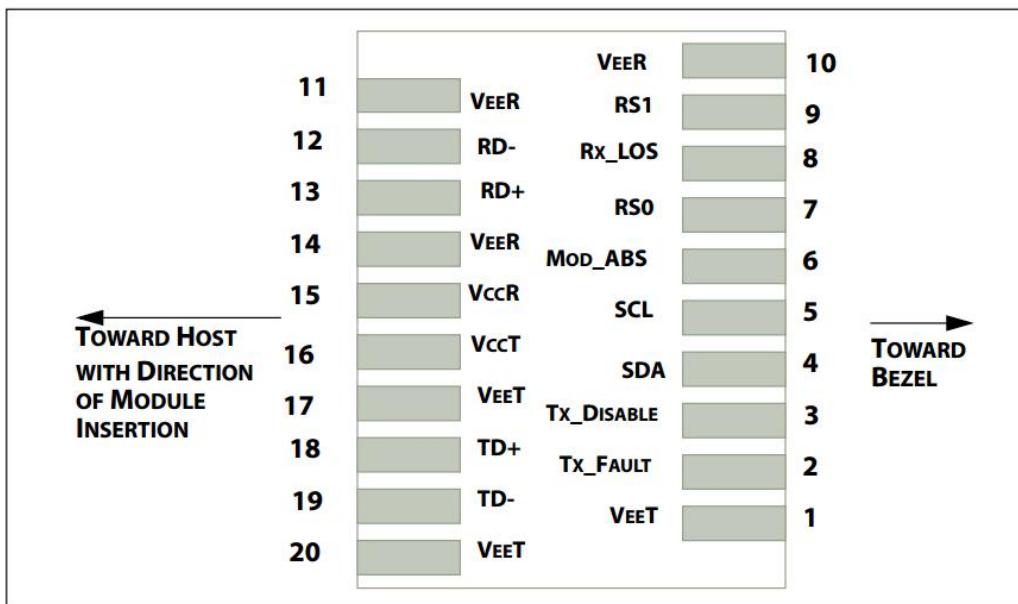


Figure 1 Host PCB SFP+ pad assignment top view

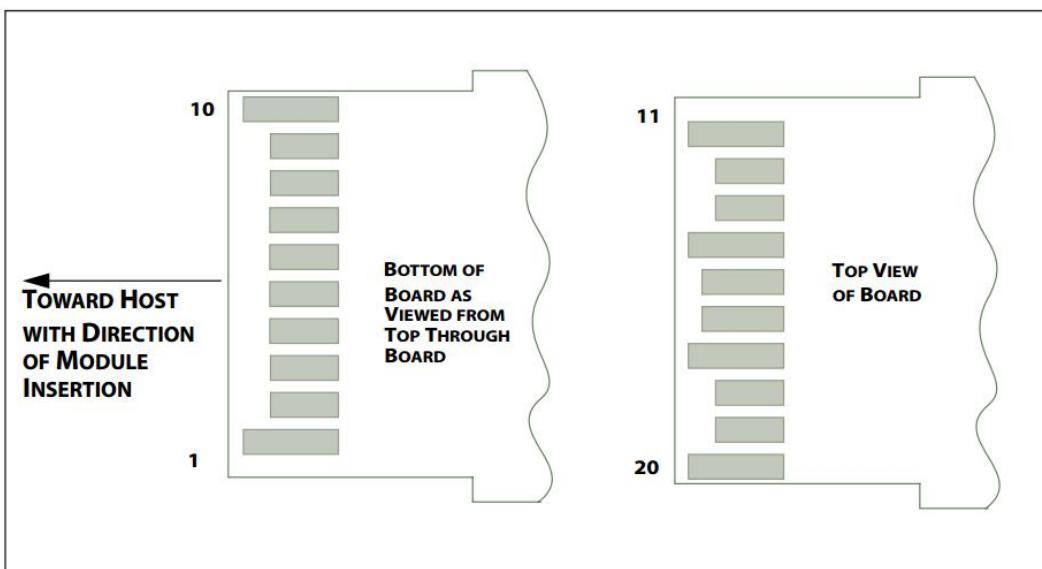


Figure 2 SFP+ module contact assignment

Contacts	Logic ¹	Symbol	Power Sequence Order	Name/Description	Note
case		case	See 2	模块盒	
1		VeeT	1st	模块发射机接地	3
2	LVttl-0	Tx_Fault	3rd	模块发射机故障	4
3	LVttl-I	Tx_Disable	3rd	发射机禁用；关闭发射机激光输出	5
4	LVttl-I/O	SDA	3rd	2 线串行接口数据线（与 INF-8074i 中的 MOD-DEF2 相同）	6

5	LVTTI-I/O	SCL	3rd	2 线串行接口时钟(与 INF-8074i 中的 MOD-DEF1 相同)	6
6		Mod_ABS	3rd	模块不在位, 连接到模块中的 VeeT 或 VeeR	7
7	LVTTI-I	RS0	3rd	速率选择 0, 可选择, 控制 SFP + 模块接收器。	8
8	LVTTI-O	Rx_LOS	3rd	接收器信号丢失指示(在 FC 中指定为 Rx_LOS, 以太网中指定为/Signal Detect)	4
9	LVTTI-I	RS1	3rd	速率选择 1, 可选择, 控制 SFP + 模块发射器	8
10		VeeR	1st	模块接收器接地	3
11		VeeR	1st	模块接收器接地	3
12	CML-O	RD-	3rd	接收器反相数据输出	
13	CML-O	RD+	3rd	接收器非反相数据输出	
14		VeeR	1st	模块接收器接地	3
15		VccR	2nd	模块接收器 3.3 V 电源	
16		VccT	2nd	模块发射机 3.3 V 电源	
17		VeeT	1st	模块发射机接地	3
18	CML-I	TD+	3rd	发射机非反相数据输入	
19	CML-I	TD-	3rd	发射机反相数据输入	
20		VeeT	1st	模块发射机接地	3

1. 作为输入(I) 和输出(O) 的标注是从模块的角度出发的。
2. 在制作任何板边缘触点之前, 该壳体与笼子电接触。
3. 模块信号接地触点 VeeR 和 VeeT 应与模块外壳隔离。
4. 该接点是集电极/漏极开路触点, 应在主机上拉, 见 2.4.1 和 2.4.6。上拉电阻可以连接到几个电源之一, 但是主机板设计应确保没有模块接触电压超过模块的 VccT / R + 0.5 V。
5. Tx_Disable 是一个输入触点, 模块内部上拉为 VccT 的 4.7kΩ 至 10kΩ。
6. 见 4.2。
7. 见 2.4.4。
8. SFF-8431 速率选择定义见 2.4.3 和 2.5。(如果在 SFF-8431 中实现 SFF-8079 条约 7 和 9, 则分别用于 AS0 和 AS1)。

2.4 低速电气控制触点和 2 线接口

除了 2 线串行接口外, SFP + 模块还具有以下低速触点, 用于控制和状态:

- Tx_Fault
- Tx_Disable
- RS0 / RS1
- Mod_ABS
- Rx_LOS

2.4.1 TX_FAULT

Tx_Fault 是一个模块输出, 当高电平时, 表示模块发送器检测到与激光器操作或安全相关

的故障状态。如果 Tx_Fault 未实现，则 Tx_Fault 触点信号应由模块保持低电平，并可连接到模块内的 Vee。Tx_Fault 输出是开路漏极/集电极，必须上拉至主机中的 Vcc_Host，电阻的阻值范围为 $4.7\text{k}\Omega$ 至 $10\text{k}\Omega$ ，或根据表 6 激活端接。

2.4.2 TX_DISABLE

当 Tx_Disable 被置为高电平或断开时，除非模块是无源电缆组件（见附录 E），在这种情况下，该信号可能会被忽略，否则 SFP + 模块发射机输出将被关闭。该模块和电缆组件中的触点应拉高至 VccT 至 $4.7\text{k}\Omega$ 至 $10\text{k}\Omega$ 电阻。Tx_Disable 是一个模块输入。

当 Tx_Disable 被置为低电平或接地时，模块发射机正常工作。

2.4.3 RS0 / RS1

RS0 和 RS1 是模块输入，并被用 $> 30\text{k}\Omega$ 电阻拉低到模块的 VeeT。RS0 可选择，选择光接收信令速率所包括的范围。RS1 可选，选择光发送信令速率所包括的范围。对于 RS0 / RS1 的逻辑定义见 2.5。

如果实施 SFF8079，这些触点也可以用于 AS0 和 AS1。详见 SFF8079。

RS1 通常连接到经典 SFP 模块中的 VeeT 或 VeeR。如果该接口连接到模块中的 VeeT 或 VeeR，主机需要确保不会损坏它。

2.4.4 MOD_ABS

Mod_ABS 连接到 SFP + 模块中的 VeeT 或 VeeR。主机可以使用 $4.7\text{k}\Omega$ 至 $10\text{k}\Omega$ 范围内的电阻将此触点拉至 Vcc_Host。当 SFP + 模块在主机插槽中物理上不存在时，Mod_ABS 被置为“高”。在 SFP MSA (INF-8074i) 中，该接口具有相同的功能，称为 MOD_DEF0。

2.4.5 SCL / SDA

SCL 是 2 线接口时钟，SDA 是 2 线接口数据线。SCL 和 SDA 由主机中的电阻上拉至 Vcc_Host_2w。有关详细说明，请参见第 4 章。

2.4.6 RX_LOS

Rx_LOS 在高电平时表示光信号电平低于相关标准规定的电平。Rx_LOS 是开路漏极/集电极输出，但也可以用作模块中监控电路的输入。对于名义上 3.3V 的 Vcc_Host，使用电阻上拉至 Vcc_Host，电阻值应在 $4.7\text{k}\Omega$ 至 $10\text{k}\Omega$ 的范围内。对于名义上为 2.5V 的 Vcc_Host，使用电阻上拉至 Vcc_Host，电阻值应在 $4.7\text{k}\Omega$ 至 $7.2\text{k}\Omega$ 的范围内。或者，可以使用根据表 6 的活动终端。

Rx_LOS 信号旨在作为对其中安装模块的主机的接收信号强度低于指定范围的初步指示。这种指示通常指向电缆远端的未安装的电缆，断开的电缆，或禁用的，故障的或断电的发送器。附加指示由安装模块的主机提供，以验证正在发送的信息是否有效，正确的编码，并以正确的格式。这些附加指示超出了模块规范的范围。

Rx_LOS 可能是可选功能，具体取决于支持的标准。如果 Rx_LOS 功能未实现，或仅通过双线接口报告，Rx_LOS 触点应由模块保持低电平，并可在模块内连接到 Vee。

Rx_LOS assert min 和 de-assert max 在相关标准中定义。为了避免 Rx_LOS 的虚假转换，建议使用 0.5 dBo 的最小滞后。

2.5 速率选择硬件控制

SFP + 模块提供两个可选择用于速率选择的输入 RS0 和 RS1。RS0 控制接收路径信令速率能力，RS1 控制发送路径信令速率能力，如表 4 所定义。主机和模块可以选择使用这两种功能，也可以不使用这些功能。由于经典 SFP INF-8074i 中的触点 9 连接到 VeeR，因此使用 RS1 的 SFP + 主机必须提供短路保护。

该速率选择功能也可以由 SFF-8472 定义的软件控制。

可选地，可以使用 SFF-8079 的第 2 部分的速率选择方法来代替这里描述的方法，将管理声明位 (A0h 字节 93 位 2) 设置为 1，请参见 SFF-8472。

Table 4 Rate Select Hardware Control Contacts

<i>Parameter</i>	<i>State</i>	<i>Conditions</i>
RS0	Low	RX signalling rate less than or equal to 4.25 GBd
	High	RX signalling rate greater than 4.25 GBd
RS1	Low	TX signalling rate less than or equal to 4.25 GBd
	High	TX signalling rate greater than 4.25 GBd

参数	状态	条件
RS0	低	RX 信号速率小于或等于 4.25 GBd
	高	RX 信号速率大于 4.25 GBd
RS1	低	TX 信令速率小于或等于 4.25 GBd
	高	TX 信号速率大于 4.25 GBd

2.6 低速电气规格

SFP +低速信号基于低电压 TTL (LVTTL) , 工作模块电源为 3.3 V +/- 5% , 主机供电范围为 2.38 至 3.46 V。2 线接口协议和电气规范在第 4 章中定义。

2.6.1 模块低速电气规格

SFP +模块低速电气规格见表 5。所有由 VccT 供电的 I / O 都参考 VeeT, VccR 也参考 VeeR。

Table 5 Low Speed Module Electrical Specifications

<i>Parameter</i>	<i>Symbol</i>	<i>Min.</i>	<i>Max.</i>	<i>Unit</i>	<i>Conditions</i>
Module Vcc	VccT, VccR	3.14	3.46	V	
Tx_Fault, Rx_LOS	V _{OL}	-0.3	0.40	V	At 0.7 mA ¹
	I _{OH} ¹	-50	37.5	μA	Measured with a 4.7 kΩ load pulled up to Vcc_Host where Vcc_Host_min < Vcc_host < Vcc_Host_max
Tx_Disable, RS0, RS1	V _{IL}	-0.3	0.8	V	
	V _{IH}	2.0	VccT + 0.3	V	

1. Positive values indicate current flowing into the module.

正值表示流入模块的电流。

2.6.2 主机低速电气规格

SFP +主机低速电气规格见表 6. 所有由 VccT 供电的 I / O 都参考 VeeT, VccR 也参考 VeeR。

Table 6 Low Speed Host Electrical Specifications

<i>Parameter</i>	<i>Symbol</i>	<i>Min.</i>	<i>Max.</i>	<i>Unit</i>	<i>Conditions</i>
Host Vcc Pullup	Vcc_Host	2.38	3.46	V	
Tx_Fault, Rx_LOS	V _{IL}	see 1	see 1	V	
	V _{IH}	see 1	see 1	V	
Tx_Disable	V _{OL}	-0.3	0.4	V	V _{OL} measured with 4.7 kΩ to 10 kΩ pull up to VccT max
	V _{OH}	VccT-0.5	VccT + 0.3	V	V _{OH} measured with 10 kΩ pull up to VccT min
RS0, RS1	V _{OL}	-0.3	0.4	V	V _{OL} measured with no load
	V _{OH}	2.2	VccT + 0.3	V	V _{OH} measured with 30 kΩ to VeeR.

1. Determined by host design, such that VIH > 2.1 V for the range of IOH in Table 5. One option is using standard LVTTL input with a pull-up to Vcc_Host in the range 4.7 kΩ to 10 kΩ

1. 由主机设计确定, 这样 I_{OH}按 Table 5 范围时 V_{IH} > 2.1 V。一个选项是使用标准 LVTTL 输入

入，上拉至 Vcc_Host，范围为 $4.7\text{k}\Omega$ 至 $10\text{k}\Omega$

2.7 控制和状态 I / O 的时序要求

控制和状态 I / O 的时序要求在表 7 中定义。

Table 7 Timing Parameters for SFP+ Management

Parameter	Symbol	Min.	Max.	Unit	Conditions
Tx_Disable assert time	t_off		100	μs	Rising edge of Tx_Disable to fall of output signal below 10% of nominal
Tx_Disable negate time	t_on		2	ms	Falling edge of Tx_Disable to rise of output signal above 90% of nominal. This only applies in normal operation, not during start up or fault recovery.
Time to initialize 2-wire interface	t_2w_start_up		300	ms	From power on or hot plug after the supply meeting Table 8 .
Time to initialize	t_start_up		300	ms	From power supplies meeting Table 8 or hot plug or Tx disable negated during power up, or Tx_Fault recovery, until non-cooled power level I part (or non-cooled power level II part already enabled at power level II for Tx_Fault recovery) is fully operational.
Time to initialize cooled module and time to power up a cooled module to Power Level II	t_start_up_cooled		90	s	From power supplies meeting Table 8 or hot plug, or Tx disable negated during power up or Tx_Fault recovery, until cooled power level I part (or cooled power level II part during fault recovery) is fully operational. Also, from stop bit low-to-high SDA transition enabling Power Level II until cooled module is fully operational
Time to Power Up to Level II	t_power_level2		300	ms	From stop bit low-to-high SDA transition enabling power level II until non-cooled module is fully operational
Time to Power Down from Level II	t_power_down		300	ms	From stop bit low-to-high SDA transition disabling power level II until module is within power level I requirements
Tx_Fault assert	Tx_Fault_on		1	ms	From occurrence of fault to assertion of Tx_Fault
Tx_Fault assert for cooled module	Tx_Fault_on_cooled		50	ms	From occurrence of fault to assertion of Tx_Fault
Tx_Fault Reset	t_reset	10		μs	Time Tx_Disable must be held high to reset Tx_Fault
RS0, RS1 rate select timing for FC	t_RS0_FC, t_RS1_FC		500	μs	From assertion till stable output
RS0, RS1 rate select timing non FC	t_RS0, t_RS1		24	ms	From assertion till stable output
Rx_LOS assert delay	t_los_on		100	μs	From occurrence of loss of signal to assertion of Rx_LOS
Rx_LOS negate delay	t_los_off		100	μs	From occurrence of presence of signal to negation of Rx_LOS

2.7.1 模块上电初始化程序，TX_DISABLE NEGATED

在模块上电期间，如果实现了 Tx_Fault，一旦电源电压在规定范围内，就可以断言（高电平）。对于 Tx_Disable 否定的模块初始化，当发射机安全电路（如果实施）已经检测到发射机正在其正常状态下工作时，Tx_Fault 将被否定。如果没有发生发射机故障，Tx_Fault 将在 VccT 超出指定的最小工作电压时间 (t_start_up) 的时间内被否定（见表 8）。如果 Tx_Fault 在 t_start_up 之后保持置位，则主机将通过读取 2 线接口上的状态位来确定模块是否被冷却。如果模块没有冷却，主机可能会认为发生了传输故障。如果模块被冷却，如果 Tx_Fault 保持断言超过 t_start_up_cooled，主机可能会认为发生了传输故障。

Tx_Disable 否定模块的初始化时序功率如图 3 所示。

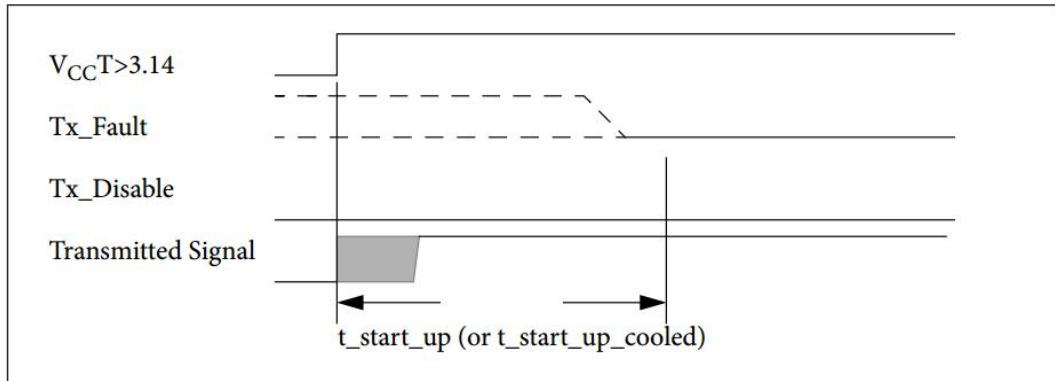


Figure 3 Power on initialization of module, Tx_Disable negated

2.7.2 模块上电初始化步骤, TX_DISABLE ASSERTED

对于使用 **Tx_Disable** 置位的模块上电初始化, **Tx_Disable** 置位时 **Tx_Fault** 的状态未定义。在 **Tx_Disable** 置位之后, **Tx_Fault** 可能在执行安全电路初始化时被置位。当发射机安全电路(如果实施)检测到发射机工作在正常状态时, **Tx_Fault** 将被否定。如果没有发生发射机故障, 则 **Tx_Fault** 在从 **Tx_Disable** 被否定的时间段内的 **t_start_up** 期间将被否定。如果 **Tx_Fault** 保持在 **t_start_up** 周期之外, 主机可能会认为模块检测到传输故障。如果没有实现发射机安全电路, 则 **Tx_Fault** 信号可能会被绑定到它的否定状态。

具有 **Tx_Disable** 的模块的初始化时序的上电功能如图 4 所示。

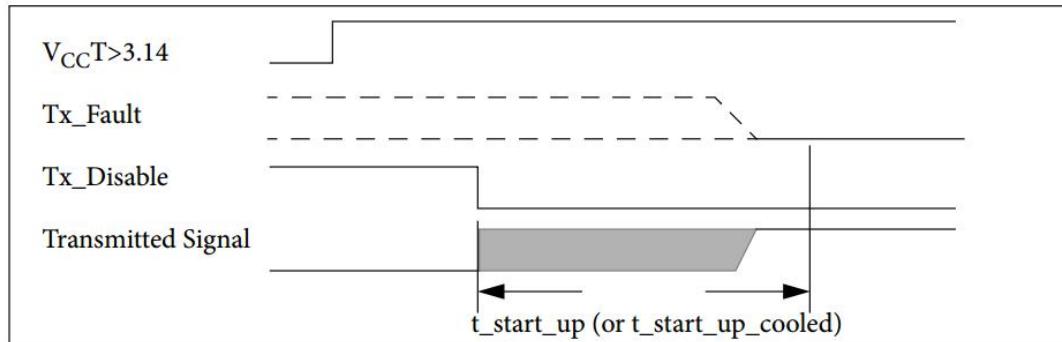


Figure 4 Power on initialization of module, Tx_Disable asserted

2.7.3 热插拔时的初始化

当未安装模块时, **Tx_Fault** 由主机上拉电路保持到被断言状态。随着模块的安装, 按照指定的顺序与地面, 电压和信号触点进行接触。在模块确定 **V_{CC}T** 达到指定值后, 初始化电源将按照上一节所述进行。图 5 中提供了热插拔时的初始化示例。

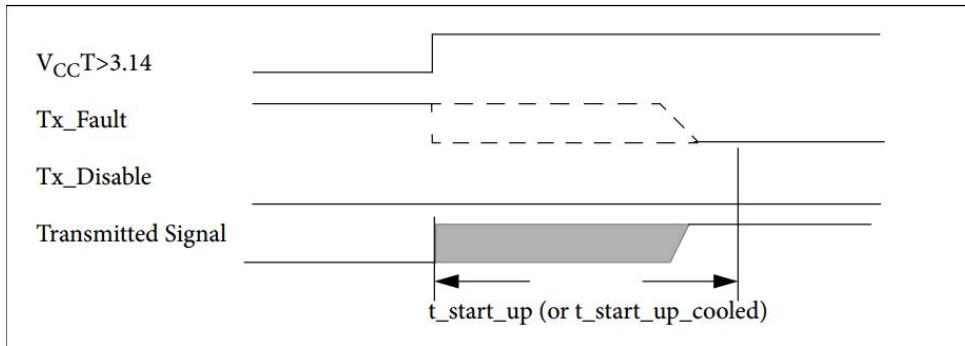


Figure 5 Example of initialization during hot plugging, $Tx_Disable$ negated.

2.7.4 发射机管理

使用 $Tx_Disable$ 信号从模块管理光输出的时序要求如图 6 所示。请注意， t_{on} 时间是指调制光信号达到最终值的 90% 的最大延迟，而不仅仅是平均光功率。

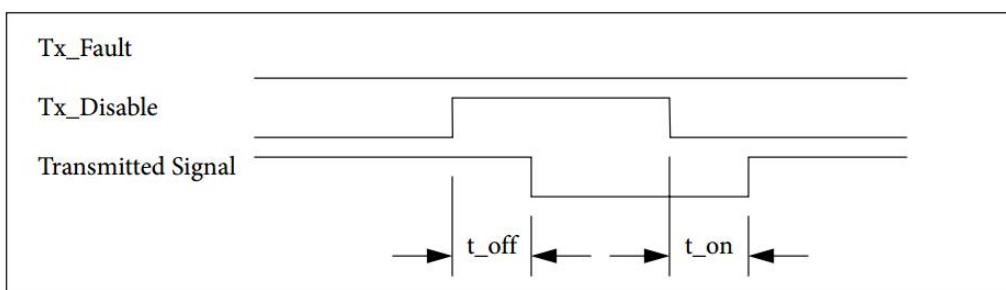


Figure 6 Management of module during normal operation, $Tx_Disable$ implemented

2.7.5 发射机安全检测和演示

如果 Tx_Fault 被实现，它将满足图 7 的时序要求。

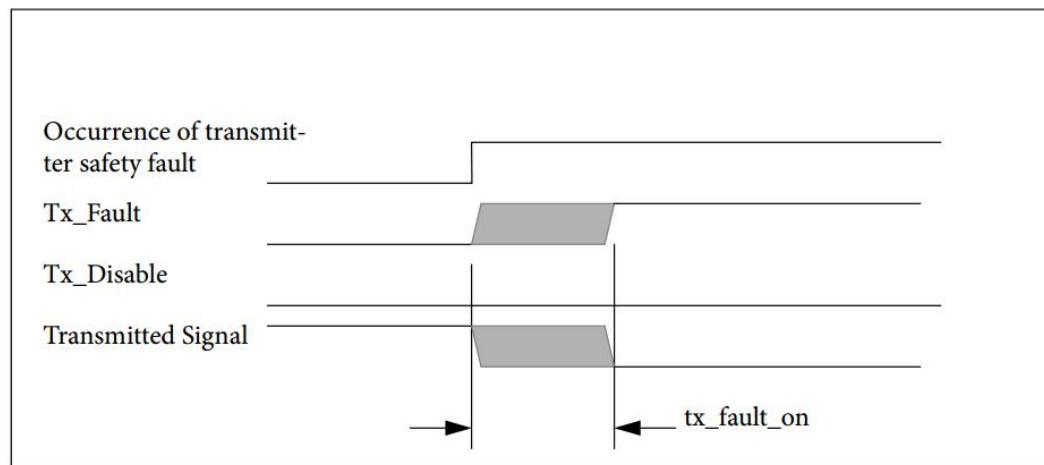


Figure 7 Occurrence of condition generating Tx_Fault

2.7.6 模块故障恢复

由 Tx_Fault 提供的与安全相关的发射机故障状况的检测应被锁定。在发射机故障状态为瞬态情况下，以下协议可用于复位锁存器。

要重新设置故障状态和相关的检测电路， $Tx_Disable$ 必须至少保留 t_{reset} 。然后

`Tx_Disable` 将被否定。另外，软件 Tx 禁用被断言和否定。在小于 t_{start_up} 的最大值时，光发射机将正确地重新激活激光电路，否则 `Tx_Fault`，如果故障条件不再存在，则开始正常工作。如果在重新初始化期间检测到故障条件，`Tx_Fault` 将再次被断言，故障条件再次被锁存，并且光发射机电路将再次被禁用，直到下一次尝试复位协议。模块的制造商应确保在正常运行期间或出现合理的单一故障条件时，从开放式连接器或光纤发出的光功率符合所有复位尝试期间的适用眼图安全要求。该模块可能需要内部保护电路，以防止 `Tx_Disable` 信号的频繁断言产生频繁的能量脉冲，从而影响安全性要求。从瞬态安全故障状态恢复成功的时机如图 8 所示。

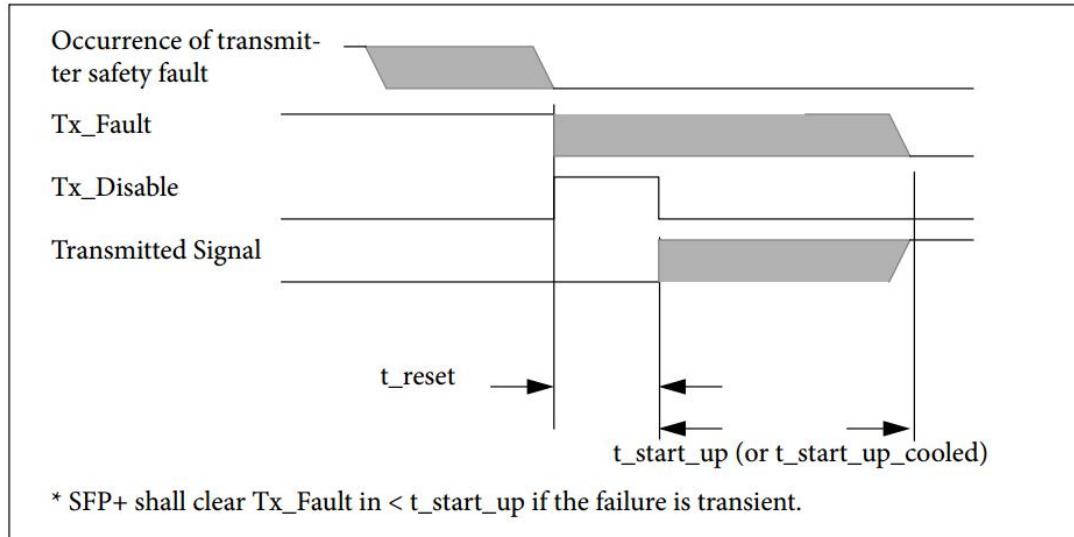


Figure 8 Successful recovery from transient safety fault condition

图 9 中显示了故障状态不是瞬态的恢复失败的示例。

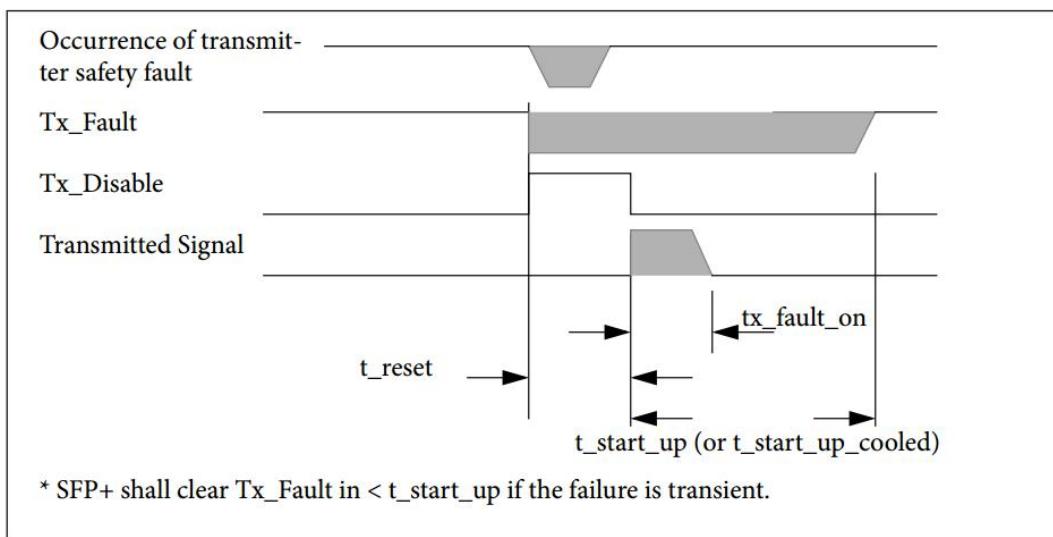


Figure 9 Unsuccessful recovery from safety fault condition

2.7.7 模块丢失信号指示

如果模块被指定为实现 Rx_LOS，则时序如图 10 所示。

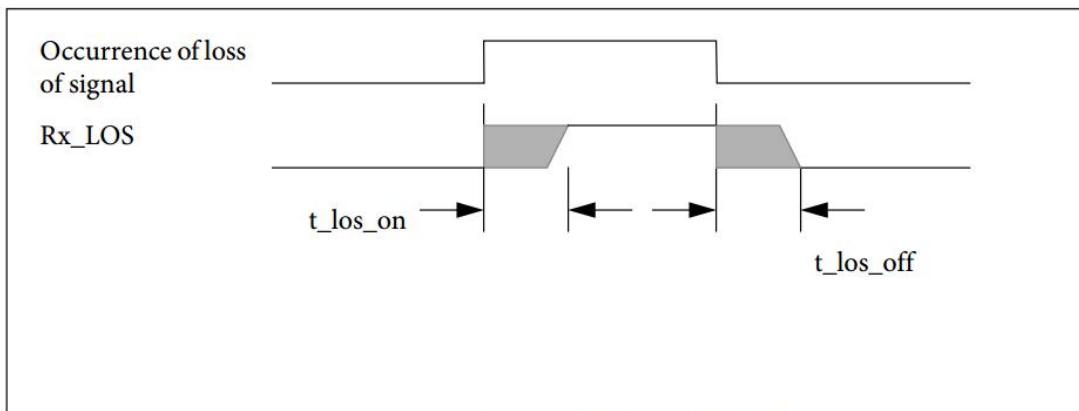


Figure 10 Timing of Rx_LOS detection

2.8 SFP +电源要求

模块主机有两个 3.3 V 电源触点，一个提供模块发射器电压 (VccT)，另一个提供模块接收器电压 (VccR)。每个连接器触点的最大电流容量（连续和峰值）为 500 mA。

SFP +模块最大功耗应满足以下功率等级之一：

- 功率级 I 模块 – 高达 1.0W
- 功率级 II 模块 – 高达 1.5W

为了避免超过系统电源限制和制冷能力，默认上电时的所有模块应在≤1.0W 的范围内工作。支持电源 II 级操作的主机可以通过 2 线接口实现 Power Level II 模块。功率级 II 模块应断言 SFF-8472 的功率电平声明位。

允许最大功率等级在热插拔或上电或电源 II 授权使超过分类的功率等级 500 ms，但电流受限于表 8 给出的值，如图 11 所示。

在主机上电时，主机将在彼此之间的 100ms 内向模块提供 VccT 和 VccR。

2.8.1 模块电源要求

SFP +模块由主机提供 VccT 和 VccR。为了保护主机和系统运行，每个 SFP +模块在热插拔和正常运行期间都应遵循表 8 所列的要求，如图 11 所示。电流的要求适用于图 56 中每个电感器的电流，而供电电压在 SFP +接口上定义。

2.8.2 主机电源输出

根据 D. 17.1 的方法，主机在 10 Hz 至 10 MHz 的频率范围内产生的有效加权积分频谱 RMS 噪声小于 25 mV。

2.8.3 模块电源噪声输出

根据 D. 17.2 的方法，该模块在频率范围 10Hz 至 10MHz 范围内，在图 56 的 X 点产生小于 15 mV 的 RMS 噪声。

2.8.4 电源噪声容限

根据 D. 17.3 的方法，SFP +模块应满足所有电气要求，并保持完全可操作性，方法是按照表 8 从 10 Hz 扫描到 10 MHz 的正弦公差信号。这样可以模拟主机的最坏情况。

模块和主机也希望同时容忍 VccT 和 VccR 两者的随机或半随机噪声程度，但这种噪声的特性超出了本文件的范围。

Table 8 SFP+ Module Power Supply Requirements

Parameters	Symbol	Conditions	Min	Max	Units
<i>Power Level I Module</i>					
Power supply noise tolerance including ripple [peak-to-peak]		see D.17.3		66	mV
Power supply voltages including ripple, droop and noise below 100 kHz	VccT, VccR	Note 1	3.14	3.46	V
Instantaneous peak current at hot plug		Note 2, 3		400	mA
Sustained peak current at hot plug		Note 2, 3, 5		330	mA
Module maximum power consumption				1.0	W
<i>Power Level II Module</i>					
Power supply noise tolerance including ripple [peak-to-peak]		see D.17.3		66	mV
Power supply voltages including ripple, droop and noise below 100 kHz	VccT, VccR	Note 1	3.14	3.46	V
Instantaneous peak current at hot plug		Note 2, 3		400	mA
Sustained peak current at hot plug		Note 2, 3, 5		330	mA
Instantaneous peak current on enabling Power Level II		Note 2, 3, 5		600	mA
Module sustained peak current on enabling Power Level II		Note 2, 3, 5		500	mA
Module maximum power consumption				1.5	W
Maximum power consumption at power up		Note 4		1	W

1. 设定在主机上连接器的输入端测量参考 Vee。Droop 是电源电压的任何暂时下降，例如由于插入另一个模块或使另一个模块使能电平 II 而引起的电压。
2. 电流的要求适用于通过图 56 中每个电感的电流。
3. 最大电流是每个电源 VccT 或 VccR 允许的电流，因此总模块峰值电流可以是该值的两倍。允许瞬时峰值电流在短时间内超过连接器触点的规定最大电流容量，参见图 11.
4. 上电后 500ms 内最大模块功耗不得超过 1.0 W，直到 II 级运行使能。
5. 不超过 50 μ s 的持续峰值极限；可能会在较短的持续时间内超出此限制。

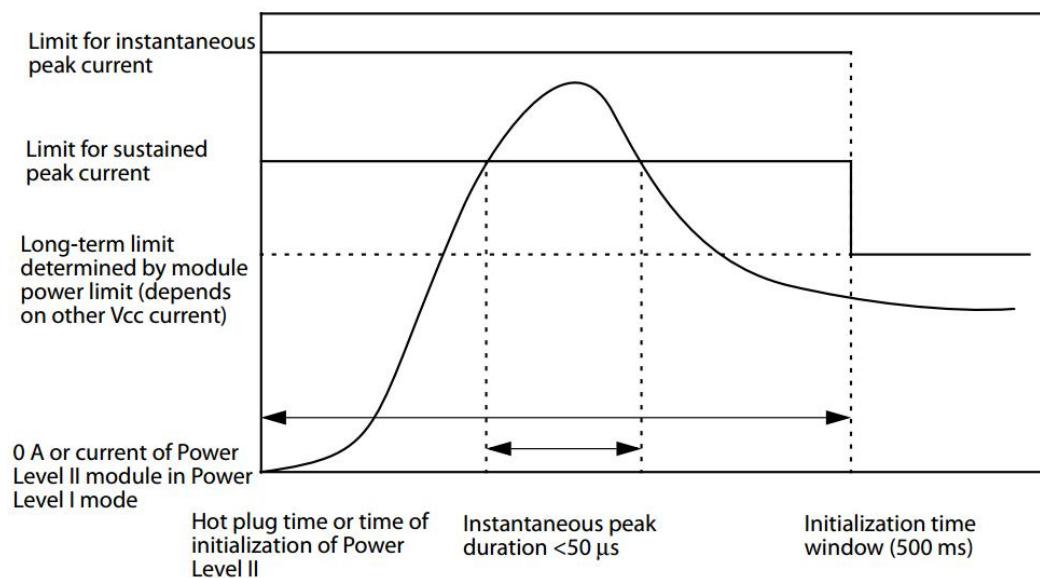


Figure 11 Instantaneous and sustained peak current for VccT or VccR

2.9 ESD

SFP +模块和主机 SFI 触点（高速触头）应根据 JEDEC JESD22-A114-B 的人体模型承受 1000 V 静电放电。

除了 SFI 触点（高速触头）外，SFP +模块和所有主机触点都应能承受基于 JEDEC JESD22-A114-B 的人体模型的 2 kV 静电放电。

SFP +模块应符合 EN61000-4-2 标准 B 测试规范中给出的 ESD 要求，使得在运行过程中，模块能经受 15 kV 的空气放电，并向该情况下 8 kV 直接接地放电。

第 3 章 高速电气规格 SFI

3.1 引言

SFI 信号是基于模块中具有交流耦合的差分高速低电压逻辑。SFI 的开发主要是低功耗和低电磁干扰（EMI）。为了满足这一要求，标称差分信号电平为 $\sim 500 \text{ mV p-p}$ ，具有边沿速度控制，以降低 EMI。允许符合 SFP +标准的主机只支持线性模块，只限制模块，或线性模块和限制模块。

3.2 SFI 应用定义

SFI 的应用参考模型将高速 ASIC / SERDES 连接到 SFP +模块，如图 12 所示。SFI 接口设计用于支持 IEEE 802.3 10Gig 标准第 49, 50 和 51 条以及 10GFC。对于所有其他 FC 信号速率，请参见 FC-PI-4。SFI 支持的信令速率列在表 9 中。符合 SFP +的模块和主机可以支持表 9 中列出的一个或多个信令速率。对于 10GSFP + Cu（直接连接铜）规范和应用参考模型，请参见附录 E.

Table 9 SFI Supported signalling Rates

Standard	Description	signalling Rate	Units
IEEE std-802.3 Clause 50	10GBASE-W WAN PHY	9.95328	GBd
IEEE std-802.3 Clause 49	10GBASE-R LAN PHY	10.3125	GBd
Fibre Channel - 10 Gigabit (10GFC)	10GFC	10.51875	GBd
10Gig Ethernet with FEC	10GBASE-R over G.709	11.10	GBd

The SFI interface operates from 9.95 to 11.1 GBd.

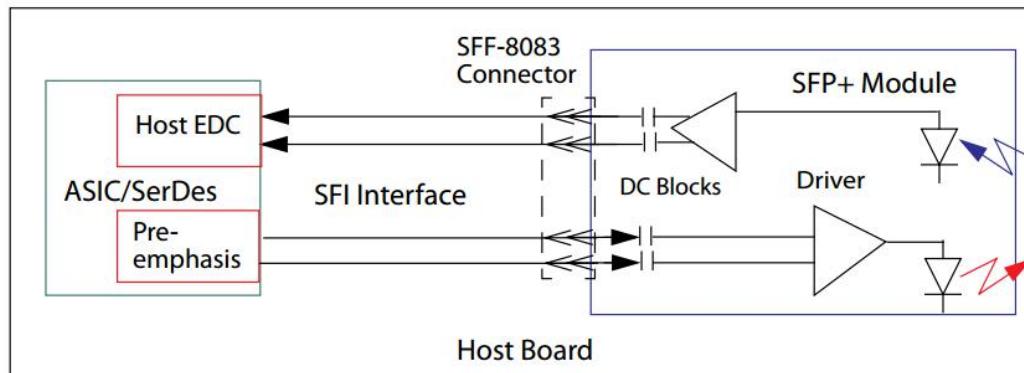


Figure 12 SFI Application Reference Model

3.3 SFI 测试点定义和测量

SFI 参考合规性测试点由主机合规委员会和模块合规委员会定义，用于测量一致性，请参见

附录 C. 参考测试板为 ASIC / SerDes，模块和主机验证提供了一组重叠测量，以确保互操作性。为了提高测量精度，可以从测量中校准实际的参考测试卡响应，并用代表参考测试卡附录 C 中定义的理想响应的函数代替。

A, B, C 和 D 点需要交流耦合测试设备。所有 SFI 测试设备在所有测试端口上必须具有 $50\ \Omega$ 单端阻抗。

差分测量和 S 参数的参考阻抗为 $100\ \Omega$ ，共模测量和 S 参数的参考阻抗为 $25\ \Omega$ 。

除非另有规定，否则测量仪器的带宽应为 12 GHz。

SFI 参考点列于表 10。

Table 10 SFI Reference Points

<i>Compliance point</i>	<i>Designation</i>
ASIC/SerDes output	A
Host output	B
Host input	C
ASIC/SerDes input	D
Module input	B'
Module output	C'
Module input calibration	B" (double quotation)
Host input calibration	C" (double quotation)

3.3.1 主机符合要点

主机系统发射器和接收器的兼容性通过插入主机兼容板的测试来定义，如图 13 所示，代替 SFP + 模块。主机合规板符合附录 C 的规定。合规点是 B 和 C.

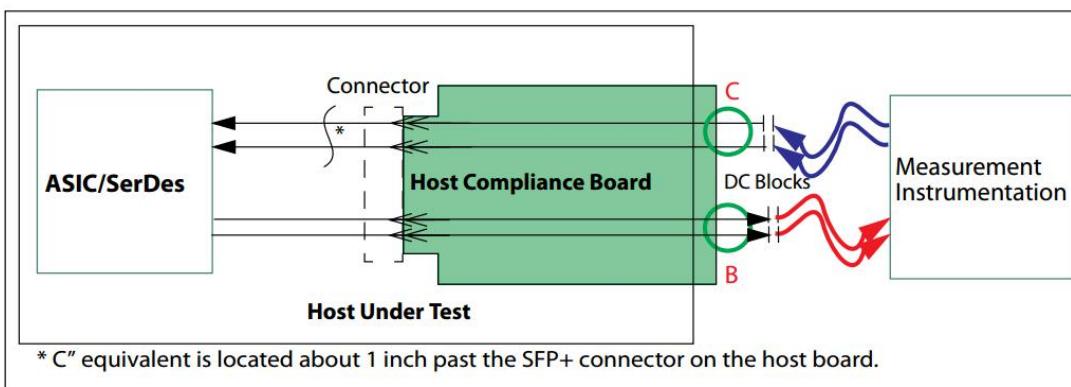


Figure 13 Host Compliance Board

* C “等效物位于主板上的 SFP +连接器大约 1 英寸处。

SFP + 主机合规点定义如下：

- B: 主机兼容板输出端的主机发射机输出。3.5 规定了 B 的规格。
- C: 主机合规板输入端的主机接收器输入。3.5 的规范给出。

3.3.2 模块兼容点

模块发射器和接收器的兼容性通过将模块插入模块合规板的测试来定义，如图 14 所示。模块合

规板符合附录 C 的规范。模块的符合性要点 B' 和 C'。

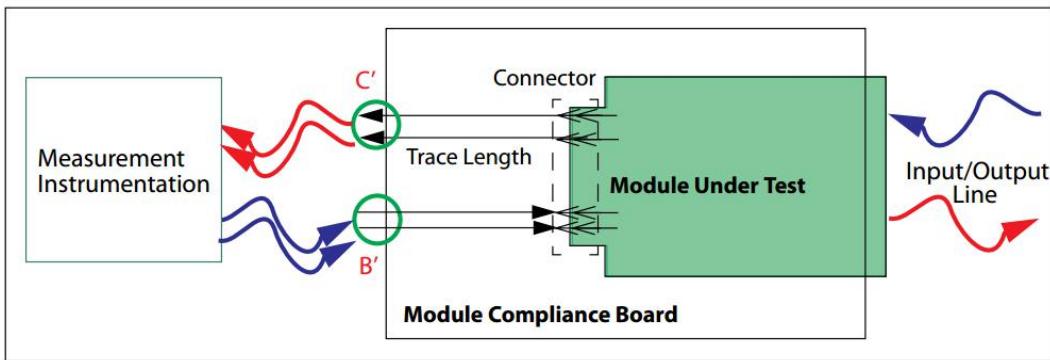


Figure 14 Module Compliance Board

SFP +模块兼容点定义如下：

- B'：模块合规板输入端的 SFP +模块发射机输入。3.6.1 规定了 B' 的规格。
- C'：模块合规板输出端的 SFP +模块接收器输出。3.6.2 规定了 C' 的规格。

3.3.3 ASIC / SERDES 测试点（信息）

ASIC / SerDes 发射机和接收机可以在测试板上进行测试，如图 15 所示，具有 C.1.3 规定的标称跟踪响应，以避免由于过多的痕迹损耗而导致的失真，并确保一致的测量。

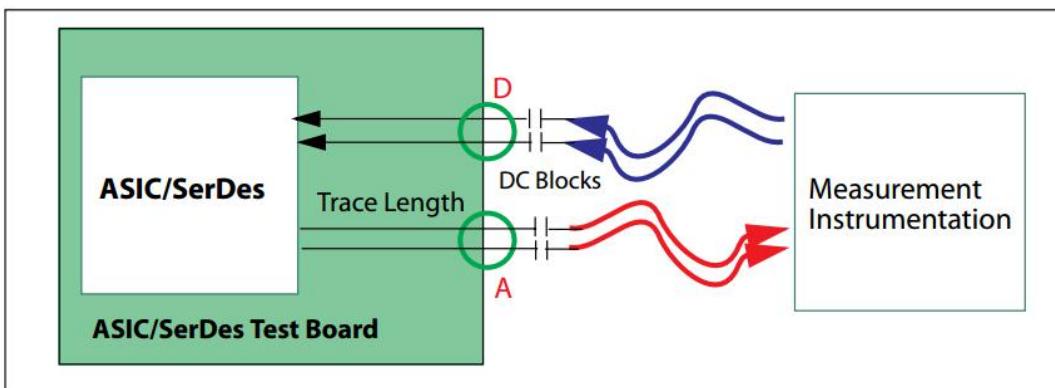


Figure 15 ASIC/SerDes Test Board

SFI ASIC / SerDes 测试点定义如下：

- A：在 ASIC / SerDes 测试板的输出端 SerDes 发射机输出。A 的建议在 B.2 中给出。
- D：ASIC / SerDes 测试板输入端的 ASIC / SerDes 接收器输入。D 的建议在 B.3 中给出。

3.3.4 主机输入校准点

主机接收机输入公差信号通过主机兼容板在模块合规板的输出端进行校准，如图 16 所示。主机输入校准点为 C “，给定规格” C “在 3.5.2。连接器和 C “之间的响应由 C.1.2 规定。

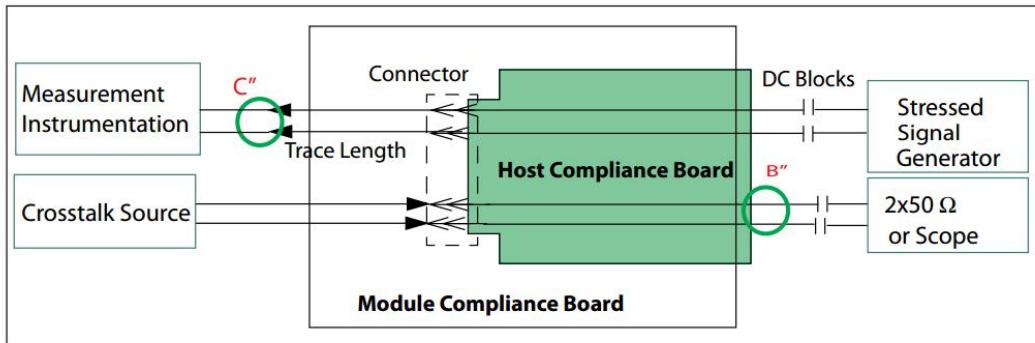


Figure 16 Host input calibration point C'' and crosstalk source calibration point B''

3.3.5 模块输入校准点

模块发射机输入公差信号通过主机兼容板输出端的模块合规板进行校准，如图 17 所示。模块输入校准点为 3.6.1 中给出的 B “规格 B” 。连接器和 B “之间的响应由 C.1.1 指定。

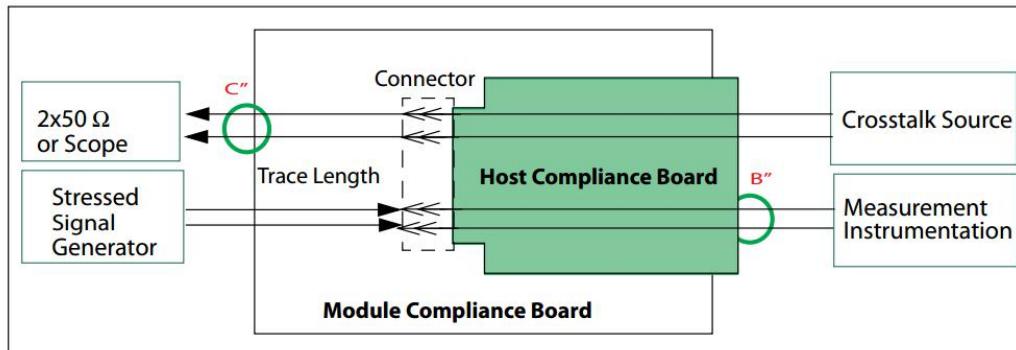


Figure 17 Module input calibration point B'' and crosstalk source calibration point C''

3.4 SFI 终止和直流阻塞

SFI 链路在主机板和模块上使用标称的 100Ω 差分源和负载终端。SFI 发射机提供差分和共模终止。每个符合点的 SFI 发射器和接收器端子规格由以下公式给出：

- 主机 - 3.5 SFP + 主机系统规格
- 模块 - 3.6 SFP + 模块规格。

主机 SerDes 终止建议由以下提供：

- ASIC / SerDes - 附录 B

SFP + 模块应在所有 SFI 输入和输出端并入隔离电容器或等效物，如图 18 所示。SFI 发射机由 Ω 端子 Z_p 和 Z_n 表示，形成 100 个差分源。每个端子的标称值为 50Ω ，因此共模阻抗为 25Ω 。SFI 接收机用标称值为 100Ω 的终端 Z_{diff} 表示。该表示不旨在排除可能提供共模终止的其他实现的使用，但是 SFI 规范不需要在接收器处进行任何共模终止。如果提供共模终端，则可以降低共模电压和 EMI。

建议模块和主机使用传输线，目标是具有 100Ω 的差分阻抗，约 7% 的耦合。SFP + 百分比差分耦合由下式定义：

$$Coupling = \frac{Z_{cm} \times 4 - Z_{diff}}{Z_{cm} \times 4 + Z_{diff}} \times 100$$

其中 Z_{cm} 为共模阻抗， Z_{diff} 为差分阻抗。具有标称 7% 耦合的差分迹线在合理的共模匹配和实际传输线路数据之间提供了良好的折中。这些是附录 C 中描述的模块和主机合规委员会

的目标。

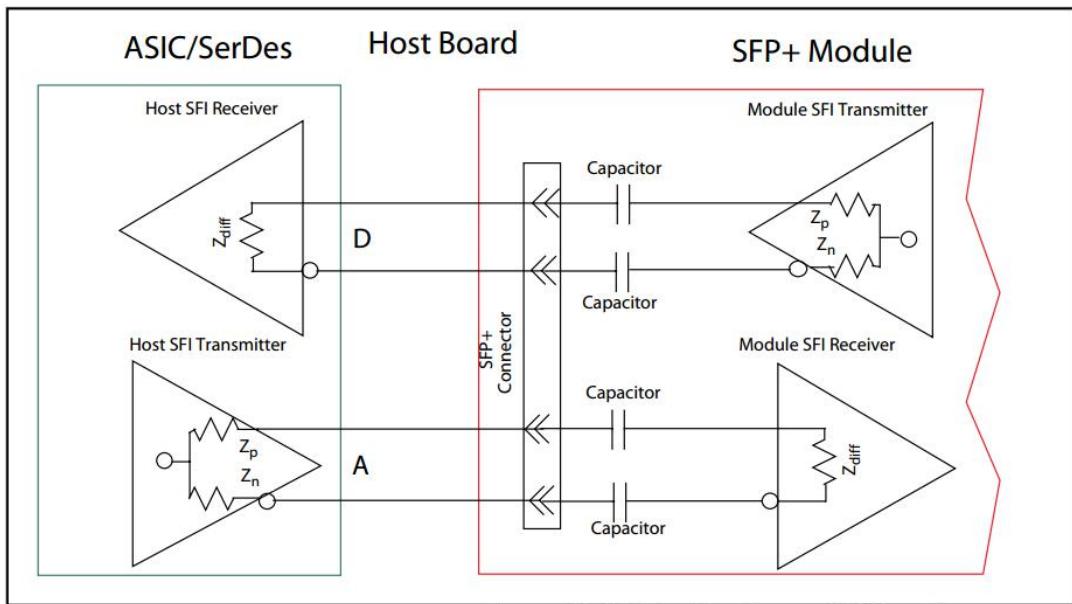


Figure 18 SFI Termination and AC Coupling

3.5 SFP +主机系统规格

SFP +主机系统发射机规范在符合点 B 在 3.5.1 中给出。SFP +主机系统接收器规范在合规点 C 在 3.5.2 中给出。

3.3.1 中规定的主机兼容性测试点应满足所有规范。

SFF-8431 模块合规板中高速走线的焊盘为 $1.1 \times 0.4 \text{ mm}$, 以提高 SFF-8083 中定义的高频性能而不是 $2.0 \times 0.5 \text{ mm}$, 以提高可制造性。主机性能与可制造性之间的权衡取决于主机设计者。有关模块合规板的详细几何, 请参阅 C.3.4 中的 Gerber 文件。

警告: 主机期望模块中具有 DC 阻塞, 并且为了提高性能, 主机合规板不需要并入 DC 块。所有主机 SFI 信号都需要测试设备内或主机与设备之间的直流阻塞。

3.5.1 主机发射机输出规格

AT B SFP +主机发射机在符合性点 B 定义的电气规格见表 11 和表 12. 这些规范在 C.2 中规定的主机合规委员会的输出中定义。主机发射机必须为所支持的应用提供足够的低频信号响应。

Table 11 Host Transmitter Output Electrical Specifications at B

Parameter - B	Symbol	Conditions	Min	Max	Units	
Termination Mismatch at 1 MHz	ΔZ_M	See D.16, Figure 55		5	%	
Single Ended Output Voltage Range			-0.3	4.0	V	
Output AC Common Mode Voltage		See D.15		15	mV (RMS)	
Differential Output S-parameter	SDD22	0.01 to 2 GHz		-12	dB	
		2 to 11.1 GHz		see 1	dB	
Common Mode Output S-parameter	SCC22	0.01 to 2.5 GHz		see 2	dB	
		2.5 to 11.1 GHz		-3	dB	
1. Reflection coefficient given by equation $SDD22(\text{dB}) < -6.68 + 12.1 \times \log_{10}(f/5.5)$, with f in GHz.						
2. Reflection coefficient given by equation $SCC22(\text{dB}) < -7 + 1.6 \times f$, with f in GHz.						

共模输出回波损耗的规格通过吸收共模反射和噪声来降低 EMI 和噪声。

参考点 B 中的 SFI 抖动规范列于表 12 中, 并且合规掩模如图 19 所示。由于基线漂移可能会

产生 5×10^{-5} 掩模命中率未检测到的低概率闭眼，必须控制基线漂移 以免在 B 处显著降低信号。

Table 12 Host Transmitter Output Jitter and Eye Mask Specifications at B

Parameters- B	Symbol	Conditions	Min	Target Value	Max	Units
Crosstalk Source Rise/Fall time (20% to 80%)	Tr, Tf	See 1, 2, D.6		34		ps
Crosstalk Source Amplitude (p-p differential)		See 1, 2, D.7		1000		mV
Signal Rise/Fall time (20% to 80%)	Tr, Tf	See D.6	34			ps
Total Jitter	TJ	See D.5			0.28	UI(p-p)
Data Dependent Jitter	DDJ	See D.3			0.1	UI(p-p)
Data Dependent Pulse Width Shrinkage	DDPWS				0.055	UI (p-p)
Uncorrelated Jitter	UJ	See 3 and D.4			0.023	UI (RMS)
Transmitter Q _{sq}	Q _{sq}	See 4	50			
Parameters- B	Symbol	Conditions	Value			Units
Eye Mask	X1	Mask hit ratio of 5×10^{-5} , See D.2 and Figure 19	0.12			UI
Eye Mask	X2		0.33			UI
Eye Mask	Y1		95			mV
Eye Mask	Y2		350			mV

1. Measured at C" with Host Compliance Board and Module Compliance Board pair, see [Figure 17](#).
 2. Since the minimum module output transition time is faster than the crosstalk transition time the amplitude of crosstalk source is increased to achieve the same slew rate.
 3. It is not possible to have the maximum UJ and meet the TJ specifications if the UJ is all Gaussian.
 4. $Q_{sq} = 1/RN$ if the one level and zero level noises are identical and see [D.8](#).

1. 通过主机兼容板和模块合规板对在 C “测量，见图 17.
2. 由于最小模块输出转换时间比串扰转换时间快，所以串扰源的幅度增加以实现相同的转换速率。
3. 如果 UJ 全部是高斯，则不可能具有最大 UJ 并满足 TJ 规格。
4. 如果一级和零级噪声相同，则 $Q_{sq} = 1 / RN$ ，见 D. 8。

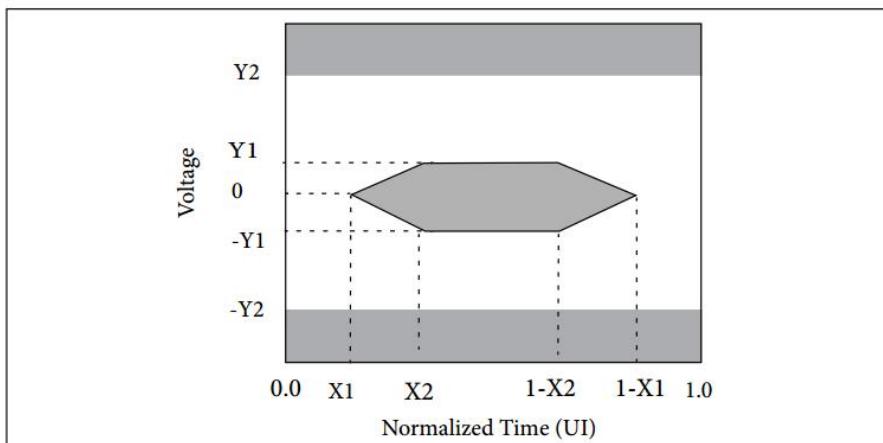


Figure 19 Transmitter Differential Output Compliance Mask at B and B"

3.5.2 主机接收机输入规格 C 和 C “

SFP + 主机接收器的电气规范在线性和限制模块的符合性点 C 和 C “在表 13 中给出。主机应提供差分终端，并且必须将差分约束到共模转换以实现质量信号终止和低 EMI，如 在表 13 中给出。接收机上的共模终止不是必需的，见图 18。

用作输入容差测试条件的信号在 C “校准，主机合规板通过模块合规板连接到测量仪器。C

“支持限制模块的规格见表 14. C” 支持线性模块的规格见表 15。

允许符合 SFP + 标准的主机只支持线性模块，只限制模块，或线性模块和限制模块。

Table 13 Host Receiver Input Electrical Specifications at C and C"

Parameters - C and C"	Symbol	Conditions	Min	Target	Max	Units
Single Ended Input Voltage Range		Referenced to VeeR	-0.3		4.0	V
Input AC Common Mode Voltage Tolerance		See 1 and D.15.3	7.5			mV (RMS)
Damage Threshold (p-p differential)		See 1	2000			mV
Differential Input S-parameter	SDD11	0.01 to 2 GHz			-12	dB
		2 to 11.1 GHz			see 2	dB
Reflected Differential to Common Mode Conversion	SCD11	0.1 to 11.1 GHz			-10	dB
1. Measured at C" with the Module Compliance Board. 2. Reflection Coefficient given by equation SDD11(dB) < -6.68 + 12.1 × log ₁₀ (f/5.5), with f in GHz.						

1. 在 C “测量模块合规板

2. 由公式 SDD11 (dB) <-6.68 + 12.1 log10 (f / 5.5) 给出的反射系数, f 为 GHz。

支持限制模块的抖动规范列在表 14 中。图 20 给出了支持限制模块的主机符合性眼罩要求。主机应在灵敏度和过载极限之间运行。SFP + 限制主机将容忍图 21 给出的正弦抖动。限制模块主机的测试步骤见 D. 11。

Table 14 Host receiver supporting limiting module input compliance test signal calibrated at C"

Parameters - C"	Symbol	Conditions	Target Value	Max	Units
Crosstalk Source Rise/Fall time (20% to 80%)	Tr, Tf	See D.6	34		ps
Crosstalk Source Amplitude (p-p differential)		See 1	700		mV
AC Common Mode Voltage		See 2 and D.15		7.5	mV (RMS)
99% Jitter	J2	See 3, D.5 , D.11	0.42		UI (p-p)
Pulse Width Shrinkage Jitter	DDPWS	See 4, D.3	0.3		UI (p-p)
Total Jitter	TJ	BER 1×10 ⁻¹² see D.5 , D.11	0.70		UI (p-p)
Eye Mask	X1	Mask hit ratio of 1×10 ⁻¹² , See D.2 , D.11	0.35		UI
Eye Mask Amplitude Sensitivity ^{5,8}	Y1		150		mV
Eye Mask Amplitude Overload ^{6,7,8}	Y2		425		mV
1. Measured at B" with Host Compliance Board and Module Compliance Board pair, see Figure 16 . 2. The tester is not expected to generate this common mode voltage however its output must not exceed this value. 3. Includes sinusoidal jitter, per Figure 21 , when measured with the reference PLL specified by the given standard. 4. In practice the test implementer may trade DDPWS with other pulse width shrinkage from the sinusoidal interferer. 5. Eye mask amplitude sensitivity tests the host receiver with the minimum eye opening expected from a module within the constraint set by Y2. 6. Eye mask amplitude overload tests the host receiver tolerance to the largest peak signal levels expected from the module within the constraint set by Y1. 7. It is not expected that module Rx output will exhibit both maximum peak level and minimum eye opening. 8. Sensitivity and overload are tested separately, see D.11 .					

1. 使用主机兼容板和模块合规板对在 B “测量，见图 16.

2. 测试仪不会产生这种共模电压，但其输出不能超过此值

3. 当使用给定标准规定的参考 PLL 进行测量时，包括正弦曲线抖动，如图 21 所示。

4. 在实践中，测试实施者可以从正弦干扰源交换具有其他脉冲宽度收缩的 DDPWS。

5. 眼罩幅度灵敏度测试主机接收器，预期最小眼图开度 来自 Y2 设置的约束范围内的模块

6. 眼罩幅度过载测试主机接收机对由 Y1 设置的约束中模块所预期的最大峰值信号电平的容限。

7. 预计模块 Rx 输出将不会显示 最大峰值电平和最小眼图开度
8. 灵敏度和过载分别进行测试，见 D. 11。

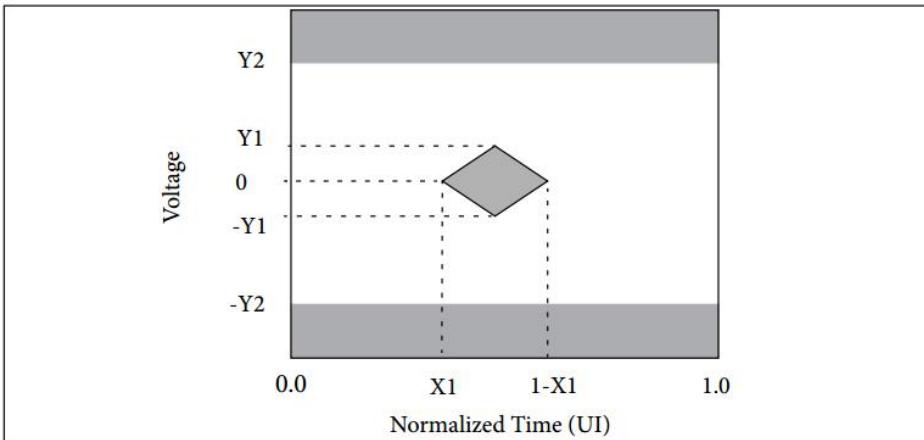


Figure 20 Host Receiver Input Compliance Mask at C'' Supporting Limiting Module

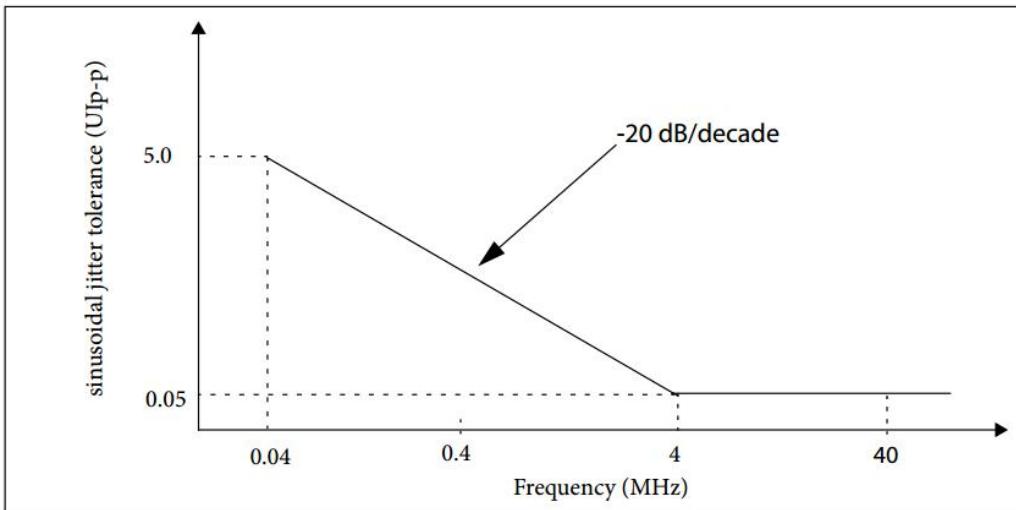


Figure 21 SR and LR Host Sinusoidal Jitter Tolerance Mask

表 15 将支持线性模块的主机的输入一致性测试信号定义为 C “校准”。表 15 中的参数包括与根据 LRM 和 LR 标准定义的光 TP3 测试仪相结合的最坏情况模块的影响。LR 规范由 LR 链路具有高噪声的事实所覆盖，另一方面，LRM 链路具有高失真。D. 13 给出线性主机的测试程序。为了说明的目的，图 24 示出了主机测试校准线，其中定义了用于 LRM 的特定主机测试点。对于 LR 测试条件，SFP + 线性主机应使用图 21 给出的正弦抖动，而应用表 15 中给出的应力条件。对于 LRM 测试条件，主机应按照 IEEE802.3 第 68 节中定义的正弦抖动进行操作，图 52 中的应力和噪声包括 TP3 测试仪中的应力和噪声。

在表 15 中仅定义了每个 LRM 应激源的两个特定测试条件。但是，一般来说，主机必须满足任何兼容模块的运行要求。预计将存在较低的 dWDP 模块。然而，该规范尚未将低于 dWDP 的主机测试条件定义为 0.6 至 0.8dB。在低 dWDP 值下，模块规格和主机要求之间的保护带留给主机实现。

Table 15 Host receiver supporting linear module input compliance test signal calibrated at C"

Parameters - C"	Symbol	Conditions	Min	Target	Max	Units
Crosstalk Source Rise/Fall time (20% to 80%)	Tr/Tf	See 1, D.6		34		ps
Crosstalk Source Amplitude (p-p differential)		See 1		700		mV
AC Common Mode Voltage		See 2 and D.15			7.5	mV (RMS)
Differential Voltage Modulation Amplitude	VMA	for LRM, See 3	180		600	mV
Differential Voltage Modulation Amplitude	VMA	for SR and LR, See 3	150		600	mV
Applications	Symbol	Compliance stress test conditions See 4, 7, and D.13	Target WDP (dBo)	Target RN, (RMS)		WDPi (dBo)
				m	b	
LRM	WDP	High WDP & pre-cursor stressor	Approximately 5.1, see 5	-0.0148	0.0477	4.1
	WDP	High WDP & split-symmetric stressor	5.4			3.9
	WDP	High WDP & post-cursor stressor	Approximately 5.2, see 5			4.2
	WDP	Low WDP & pre-cursor stressor	Approximately 4.7, see 6			4.1
	WDP	Low WDP & split-symmetric stressor	Approximately 4.7, see 6			3.9
	WDP	Low WDP & post-cursor stressor	Approximately 4.8, see 6			4.2
LR	WDP	Low WDP	Approximately 2.6, see 6	-0.02	0.096	1.9

1. 在 B “测量主机合规板和模块合规板对，见图 16.
2. 测试仪不会产生这种共模电压，但其输出不能超过此值。
3. 由于远端发射机和/或模块接收机的过冲，服务中接收信号的峰值电平可能会超过其 VMA。
4. 目标 WDP 用具有 14 个 T / 2 间隔的 FFE 抽头和 5 个 T 间隔的 DFE 抽头的参考接收器进行校准。
5. 图 52 中 TP3 到电适配器的滤波器带宽设置为对分裂对称 TP3 应力源的 WDP 产生 5.4 dBo。相同的过滤器将用于高 WDP 前置光标和后置光标 LRM 应激物 – 它们的近似目标 WDP 值仅用于指导。要测量每个应力源的 WDP，并且目标 RN 由注释 7 中的相关方程确定。
6. 对于所有三个 LRM 低 WDP 条件，图 52 中 TP3 到电适配器的滤波器带宽设置为 7.5 GHz，对于 LR 条件。给出了大致的目标 WDP 值作为指导。要对每个应力源测量 WDP，目标 RN 由注释 7 中的相关方程确定。
7. 目标 RN rms 值由下式给出：RN = m (WDP-WDPi) + b，其中 WDP 为测试仪的实际值和 WDPi 值均基于 TP3 预期的波形。
- 8.

3.6 SFP +模块规格

符合标准 B' 的 SFP +模块发射机规格见 3.6.1。3.6.2 中给出符合要求点 C' 的 SFP +模块接收器规定。

3.6.1 B' 和 B “上的模块发送器输入规范”

表 16 中给出的符合要求点 B' 的 SFP +模块发射机电气规范用模块合规板测量，如 3.3.2 所示。发射机输入阻抗为 100Ω 差分。该模块必须提供差分终端和极限差分到共模转换，以实现质量信号终止和低 EMI。

用作测试发射机输入公差的输入条件的信号在 B “进行校准，通过主机合规板将模块合规板连接到适当的仪器。这在 D.10 中进一步描述。用于该校准的规格列于表 17 中。如图 17 所

示，B “处的测试信号应符合表 17 中定义的掩模，如图 19 所示。

Table 16 Module Transmitter Input Electrical Specifications at B'

Parameters - B'	Symbol	Conditions	Min	Target	Max	Units
Single Ended Input Voltage Tolerance		Referenced to VeeT	-0.3		4.0	V
AC common mode voltage tolerance		See 1, D.15.3	15			mV
Differential Input S-parameter	SDD11	0.01 to 4.1 GHz			See 2	dB
		4.1 to 11.1 GHz			See 3	dB
Reflected Differential to Common Mode Conversion	SCD11	0.01 to 11.1 GHz			-10	dB
1. Measured at B'' with Host Compliance Board and Module Compliance Board pair, see Figure 17 . 2. Reflection Coefficient given by equation $SDD11(\text{dB}) < -12 + 2 \times \text{SQRT}(f)$, with f in GHz. 3. Reflection Coefficient given by equation $SDD11(\text{dB}) < -6.3 + 13 \times \log_{10}(f/5.5)$, with f in GHz						

1. 使用主机兼容板和模块合規板对在 B “测量，见图 17.
2. 等式 $SDD11 (\text{dB}) < -12 + 2 \times \text{SQRT} (f)$ 给出的反射系数，f 为 GHz。
3. 等式 $SDD11 (\text{dB}) < -6.3 + 13 \times \log_{10} (f / 5.5)$ 给出的反射系数，其中 f 为 GHz

Table 17 Module Transmitter Input Tolerance Signal Calibrated at B''

Parameters- B''	Symbol	Conditions	Target Value	Max	Units
Crosstalk Source Rise/Fall time (20% to 80%)	Tr, Tf	See 1, 2 and D.6	34		ps
Crosstalk Source Amplitude (p-p differential)		See 1, 2	1000		mV
AC Common Mode Voltage		See 3 and D.15.2		15	mV (RMS)
Total Jitter	TJ	See D.5		0.28	UI (p-p)
Data Dependent Jitter	DDJ	See D.3	0.10		UI (p-p)
Pulse Width Shrinkage Jitter	DDPWS		0.055		UI (p-p)
Uncorrelated Jitter	UJ	See 4 and D.4	0.023		UI (RMS)
Parameters- B''	Symbol	Conditions	Value	Units	
Eye Mask	X1	Mask hit ratio of 5×10^{-5} , See D.2	0.12	UI	
Eye Mask	X2		0.33	UI	
Eye Mask	Y1		95	mV	
Eye Mask	Y2		350	mV	
1. Measured at C'' with Host Compliance Board and Module Compliance Board pair, see Figure 17 . 2. Since the minimum module output transition time is faster than the crosstalk transition time the amplitude of crosstalk source is increased to achieve the same slew rate. 3. The tester is not expected to generate this common mode voltage however its output must not exceed this value 4. It is not possible to have the maximum UJ and meet the TJ specifications if the UJ is all Gaussian.					

1. 通过主机兼容板和模块合規板对在 C “测量，见图 17.
2. 由于最小模块输出转换时间比串扰转换时间快，所以串扰源的幅度增加以实现相同的转换速率。
3. 测试仪不会产生这种共模电压，但其输出不能超过此值
4. 如果 UJ 均为高斯，则不可能具有最大 UJ 并满足 TJ 规格。

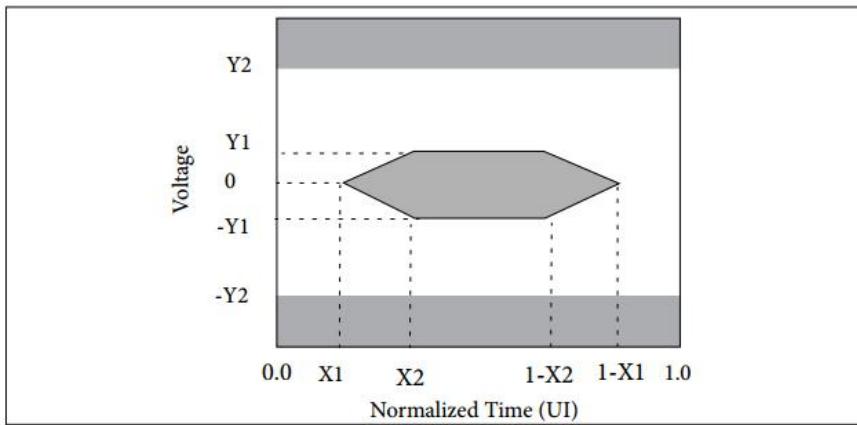


Figure 22 Module Transmitter Differential Input Compliance Mask at B''

3.6.2 模块接收器输出规格在 C'

符合性标准点 C' 的 SFP + 接收机电气输出规范在表 18 中给出。如表 18 所示，模块必须为质量信号终止和低 EMI 提供差分终端和共模终止。

Table 18 Module Receiver Output Electrical Specifications at C'

Parameters - C'	Symbol	Conditions	Min	Target	Max	Units
Crosstalk source rise/fall time (20% to 80%)	Tr, Tf	See 1, D.6 ,		34		ps
Crosstalk Source Amplitude (p-p differential)		See 1		700		mV
Termination Mismatch at 1 MHz	ΔZ_M	See D.16 , Figure 55			5	%
Single Ended Output Voltage Tolerance			-0.3		4.0	V
Output AC Common Mode Voltage		See D.15			7.5	mV (RMS)
Differential Output S-parameter	SDD22	0.01 to 4.1 GHz			See 2	dB
		4.1 to 11.1 GHz			See 3	dB
Common Mode Output Reflection Coefficient	SCC22	0.01 to 2.5 GHz			See 4	dB
		2.5 to 11.1 GHz			-3	dB

1. Measured at B'' with the Host Compliance Board and Module Compliance Board pair, see [Figure 16](#).
 2. Reflection Coefficient given by equation $SDD22(\text{dB}) < -12 + 2 \times \text{SQRT}(f)$, with f in GHz.
 3. Reflection Coefficient given by equation $SDD22(\text{dB}) < -6.3 + 13 \times \log_{10}(f/5.5)$, with f in GHz.
 4. Reflection coefficient given by equation $SCC22(\text{dB}) < -7 + 1.6 \times f$, with f in GHz.

1. 使用主机兼容板和模块合规板对进行 B 测量，见图 16。
2. 等式 $SDD22 (\text{dB}) < -12 + 2 \times \text{SQRT} (f)$ 给出的反射系数，f 为 GHz。
3. 等式 $SDD22 (\text{dB}) < -6.3 + 13 \times \log_{10} (f / 5.5)$ 给出的反射系数，f 为 GHz
4. 由等式 $SCC22 (\text{dB}) < -7 + 1.6 \times f$ ，其中 f 千兆赫。

共模输出反射系数有助于吸收反射和噪声改善 EMI。

限制模块的抖动规格如表 19 所示。图 23 给出了限制模块输出的合规眼罩。线性模块的要求见表 20。

限制和线性模块必须为支持的应用提供足够的低频信号响应，以控制基线漂移的影响。

Table 19 Limiting Module Receiver Output Jitter and Eye Mask Specifications at C'

Parameters - C'	Symbol	Conditions	Min	Target	Max	Units
Output Rise and Fall time (20% to 80%)	Tr, Tf	See D.6	28			ps
Total Jitter	TJ	See D.5, D.12			0.70	UI (p-p)
99% Jitter	J2	See D.5, D.12			0.42	UI (p-p)
Parameters - C'	Symbol	Conditions	Value			Units
Eye Mask	X1	Mask hit ratio of 1×10^{-12} See D.2, D.12	0.35			UI
Eye Mask	Y1		150			mV
Eye Mask	Y2		425			mV

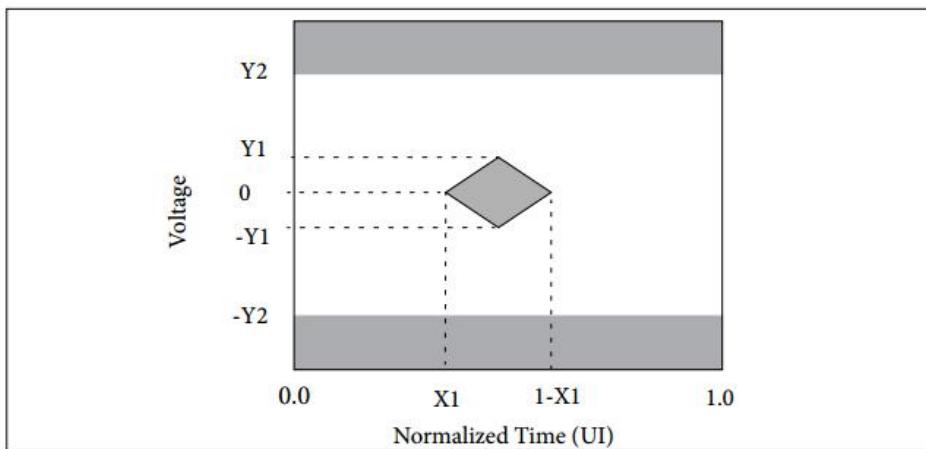


Figure 23 Limiting Module Receiver Differential Output Compliance Mask at C'

线性模块测试参数由表 20 给出。线性模块的符合性方法见附录 D. 14。

Table 20 Linear Module Receiver Specifications at C'

Parameters - C'	Symbol	Conditions	RN				
			m1	b1	m2	b2	RNmax
Relative Noise SR	RN	See D.14.1	-0.02	0.078	-0.02	0.078	0.078
Relative Noise LR			-0.02	0.083	-0.02	0.083	0.083
Relative Noise LRM with pre-cursor stressor			-0.0153	0.0475	-0.0092	0.0457	0.0475
Relative Noise LRM with split-symmetrical stressor			-0.017	0.0475	-0.01	0.0455	0.0475
Relative Noise LRM with post-cursor stressor			-0.0153	0.0475	-0.0092	0.0457	0.0475
Parameters - C'	Symbol	Conditions		Min		Max	Unit
Difference Waveform Distortion Penalty for SR and LR	dWDP	See 1 and D.14.2				2.7	dBo
Difference Waveform Distortion Penalty for LRM	dWDP					1.5	dBo
Differential Voltage Modulation Amplitude For SR and LR	VMA	See D.7		150		600	mV
Differential Voltage Modulation Amplitude For LRM	VMA			180		600	mV
Differential peak to peak voltage	Vpk-pk	See D.14.3				600	mV

1. Defined with reference receiver with 14 T / 2 spaced FFE taps and 5 T spaced DFE taps.

用具有 14 个 T / 2 间隔的 FFE 抽头和 5 个 T 间隔的 DFE 抽头的参考接收器定义。

附录 D. 14.2 定义了线性模块接收机的 RN。RN 的限制是模块测量的 dWDP 的功能，以光分贝

表示。作为示例，LRM 参数之间的权衡如图 24 所示。为了通过，RN 必须低于相应的限制线。dWDP 和 RN 应满足表 20 中的规定，可以通过计算

$$RN \leq \min[(m1 \times dWDP + b1), (m2 \times dWDP + b2), RNmax]$$

对于需要符合性的每个 TP3 测试条件。例如，如果 LRM 需要符合性要求，则模块必须符合所有三种应力的规格，并符合 IEEE Std 802.3 68.6.9 规定的灵敏度和过载测试条件。

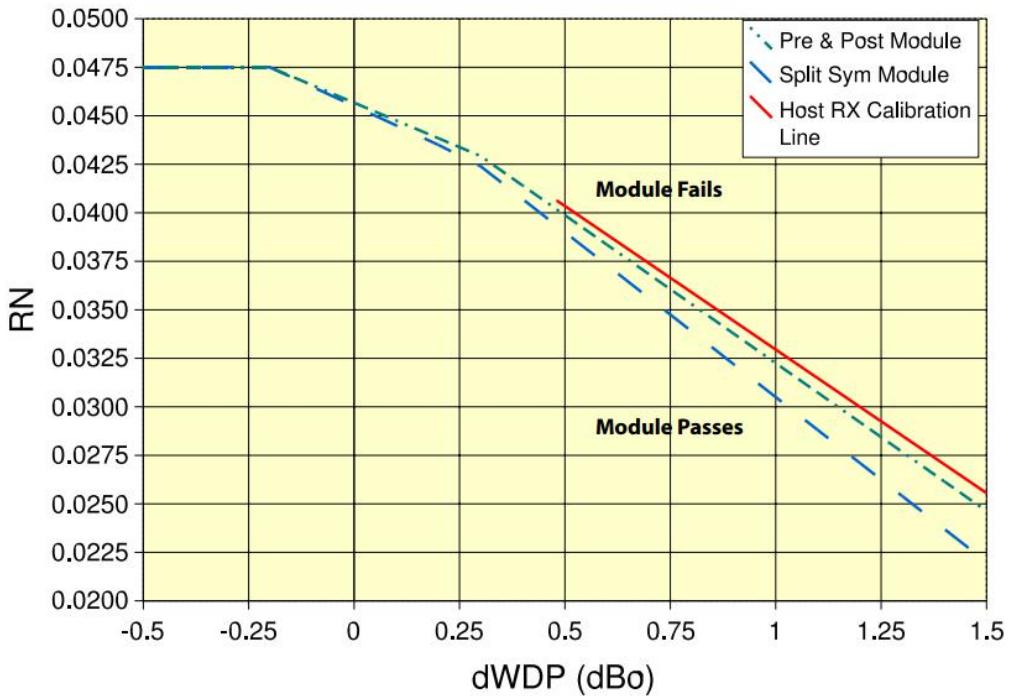


Figure 24 LRM module receiver RN and dWDP compliance and host receiver test calibration

为了说明的目的，图 24 示出了主机测试校准线，其中定义了用于 LRM 的特定主机测试点。主机和模块线路之间的差距是因为主机使用线性损伤进行测试，给定相同的 dWDP，对于主机来说，对于可能来自模块的非线性损伤来说，主机是比较好的。

第 4 章 SFP + 2 线接口

4.1 引言

SFP + 管理接口是一个两线接口，类似于 I2C。SFP + 管理存储器映射由 SFF-8472 指定。所有超过 1 位长的寄存器的命名法是 MSB ... LSB（首先发送 MSB）。

4.2 双线电气规格

SFP + 2 线接口规格见表 21。该规范确保主机与 SFP + SCL / SDA 线路之间的兼容性以及与 I2C 的兼容性。所有电压参考 VeeT。

Table 21 2-Wire Interface Electrical Specifications

Parameter	Symbol	Min.	Max.	Unit	Conditions
Host 2-wire Vcc	Vcc_Host_2w	3.14	3.46	V	see 1
SCL and SDA	V _{OL}	0.0	0.40	V	R _{p2w} ² pulled to Vcc_Host_2w, see 3
	V _{OH}	Vcc_Host_2w - 0.5	Vcc_Host_2w + 0.3	V	R _{p2w} ² pulled to Vcc_Host_2w, see 3
SCL and SDA	V _{IL}	-0.3	VccT*0.3	V	see 3
	V _{IH}	VccT*0.7	VccT + 0.5	V	see 3
Input current on the SCL and SDA contacts	I _I	-10	10	μA	
Capacitance on SCL and SDA I/O contact	C _i ⁴		14	pF	
Total bus capacitance for SCL and for SDA	C _b ⁵		100	pF	At 400 kHz, 3.0 kΩ R _{p2w} , max At 100 kHz, 8.0 kΩ R _{p2w} , max
			290	pF	At 400 kHz, 1.1 kΩ R _{p2w} , max At 100 kHz, 2.75 kΩ R _{p2w} , max

1. The Host 2-wire Vcc is the voltage used for resistive pull ups for the 2 wire interface
 2. R_{p2w} is the pull up resistor. Active bus termination may be used by the host in place of a pullup resistor. Pull ups can be connected to any one of several power supplies, however the host board design shall ensure that no module contact has voltage exceeding module VccT/R + 0.5 V nor requires the module to sink more than 3.0 mA current.
 3. These voltages are measured on the other side of the connector to the device under test.
 4. C_i is the capacitance looking into the module SCL and SDA contacts
 5. C_b is the total bus capacitance on the SCL or SDA bus.

1. 主机 2 线 Vcc 是用于 2 线接口的电阻上拉电压
2. R_{p2w} 是上拉电阻。主机可以使用有源总线终端来代替上拉电阻。上拉电阻可以连接到几个电源中的任一个，但是主板设计应确保模块接触电压不超过 VccT / R + 0.5 V 模块，也不需要模块吸收 3.0mA 以上的电流。
 这些电压是在连接器的另一侧测量到被测器件。
4. C_i 是模块 SCL 和 SDA 触点的电容
5. C_b 是 SCL 或 SDA 总线上的总总线电容。

4.3 SFP + 2 线时序图

SFP + 2 线总线时序如图 25 所示，时钟延长的细节如图 26 所示。表 22 给出了 SFP + 2 线时序规范。

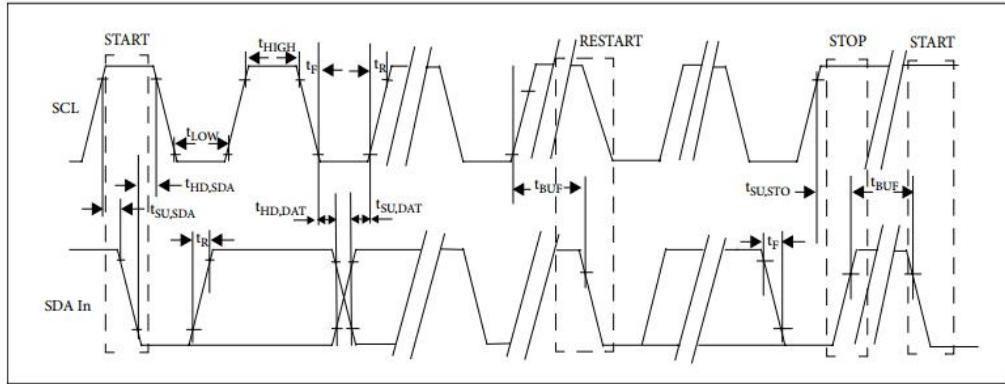


Figure 25 2-wire Timing Diagram

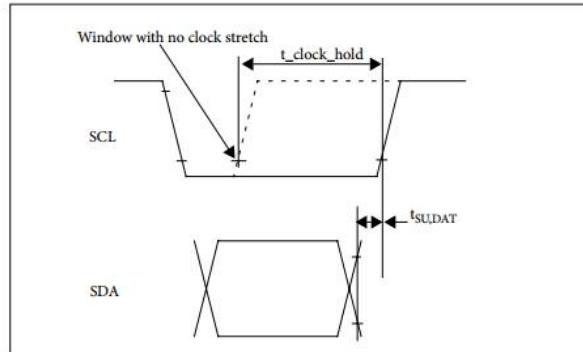


Figure 26 Detail of Clock Stretching

SFP +模块的2线串行接口地址为1010000x (A0h) 和1010001x (A2h)。

Table 22 SFP+ 2-wire Timing Specifications

Parameter	Symbol	Min.	Max.	Unit	Conditions
Clock Frequency	f_{SCL}	0	400	kHz	Module shall operate with f_{SCL} up to 100 kHz without requiring clock stretching. The module may clock stretch with f_{SCL} greater than 100 kHz and up to 400 kHz.
Clock Pulse Width Low	t_{LOW}	1.3		μs	
Clock Pulse Width High	t_{HIGH}	0.6		μs	
Time bus free before new transmission can start	t_{BUF}	20		μs	Between STOP and START and between ACK and ReSTART
START Hold Time	$t_{HD,STA}$	0.6		μs	
START Set-up Time	$t_{SU,STA}$	0.6		μs	
Data In Hold Time	$t_{HD,DAT}$	0		μs	
Data In Set-up Time	$t_{SU,DAT}$	0.1		μs	
Input Rise Time (100 kHz)	$t_{R,100}$		1000	ns	From $(V_{IL,MAX} - 0.15)$ to $(V_{IH,MIN} + 0.15)$
Input Rise Time (400 kHz)	$t_{R,400}$		300	ns	From $(V_{IL,MAX} - 0.15)$ to $(V_{IH,MIN} + 0.15)$
Input Fall Time (100 kHz)	$t_{F,100}$		300	ns	From $(V_{IH,MIN} + 0.15)$ to $(V_{IL,MAX} - 0.15)$
Input Fall Time (400 kHz)	$t_{F,400}$		300	ns	From $(V_{IH,MIN} + 0.15)$ to $(V_{IL,MAX} - 0.15)$
STOP Set-up Time	$t_{SU,STO}$	0.6		μs	

4.4 存储器事务时序

SFP +存储器事务定时在表 23 中给出。

Table 23 SFP+ Memory Specifications

Parameter	Symbol	Min.	Max.	Unit	Conditions
Serial Interface Clock Holdoff “Clock Stretching”	T_clock_hold		500	μs	Maximum time the SFP+ module may hold the SCL line low before continuing with a read or write operation
Complete Single or Sequential Write up to 4 Byte	t _{WR}		40	ms	
Complete Sequential Write of 5-8 Byte	t _{WR}		80	ms	
Endurance (Write Cycles)		10 k		cycles	

4.5 设备寻址和操作

串行时钟 (SCL)：向 SFP +收发器提供 SCL 输入的主机用于将每个 SFP +器件的正边沿时钟数据和每个器件的负沿时钟数据进行正边沿。时钟延长期间，SCL 线可能被 SFP +模块拉低。

串行数据 (SDA)：SDA 联系人是双向串行数据传输。该触点是开漏或集电极开路驱动的，并且可能与其他不同设备地漏极开路或开路集电极设备进行导线连接，只要总总线电容满足表 21 和串行时钟 (SCL) 的要求）也是有线的。

主/从：SFP +收发器仅作为从设备运行。主机必须为 SCL 提供总线主机，并启动所有读/写通信。

设备地址：每个 SFP +都在设备地址 A0h 和 A2h 进行硬连线。请参见 SFF-8472，了解每个收发器内的存储器结构。

时钟和数据转换：SDA 触点通常用外部设备拉高。SDA 联系人上的数据只能在 SCL 低电平时间段内更改。SCL 高电平期间的数据更改表示 START 或 STOP 条件。所有地址和数据字以 8 位字串行发送到 SFP +。SDA 线上的每个字节必须为 8 位长。首先用最高有效位 (MSB) 传输数据。

START 条件：SDA 与 SCL 为高电平的高电平到低电平转换为 START 条件，必须先于任何其他命令。

停止条件：SDA 与 SCL 为高电平的低电平到高电平转换是停止条件。

确认：在发送每个 8 位字之后，发送器释放 SDA 线一段时间，在此期间允许接收机将 SDA 拉低（零）以确认 (ACK) 已接收到每个字。由主机发起的设备地址字节和写入数据字节应由 SFP +收发器确认。由 SFP +收发器发送的读取数据字节应由主机确认，除了最后读取的字节外，主机应以 STOP 而不是 ACK 进行响应。

非应答 (NACK)：当从站不能接收或发送时，由于例如执行较高优先级功能，则从机将数据线置为高电平。当从机在 ACK 时钟脉冲期间离开数据线为高电平时，产生 NACK。然后，主机可以产生停止条件以中止传输或重复 START 条件以开始新的传输。

在传送时，主机 - 接收器必须通过在从机从时钟输出的最后一个字节上产生一个确认信号来向从机发送器发出数据的结束信号。当主器件在 ACK 时钟脉冲期间离开数据线 High 时，产生 NACK。从站发送器必须释放数据线，以允许主站产生 STOP 或重复 START 条件。

内存（管理接口）复位：协议中断后，掉电或系统复位，SFP +管理接口可以复位。内存复位仅用于复位 SFP +收发器管理界面（更正挂起总线）。没有其他收发器功能被暗示。

1) 时钟最多 9 个周期。

2) SCL 为高电平时，在每个周期内寻找高电平。

3) 在 SDA 为高电平时创建 START 条件。

器件寻址：SFP +器件需要一个 8 位器件地址字，然后按起始条件启用读或写操作。选择 A0h 或 A2h 的设备地址如表 24 所示。这对所有 SFP +设备都是常见的。

Table 24 SFP+ Device Address Word

Address	(MSB)							Address Select	R/W select (LSB)
A0h	1	0	1	0	0	0	0	0	x
A2h	1	0	1	0	0	0	0	1	x

器件地址字的 LSB 是读/写操作选择位。如果该位置为高电平，并且如果该位置低，则启动写操作，则启动读操作。

4.6 读/写功能

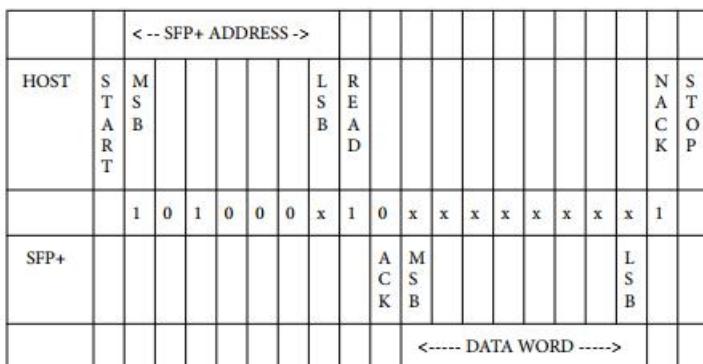
本节将介绍从两种不同 SFP+ 地址 A0h 和 A2h 读取和写入的方法。它们对于两个不同的地址是相同的，除了适当的地址用于每次读取和写入。为了简单起见，地址标记为 101000x，对于 A0h 地址，x 为 0，对于 A2h 地址为 1。请注意，这里的地址只有 7 位。为了完成完整的 8 位字节，一个或零被添加到地址的结尾，这取决于读或写操作是否发生。

4.6.1 SFP+ 存储器地址计数器（读和写操作）

SFP+ 设备为每个地址保留两个内部数据字地址计数器。这些计数器包含在最近的读取或写入操作期间访问的最后一个地址，增加一个。只要收发器接收或发送数据字，地址计数器就会递增。只要维护 SFP+ 电源，此操作在操作之间保持有效。读写操作中的地址“翻转”是从 256 字节存储器页面的最后一个字节到同一页面的第一个字节。

4.6.2 读操作（当前地址读）

当前地址读取操作仅需要发送器件地址读取字（10100001 或 10100011），图 27. 一旦 SFP+ 确认，当前地址数据字被串行输出。主机不响应确认，但一旦读取数据字，就会产生 STOP 条件。

**Figure 27 Current Address Read Operation**

4.6.3 读操作（随机读）

随机读取操作需要在目标字节地址中加载“虚拟”写入操作。图 28. 这是通过以下顺序完成的：目标 8 位数据字地址是按照器件地址写入字（10100000 或 10100010）发送的，并得到 SFP+ 的承认。然后，主机产生另一个 START 条件（中止虚拟写入而不增加计数器）和通过发送设备读取地址（10100001 或 10100011）读取的当前地址。SFP+ 确认设备地址并对所请求的数据字进行串行计时。主机不响应确认，但一旦读取数据字，就会产生 STOP 条件。

	<-- SFP+ ADDRESS -->					<- MEMORY ADDRESS -->					<-- SFP+ ADDRESS -->																				
HOST	S T A R T	M S B			L S B	W R I T E	M S B			L S B	S T A R T	M S B			L S B	R E A D								N A C K	S T O P						
	1	0	1	0	0	0	x	0	0	x	x	x	x	x	x	0	1	0	1	0	0	0	x	1	0	x	x	x	x	x	1
SFP+								A C K							A C K									A C K	M S B				L S B		

Figure 28 Random Read

4.6.4 读操作（顺序读）

顺序读取由读取图 29 的当前字地址或读取图 30 的随机地址启动。为了指定顺序读取，主机在每个数据字之后响应一个确认（而不是一个 STOP）。只要 SFP +接收到确认，它将连续地排除顺序数据字。当主机以 NACK 和 STOP 而不是确认响应时，该序列终止。

	<-- SFP+ ADDRESS -->					<- MEMORY ADDRESS -->					<-- SFP+ ADDRESS -->																				
HOST	S T A R T	M S B			L S B	R E A D																			N A C K	S T O P					
	1	0	1	0	0	0	x	1	0	x	x	x	x	x	x	0	x	x	x	x	x	x	x	0	x	x	x	x	x	1	
SFP+								A C K								L S B	M S B							L S B	M S B				L S B		

Figure 29 Sequential Address Read Starting at Current Word Address

	<- SFP+ ADDRESS -->					<- MEMORY ADDRESS -->					<- SFP+ ADDRESS -->																				
HOST	S T A R T	M S B			L S B	W R I T E	M S B			L S B	S T A R T	M S B			L S B	R E A D								N A C K	S T O P						
	1	0	1	0	0	0	x	0	0	x	x	x	x	x	x	0	1	0	1	0	0	0	x	1	0	x	x	x	x	x	1
SFP+								A C K							A C K									A C K	M S B				L S B		

Figure 30 Sequential Address Read Starting with Random Read

4.6.5 写操作 (BYTE WRITE)

写操作需要在器件地址写字 (10100000 或 10100010) 之后的 8 位数据字地址和确认图 31. 当接收到该地址时，SFP +将再次以零 (ACK) 响应以确认，然后时钟在前 8 位数据字。在接收到 8 位数据字之后，SFP +将输出零 (ACK)，并且主机必须以写入周期开始的 STOP 条件终止写入序列。如果发送 START 条件代替 STOP 条件 (即根据 I2C 规范重复启动)，写入将中止，并且在该操作期间接收到的数据被丢弃。在收到正确的 STOP 条件后，SFP +将内部定时写入周期 tWR 输入到内部存储器。在写入周期期间，SFP +禁止其管理接口输入，并且在写入完成之前不会响应或确认后续命令。请注意，SFP +写命令不支持使用重复启动条件的 I2C “组合格式”。

		<-- SFP+ ADDRESS -->					<- MEMORY ADDRESS ->					<---- DATA WORD ---->								
HOST		S T A R T	M S B				L S B	W R I T E	M S B					L S B	M S B				L S B	S T O P
			1	0	1	0	0	0	x	0	0	x	x	x	x	x	x	x	0	
SFP+									A C K										A C K	

Figure 31 SFP+ Write Byte Operation

4.6.6 写操作（顺序写）

SFP+最多支持8个连续的字节写入，而不会重复发送SFP+地址和存储器地址信息。“顺序”写入以与单字节写入相同的方式发起，但主机在第一个字被计时后不发送停止条件，而是在SFP+确认收到第一个数据字之后，主机可以传送多达七个数据字。SFP+应在收到的每个数据字后发送确认。主机必须以停止条件终止顺序写入序列，否则写操作将中止并丢弃数据。请注意，SFP+写命令不支持使用重复启动条件的I2C“组合格式”。

	<-- SFP+ ADDRESS -->					<- MEMORY ADDRESS ->					<--DATA WORD 1-->			<-- DATA WORD 2 -->			<----- DATA WORD 3 ----->			<----- DATA WORD 4 ----->		
H O S T S T R T	S T A B	M S B	L S B	W R I T E	M S B				L S B	M S B			L S B	M S B		L S B	M S B		L S B	S T O P		
		1	0	1	0	0	0	x	0	0	x	x	x	x	x	x	x	0	x	0		
SFP+									A C K									A C K			A C K	

Figure 32 Sequential Write Operation

4.6.7 写操作（确认调查）

一旦SFP+内部定时写周期开始（总线上忽略输入），确认轮询可用于确定写操作何时完成。这涉及发送START条件，后跟设备地址字。只有内部写周期完成，SFP+才能对后续命令进行应答，表明读或写操作可以继续。

附录 A SFI 频道推荐（信息）

A.1 SFI 主机通道一般建议

推荐的SFI通道的目的是为主机设计人员提供指导。推荐的SFI主机通道由PCB走线，通孔和SFF-8083定义的20位增强型连接器组成。PCB走线推荐满足 $100\pm10\Omega$ 差分阻抗，额定7%的差分耦合。

SFI通道S参数从ASIC发送器焊盘定义为主机兼容板输出，并从C的主机兼容板输入定义为ASIC输入焊盘。

请参见SFF INF-8077i，用于差分S参数测量和转换。

A.2 SFI 通道转移建议

SFI最大信道传输预算分配为9.0 dB，如表25所示。

Table 25 SFI Host Interconnect Budget

Parameter	Symbol	Conditions	Min	Max	Units
Channel Transfer Including Connector measured with Host Compliance Board (see Appendix C)	SDD21	at 5.5 GHz, see 1	-6.5	-2.25	dB
Penalty for reflections and other impairments			-2.5		dB
Total Channel Link Budget When Measured with HCB			-9.0	-2.25	dB
1.SFI channel response (SDD21) is defined from chip pads to compliance point B or C.					

为了减轻多重反思，SFI 还建议最低限度的通道。对于最小和最大通道损耗的这一要求将产生一个近似图 33 所示的掩模。包括纹波的响应应在通道响应掩码内。

SFI 推荐通道的测量与 ASIC 部分的主机合规委员会删除和测量。通过将 4 端口网络分析仪连接到主机合规板上的 ASIC 焊盘和 SMA 连接器来测量 S 参数。

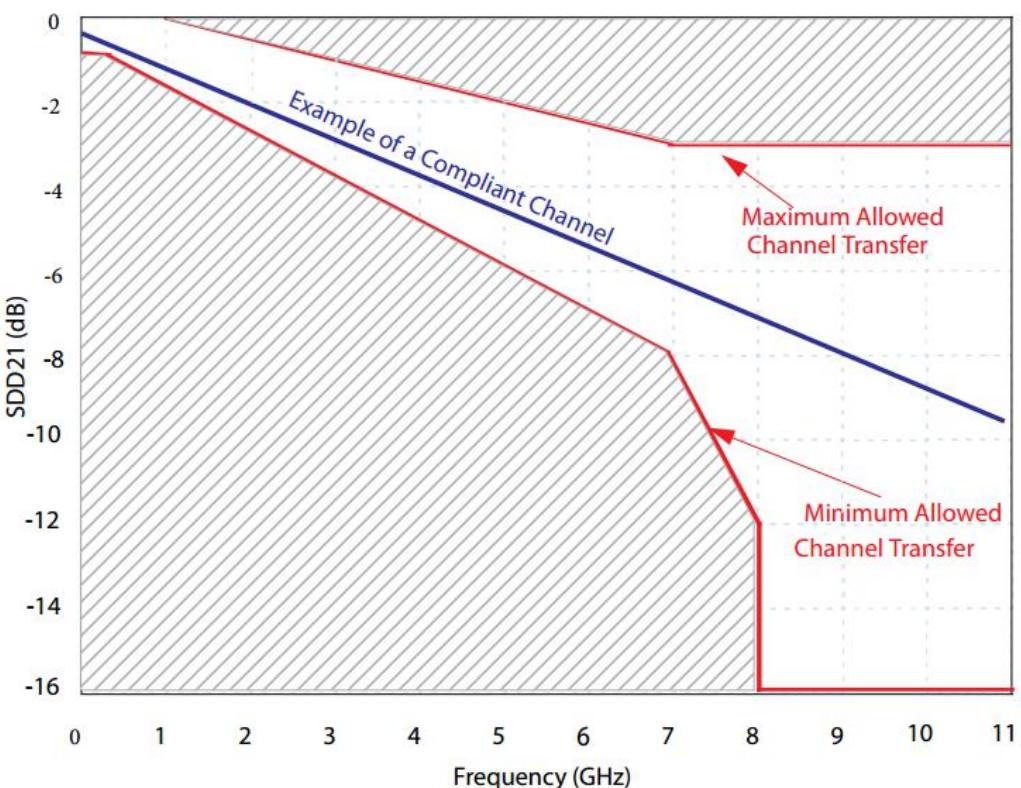


Figure 33 Example of SFI Host Recommended Channel

最小通道传输 SDD21（最大损耗）掩模轮廓由下式给出：

$$SDD21(dB) = -0.73 \quad f \text{ from } 0.01 \text{ GHz to } 0.25 \text{ GHz}$$

$$SDD21(dB) = (-0.108 - 0.845 \times \sqrt{f} - 0.802 \times f) \quad f \text{ from } 0.25 \text{ GHz to } 7 \text{ GHz}$$

$$SDD21(dB) = 20 - 4 \times f \quad f \text{ from } 7 \text{ GHz to } 8 \text{ GHz}$$

$$SDD21(dB) \geq -16 \quad f \text{ from } 8 \text{ GHz to } 11.1 \text{ GHz}$$

where f is the frequency in GHz.

SFI 通道最大转移由下式给出：

$$SDD21(dB) = 0 \quad f \text{ from } 0.25 \text{ GHz to } 1.0 \text{ GHz}$$

$$SDD21(dB) = 0.5 \times (1 - f) \quad f \text{ from } 1 \text{ GHz to } 7 \text{ GHz}$$

$$SDD21(dB) = -3 \quad f \text{ from } 7 \text{ GHz to } 11.1 \text{ GHz}$$

where f is the frequency in GHz.

A. 3 SFI 频道返回失败建议

SFI 通道的反射系数 SDD11 和 SDD22 建议满足以下等式：

$$SDDxx(dB) \leq -14.5 \quad f \text{ from } 0.01 \text{ to } 5 \text{ GHz}$$

$$SDDxx(dB) \leq -23.25 + 8.75 \times \left(\frac{f}{5} \right) \quad f \text{ from } 5 \text{ to } 11.1 \text{ GHz}$$

where f is the frequency in GHz and SDDxx is either SDD11 or SDD22.

A. 4 SFI 通道 RIPPLE 建议

SFI 通道纹波定义为测量的插入响应 ($SDD21_m$) 和拟合传递响应 ($SDD21_f$) 之间的差值，全部以 dB 为单位：

$$Ripple(dB) = SDD21_m - SDD21_f$$

通道纹波幅值应符合下列公式：

$$|Ripple(dB)| \leq 0.15 + 0.1 \times f$$

其中变量 f (频率) 为 GHz。在 0.25GHz 至 5.5GHz 的频率范围内必须满足上述方程式。

$SDD21_m$ 是测量的通道差分传递响应。

$SDD21_f$ 是拟合的通道差分传递响应，由下式给出：

$$SDD21_f = [-a - b \times \sqrt{f} - c \times f]$$

其中 a , b 和 c 由如下定义的 250MHz 至 5.5GHz 的频率范围上的最小二乘拟合确定。频率步长的大小应不大于 50 MHz。

测量数据将提供频率矢量 f 和增益矢量, G 由下式定义

$$G = 20 \times \log_{10}[|SDD21|]$$

从频率变量 f 创建一个名为 X 的输入向量数组

$$X = \begin{bmatrix} 1 & \sqrt{f_0} & f_0 \\ 1 & \sqrt{f_1} & f_1 \\ \cdot & \cdot & \cdot \\ 1 & \sqrt{f_n} & f_n \end{bmatrix}$$

接下来使用矩阵数学计算系数向量

$$C = [X^T \times X]^{-1} X^T \times G$$

计算的系数值由下式给出

$$\bullet a = -C(1) \bullet b = -C(2) \bullet c = -C(3)。$$

附录 B SFI ASIC / SERDES 规范（信息）

B. 1 引言

SFI ASIC / SerDes 规格信息丰富。SFI ASIC / SerDes 参考点 A 的发射机规格见 B. 2。SFI ASIC / SerDes 参考点 D 的接收机规格见 B. 3。与附录 A 的推荐频道一起使用时，符合本附录规定的 ASIC / SerDs 将满足 B.3.5.1 和 C.3.5.2 的主机规格，但是满足这些主机规范的任何实现都是兼容的 SFP + 实现，独立于 ASIC / SerDes 和/或通道是否符合附录 A 和本附录中的规格。这允许通道和 SerDes 性能和成本之间的灵活性。

B. 2 SFI ASIC / SERDES 发射机输出规范（信息）

驱动器基于低电压高速驱动器逻辑，标称差分阻抗为 100Ω 。参考点 A 的 SFI 发射机电气规范在表 26 中给出。源必须为质量信号终止和低 EMI 提供差分和共模终止。

可能需要诸如去加重之类的预补偿来减轻遵守点 B 处的数据依赖性抖动。

A 中的所有参数用 C.1.3 所示的 ASIC / SerDes 测试板进行测量。

不提供 A 处的抖动规范，主机发射机与主机 SFP + 通道配合必须提供参考点 B，表 12 给出的抖动规范。

B. 3 SFI ASIC / SERDES 接收器输入规范 D（信息）

SFI ASIC / SerDes 接收机电气规范在表 27 中给出，并在参考点 D 进行测量。D 上的所有规格用 ASIC / SerDes 测试板 C.1.3 上的 SerDes 进行测量。标称接收机输入阻抗为 100Ω 差分。负载必须提供差分终端，并避免对于高质量信号终端和低 EMI 的共模转换的显着差异。D 的必要抖动性能由实施者根据 C 的规格确定。

Table 26 ASIC/SerDes Transmitter Output Electrical Specifications at A

<i>Parameter - A</i>	<i>Symbol</i>	<i>Conditions</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Units</i>
Differential Output Voltage	V _{diff}				see 1	mV (p-p)
Termination Mismatch at 1 MHz	ΔZ _M	See D.16			5	%
Single Ended Output Voltage Range			-0.3		4.0	V
Output Rise and Fall time (20% to 80%)	Tr,Tf	See D.6	24			ps
Output AC Common Mode Voltage		See D.15			12	mV (RMS)
Differential Output S-parameter ²	SDD22	0.01 to 2.8 GHz			-12	dB
		2.8 to 11.1 GHz			see 3	dB
Common Mode Output S-parameter ⁴	SCC22	0.01 to 4.74 GHz			-9	dB
		4.74 to 11.1 GHz			see 5	dB
1. Host ASIC output must be set in combination of host channel to meet Y1 and Y2 levels of Table 12 . 2. Reference differential impedance is 100 Ω 3. Differential Output S-parameter is given by equation SDD22(dB)= -8.15 + 13.33 log ₁₀ (f/5.5), with f in GHz. 4. Reference common mode impedance is 25 Ω 5. Common mode output S-parameter is given by equation SCC22(dB)= -8.15 + 13.33 log ₁₀ (f/5.5), with f in GHz.						

1. 主机 ASIC 输出必须与主机通道组合，以满足表 12 的 Y1 和 Y2 电平。
2. 参考差分阻抗为 100 Ω
3. 差分输出 S 参数由等式 $SDD22 \text{ (dB)} = -8.15 + 13.33 \log_{10}(f / 5.5)$ 给出，f 为 GHz。
4. 参考共模阻抗为 25 Ω
5. 共模输出 S 参数由等式 $SCC22 \text{ (dB)} = -8.15 + 13.33 \log_{10}(f / 5.5)$ 给出，f 为 GHz。

Table 27 ASIC/SerDes Receiver Electrical Input Specifications at D

<i>Parameter - D</i>	<i>Symbol</i>	<i>Conditions</i>	<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Units</i>
Differential Input Voltage Swing Supporting Limiting Module	V _{diff}	See 1			850	mV (p-p)
Differential Input Voltage Modulation Amplitude Supporting Linear Module	V _{MA}	See 1, 5, D.7			600	mV
AC Common Mode Voltage Tolerance		see D.15.3	15			mV (RMS)
Differential Input S-parameter ²	SDD11	0.01 to 2.8 GHz			-12	dB
		2.8 to 11.1 GHz			see 3	dB
Differential to Common Mode Input Conversion S-parameter ⁴	SCD11	0.01 to 11.1 GHz			-15	dB
1. Maximum value represents maximum input level to be tolerated by receiver. 2. Reference differential impedance is 100 Ω. 3. Response is given by equation SDD11(dB)= -8.15 + 13.33 log ₁₀ (f/5.5), with f in GHz. 4. The test set common mode reference impedance is 25 Ω. 5. Peak levels may exceed VMA due to overshoot of the far end transmitter.						

1. 最大值表示接收器允许的最大输入电平。
2. 参考差分阻抗为 100 Ω。
3. 响应由等式 $SDD11 \text{ (dB)} = -8.15 + 13.33 \log_{10}(f / 5.5)$ 给出，f 为 GHz。
4. 测试仪共模参考阻抗为 25 Ω。
5. 由于远端发射机的过冲，峰值电平可能会超过 VMA。

附录 C 应用参考板 (NORMATIVE)

为了提供可重现和测量的测试结果，本文档定义了 3 个具有 SMA 接口的测试板，便于连接到测试设备。一个参考板设计用于测试 ASIC / SerDes，一个用于测试主机的参考板 (HCB) 和用于测试模块的另一个参考板 (MCB)。SMA 接口定义了本文档中的所有主机，模块和 ASIC / SerDes 规范和建议，以及配对对合規板的规格。本附录详细介绍了这些测试卡。参考测试板的目标是：

- 满足电气层面互操作性的需要。
- 允许对 ASIC / SerDes，主机和模块进行独立验证。
- PCB 走线的目标是 100Ω 差分阻抗，额定 7% 差分耦合。

在高速系统中测试符合规格的细节是需要考虑的。使用通用测试板，可以在供应商之间实现可预测，可重复和一致的结果，有助于确保测试中的一致性和真正符合性。

C.1 合規板

主机合規委员会，模块合規板和 ASIC 测试板由具有特定高性能特性的 PCB 走线定义的损耗制成。合規板旨在缓解构建具有零损耗的实际测试板。SFI 规范结合了非零损耗参考测试板的作用，可提高回波损耗并稍微减慢边沿。

使用不符合标准的测试板进行的测量是无效的，并且不能从结果中得出有效的结论。

C.1.1 主机兼容板传输特性

SDD21 从 SFF-8083 配对焊盘（不包括这些配对焊盘）定义到 SMA 连接器的配对接口。主机合規板是被动测试板，SDD21 和 SDD12 应相同。除 SFF-8083 连接器外，主机合規板 PCB 的建议响应由下式给出：

$$SDD21(dB) = (-0.01 - 0.25 \times \sqrt{f} - 0.0916 \times f) \quad \text{from 0.01 to 15 GHz}$$

其中 f 是以 GHz 为单位的频率。从 10 MHz 到 11.1 GHz，测量的传输响应和规定的 SDD21 (dB) 之间的差异应在传输响应的 $\pm 15\%$ (dB) 或 ± 0.1 dB (以较大者为准)。对于频率 > 11.1 GHz 和高达 15 GHz，测量的传输响应与指定的 SDD21 (dB) 之间的差异应小于传输响应的 $\pm 25\%$ (dB)。

通道传输特性大致如图 34 所示。

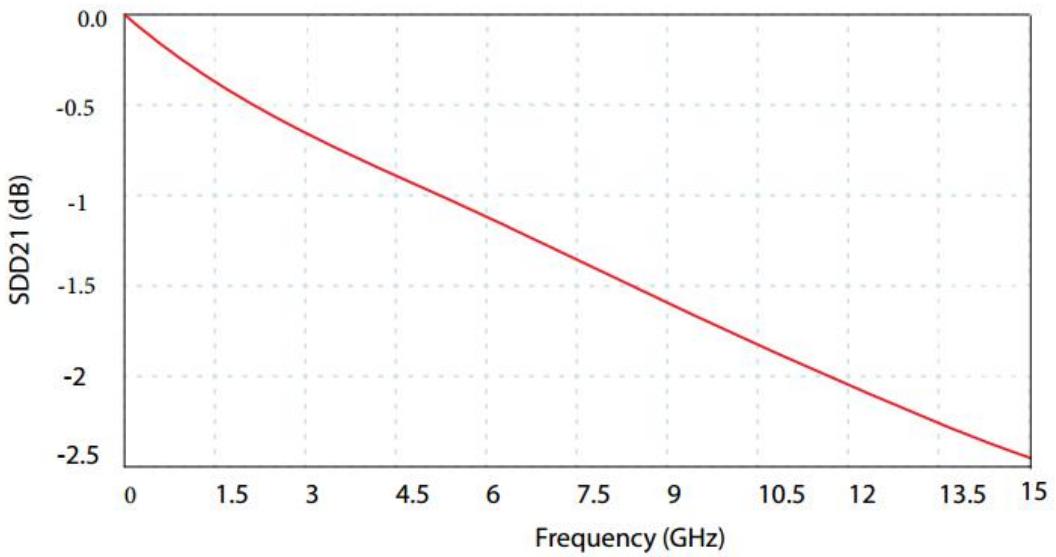


Figure 34 Approximate Response of Host Compliance Board

SFF-8083 连接器响应由 SFF-8083 定义。

C. 1.2 模块合规板传输特性

SDD21 从 SFF-8083 连接器（不包括其焊盘）定义到 SMA 连接器的配对接口。主机合规板是被动测试板，SDD21 和 SDD12 应相同。除 SFF-8083 连接器外，模块合规板 PCB 的推荐响应由以下公式给出：

$$SDD21(dB) = (-0.00045 - 0.1135 \times \sqrt{f} - 0.04161 \times f) \quad \text{from 0.01 to 15 GHz}$$

其中 f 是以 GHz 为单位的频率。在规定的频率范围（10 MHz 至 11.1 GHz）之间，测量的传输响应与规定的 SDD21 (dB) 之间的任何差异应为传输响应的±15%，单位为 dB 或±0.1 dB，以较大者为准。对于频率> 11.1 GHz 和高达 15 GHz，测量的传输响应和指定的 SDD21 (dB) 之间的差异应小于传输响应的±25% (dB)。

频道传输响应大致如图 35 所示。

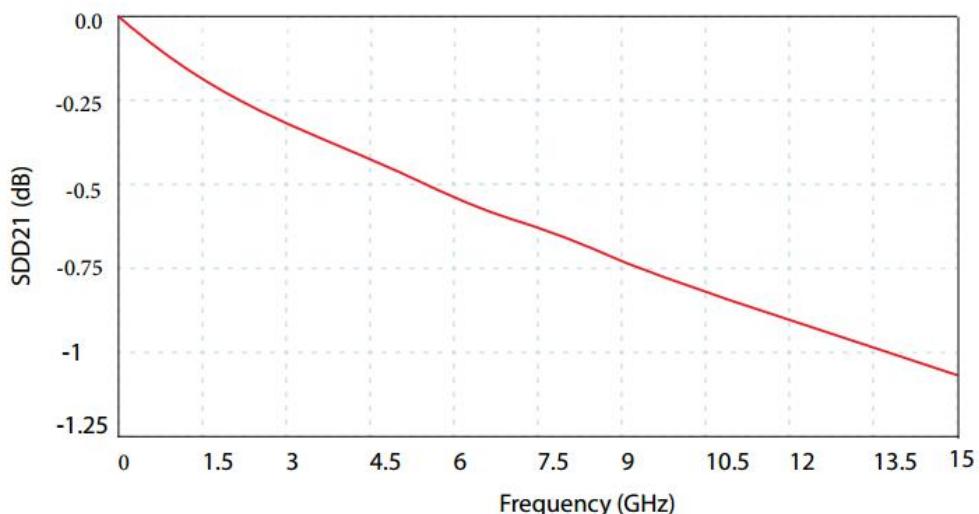


Figure 35 Approximate Transfer Response of Module Compliance Board

SFP +连接器响应由 SFF-8083 定义。

C. 1.3 ASIC / SERDES 测试板传输特性

ASIC / SerDes 测试板 PCB 的建议响应与模块合规板（见 C. 1.2）相同。

C. 2 HOST 遵从板

主机合规委员会允许主机供应商之间可预测，可重复和一致的结果，并有助于确保主机测试中的一致性和真正的兼容性。主机合规委员会由思博伦通信提供。

C. 2. 1 主机兼容板材料和层叠体

主机合规板堆叠如图 36 所示，是六个金属层 Rogers R04350B®/ FR4-6 材料。该板符合 SFF-8432 和 SFF-8083 的要求。SFI 信号在信号层 1 上路由，低速信号和控制在信号层 6 上路由。

1. Top Layer	Signal	17 μm/0.5 oz Copper plated to 1 oz min + 1.25 μm Nickel + 2.5 μm Gold
0.168 mm / 6.6 mils Rogers RO4350B		
2. Layer	Vee	34 μm/1 oz Copper
0.14 mm / 5.5 mils FR4-6		
3. Layer	Signal 1	17 μm/0.5 oz Copper
0.178 mm / 7 mils FR4-6		
4. Layer	Signal 2	17 μm / 0.5 oz Copper
0.14 mm / 5.5 mils FR4-6		
5. Layer	Power	34 μm/1 oz Copper
0.168 mm / 6.6 mils Rogers RO4350B		
6. Bottom Layer	Signal	17 μm/0.5 oz Copper plated to 1 oz min + 1.25 μm Nickel + 0.25 μm Gold

Figure 36 Host Compliance Board stack-up

C. 2. 2 主机合规板块列表

主机合规委员部分列表如下。

Table 28 Host Compliance Board Part List

Qty	RefDes	Value	Description	Example Part Number
2	C5, C6	0.1 uF	Ceramic Capacitor	10% X7R 10V 0402 SMT LFR
3	D1, D2, D3	GREEN	LED Single Green	120 DEG 0603 SMT LFR
2	D4, D5	Blue	LED Single Blue	120 DEG 0603 SMT LFR
1	J1	Conn3	Connector Header 3 Pins Straight	Tyco PN#3-644695-3
4	J2, J3, J4, J5	EDGE SMA	SMA Connector Jack R/A	Rosenberger PN# 32K243-40ME3
1	J6	CONN1X3P	Connector Header 3 Pins 100 mil Pitch	Molex PN# 22-23-203
5	R1, R2, R3, R4, R5	1.0 kΩ	Resistor	RES 1.00K 1% 1/10W 0603 SMT LFR
1	SW1	SPST	SW 4 Position Dip Switch SMT	ITT Cannon PN# TDA04H0SB1

注：表 28 不使用所有的序列号。

C. 2. 3 HCB GERBER 文件

适用于主机合规板的 Gerber 文件位于 SFF-8434 中。

C. 2. 4 主机合规板示意图

主机合规委员会的原理图如图 37 所示。

原理图中的 Mod-DEF0 如表 3 所定义，为 Mod_ABS，原理图中的 AS0 / AS1 为表 3 所定义的 RS0 / RS1。

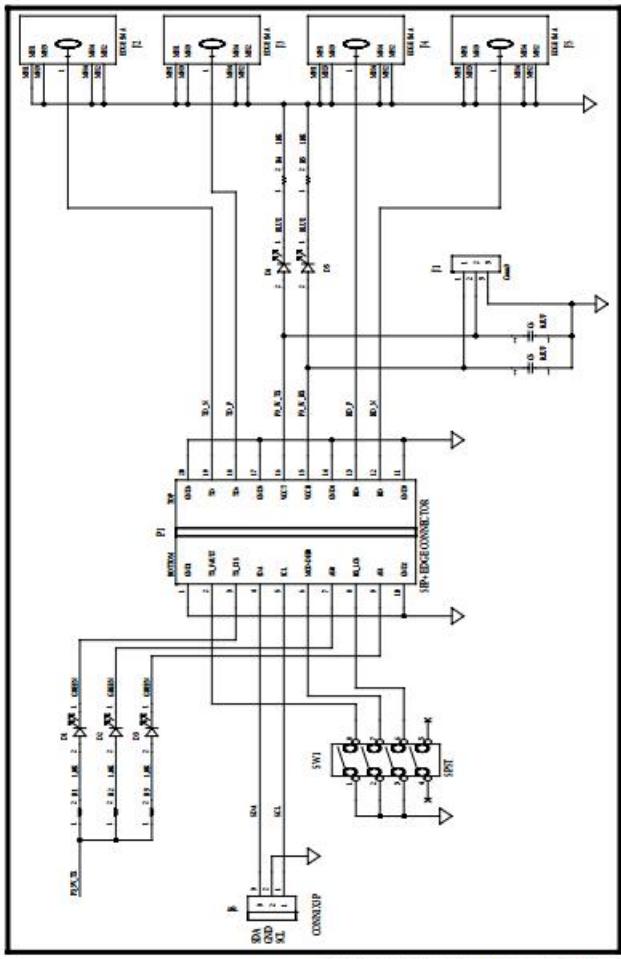


Figure 37 Schematic of the Host Compliance Board

C. 3 模块合规板

模块合规板在模块供应商之间实现可预测，可重复和一致的结果，有助于确保模块测试中的一致性和真正符合性。模块合规板由 Broadcom Corporation 提供。

模块合规板中高速走线的焊盘为 1.1×0.4 mm，以提高 SFF-8083 中定义的 2.0×0.5 mm 的高频性能，以提高可制造性。有关详细的地理信息，请参阅 C. 3. 4 中的 Gerber 文件。

C. 3. 1 模块合规板材和层叠层

图 38 所示的模块合规性板堆叠基于具有十个金属层的 Rogers R04350B / FR4-6 的层压板。SFI 信号在信号层 1 上布线，低速信号和控制在信号层 8 和 10 上布线。

1. Top Layer	Signal	17 μm /0.5 oz Copper + 1.25 μm Nickel + 2.5 μm Gold
0.168 mm / 6.6 mils Rogers RO4350B		
2. Layer	Vee	17 μm /0.5 oz Copper
0.382 mm / 15 mils FR4-6		
3. Layer	Vee	34 μm /1 oz Copper
0.076 mm / 3 mils FR4-6		
4. Layer	VccR	34 μm /1 oz Copper
0.076 mm / 3 mils FR4-6		
5. Layer	Vee	34 μm /1 oz Copper
0.076 mm / 3 mils FR4-6		
6. Layer	VccT	34 μm /1 oz Copper
0.076 mm / 3 mils FR4-6		
7. Layer	Vee	34 μm /1 oz Copper
0.076 mm / 3 mils FR4-6		
8. Layer	Signal	34 μm /1 oz Copper
0.382 mm / 15 mils FR4-6		
9. Layer	Vee	17 μm /0.5 oz Copper
0.168 mm / 6.6 mils Rogers RO 4350B		
10. Bottom Layer	Signal	17 μm Cu / 0.5 oz Copper+ 1.25 μm Nickel + 0.25 μm Gold

Figure 38 Module Compliance Board stack up

C. 3. 2 模块合规板示意图

模块合规板示意图如图 39 所示。

原理图中的 Mod-DEF0 如表 3 所定义，为 Mod_ABS，原理图中的 AS0 / AS1 为表 3 所定义的 RS0 / RS1。

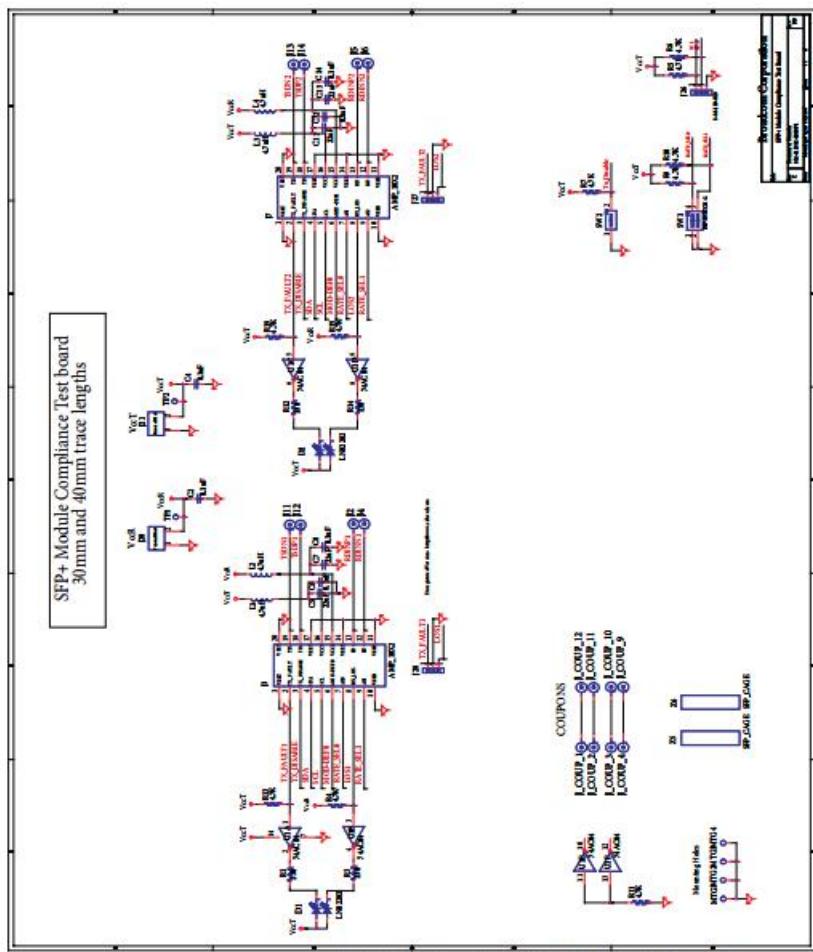


Figure 39 Schematic of The Module Compliance Board

C. 3.3 模块合规板块列表

模块合规委员会的组件部分列表如下。

Table 29 Module Compliance Board Part List

Qty	RefDes	Value	Description	Example Part Numbers
6	C2, C4, C6, C8, C12, C14	0.1uF	Ceramic Capacitors	Murata/GRM188R71C104MA01D
4	C5, C7, C11, C13	22 uF	Ceramic Capacitors	Murata/GRM21BR60J226ME39K
4	D1, D2, D4, D5	RED	LED	Panasonic/LNJ208R8ARA
12	J_COUP_2, J2, J_COUP_4, J4, J5, J6, J_COUP_9, J_COUP_11, J12, J14, J_COUP_1, J_COUP_3, J_COUP_10, J11, J_COUP_12, J13	SMA	SMA Connector R/A	Huber&Suhner/92_SK-U50-0-3/199_NE
2	J3, J7	Con_10x2	SFF-8083 Connector	Tyco 1888247 or Molex 74441
2	J20, J21	Terminal Block	Terminal Bloc	On-Shore-Tech/EDZ5002DS
3	J26, J27, J28	S-M..100-1X3	PCB Header	Molex/22-10-2031
4	L1, L2, L3, L4	4.7 uH	Inductor	Toko/A914BYW-4R7M
4	R1, R3, R12, R14	130 Ω	Resistors	Walsin/WR06X131JTL
10	R4, R5, R6, R7, R9, R10, R11, R13, R15, R19	4.7 kΩ	Resistors	Walsin/WR06X472JTL
1	SW1	DIP-SWITCH-2	DipSwitch	CT2062-ND
1	SW2	sw_pb_ck-k	Toggle Switch	C&K/ET01MD1AVBE
1	U1	74AC04	Inverter	Fairchild/530438-00
2	Z5, Z6	SFP_CAGE	SFP Cage	Tyco 1489962-1

Note: [Table 29](#) does not use all in-sequence part numbers.

C. 3.4 MCB 格式文件

模块合规板的 Gerber 文件可在 SFF-8434 中找到。

C. 4 适用于主机和模块兼容板的规范

基于与主机合规委员会 (HCB) 配合的模块合规板 (MCB) 的测量，配对对已经得到了以下规范。符合这些限制有助于确保可以满足模块和主机规范。

S 参数基于两个端口混合模式差分定义 [参见 INF-8077i 附录 C] 进行定义，请参见图 40。所有单端口测量均在图中列出。

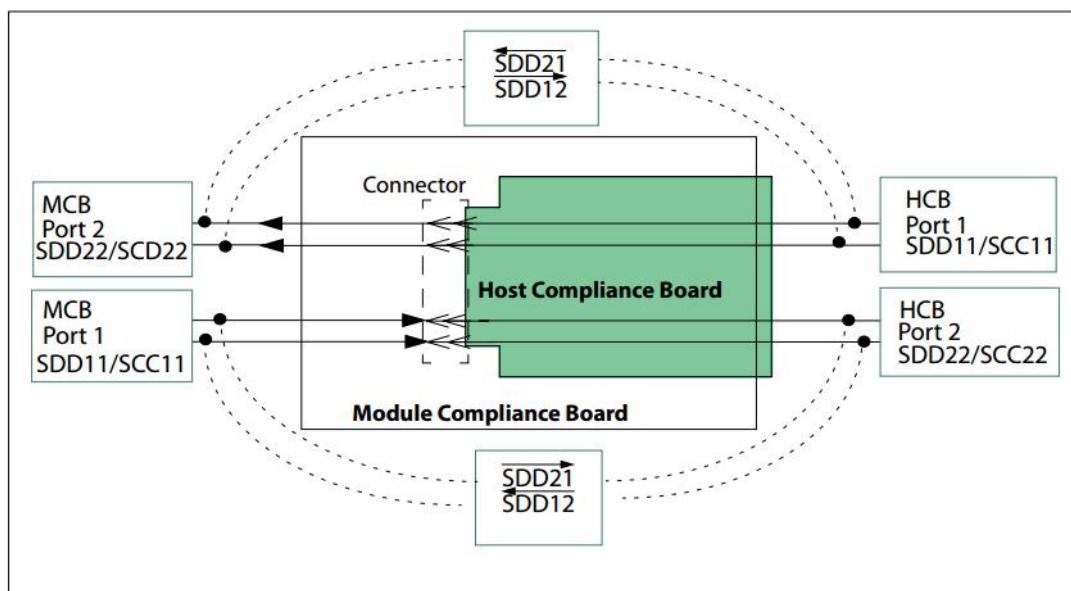


Figure 40 Measurements Port Definition

图 41 中显示了 SDD11 或 SDD22 的模块合规板和主机兼容板的最大值。

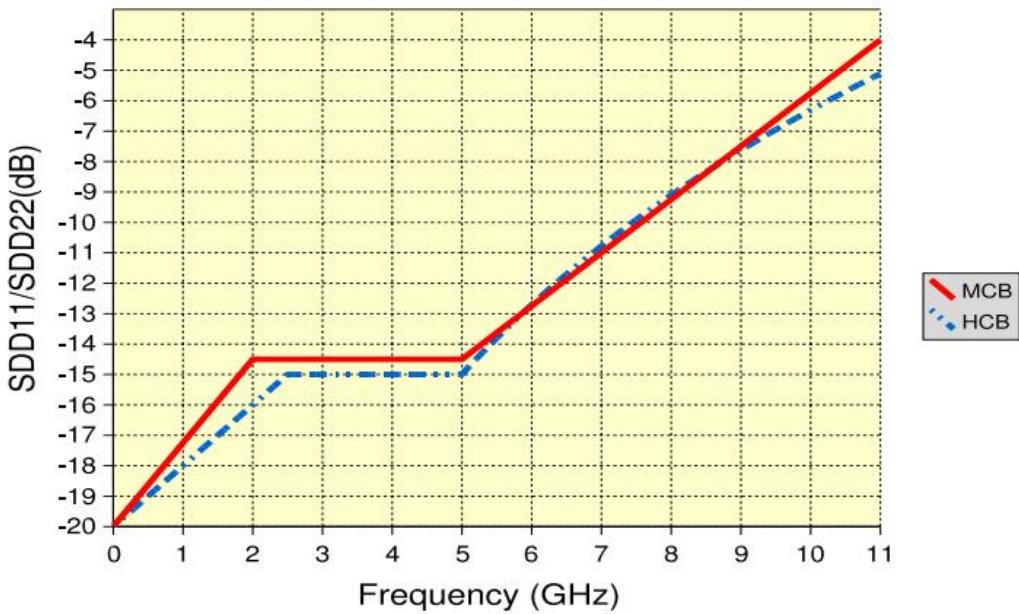


Figure 41 Maximum Differential Response of mated MCB and HCB

SDD11 或 SDD22 的最大值通过以下公式给出：

$$SDDxx(dB) \leq -20 + 2.75 \times f \quad f \text{ in GHz from 0.01 to 2}$$

$$SDDxx(dB) \leq -14.5 \quad f \text{ in GHz from 2 to 5}$$

$$SDDxx(dB) \leq -23.25 + 8.75 \times \left(\frac{f}{5}\right) \quad f \text{ in GHz from 5 to 11.1}$$

查看主机合规板的 SDD11 或 SDD22 的最大值由以下公式给出：

$$SDDxx(dB) \leq -20 + 2 \times f \quad f \text{ in GHz from 0.01 to 2.5}$$

$$SDDxx(dB) \leq -15 \quad f \text{ in GHz from 2.5 to 5}$$

$$SDDxx(dB) \leq -13.8 + 28.85 \times \log_{10}\left(\frac{f}{5.5}\right) \quad f \text{ in GHz from 5 to 11.1}$$

SDD21 或 SDD12 在模块合规板或主机兼容板方面的最大和最小值如图 42 所示，由下列等式给出。

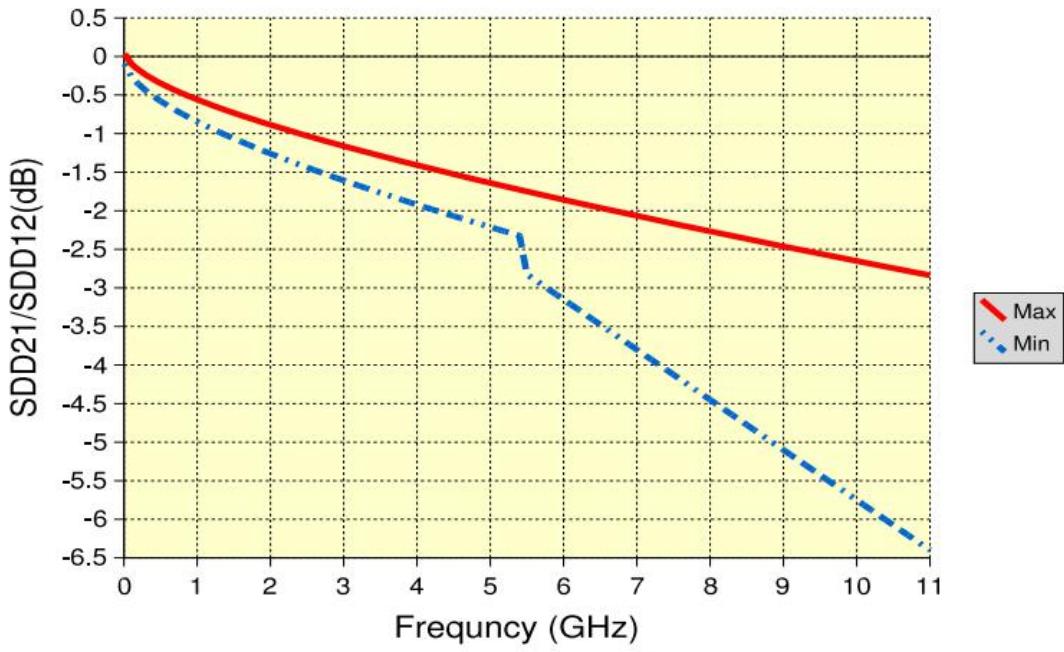


Figure 42 Mated MCB-HCB Differential Through Response Limits

$$SDDxx(dB) \leq (-0.012 - 0.694 \times \sqrt{f} - 0.127 \times f) \quad f \text{ in GHz from 0.01 to 5.5}$$

$$SDDxx(dB) \leq 0.75 - 0.65 \times f \quad f \text{ in GHz from 5.5 to 11.1}$$

$$SDDxx(dB) \leq 0.0915 - 0.549 \times \sqrt{f} - 0.101 \times f \quad f \text{ in GHz from 0.01 to 11.1}$$

图 43 中显示了 SCC11 或 SCC22 的模块兼容板或主机兼容板的最大值。

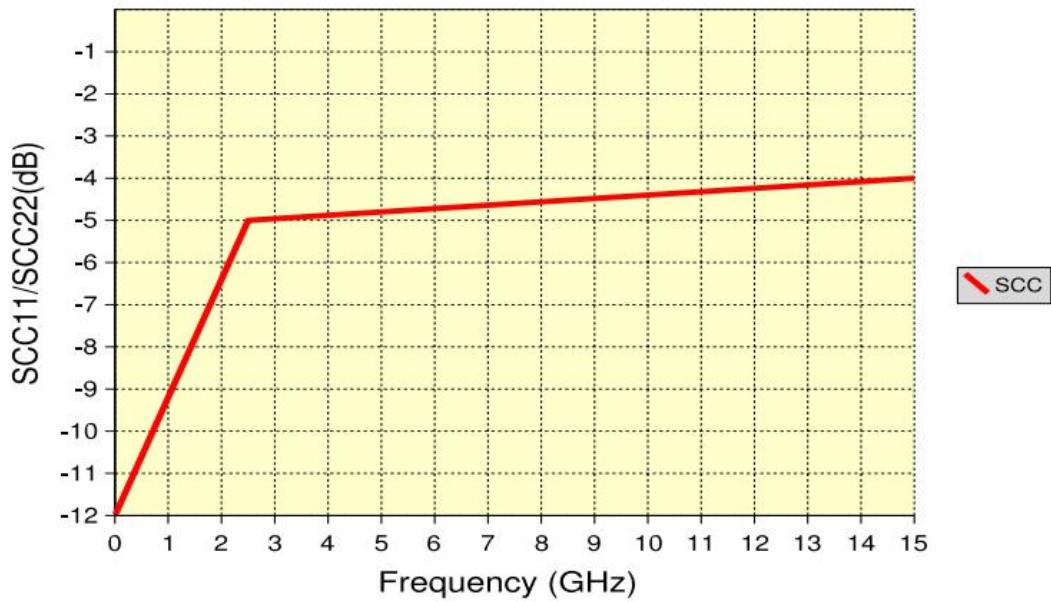


Figure 43 Maximum Common Mode Response of mated MCB and HCB

SCC11 和 SCC22 也由以下等式给出：

$$SCCx_{xx}(dB) \leq -12 + 2.8 \times f \quad f \text{ in GHz from 0.01 to 2.5}$$

$$SCCx_{xx}(dB) \leq -5.2 + 0.08 \times f \quad f \text{ in GHz from 2.5 to 15.}$$

图 44 显示了兼容模块合規板或主机兼容板的差分到共模响应 SCD21 和 SCD12 的最大值。

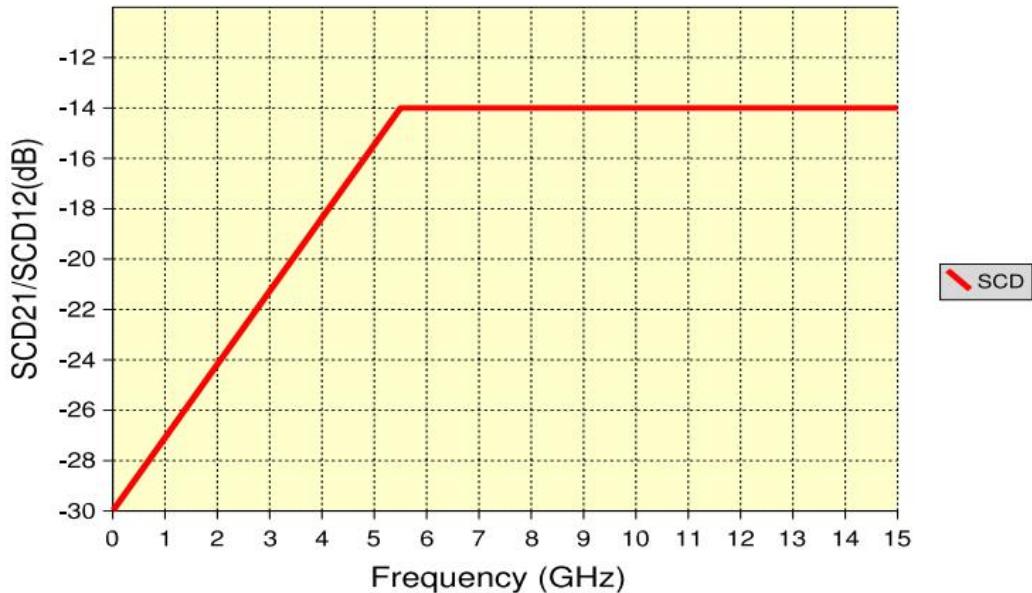


Figure 44 Maximum Differential to Common Mode Response of mated MCB and HCB

配对模块和主机兼容板的配合响应 SCD21 和 SCD12 由以下公式给出：

$$SCD_{xx}(dB) \leq -30 + 2.91 \times f \quad f \text{ in GHz from 0.01 to 5.5}$$

$$SCD_{xx}(dB) \leq -14 \quad f \text{ in GHz from 5.5 to 15.}$$

当配对模块合規板和主机兼容板的 MCB 端口 1 被表 12 中定义的串扰源激励时，在 12 GHz 中测量时，MCB 端口 2 的 RMS 差分 NEXT 电压应小于 1 mV 带宽。从 HCB 端口 1 到 HCB 端口 2 的差分 NEXT 电压预计将大致相同。符合这一要求的合規委员会预计将通过综合 NEXT 要求，但也预计在仍然通过综合 NEXT 要求的情况下，可能会由于频率共振而超过曲线。图 45 所示的频域曲线显示了一个推荐的响应，该响应在图中的等式中描述。满足该 NEXT 响应的合規板预计将通过 NEXT 电压要求，但是也可以预期，当仍然通过 NEXT 电压要求时，由于频率共振而可能会超过曲线。

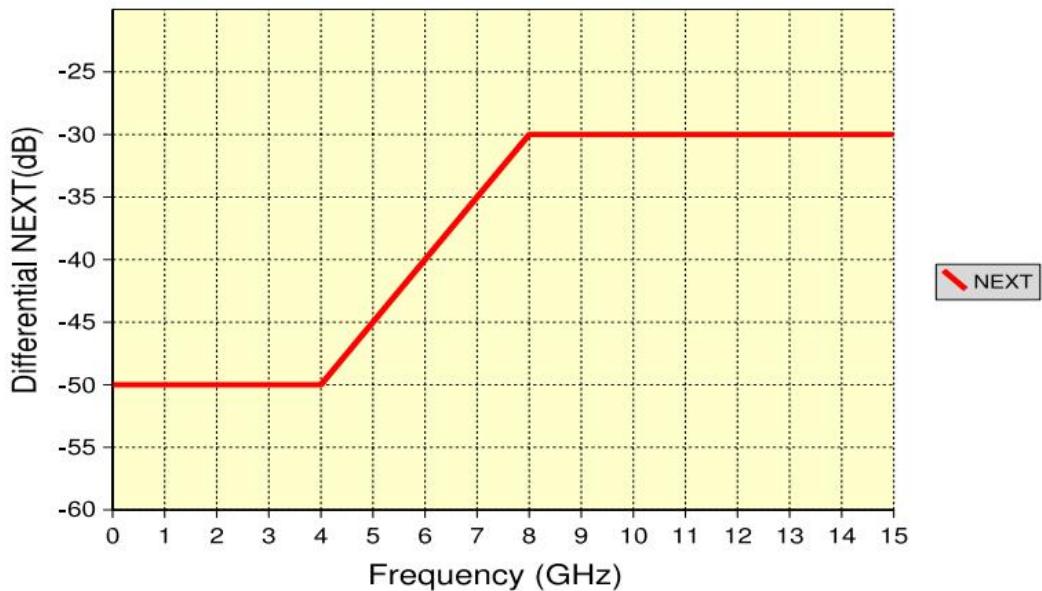


Figure 45 Maximum Differential NEXT Response of mated MCB and HCB

推荐的 NEXT 响应也由以下等式给出：

$$NEXT(dB) \leq -50 \quad f \text{ in GHz from 0.01 to 4}$$

$$NEXT(dB) \leq -70 + 5 \times f \quad f \text{ in GHz from 4 to 8}$$

$$NEXT(dB) \leq -30 \quad f \text{ in GHz from 8 to 15.}$$

附录 D 测试方法与测量（正常）

D. 1 引言

本附录定义了 SFP + 高速和电力电气接口的指标，为测试实施提供了实际指导。每个参数根据测量过程进行定义。假设测量仪器是理想的：准确，精确，无限或有限的带宽，零或定义的噪声等等。在实践中，必须考虑仪器性能的必要水平以及校准和校准的方法。以下部分给出了一些指导。

除了交流共模生成测试 D. 15. 2，共模容差测试 D. 15. 3，终端不匹配 D. 16，模块电源容差滤波 D. 17 和电源噪声测试方法外，所有测量均有差异 D. 17。

对于所有测量，假设测试设备的精确校准。为了避免悲观的 WDP 和抖动结果，范围可能需要校正时基线性误差。

D. 1. 1 测试模式

本规范中使用的测试模式包括 8 + 8 方波，PRBS9，IEEE 802. 3 测试模式 1, 2 和 3 以及任何有效的 64B / 66B 信号。PRBS9 定义在 IEEE Std 802. 3, 68. 6. 1 中，序列文件可以在 http://ieee802.org/3/aq/public/tools/TWDP/prbs9_950.txt 找到。测试模式 1, 2 和 3 在 IEEE Std 802. 3, 52. 9. 1. 1 中定义。测试模式 3 是由 ITU-T 或 IEEE Std 802. 3, 49. 2. 8 定义的 PRBS31。

D. 2 眼罩符合性

本节定义了眼罩符合性的含义，并给出了其确定方法。3. 5 SFP + 主机系统规范和 3. 6 SFP +

模块规范中的子条中给出了掩模模板和坐标。

- 眼罩检测模式符合表 1 所列的相关标准。
- 正在测试的输出应符合操作条件范围，而相对方向位流则与表 12，表 14，表 17 和表 18 中给出的目标串扰上升和下降幅度一起运行。相反方向位流（比正在测试的那样）应该是异步 PRBS31 或有效的 64B / 66B 比特流。测试可能包括保护条带，外插或其他方法，但必须确保掩膜违反不会超出相应表中给出的命中率限制。
- AC 耦合 3 kHz 角频率为 20 kHz，预计将有助于消除基线漂移效应，然而高频性能至关重要，绝对不能被交流耦合所牺牲。
- 所有负载均指定为 100Ω 差分。
- 时间轴上的 0.0 UI 和 1.0 UI 由眼图交叉装置以信号的平均值（零电压如果 AC 耦合）定义。平均值可能不在抖动腰。时钟恢复单元（CRU）用于触发屏蔽测量范围，如图 46 所示。参考 CRU 具有 4 MHz 的高频率转角带宽和 -20 dB / 10dB 的斜率，峰值为 0.1 dB 或更少。

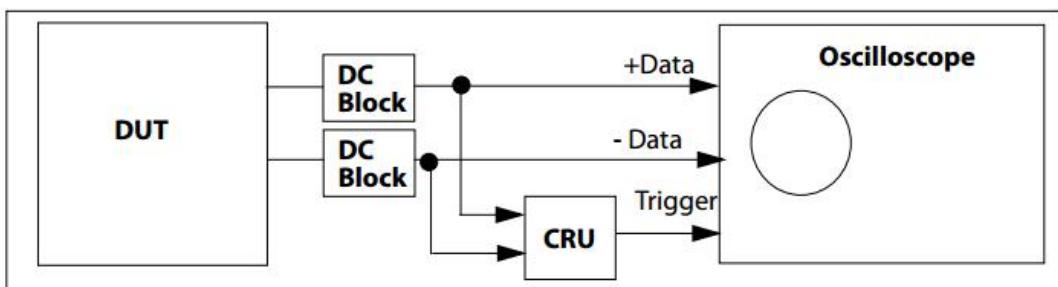


Figure 46 Eye mask measurement setup - block diagram.

D. 2.1 5X10 HIT 比例的示例计算

如果示波器记录 1350 个采样/屏幕，并且时基设置为 0.2 UI 每划分，屏幕上 10 个分区，并且测量持续 200 个波形，则 a 发射机反复测量平均小于 6.75 命中符合。即

$$\text{Hit Ratio} = \frac{5 \times 10^{-5} \times 1350}{0.2 \times 10} = 6.75$$

同样地，如果对 1000 个波形进行测量，则重复测量平均值小于 33.75 次。预期延长的测量结果将会产生更多可重复的结果，而 200 次波形中 6 次命中的单次读数不会产生统计学显着的通过或失败。

D. 3 数据依赖抖动 (DDJ) 和脉冲宽度收缩 (DDPWS)

高分辨率示波器，时间间隔分析仪或具有等效功能的其他仪器可用于测量 DDJ 和 DDPWS。使用重复的 PRBS9 伪随机测试模式，511 位长。对于电气抖动测量，测量带宽为 12 GHz。如果测量带宽影响结果，则可以通过后处理来校正测量带宽。然而，12 GHz 以上的带宽预计对结果几乎没有影响。

DDC 和脉冲宽度收缩 (DDPWS) 是 DDJ 的组成部分。

建立与所测量的整个波形的平均值相等的交叉电平。将仪器与模式重复频率同步，并充分平衡波形或交叉时间，以减少系统中随机抖动和噪声的影响。PRBS9 模式有 128 个正向转换和 128 个负向转换。然后将每个交叉点的平均时间与交叉的预期时间进行比较，并确定一组 256 个定时变化。DDJ 是定时变化的范围 (max-min)。跟踪变化的迹象 (早/晚)。注意，可以方便的将其中一个交叉点的预期时间与所测量的平均交叉点对齐。

下图 47 说明了该方法。垂直轴为任意单位，水平轴在 UI 中绘制。波形交流耦合到平均值 0，因此 0 是适当的交叉电平。整流波形显示理想的交叉时间，另一个是正在测量的抖动波形。仅显示 32 个 UI (511 个)。波形 Δ 形式在 14 UI 处与 ($t_2 = 0$) 任意对齐。

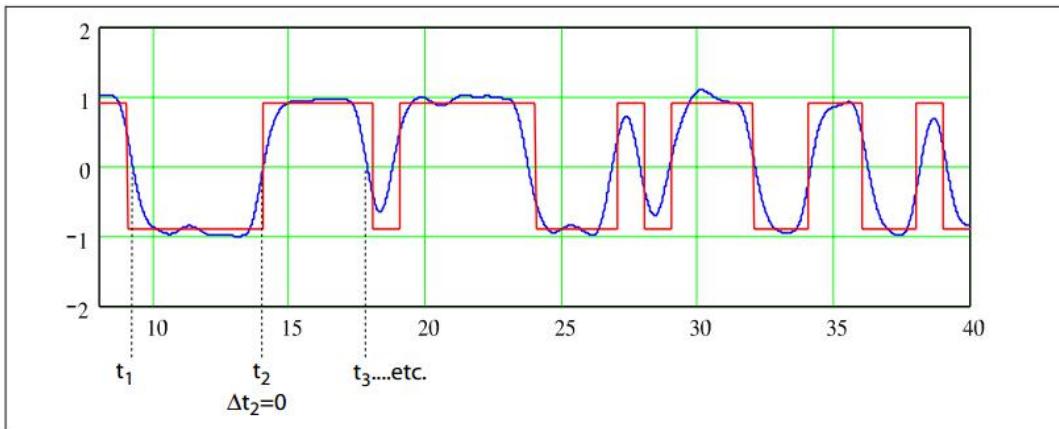


Figure 47 DDJ Test Method

DJ 定义为

$$DDJ = \max(\Delta t_1, \Delta t_2, \dots, \Delta t_n) - \min(\Delta t_1, \Delta t_2, \dots, \Delta t_n)$$

测量图案完全重复的每个边， $1 \dots n$ (PRBS9 图案中的 $n = 256$)。

DDPWS 被确定为一个符号周期与相邻边缘对之间的所有差异的最小值之间的差

$$DDPWS = T - \min(t_2-t_1, t_3-t_2, \dots, t_{n+1}-t_n)$$

其中 T 是一个符号周期。注意，也考虑与重复序列 $t_n + 1$ 中的下一个边缘的差异。

D. 3.1 占空比 (DCD)

DCD 表示与预期占空比的偏差。所有下降沿的平均位置与所有上升沿的平均位置之间的差异，其中不相关的影响通过平均最小化。DCD 以波形的平均值进行测量。

D. 4 非常规犹太人 (UJ)

由 IEEE 802.3 CL 68 定义的 UJ 是与 64B / 66B 比特流不相关的任何抖动的度量。UJ 的定义和测试程序与 IEEE 802.3 CL 68.6.8 中定义的定义和测试程序相同，具有以下考虑：

- 当主机接收机使用异步 PRBS31 或有效 64B / 66B 信号和所有其他端口在正常操作中运行时，主机发送器应符合要求，包括正确的终止。
- 主机合规板的接收路径输入连接到模式发生器，并通过模块合规板进行校准。振幅和上升时间设定为表 12 中 C “所示的目标值。”
- 为本文件的目的，为光学测试定义的程序也适用于电气测试。IEEE 802.3 中的图 68-9 中的光学术语（如功率）和单位可以转换为相应的电气术语（如电压）和单位等。
- 四阶 Bessel-Thomson 响应仅用于 UJ 的光学测量。电气领域中的 UJ 在 12 GHz 的带宽内定义，除非应用标准规定。
- PRBS9 适用于所有应用的测试序列，除非另有规定。
- CRU 的带宽在 IEEE 802.3 第 68.6.8 条或应用的相关标准中定义。

D. 5 99%JITTER (J2) 和 TOTAL JITTER (TJ)

抖动是信号边缘定时的属性。边缘出现的时间被定义为当信号跨越其平均电平（例如，对于耦合耦合的接地端测量的 0V）。抖动是使用 D.2 节的 CRU 定义的。总抖动 (TJ) 和 99% 抖动 (J2) 测试的测试模式应为 PRBS31 或有效的 64B / 66B 信号。测量这些抖动度量而不进行平均。

J2 与 J “相同，” 除抖动 1% 以外，“，用于 IEEE 802.3 第 52.9.9 条。它被定义为包括抖动分布的 10-2 以外的所有时间间隔。如果使用示波器测量，则是从直方图上测量的抖动分布的第 0.5 到 99.5 百分位数之间的时间间隔。

本文档中使用的 TJ 是 FC-MJSQ 中描述的 TJ 的 1 级定义，其中 TJ 是交叉宽度，定义为 BER 为 10-12 的较晚时间减去早期时间 BER 为 10-12。这是一个单位间隔 (UI)，减去 FC-MJSQ 中定义的“抖动眼图开度”。TJ 可以表示为：

$$\bullet TJ = T - t_1$$

其中 t_1 是 $CDF = 10-12$ 处的抖动眼图开度， T 是一个符号周期。

CDF 是边缘的时序的累积分布函数，其最大值接近 0.5，因为转换密度接近 50%。

对于仪器的设置和保持时间和噪声，必须校正使用 BERT 浴缸方法的测量。由于 PRBS31 比 64B / 66B 信号要求更高，因此使用 64B / 66B 信号的 TJ 兼容的 10GBASE-R 实例即使不符合 PRBS31 要求的限制也被认为是合规的。10GBASE-W 实例应符合 PRBS31。这些模式之间的 J2 值不会有所不同。

J_2 和 TJ 都是从 CDF 的一侧到另一侧测量的，而不是 CDF 的中间到侧。

D. 6 上升和下降时间

在本文中，上升和下降时间被定义为分离边缘的 20% 和 80% 之间的时间，即 80% 和 20% 的时间。示例性测试模式是 OMA 测试模式（八个，八个零）。0% 电平和 100% 电平由 xMA 测量程序定义（见 D. 7 和 IEEE Std 802.3, 68.6.2）。

或者，PRBS9 中存在合适的边缘，分别在五个零和四个序列以及九个和五个零的序列内。这些分别是位 10 至 18 和 1 至 14。在这种情况下，0% 电平和 100% 电平可以在 xWDP 代码（见附录 G）中估计为 ZeroLevel 和 ZeroLevel + MeasuredxMA，或者由窗口内的 -3 到 -2 UI 和从 2 到 3 UI 相对于边缘。PRBS9 方法对于 1.5 UI 以上的上升和下降时间是不准确的。

对于电信号，通过 12 GHz 低通滤波器响应观察波形。对于光信号，上升和下降时间可以定义为没有滤波器响应或通过标准的 7.5GHz 贝塞尔 - 汤姆森响应；在每种情况下都会指定一个或另一个选项。

注 - 本文档中的上升和下降定义与示波器通常由来自混合频率信号（如 PRBS 或 64B / 66B 信号）的眼图报告的上升和下降时间不同，所有的边缘考虑。

D. 7 电压调制幅度 (VMA)

VMA 是电信号的标称值和零电平之间的差值。它类似于光信号的 OMA（见 IEEE 标准 802.3 52.9.5 和 68.6.2）。VMA 定义为 IEEE Std 802.3, 68.6.1（这是 IEEE 802.3, 52.9.5 中允许的方波的子集）中定义的八个和八个零的方波测试模式，或者在非 - 802.3 应用，由相关标准定义的测试模式。

可以测量如下：

- 被测信号被设置为携带方波模式，通常用示波器触发到模式。该测量系统的带宽至少为 $3/T$ ，其中 T 是转换之间的周期。对于方波测试模式 (0000000011111111)，这样可以在 10.3125 GBd 时提供大约 4 GHz 的频率；为其他电量定义的 12 GHz 带宽是方便的。VMA 的电气测量不需要 7.5 GHz Bessel-Thomson 滤波器。
- 测量的方波被划分为两个相等的时间间隔，8 UI 长，与两边的平均时间对齐。
- 边沿出现的时间定义为方波信号跨越其平均电平（交流耦合测量值为 0 V）。
- 测量每个时间间隔中央 20% 的平均电压电平。
- 两级之间的差异（正电压）是 VMA。
- PRBS9 波形的 OMA 或 VMA 的估计由附录 G 中的算法计算的变量 MeasuredxMA 提供。具有八个零点和八个具有两个测量窗口的示例方波信号如图 48 所示。

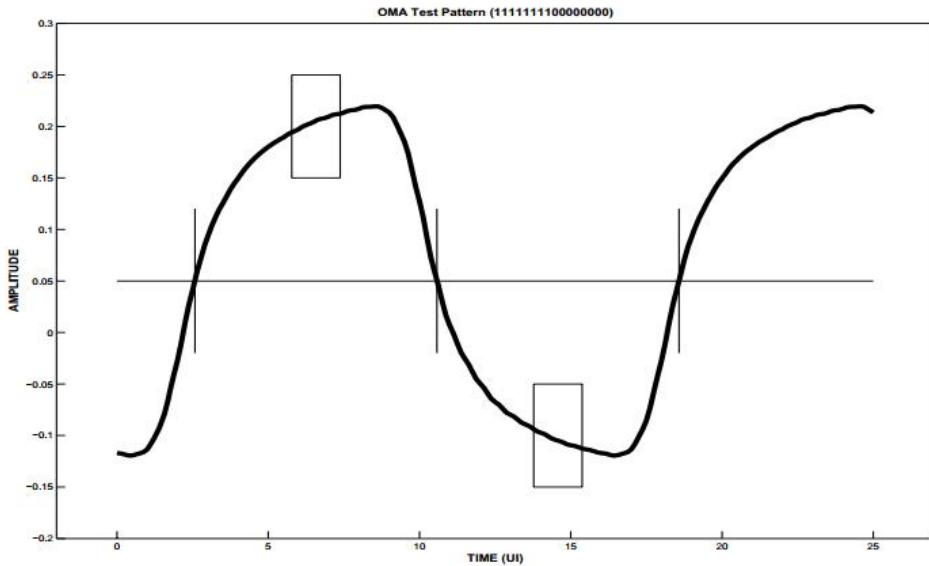


Figure 48 Example xMA waveform showing xMA measurement windows

D. 8 相对噪音 (RN)

RN 是信号的互逆 SNR 的度量。RN 由下式给出：

$$RN = \frac{2 \times noise(RMS)}{(xMA)}$$

在本文档中，如果正在测量光信号，则 XMA 是 OMA，如果正在测量电信号，则为 VMA，并且在相同的光信号或电信号上测量噪声 (RMS)。

RN 的测量程序的重要部分可以在 IEEE Std。802.3 CL 68.6.7 (LRM)。一些意见：

- 为了本文档的目的，定义和过程通常适用于光信号和电信号。光学术语（如功率）和单位可以转换为相应的电气术语（如电压）和单位。
- 无论 RN 测量是在光电还是电信号上进行，都应使用 IEEE 802.3 第 68 章中为 OMA 定义的测试模式或与应用相关的其他标准。
- 四阶 Bessel-Thomson 响应仅用于 RN 的光学测量。Bessel-Thomson 响应的带宽在应用的相关标准中被提及。RN 的电域定义为 12 GHz 的带宽。
- 直方图的位置如图 68-4 所示，在 802.3 条款 68 中。
- 应测量两个逻辑电平的噪声：logicONEnoise (rms) 和 logicZEROnoise (rms)。根据等式应用有效值技术：

$$noise(RMS) = \sqrt{(logicONEnoise(RMS)^2 + logicZEROnoise(RMS)^2)/2}$$

•RN 的公式如上。不需要 Qsq 的计算，也不是以 dB / Hz 为单位的计算，例如发射机 RIN 的计算。如果 logicONEnoise (RMS) 等于 logicZEROnoise (RMS)，则 RN 等于 1 / Qsq。

D. 9 波动失败罚款 (WDP)

WDP 是用于波形滤波和/或非线性失真的波形度量。WDP 使用与 IEEE 802.3 条款 68.6.6(LRM) 中的 TWDP 相同的过程。

- 为了本文档的目的，定义和过程通常适用于光信号和电信号。光学术语（如功率）和单位可以转换为相应的电气术语（如电压）和单位等。
- WDP 不限于发射机测量（因此“T”丢弃）。
- 四阶 Bessel-Thomson 响应仅用于 WDP 的光学测量，如光接收机测试系统的校准。

Bessel-Thomson 响应的带宽在应用的相关标准中被提及。

- 电气 WDP 的定义假设测量带宽为 12 GHz。可以通过在 WDP 计算之前处理捕获的波形来校正不同的测量带宽。然而，较高的带宽预期对结果几乎没有影响。
- PRBS9 是本规范的规范性测试序列。
- 为了提高测量精度，应减少不相关的抖动和噪声。对于 IEEE 802.3 CL 52，正弦波干扰和正弦抖动被关闭。• 应使用平均值进一步降低仪器和测量噪声，从而影响结果可忽略不计。
- 计算 WDP 的具体代码见附录 G.

D. 10 “S” +模块发射机的 B “电气符合信号”

图 49 显示了测试 SFP +发射机的测试配置。它适用于所有 SFP +发射机类型。

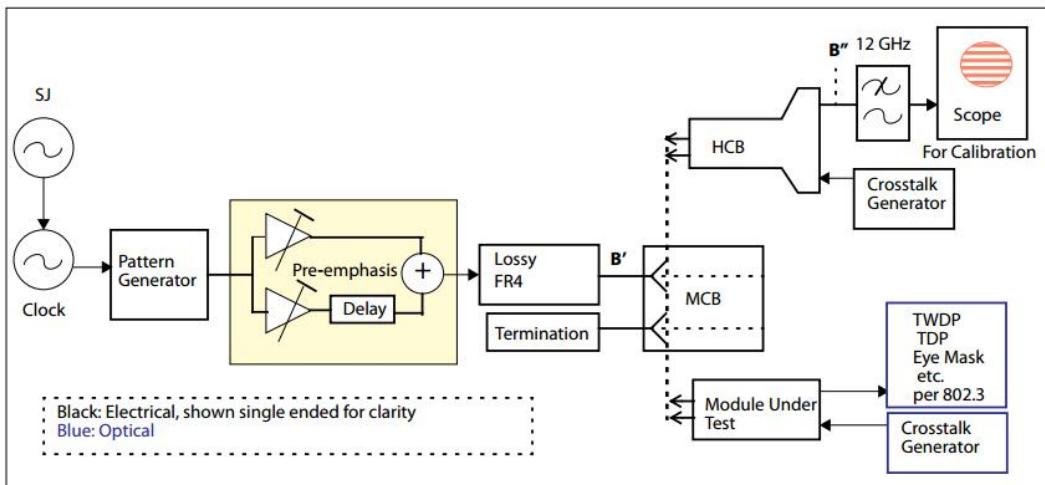


Figure 49 Compliance signal generator for module transmitter

校准设置的接收通道由图 47 中的上部串扰发生器执行，以确保设置内的串扰是可接受的。表 17 的串扰规格应通过配对主机和模块兼容板实现，并进入适当的测试设备。

B “的符合信号具有故意的 ISI 和正弦抖动。它通过主机合规委员会进行校准，以交付表 17 中指定的 DDJ 或 DDPWS, UJ 和 Y1 或 Y2。符合性信号适用于被测模块以代替主机合规委员会，接收侧交流以便传输的信号可以通过所支持的传输标准来规定 10GBASE-SR, 10GBASE-LR 或 10GBASE-LRM。总共有四个条件：大小信号，欠补偿和过度补偿。相反的方向比特流应为 PRBS31 或有效的 64B / 66B 比特流。

在两个测试条件下，调整强调设置以在 B “给出指定的 DDJ (过度补偿) 和 DDPWS (欠补偿)。在过补偿状态下，DDJ 应等于表 17 中的目标值，而 DDPWS 在 0.045 UI 和 0.055 UI 之间。在欠补偿条件下，DDPWS 应等于表 17 中的目标值，而 DDJ 在 0.075 UI 和 0.1 UI 之间。调整幅度，使得眼屏测量显示符合信号以 5×10^{-5} 的命中率满足规定的 Y1 或 Y2。调整正弦抖动 (SJ) 以给出指定的 UJ。否则，合规信号干净，噪音低。除串扰外，没有故意的高斯或“随机”损伤。

如图 49 所示，在 HCB 右侧看到的单端反射系数和 MCB 左侧的单端反射系数应按照以下公式计算：

$$S_{xx}(dB) \leq 20 \quad f \text{ in GHz from 0.01 to 5.5}$$

$$S_{xx}(dB) \leq -25.8 + 1.053 \times f \quad f \text{ in GHz from 5.5 to 15.}$$

符合性信号符合 3.6.1 中的掩码，并且具有由 X1, X2 (抖动余量) 给出的尺寸的裕度。大信号具有由 Y1 给出的尺寸的裕度，并且接近 Y2，而小信号接近 Y1 并且具有 Y2 的裕度。

SJ 的频率明显高于用于评估由模块传输的信号（指定为 4 MHz）的时钟恢复单元的带宽。应注意，该频率不会超过用于测量 TWDP 测量中的平均波形的采样频率。它不能与图案重复频率有谐波关系。

用于校准的图案由适当的附录指定，例如。D. 3。与传输和接收的模块一起使用的模式由支持的传输标准定义。符合性信号的其他特性由支持的传输标准定义。

注意，TJ 不是靠近表 17 允许的最大 TJ，除了有意思的 SJ 之外，应该比表 17 中允许的最大值少得多。建议在 TWDP，DDJ 和 DDPWS 测量来平均无抖动抖动的影响。表 30 列出了理想应力信号发生器的估计参数值。

Table 30 Estimated parameter values for an ideal stressed signal generator

Parameter	Value	Unit
Delay	1	UI
Filter bandwidth	<i>For Further Study</i>	GHz
VMA Min at B"	<i>For Further Study</i>	mV
VMA Max at B"	<i>For Further Study</i>	mV
Rise times at B"	<i>For Further Study</i>	ps

D. 11 限制模块主机接收器的测试方法

本节为 RX 主机合规点 C 的抖动容限测试提供指导。符合性要求具有输入抖动，垂直眼图开度 (Y1) 和垂直峰值电平 (Y2)，如表 14 所示。错误率由适当的光学标准设定。有两个测试条件；每次为灵敏度和过载垂直眼参数条件。

有关紧眼眼抖动容限的定义和测试方法的更多信息，请参见参考文献(FC-MJSQ 和 OIF-CEI)。

D. 11. 1 测试设备和设置

测试源用于连续生成适当的测试信号。测试信号应在 D. 11. 2 中概述的指导原则下进行适当调整，以展现适当的抖动应力。

可能需要 RF 衰减器或测试源的其他输出幅度控制来设置受压眼图的垂直眼图开度。

在 C 测量的低通滤波器中测试的测试设备在高达 12 GHz 时的回波损耗应优于 20 dB。

在 C “与模块合规板测量时，测试系统的输出回波损耗特性应比表 18 高达 8 GHz 和最高达 11 GHz 的 1 dB 更好 2 dB。

要求被测接收机包括一个允许测量 BER 性能的机制。

D. 11. 2 应力眼动特性

本节介绍所需的测试信号特性以及测试信号生成的考虑和建议方法。测试信号由图 50 所示的功能或等效的方式产生。图 51 说明了表 14 中的抖动参数如何映射到应力眼测试信号中的抖动分量。

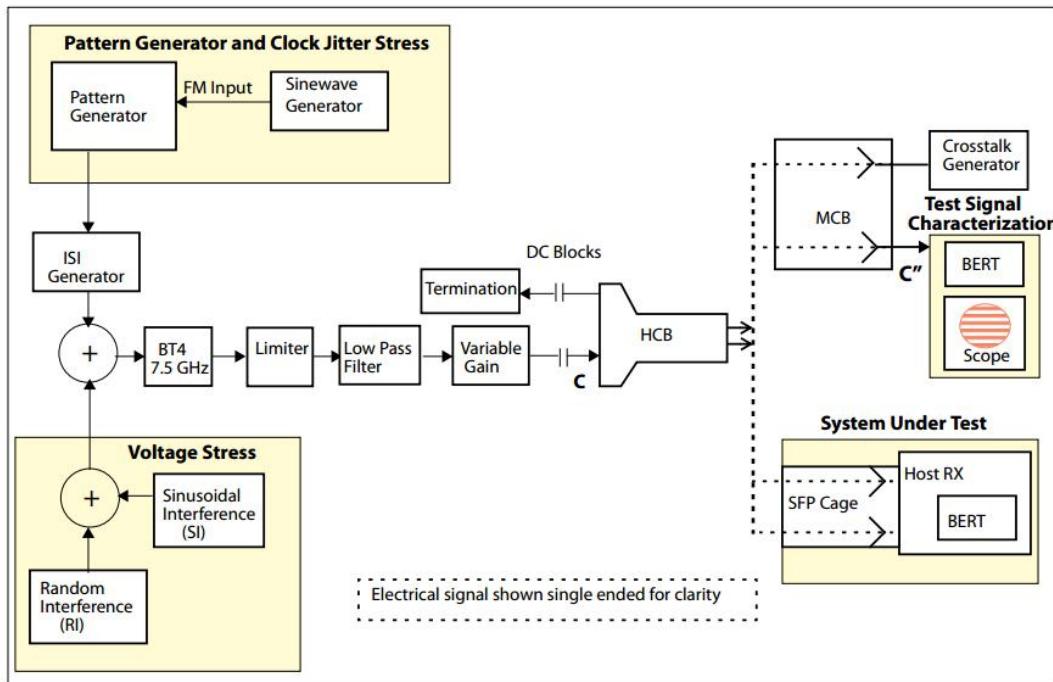


Figure 50 Jitter Tolerance Test Configuration

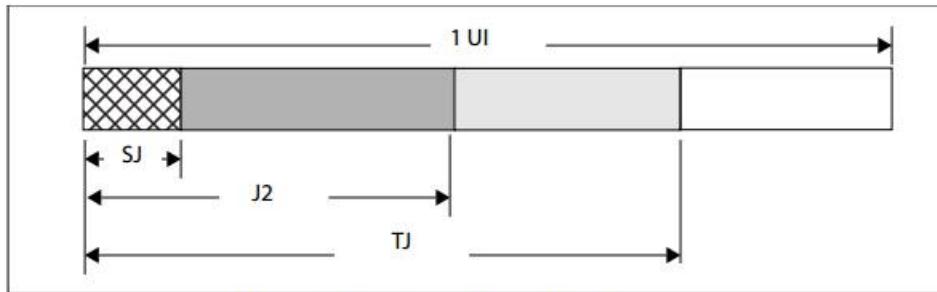


Figure 51 Stressed eye jitter components

99%抖动 (J2) 的 0.05 UI SJ 组件被定义为远高于 CDR 带宽（例如~20 MHz）的频率。在较低频率下，CDR 必须跟踪相关规范 1 中详细说明的附加应用 SJ。

参见图 21 和 IEEE 802.3 CL52.8.1。

J2 的平衡由以下形式的抖动的组合组成：ISI，正弦干扰 (SI) 和随机干扰 (RI) 都通过限制功能。

C“处的信号应具有表 14 所定义的 DDPWS。测试中任何 DCD (见 D.3.1) 的大小不得超过 0.02 UI。

通过使用低通滤波器，FR4 迹线长度，同轴电缆长度或其他等效方法，ISI 发生器可以实现 ISI 抖动创建。要求该信号通过限幅器功能，以确保产生的抖动不是完全可均衡的抖动。可以使用离散限幅放大器，然后是低通滤波器和衰减器来实现合适的限幅器功能。低通滤波器模拟实际限幅器的带宽和/或转换速率。衰减器用于将输出幅度设置为表 14 的眼罩坐标系允许的最小值和最大值。

在限幅器之前施加电压应力。该压力由 100MHz 至 2GHz 频率范围内的单音正弦干扰源 (SI) 和 6GHz 时具有-3dB 最小功率谱和最小 7 峰值因数的宽带噪声源 (RI) 组成。这意味着这种电压应力和限制功能的组合引入脉冲收缩抖动行为。然而，不超过 20% 的 J2 由正弦干扰源创建。

模式发生器的抖动生成机制通常基于时钟源的相位调制，可变延迟线的边缘调制或其组合。

调制或创建抖动组件的适当级别和频率的任何方法都是可以接受的。

D. 11. 3 校准

测试信号的校准将使用 D. 11. 1 中的测试设置指南进行, 如图 50 所示。校准的目的是根据表 14 实现显示抖动应力的测试信号。

测试信号应被校准为标准仪表负载。如果使用互补单端信号, 则应在幅度和相位上仔细匹配。为了提高校准的可见性, 信号通路(电缆, 直流电阻等)中的所有元件都必须具有广泛和平坦的频率响应以及所有感兴趣的频谱的线性相位响应。基线漂移和过冲/下冲应最小化。

预计 20 kHz 的 AC 耦合 3 dB 转角频率足以消除基线漂移效应, 但是高频性能至关重要, 绝对不能被交流耦合所牺牲。

抖动要求定义为 1×10^{-12} 的概率级别。为了校准抖动, 建议在 CEI 2. C Annex 和 MJSQ 第 8 章中给出的方法。给定随机抖动和长测试模式的性质, 可能会出现低概率抖动事件。建议使用抖动校准, 可以使用可以准确测量低概率事件的技术来避免过度压力的测试条件。

建议在校准过程中使用实际符合性测试模式。然而, 对于抖动应力校准, 允许使用任何适当的测试模式, 这仍然导致创建具有适当抖动应力的合规性测试模式。

D. 11. 4 校准程序

垂直眼图开度和峰值水平应大致设定在表 14 中规定的水平。

使用应用的校准测试图案并且不施加额外的抖动应力; 应测量和校准由于固有噪声和有限带宽效应引起的测试源的固有抖动。99% 抖动 (J2) 应小于 0.15 UI, TJ < 0.25 UI。

应添加 SJ 直到抖动的 J2 分量比测量的参考电平高 0.05 UI。这应该是高频率的 SJ 高于 CDR 带宽。SJ 频率应与信号的特征频率异步。

接下来, ISI 生成器应添加 D. 11. 2 中规定的附加高概率抖动, 直到创建了至少 80% 的 J2。然后应将正弦检波器振幅打开并调整, 直到达到了所需的 J2 级。任何正弦干扰源的频率应与信号的特征频率同步。

符合标准的测试信号表现出数据相关的脉宽收缩, 如表 14 所示。数据相关脉冲宽度收缩在 D. 3 中定义。这是用噪声和时钟抖动源关闭来测量的。

一旦实现了所需的 J2 级别, 就可以打开应该设置的串扰源, 使得在主机兼容板的输出端, 幅度和上升和下降时间应如表 14 所示。串扰模式应为 PRBS31 或有效的 64B / 66B 信号, 应与数据异步。然后应该加上 RI (随机干扰), 直到 TJ 的要求值达到 1×10^{-12} 的概率为止。

如有必要, 应重新调整正弦干扰源以获得所需的 J2 级别, 如果改变正弦干扰源, 则应重新调整随机干扰源以获得所需的 TJ 级别。应进行正弦干扰源和随机干扰源的迭代调整, 直到达到了 J2 和 TJ 的所需值。

如果需要, 垂直眼图开度应重新调整到所需水平。

应该验证垂直开眼和峰值水平规格是否得到满足。

表征用于进行接收机保持测量的信号时, 必须小心。校准测量设备(例如滤波器, 示波器和 BERT)引入的固有噪声和抖动必须被考虑和控制。如果设备缺陷对实际结果产生影响, 应使用高斯噪声和抖动的 RSS 去卷积校正。

D. 11. 5 测试程序

测试应通过主机合规委员会进行差异化(见 C. 2)。

使用根据 D. 11. 1 进行校准并按照 D. 11. 4 进行校准的测试信号, 对相关应用(具有 FEC 的 10G 以太网, 10GFC 或 10G 以太网)采用适当的一致性测试模式来操作系统。

在正常操作期间运行的所有信号和参考时钟在测试期间应处于活动状态, 包括双工对中的其他主机信号路径。另一个信号路径应该是异步的。

相反的方向比特流(比被测试的比特流)应该是同步的 PRBS31 或有效的 64B / 66B 信号。

在监视 BER 的同时，正弦曲线抖动按照图 21 跨越频率和幅度范围。BER 应保持 $<1\times10^{-12}$ 。

D. 12 限制模块接收器兼容性测试

在 C' 表 18 和表 19 中符合规范必须满足由所支持标准的输入光信号范围。IEEE 802.3 第 52 条和第 52.9.9 条定义的校准程序。

该测试包括模块内和模块合规板内串扰的影响。模块发送路径可操作。模块合规板的传输路径输入连接到模式发生器，并通过主机合规板进行校准。幅度和上升/下降时间在表 18 中给出。通过模块合规委员会进行 C 点测试。

串扰源的模式是 PRBS31 或有效的 64B / 66B 序列。串扰源与 TP3 测试源异步。

选择符合 IEEE 802.3 第 52 条规定的应力接收机灵敏度的最小测试条件(垂直闭眼罚分, VECP [min] 和强调眼抖动 J (min) 足以确保符合标准的接收机，因此测试条件更严重比最低要求代表适用的补偿条件。

对过度压力的 VECP 的补偿是直接的；对于任何 VECP 过应力（或少量欠压），受压接收器灵敏度 (SRS) 最大值可以一对一调节。

SRS [补偿 dBm] = SRS [max, dBm] + dVECP [过应力, dBo]，

其中 dVECP [过载] = VECP [测量, dBo] - VECP [min, dBo]。

因为定义允许组合在确定性和随机抖动的权衡范围内，所以对过度紧张抖动的补偿不太简单。此外，没有普遍接受的用于补偿确定性抖动的做法，唯一的方法是重新校准测试源。幸运的是，大多数情况下过度紧张的抖动预计是由于过度的随机抖动。

在已知或可以测量抖动组成的情况下，可以从测量结果中退出任何过多的随机抖动，或者可以调整表 19，总抖动和眼图 X1 坐标中的规格，以适应多余的输入信号。

D. 13 具有线性模块的主机接收机的测试方法

与线性模块接收器一起使用的主机的兼容性设置如图 52 所示。对 C 点处的主机输入进行测试，以符合测试信号的 BER 符合性，该测试信号表示从输出的预期的最坏情况波形和噪声特性模块在顺从操作期间。

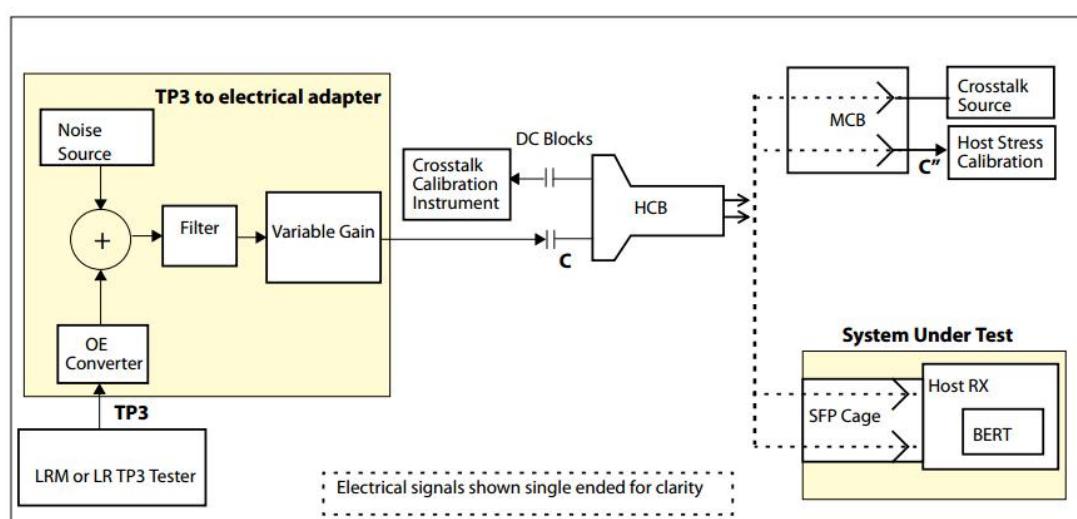


Figure 52 TP3 to electrical adaptor for host that operates with linear modules

D. 13. 1 线性模块主机接收机的测试说明和步骤

对于 IEEE 802.3 第 68.6.9 条中为 10GBASE-LRM 定义的三种 TP3 脉冲形状中的每一种以及 IEEE Std 802.3 第 52.9.9 节中定义的一个 10GBASE-LR 受压接收机一致性测试信号，应实现符合性。在表 15 中的 VMA 范围内应达到一致性。TP3 测试器模块与用于测试 TP3 顺应性点的 LRM 或 LR 标准所定义的相同的测试系统。选择 LRM 和 LR，因为这种测试的组合包括具有

低噪声的高失真以及高噪声的低失真。不需要使用 SR 等效输入进行测试，因为噪声和失真在 LR 和 LRM 之间。

如图 52 所示，TP3 到电适配器将 TP3 测试信号转换成具有表 15 中定义的输出 VMA，噪声(RN)和失真(WDP)特性的电信号。

表 15 中给出的规格在 C “通过模块合规委员会进行校准时测量。

噪声源与其他块一起用于表示最坏情况的线性模块的加性噪声特性。噪声的大小被校准，使得 C “处的 RN 值与表 15 一致。求和点处的噪声源的频谱为白色，具有至少 10GHz 的 3dB 频率。在 C “测量的噪声” 表示模块的噪声和光信号的组合。噪声源波峰因数应至少为 6。

滤波器和增益块旨在表示最坏情况的线性模块的确定性 dWDP 和增益特性。对于表 15 中的低 WDP 情况，包括 LR，滤波器的带宽为 7.5 GHz。对于表 15 中的高 WDP 情况，滤波器的频率响应被设置为使得表 15 中针对分裂对称 LRM 应力器的 C “处指定的 WDP 值被实现。该带宽预计约为 4.5GHz。在所有情况下，适配器的整体响应均为贝塞尔汤姆森 (Bessel Thomson) 响应。

增益块和/或输入光功率电平可用于调整 VMA。

在校准和主机一致性测试期间，串扰源见图 52，应为异步 PRBS31 或 64B / 66B 信号。

必须注意不要在 C 处诱发大于 0.02 UI 的 DCD “

平衡不平衡变压器或其他方式提供差分信号。

测试信号输出应为交流耦合。预期 20 kHz 的交流耦合 3dB 角频率足以消除基线漂移效应，但高频性能至关重要，绝对不能被交流耦合所牺牲。

当使用模块合规板测量时，测试系统的输出回波损耗特性应比表 18 高达 8GHz 至少高出 2 dB，最高可达 11GHz，最高可达 1 dB。

可以使用测量配置的任何实现，使得所得到的信号和噪声与表 15 中定义的信号和噪声相匹配。

在所有规定的试验条件下，BER 达到 1×10^{-12} 以上。被测端口的发射器和所有其他端口正常工作，包括终止。正在测试的端口的发送器通过主机兼容板端接，每个 Tx SMA 连接器具有直流模块和 50Ω 。

D. 13.2 线性测试仪校准

主机合规委员会的输出通过模块合规板插入实验室设备进行校准。

尽管有些组件可能被关闭，例如抖动和噪声，而其他元素被校准时，可以使用所有测试元件进行校准。校准完成后，将所有组件设置为校准水平进行测试。

主机测试系统的 RN 通过适配器噪声源的大小进行调整。校准应使用 D. 8 节给出的 RN 测量方法。对于每个测试条件，表 15 给出了 RN 值。串扰源必须根据表 13 的要求进行校准，并在 RN 校准期间运行。校准后和在主机一致性测试期间，串扰校准仪器可以被移除并用 50 欧姆终端替换，尽管必须保持 DC 阻塞。

主机测试系统的 WDP 通过适配器中的过滤器进行设置。如果校准关闭少量，则可以调整 TP3 测试仪中的 ISI 发生器以获得所需的值。

尽管 WDP 在这种情况下是电信号的特征，但它的单位是 dBo，以便更好地与线性光学模块中的 WDPo 对齐，其也以 dBo 给出。

校准后，主机合规委员会插入被测试的主机接收器进行兼容性测试。

D. 14 线性模块接收机兼容性测试

线性模块接收器一致性测试确保当通过模块支持的标准中规定的光输入信号进行测试时，由模块产生的噪声产生，波形滤波和其他失真保持在可接受范围内。IEEE 802.3 CL 52 和/或 CL 68。

D. 14. 1 线性模块接收机噪声符合性测试

模块接收器可以通过测量噪声通过并增加输入测试信号来测试噪声顺应性。图 53 是定义模块接收机噪声测试的测试系统的框图。

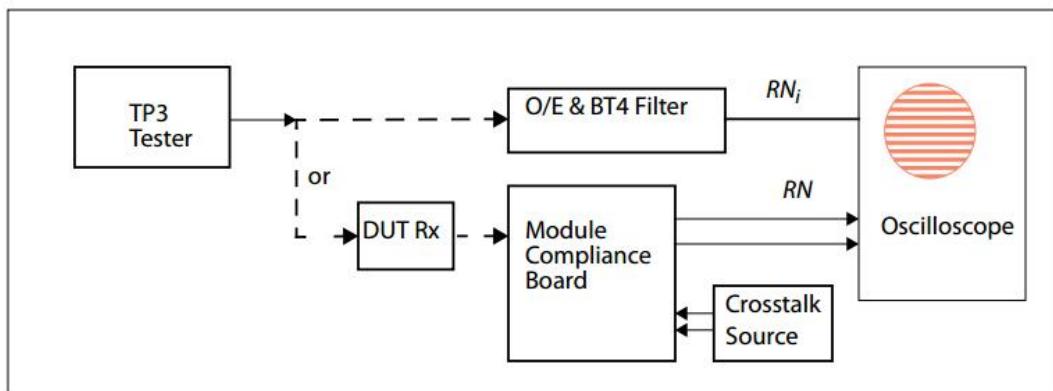


Figure 53 Linear Module Receiver Noise Test

该测试包括模块和模块合规板内串扰的影响。模块合规板的传输路径输入连接到串扰源，并通过主机合规板进行校准。串扰幅度和上升/下降时间被设置为表 18 中给出的值。串扰源的模式是 PRBS31 或有效的 64B / 66B 信号。串扰源与 TP3 测试源异步。校准后，主机合规板被替换为被测模块。模块传输路径在一致性测试期间可操作。

TP3 测试仪应按照 D. 7 中的定义进行此测试的 OMA / VMA 模式。

启用 TP3 测试仪的波形整形应力。TP3 测试仪的正弦波抖动和/或正弦波干扰应该被禁用或设置为非常低的幅度。

TP3 测试仪的 RN_i 设置为表 31 指定的级别。

TP3 测试仪连接到被测模块中。该模块插入模块合规板，该板又连接到示波器。然后测量模块输出信号 RN 的相对噪声。相对噪声测量方法见 D. 8。

TP3 测试信号 RN_i 的相对噪声通过参考 0 / E 转换器和 4 阶 Bessel Thomson 滤波器和数字示波器进行表征。如果 TP3 测试源的噪声与表 31 中的目标值不匹配，则可以使用以下公式校正 RN：

$$RN = \sqrt{(RN_{measured})^2 - 1.24 \times RN_i(target) \times (RN_i - RN_i(target))}$$

其中 RN 测量包括实际 TP3 测试仪噪声在模块输出端的影响，RN_i 是实际的 TP3 测试仪噪声，RN_i（目标）是表 31 中测试条件给出的目标测试噪声。由此产生的噪声结果为 com - 符合表 20 规定的符合性限制。必须满足由模块支持的标准所规定的光功率范围。

Table 31 Target RN_i Values

Application	RN _i (target)
LRM pre-cursor	0.0219
LRM split-symmetrical	0.0269
LRM post-cursor	0.0213
LR	0.014
SR	0.020

对于 LRM，RN_i 应在表 31 中给出的适当值的 1 dBo 内。对于 LR 和 SR，RN_i 应不大于表 31 中适当值的 1 dBo；任何较低的值都是允许的。

该示例程序描述为测量仪器。然而，由实际范围产生的噪声可能会影响结果。通过从 RN 测量的噪声中适当减去示波器噪声的平方，校正了由于范围引起的噪声，以获得与被测信号相关的相对噪声。对于电气范围噪声测量，范围输入端接 50Ω 终端。对于光学范围噪声测量，示波器输入应具有零光。

D. 14.2 线性模块接收器失败罚款合规性测试

本节定义了 dWDP，这是与线性光接收机相关的波形滤波和其它失真的测量。定义线性模块接收机失真测试的方框图 dWDP 测试系统如图 54 所示。

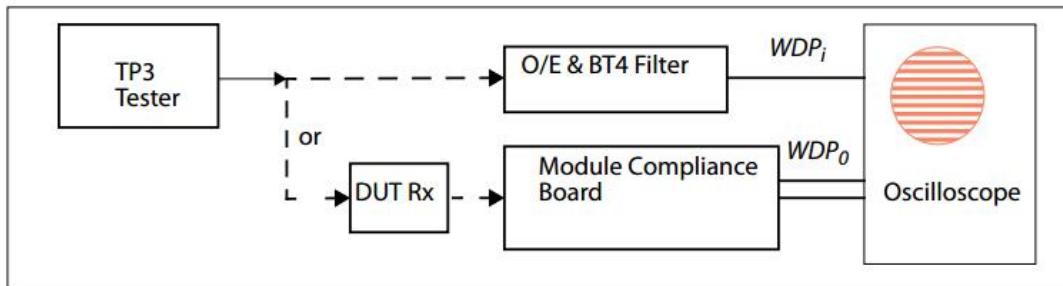


Figure 54 Module receiver waveform penalty compliance test

- 图 54 中的 WDP_i 和 WDP_o 使用 D. 9 中定义的 WDP 方法进行测量。TP3 测试信号的 WDP_i 首先通过 O / E 转换器和 4 阶贝塞尔 Thomson 滤波器和数字示波器进行表征。对于 10GBASE-LRM，该信号应代表 IEEE 标准中描述的波形。802.3 CL 68.6.9，对于 10GBASE-LR，该信号表示 IEEE Std 中描述的波形。802.3 CL 52.9.9。
- TP3 测试仪从 O / E 转换器中取出并连接到被测模块中。该模块又插入到模块兼容板中，模块兼容板又连接到示波器。然后测量模块输出信号的 WDP_o。虽然 WDP_o 基于电信号的测量，但是其线性光模块输出的单位为 dBo，以便在下面的 dWDP 等式中直接与光输入信号进行比较。

由模块贡献的失真由以下等式确定：

$$dWDP = WDP_o - WDP_i$$

将 dWDP 与表 20 中规定的合规性限制进行比较。每个 dWDP 必须符合每个指定的 TP3 条件。

TP3 测试仪与 TP3 兼容点测试相关标准相同的测试系统。

D. 14.3 线性模块接收器输出差分峰值电压

适用于相关应用 (SR, LR 或 LRM) 的兼容 TP3 应力接收器测试仪连接到模块接收器输入。应该使用应用的 OMA 测试图案，所有的应力损失如正弦抖动，正弦干扰，ISI 和噪声都应该被关闭。上升/下降时间应为 47 ps 20–80%。通过 7.5 GHz 参考 O / E 转换器观察时，输入波形不应有过冲或纹波。

模块的输出通过连接到示波器中的模块符合性板进行测量。测量带宽为 12 GHz。预计更宽的测量带宽对结果只有较小的影响。如果测量带宽影响结果，则可以通过后处理来校正测量带宽。平均值用于消除测量中的噪声。测量差分信号的峰值到峰值摆幅，并将其与表 20 中的极限进行比较。

D. 15 交流共模电压

SFI 发射器和通道限制，但不能消除交流共模电压的产生。SFI 接收器，模块和主机都必须以最大允许输入共模电压完全运行。由于驱动器输出 (P 和 N) 的交叉点偏移 50%，阻抗失配，PCB 走线不匹配或模式转换，常常会产生共模电压。

D. 15.1 交流共模电压的定义

任何时候的共模电压都是信号+和信号的平均值。通过将一个 UI 上的直方图功能应用于共模信号来计算 RMS 交流共模电压。由于交流共模生成对电缆或示波器延时不匹配非常敏感，建

议延时匹配任何测量的示波器输入。

D. 15. 2 交流共模生成测试

用于 AC 共模生成的测试模式是 IEEE CL 52. 9. 1. 1 中定义的模式 1(BnBi) 或模式 3(PRBS31)。预计任何 64B / 66B 加扰信号都应该给出类似的结果。

D. 15. 3 交流公共模式公差测试

AC 共模容限的测试模式是 IEEE CL 52. 9. 1. 1 中定义的模式 1 (BnBi) 或模式 3 (PRBS31)。预计任何 64B / 66B 编码信号都应该给出类似的结果。

如果发射机输出不产生足够的交流共模量, 那么产生附加量的方法是通过调整 P 和 N 延迟直到产生正确的量。

D. 16 终止错误

终止不匹配定义为 Z_p 和 Z_n 电阻之间的百分比差异, 如图 18 所示。终端不匹配定义为:

$$\Delta Z_M = 2 \times \frac{Z_p - Z_n}{Z_p + Z_n} \times 100$$

或者, 可以通过对差分输入施加低频测试音来测量终止失配, 如图 55 所示。测试频率必须足够高以克服 AC 耦合电容器的高通效应。测量的差分输出或输入阻抗由 Z_{diff} 指定。

低频终止失配由下式给出:

$$\Delta Z_M = 2 \times \frac{I_p - I_n}{I_p + I_n} \cdot \frac{Z_{diff} + 100}{Z_{diff}} \cdot 100$$

其中 I_p 和 I_n 是流入 SFI 端口的电流, 如图 55 所示。 Z_s 是驱动器端子 Z_p 和 Z_n 与 AC Ground 之间的有效串联阻抗。

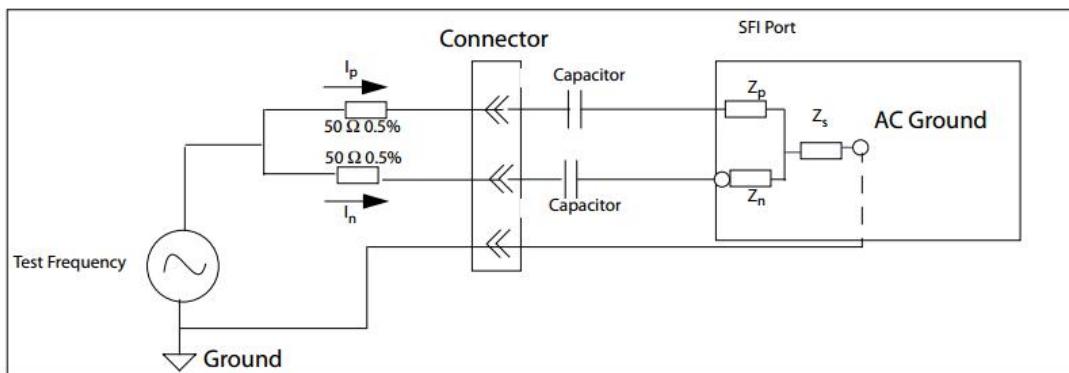


Figure 55 AC Termination Mismatch Measurement

D. 17 电源测试方法

本节定义了 2.8.2 和 2.8.3 中给出的电源噪声输出, 以及 2.8.4 中的电源噪声容限。

图 56 所示的参考电源滤波器用于模块测试, 包括电源容差测试。该滤波器将满足大多数主机系统的噪声滤波要求。其他滤波实现或本地调节可用于满足 2.8.2 和 2.8.3 中描述的功率噪声输出要求。

对于每个 Vcc, 4.7uH 电容器, 22uF 电容器和阻尼电阻器的等效串联电阻之和为 0.5 Ω。在实际的主机滤波器以及参考滤波器中, 该电阻是期望的; 然而, 主机上的滤波器网络上的任何电压降都与表 8 中的主机 VccT 和 VccR 精度规格相对应。

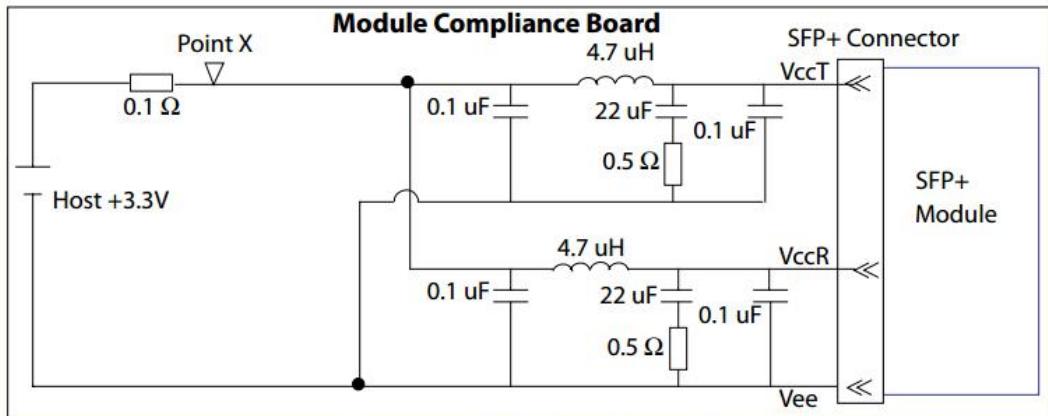


Figure 56 Module Compliance Board Power Supply Filters

D. 17. 1 主电源噪声输出

主机 Vcc 电源的噪声输出由电阻负载定义，取代 SFP+ 模块，该电阻负载连接在一个 Vcc 触点和 Vee 之间的最大额定功率（1 W 或 1.5 W）。当测量 VccT 上的噪声时，VccR 保持开路，反之亦然。8Ω 用于支持功率级别 II 的主机，否则为 12Ω。在 SFP+ 连接器的模块侧测量交流电压。噪声功率谱除以参考滤波器的截断响应，然后从 10 Hz 到 10 MHz 积分并转换为电压。该功能在下面的等式和图 57 中说明。规范限制在 2.8.2 中给出。在主板/系统的所有其他部分处于活动状态的情况下进行测试。具有多个 SFP+ 模块的主机必须一次测试一个端口，并在所有剩余端口中使用激活的 SFP+。

$$H(f) = a \times (\log_{10}(f))^4 + b \times (\log_{10}(f))^3 + c \times (\log_{10}(f))^2 + d \times (\log_{10}(f)) + e$$

图 57 中定义了图 57 所示的参考滤波器响应 H(f) 和 5 个频带的系数 a, b, c, d 和 e。

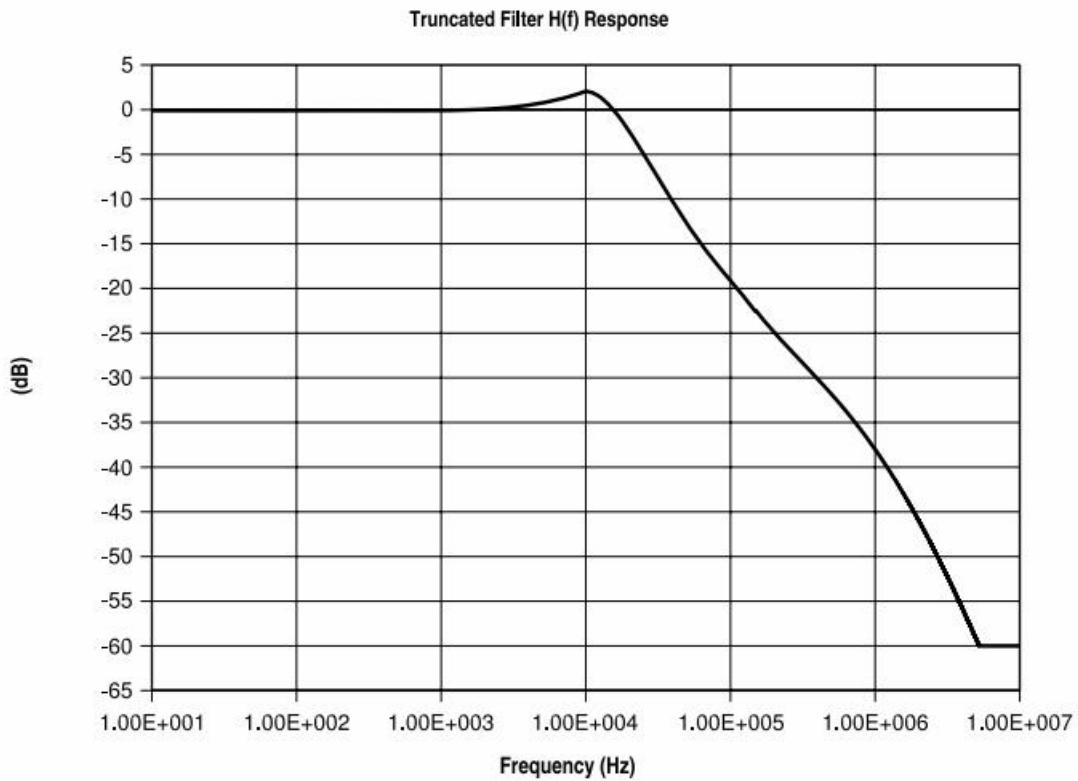


Figure 57 Reference filter response

Table 32 Truncated Filter Response Coefficients

Frequency (<i>f</i>)	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>
10 Hz \leq f < 100 Hz	0	0	0	0	-0.1
100 Hz \leq f < 10 kHz	0.3784	-3.6045	12.694	-19.556	11.002
10 kHz \leq f < 150 kHz	-22.67038	430.392	-3053.779	9574.26	-11175.98
150 kHz \leq f \leq 5.243 MHz	3.692166	91.467	838.80	-3400.38	5139.285
5.243 MHz \leq f \leq 10 MHz	0	0	0	0	-60

注意 – 由于轻载电源可能会产生比完全供电更多的噪声，因此主机实施者可能希望以小于最大电流消耗来评估主机电源噪声输出。由于在高频下的小的测量噪声信号被乘以在虚拟点 X 处产生推断的噪声，因此应注意频谱分析仪的本底噪声。可以使用其它测量方法，例如。在主机内的某个点进行测量，并适当考虑参考过滤器和主机的实际过滤器之间的任何差异。

D. 17.2 SFP +模块电源噪声输出

模块噪声电压输出在图 56 中的点 X 处以 10Hz 至 10MHz 的频带定义。

模块必须在所有工作模式下通过模块电源噪声输出测试。该测试确保模块不会将模块内的过多噪声耦合到主机板上。可以使用功率计技术或具有光谱集成的频谱分析仪技术。最大允许噪声幅度在 2.8.3 中给出。

D. 17.3 模块电源容差测试

在该测试中，在图 58 的点 X 处施加扫描正弦音，其公差信号幅度和频率范围在 2.8.4 中给出。交流容差信号由诸如电源和点 X 之间的低阻抗缓冲放大器等电路产生。PSU 和正弦波发

生器的阻抗小于 0.5Ω 。正弦波的振幅在点 X 处的每个频率被校准，模块被 Vcc 和 Vee 之间的 12Ω 负载替换。

注意 - 为了减少正弦波发生器所需的功率，可能需要去除参考滤波器主机侧的 $0.1\mu F$ 电容。如果模块就位而不是测试电阻，则正弦波的校准预计不会显着不同。

或者，可以分别对 VccT 和 VccR 进行测试，而另一个电源滤波器直接连接到电源。不需要显示单独的和通用的 Vcc 调制的符合性。

该测试适用于最小和最大直流设定值。请注意，DC 电平通过模块输入端的正弦电压的峰值（这是频率依赖的），嵌入表 5 中的限制。

源频率在 2.8.4 规定的范围内变化，以确定任何频率是否导致参数超出规格限制。在所有情况下，测量的参数应通过所有频率出现的光标准。发送参数可能包括 UJ, Qsq 和 TDP，参见 [IEEE 802.3]。对于接收端，它们包括强调灵敏度，过载，RN 和 Rx_LOS 功能。

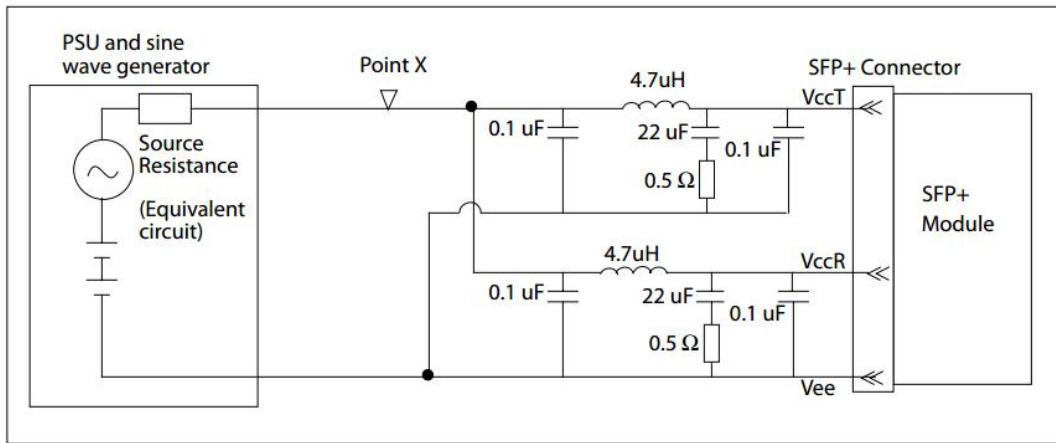


Figure 58 Power Supply Noise Tolerance Test Setup

参考 Vee 定义节点 X 处的交流电压。VccT 和 VccR（在 SFP +连接器）都满足包括纹波，下垂和低于 100 kHz 噪声的直流电压规范。

附录 E SFP +直接连接电缆规格 “10GSFP + CU”（可选）

符合本附录的被动铜缆使用第 4 章定义的 2 线管理和 SFF-8472 的存储器映射来识别。

本附录描述了第 3 章线性主机规范的附加要求或例外，以实施被动直接连接 SFP +电缆组件。SFP +直连电缆（10GSFP + Cu）的合规点与主机兼容性测试点 3.3.1 和 3.3.2 中的模块符合性测试点相同。

所有 SFI 测试设备在所有测试端口上必须具有 $50\text{ }\Omega$ 的单端阻抗。

10GSFP + Cu 无源电缆组件的每个 Tx_Disable 触点在模块中拉至 VccT，功率为 $4.7\text{k }\Omega$ 至 $10\text{k }\Omega$ 。模块中的 Rx_LOS 触点在 10GSFP + Cu 无源电缆组件的模块中应拉低。允许将 Rx_LOS 直接连接到 VeeR。

有源电缆组件必须按照第 3 章的现有线性或限制规定进行操作。

该规范不承担超出满足 B 点（见表 12）和 TWDPc 规范（见表 33）在 B 点处的抖动规范所需的水平的额外的发射预加重。增加传输预测可能会增加电缆但是可能会增加发射机 DDJ，并且超出了本规范的范围。

警告：10GSFP + Cu 只能在具有共同理由的系统上使用。使用 SFP +直接连接电缆连接具有不同接地电位的系统会导致短路并可能导致损坏。

E.1 10GSFP + CU 直接连接结构

10GSFP + Cu 电缆组件由一对 SFP + 模块有效地构成，其 OE 组件替换为铜缆布线，如图 59 所示。SFP + 边缘卡连接器触点在表 3 中定义。电缆组件应包含直流阻塞电容器 RX 侧最小 4.3 V 额定值，20 kHz 至 100 kHz 之间的高通极点。漏极线连接到 VeeT 和 VeeR。电缆屏蔽层直接连接模块 A 和 B 模块。

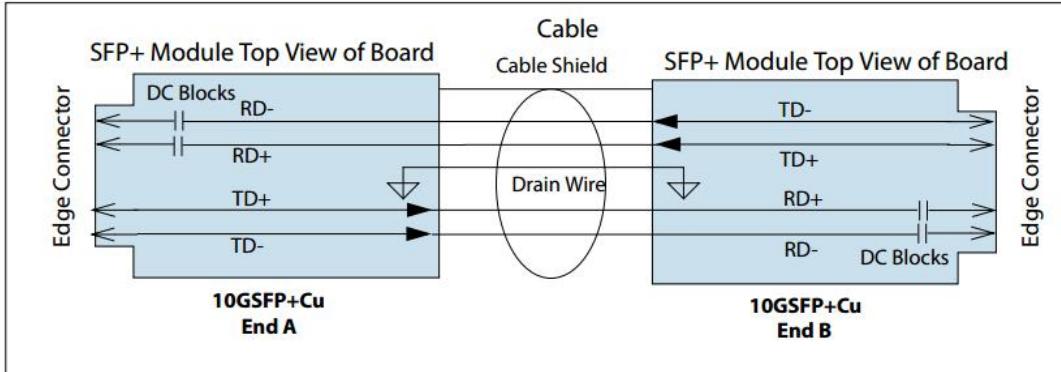


Figure 59 10GSFP+Cu Direct Attach Block Diagram

E. 2 用于被动直接连接电缆的 SFP + 主机输出规范

支持直接连接电缆的 SFP + 主机必须符合表 11 中的发射机输出规格和参考点 B 的表 12 中的抖动规格。此外，SFP + 主机发射机必须符合表 33 中的规格。

Table 33 SFP+ Host Transmitter Output Specifications at B for Cu

Parameters- B	Symbol	Conditions	Min	Target	Max	Units
Voltage Modulation Amplitude (p-p)	VMA	See D.7	300			mV
Transmitter Q _{sq}	Q _{sq}	See 1	63.1			
Output AC Common Mode Voltage		See D.15			12.0	mV (RMS)
Host Output TWDPC	TWDPC	See 2, 3			10.7	dBe

1. $Q_{sq} = 1/RN$ if the one level and zero level noises are identical and see [D.8](#).
 2. Host electrical output measured with LRM 14 taps FFE and 5 taps DFE Equalizer with PRBS9 for copper direct attach stressor, see [Appendix G](#).
 3. The stressor for TWDPC is given in [Table 34](#) and is included in the code in [Appendix G](#).

- 如果一级和零级噪声相同，则 $Q_{sq} = 1 / RN$ ，见 D. 8。
- 使用 LRM 测量的主机电输出 14 抽头 FFE 和 5 抽头 DFE 均衡器与 PRBS9 用于铜直接连接应力器，见附录 G。
- 表 34 中给出了 TWDPC 的应激源，并包含在附录 G 中的代码中。

TWDPC 是铜电缆应力源的主机发射器，如图 60 所示，表 34 中给出。使用该应力源计算 TWDPC 的代码在附录 G 中给出。

E. 2. 1 发电机压力机

对于符合 TWDPC 的要求，需要模拟电缆响应。响应被建模为具有特定幅度和延迟的一组 delta 函数。铜应激源是由通常可用的直接连接 SFP + 电缆的测量产生的，其中发射机响应去卷积。应力器如图 60 所示，值列在表 34 中。所有应力分量的总和归一化为近似值 1。

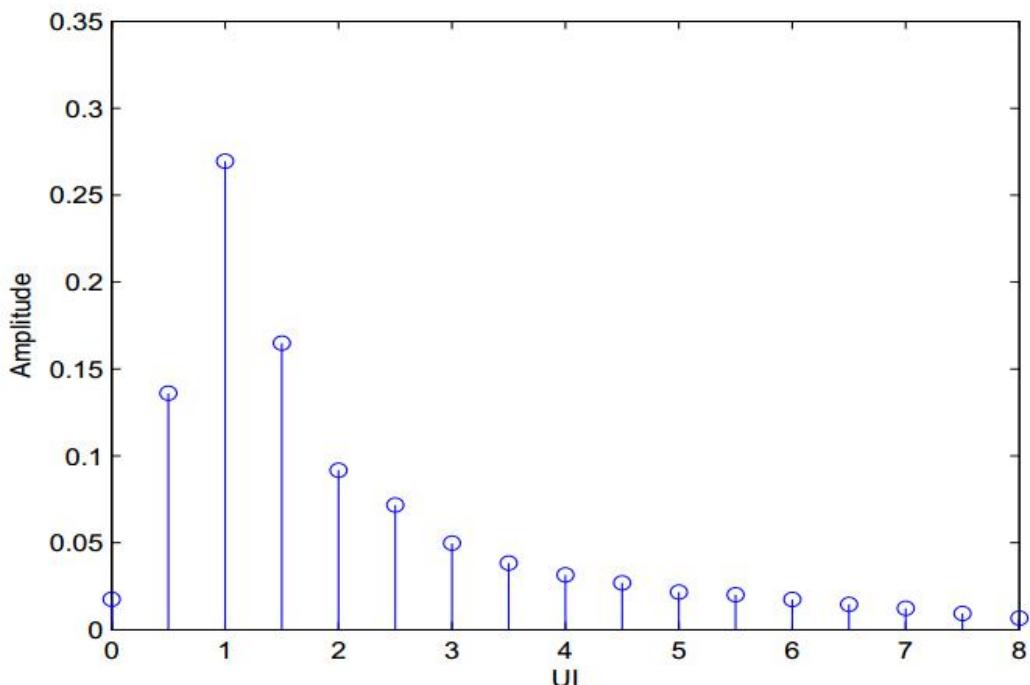


Figure 60 10GSFP+Cu TWDPc Stressor Impulse Response

Table 34 10GSFP+Cu TWDPc Stressor

Delay (UI)	Delay (ns)	Amplitude	Delay (UI)	Delay (ns)	Amplitude
0	0	0.0175	4.5	0.43637	0.0270
0.5	0.04849	0.1360	5.0	0.48485	0.0216
1	0.09697	0.2695	5.5	0.53334	0.0202
1.5	0.14546	0.1649	6.0	0.58182	0.0174
2	0.19394	0.0917	6.5	0.63031	0.0146
2.5	0.24243	0.0717	7.0	0.67879	0.0123
3.0	0.29091	0.0498	7.5	0.72728	0.0094
3.5	0.33940	0.0383	8.0	0.77576	0.0066
4.0	0.38788	0.0315			

E. 3 SFP + HOST 接收机支持 10GSFP + CU 输入合格测试信号在 C “

支持直接连接铜选项的主机是满足所需的 1×10^{-12} BER，在使用 E. 3. 1 节所述的应力信号进行测试时，除了符合 3. 5. 2 节的要求外，主机接收机支持线性模块

E. 3. 1 铜主机接收器规格

SFP + 主机接收器应力发生器由 E. 3. 2 中描述的一组抽头延迟线描述，预期铜缆的合适长度将产生这里描述的应力器。应力发生器必须满足表 35 中给出的目标 WDPc(铜波形失真罚分)。应力发生器应使用表 35 中给出的参数实现图 61 中所示的噪声模型。噪声模型包含两个噪声源：相对于发射机信号电平的 Qsq 噪声和由信道响应和无固定噪声（建模电缆 NEXT）加上 的后置信道形成的 Qsq 噪声。这个测试中增加的噪声源 Qsq 和 No 是白色和高斯。

灵敏度试验应以最小 VMA 进行，过载试验应按表 35 给出的最大 p-p 电压进行。

Table 35 10GSFP+ Host receiver input stress Generator at C"

Parameters- C"	Symbol	Conditions	Min	Target	Max	Units
Waveform Distortion Penalty of the ISI Generator	WDPC	See 1, 2		9.3		dBe
Transmitter Q _{sq}	Q _{sq}	See 4, 5		63.1		
Post channel fixed noise source	N _o	See 3		2.14		mV (RMS)
Differential Voltage Modulation Amplitude	VMA	See 4, D.7		180		mV
Differential Peak-Peak Voltage Overload				700		mV
Input AC Common Mode Voltage		See 6, D.15.2			13.5	mV(RMS)
1. Copper stressor as defined in Table 36 . WDPC is measured with reference receiver with 14 FFE taps and with 5 DFE taps, see Appendix G .						
2. WDPC for the stress is smaller than the transmitter TWDPc due to the VMA loss in the host stressor.						
3. N _o is the RMS voltage measured over one symbol period at the output of the MCB in a 12 GHz bandwidth. The source for Q _{sq} should be disabled during this calibration.						
4. Square pattern with eight ONEs and eight ZEROs.						
5. Q _{sq} = 1/RN if the one level and zero level noises are identical and see D.8 . Q _{sq} is calibrated at the output of the MCB in a 12 GHz bandwidth with the ISI of the channel model in Figure 61 disabled. The source for N _o should be disabled during this calibration.						
6. AC common mode target value is achieved by adjusting relative delay of the P and N signals.						

1. 如表 36 所定义的铜应激源。WDPC 用具有 14 个 FFE 抽头和 5 个 DFE 抽头的参考接收器测量，参见附录 G。
2. 由于主机压力源的 VMA 损耗，WDPC 的应力小于发射机 TWDPc。
3. 否是在 12 GHz 带宽中，MCB 的输出在一个符号周期内测量的 RMS 电压。在此校准期间，应禁用 Q_{sq} 的源。
4. 方形图案，八个八和八个 ZERO。
5. 如果一级和零级噪声相同，则 Q_{sq} = 1 / RN，参见 D.8。Q_{sq} 在 12 GHz 带宽的 MCB 输出端校准，图 61 中的通道模型的 ISI 被禁用。在此校准期间，应禁用“否”源。
6. 交流共模目标值通过调整 P 和 N 信号的相对延迟来实现。

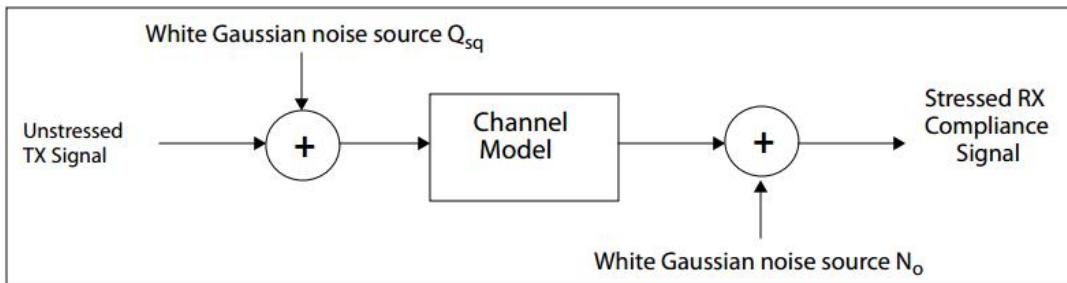


Figure 61 Block Diagram of Copper Stressor Noise Model

E. 3.2 铜主体应力发生器 1 UI 脉冲响应

铜主体压力源是通过常用直接连接 SFP + 电缆的测量而创建的。铜主应力发生器 1 UI 脉冲响应的响应如图 62 所示，脉冲响应值列于表 36。

铜缆的合适长度是表 36 的应力源的可接受的替代品，只要它具有相同的 WDPC。表 36 中列出的脉冲响应与测量的隔离脉冲响应之间的 RMS 拟合应该被最小化以获得如表 35 所列的目标 WDPC 值。

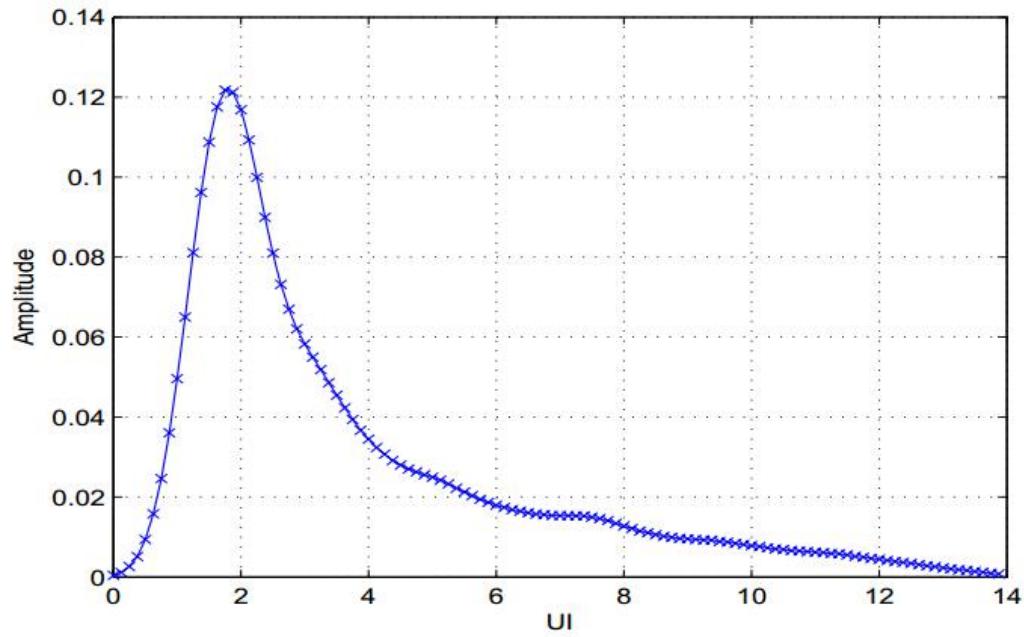


Figure 62 Stress Generator 1UI Pulse Response with 8x over-sampling

Table 36 Stress Generator 1 UI Pulse Response with 8x Over-sampling

Delay (UI)	Delay (ns)	Amplitude	Delay (UI)	Delay (ns)	Amplitude	Delay (UI)	Delay (ns)	Amplitude
0	0.0000	0.0004	4.625	0.4485	0.0270	9.25	0.8970	0.0093
0.125	0.0121	0.0011	4.75	0.4606	0.0263	9.375	0.9091	0.0092
0.25	0.0242	0.0026	4.875	0.4727	0.0256	9.5	0.9212	0.0089
0.375	0.0364	0.0051	5	0.4848	0.0249	9.625	0.9333	0.0087
0.5	0.0485	0.0094	5.125	0.4970	0.0242	9.75	0.9455	0.0084
0.625	0.0606	0.0158	5.25	0.5091	0.0233	9.875	0.9576	0.0082
0.75	0.0727	0.0246	5.375	0.5212	0.0222	10	0.9697	0.0079
0.875	0.0848	0.0360	5.5	0.5333	0.0212	10.125	0.9818	0.0076
1	0.0970	0.0496	5.625	0.5455	0.0204	10.25	0.9939	0.0073
1.125	0.1091	0.0650	5.75	0.5576	0.0194	10.375	1.0061	0.0070
1.25	0.1212	0.0811	5.875	0.5697	0.0187	10.5	1.0182	0.0068
1.375	0.1333	0.0962	6	0.5818	0.0180	10.6250	1.0303	0.0066
1.5	0.1455	0.1088	6.125	0.5939	0.0174	10.7500	1.0424	0.0065
1.625	0.1576	0.1176	6.25	0.6061	0.0169	10.8750	1.0545	0.0063
1.75	0.1697	0.1218	6.375	0.6182	0.0165	11.0000	1.0667	0.0062
1.875	0.1818	0.1213	6.5	0.6303	0.0161	11.1250	1.0788	0.0061
2	0.1939	0.1169	6.625	0.6424	0.0157	11.2500	1.0909	0.0059
2.125	0.2061	0.1093	6.75	0.6545	0.0155	11.3750	1.1030	0.0058
2.25	0.2182	0.1000	6.875	0.6667	0.0154	11.5000	1.1152	0.0055
2.375	0.2303	0.0899	7	0.6788	0.0153	11.6250	1.1273	0.0052
2.5	0.2424	0.0810	7.125	0.6909	0.0153	11.7500	1.1394	0.0049
2.625	0.2545	0.0732	7.25	0.7030	0.0153	11.8750	1.1515	0.0046
2.75	0.2667	0.0670	7.375	0.7152	0.0153	12.0000	1.1636	0.0044
2.875	0.2788	0.0620	7.5	0.7273	0.0150	12.1250	1.1758	0.0041
3	0.2909	0.0583	7.625	0.7394	0.0146	12.2500	1.1879	0.0039

3.125	0.3030	0.0549	7.75	0.7515	0.0141	12.3750	1.2000	0.0037
3.25	0.3152	0.0519	7.875	0.7636	0.0134	12.5000	1.2121	0.0034
3.375	0.3273	0.0486	8	0.7758	0.0128	12.6250	1.2242	0.0030
3.5	0.3394	0.0455	8.125	0.7879	0.0121	12.7500	1.2364	0.0028
3.625	0.3515	0.0423	8.25	0.8000	0.0115	12.8750	1.2485	0.0026
3.75	0.3636	0.0394	8.375	0.8121	0.0110	13.0000	1.2606	0.0022
3.875	0.3758	0.0367	8.5	0.8242	0.0106	13.1250	1.2727	0.0020
4	0.3879	0.0345	8.625	0.8364	0.0101	13.2500	1.2848	0.0018
4.125	0.4000	0.0324	8.75	0.8485	0.0099	13.3750	1.2970	0.0016
4.25	0.4121	0.0307	8.875	0.8606	0.0097	13.5000	1.3091	0.0014
4.375	0.4242	0.0291	9	0.8727	0.0095	13.6250	1.3212	0.0012
4.5	0.4364	0.0280	9.125	0.8848	0.0094	13.7500	1.3333	0.0009
						13.8750	1.3455	0.0008

E. 4 SFP +被动直接连接电缆总成规格

被动直接连接电缆在合規点 B' 和 C' 处用一对模块合規板进行测试。SFP +无源电缆组件需要符合表 37 中的规范。

VCR, VMA, Vcm 和 dWDP 可以使用基于频率的方法导出，其产生等效结果，例如利用具有发射器行为模型的频率相关串扰和插入损耗传递函数。

Table 37 10GSFP+Cu Cable Assembly Specifications at B' and C'

Parameter - C' (Cable Output)	Symbol	Conditions	Min	Target	Max	Units
Single Ended Input and Output Voltage Tolerance			-0.3		4.0	V
Output AC Common Mode Voltage	Vcm	See 1			13.5	mV (RMS)
Difference Waveform Distortion Penalty	dWDPc	See 2, 9, E.4.1 , E.4.2 and D.14.2			6.75	dBe
VMA Loss	L	See 3, 9, D.7 , E.4.4			4.4	dBe
VMA Loss to Crosstalk Ratio	VCR	See 1, D.7 , E.4.1 , E.4.4	32.5			dB
Differential Output/Input Reflection Coefficient ⁴	SDDxx	0.01-4.1 GHz			See 5	dB
		4.1-11.1 GHz			See 6	dB
Common Mode Output/Input Reflection Coefficient ⁷	SCCx	0.01-2.5 GHz			See 10	dB
		2.5-11.1 GHz			-3	dB
Parameter - B'' (Input Test Conditions)	Symbol	Conditions	Min	Target	Max	Units
Input AC Common Mode Voltage	Vcm	See 1, D.15.2		12		mV (RMS)
Signal Rise and fall time Time	Tr/tf	See D.6		34		ps
Crosstalk Source Rise/Fall time (20% to 80%)	Tr, Tf	See D.6		34		ps
Crosstalk Source Amplitude Differential (p-p)				700		mV
WDP _i		See 8		2.4		dBe

- 输入共模电压为 12.0 mV RMS，输入上升和下降时间为 34ps，振幅为表 12 允许的最大振幅。
- 具有 14 T / 2 间隔 FFE 抽头和 5 T 间隔 DFE 抽头的参考接收器，见附录 G.
- VMA 损失是输入和输出时 VMA 测量的比例。
- 参考差分阻抗为 100 Ω。此处列出的 dB 值与 dBe 相同。
- 反射系数由等式 SDDxx (dB) = -12 + 2 × SQRT (f) 给出，f 为 GHz。
- 反射系数由等式 SDDxx (dB) = -6.3 + 13 × log10 (f / 5.5) 给出，f 为 GHz。
- 共模参考阻抗为 25 Ω。此处列出的 dB 值与 dBe 相同
- 通过调整预加重直到目标 WDP_i 达到，调整 DDJ 和/或 DDPWS。
- 由表中给出的参数 B “给出的输入测试条件。

10. 反射系数由等式 $SCCx (dB) < -7 + 1.6 \times f$ 给出，其中 f 为 GHz。

E. 4. 1 SFP + 直接连接电缆测试设置

直接连接电缆测试方法基于第 3. 3 节定义的 SFP + 测试方法。电缆通过一对模块合规板进行测量，如图 63 所示。该图显示了测试电缆 A 端的 NEXT 和路径 1 上测量 WDP 的框图。要测量 B 端的 NEXT 和路径上的 WDP 2 电缆端 A 和 B 相反。符合性信号发生器如图 49 所示。

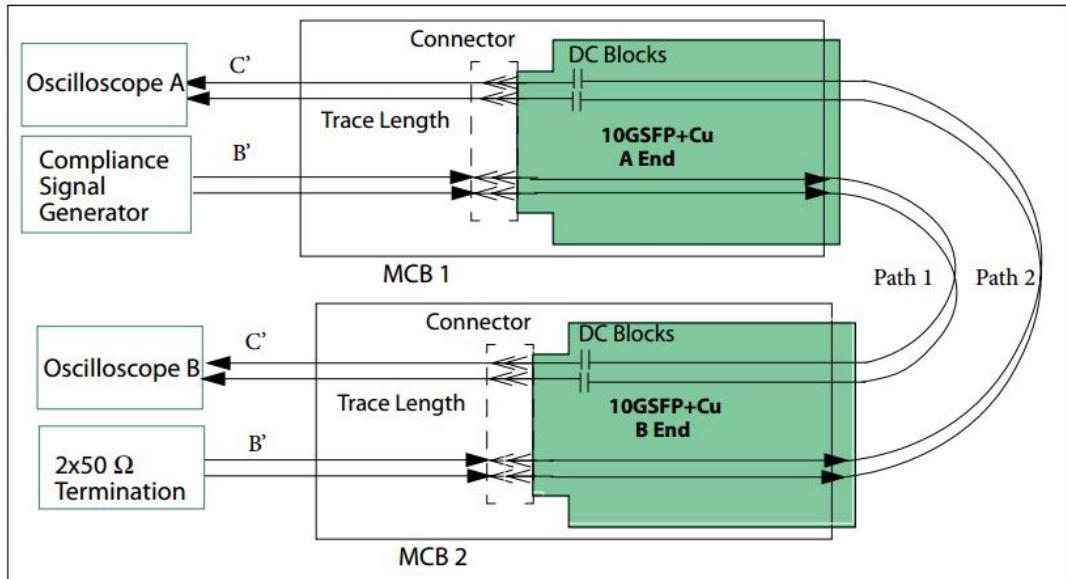


Figure 63 10GSFP+ Cable Test Setup

图 64 中的 WDP_i 和 WDP_0 使用 D. 9 中定义的 WDP 方法。通过将主机合规板插入模块合规板 1，然后满足表 37 中列出的目标 WDP_i 来测量 WDP_i 。 WDP_0 通过将电缆的一端插入模块合规板 1，另一端进行测量。模块合规板 2.B “压力发生器可以是 D. 10 中描述的测试系统。

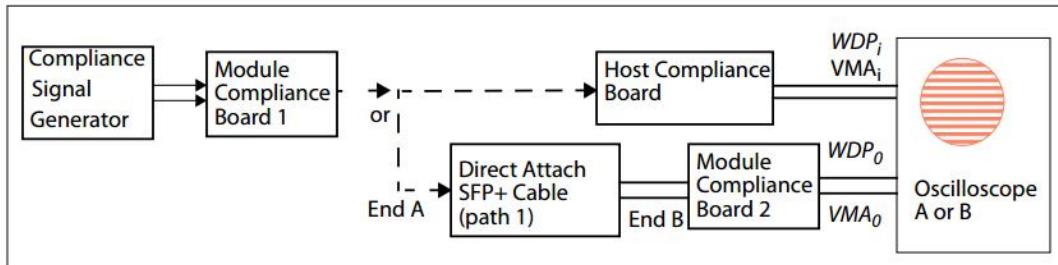


Figure 64 10GSFP+Cu Cable NEXT dWDP Test Setup

E. 4. 2 电缆 DWDP 测试程序

dWDP 的测量步骤如下：

- 符合性信号发生器设置为 PRBS9。
- 为了提高测量精度，应减少不相关的抖动和噪声。
- 应使用平均值进一步降低仪器和测量噪声，从而对结果的影响可以忽略不计。
- 要根据表 37 校准 WDP_i ，请参见图 64。将主机兼容板插入连接到模块发生器的模块合规板。将输入上升和下降时间调整为目标值，如表 37 所示。调整 DDJ 和 DDPWS 以获得表 37 给出的 WDP_i 。如 D. 10 中所述的不同预加重是可接受的方法。
- 拔下主机兼容板并将电缆组件连接到模块合规板，如图 64 所示。测量 WDP_0 。
- $dWDP = WDP_0 - WDP_i$ 。

E. 4. 3 电缆下一个测量程序

使用图 63 所示的测试设置，根据以下步骤测量电缆 NEXT：

- 合规信号发生器应通过插入模块合规板的主机合规板进行校准。主机合规委员会的输出是 B 点“。
- 符合性信号发生器的振幅和 B 处的上升和下降时间被校准为如表 37 所定义的串扰目标值。
- 符合性信号发生器 DDJ 和 DDPWS 在 B “应满足或小于表 17 中指定的目标。
- 符合性信号发生器的模式是 PRBS31。 • 模块合规板 B 输出和输入端接在 50Ω 。
- NEXT 是示波器 A 在 12 GHz 带宽中测得的 RMS 电压。示波器 A 应该自由运行（不是触发）。
- 固有的示波器噪声可以通过测量的 NEXT 结果的高斯噪声的 RSS 来校正。
- 远端模块合规板输出和输入端接至 50Ω 。
- 然后对另一个电缆端重复此测量。

E. 4. 4 VMA 至 CROSSTALK 比 (VCR)

电缆路径 1 的电缆 VMA 损耗 (L) 可以使用图 64 所示的测试设置进行测量。电缆路径 2 的 VMA 损耗 (L) 通过用 B 的反向电缆端 A 测量。

$$L(dBe) = 20 \log \left(\frac{VMA_i}{VMA_o} \right)$$

其中 VMA_i 是测量的 VMA 在 B “和 VMA_o 在 C’ 测量。

VMA / 2 到串扰比 (VCR) 是 B 处的发射机最小 VMA 之间的比例，除以已经包含反射 FEXT 的电缆 NEXT。VCR 方程中的因子 0.3 占 SFP + 有限主机回波损耗。

$$VCR(dBe) = VNR - L - K - 20 \log 10(1 + C)$$

where

$$C = 0.3 \times 10^{\left(-\frac{2L}{20} \right)}$$

VCR 方程可以如下：

$$20 \log 10(VMAMIN/(2*NEXT*(1+C)))-L.$$

$$VNR = 20 \log 10 \left[\frac{\frac{(NEXTaggressorVMA)}{2}}{NEXT} \right]$$

$$K(dBe) = 20 \log 10 \left(\frac{VMAmmax}{VMAmmin} \right) = 20 \log 10 \left(\frac{700}{300} \right) = 7.36$$

E. 4. 3 中描述了测量 NEXT 的过程。

附录 F 1. 25 GBD 操作支持 (可选)

F. 1 引言

SFP + 主机可能设计为使用基于 INF-8074i 的经典 SFP 模块，以 1.25 Gb/s 速率运行。虽然 IEEE Std 802.3，条款 38 和 59 (1000BASE-SX, 1000BASE-LX 和 1000BASE-LX10 PMD)

没有定义模块的电平，但是 INF-8074i 规定了这些再现级别，以供参考。

主机发射机输出电平 B 和主机接收机输入公差电平分别由表 39 和表 40 给出，其中 SFP + 主机工作在 1.25 GBd。注意：此处指定的级别可能不完全符合所有经典的 SFP 模块，但预计将包含现有 1.25 GBd 经典模块的大部分。为了完全符合所有经典的 SFP 模块，最大主机接收机输入容限级别必须为 2000 mV，但是对于现代 10Gb / s SerDs 来说，这不被认为是实用的。

Table 38 INF-8074i Voltage Levels for Reference Only

Parameters - B'	Symbol	Conditions	Min	Max	Units
SFP Module Input Differential at B'	Vin	See 1	500	2400	mV (p-p)
SFP Module Output Differential at C'	Vout		370	2000	mV (p-p)

1. INF-8074i recommends value between 500-1200 mV differential p-p be used for best EMI performance.

F. 2 支持 SFP + 的主机操作指导

SFP + 主机必须分别在 B 点和 C 点支持 IEEE CL 38.5 和 CL 59.6 的 TP1 和 TP4 抖动规范。

对于 1.25 GBd 操作，可能需要调整 SFP + 主机输出预加重级别以获得最佳输出眼图。

B 中的模块最大输入在表 39 中给出，与 INF-8074i 中的值相同。然而，为了提供与 SFP + 主机的兼容性，表 40 中的模块最大输出远低于 INF-8074i 中指定的值。满足表 41 规格的 SFP 模块将与 SFP + 主机互操作。

Table 39 SFP+ Host Transmitter Requirements to Support 1.25 GBd Mode

Parameters - B	Symbol	Conditions	Min	Units
Host Output VMA Differential	Vout		500	mV
Parameters - B	Symbol	Conditions	Value	Units
Eye Mask	Y1	See D.2 and Figure 65	150	mV
Eye Mask	Y2		500	mV

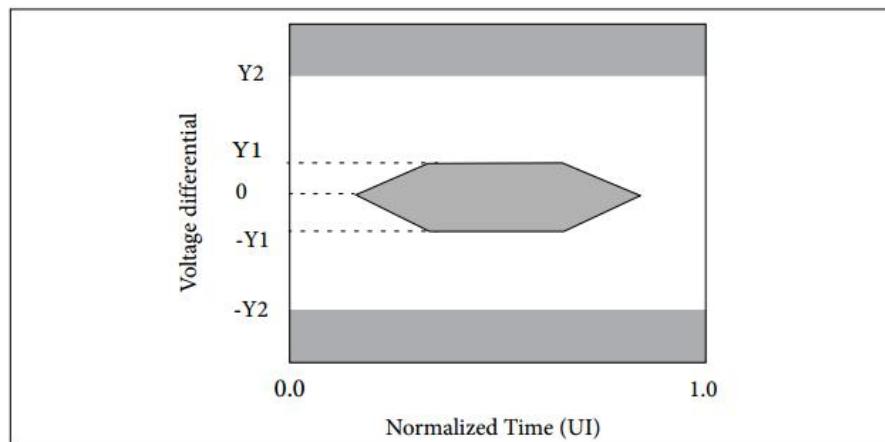


Figure 65 SFP+ Host Transmitter Output Mask for 1.25 GBd Operation

Table 40 SFP+ Host Receiver Requirements to Support 1.25 GBd Mode

Parameters - C	Symbol	Conditions	Min	Units
Host Input VMA Differential	Vin		370	mV
Parameters- C	Symbol	Conditions	Value	Units
Eye Mask	Y1	See D.2 and Figure 66	125	mV
Eye Mask	Y2		600	mV

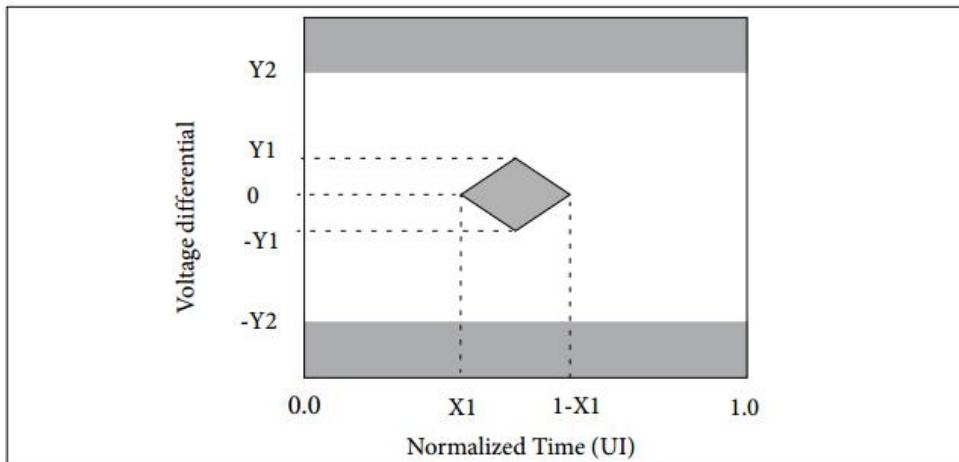


Figure 66 SFP+ Host Receiver Input Mask for 1.25 GBd Operation

Table 41 SFP Module input and output ranges that can be supported by the SFP+ Host

Parameters - Module	Symbol	Conditions	Min	Max	Units
SFP Module Input at B'	Vin		500 ¹	2400 ¹	mV (p-p)
SFP Module Output at C'	Vout		370 ¹	1200	mV (p-p)

1. Values are identical to the SFP classic INF-8074i specification.

附录 G TWDP 的 Matlab 代码

```
%%%%%%%%%%%%% MATLAB (R) Code for xWDP Computation %%%%%%
%% SFF-8431 TWDP Code - PA1loc for Cu is now 14.0 dBe.
%% Based on original TWDP methodology described in IEEE Std 802.3aq(TM)-2006
%% Reference: N. L. Swenson, P. Voois, T. Lindsay, and S. Zeng, "Standards
%% compliance testing of optical transmitters using a software-based equalizing
%% reference receiver", paper NWC3, Optical Fiber Communication Conference and
%% Exposition and The National Fiber Optic Engineers Conference on CD-ROM
%% (Optical Society of America, Washin[gton, DC), Feb. 2007.
function [xWDP, MeasuredxMA]=SFF8431xWDP(WaveformFile, EqNf, EqNb, SymbolRate, Usage)
%% Example calling syntax:
%% [xWDP, MeasuredxMA]=SFF8431xWDP('wavefile.txt', 14, 5, 10.3125, 'Optical_WDP')
%% The fields in the example given above should be replaced by the actual values
%% being used. WaveformFile should be the actual path\filename for each waveform
```

```

%% tested. The waveform consists of exactly N samples per unit interval T, where
%% N is the oversampling rate. The waveform must be circularly shifted to align
%% with the data sequence. The file format for the measured waveform is ASCII
%% with a single column of chronological numerical samples, in signal level,
%% with no headers or footers.

%% EqNf is the # of T/2-spaced feedforward equalizer taps; EqNb is the # of
%% T-spaced feedback equalizer taps.

%% SymbolRate is in gigabaud.

%% Options for Usage are 'Optical_WDP', 'Copper_WDP', and 'Copper_TWDP'.
%% 'Optical_WDP' is used in support of Chapter 3 for
%% measuring WDPi at the output of an optical TP3 tester,
%% measuring WDPo at C' of a linear optical module receiver, and
%% calibrating WDP at C'' for testing a host that supports linear optical modules.

%% 'Copper_WDP' is used in support of Annex E for
%% measuring WDPi and calibrating WDP at B'' for testing a copper cable assembly,
%% measuring WDPo at C' of a copper cable assembly (C), and
%% calibrating WDP at C'' for testing a host that supports copper cable assemblies
%% 'Copper_TWDP' is used for measuring TWDP at B of a host that supports copper
%% cable assemblies.

%% Transmit data file: The transmit data sequence is the 511 bit PRBS9 TWDP test
%% patterns defined in Table 686. The file format is ASCII with a single column
%% of chronological ones and zeros with no headers or footers.

TxDataFile = 'prbs9_950.txt';

%% Program constants %

OverSampleRate = 16; % Oversampling rate, must be even
SymbolPeriod = 1/SymbolRate; % Symbol period is in ns
Q0 = 7.03; % BER = 10^(-12)

%% Load input waveform and data sequence, generate filter and other matrices
yout0 = load(WaveformFile);
XmitData = load(TxDataFile);
PtrnLength = length(XmitData);
TotLen = PtrnLength*OverSampleRate;
Fgrid = [-TotLen/2:TotLen/2-1]./(PtrnLength*SymbolPeriod);
%% Compute response of 7.5 GHz 4th order Butterworth antialiasing filter
a = [1 123.1407 7581.811 273453.7 4931335]; % Denominator polynomial
b = 4931335; % Numerator for frequency response
ExpArg = -j*2*pi*Fgrid;
H_r = b./polyval(a,-ExpArg);

%% Get usage parameters for the application
[H_chan,Delays,PAlloc,dBscale] = GetParams(Usage,ExpArg);
N0 = SymbolPeriod/2 / (Q0 * 10^(PAlloc/dBscale))^2;
%% Set search range for equalizer delay, specified in symbol periods. Lower end
%% of range is minimum channel delay. Upper end of range is the sum of the
%% lengths of the FFE and channel. Round up and add 5 to account for the

```

```

%% antialiasing filter.
EqDelMin = floor(min(Delays)/SymbolPeriod);
EqDelMax = ceil(EqNf/2 + max(Delays)/SymbolPeriod);
ONE=ones(PtrnLength, 1);
%% Normalize the received xMA (OMA or VMA) to 1. Estimate the xMA of the captured
%% waveform by using a linear fit to estimate a pulse response, synthesize a
%% square wave, and calculate the xMA of the synthesized square wave per IEEE
%% 802.3, clause 52.9.5.
ant=4; mem=40; % Anticipation and memory parameters for linear fit
X=zeros(ant+mem+1,PtrnLength); % Size data matrix for linear fit
Y=zeros(OverSampleRate,PtrnLength); % Size observation matrix for linear fit
for ind=1:ant+mem+1
    X(ind,:)=circshift(XmitData, ind-ant-1)';
    % Wrap appropriately for lin fit
end
X=[X;ones(1,PtrnLength)]; % The all-ones row is included to compute the bias
for ind=1:OverSampleRate
    Y(ind,:)=yout0([0:PtrnLength-1]*OverSampleRate+ind)';
    % Each column is 1 bit
end
Qmat=Y*X'*(X*X')^(-1); % Coefficient matrix resulting from linear fit. Each
%% column (except the last) is one bit period of the pulse response. The last
%% column is the bias.
SqWvPer=16; % Even number; sets the period of the sq wave used to compute xMA
SqWv=[zeros(SqWvPer/2, 1);ones(SqWvPer/2, 1)]; % One period of sq wave (column)
X=zeros(ant+mem+1,SqWvPer); % Size data matrix for synthesis
for ind=1:ant+mem+1
    X(ind,:)=circshift(SqWv, ind-ant-1)';
    % Wrap appropriately for synthesis
end
X=[X;ones(1,SqWvPer)]; % Include the bias
Y=Qmat*X;Y=Y(:); % Synthesize the modulated square wave, put into one column
Y=AlignY(Y, SqWvPer, OverSampleRate);
avgpos=[0.4*SqWvPer/2*OverSampleRate:0.6*SqWvPer/2*OverSampleRate];
ZeroLevel=mean(Y(round(avgpos), :)); % Average over middle 20% of "zero" run
% Average over middle 20% of "one" run, compute xMA
MeasuredxMA=mean(Y(round(SqWvPer/2*OverSampleRate+avgpos), :))-ZeroLevel;
% Subtract zero level and normalize xMA
yout0 = (yout0-ZeroLevel)/MeasuredxMA;
%% Compute the noise autocorrelation sequence at the output of the front-end
%% antialiasing filter and rate-2/T sampler.
Snn = N0/2 * fftshift(abs(H_r).^2) * 1/SymbolPeriod * OverSampleRate;
Rnn = real(ifft(Snn));
Corr = Rnn(1:OverSampleRate/2:end);
C = toeplitz(Corr(1:EqNf));
%% Compute the minimum slicer MSE and corresponding xWDP
X = toeplitz(XmitData, [XmitData(1); XmitData(end:-1:end+1-EqNb)]);

```

```

Xtil = toeplitz(circshift(XmitData, EqDelMin), ...
XmitData(mod(-EqDelMin:-1:-(EqDelMax+EqNb), PtrnLength)+1));
Rxx = X'*X; % Used in MSE calculation
%% Propagate the waveform through channel.
yout = real(ifft(fft(yout0) .* fftshift(H_chan)));
%% Process signal through front-end antialiasing filter %%%%%%
yout = real(ifft(fft(yout) .* fftshift(H_r)));
%% Compute MMSE-DFE %%%%%%
%% The MMSE-DFE filter coefficients computed below minimize mean-squared error
%% at the slicer input. The derivation follows from the fact that the slicer
%% input over the period of the data sequence can be expressed as  $Z = (R+N)*W -$ 
%%  $X*[0 \ B]$ ', where R and N are Toeplitz matrices constructed from the signal and
%% noise components, respectively, at the sampled output of the antialiasing
%% filter, W is the feedforward filter, X is a Toeplitz matrix constructed from
%% the input data sequence, and B is the feedback filter. The computed W and B
%% minimize the mean square error between the input to the slicer and the
%% transmitted sequence due to residual ISI and Gaussian noise. Minimize MSE
%% over 2/T sampling phase and FFE delay and determine BER.
MseOpt = Inf;
for jj= [0:OverSampleRate-1]-OverSampleRate/2 % sampling phase
%% Sample at rate 2/T with new phase (wrap around as required)
yout_2overT = yout(mod([1:OverSampleRate/2:TotLen]+jj-1, TotLen)+1);
Rout = toeplitz(yout_2overT, [yout_2overT(1); yout_2overT(end:-1:end-EqNf+2)]);
R = Rout(1:2:end, :);
RINV = inv([R'*R+PtrnLength*C R'*ONE; ONE'*R PtrnLength]);
R=[R ONE]; % Add all-ones column to compute optimal offset
Rxr = Xtil'*R; Px_r = Rxr*RINV*Rxr';
%% Minimize MSE over equalizer delay
for kk = 1:EqDelMax-EqDelMin+1
SubRange = [kk:kk+EqNb];
SubRange = mod(SubRange-1, PtrnLength)+1;
P = Rxx - Px_r(SubRange, SubRange);
P00 = P(1, 1); P01 = P(1, 2:end); P11 = P(2:end, 2:end);
Mse = P00 - P01*inv(P11)*P01';
if (Mse < MseOpt)
MseOpt = Mse;
B = -inv(P11)*P01'; % Feedback filter
XSel = Xtil(:, SubRange);
W = RINV*R'*XSel*[1;B]; % Feedforward filter
Z = R*W - XSel*[0;B]; % Input to slicer
%% Compute BER using semi-analytic method %%%%%%
MseGaussian = W(1:end-1)'*C*W(1:end-1);
Ber = mean(0.5*erfc((abs(Z-0.5)/sqrt(MseGaussian))/sqrt(2)));
end

```

```

end
end

% Compute equivalent SNR %%%%%%
% This function computes the inverse of the Gaussian error probability
% function. The built-in function erfcinv() is not sensitive enough for low
% probability of error cases.
if Ber>10^(-12) Q = sqrt(2)*erfinv(1-2*Ber);
elseif Ber>10^(-323) Q = 2.1143*(-1.0658-log10(Ber)).^0.5024;
else Q = inf;
end

% Compute penalty %%%%%%
RefSNR = dBscale * log10(Q0) + PAlloc;
xWDP = RefSNR-dBscale*log10(Q);

% End of main function

% GetParams subFunction
function [H_chan, Delays, PAlloc, dBscale] = GetParams(Usage, ExpArg);
switch Usage
case 'Optical_WDP' % Identity channel for optical
Delays = 0;
H_chan = 1;
PAlloc = 6.5; % Total allocated dispersion penalty (dBo)
dBscale = 10;
case 'Copper_WDP' % Identity channel for copper
Delays = 0;
H_chan = 1;
PAlloc = 14.0;% Total allocated dispersion penalty (dBe)
dBscale = 20;
case 'Copper_TWDP' % Cu TWDP stressor
ChanResp = [...
.0 .04849 .09697 .14546 .19394 .24243 .29091 .33940 .38788, ...
.43637 .48485 .53334 .58182 .63031 .67879 .72728 .77576;
.0175 .136 .2695 .1649 .0917 .0717 .0498 .0383 .0315, ...
.027 .0216 .0202 .0174 .0146 .0123 .0094 .0066];
Delays = ChanResp(1, :);
PCoefs = ChanResp(2, :)';
H_chan = exp(ExpArg*Delays)*PCoefs/sum(PCoefs); %With normalization
PAlloc = 14.0;% Total allocated dispersion penalty (dBe)
dBscale = 20;
end

% End of GetParams function

% AlignY subFunction
function Y = AlignY(Y0, SqWvPer, OverSampleRate)
% Aligns the mid crossing of the xMA square waveform to its ideal position.
Y = Y0-mean(Y0); % AC-couple so crossings are at 0.

```

% Look only for the crossing in the middle by ignoring any within ~ 2 UI from
% its beginning. Due to possible misalignment of the captured waveform, this
% is the only crossing that is certain.

```
x = find(sign(Y(2*OverSampleRate:end-1))  $\sim$  = ...  

sign(Y(2*OverSampleRate+1:end)), 1)+2*OverSampleRate-1;  

% Find a more exact crossing point.  

xinterp = interp1([Y(x), Y(x+1)], [x, x+1], 0);  

% Shift to create the aligned square waveform  

Y = circshift(Y0, SqWvPer/2*OverSampleRate-x); % Coarse shift.  

X = [1:length(Y)].'; Y = interp1(X, Y, X+xinterp-x, 'spline'); % Fine shift.  

%% End of AlignY function
```

TABLE 1 SFP+ STANDARD COMPLIANCE

Standard	Signaling Rate (Gbd)	High Speed Serial Interface	High Speed Serial Test Method	Low Speed Electrical Definitions	Low Speed Test Methods	Management	Mechanical/Connector
IEEE 802.3 Clause 38 or Clause 59 (1 Gb/s Ethernet)	1.25	802.3 Clause 38 or 59 Appendix F					
1 GFC	1.0625	FC-PH	FC-PH				
2 GFC	2.125	FC-PI	FC-PI				
4 GFC	4.25	FC-PI-2	FC-PI-2				
8 GFC *	8.5	FC-PI-5	FC-PI-5				
16 GFC	14.025	FC-PI-5	FC-PI-5				
32 GFC	28.05	FC-PI-6	FC-PI-6				
10GSFP+Cu	10.3125	Chapter 3 Appendix E	Appendix D Appendix E	Chapter 2	Appendix D	Chapter 4 SFF-8472 SFF-8079 SFF-8089	SFF-8432 SFF-8083
IEEE 802.3 Clause 52 (10 Gb/s Ethernet LAN PHY)	10.3125						
IEEE 802.3 Clause 52 (10 Gb/s Ethernet WAN PHY)	9.95328	Chapter 3	Appendix D				
IEEE 802.3 Clause 68 (LRM)	10.3125						
10 GFC	10.51875						
10GBASE-R (IEEE 802.3 Clause 49) Encapsulated in G.709 ODU-2 Frame (FEC)	11.10						
* 8GFC specifications revised in FC-PI-5 and override FC-PI-4 requirements							

2.8 SFP +电源要求

模块主机有两个 3.3 V 电源触点，一个提供模块发射器电压 (VccT)，另一个提供模块接收器电压 (VccR)。每个连接器触点的最大电流容量（连续和峰值）为 500 mA。

SFP +模块最大功耗应满足以下功率等级之一：

电源 I 级模块 - 最大 1.0 W

功率级 II 模块 - 最大 1.5 W

电源三级模块 - 最高 2.0 W

为了避免超过系统电源限制和制冷量，默认上电时所有模块的工作电压最高可达 1.0W。支持功率级别 II 或 III 操作的主机可通过 2 线接口实现功率级 II 或 III 模块。功率级别 II

或 III 模块应断言 SFF-8472 的功率电平声明位。

允许在热插拔或上电或 Power Level II 或 III 授权之后，最大功率电平超过分类的功率电平 500 ms，但是电流限制为由表 8 给出的值，如图 11 所示。

在主机上电时，主机将在彼此之间的 100ms 内向模块提供 VccT 和 VccR。

TABLE 8 SFP+ MODULE POWER SUPPLY REQUIREMENTS

Parameters	Symbol	Condition	Min	Max	Unit
Common Parameters					
Power supply noise tolerance including ripple [peak-to-peak]		see D.17.3		66	mV
Power supply voltages including ripple, droop and noise below 100 kHz	VccT, VccR	*1	3.14	3.46	V
Instantaneous peak current at hot plug		*2 *3		400	mA
Sustained peak current at hot plug		*2 *3 *5		330	mA
Power Level I Module					
Module maximum power consumption				1.0	W
Power Level II Module					
Instantaneous peak current on enabling Power Level II		*2 *3 *5		600	mA
Module sustained peak current on enabling Power Level II		*2 *3 *5		500	mA
Maximum power consumption at power up		*4		1.0	W
Module maximum power consumption				1.5	W
Power Level III Module					
Instantaneous peak current on enabling Power Level III		*2 *3 *5		800	mA
Module sustained peak current on enabling Power Level III		*2 *3 *5		660	mA
Maximum power consumption at power up		*4		1.0	W
Module maximum power consumption				2.0	W

* 1 设定点在主板上连接器的输入端测量参考 Vee。Droop 是电源电压的任何暂时下降，例如由于插入另一个模块或使另一个模块能够使能电平 II 引起的电压。

* 2 电流的要求适用于通过图 56 中每个电感的电流。

* 3 最大电流是每个电源 VccT 或 VccR 允许的电流，因此总模块峰值电流可以是该值的两倍。瞬时峰值电流允许在短时间内超过连接器触点的规定的最大电流容量，见图 11。

* 4 上电后 500ms 内最大模块功耗不得超过 1.0W，直到 II 级运行使能。

* 5 不超过 50 位以上的持续高峰期；可能会在较短的持续时间内超出此限制。