本规范已经存档。

SFF-8419 SFP +低速接口是所有高速规格的参考

SFF-8418 SFP + 10 Gb / s电接口包含本规范的其余内容。

SFF委员会

SFF-8431

规格

SFP + 10 Gb / s和低速电接口

版本4.1 2009年7月6日

4.1版附录2013年9月15日

**摘要：**本规范定义了增强型小型可插拔（SFP +）模块和主机的高速电气特性。SFP +模块是一个热插拔、小型串行到串行的与数据无关的光收发器。这些模块可用于实现850nm，1310nm或1550nm的单模或多模串行光接口。SFP +模块设计可以使用几种不同的光纤连接器之一。该规范为系统制造商，系统集成商和供应商提供了通用参考。这是SFF委员会的内部工作规范，是一个行业专案小组。本规范可供公众查阅，书面征求意见。会员将收到的意见将纳入本规范的未来版本。

SFF委员会

SFF-8431

规格

增强型小尺寸可插拔模块SFP +

版本4.1

2009年7月6日

**摘要**：本文档规定了增强型小型可插拔（SFP +）模块和主机的低速电气和管理接口规范。SFP +模块是一个热插拔、小型串行到串行的与数据无关的光收发器。本文档定义了10Gb / s SFP +模块和主机的高速电接口规范。FC-PI-4定义了8.5千兆位/秒的高速电接口规范。模块也可以选择地支持较低的信令速率。这些模块可用于实现850 nm，1310 nm或1550 nm的单模或多模串行光学接口。SFP +模块设计可以使用几种不同的光纤连接器之一。

用户应注意到对本规范的实现可能需要使用专利权所涵盖的发明的可能性。通过分发本说明书，关于与其有关的任何专利权利要求或权利要求的有效性，不采取任何立场。要求专利存在的SFF委员会成员必须提供一份愿意按合理和非歧视性条款向这些权利授予许可证的声明，以供希望获得该许可证的申请人申请。

**前言**

该规范的开发工作由SFF委员会（一个行业组织）完成。自1990年8月成立以来，委员会的成员包括各行各业的公司。当引入2 1/2”直径的磁盘驱动器时，供应商之间的外部尺寸没有共同点，例如物理尺寸，安装位置，连接器类型，连接器位置。这些磁盘驱动器的首次使用是在笔记本电脑便携式计算机中，系统集成商与供应商分开开发包装。结果是广泛的多样性，不兼容。集成商，设备供应商和组件供应商面临的问题导致SFF委员会成立为行业专案组，以解决新兴技术的营销和工程考虑。在开发形式因素定义时，提出了其他活动，因为SFF委员会的参与者面临比磁盘驱动器的物理形状因素更多的问题。1992年11月，该章程得到扩大，以解决存储行业普遍关心的任何问题。SFF委员会成为解决不符合标准过程或需要立即解决的行业问题的论坛。已经同意支持规范的那些公司在每个SFF规范的第一页中被标识。发布SFF规范的行业共识并不是基本要求，因为认识到在出现的产品领域，存在多种方法的空间。通过提供有关竞争性提案的文档，集成商可以检查可用的替代方案，并选择被认为最合适的产品。SFF委员会会议在T10周期间举行（见www.t10.org），特定主题工作组在参加者方便的时候举行。在SFF委员会会议上提交的材料成为公有领域，对委员会会议上提交的材料的公开邮寄没有限制。SFF委员会制定的大多数规范已被EIA（电子工业协会），ANSI（美国国家标准协会）和IEC（国际电工委员会）纳入标准或采用标准。SFF委员会活动支持存储行业的要求，涉及多个标准。如果您有兴趣参与或希望遵循SFF委员会的活动，则可以在以下网址找到会员资格和/或文档的注册：

[www.sffcommittee.com/ie/join.html](http://www.sffcommittee.com/ie/join.html)。

已经有SFF规格的完整列表完成或正在由SFF委员会工作，可以在以下网址找到：

<ftp://ftp.seagate.com/sff/SFF-8000.TXT>。

如果您想更多地了解SFF委员会，指导活动的原则可以在以下位置找到：

<ftp://ftp.seagate.com/sff/SFF-8032.TXT。>

欢迎对本规范进行改进的建议。它们应该送到SFF委员会，14426 Black Walnut Ct，Saratoga，CA 95070。

**工业文档**

以下接口标准与SFP +规格相关。

SFF-8432 - 改进的可插拔形式因子（ftp://ftp.seagate.com/sff/）

SFF-8083 - 改进的0.8mm卡边缘连接器（ftp://ftp.seagate.com/sff/）

SFF-8089 - SFP速率和应用程序代码（ftp://ftp.seagate.com/sff/）

SFF-8079 - SFP速率和应用程序选择（ftp://ftp.seagate.com/sff/）

SFF-8472 - 光收发器的诊断监控接口（ftp://ftp.seagate.com/sff/）

INF-8074i - SFP（小尺寸）收发器（ftp://ftp.seagate.com/sff/）

INF-8077i - 10千兆小型可插拔模块（XFP MSA）（ftp://ftp.seagate.com/sff/）

FC-PI-4 - 光纤通道 - 物理接口-4

10GFC - 光纤通道 - 10千兆位

FC-MJSQ - 抖动和信号质量规范方法FC INCITS项目1316-DT Rev 14.1，2005年6月5日

IEEE 802.3 - IEEE标准802.3，相关的10个千兆以太网子句是49，10GBASE-R LAN PHY；50，10GBASE-W WAN PHY；52，千兆以太网串行PMD和68，10GBASE-LRM）。

OIF CEI - 光网络论坛 - 实施协议＃OIF-CEI-02.0通用电气I / O（CEI）

（http://www.oiforum.com/public/impagreements.html）

**缩略语和缩写**

|  |  |  |
| --- | --- | --- |
| 64B/66B | Data encoded with 64B/66B encoder as defined by the IEEE Std. 802.3 CL 49. | 用IEEE标准802.3 CL 49定义的64B / 66B编码器编码的数据。 |
| BER | bit error ratio | 位错误率 |
| CDR | clock and data recovery | 时钟和数据恢复 |
| CRU | clock recovery unit | 时钟恢复单元 |
| dB | decibel. 10\*log10(ratio of power quantities). Powers can be electrical or optical. Conventional usage. See also dBe and dBo. | “分贝”。10\*log10（功率数量比）。功率可以是电气或光学。常规用法。参见dBe和dBo。 |
| dBe | Specific case of dB where signals are electrical. 10\*log10(ratio of electrical power quantities). 20\*log10(ratio of voltage quantities) can be used if reference impedances are equal. | 信号为电的dB的具体情况。10\*log10（电功率比）。如果参考阻抗相等，则可以使用20\*log10（电压量的比）。 |
| dBm | decibel (relative to 1 mW) | 分贝（相对于1 mW） |
| dBo | Specific case of dB where the signals are in optical power. 10\*log10(ratio of optical power quantities). Also, in certain cases with electrical signals relating to linear optical modules, where it is expected that electrical voltage is in proportion to optical power, 10\*log10(ratio of voltage quantities). | 信号处于光功率的dB的具体情况。10\*log10（光功率比）。此外，在某些情况下，与线性光学模块有关的电信号，预期电压与光功率成比例，10\*log10（电压量的比）。 |
| DCD | Duty cycle distortion | 占空比失真 |
| DDPWS | Data Dependent Pulse Width Shrinkage | 数据相关脉冲宽度收缩 |
| DDJ | Data Dependent Jitter | 数据依赖抖动 |
| dRN | Difference of Relative noise see Appendix D | 相对噪声的差异,见附录D |
| DUT | device under test | 被测设备 |
| dWDP | Difference of the waveform distortion penalty of an optical receiver | 光接收机的波形失真损失的差异 |
| dWDPc | Difference of the waveform distortion penalty of an electrical cable assembly | 电缆组件的波形失真损失的差异 |
| EMC | electromagnetic compatibility | 电磁兼容 |
| EMI | electromagnetic Interference | 电磁干扰 |
| FC | Fibre Channel | 光纤通道 |
| h | hexadecimal notation | 十六进制符号 |
| HCB | Host Compliance Board | 主机合规板 |
| IEEE | Institute of Electrical and Electronics Engineers | 电气与电子工程师学会 |
| ITU-T | ITU Telecommunication Standardization Sector | 国际电联电信标准化部门 |
| Gbit | gigabit = 109 bits | 千兆比特= 10^9位 |
| GBd | Gigabaud | 吉波特 |
| J2 | 99% Jitter | 99％抖动 |
| LRM | IEEE 802.3 CL68 Physical Layer Specifications for 10Gb/s using 10GBASE-R encoding and long wavelength optics for multimode fiber | IEEE 802.3 CL68使用10GBASE-R编码和多模光纤的长波长光纤的10Gb/s物理层规范 |
| MCB | Module Compliance Board | 模块合规板 |
| OMA | optical modulation amplitude | 光调制幅度 |
| PCB | printed circuit board | 印刷电路板 |
| PRBS9 | Pseudo-Random Bit Sequence 29-1, see D.1.1 | 伪随机位序列2^9-1，见D.1.1 |
| PRBS31 | Pseudo-Random Bit Sequence 231-1, see D.1.1 | 伪随机位序列2^31-1，见D.1.1 |
| Qsq | Qsq a measure of SNR, see D.8 and IEEE 802.3.68.6.7 | Qsq是SNR的度量，见D.8和IEEE 802.3.68.6.7 |
| RI | random interference | 随机干扰 |
| RMS | root mean square | 均方根 |
| RN | relative noise | 相对噪音 |
| Rx | receiver | 接收器 |
| Rx\_LOS | Loss of signal same as defined in FC PI-4 and the inverse of signal detect (SD) in 802.3 | 信号丢失与FC PI-4中定义的信号相同，802.3中的信号检测（SD）相反 |
| RSS | “Root Sum of Squares” | “正方形总和” |
| SD | Signal Detect | 信号检测 |
| SerDes | Serializer/Deserializer | 串行器/解串器 |
| SFI | SFP+ high speed serial electrical interface | SFP +高速串行电接口 |
| SNR | signal-to-noise ratio | 信噪比 |
| VccT | Module positive power supply rail for the transmitter | 模块用于发射机的正电源轨 |
| VccR | Module positive power supply rail for the receiver | 模块用于接收机的正电源轨 |
| VMA | voltage modulation amplitude | 电压调制幅度 |
| Tx | transmitter | 发射机 |
| TWDP | Transmitter Waveform Distortion Penalty for an optical transmitter | 发射机波形失真补偿,用于光发射机 |
| TWDPc | Transmitter Waveform Distortion Penalty of a host transmitter supporting an electrical cable assembly | 发射机波形失真,支持电缆组件的主机发射机的补偿。 |
| UI | unit interval = 1 symbol period | 单位间隔= 1个符号周期 |
| UJ | Uncorrelated Jitter | 不相关的抖动 |
| WDP | Waveform distortion penalty | 波形失真损失 |
| WDPc | Waveform distortion penalty for an electrical cable assembly | 电缆组件的波形失真损失 |

**SFF规范**

SFF委员会内有若干项目活跃。规范中已完成或仍在处理的完整列表，请参见ftp://ftp.seagate.com/sff/SFF-8000.TXT

**文件来源**

参加SFF委员会作为观察员或会员的会员将收到会议记录和SFF规范的电子副本（http://www.sffcommittee.com/ie/join.html）。ANSI标准的副本可以从国际信息技术标准委员会（http://tinyurl.com/c4psg）购买。SFE，T10（SCSI），T11（光纤通道）和T13（ATA）标准和仍在开发中的标准副本可在HPE版本的CD\_Access（http://tinyurl.com/85fts）上获得。

**约定**

使用美国的编号惯例，即千分之一和更高的倍数用逗号隔开，而一个逗号用作小数点。这相当于ISO / IEC惯例的空格和逗号。

|  |  |
| --- | --- |
| American | ISO |
| 0.6 | 0,6 |
| 1,000 | 1 000 |
| 1,323,462.90 | 1 323 462,9 |

1. **SFP +规范的范围**

**1.1介绍**

本规范定义了SFP +模块和主机之间的电气接口及其测试方法，最高可达11.1 GBd。主机与SFP +模块之间的高速电接口称为“SFI”。SFI简化了模块，并利用基于主机的传输预加重和基于主机的接收均衡来克服PCB和外部介质损耗。

SFI通常使用一个在模块接口处的连接器，高达约200 mm的改进的FR4材料或150 mm的标准FR4，见1.3。电气接口基于标称差分阻抗为100Ω的高速、低压交流耦合逻辑。

SFP +规范包括管理，连接器1，机械2，低速信号，高速信号，以及提供参数和测试板定义的附录以及实施和测量描述。

1. Defined in SFF-8083

2. Defined in SFF-8432

SFP +模块是可热插拔的，主动连接由发射机（VccT）和接收机（VccR）的单独电源连接供电。多个模块可以为每个VccT和VccR共享单个3.3 V电源，并提供单独的滤波。详细的电源规格见2.8。

通过C.3定义的配对的参考测试卡定义和测量所有SFP +模块合规点。通过C.2定义的配对的参考测试卡定义和测量所有SFP +主机合规点。

SFP +模块是旨在支持表1中列出的一个或多个应用的电对光学或电 - 电设备。

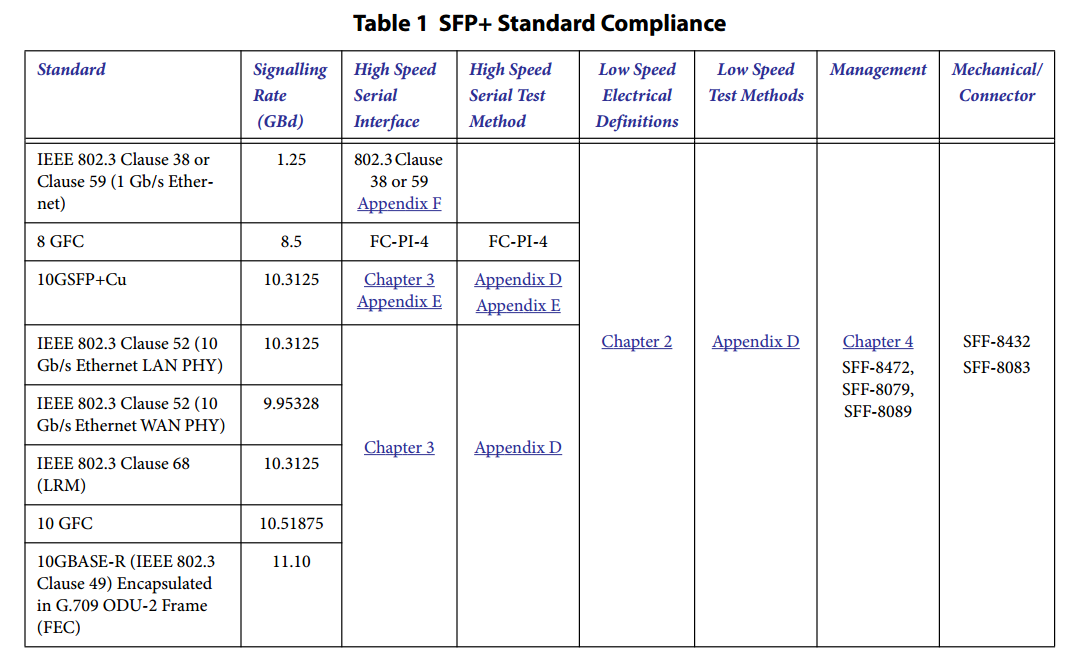
预计一系列SFP +模块将在单模光纤，多模光纤和SFP +电缆组件上运行。

允许符合SFP +标准的主机支持线性模块，限位模块，或线性模块和限位模块。线性模块是包含线性接收器的模块。限位模块是包含限位接收器的模块。尽管不是必需的，但是鼓励支持线性规范的主机支持10GSFP + Cu直连电缆（附录E）。对于其他铜型号，请参阅SFF-8461。

**1.2 SFP+支持的标准**

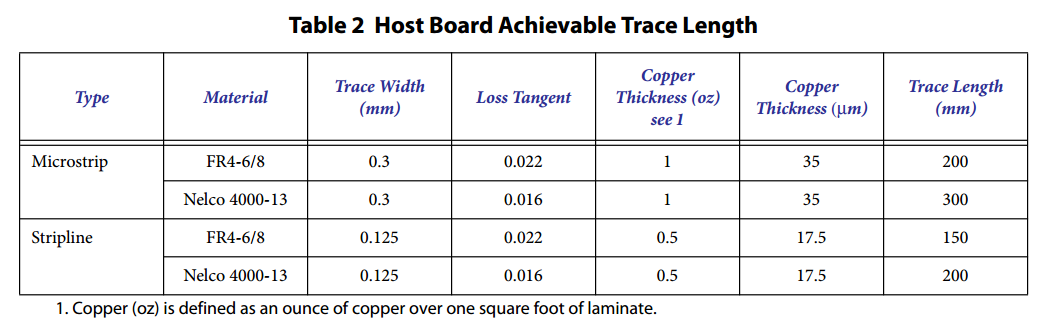
SFP +模块可以遵守表1所示标准的任何组合，并且可能适用于其他或未来的标准。本规范并不排除本表未列出的其他信令速率的操作，例如2GFC为2.125 GBd，4GFC为4.25 GBd。

由于将经典SFP模块插入到为SFP +设计的主机的可能性，C端的输入信号的主机的损坏阈值（见图13）应至少为2000 mV峰 - 峰差。



**1.3 SFI典型PCB范围（信息）**

SFI通道可以用微带线或带状线结构来实现。具有典型PCB走线的示例主机板设计如表2所示。附录A中列出了详细的通道特性和建议。



1. **低速电气和电源规格**

**2.1介绍**

SFP +低速电接口与传统的SFP接口（INF-8074i）相比具有多种增强功能，但SFP +主机也可以支持大多数传统SFP模块。SFP+2线接口电气和时序规范在第4章中定义，SFP+2线接口管理和寄存器映射由SFF-8472定义。

**2.2一般要求**

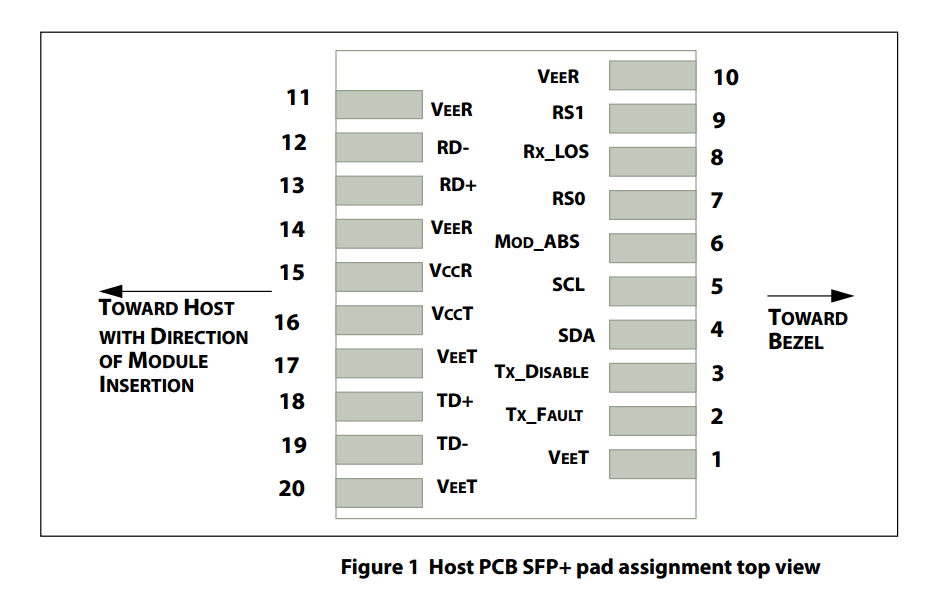
SFP +模块可热插拔。热插拔是指在主板供电时插入或拔出模块。

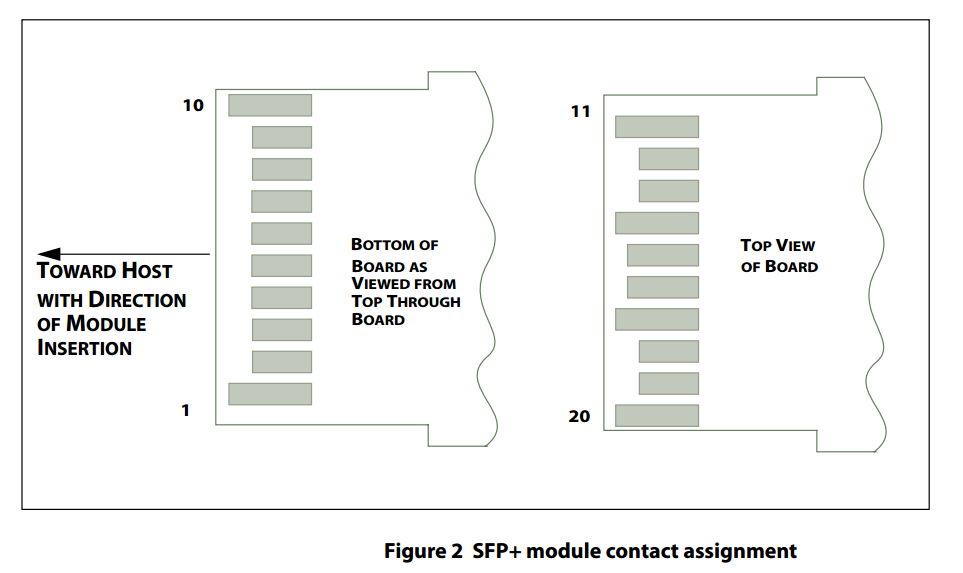
模块信号接地触点VeeR和VeeT应与模块外壳隔离。

所有电气规格应在2.8节给出的电源的整个规定范围内满足。

**2.3 SFP +主机连接器定义**

SFP +主机连接器是由SFF-8083或具有等效电气性能的堆叠式连接器指定的0.8 mm间距20位改进连接器。主机PCB触点分配如图1所示，触点定义如表3所示。SFP +模块触点按照图2所示接地，电源顺序与主机配合，接触顺序顺序列于表3。





|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Contacts | Logic1 | Symbol | Power Sequence Order | Name/Description | Note |
| case |  | case | See 2 | 模块盒 |  |
| 1 |  | VeeT | 1st | 模块发射机接地 | 3 |
| 2 | LVTTL-O | Tx\_Fault | 3rd | 模块发射机故障 | 4 |
| 3 | LVTTL-I | Tx\_Disable | 3rd | 发射机禁用; 关闭发射机激光输出 | 5 |
| 4 | LVTTL-I/O | SDA | 3rd | 2线串行接口数据线（与INF-8074i中的MOD-DEF2相同） | 6 |
| 5 | LVTTL-I/O | SCL | 3rd | 2线串行接口时钟（与INF-8074i中的MOD-DEF1相同） | 6 |
| 6 |  | Mod\_ABS | 3rd | 模块不在位，连接到模块中的VeeT或VeeR | 7 |
| 7 | LVTTL-I | RS0 | 3rd | 速率选择0，可选择，控制SFP +模块接收器。 | 8 |
| 8 | LVTTL-O | Rx\_LOS | 3rd | 接收器信号丢失指示（在FC中指定为Rx\_LOS，以太网中指定为/Signal Detect） | 4 |
| 9 | LVTTL-I | RS1 | 3rd | 速率选择1，可选择，控制SFP +模块发射器 | 8 |
| 10 |  | VeeR | 1st | 模块接收器接地 | 3 |
| 11 |  | VeeR | 1st | 模块接收器接地 | 3 |
| 12 | CML-O | RD- | 3rd | 接收器反相数据输出 |  |
| 13 | CML-O | RD+ | 3rd | 接收器非反相数据输出 |  |
| 14 |  | VeeR | 1st | 模块接收器接地 | 3 |
| 15 |  | VccR | 2nd | 模块接收器3.3 V电源 |  |
| 16 |  | VccT | 2nd | 模块发射机3.3 V电源 |  |
| 17 |  | VeeT | 1st | 模块发射机接地 | 3 |
| 18 | CML-I | TD+ | 3rd | 发射机非反相数据输入 |  |
| 19 | CML-I | TD- | 3rd | 发射机反相数据输入 |  |
| 20 |  | VeeT | 1st | 模块发射机接地 | 3 |

1.作为输入（I）和输出（O）的标注是从模块的角度出发的

2.在制作任何板边缘触点之前，该壳体与笼子电接触。

3.模块信号接地触点VeeR和VeeT应与模块外壳隔离。

4.该接点是集电极/漏极开路触点，应在主机上拉，见2.4.1和2.4.6。上拉电阻可以连接到几个电源之一，但是主机板设计应确保没有模块接触电压超过模块的VccT / R + 0.5 V。

5. Tx\_Disable是一个输入触点，模块内部上拉为VccT的4.7kΩ至10kΩ。

6.见4.2。

7.见2.4.4。

8. SFF-8431速率选择定义见2.4.3和2.5。（如果在SFF-8431中实现SFF-8079条约7和9，则分别用于AS0和AS1）。

**2.4低速电气控制触点和2线接口**

除了2线串行接口外，SFP +模块还具有以下低速触点，用于控制和状态：

•Tx\_Fault

•Tx\_Disable

•RS0 / RS1

•Mod\_ABS

•Rx\_LOS

**2.4.1 TX\_FAULT**

Tx\_Fault是一个模块输出，当高电平时，表示模块发送器检测到与激光器操作或安全相关的故障状态。如果Tx\_Fault未实现，则Tx\_Fault触点信号应由模块保持低电平，并可连接到模块内的Vee。Tx\_Fault输出是开路漏极/集电极，必须上拉至主机中的Vcc\_Host，电阻的阻值范围为4.7kΩ至10kΩ，或根据表6激活端接。

**2.4.2 TX\_DISABLE**

当Tx\_Disable被置为高电平或断开时，除非模块是无源电缆组件（见附录E），在这种情况下，该信号可能会被忽略，否则SFP +模块发射机输出将被关闭。该模块和电缆组件中的触点应拉高至VccT至4.7kΩ至10kΩ电阻。Tx\_Disable是一个模块输入。

当Tx\_Disable被置为低电平或接地时，模块发射机正常工作。

**2.4.3 RS0 / RS1**

RS0和RS1是模块输入，并被用> 30kΩ电阻拉低到模块的VeeT。RS0可选择，选择光接收信令速率所包括的范围。RS1可选，选择光发送信令速率所包括的范围。对于RS0 / RS1的逻辑定义见2.5。

如果实施SFF8079，这些触点也可以用于AS0和AS1。详见SFF8079。

RS1通常连接到经典SFP模块中的VeeT或VeeR。如果该接口连接到模块中的VeeT或VeeR，主机需要确保不会损坏它。

**2.4.4 MOD\_ABS**

Mod\_ABS连接到SFP +模块中的VeeT或VeeR。主机可以使用4.7kΩ至10kΩ范围内的电阻将此触点拉至Vcc\_Host。当SFP +模块在主机插槽中物理上不存在时，Mod\_ABS被置为“高”。在SFP MSA（INF-8074i）中，该接口具有相同的功能，称为MOD\_DEF0。

**2.4.5 SCL / SDA**

SCL是2线接口时钟，SDA是2线接口数据线。SCL和SDA由主机中的电阻上拉至Vcc\_Host\_2w。有关详细说明，请参见第4章。

**2.4.6 RX\_LOS**

Rx\_LOS在高电平时表示光信号电平低于相关标准规定的电平。Rx\_LOS是开路漏极/集电极输出，但也可以用作模块中监控电路的输入。对于名义上3.3 V的Vcc\_Host，使用电阻上拉至Vcc\_Host，电阻值应在4.7kΩ至10kΩ的范围内。对于名义上为2.5 V的Vcc\_Host，使用电阻上拉至Vcc\_Host，电阻值应在4.7kΩ至7.2kΩ的范围内。或者，可以使用根的据表6的活动终端。

Rx\_LOS信号旨在作为对其中安装模块的主机的接收信号强度低于指定范围的初步指示。这种指示通常指向电缆远端的未安装的电缆，断开的电缆，或禁用的，故障的或断电的发送器。附加指示由安装模块的主机提供，以验证正在发送的信息是否有效，正确的编码，并以正确的格式。这些附加指示超出了模块规范的范围。

Rx\_LOS可能是可选功能，具体取决于支持的标准。如果Rx\_LOS功能未实现，或仅通过双线接口报告，Rx\_LOS触点应由模块保持低电平，并可在模块内连接到Vee。

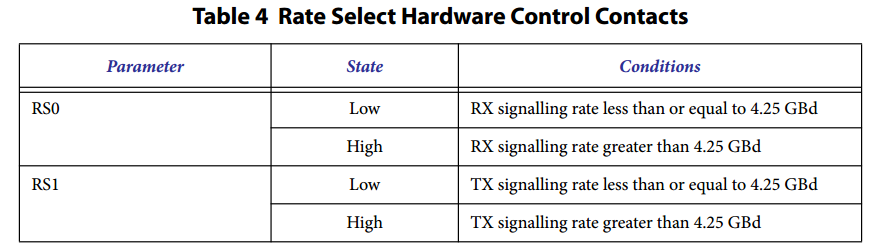
Rx\_LOS assert min和de-assert max在相关标准中定义。为了避免Rx\_LOS的虚假转换，建议使用0.5 dBo的最小滞后。

**2.5速率选择硬件控制**

SFP +模块提供两个可选择用于速率选择的输入RS0和RS1。RS0控制接收路径信令速率能力，RS1控制发送路径信令速率能力，如表4所定义。主机和模块可以选择使用这两种功能，也可以不使用这些功能。由于经典SFP INF-8074i中的触点9连接到VeeR，因此使用RS1的SFP +主机必须提供短路保护。

该速率选择功能也可以由SFF-8472定义的软件控制。

可选地，可以使用SFF-8079的第2部分的速率选择方法来代替这里描述的方法，将管理声明位（A0h字节93位2）设置为1，请参见SFF-8472。



参数 状态 条件

RS0 低 RX信号速率小于或等于4.25 GBd

高 RX信号速率大于4.25 GBd

RS1 低 TX信令速率小于或等于4.25 GBd

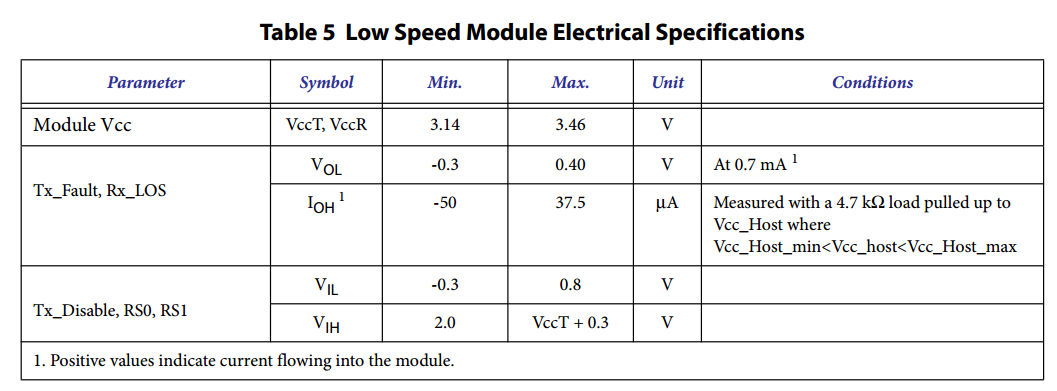
高 TX信号速率大于4.25 GBd

**2.6低速电气规格**

SFP +低速信号基于低电压TTL（LVTTL），工作模块电源为3.3 V +/- 5％，主机供电范围为2.38至3.46 V。2线接口协议和电气规范在第4章中定义。

**2.6.1模块低速电气规格**

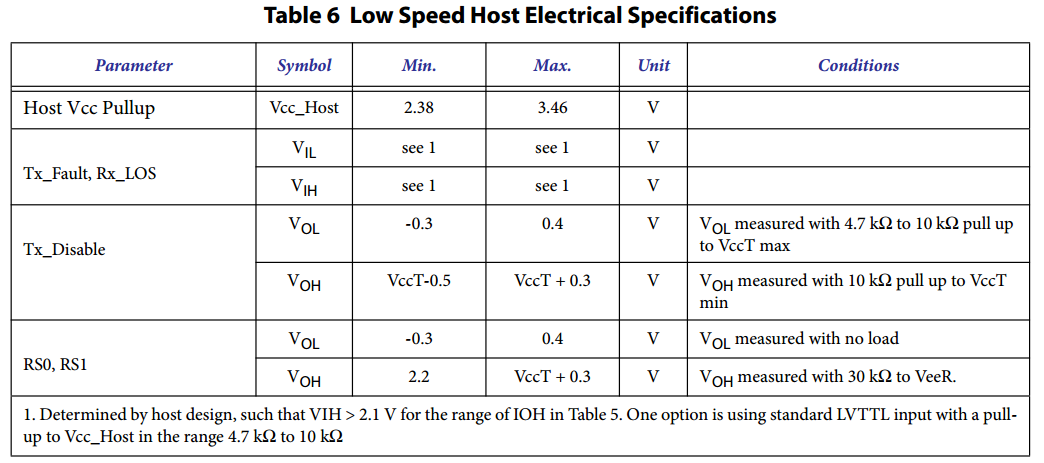
SFP +模块低速电气规格见表5。所有由VccT供电的I / O都参考VeeT，VccR也参考VeeR。



正值表示流入模块的电流。

**2.6.2主机低速电气规格**

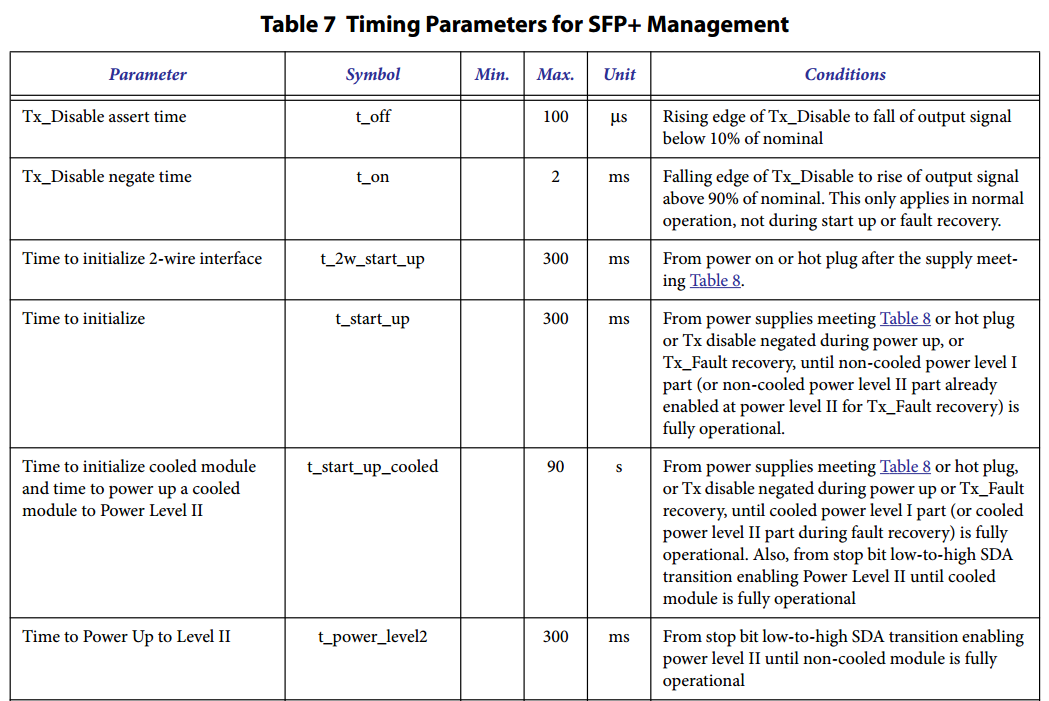
SFP +主机低速电气规格见表6.所有由VccT供电的I / O都参考VeeT，VccR也参考VeeR。

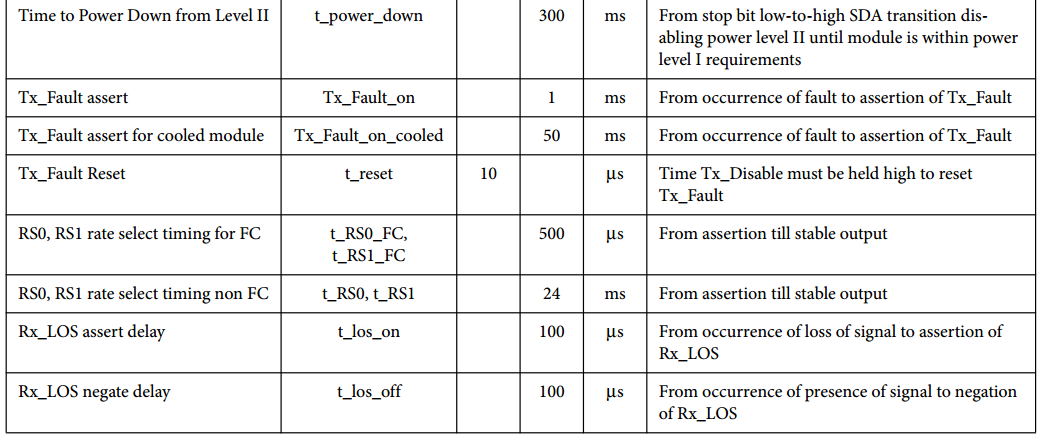


1. 由主机设计确定，这样IOH按Table 5范围时VIH> 2.1 V。一个选项是使用标准LVTTL输入，上拉至Vcc\_Host，范围为4.7kΩ至10kΩ

**2.7控制和状态I / O的时序要求**

控制和状态I / O的时序要求在表7中定义。

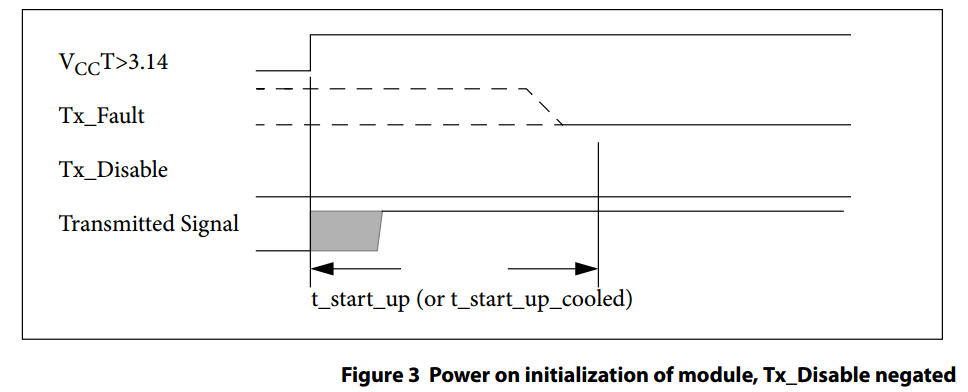




**2.7.1模块上电初始化程序，TX\_DISABLE NEGATED**

在模块上电期间，如果实现了Tx\_Fault，一旦电源电压在规定范围内，就可以断言（高电平）。对于Tx\_Disable否定的模块初始化，当发射机安全电路（如果实施）已经检测到发射机正在其正常状态下工作时，Tx\_Fault将被否定。如果没有发生发射机故障，Tx\_Fault将在VccT超出指定的最小工作电压时间（t\_start\_up）的时间内被否定（见表8）。如果Tx\_Fault在t\_start\_up之后保持置位，则主机将通过读取2线接口上的状态位来确定模块是否被冷却。如果模块没有冷却，主机可能会认为发生了传输故障。如果模块被冷却，如果Tx\_Fault保持断言超过t\_start\_up\_cooled，主机可能会认为发生了传输故障。

Tx\_Disable否定模块的初始化时序功率如图3所示。



**2.7.2模块上电初始化步骤，TX\_DISABLE ASSERTED**

对于使用Tx\_Disable置位的模块上电初始化，Tx\_Disable置位时Tx\_Fault的状态未定义。在Tx\_Disable置位之后，Tx\_Fault可能在执行安全电路初始化时被置位。当发射机安全电路（如果实施）检测到发射机工作在正常状态时，Tx\_Fault将被否定。如果没有发生发射机故障，则Tx\_ault在从Tx\_Disable被否定的时间段内的t\_start\_up期间将被否定。如果Tx\_Fault保持在t\_start\_up周期之外，主机可能会认为模块检测到传输故障。

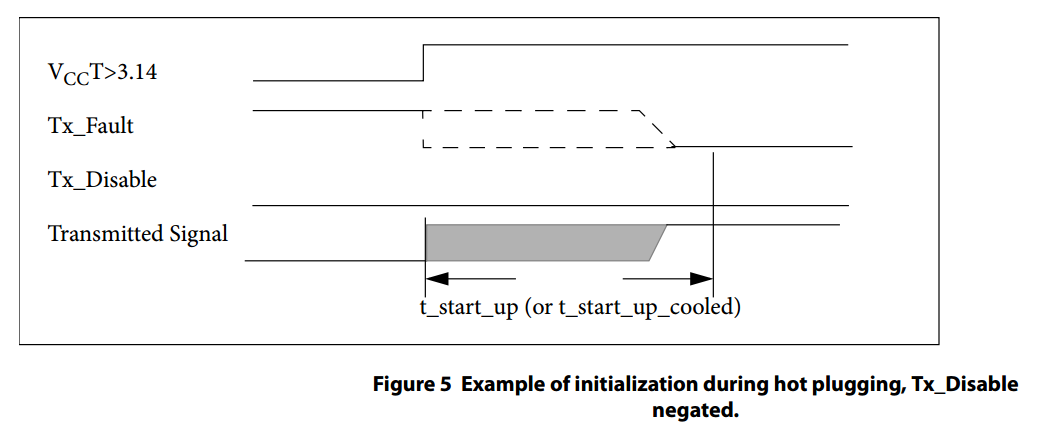
如果没有实现发射机安全电路，则Tx\_Fault信号可能会被绑定到它的否定状态。

具有Tx\_Disable的模块的初始化时序的上电功能如图4所示。



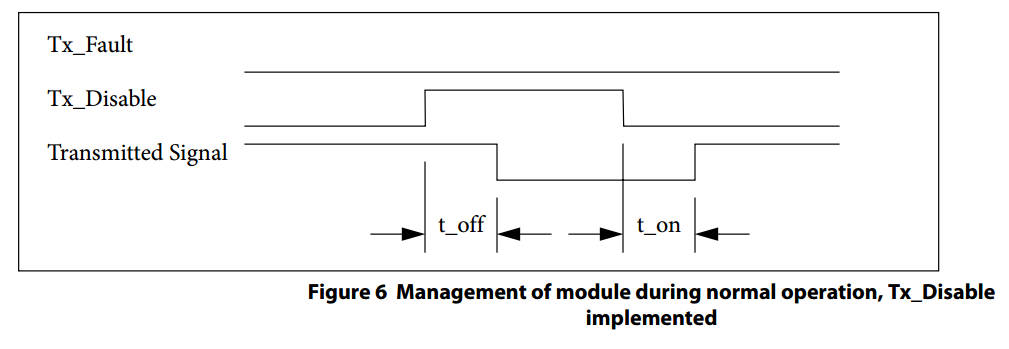
**2.7.3热插拔时的初始化**

当未安装模块时，Tx\_Fault由主机上拉电路保持到被断言状态。随着模块的安装，按照指定的顺序与地面，电压和信号触点进行接触。在模块确定VccT达到指定值后，初始化电源将按照上一节所述进行。图5中提供了热插拔时的初始化示例。

****

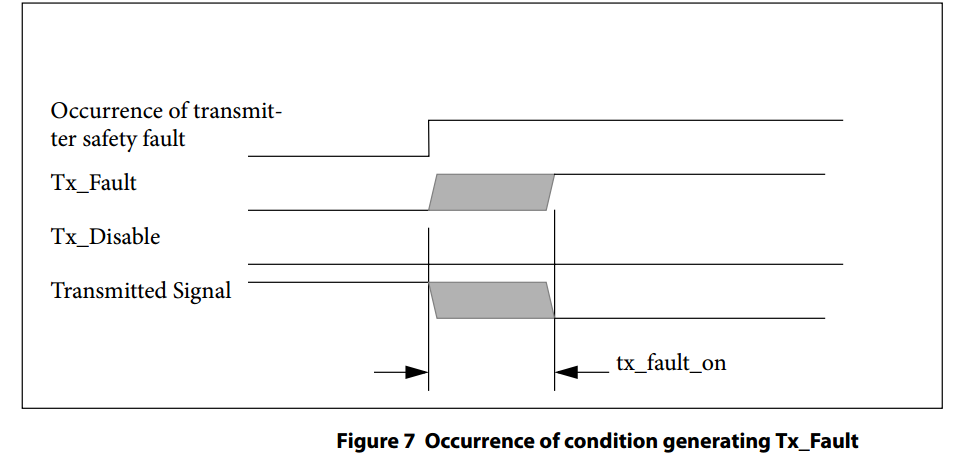
**2.7.4发射机管理**

使用Tx\_Disable信号从模块管理光输出的时序要求如图6所示。请注意，t\_on时间是指调制光信号达到最终值的90％的最大延迟，而不仅仅是平均光功率。



**2.7.5发射机安全检测和演示**

如果Tx\_Fault被实现，它将满足图7的时序要求。



**2.7.6模块故障恢复**

由Tx\_Fault提供的与安全相关的发射机故障状况的检测应被锁定。在发射机故障状态为瞬态情况下，以下协议可用于复位锁存器。

要重新设置故障状态和相关的检测电路，Tx\_Disable必须至少保留t\_reset。然后Tx\_Disable将被否定。另外，软件Tx禁用被断言和否定。在小于t\_start\_up的最大值时，光发射机将正确地重新激活激光电路，否则Tx\_Fault，如果故障条件不再存在，则开始正常工作。如果在重新初始化期间检测到故障条件，Tx\_Fault将再次被断言，故障条件再次被锁存，并且光发射机电路将再次被禁用，直到下一次尝试复位协议。模块的制造商应确保在正常运行期间或出现合理的单一故障条件时，从开放式连接器或光纤发出的光功率符合所有复位尝试期间的适用眼图安全要求。该模块可能需要内部保护电路，以防止Tx\_Disable信号的频繁断言产生频繁的能量脉冲，从而影响安全性要求。从瞬态安全故障状态恢复成功的时机如图8所示。

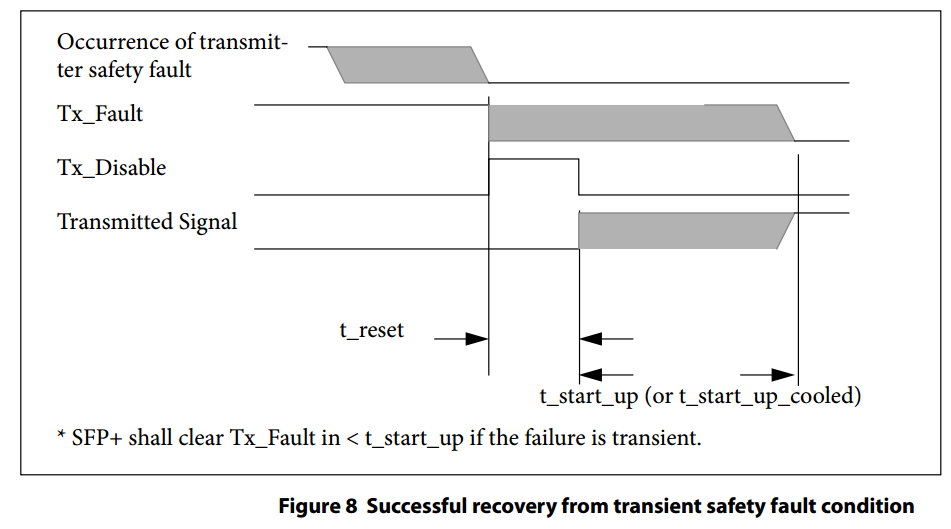
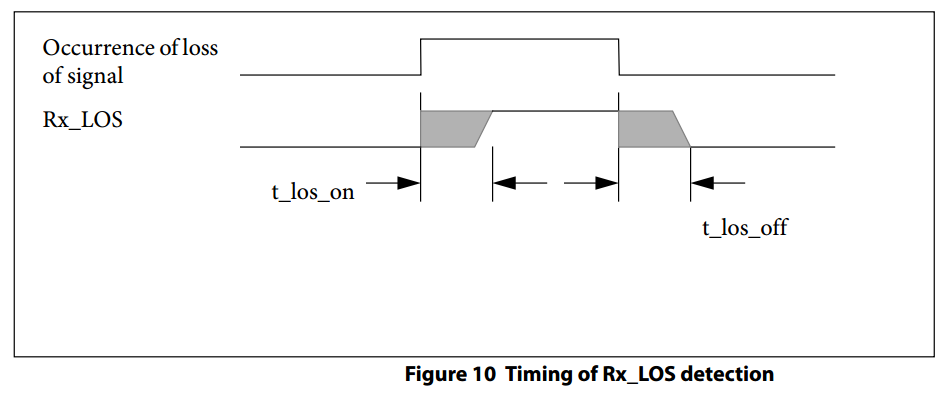


图9中显示了故障状态不是瞬态的恢复失败的示例。



**2.7.7模块丢失信号指示**

如果模块被指定为实现Rx\_LOS，则时序如图10所示。



**2.8 SFP +电源要求**

模块主机有两个3.3 V电源触点，一个提供模块发射器电压（VccT），另一个提供模块接收器电压（VccR）。每个连接器触点的最大电流容量（连续和峰值）为500 mA。

SFP +模块最大功耗应满足以下功率等级之一：

•功率级I模块 - 高达1.0W

•功率级II模块 - 高达1.5W

为了避免超过系统电源限制和制冷能力，默认上电时的所有模块应在≤1.0W的范围内工作。支持电源II级操作的主机可以通过2线接口实现Power Level II模块。功率级II模块应断言SFF-8472的功率电平声明位。

允许最大功率等级在热插拔或上电或电源II授权使超过分类的功率等级500 ms，但电流受限于表8给出的值，如图11所示。

在主机上电时，主机将在彼此之间的100ms内向模块提供VccT和VccR。

**2.8.1模块电源要求**

SFP +模块由主机提供VccT和VccR。为了保护主机和系统运行，每个SFP +模块在热插拔和正常运行期间都应遵循表8所列的要求，如图11所示。电流的要求适用于图56中每个电感器的电流，而供电电压在SFP +接口上定义。

**2.8.2主机电源输出**

根据D.17.1的方法，主机在10 Hz至10 MHz的频率范围内产生的有效加权积分频谱RMS噪声小于25 mV。

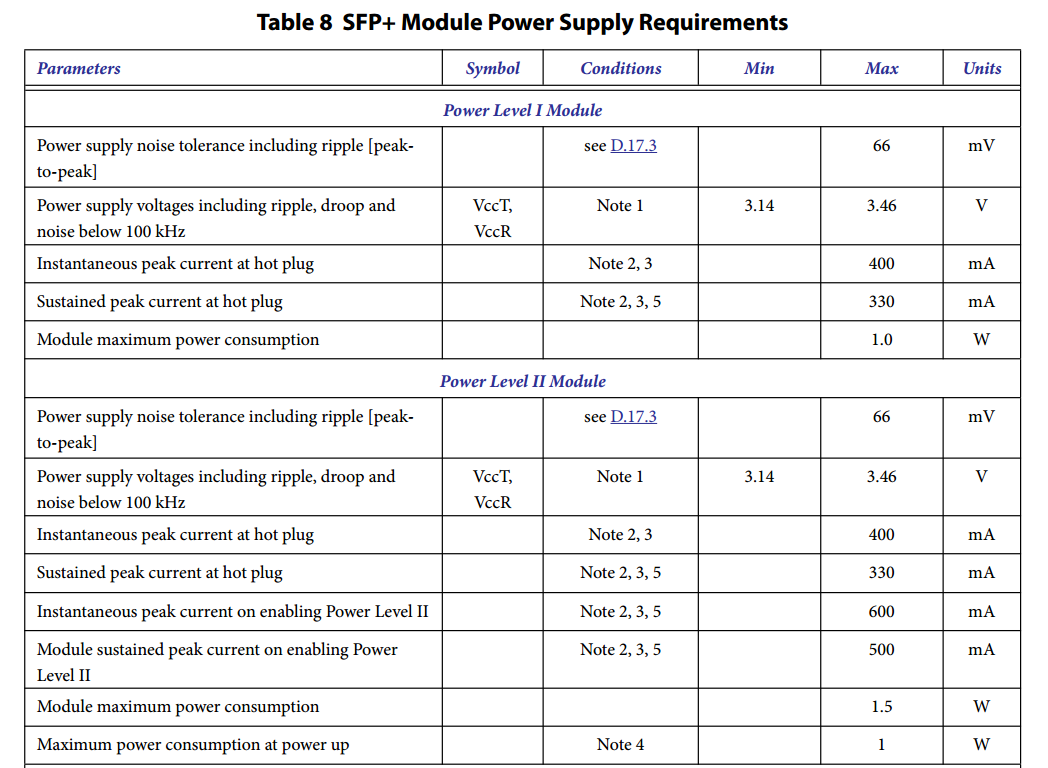
**2.8.3模块电源噪声输出**

根据D.17.2的方法，该模块在频率范围10Hz至10MHz范围内，在图56的X点产生小于15 mV的RMS噪声。

**2.8.4电源噪声容限**

根据D.17.3的方法，SFP +模块应满足所有电气要求，并保持完全可操作性，方法是按照表8从10 Hz扫描到10 MHz的正弦公差信号。这样可以模拟主机的最坏情况。

模块和主机也希望同时容忍VccT和VccR两者的随机或半随机噪声程度，但这种噪声的特性超出了本文件的范围。



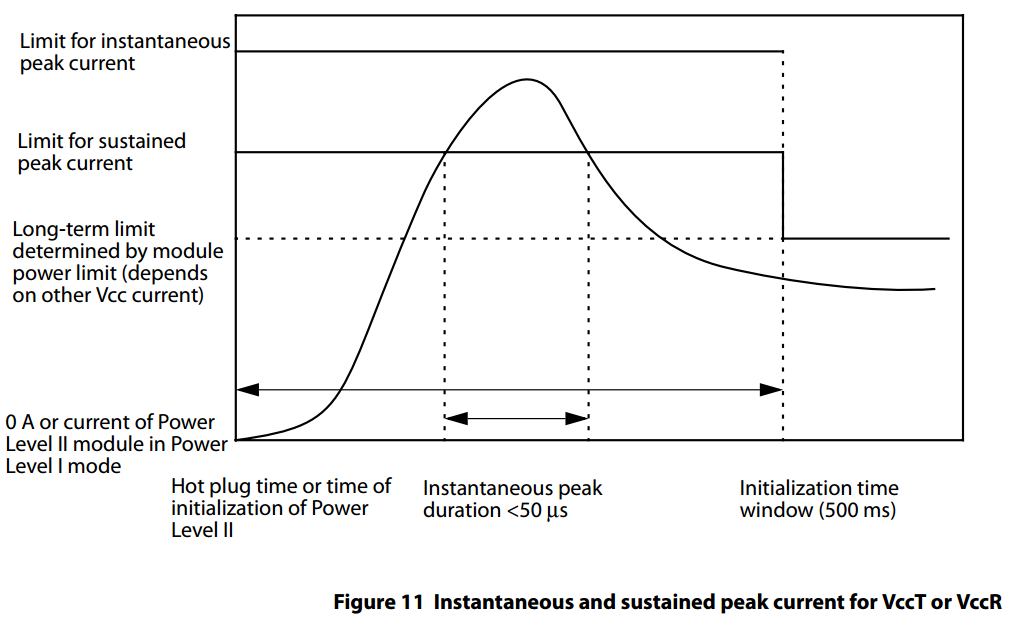
1. 设定在主机上连接器的输入端测量参考Vee。Droop是电源电压的任何暂时下降，例如由于插入另一个模块或使另一个模块使能电平II而引起的电压。

2.电流的要求适用于通过图56中每个电感的电流。

3.最大电流是每个电源VccT或VccR允许的电流，因此总模块峰值电流可以是该值的两倍。允许瞬时峰值电流在短时间内超过连接器触点的规定最大电流容量，参见图11.

4.上电后500ms内最大模块功耗不得超过1.0 W，直到II级运行使能。

5.不超过50μs的持续峰值极限; 可能会在较短的持续时间内超出此限制。



**2.9 ESD**

SFP +模块和主机SFI触点（高速触头）应根据JEDEC JESD22-A114-B的人体模型承受1000 V静电放电。

除了SFI触点（高速触头）外，SFP +模块和所有主机触点都应能承受基于JEDEC JESD22-A114-B的人体模型的2 kV静电放电。

SFP +模块应符合EN61000-4-2标准B测试规范中给出的ESD要求，使得在运行过程中，模块能经受15 kV的空气放电，并向该情况下8 kV直接接地放电。

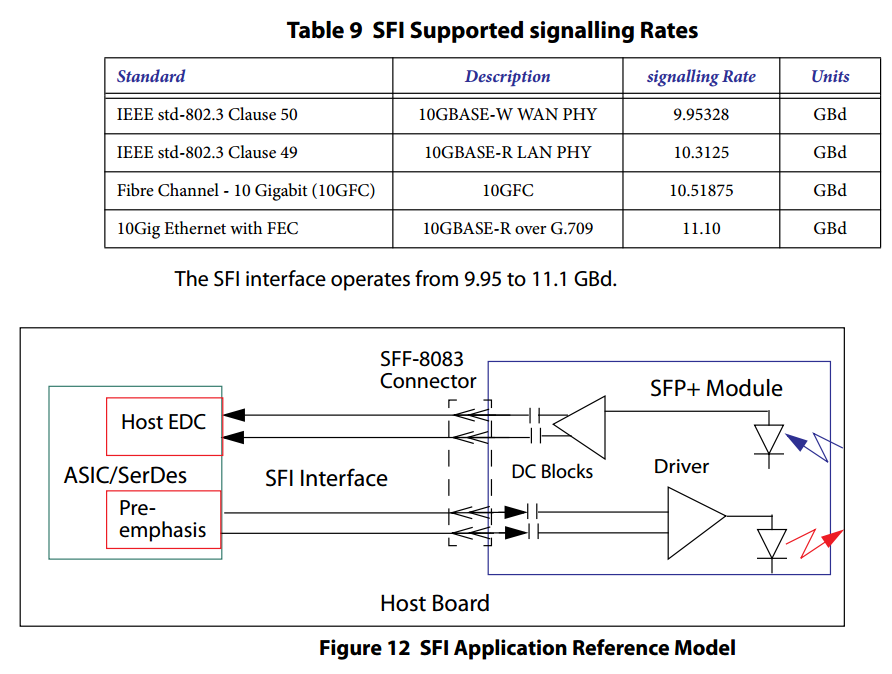
1. **高速电气规格SFI**

**3.1引言**

SFI信号是基于模块中具有交流耦合的差分高速低电压逻辑。SFI的开发主要是低功耗和低电磁干扰（EMI）。为了满足这一要求，标称差分信号电平为〜500 mV p-p，具有边沿速度控制，以降低EMI。允许符合SFP +标准的主机只支持线性模块，只限制模块，或线性模块和限制模块。

**3.2 SFI应用定义**

SFI的应用参考模型将高速ASIC / SERDES连接到SFP +模块，如图12所示。SFI接口设计用于支持IEEE 802.3 10Gig标准第49,50和51条以及10GFC。对于所有其他FC信号速率，请参见FC-PI-4。SFI支持的信令速率列在表9中。符合SFP +的模块和主机可以支持表9中列出的一个或多个信令速率。对于10GSFP + Cu（直接连接铜）规范和应用参考模型，请参见附录E.



**3.3 SFI测试点定义和测量**

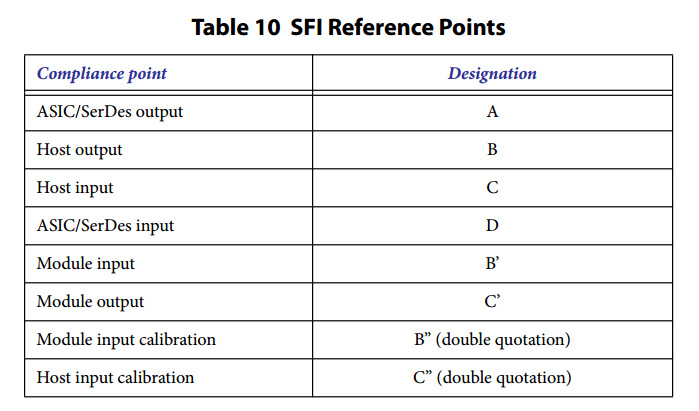
SFI参考合规性测试点由主机合规委员会和模块合规委员会定义，用于测量一致性，请参见附录C.参考测试板为ASIC / SerDes，模块和主机验证提供了一组重叠测量，以确保互操作性。为了提高测量精度，可以从测量中校准实际的参考测试卡响应，并用代表参考测试卡附录C中定义的理想响应的函数代替。

 A，B，C和D点需要交流耦合测试设备。所有SFI测试设备在所有测试端口上必须具有50Ω单端阻抗。

差分测量和S参数的参考阻抗为100Ω，共模测量和S参数的参考阻抗为25Ω。

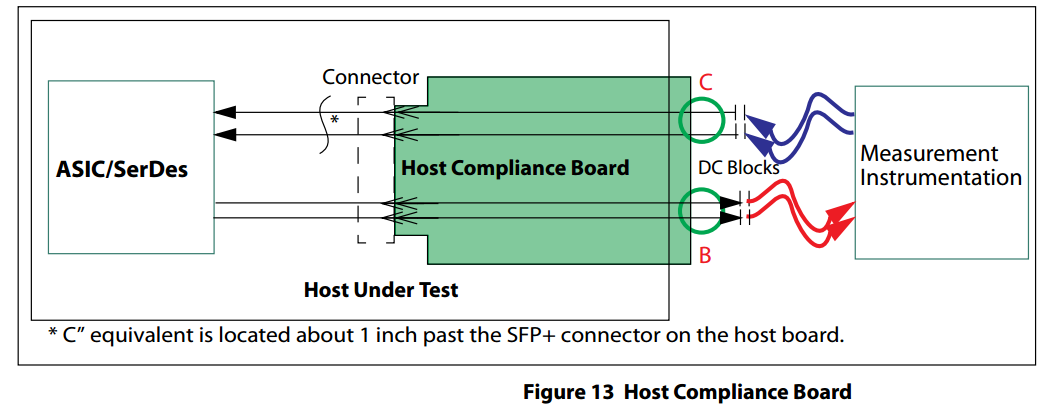
除非另有规定，否则测量仪器的带宽应为12 GHz。

SFI参考点列于表10。



**3.3.1主机符合要点**

主机系统发射器和接收器的兼容性通过插入主机兼容板的测试来定义，如图13所示，代替SFP +模块。主机合性板符合附录C的规定。合规点是B和C.



\* C“等效物位于主板上的SFP +连接器大约1英寸处。

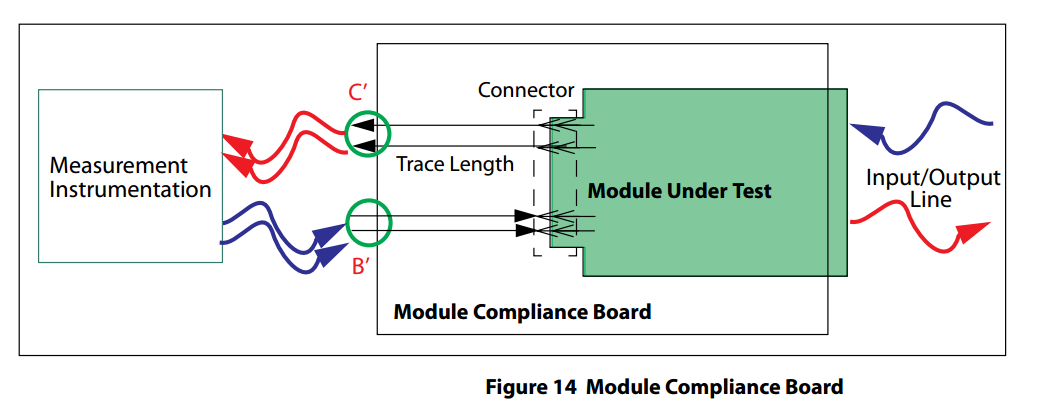
SFP +主机合规点定义如下：

•B：主机兼容板输出端的主机发射机输出。3.5规定了B的规格。

•C：主机合规板输入端的主机接收器输入。3.5的规范给出。

**3.3.2模块兼容点**

模块发射器和接收器的兼容性通过将模块插入模块合规板的测试来定义，如图14所示。模块合规板符合附录C的规范。模块的符合性要点 B'和C'。



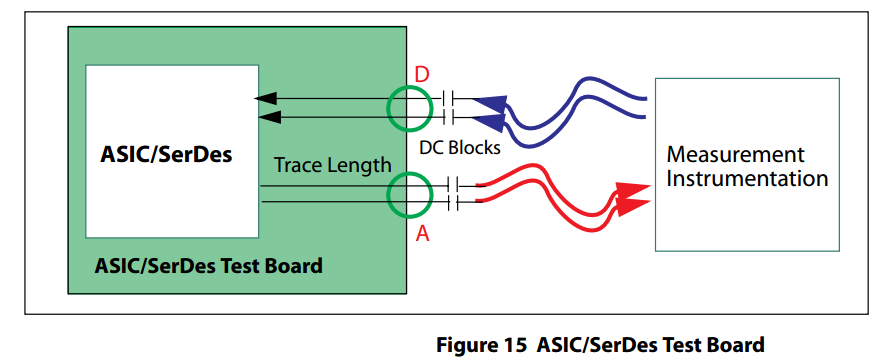
SFP +模块兼容点定义如下：

•B'：模块合规板输入端的SFP +模块发射机输入。3.6.1规定了B'的规格。

•C'：模块合规板输出端的SFP +模块接收器输出。3.6.2规定了C'的规格。

**3.3.3 ASIC / SERDES测试点（信息）**

ASIC / SerDes发射机和接收机可以在测试板上进行测试，如图15所示，具有C.1.3规定的标称跟踪响应，以避免由于过多的痕迹损耗而导致的失真，并确保一致的测量。



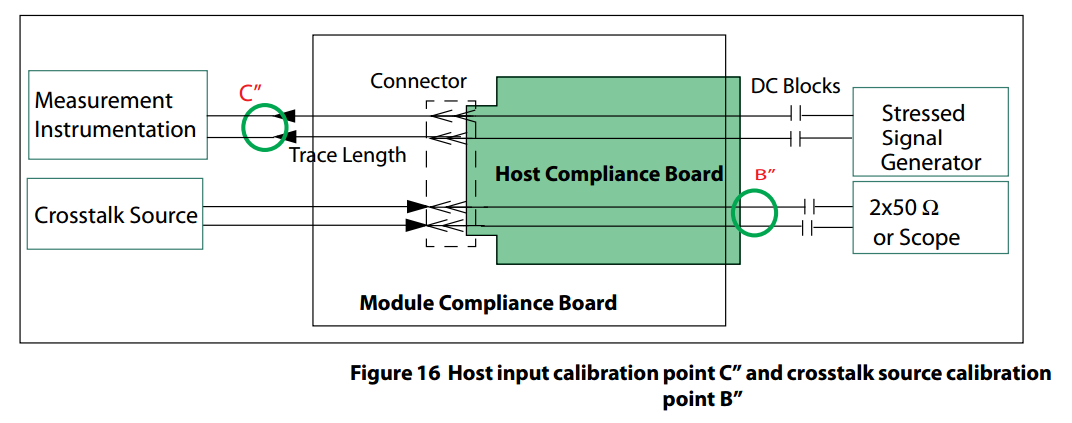
SFI ASIC / SerDes测试点定义如下：

•A：在ASIC / SerDes测试板的输出端SerDes发射机输出。A的建议在B.2中给出。

•D：ASIC / SerDes测试板输入端的ASIC / SerDes接收器输入。D的建议在B.3中给出。

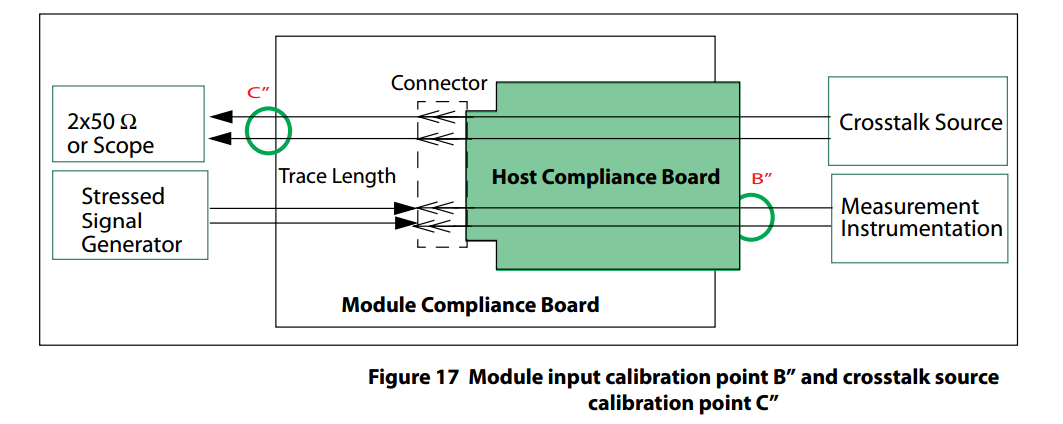
**3.3.4主机输入校准点**

主机接收机输入公差信号通过主机兼容板在模块合规板的输出端进行校准，如图16所示。主机输入校准点为C“，给定规格”C“ 在3.5.2。连接器和C“之间的响应由C.1.2规定。



**3.3.5模块输入校准点**

模块发射机输入公差信号通过主机兼容板输出端的模块合规板进行校准，如图17所示。模块输入校准点为3.6.1中给出的B“规格B”。连接器和B“之间的响应由C.1.1指定。



**3.4 SFI终止和直流阻塞**

SFI链路在主机板和模块上使用标称的100Ω差分源和负载终端。SFI发射机提供差分和共模终止。每个符合点的SFI发射器和接收器端子规格由以下公式给出：

•主机 - 3.5 SFP +主机系统规格

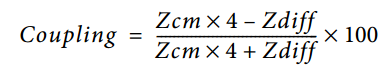
•模块 - 3.6 SFP +模块规格。

主机SerDes终止建议由以下提供：

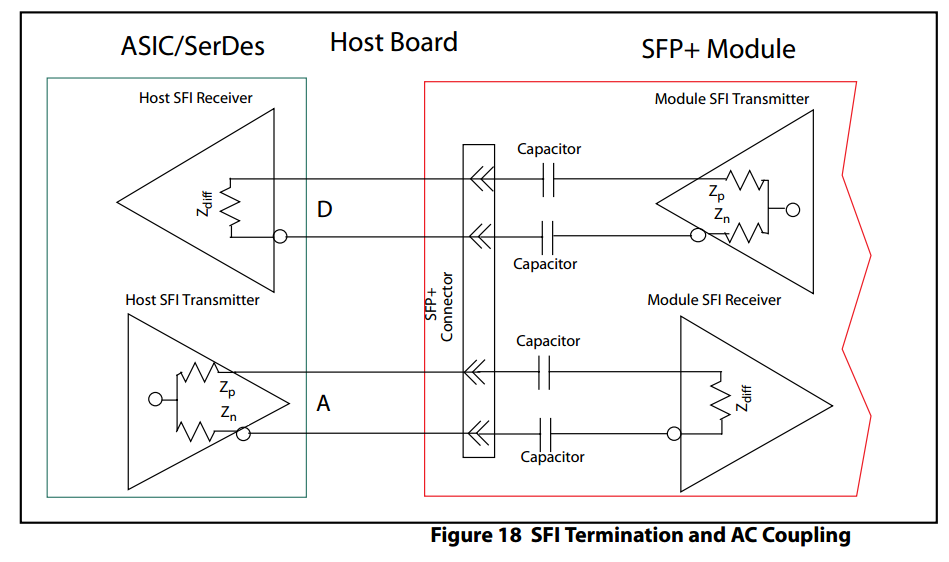
•ASIC / SerDes - 附录B

SFP +模块应在所有SFI输入和输出端并入隔离电容器或等效物，如图18所示。SFI发射机由Ω端子Zp和Zn表示，形成100个差分源。每个端子的标称值为50Ω，因此共模阻抗为25Ω。SFI接收机用标称值为100Ω的终端Zdiff表示。该表示不旨在排除可能提供共模终止的其他实现的使用，但是SFI规范不需要在接收器处进行任何共模终止。如果提供共模终端，则可以降低共模电压和EMI。

建议模块和主机使用传输线，目标是具有100Ω的差分阻抗，约7％的耦合。SFP +百分比差分耦合由下式定义：



其中Zcm为共模阻抗，Zdiff为差分阻抗。具有标称7％耦合的差分迹线在合理的共模匹配和实际传输线路数据之间提供了良好的折中。这些是附录C中描述的模块和主机合规委员会的目标。



**3.5 SFP +主机系统规格**

SFP +主机系统发射机规范在符合点B在3.5.1中给出。SFP +主机系统接收器规范在合规点C在3.5.2中给出。

3.3.1中规定的主机兼容性测试点应满足所有规范。

SFF-8431模块合规板中高速走线的焊盘为1.1x0.4 mm，以提高SFF-8083中定义的高频性能而不是2.0x0.5 mm，以提高可制造性。主机性能与可制造性之间的权衡取决于主机设计者。有关模块合规板的详细几何，请参阅C.3.4中的Gerber文件。

警告：主机期望模块中具有DC阻塞，并且为了提高性能，主机合规板不需要并入DC块。所有主机SFI信号都需要测试设备内或主机与设备之间的直流阻塞。

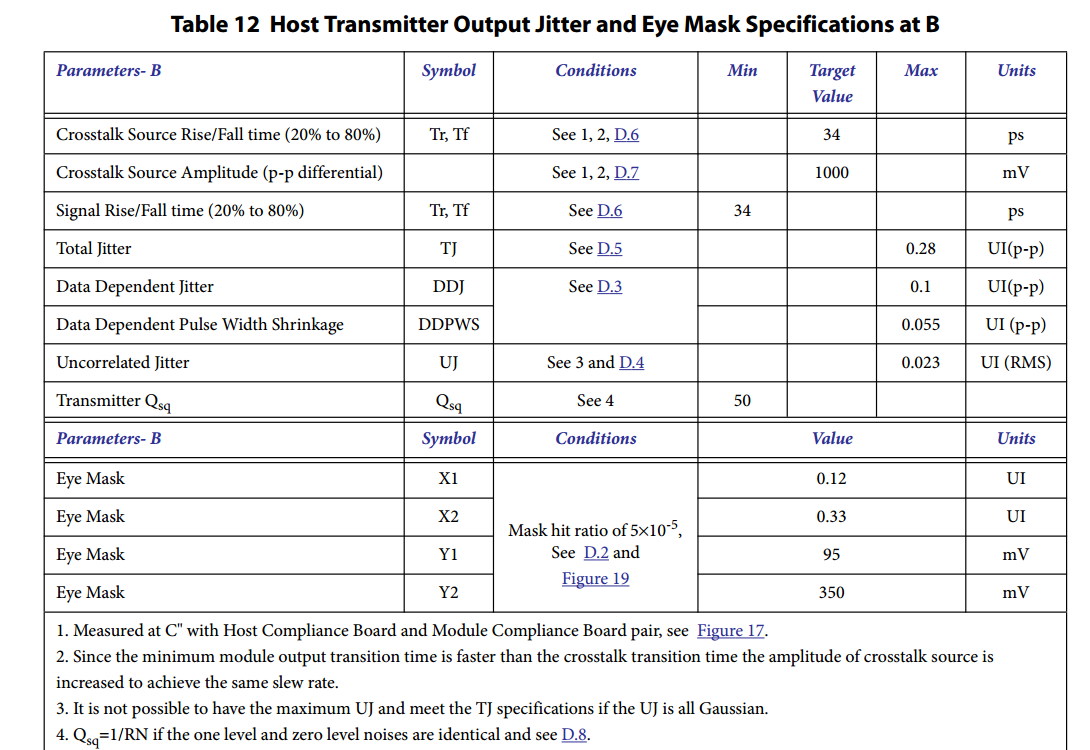
**3.5.1主机发射机输出规格**

AT B SFP +主机发射机在符合性点B定义的电气规格见表11和表12.这些规范在C.2中规定的主机合规委员会的输出中定义。主机发射机必须为所支持的应用提供足够的低频信号响应。

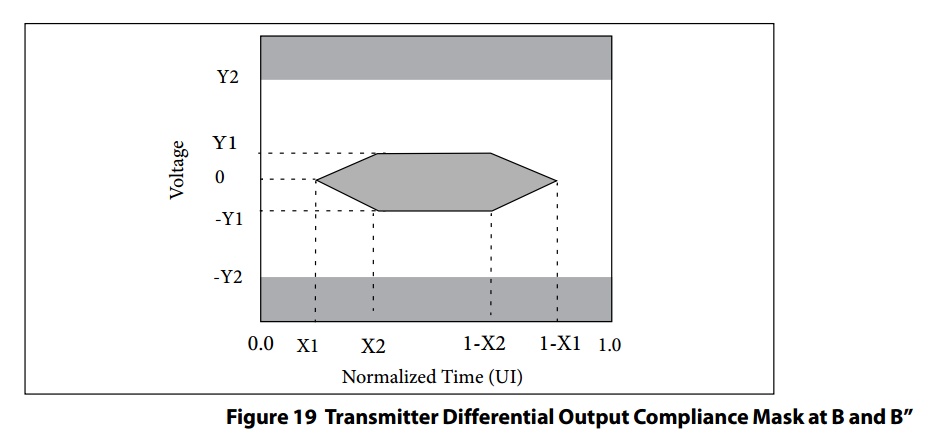


共模输出回波损耗的规格通过吸收共模反射和噪声来降低EMI和噪声。

参考点B中的SFI抖动规范列于表12中，并且合规掩模如图19所示。由于基线漂移可能会产生5x10-5掩模命中率未检测到的低概率闭眼，必须控制基线漂移 以免在B处显着降低信号。



1. 通过主机兼容板和模块合规板对在C“测量，见图17.
2. 2.由于最小模块输出转换时间比串扰转换时间快，所以串扰源的幅度增加以实现相同的转换速率。
3. 如果UJ全部是高斯，则不可能具有最大UJ并满足TJ规格。
4. 如果一级和零级噪声相同，则Qsq = 1 / RN，见D.8。

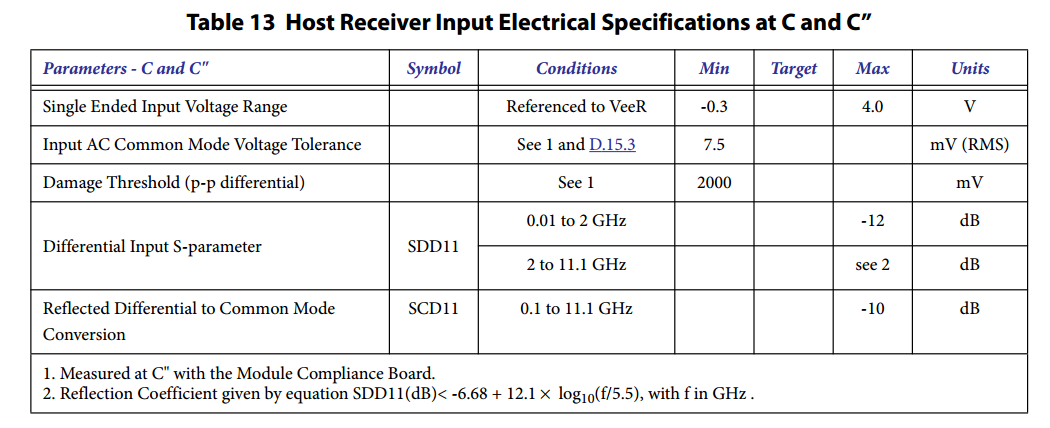


**3.5.2主机接收机输入规格C和C“**

SFP +主机接收器的电气规范在线性和限制模块的符合性点C和C“在表13中给出。主机应提供差分终端，并且必须将差分约束到共模转换以实现质量信号终止和低EMI，如 在表13中给出。接收机上的共模终止不是必需的，见图18。

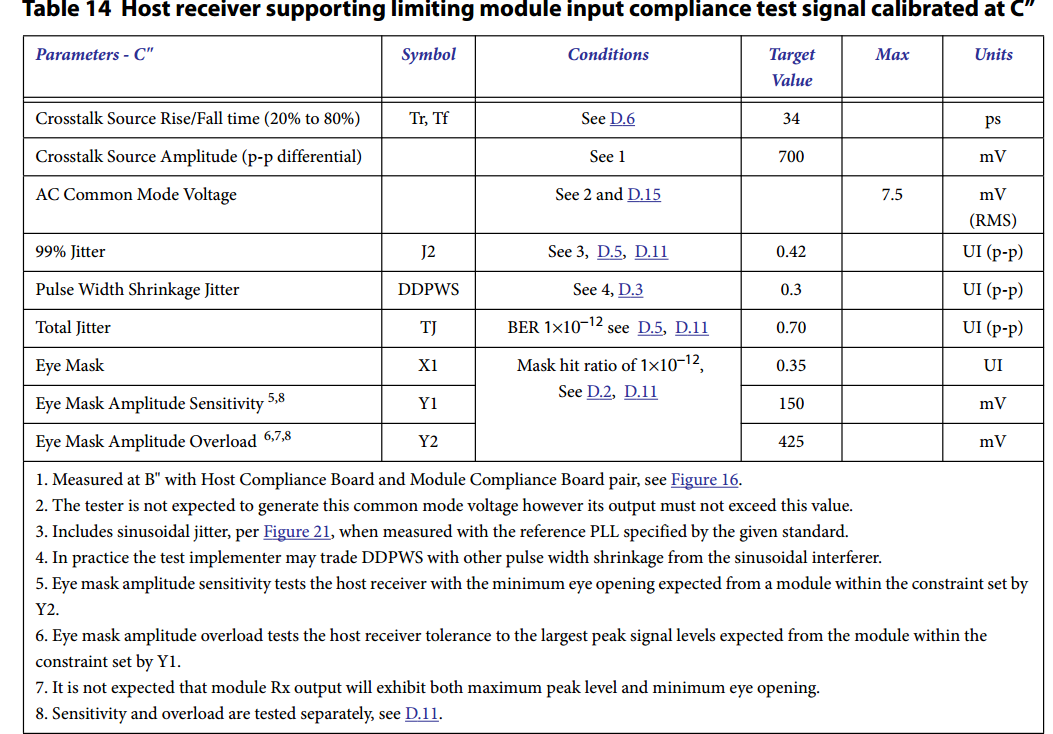
用作输入容差测试条件的信号在C“校准，主机合规板通过模块合规板连接到测量仪器。C“支持限制模块的规格见表14. C”支持线性模块的规格见表15。

允许符合SFP +标准的主机只支持线性模块，只限制模块，或线性模块和限制模块。



1. 在C“测量模块合规板
2. 由公式SDD11（dB）<-6.68 + 12.1 log10（f / 5.5）给出的反射系数，f为GHz。

支持限制模块的抖动规范列在表14中。图20给出了支持限制模块的主机符合性眼罩要求。主机应在灵敏度和过载极限之间运行。SFP +限制主机将容忍图21给出的正弦抖动。限制模块主机的测试步骤见D.11。



1. 使用主机兼容板和模块合规板对在B“测量，见图16.
2. 测试仪不会产生这种共模电压，但其输出不能超过此值

3.当使用给定标准规定的参考PLL进行测量时，包括正弦曲线抖动，如图21所示。

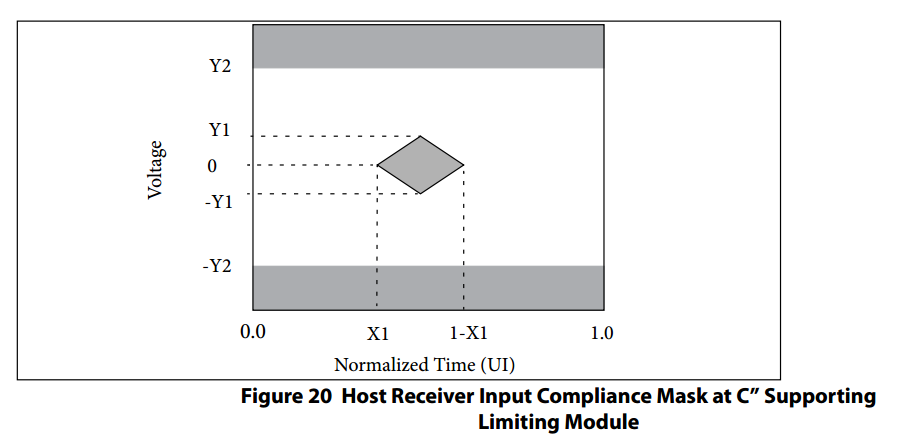
4.在实践中，测试实施者可以从正弦干扰源交换具有其他脉冲宽度收缩的DDPWS。

1. 眼罩幅度灵敏度测试主机接收器，预期最小眼图开度 来自Y2设置的约束范围内的模块

6.眼罩幅度过载测试主机接收机对由Y1设置的约束中模块所预期的最大峰值信号电平的容限。

7.预计模块Rx输出将不会显示 最大峰值电平和最小眼图开度

8.灵敏度和过载分别进行测试，见D.11。



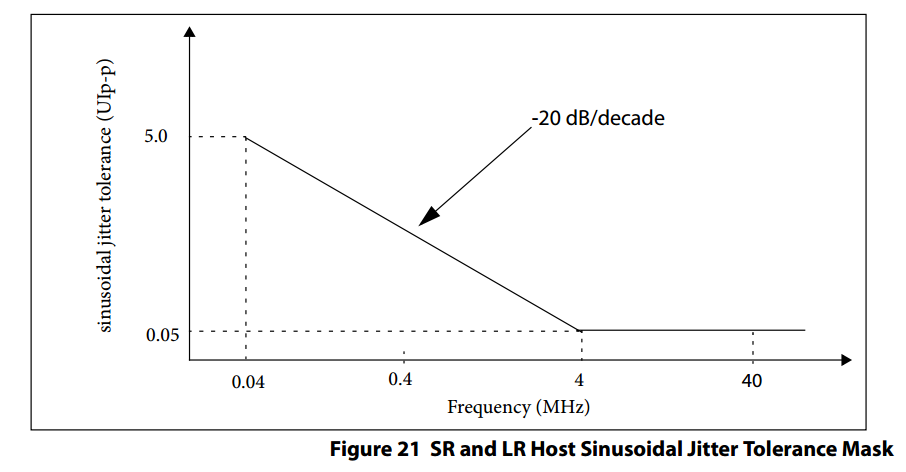
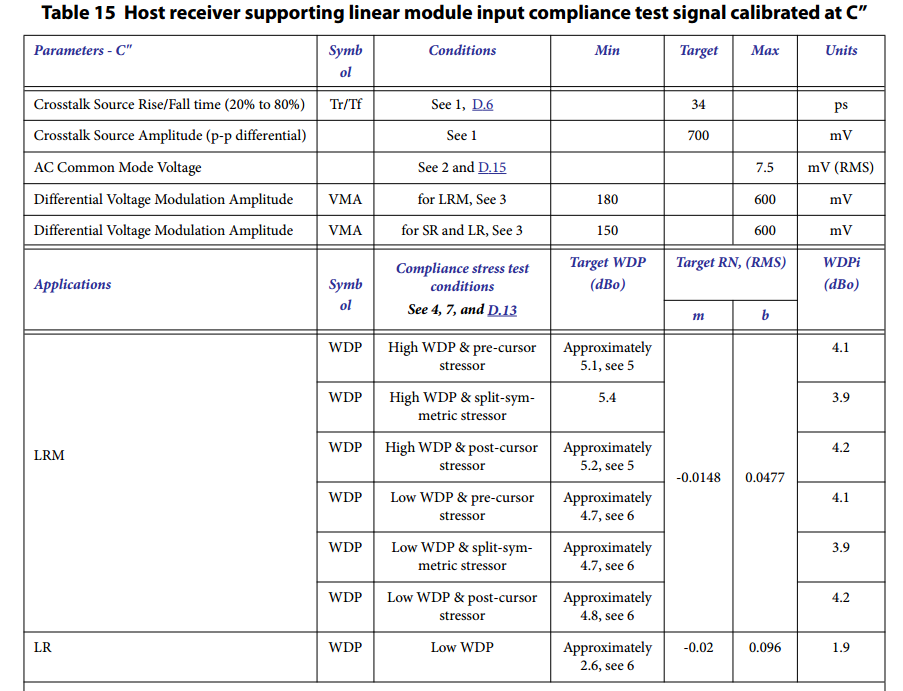


表15将支持线性模块的主机的输入一致性测试信号定义为C“校准。表15中的参数包括与根据LRM和LR标准定义的光TP3测试仪相结合的最坏情况模块的影响。LR规范由LR链路具有高噪声的事实所覆盖，另一方面，LRM链路具有高失真。D.13给出线性主机的测试程序。为了说明的目的，图24示出了主机测试校准线，其中定义了用于LRM的特定主机测试点。

对于LR测试条件，SFP +线性主机应使用图21给出的正弦抖动，而应用表15中给出的应力条件。对于LRM测试条件，主机应按照IEEE802.3第68节中定义的正弦抖动进行操作，图52中的应力和噪声包括TP3测试仪中的应力和噪声。

在表15中仅定义了每个LRM应激源的两个特定测试条件。但是，一般来说，主机必须满足任何兼容模块的运行要求。预计将存在较低的dWDP模块。然而，该规范尚未将低于dWDP的主机测试条件定义为0.6至0.8dB。在低dWDP值下，模块规格和主机要求之间的保护带留给主机实现。



1. 在B“测量主机合规板和模块合规板对，见图16.
2. 测试仪不会产生这种共模电压，但其输出不能超过此值。
3. 由于远端发射机和/或模块接收机的过冲，服务中接收信号的峰值电平可能会超过其VMA。
4. 目标WDP用具有14个T / 2间隔的FFE抽头和5个T间隔的DFE抽头的参考接收器进行校准。
5. 图52中TP3到电适配器的滤波器带宽设置为对分裂对称TP3应力源的WDP产生5.4 dBo。相同的过滤器将用于高WDP前置光标和后置光标LRM应激物 - 它们的近似目标WDP值仅用于指导。要测量每个应力源的WDP，并且目标RN由注释7中的相关方程确定。
6. 对于所有三个LRM低WDP条件，图52中TP3到电适配器的滤波器带宽设置为7.5 GHz，对于LR条件。给出了大致的目标WDP值作为指导。要对每个应力源测量WDP，目标RN由注释7中的相关方程确定。
7. 目标RN rms值由下式给出：RN = m（WDP-WDPi）+ b，其中WDP为测试仪的实际值和WDPi值均基于TP3预期的波形。

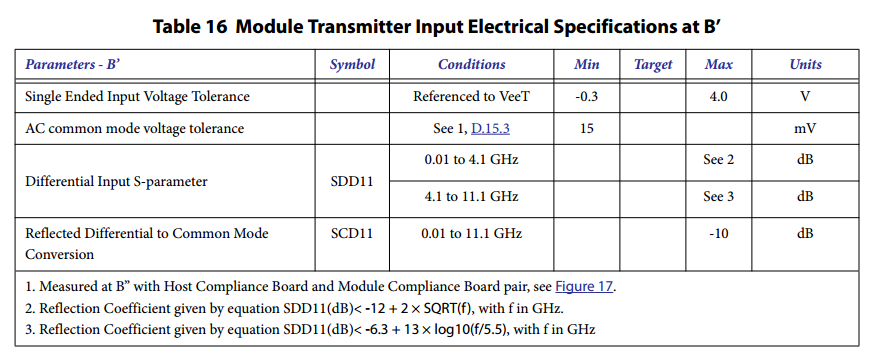
**3.6 SFP +模块规格**

符合标准B'的SFP +模块发射机规格见3.6.1。3.6.2中给出符合要求点C'的SFP +模块接收器规定。

**3.6.1 B'和B“上的模块发送器输入规范”**

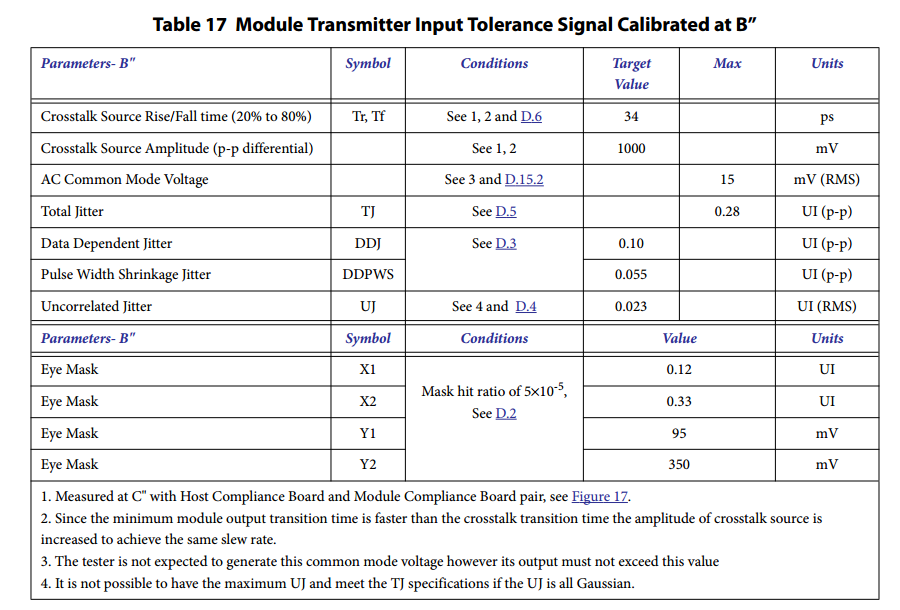
表16中给出的符合要求点B'的SFP +模块发射机电气规范用模块合规板测量，如3.3.2所示。发射机输入阻抗为100Ω差分。该模块必须提供差分终端和极限差分到共模转换，以实现质量信号终止和低EMI。

用作测试发射机输入公差的输入条件的信号在B“进行校准，通过主机合规板将模块合规板连接到适当的仪器。这在D.10中进一步描述。用于该校准的规格列于表17中。如图17所示，B“处的测试信号应符合表17中定义的掩模，如图19所示。



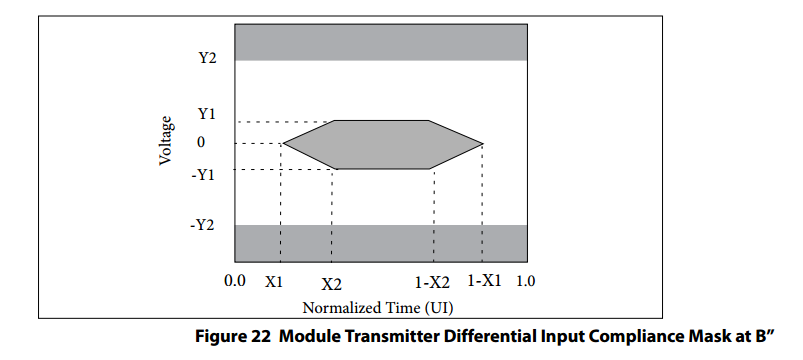
1. 使用主机兼容板和模块合规板对在B“测量，见图17.
2. 等式SDD11（dB）<-12 + 2×SQRT（f）给出的反射系数，f为GHz。

3.等式SDD11（dB）<-6.3 + 13×log10（f / 5.5）给出的反射系数，其中f为GHz



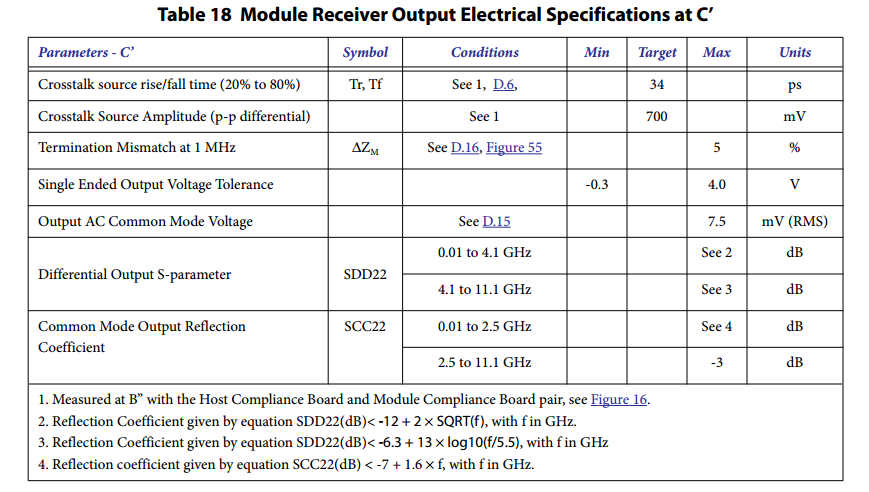
1. 通过主机兼容板和模块合规板对在C“测量，见图17.
2. 由于最小模块输出转换时间比串扰转换时间快，所以串扰源的幅度增加以实现相同的转换速率。
3. 测试仪不会产生这种共模电压，但其输出不能超过此值

4.如果UJ均为高斯，则不可能具有最大UJ并满足TJ规格。



**3.6.2模块接收器输出规格在C'**

符合性标准点C'的SFP +接收机电气输出规范在表18中给出。如表18所示，模块必须为质量信号终止和低EMI提供差分终端和共模终止。



1. 使用主机兼容板和模块合规板对进行B测量，见图16.

2.等式SDD22（dB）<-12 + 2×SQRT（f）给出的反射系数，f为GHz。

3.等式SDD22（dB）<-6.3 + 13×log10（f / 5.5）给出的反射系数，f为GHz

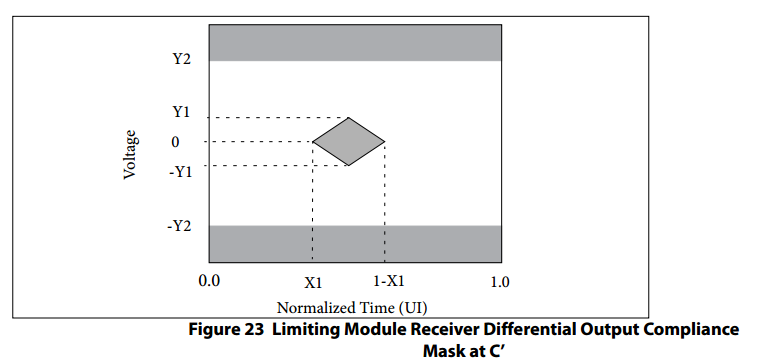
4.由等式SCC22（dB）给出的反射系数<-7 + 1.6×f，其中f千兆赫。

共模输出反射系数有助于吸收反射和噪声改善EMI。

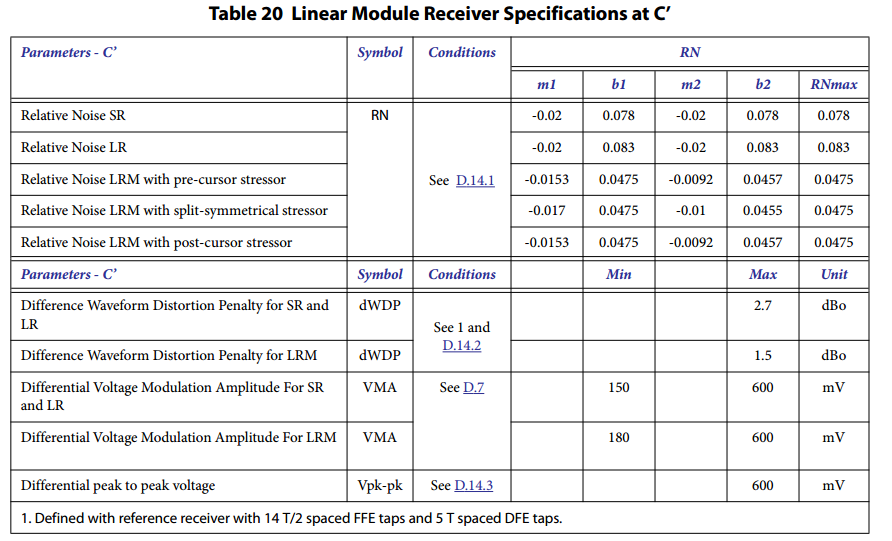
限制模块的抖动规格如表19所示。图23给出了限制模块输出的合规眼罩。线性模块的要求见表20。

限制和线性模块必须为支持的应用提供足够的低频信号响应，以控制基线漂移的影响。





线性模块测试参数由表20给出。线性模块的符合性方法见附录D.14。



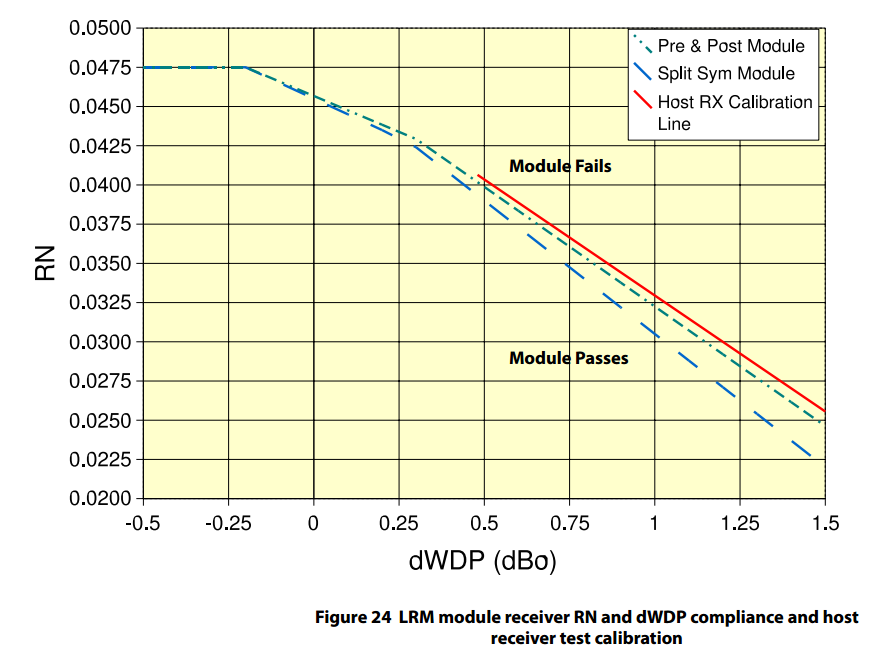
用具有14个T / 2间隔的FFE抽头和5个T间隔的DFE抽头的参考接收器定义。

附录D.14.2定义了线性模块接收机的RN。RN的限制是模块测量的dWDP的功能，以光分贝表示。作为示例，LRM参数之间的权衡如图24所示。为了通过，RN必须低于相应的限制线。

dWDP和RN应满足表20中的规定，可以通过计算



对于需要符合性的每个TP3测试条件。例如，如果LRM需要符合性要求，则模块必须符合所有三种应力的规格，并符合IEEE Std 802.3 68.6.9规定的灵敏度和过载测试条件。



为了说明的目的，图24示出了主机测试校准线，其中定义了用于LRM的特定主机测试点。主机和模块线路之间的差距是因为主机使用线性损伤进行测试，给定相同的dWDP，对于主机来说，对于可能来自模块的非线性损伤来说，主机是比较好的。

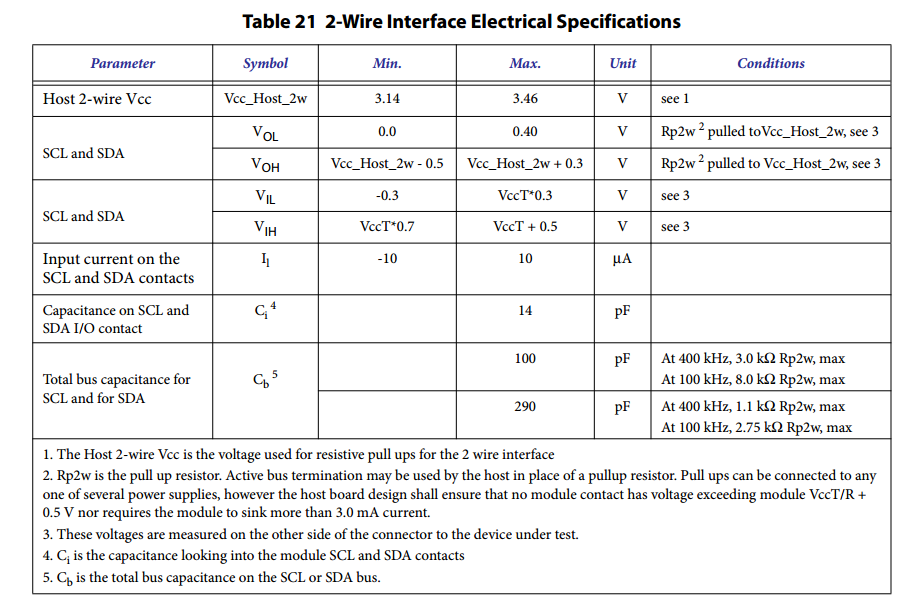
1. **SFP + 2线接口**

**4.1引言**

SFP +管理接口是一个两线接口，类似于I2C。SFP +管理存储器映射由SFF-8472指定。所有超过1位长的寄存器的命名法是MSB ... LSB（首先发送MSB）。

**4.2双线电气规格**

SFP + 2线接口规格见表21.该规范确保主机主机与SFP + SCL / SDA线路之间的兼容性以及与I2C的兼容性。所有电压参考VeeT。



1.主机2线Vcc是用于2线接口的电阻上拉电压

2. Rp2w是上拉电阻。主机可以使用有源总线终端来代替上拉电阻。上拉电阻可以连接到几个电源中的任一个，但是主机板设计应确保模块接触电压不超过VccT / R + 0.5 V模块，也不需要模块吸收3.0mA以上的电流。

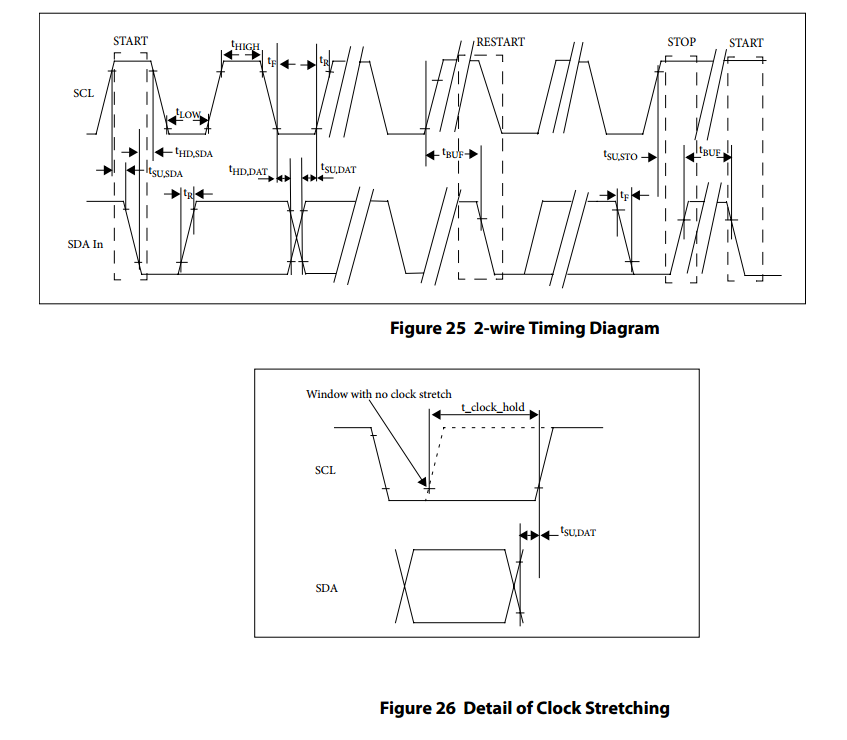
这些电压是在连接器的另一侧测量到被测器件。

4. Ci是模块SCL和SDA触点的电容

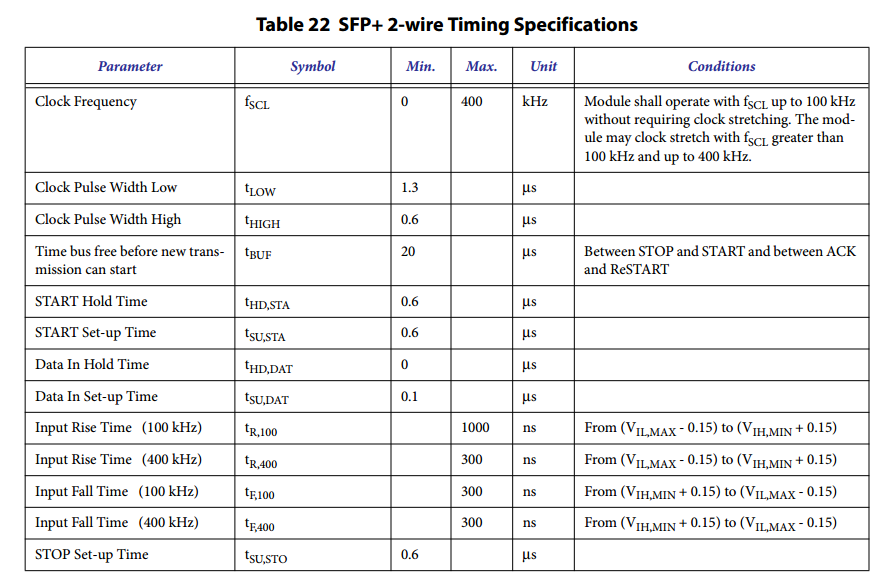
5.Cb是SCL或SDA总线上的总总线电容。

**4.3 SFP + 2线时序图**

SFP + 2线总线时序如图25所示，时钟延长的细节如图26所示。表22给出了SFP + 2线时序规范。

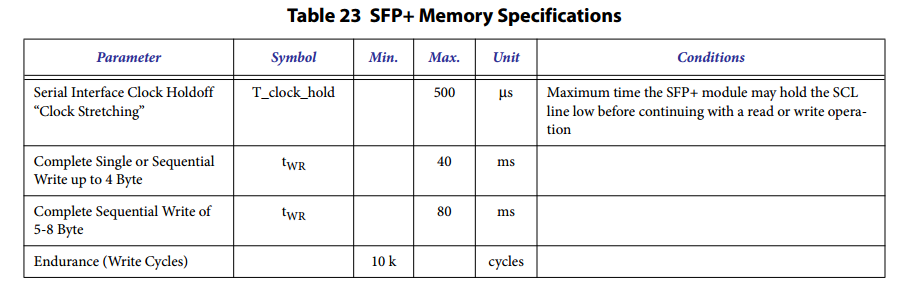


SFP +模块的2线串行接口地址为1010000x（A0h）和1010001x（A2h）。



**4.4存储器事务时序**

SFP +存储器事务定时在表23中给出。



**4.5设备寻址和操作**

串行时钟（SCL）：向SFP +收发器提供SCL输入的主机用于将每个SFP +器件的正边沿时钟数据和每个器件的负沿时钟数据进行正边沿。时钟延长期间，SCL线可能被SFP +模块拉低。

串行数据（SDA）：SDA联系人是双向串行数据传输。该触点是开漏或集电极开路驱动的，并且可能与其他不同设备地漏极开路或开路集电极设备进行导线连接，只要总总线电容满足表21和串行时钟（SCL）的要求）也是有线的。

主/从：SFP +收发器仅作为从设备运行。主机必须为SCL提供总线主机，并启动所有读/写通信。

设备地址：每个SFP +都在设备地址A0h和A2h进行硬连线。请参见SFF-8472，了解每个收发器内的存储器结构。

时钟和数据转换：SDA触点通常用外部设备拉高。SDA联系人上的数据只能在SCL低电平时间段内更改。SCL高电平期间的数据更改表示START或STOP条件。所有地址和数据字以8位字串行发送到SFP +。SDA线上的每个字节必须为8位长。首先用最高有效位（MSB）传输数据。

START条件：SDA与SCL为高电平的高电平到低电平转换为START条件，必须先于任何其他命令。

停止条件：SDA与SCL为高电平的低电平到高电平转换是停止条件。

确认：在发送每个8位字之后，发送器释放SDA线一段时间，在此期间允许接收机将SDA拉低（零）以确认（ACK）已接收到每个字。由主机发起的设备地址字节和写入数据字节应由SFP +收发器确认。由SFP +收发器发送的读取数据字节应由主机确认，除了最后读取的字节外，主机应以STOP而不是ACK进行响应。

非应答（NACK）：当从站不能接收或发送时，由于例如执行较高优先级功能，则从机将数据线置为高电平。当从机在ACK时钟脉冲期间离开数据线为高电平时，产生NACK。然后，主机可以产生停止条件以中止传输或重复START条件以开始新的传输。

在传送时，主机 - 接收器必须通过在从机从时钟输出的最后一个字节上产生一个确认信号来向从机发送器发出数据的结束信号。当主器件在ACK时钟脉冲期间离开数据线High时，产生NACK。从站发送器必须释放数据线，以允许主站产生STOP或重复START条件。

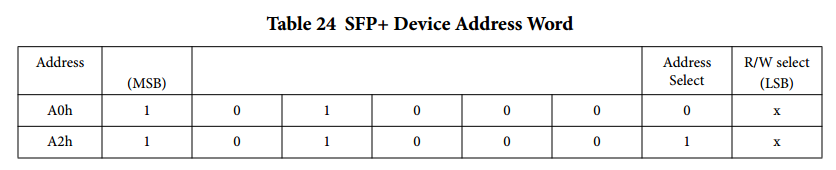
内存（管理接口）复位：协议中断后，掉电或系统复位，SFP +管理接口可以复位。内存复位仅用于复位SFP +收发器管理界面（更正挂起总线）。没有其他收发器功能被暗示。

1）时钟最多9个周期。

2）SCL为高电平时，在每个周期内寻找高电平。

3）在SDA为高电平时创建START条件。

器件寻址：SFP +器件需要一个8位器件地址字，然后按起始条件启用读或写操作。选择A0h或A2h的设备地址如表24所示。这对所有SFP +设备都是常见的。



器件地址字的LSB是读/写操作选择位。如果该位置为高电平，并且如果该位置低，则启动写操作，则启动读操作。

**4.6读/写功能**

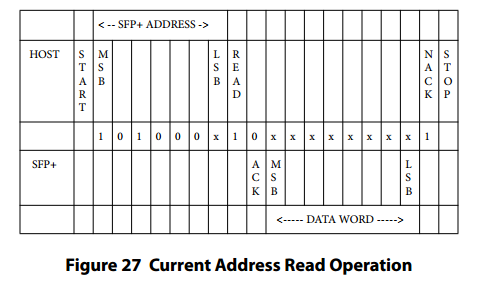
本节将介绍从两种不同SFP +地址A0h和A2h读取和写入的方法。它们对于两个不同的地址是相同的，除了适当的地址用于每次读取和写入。为了简单起见，地址标记为101000x，对于A0h地址，x为0，对于A2h地址为1。请注意，这里的地址只有7位。为了完成完整的8位字节，一个或零被添加到地址的结尾，这取决于是读或写操作是否发生。

**4.6.1 SFP +存储器地址计数器（读和写操作）**

SFP +设备为每个地址保留两个内部数据字地址计数器。这些计数器包含在最近的读取或写入操作期间访问的最后一个地址，增加一个。只要收发器接收或发送数据字，地址计数器就会递增。只要维护SFP +电源，此操作在操作之间保持有效。读写操作中的地址“翻转”是从256字节存储器页面的最后一个字节到同一页面的第一个字节。

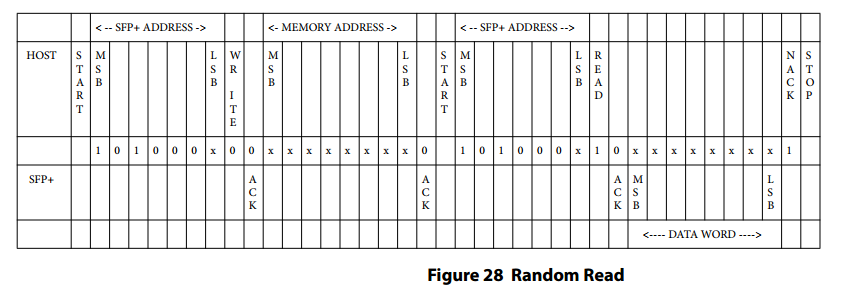
**4.6.2读操作（当前地址读）**

当前地址读取操作仅需要发送器件地址读取字（10100001或10100011），图27.一旦SFP +确认，当前地址数据字被串行输出。主机不响应确认，但一旦读取数据字，就会产生STOP条件。



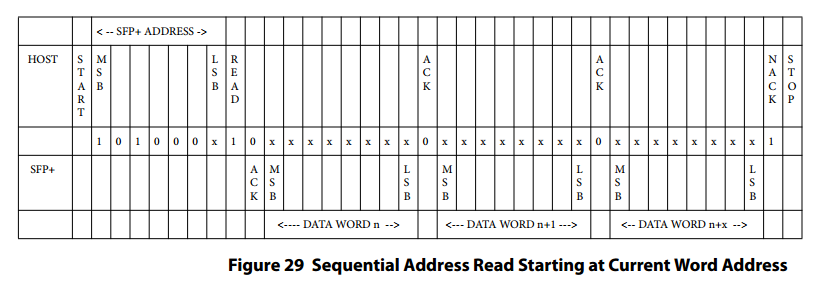
**4.6.3读操作（随机读）**

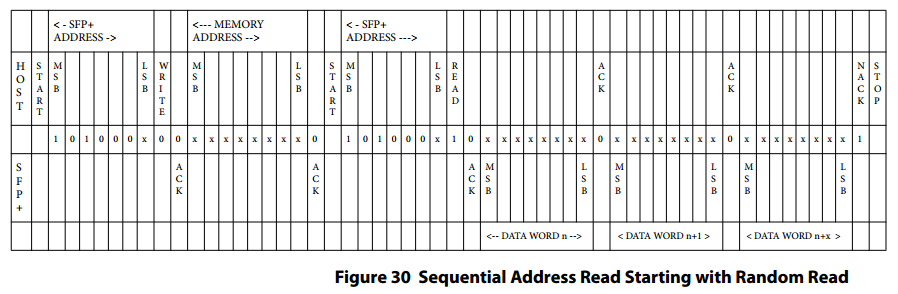
随机读取操作需要在目标字节地址中加载“虚拟”写入操作。图28.这是通过以下顺序完成的：目标8位数据字地址是按照器件地址写入字（10100000或10100010）发送的， 并得到SFP +的承认。然后，主机产生另一个START条件（中止虚拟写入而不增加计数器）和通过发送设备读取地址（10100001或10100011）读取的当前地址。SFP +确认设备地址并对所请求的数据字进行串行计时。主机不响应确认，但一旦读取数据字，就会产生STOP条件。

****

**4.6.4读操作（顺序读）**

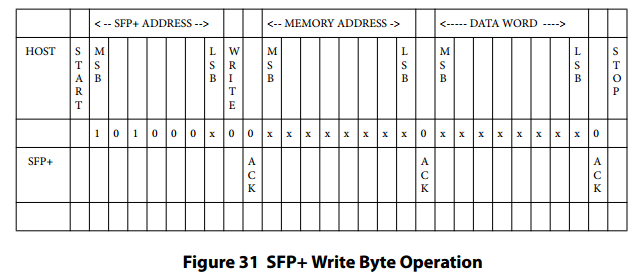
顺序读取由读取图29的当前字地址或读取图30的随机地址启动。为了指定顺序读取，主机在每个数据字之后响应一个确认（而不是一个STOP）。只要SFP +接收到确认，它将连续地排除顺序数据字。当主机以NACK和STOP而不是确认响应时，该序列终止。





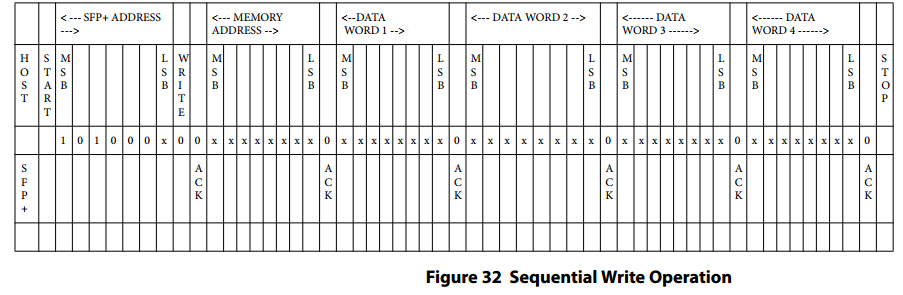
**4.6.5写操作（BYTE WRITE）**

写操作需要在器件地址写字（10100000或10100010）之后的8位数据字地址和确认图31.当接收到该地址时，SFP +将再次以零（ACK）响应以确认，然后时钟在前8位数据字。在接收到8位数据字之后，SFP +将输出零（ACK），并且主机主机必须以写入周期开始的STOP条件终止写入序列。如果发送START条件代替STOP条件（即根据I2C规范重复启动），写入将中止，并且在该操作期间接收到的数据被丢弃。在收到正确的STOP条件后，SFP +将内部定时写入周期tWR输入到内部存储器。在写入周期期间，SFP +禁止其管理接口输入，并且在写入完成之前不会响应或确认后续命令。请注意，SFP +写命令不支持使用重复启动条件的I2C“组合格式”。



**4.6.6写操作（顺序写）**

SFP +最多支持8个连续的字节写入，而不会重复发送SFP +地址和存储器地址信息。“顺序”写入以与单字节写入相同的方式发起，但主机主机在第一个字被计时后不发送停止条件，而是在SFP +确认收到第一个数据字之后，主机可以 传送多达七个数据字。SFP +应在收到的每个数据字后发送确认。主机必须以停止条件终止顺序写入序列，否则写操作将中止并丢弃数据。请注意，SFP +写命令不支持使用重复启动条件的I2C“组合格式”。



**4.6.7写操作（确认调查）**

一旦SFP +内部定时写周期开始（总线上忽略输入），确认轮询可用于确定写操作何时完成。这涉及发送START条件，后跟设备地址字。只有内部写周期完成，SFP +才能对后续命令进行应答，表明读或写操作可以继续。

## 附录A SFI频道推荐（信息）

**A.1 SFI主机通道一般建议**

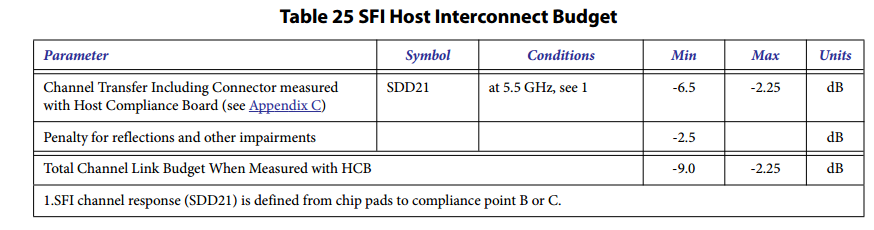
推荐的SFI通道的目的是为主机设计人员提供指导。推荐的SFI主机通道由PCB走线，通孔和SFF-8083定义的20位增强型连接器组成。PCB走线推荐满足100±10Ω差分阻抗，额定7％的差分耦合。

SFI通道S参数从ASIC发送器焊盘定义为主机兼容板输出，并从C的主机兼容板输入定义为ASIC输入焊盘。

请参见SFF INF-8077i，用于差分S参数测量和转换。

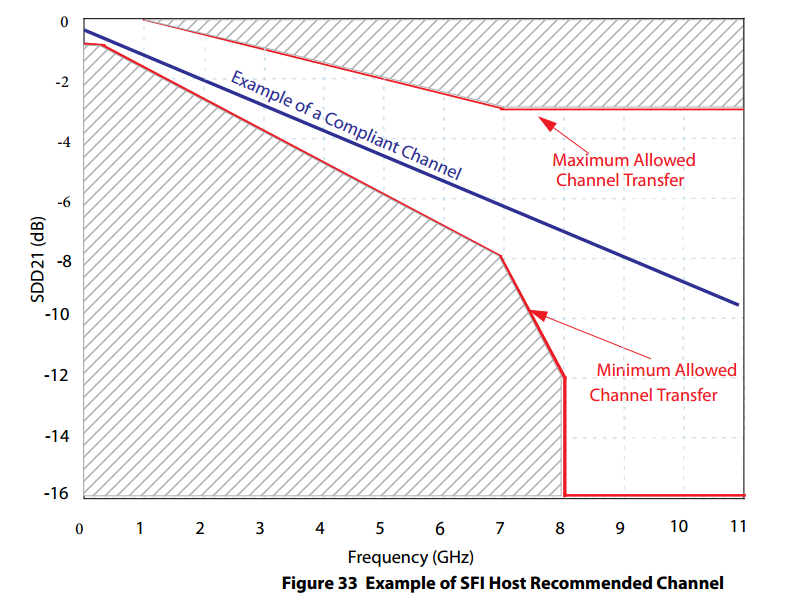
**A.2 SFI通道转移建议**

SFI最大信道传输预算分配为9.0 dB，如表25所示。

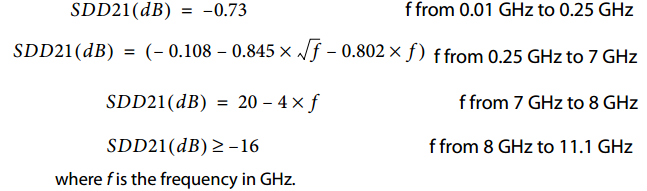


为了减轻多重反思，SFI还建议最低限度的通道。对于最小和最大通道损耗的这一要求将产生一个近似图33所示的掩模。包括纹波的响应应在通道响应掩码内。

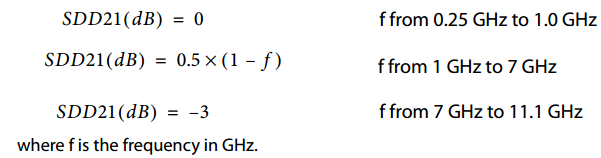
SFI推荐通道的测量与ASIC部分的主机合规委员会删除和测量。通过将4端口网络分析仪连接到主机合规板上的ASIC焊盘和SMA连接器来测量S参数。



最小通道传输SDD21（最大损耗）掩模轮廓由下式给出：

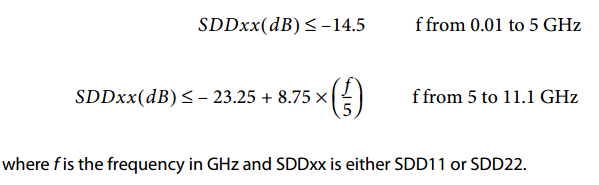


SFI通道最大转移由下式给出：



**A.3 SFI频道返回失败建议**

SFI通道的反射系数SDD11和SDD22建议满足以下等式：



**A.4 SFI通道RIPPLE建议**

SFI通道纹波定义为测量的插入响应（SDD21m）和拟合传递响应（SDD21f）之间的差值，全部以dB为单位：



通道纹波幅值应符合下列公式：



其中变量f（频率）为GHz。在0.25GHz至5.5GHz的频率范围内必须满足上述方程式。

SDD21m是测量的通道差分传递响应。

SDD21f是拟合的通道差分传递响应，由下式给出：



其中a，b和c由如下定义的250MHz至5.5GHz的频率范围上的最小二乘拟合确定。频率步长的大小应不大于50 MHz。

测量数据将提供频率矢量f和增益矢量，G由下式定义



 从频率变量f创建一个名为X的输入向量数组



接下来使用矩阵数学计算系数向量



计算的系数值由下式给出

     •a = -C（1）•b = -C（2）•c = -C（3）。

## 附录B SFI ASIC / SERDES规范（信息）

**B.1引言**

SFI ASIC / SerDes规格信息丰富。SFI ASIC / SerDes参考点A的发射机规格见B.2。SFI ASIC / SerDes参考点D的接收机规格见B.3。与附录A的推荐频道一起使用时，符合本附录规定的ASIC / SerDs将满足B 3.5.1和C 3.5.2的主机规格，但是满足这些主机规范的任何实现都是兼容的SFP +实现，独立于ASIC / SerDes和/或通道是否符合附录A和本附录中的规格。这允许通道和SerDes性能和成本之间的灵活性。

**B.2 SFI ASIC / SERDES发射机输出规范（信息）**

驱动器基于低电压高速驱动器逻辑，标称差分阻抗为100Ω。参考点A的SFI发射机电气规范在表26中给出。源必须为质量信号终止和低EMI提供差分和共模终止。

可能需要诸如去加重之类的预补偿来减轻遵守点B处的数据依赖性抖动。

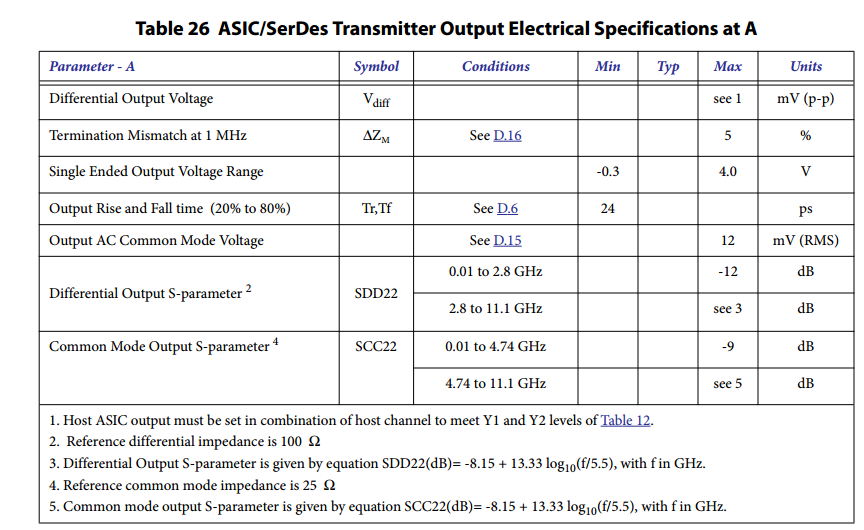
A中的所有参数用C.1.3所示的ASIC / SerDes测试板进行测量。

不提供A处的抖动规范，主机发射机与主机SFP +通道配合必须提供参考点B，表12给出的抖动规范。

**B.3 SFI ASIC / SERDES接收器输入规范D（信息）**

SFI ASIC / SerDes接收机电气规范在表27中给出，并在参考点D进行测量.D上的所有规格用ASIC / SerDes测试板C.1.3上的SerDes进行测量。标称接收机输入阻抗为100Ω差分。负载必须提供差分终端，并避免对于高质量信号终端和低EMI的共模转换的显着差异。

D的必要抖动性能由实施者根据C的规格确定。



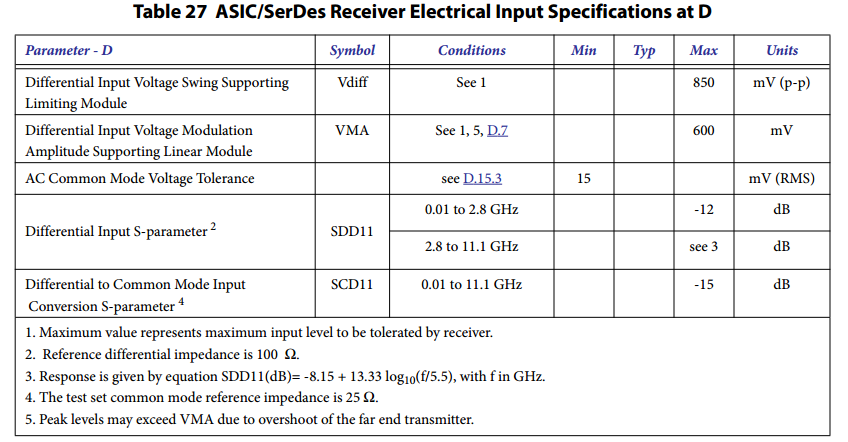
1.主机ASIC输出必须与主机通道组合，以满足表12的Y1和Y2电平。

2.参考差分阻抗为100Ω

3.差分输出S参数由等式SDD22（dB）= -8.15 + 13.33 log10（f / 5.5）给出，f为GHz。

4.参考共模阻抗为25Ω

5.共模输出S参数由等式SCC22（dB）= -8.15 + 13.33 log10（f / 5.5）给出，f为GHz。



1.最大值表示接收器允许的最大输入电平。

2.参考差分阻抗为100Ω。

3.响应由等式SDD11（dB）= -8.15 + 13.33 log10（f / 5.5）给出，f为GHz。

4.测试仪共模参考阻抗为25Ω。

5.由于远端发射机的过冲，峰值电平可能会超过VMA。

## 附录C应用参考板（NORMATIVE）

为了提供可重现和测量的测试结果，本文档定义了3个具有SMA接口的测试板，便于连接到测试设备。一个参考板设计用于测试ASIC / SerDes，一个用于测试主机的参考板（HCB）和用于测试模块的另一个参考板（MCB）。SMA接口定义了本文档中的所有主机，模块和ASIC / SerDes规范和建议，以及配对对合规板的规格。本附录详细介绍了这些测试卡。参考测试板的目标是：

•满足电气层面互操作性的需要。

•允许对ASIC / SerDes，主机和模块进行独立验证。

•PCB走线的目标是100Ω差分阻抗，额定7％差分耦合。

在高速系统中测试符合规格的细节是需要考虑的。使用通用测试板，可以在供应商之间实现可预测，可重复和一致的结果，有助于确保测试中的一致性和真正符合性。

**C.1合规板**

主机合规委员会，模块合规板和ASIC测试板由具有特定高性能特性的PCB走线定义的损耗制成。合规板旨在缓解构建具有零损耗的实际测试板。SFI规范结合了非零损耗参考测试板的作用，可提高回波损耗并稍微减慢边沿。

使用不符合标准的测试板进行的测量是无效的，并且不能从结果中得出有效的结论。

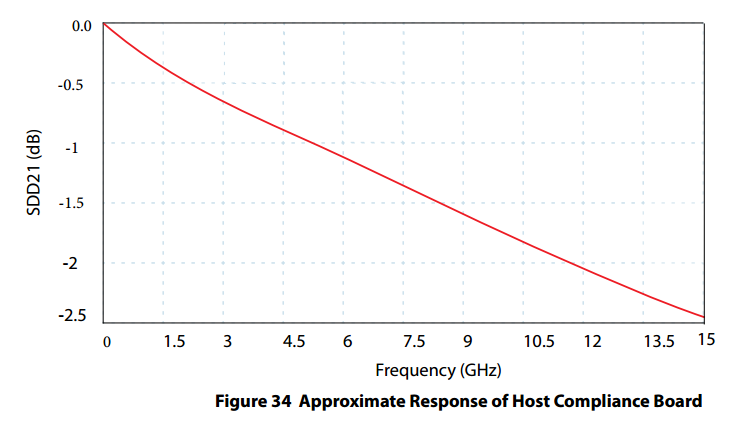
**C.1.1主机兼容板传输特性**

SDD21从SFF-8083配对焊盘（不包括这些配对焊盘）定义到SMA连接器的配对接口。主机合规板是被动测试板，SDD21和SDD12应相同。除SFF-8083连接器外，主机合规板PCB的建议响应由下式给出：



其中f是以GHz为单位的频率。从10 MHz到11.1 GHz，测量的传输响应和规定的SDD21（dB）之间的差异应在传输响应的±15％（dB）或±0.1 dB（以较大者为准）。对于频率> 11.1 GHz和高达15 GHz，测量的传输响应与指定的SDD21（dB）之间的差异应小于传输响应的±25％（dB）。

通道传输特性大致如图34所示。



SFF-8083连接器响应由SFF-8083定义。

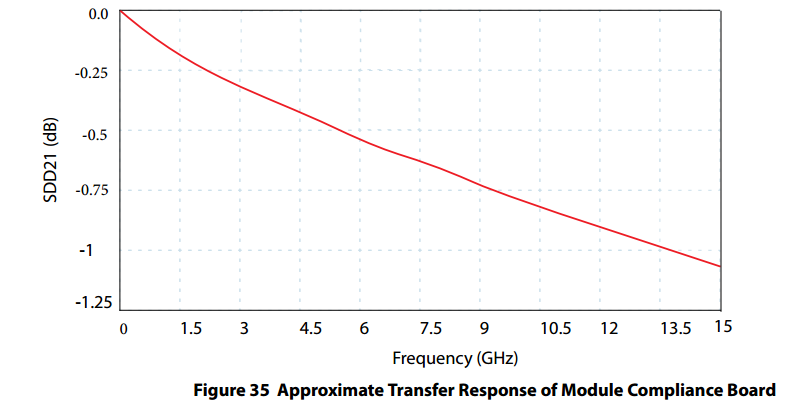
**C.1.2模块合规板传输特性**

SDD21从SFF-8083连接器（不包括其焊盘）定义到SMA连接器的配对接口。主机合规板是被动测试板，SDD21和SDD12应相同。除SFF-8083连接器外，模块合规板PCB的推荐响应由以下公式给出：



其中f是以GHz为单位的频率。在规定的频率范围（10 MHz至11.1 GHz）之间，测量的传输响应与规定的SDD21（dB）之间的任何差异应为传输响应的±15％，单位为dB或±0.1 dB，以较大者为准。对于频率> 11.1 GHz和高达15 GHz，测量的传输响应和指定的SDD21（dB）之间的差异应小于传输响应的±25％（dB）。

频道传输响应大致如图35所示。



SFP +连接器响应由SFF-8083定义。

**C.1.3 ASIC / SERDES测试板传输特性**

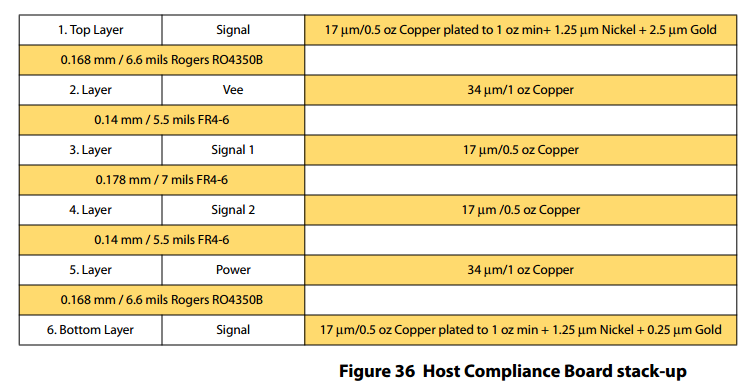
ASIC / SerDes测试板PCB的建议响应与模块合规板（见C.1.2）相同。

**C.2 HOST遵从板**

主机合规委员会允许主机供应商之间可预测，可重复和一致的结果，并有助于确保主机测试中的一致性和真正的兼容性。主机合规委员会由思博伦通信提供。

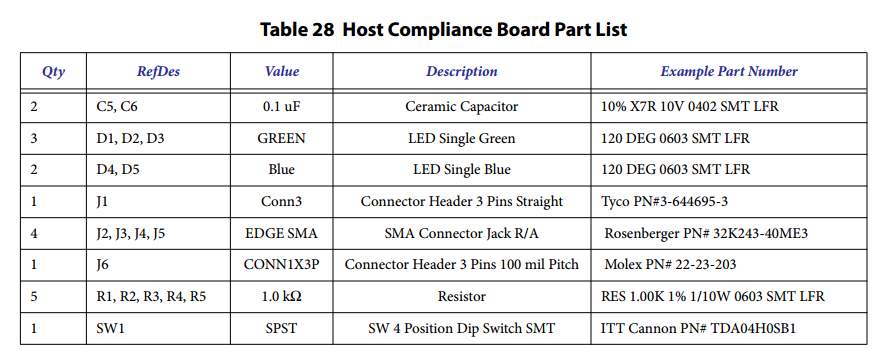
**C.2.1主机兼容板材料和层叠体**

主机合规板堆叠如图36所示，是六个金属层Rogers RO4350B©/ FR4-6材料。该板符合SFF-8432和SFF-8083的要求。SFI信号在信号层1上路由，低速信号和控制在信号层6上路由。



**C.2.2主机合规板块列表**

主机合规委员部分列表如下。



注：表28不使用所有的序列号。

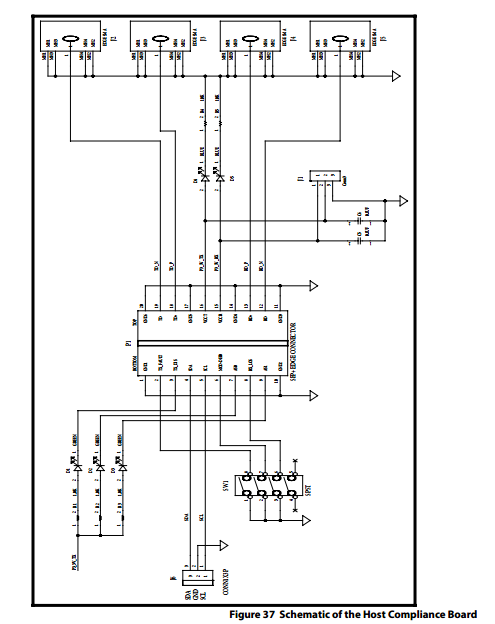
**C.2.3 HCB GERBER文件**

适用于主机合规板的Gerber文件位于SFF-8434中。

**C.2.4主机合规板示意图**

主机合规委员会的原理图如图37所示。

原理图中的Mod-DEF0如表3所定义，为Mod\_ABS，原理图中的AS0 / AS1为表3所定义的RS0 / RS1。



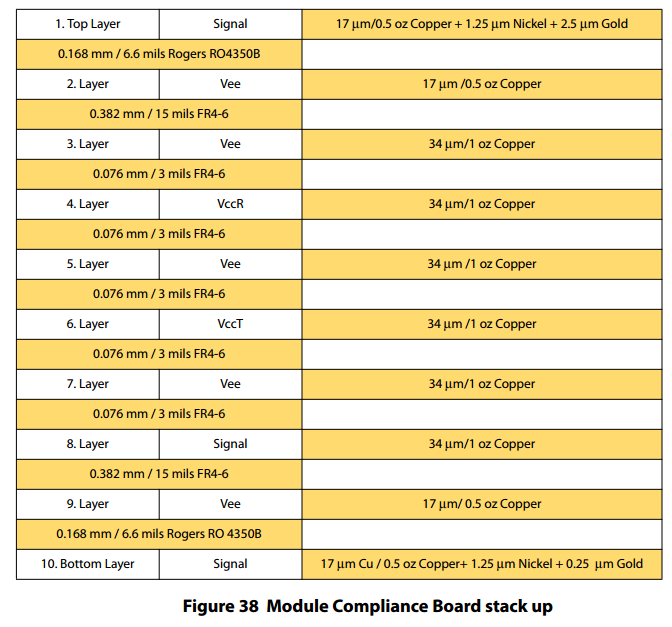
**C.3模块合规板**

模块合规板在模块供应商之间实现可预测，可重复和一致的结果，有助于确保模块测试中的一致性和真正符合性。模块合规板由Broadcom Corporation提供。

模块合规板中高速走线的焊盘为1.1x0.4 mm，以提高SFF-8083中定义的2.0x0.5 mm的高频性能，以提高可制造性。有关详细的地理信息，请参阅C.3.4中的Gerber文件。

**C.3.1模块合规板材和层叠层**

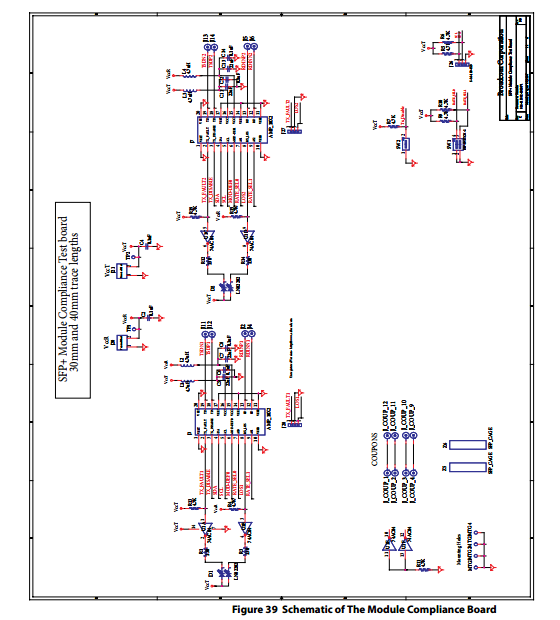
图38所示的模块合规性板堆叠基于具有十个金属层的Rogers RO4350B / FR4-6的层压板。SFI信号在信号层1上布线，低速信号和控制在信号层8和10上布线。



**C.3.2模块合规板示意图**

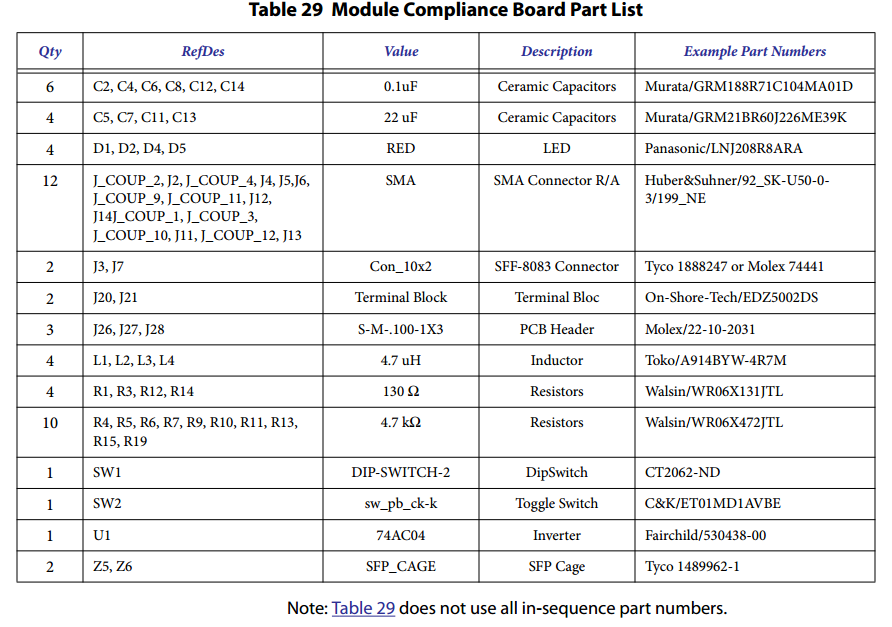
模块合规板示意图如图39所示。

原理图中的Mod-DEF0如表3所定义，为Mod\_ABS，原理图中的AS0 / AS1为表3所定义的RS0 / RS1。



**C.3.3模块合规板块列表**

模块合规委员会的组件部分列表如下。



**C.3.4 MCB格式文件**

模块合规板的Gerber文件可在SFF-8434中找到。

**C.4适用于主机和模块兼容板的规范**

基于与主机合规委员会（HCB）配合的模块合规板（MCB）的测量，配对对已经得到了以下规范。符合这些限制有助于确保可以满足模块和主机规范。

S参数基于两个端口混合模式差分定义[参见INF-8077i附录C]进行定义，请参见图40.所有单端口测量均在图中列出。

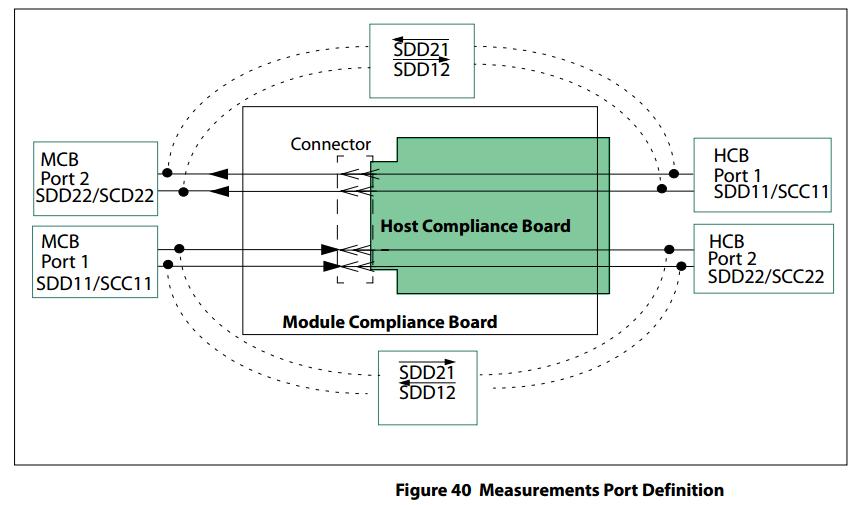
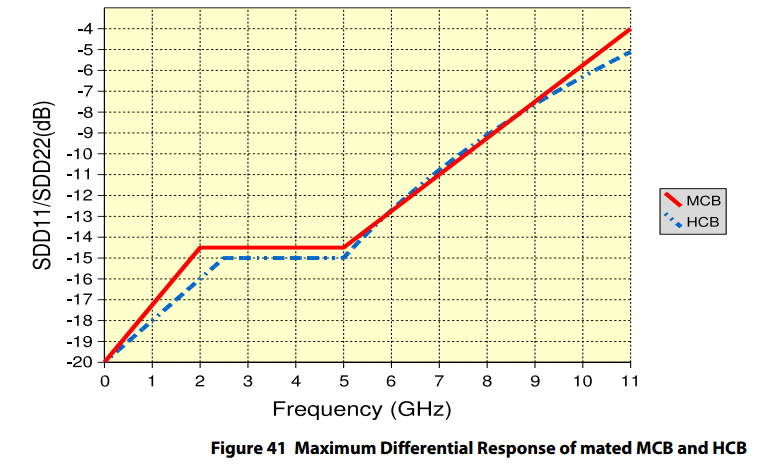
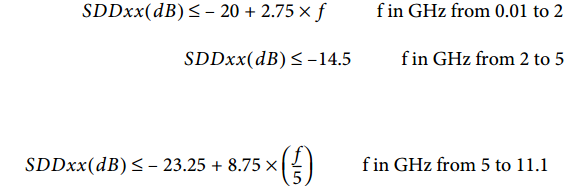


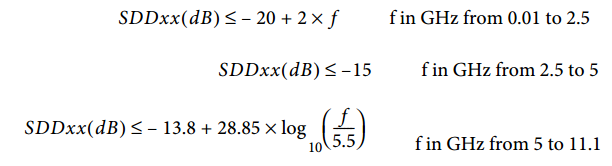
图41中显示了SDD11或SDD22的模块合规板和主机兼容板的最大值。



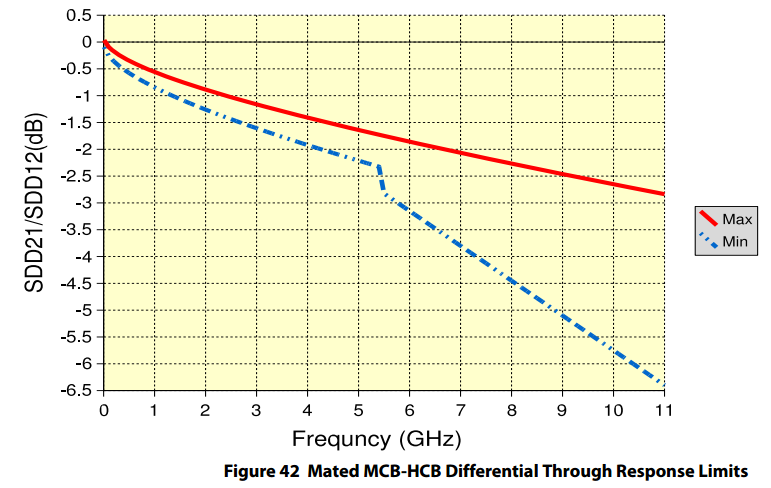
SDD11或SDD22的最大值通过以下公式给出：



查看主机合规板的SDD11或SDD22的最大值由以下公式给出：



SDD21或SDD12在模块合规板或主机兼容板方面的最大和最小值如图42所示，由下列等式给出。



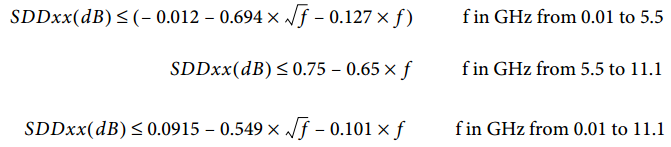
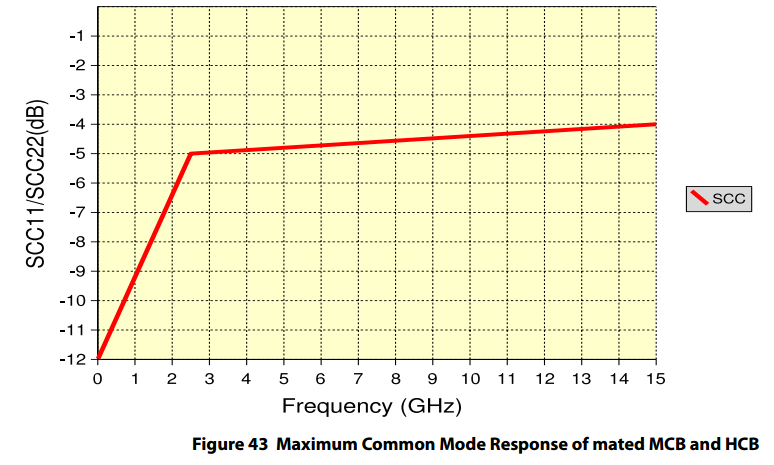


图43中显示了SCC11或SCC22的模块兼容板或主机兼容板的最大值。



SCC11和SCC22也由以下等式给出：

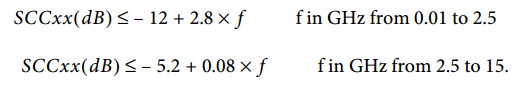
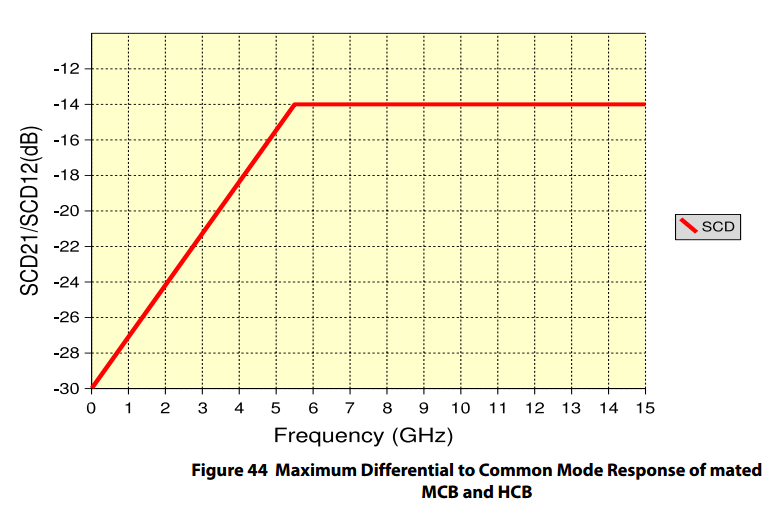
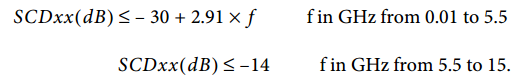


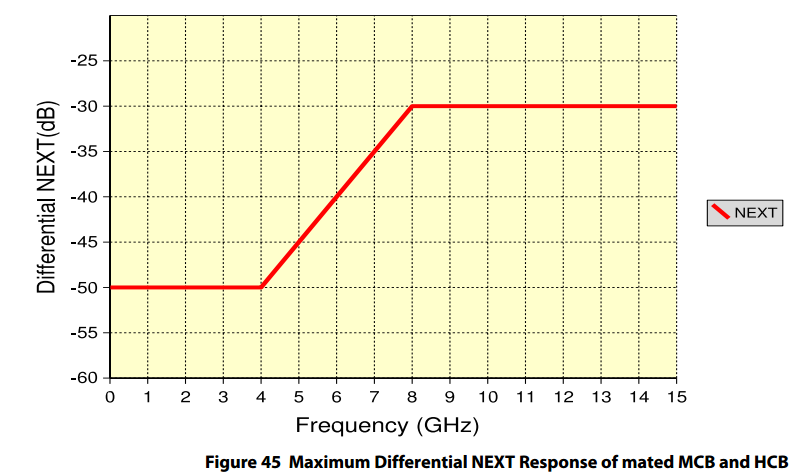
图44显示了兼容模块合规板或主机兼容板的差分到共模响应SCD21和SCD12的最大值。



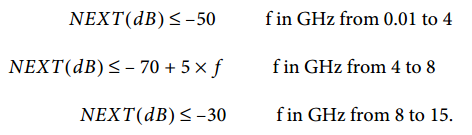
配对模块和主机兼容板的配合响应SCD21和SCD12由以下公式给出：



当配对模块合规板和主机兼容板的MCB端口1被表12中定义的串扰源激励时，在12 GHz中测量时，MCB端口2的RMS差分NEXT电压应小于1 mV带宽。从HCB端口1到HCB端口2的差分NEXT电压预计将大致相同。符合这一要求的合规委员会预计将通过综合NEXT要求，但也预计在仍然通过综合NEXT要求的情况下，可能会由于频率共振而超过曲线。图45所示的频域曲线显示了一个推荐的响应，该响应在图中的等式中描述。满足该NEXT响应的合规板预计将通过NEXT电压要求，但是也可以预期，当仍然通过NEXT电压要求时，由于频率共振而可能会超过曲线。



推荐的NEXT响应也由以下等式给出：



## 附录D测试方法与测量（正常）

**D.1引言**

本附录定义了SFP +高速和电力电气接口的指标，为测试实施提供了实际指导。每个参数根据测量过程进行定义。假设测量仪器是理想的：准确，精确，无限或有限的带宽，零或定义的噪声等等。在实践中，必须考虑仪器性能的必要水平以及校准和校准的方法。以下部分给出了一些指导。

除了交流共模生成测试D.15.2，共模容差测试D.15.3，终端不匹配D.16，模块电源容差滤波D.17和电源噪声测试方法外，所有测量均有差异D.17。

对于所有测量，假设测试设备的精确校准。为了避免悲观的WDP和抖动结果，范围可能需要校正时基线性误差。

**D.1.1测试模式**

本规范中使用的测试模式包括8 + 8方波，PRBS9，IEEE 802.3测试模式1,2和3以及任何有效的64B / 66B信号。PRBS9定义在IEEE Std 802.3,68.6.1中，序列文件可以在http://ieee802.org/3/aq/public/tools/TWDP/prbs9\_950.txt找到。测试模式1,2和3在IEEE Std 802.3,52.9.1.1中定义。测试模式3是由ITU-T或IEEE Std 802.3,49.2.8定义的PRBS31。

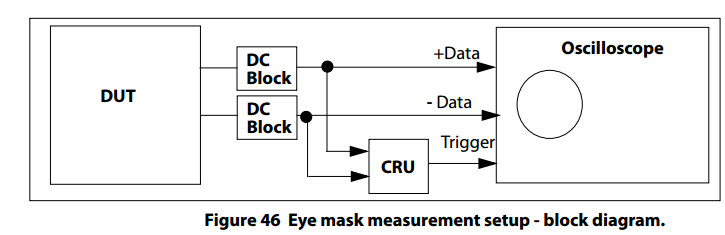
**D.2眼罩符合性**

本节定义了眼罩符合性的含义，并给出了其确定方法。3.5 SFP +主机系统规范和3.6 SFP +模块规范中的子条中给出了掩模模板和坐标。

•眼罩检测模式符合表1所列的相关标准。

•正在测试的输出应符合操作条件范围，而相对方向位流则与表12，表14，表17和表18中给出的目标串扰上升和下降幅度一起运行。相反方向位流（比正在测试的那样）应该是异步PRBS31或有效的64B / 66B比特流。测试可能包括保护条带，外插或其他方法，但必须确保掩膜违反不会超出相应表中给出的命中率限制。

•AC耦合3 kHz角频率为20 kHz，预计将有助于消除基线漂移效应，然而高频性能至关重要，绝对不能被交流耦合所牺牲。•所有负载均指定为100Ω差分。•时间轴上的0.0 UI和1.0 UI由眼图交叉装置以信号的平均值（零电压如果AC耦合）定义。平均值可能不在抖动腰。时钟恢复单元（CRU）用于触发屏蔽测量范围，如图46所示。参考CRU具有4 MHz的高频率转角带宽和-20 dB / 10dB的斜率，峰值为0.1 dB或更少。



**D.2.1 5X10 HIT比例的示例计算**

如果示波器记录1350个采样/屏幕，并且时基设置为0.2 UI每划分，屏幕上有10个分区，并且测量持续200个波形，则a发射机反复测量平均小于6.75命中符合。即



同样地，如果对1000个波形进行测量，则重复测量平均值小于33.75次。预期延长的测量结果将会产生更多可重复的结果，而200次波形中6次命中的单次读数不会产生统计学显着的通过或失败。

**D.3数据依赖抖动（DDJ）和脉冲宽度收缩（DDPWS）**

高分辨率示波器，时间间隔分析仪或具有等效功能的其他仪器可用于测量DDJ和DDPWS。使用重复的PRBS9伪随机测试模式，511位长。对于电气抖动测量，测量带宽为12 GHz。如果测量带宽影响结果，则可以通过后处理来校正测量带宽。然而，12 GHz以上的带宽预计对结果几乎没有影响。

DCD和脉冲宽度收缩（DDPWS）是DDJ的组成部分。

建立与所测量的整个波形的平均值相等的交叉电平。将仪器与模式重复频率同步，并充分平衡波形或交叉时间，以减少系统中随机抖动和噪声的影响。PRBS9模式有128个正向转换和128个负向转换。然后将每个交叉点的平均时间与交叉的预期时间进行比较，并确定一组256个定时变化。DDJ是定时变化的范围（max-min）。跟踪变化的迹象（早/晚）。注意，可以方便的将其中一个交叉点的预期时间与所测量的平均交叉点对齐。

下图47说明了该方法。垂直轴为任意单位，水平轴在UI中绘制。波形交流耦合到平均值0，因此0是适当的交叉电平。整流波形显示理想的交叉时间，另一个是正在测量的抖动波形。仅显示32个UI（511个）。波形Δ形式在14 UI处与（t2 = 0）任意对齐。



DJ定义为



测量图案完全重复的每个边，1 ... n（PRBS9图案中的n = 256）。

DDPWS被确定为一个符号周期与相邻边缘对之间的所有差异的最小值之间的差



其中T是一个符号周期。注意，也考虑与重复序列tn + 1中的下一个边缘的差异。

**D.3.1占空比（DCD）**

DCD表示与预期占空比的偏差。所有下降沿的平均位置与所有上升沿的平均位置之间的差异，其中不相关的影响通过平均最小化。DCD以波形的平均值进行测量。

**D.4非常规犹太人（UJ）**

由IEEE 802.3 CL 68定义的UJ是与64B / 66B比特流不相关的任何抖动的度量。UJ的定义和测试程序与IEEE 802.3 CL 68.6.8中定义的定义和测试程序相同，具有以下考虑：

•当主机接收机使用异步PRBS31或有效64B / 66B信号和所有其他端口在正常操作中运行时，主机发送器应符合要求，包括正确的终止。

•主机合规板的接收路径输入连接到模式发生器，并通过模块合规板进行校准。振幅和上升时间设定为表12中C“所示的目标值。

•为本文件的目的，为光学测试定义的程序也适用于电气测试。IEEE 802.3中的图68-9中的光学术语（如功率）和单位可以转换为相应的电气术语（如电压）和单位等。

•四阶Bessel-Thomson响应仅用于UJ的光学测量。电气领域中的UJ在12 GHz的带宽内定义，除非应用标准规定。

•PRBS9适用于所有应用的测试序列，除非另有规定。

•CRU的带宽在IEEE 802.3第68.6.8条或应用的相关标准中定义。

**D.5 99％JITTER（J2）和TOTAL JITTER（TJ）**

抖动是信号边缘定时的属性。边缘出现的时间被定义为当信号跨越其平均电平（例如，对于耦合耦合的接地端测量的0V）。抖动是使用D.2节的CRU定义的。总抖动（TJ）和99％抖动（J2）测试的测试模式应为PRBS31或有效的64B / 66B信号。测量这些抖动度量而不进行平均。

J2与J“相同，”除抖动1％以外“，用于IEEE 802.3第52.9.9条。它被定义为包括抖动分布的10-2以外的所有时间间隔。如果使用示波器测量，则是从直方图上测量的抖动分布的第0.5到99.5百分位数之间的时间间隔。

 本文档中使用的TJ是FC-MJSQ中描述的TJ的1级定义，其中TJ是交叉宽度，定义为BER为10-12的较晚时间减去早期时间BER为10-12。这是一个单位间隔（UI），减去FC-MJSQ中定义的“抖动眼图开度”。TJ可以表示为：

 •TJ = T-t1

其中t1是CDF = 10-12处的抖动眼图开度，T是一个符号周期。

CDF是边缘的时序的累积分布函数，其最大值接近0.5，因为转换密度接近50％。

 对于仪器的设置和保持时间和噪声，必须校正使用BERT浴缸方法的测量。由于PRBS31比64B / 66B信号要求更高，因此使用64B / 66B信号的TJ兼容的10GBASE-R实例即使不符合PRBS31要求的限制也被认为是合规的。10GBASE-W实例应符合PRBS31。这些模式之间的J2值不会有所不同。

J2和TJ都是从CDF的一侧到另一侧测量的，而不是CDF的中间到侧。

**D.6上升和下降时间**

在本文中，上升和下降时间被定义为分离边缘的20％和80％之间的时间，即80％和20％的时间。示例性测试模式是OMA测试模式（八个，八个零）。0％电平和100％电平由xMA测量程序定义（见D.7和IEEE Std 802.3,68.6.2）。

或者，PRBS9中存在合适的边缘，分别在五个零和四个序列以及九个和五个零的序列内。这些分别是位10至18和1至14。在这种情况下，0％电平和100％电平可以在xWDP代码（见附录G）中估计为ZeroLevel和ZeroLevel + MeasuredxMA，或者由窗口内的-3到-2 UI和从2到3 UI相对于边缘。PRBS9方法对于1.5 UI以上的上升和下降时间是不准确的。

对于电信号，通过12 GHz低通滤波器响应观察波形。对于光信号，上升和下降时间可以定义为没有滤波器响应或通过标准的7.5GHz贝塞尔 - 汤姆森响应;在每种情况下都会指定一个或另一个选项。

注 - 本文档中的上升和下降定义与示波器通常由来自混合频率信号（如PRBS或64B / 66B信号）的眼图报告的上升和下降时间不同，所有的边缘考虑。

**D.7电压调制幅度（VMA）**

VMA是电信号的标称值和零电平之间的差值。它类似于光信号的OMA（见IEEE标准802.3 52.9.5和68.6.2）。VMA定义为IEEE Std 802.3,68.6.1（这是IEEE 802.3,52.9.5中允许的方波的子集）中定义的八个和八个零的方波测试模式，或者在非 - -802.3应用，由相关标准定义的测试模式。

可以测量如下：

•被测信号被设置为携带方波模式，通常用示波器触发到模式。该测量系统的带宽至少为3 / T，其中T是转换之间的周期。对于方波测试模式（0000000011111111），这样可以在10.3125 GBd时提供大约4 GHz的频率;为其他电量定义的12 GHz带宽是方便的。VMA的电气测量不需要7.5 GHz Bessel-Thomson滤波器。

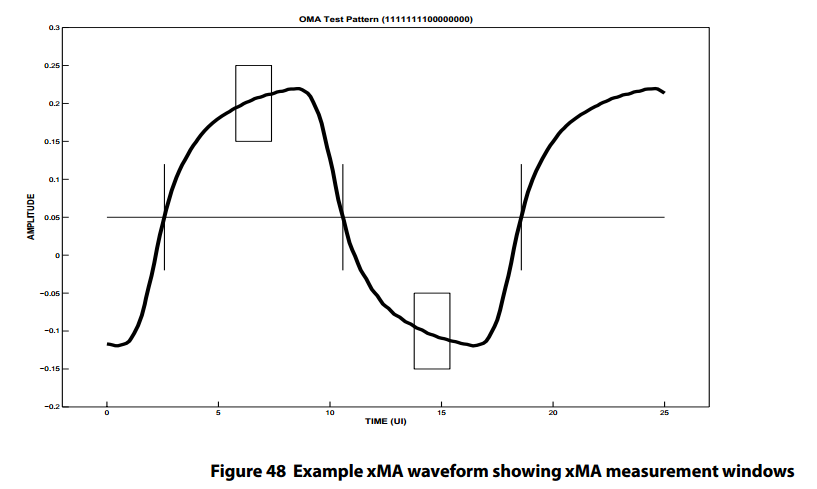
•测量的方波被划分为两个相等的时间间隔，8 UI长，与两边的平均时间对齐。

•边沿出现的时间定义为方波信号跨越其平均电平（交流耦合测量值为0 V）。

•测量每个时间间隔中央20％的平均电压电平。

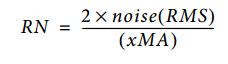
•两级之间的差异（正电压）是VMA。

•PRBS9波形的OMA或VMA的估计由附录G中的算法计算的变量MeasuredxMA提供。具有八个零点和八个具有两个测量窗口的示例方波信号如图48所示。



**D.8相对噪音（RN）**

RN是信号的互逆SNR的度量。RN由下式给出：



在本文档中，如果正在测量光信号，则XMA是OMA，如果正在测量电信号，则为VMA，并且在相同的光信号或电信号上测量噪声（RMS）。

RN的测量程序的重要部分可以在IEEE Std。802.3 CL 68.6.7（LRM）。一些意见：

•为了本文档的目的，定义和过程通常适用于光信号和电信号。光学术语（如功率）和单位可以转换为相应的电气术语（如电压）和单位。

•无论RN测量是在光电还是电信号上进行，都应使用IEEE 802.3第68章中为OMA定义的测试模式或与应用相关的其他标准。

•四阶Bessel-Thomson响应仅用于RN的光学测量。Bessel-Thomson响应的带宽在应用的相关标准中被提及。RN的电域定义为12 GHz的带宽。

•直方图的位置如图68-4所示，在802.3条款68中。

•应测量两个逻辑电平的噪声：logicONEnoise（rms）和logicZEROnoise（rms）。根据等式应用有效值技术：



•RN的公式如上。不需要Qsq的计算，也不是以dB / Hz为单位的计算，例如发射机RIN的计算。如果logi cONEnoise（RMS）等于logicZEROnoise（RMS），则RN等于1 / Qsq。

**D.9波动失败罚款（WDP）**

WDP是用于波形滤波和/或非线性失真的波形度量。WDP使用与IEEE 802.3条款68.6.6（LRM）中的TWDP相同的过程。

•为了本文档的目的，定义和过程通常适用于光信号和电信号。光学术语（如功率）和单位可以转换为相应的电气术语（如电压）和单位等。

•WDP不限于发射机测量（因此“T”丢弃）。

•四阶Bessel-Thomson响应仅用于WDP的光学测量，如光接收机测试系统的校准。Bessel-Thomson响应的带宽在应用的相关标准中被提及。

•电气WDP的定义假设测量带宽为12 GHz。可以通过在WDP计算之前处理捕获的波形来校正不同的测量带宽。然而，较高的带宽预期对结果几乎没有影响。

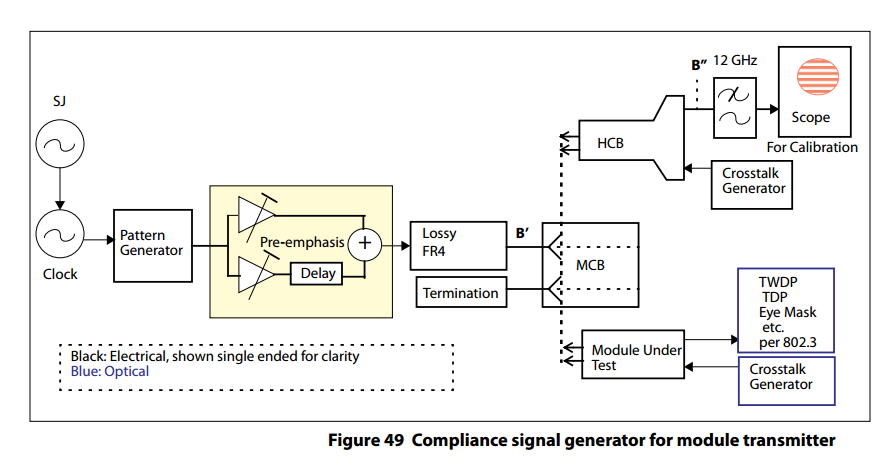
•PRBS9是本规范的规范性测试序列。

•为了提高测量精度，应减少不相关的抖动和噪声。对于IEEE 802.3 CL 52，正弦波干扰和正弦抖动被关闭。•应使用平均值进一步降低仪器和测量噪声，从而影响结果可忽略不计。

•计算WDP的具体代码见附录G.

**D.10“S”+模块发射机的B“电气符合信号”**

图49显示了测试SFP +发射机的测试配置。它适用于所有SFP +发射机类型。

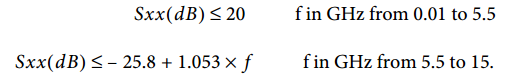


校准设置的接收通道由图47中的上部串扰发生器执行，以确保设置内的串扰是可接受的。表17的串扰规格应通过配对主机和模块兼容板实现，并进入适当的测试设备。

B“的符合信号具有故意的ISI和正弦抖动。它通过主机合规委员会进行校准，以交付表17中指定的DDJ或DDPWS，UJ和Y1或Y2。符合性信号适用于被测模块以代替主机合规委员会，接收侧交流以便传输的信号可以通过所支持的传输标准来规定10GBASE-SR，10GBASE-LR或10GBASE-LRM。总共有四个条件：大小信号，欠补偿和过度补偿。相反的方向比特流应为PRBS31或有效的64B / 66B比特流。

在两个测试条件下，调整强调设置以在B“给出指定的DDJ（过度补偿）和DDPWS（欠补偿）。在过补偿状态下，DDJ应等于表17中的目标值，而DDPWS在0.045 UI和0.055 UI之间。在欠补偿条件下，DDPWS应等于表17中的目标值，而DDJ在0.075 UI和0.1 UI之间。调整幅度，使得眼屏测量显示符合信号以5×10 5的命中率满足规定的Y1或Y2。调整正弦抖动（SJ）以给出指定的UJ。否则，合规信号干净，噪音低。除串扰外，没有故意的高斯或“随机”损伤。

如图49所示，在HCB右侧看到的单端反射系数和MCB左侧的单端反射系数应按照以下公式计算：

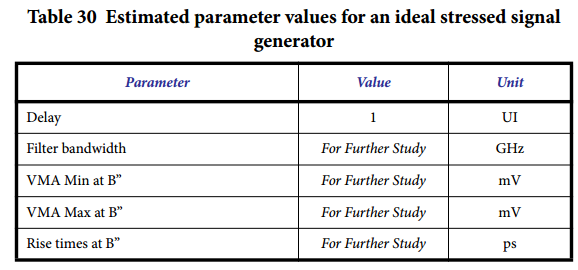


符合性信号符合3.6.1中的掩码，并且具有由X1，X2（抖动余量）给出的尺寸的裕度。大信号具有由Y1给出的尺寸的裕度，并且接近Y2，而小信号接近Y1并且具有Y 2的裕度。

SJ的频率明显高于用于评估由模块传输的信号（指定为4 MHz）的时钟恢复单元的带宽。应注意，该频率不会超过用于测量TWDP测量中的平均波形的采样频率。它不能与图案重复频率有谐波关系。

 用于校准的图案由适当的附录指定，例如。D.3。与传输和接收的模块一起使用的模式由支持的传输标准定义。符合性信号的其他特性由支持的传输标准定义。

注意，TJ不是靠近表17允许的最大TJ，除了有意思的SJ之外，应该比表17中允许的最大值少得多。建议在TWDP，DDJ和DDPWS测量来平均无抖动抖动的影响。表30列出了理想应力信号发生器的估计参数值。



**D.11限制模块主机接收器的测试方法**

本节为RX主机合规点C的抖动容限测试提供指导。符合性要求具有输入抖动，垂直眼图开度（Y1）和垂直峰值电平（Y2），如表14所示。错误率由适当的光学标准设定。有两个测试条件;每次为灵敏度和过载垂直眼参数条件。

有关紧眼眼抖动容限的定义和测试方法的更多信息，请参见参考文献（FC-MJSQ和OIF-CEI）。

**D.11.1测试设备和设置**

测试源用于连续生成适当的测试信号。测试信号应在D.11.2中概述的指导原则下进行适当调整，以展现适当的抖动应力。

可能需要RF衰减器或测试源的其他输出幅度控制来设置受压眼图的垂直眼图开度。

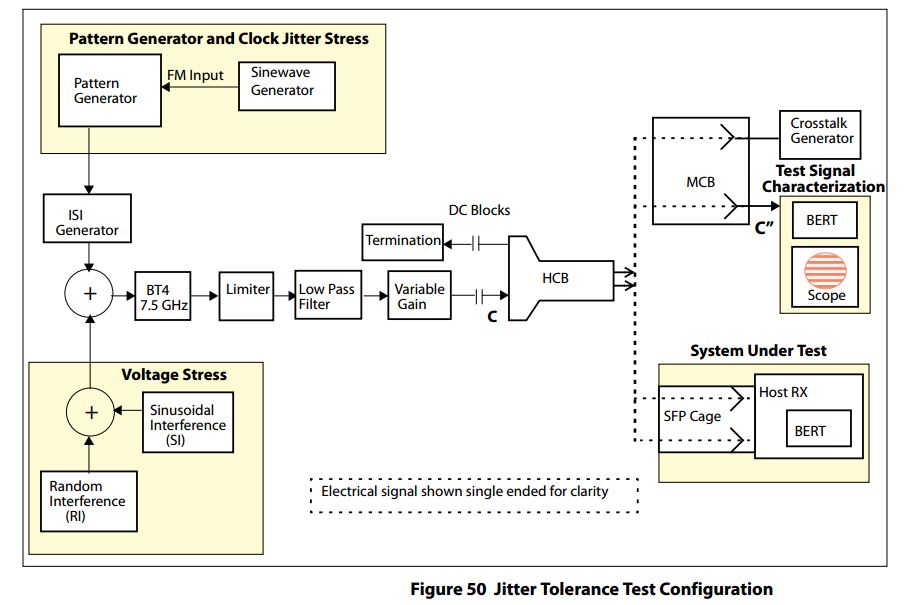
在C测量的低通滤波器中测试的测试设备在高达12 GHz时的回波损耗应优于20 dB。

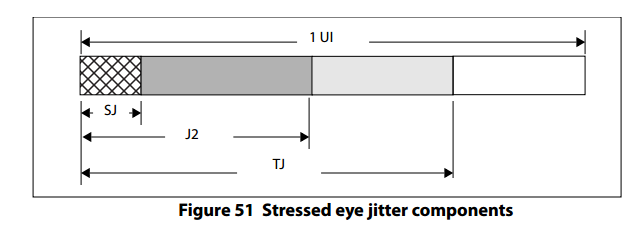
在C“与模块合规板测量时，测试系统的输出回波损耗特性应比表18高达8 GHz和最高达11 GHz的1 dB更好2 dB。

要求被测接收机包括一个允许测量BER性能的机制。

**D.11.2应力眼动特性**

本节介绍所需的测试信号特性以及测试信号生成的考虑和建议方法。测试信号由图50所示的功能或等效的方式产生。图51说明了表14中的抖动参数如何映射到应力眼测试信号中的抖动分量。





99％抖动（J2）的0.05 UI SJ组件被定义为远高于CDR带宽（例如〜20 MHz）的频率。在较低频率下，CDR必须跟踪相关规范1中详细说明的附加应用SJ。

参见图21和IEEE 802.3 CL52.8.1。

J2的平衡由以下形式的抖动的组合组成：ISI，正弦干扰（SI）和随机干扰（RI）都通过限制功能。

C“处的信号应具有表14所定义的DDPWS。测试中任何DCD（见D.3.1）的大小不得超过0.02 UI。

通过使用低通滤波器，FR4迹线长度，同轴电缆长度或其他等效方法，ISI发生器可以实现ISI抖动创建。要求该信号通过限幅器功能，以确保产生的抖动不是完全可均衡的抖动。可以使用离散限幅放大器，然后是低通滤波器和衰减器来实现合适的限幅器功能。低通滤波器模拟实际限幅器的带宽和/或转换速率。衰减器用于将输出幅度设置为表14的眼罩坐标系允许的最小值和最大值。

在限幅器之前施加电压应力。该压力由100MHz至2GHz频率范围内的单音正弦干扰源（SI）和6GHz时具有-3dB最小功率谱和最小7峰值因数的宽带噪声源（RI）组成。这意味着这种电压应力和限制功能的组合引入脉冲收缩抖动行为。然而，不超过20％的J2由正弦干扰源创建。

模式发生器的抖动生成机制通常基于时钟源的相位调制，可变延迟线的边缘调制或其组合。

调制或创建抖动组件的适当级别和频率的任何方法都是可以接受的。

**D.11.3校准**

测试信号的校准将使用D.11.1中的测试设置指南进行，如图50所示。校准的目的是根据表14实现显示抖动应力的测试信号。

测试信号应被校准为标准仪表负载。如果使用互补单端信号，则应在幅度和相位上仔细匹配。

为了提高校准的可见性，信号通路（电缆，直流电阻等）中的所有元件都必须具有广泛和平坦的频率响应以及所有感兴趣的频谱的线性相位响应。基线漂移和过冲/下冲应最小化。

预计20 kHz的AC耦合3 dB转角频率足以消除基线漂移效应，但是高频性能至关重要，绝对不能被交流耦合所牺牲。

抖动要求定义为1×10-12的概率级别。为了校准抖动，建议在CEI 2.C Annex和MJSQ第8章中给出的方法。给定随机抖动和长测试模式的性质，可能会出现低概率抖动事件。建议使用抖动校准，可以使用可以准确测量低概率事件的技术来避免过度压力的测试条件。

 建议在校准过程中使用实际符合性测试模式。然而，对于抖动应力校准，允许使用任何适当的测试模式，这仍然导致创建具有适当抖动应力的合规性测试模式。

**D.11.4校准程序**

垂直眼图开度和峰值水平应大致设定在表14中规定的水平。

使用应用的校准测试图案并且不施加额外的抖动应力;应测量和校准由于固有噪声和有限带宽效应引起的测试源的固有抖动。99％抖动（J2）应小于0.15 UI，TJ <0.25 UI。

应添加SJ直到抖动的J2分量比测量的参考电平高0.05 UI。这应该是高频率的SJ高于CDR带宽。SJ频率应与信号的特征频率异步。

接下来，ISI生成器应添加D.11.2中规定的附加高概率抖动，直到创建了至少80％的J2。然后应将正弦检波器振幅打开并调整，直到达到所需的J2级。任何正弦干扰源的频率应与信号的特征频率同步。

符合标准的测试信号表现出数据相关的脉宽收缩，如表14所示。数据相关脉冲宽度收缩在D.3中定义。这是用噪声和时钟抖动源关闭来测量的。

一旦实现所需的J2级别，就可以打开应该设置的串扰源，使得在主机兼容板的输出端，幅度和上升和下降时间应如表14所示。串扰模式应为PRBS31或有效的64B / 66B信号，应与数据异步。然后应该加上RI（随机干扰），直到TJ的要求值达到1×10-12的概率为止。

如有必要，应重新调整正弦干扰源以获得所需的J2级别，如果改变正弦干扰源，则应重新调整随机干扰源以获得所需的TJ级别。应进行正弦干扰源和随机干扰源的迭代调整，直到达到J2和TJ的所需值。

如果需要，垂直眼图开度应重新调整到所需水平。

应该验证垂直开眼和峰值水平规格是否得到满足。

表征用于进行接收机保持测量的信号时，必须小心。校准测量设备（例如滤波器，示波器和BERT）引入的固有噪声和抖动必须被考虑和控制。如果设备缺陷对实际结果产生影响，应使用高斯噪声和抖动的RSS去卷积校正。

**D.11.5测试程序**

测试应通过主机合规委员会进行差异化（见C.2）。

使用根据D.11.1进行校准并按照D.11.4进行校准的测试信号，对相关应用（具有FEC的10G以太网，10GFC或10G以太网）采用适当的一致性测试模式来操作系统。

在正常操作期间运行的所有信号和参考时钟在测试期间应处于活动状态，包括双工对中的其他主机信号路径。另一个信号路径应该是异步的。

相反的方向比特流（比被测试的比特流）应该是同步的PRBS31或有效的64B / 66B信号。

 在监视BER的同时，正弦曲线抖动按照图21跨越频率和幅度范围。BER应保持<1x10-12。

**D.12限制模块接收器兼容性测试**

在C'表18和表19中符合规范必须满足由所支持标准的输入光信号范围。IEEE 802.3第52条和第52.9.9条定义的校准程序。

该测试包括模块内和模块合规板内串扰的影响。模块发送路径可操作。模块合规板的传输路径输入连接到模式发生器，并通过主机合规板进行校准。幅度和上升/下降时间在表18中给出。通过模块合规委员会进行C点测试。

串扰源的模式是PRBS31或有效的64B / 66B序列。串扰源与TP3测试源异步。

选择符合IEEE 802.3第52条规定的应力接收机灵敏度的最小测试条件（垂直闭眼罚分，VECP [min]和强调眼抖动J（min）足以确保符合标准的接收机，因此测试条件更严重比最低要求代表适用的补偿条件。

对过度压力的VECP的补偿是直接的;对于任何VECP过应力（或少量欠压），受压接收器灵敏度（SRS）最大值可以一对一调节。

SRS [补偿dBm] = SRS [max，dBm] + dVECP [过应力，dBo]，

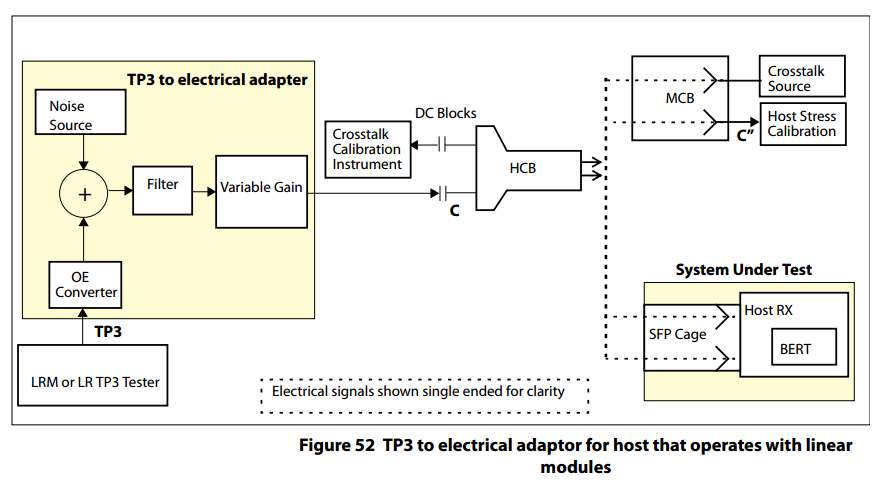
其中dVECP [过载] = VECP [测量，dBo] - VECP [min，dBo]。

因为定义允许组合在确定性和随机抖动的权衡范围内，所以对过度紧张抖动的补偿不太简单。此外，没有普遍接受的用于补偿确定性抖动的做法，唯一的方法是重新校准测试源。幸运的是，大多数情况下过度紧张的抖动预计是由于过度的随机抖动。

在已知或可以测量抖动组成的情况下，可以从测量结果中退出任何过多的随机抖动，或者可以调整表19，总抖动和眼图X1坐标中的规格，以适应多余的输入信号。

**D.13具有线性模块的主机接收机的测试方法**

与线性模块接收器一起使用的主机的兼容性设置如图52所示。对C点处的主机输入进行测试，以符合测试信号的BER符合性，该测试信号表示从输出的预期的最坏情况波形和噪声特性模块在顺从操作期间。



**D.13.1线性模块主机接收机的测试说明和步骤**

对于IEEE 802.3第68.6.9条中为10GBASE-LRM定义的三种TP3脉冲形状中的每一种以及IEEE Std 802.3第52.9.9节中定义的一个10GBASE-LR受压接收机一致性测试信号，应实现符合性。在表15中的VMA范围内应达到一致性.TP3测试器模块与用于测试TP3顺应性点的LRM或LR标准所定义的相同的测试系统。选择LRM和LR，因为这种测试的组合包括具有低噪声的高失真以及高噪声的低失真。不需要使用SR等效输入进行测试，因为噪声和失真在LR和LRM之间。

如图52所示，TP3到电适配器将TP3测试信号转换成具有表15中定义的输出VMA，噪声（RN）和失真（WDP）特性的电信号。

表15中给出的规格在C“通过模块合规委员会进行校准时测量。

噪声源与其他块一起用于表示最坏情况的线性模块的加性噪声​​特性。噪声的大小被校准，使得C“处的RN值与表15一致。求和点处的噪声源的频谱为白色，具有至少10GHz的3dB频率。在C“测量的噪声”表示模块的噪声和光信号的组合。噪声源波峰因数应至少为6。

滤波器和增益块旨在表示最坏情况的线性模块的确定性dWDP和增益特性。对于表15中的低WDP情况，包括LR，滤波器的带宽为7.5 GHz。对于表15中的高WDP情况，滤波器的频率响应被设置为使得表15中针对分裂对称LRM应力器的C“处指定的WDP值被实现。该带宽预计约为4.5GHz。在所有情况下，适配器的整体响应均为贝塞尔汤姆森（Bessel Thomson）响应。

增益块和/或输入光功率电平可用于调整VMA。

在校准和主机一致性测试期间，串扰源见图52，应为异步PRBS31或64B / 66B信号。

必须注意不要在C处诱发大于0.02 UI的DCD“

平衡不平衡变压器或其他方式提供差分信号。

测试信号输出应为交流耦合。预期20 kHz的交流耦合3dB角频率足以消除基线漂移效应，但高频性能至关重要，绝对不能被交流耦合所牺牲。

当使用模块合规板测量时，测试系统的输出回波损耗特性应比表18高达8GHz至少高出2 dB，最高可达11GHz，最高可达1 dB。

可以使用测量配置的任何实现，使得所得到的信号和噪声与表15中定义的信号和噪声相匹配。

在所有规定的试验条件下，BER达到1×10-12以上。被测端口的发射器和所有其他端口正常工作，包括终止。正在测试的端口的发送器通过主机兼容板端接，每个Tx SMA连接器具有直流模块和50Ω。

**D.13.2线性测试仪校准**

主机合规委员会的输出通过模块合规板插入实验室设备进行校准。

尽管有些组件可能被关闭，例如抖动和噪声，而其他元素被校准时，可以使用所有测试元件进行校准。校准完成后，将所有组件设置为校准水平进行测试。

主机测试系统的RN通过适配器噪声源的大小进行调整。校准应使用D.8节给出的RN测量方法。对于每个测试条件，表15给出了RN值。串扰源必须根据表13的要求进行校准，并在RN校准期间运行。校准后和在主机一致性测试期间，串扰校准仪器可以被移除并用50欧姆终端替换，尽管必须保持DC阻塞。

主机测试系统的WDP通过适配器中的过滤器进行设置。如果校准关闭少量，则可以调整TP3测试仪中的ISI发生器以获得所需的值。

尽管WDP在这种情况下是电信号的特征，但它的单位是dBo，以便更好地与线性光学模块中的WDPo对齐，其也以dBo给出。

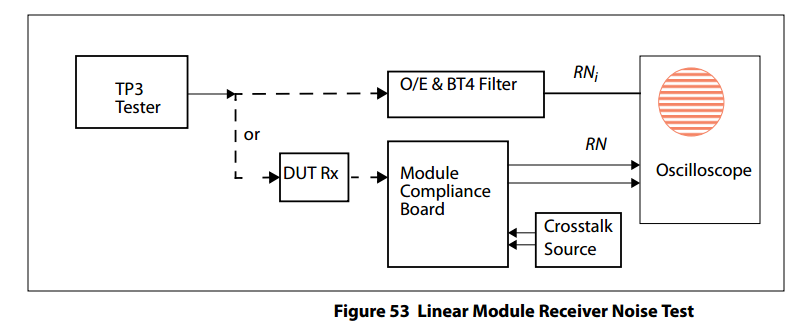
校准后，主机合规委员会插入被测试的主机接收器进行兼容性测试。

**D.14线性模块接收机兼容性测试**

线性模块接收器一致性测试确保当通过模块支持的标准中规定的光输入信号进行测试时，由模块产生的噪声产生，波形滤波和其他失真保持在可接受范围内。IEEE 802.3 CL 52和/或CL 68。

**D.14.1线性模块接收机噪声符合性测试**

模块接收器可以通过测量噪声通过并增加输入测试信号来测试噪声顺应性。图53是定义模块接收机噪声测试的测试系统的框图。



该测试包括模块和模块合规板内串扰的影响。模块合规板的传输路径输入连接到串扰源，并通过主机合规板进行校准。串扰幅度和上升/下降时间被设置为表18中给出的值。串扰源的模式是PRBS31或有效的64B / 66B信号。串扰源与TP3测试源异步。校准后，主机合规板被替换为被测模块。模块传输路径在一致性测试期间可操作。

TP3测试仪应按照D.7中的定义进行此测试的OMA / VMA模式。

启用TP3测试仪的波形整形应力。TP3测试仪的正弦波抖动和/或正弦波干扰应该被禁用或设置为非常低的幅度。

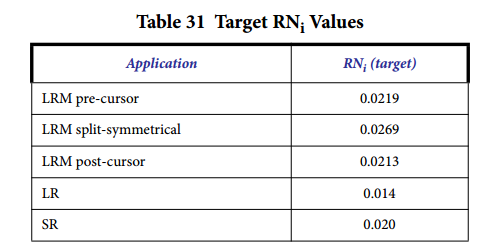
TP3测试仪的RNi设置为表31指定的级别。

TP3测试仪连接到被测模块中。该模块插入模块合规板，该板又连接到示波器。然后测量模块输出信号RN的相对噪声。相对噪声测量方法见D.8。

TP3测试信号RNi的相对噪声通过参考O / E转换器和4阶Bessel Thomson滤波器和数字示波器进行表征。如果TP3测试源的噪声与表31中的目标值不匹配，则可以使用以下公式校正RN：



其中RN测量包括实际TP3测试仪噪声在模块输出端的影响，RNi是实际的TP3测试仪噪声，RNi（目标）是表31中测试条件给出的目标测试噪声。由此产生的噪声结果为com - 符合表20规定的符合性限制。必须满足由模块支持的标准所规定的光功率范围。

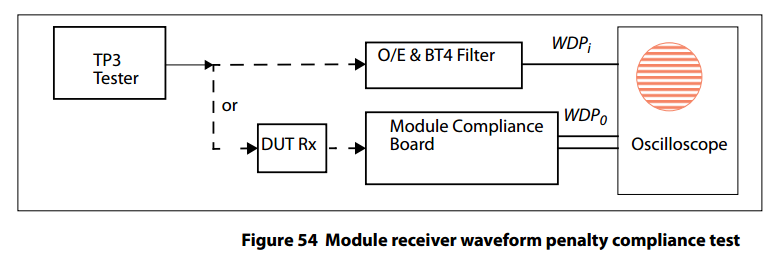


对于LRM，RNi应在表31中给出的适当值的1 dBo内。对于LR和SR，RNi应不大于表31中适当值的1 dBo; 任何较低的值都是允许的。

该示例程序描述为测量仪器。然而，由实际范围产生的噪声可能会影响结果。通过从RN测量的噪声中适当减去示波器噪声的平方，校正了由于范围引起的噪声，以获得与被测信号相关的相对噪声。对于电气范围噪声测量，范围输入端接50Ω终端。对于光学范围噪声测量，示波器输入应具有零光。

**D.14.2线性模块接收器失败罚款合规性测试**

本节定义了dWDP，这是与线性光接收机相关的波形滤波和其它失真的测量。定义线性模块接收机失真测试的方框图dWDP测试系统如图54所示。



•图54中的WDPi和WDPo使用D.9中定义的WDP方法进行测量。TP3测试信号的WDPi首先通过O / E转换器和4阶贝塞尔Thomson滤波器和数字示波器进行表征。对于10GBASE-LRM，该信号应代表IEEE标准中描述的波形。802.3 CL 68.6.9，对于10GBASE-LR，该信号表示IEEE Std中描述的波形。802.3 CL 52.9.9。

•TP3测试仪从O / E转换器中取出并连接到被测模块中。该模块又插入到模块兼容板中，模块兼容板又连接到示波器。然后测量模块输出信号的WDPo。虽然WDPo基于电信号的测量，但是其线性光模块输出的单位为dBo，以便在下面的dWDP等式中直接与光输入信号进行比较。

由模块贡献的失真由以下等式确定：

dWDP = WDPo-WDPi

将dWDP与表20中规定的合规性限制进行比较。每个dWDP必须符合每个指定的TP3条件。TP3测试仪与TP3兼容点测试相关标准相同的测试系统。

**D.14.3线性模块接收器输出差分峰值电压**

适用于相关应用（SR，LR或LRM）的兼容TP3应力接收器测试仪连接到模块接收器输入。应该使用应用的OMA测试图案，所有的应力损失如正弦抖动，正弦干扰，ISI和噪声都应该被关闭。上升/下降时间应为47 ps 20-80％。通过7.5 GHz参考O / E转换器观察时，输入波形不应有过冲或纹波。

模块的输出通过连​​接到示波器中的模块符合性板进行测量。测量带宽为12 GHz。预计更宽的测量带宽对结果只有较小的影响。如果测量带宽影响结果，则可以通过后处理来校正测量带宽。平均值用于消除测量中的噪声。测量差分信号的峰值到峰值摆幅，并将其与表20中的极限进行比较。

**D.15交流共模电压**

SFI发射器和通道限制，但不能消除交流共模电压的产生。SFI接收器，模块和主机都必须以最大允许输入共模电压完全运行。由于驱动器输出（P和N）的交叉点偏移50％，阻抗失配，PCB走线不匹配或模式转换，常常会产生共模电压。

**D.15.1交流共模电压的定义**

任何时候的共模电压都是信号+和信号的平均值。通过将一个UI上的直方图功能应用于共模信号来计算RMS交流共模电压。由于交流共模生成对电缆或示波器延时不匹配非常敏感，建议延时匹配任何测量的示波器输入。

**D.15.2交流共模生成测试**

用于AC共模生成的测试模式是IEEE CL 52.9.1.1中定义的模式1（BnBi）或模式3（PRBS31）。预计任何64B / 66B加扰信号都应该给出类似的结果。

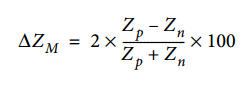
**D.15.3交流公共模式公差测试**

AC共模容限的测试模式是IEEE CL 52.9.1.1中定义的模式1（BnBi）或模式3（PRBS31）。预计任何64B / 66B编码信号都应该给出类似的结果。

如果发射机输出不产生足够的交流共模量，那么产生附加量的方法是通过调整P和N延迟直到产生正确的量。

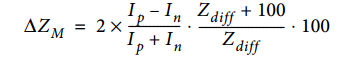
**D.16终止错误**

终止不匹配定义为Zp和Zn电阻之间的百分比差异，如图18所示。终端不匹配定义为：



或者，可以通过对差分输入施加低频测试音来测量终止失配，如图55所示。测试频率必须足够高以克服AC耦合电容器的高通效应。测量的差分输出或输入阻抗由Zdiff指定。

低频终止失配由下式给出：



其中Ip和In是流入SFI端口的电流，如图55所示。Zs是驱动器端子Zp和Zn与AC Ground之间的有效串联阻抗。

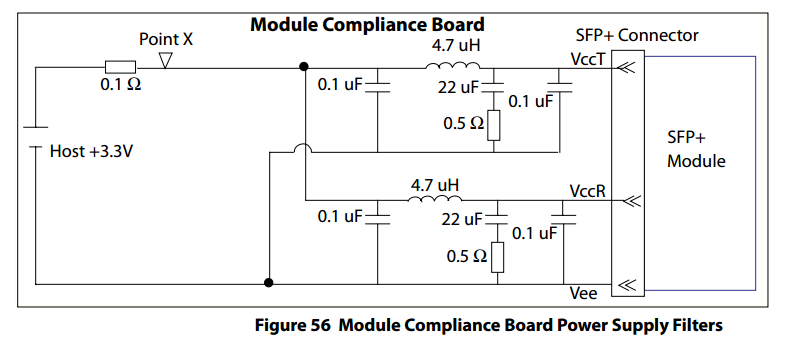


**D.17电源测试方法**

本节定义了2.8.2和2.8.3中给出的电源噪声输出，以及2.8.4中的电源噪声容限。

图56所示的参考电源滤波器用于模块测试，包括电源容差测试。该滤波器将满足大多数主机系统的噪声滤波要求。其他滤波实现或本地调节可用于满足2.8.2和2.8.3中描述的功率噪声输出要求。

对于每个Vcc，4.7uH电容器，22uF电容器和阻尼电阻器的等效串联电阻之和为0.5Ω。在实际的主机滤波器以及参考滤波器中，该电阻是期望的; 然而，主机上的滤波器网络上的任何电压降都与表8中的主机VccT和VccR精度规格相对应。

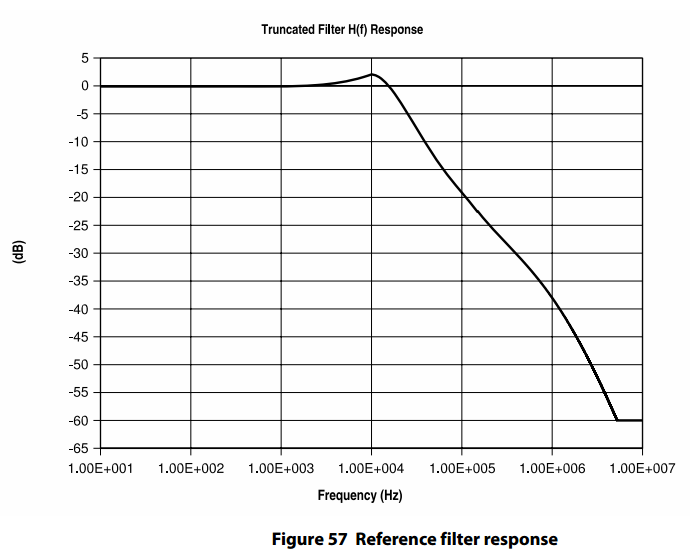


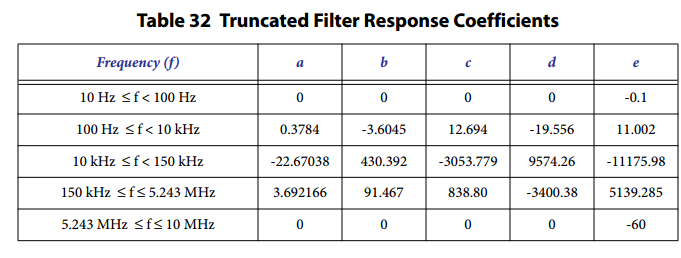
**D.17.1主电源噪声输出**

主机Vcc电源的噪声输出由电阻负载定义，取代SFP +模块，该电阻负载连接在一个Vcc触点和Vee之间的最大额定功率（1 W或1.5 W）。当测量VccT上的噪声时，VccR保持开路，反之亦然。8Ω用于支持功率级别II的主机，否则为12Ω。在SFP +连接器的模块侧测量交流电压。噪声功率谱除以参考滤波器的截断响应，然后从10 Hz到10 MHz积分并转换为电压。该功能在下面的等式和图57中说明。规范限制在2.8.2中给出。在主板/系统的所有其他部分处于活动状态的情况下进行测试。具有多个SFP +模块的主机必须一次测试一个端口，并在所有剩余端口中使用激活的SFP +。



图57中定义了图57所示的参考滤波器响应H（f）和5个频带的系数a，b，c，d和e。





注意 - 由于轻载电源可能会产生比完全供电更多的噪声，因此主机实施者可能希望以小于最大电流消耗来评估主机电源噪声输出。由于在高频下的小的测量噪声信号被乘以在虚拟点X处产生推断的噪声，因此应注意频谱分析仪的本底噪声。可以使用其它测量方法，例如。在主机内的某个点进行测量，并适当考虑参考过滤器和主机的实际过滤器之间的任何差异。

**D.17.2 SFP +模块电源噪声输出**

模块噪声电压输出在图56中的点X处以10Hz至10MHz的频带定义。

模块必须在所有工作模式下通过模块电源噪声输出测试。该测试确保模块不会将模块内的过多噪声耦合到主机板上。可以使用功率计技术或具有光谱集成的频谱分析仪技术。最大允许噪声幅度在2.8.3中给出。

**D.17.3模块电源容差测试**

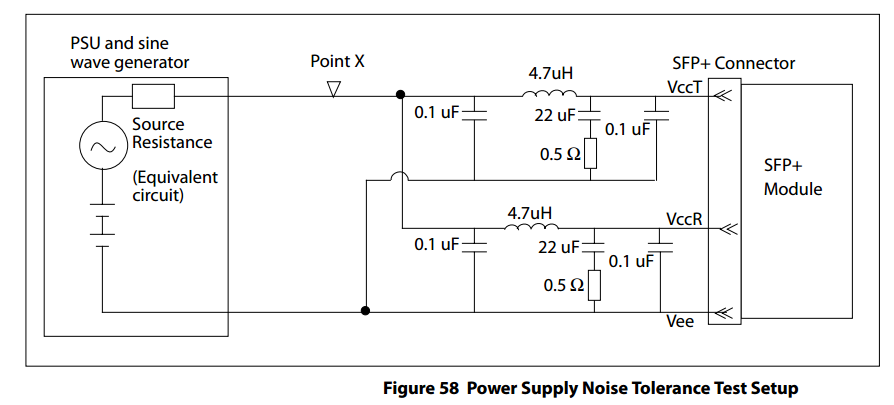
在该测试中，在图58的点X处施加扫描正弦音，其公差信号幅度和频率范围在2.8.4中给出。交流容差信号由诸如电源和点X之间的低阻抗缓冲放大器等电路产生。PSU和正弦波发生器的阻抗小于0.5Ω。正弦波的振幅在点X处的每个频率被校准，模块被Vcc和Vee之间的12Ω负载替换。

注意 - 为了减少正弦波发生器所需的功率，可能需要去除参考滤波器主机侧的0.1uF电容。如果模块就位而不是测试电阻，则正弦波的校准预计不会显着不同。

或者，可以分别对VccT和VccR进行测试，而另一个电源滤波器直接连接到电源。不需要显示单独的和通用的Vcc调制的符合性。

该测试适用于最小和最大直流设定值。请注意，DC电平通过模块输入端的正弦电压的峰值（这是频率依赖的），嵌入表5中的限制。

源频率在2.8.4规定的范围内变化，以确定任何频率是否导致参数超出规格限制。在所有情况下，测量的参数应通过所有频率出现的光标准。发送参数可能包括UJ，Qsq和TDP，参见[IEEE 802.3]。对于接收端，它们包括强调灵敏度，过载，RN和Rx\_LOS功能。



参考Vee定义节点X处的交流电压。VccT和VccR（在SFP +连接器）都满足包括纹波，下垂和低于100 kHz噪声的直流电压规范。

## **附录E SFP +直接连接电缆规格“10GSFP + CU”（可选）**

符合本附录的被动铜缆使用第4章定义的2线管理和SFF-8472的存储器映射来识别。

本附录描述了第3章线性主机规范的附加要求或例外，以实施被动直接连接SFP +电缆组件。

SFP +直连电缆（10GSFP + Cu）的合规点与主机兼容性测试点3.3.1和3.3.2中的模块符合性测试点相同。

所有SFI测试设备在所有测试端口上必须具有50欧姆的单端阻抗。

10GSFP + Cu无源电缆组件的每个Tx\_Disable触点在模块中拉至VccT，功率为4.7kΩ至10kΩ。模块中的Rx\_LOS触点在10GSFP + Cu无源电缆组件的模块中应拉低。允许将Rx\_LOS直接连接到VeeR。

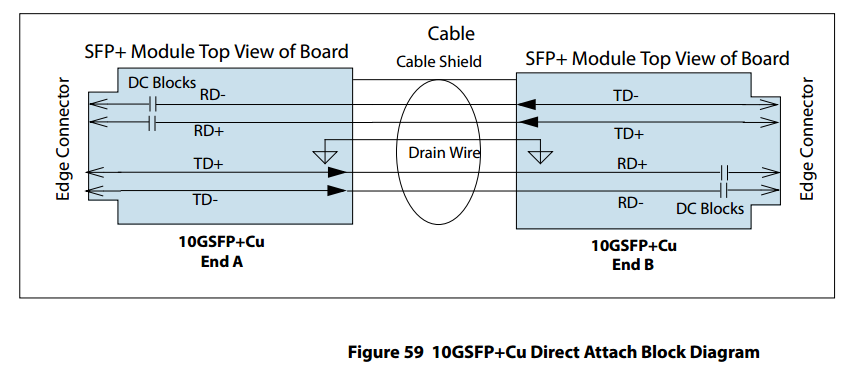
有源电缆组件必须按照第3章的现有线性或限制规定进行操作。

该规范不承担超出满足B点（见表12）和TWDPc规范（见表33）在B点处的抖动规范所需的水平的额外的发射预加重。增加传输预测可能会增加电缆但是可能会增加发射机DDJ，并且超出了本规范的范围。

警告：10GSFP + Cu只能在具有共同理由的系统上使用。使用SFP +直接连接电缆连接具有不同接地电位的系统会导致短路并可能导致损坏。

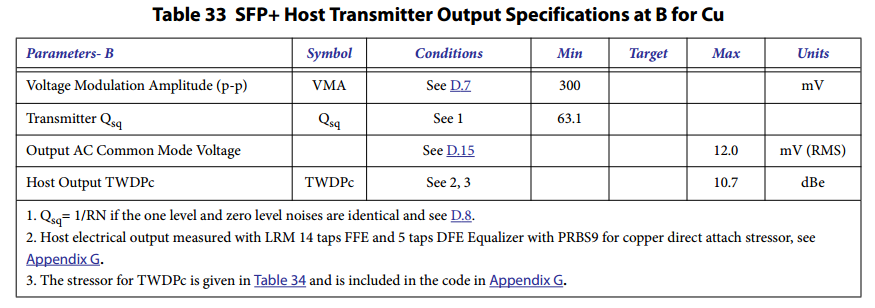
**E.1 10GSFP + CU直接连接结构**

10GSFP + Cu电缆组件由一对SFP +模块有效地构成，其OE组件替换为铜缆布线，如图59所示。SFP +边缘卡连接器触点在表3中定义。电缆组件应包含直流阻塞电容器 RX侧最小4.3 V额定值，20 kHz至100 kHz之间的高通极点。漏极线连接到VeeT和VeeR。电缆屏蔽层直接连接模块A和B模块。



**E.2用于被动直接连接电缆的SFP +主机输出规范**

支持直接连接电缆的SFP +主机必须符合表11中的发射机输出规格和参考点B的表12中的抖动规格。此外，SFP +主机发射机必须符合表33中的规格。



1.如果一级和零级噪声相同，则Qsq = 1 / RN，见D.8。

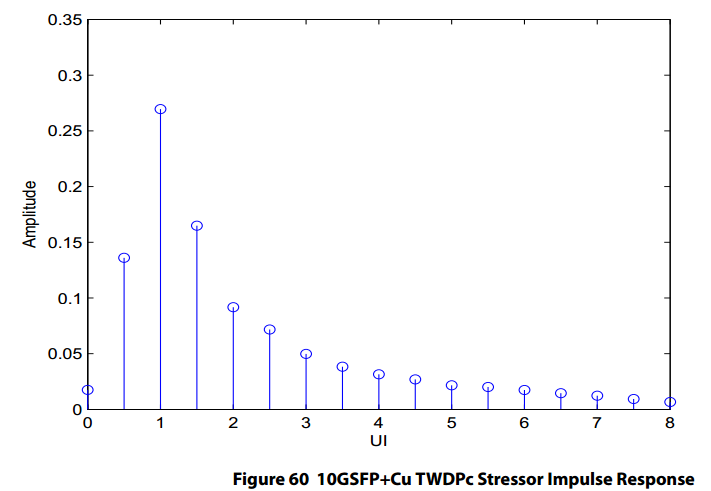
2.使用LRM测量的主机电输出14抽头FFE和5抽头DFE均衡器与PRBS9用于铜直接连接应力器，见附录G.

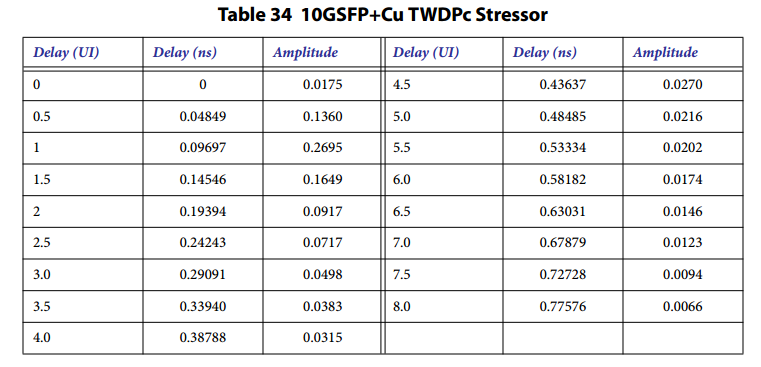
3.表34中给出了TWDPc的应激源，并包含在附录G中的代码中。

TWDPc是铜电缆应力源的主机发射器，如图60所示，表34中给出。使用该应力源计算TWDPc的代码在附录G中给出。

**E.2.1发电机压力机**

对于符合TWDPc的要求，需要模拟电缆响应。响应被建模为具有特定幅度和延迟的一组delta函数。铜应激源是由通常可用的直接连接SFP +电缆的测量产生的，其中发射机响应去卷积。应力器如图60所示，值列在表34中。所有应力分量的总和归一化为近似值1。





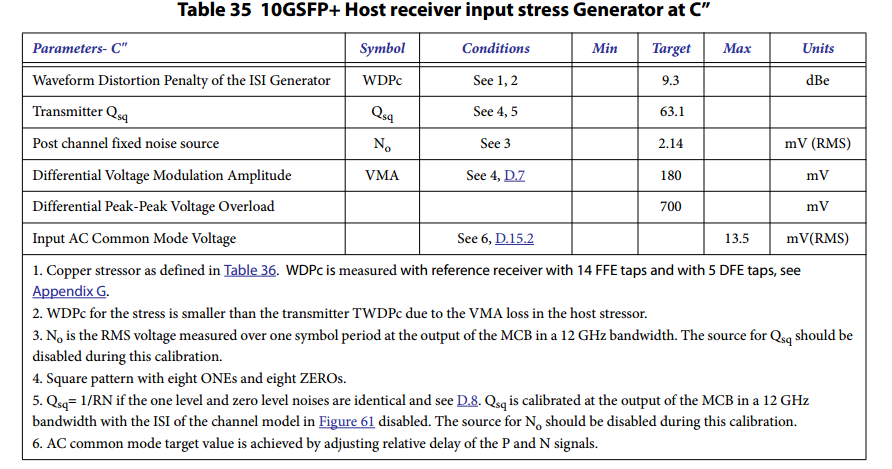
**E.3 SFP + HOST接收机支持10GSFP + CU输入合格测试信号在C“**

支持直接连接铜选项的主机是满足所需的1×10-12 BER，在使用E.3.1节所述的应力信号进行测试时，除了符合3.5.2节的要求外，主机接收机支持线性模块

**E.3.1铜主机接收器规格**

SFP +主机接收器应力发生器由E.3.2中描述的一组抽头延迟线描述，预期铜缆的合适长度将产生这里描述的应力器。应力发生器必须满足表35中给出的目标WDPc（铜波形失真罚分）。应力发生器应使用表35中给出的参数实现图61中所示的噪声模型。噪声模型包含两个噪声源：相对于发射机信号电平的Qsq噪声和由信道响应和无固定噪声（建模电缆NEXT）加上的后置信道形成的Qsq噪声。这个测试中增加的噪声源Qsq和No是白色和高斯。

灵敏度试验应以最小VMA进行，过载试验应按表35给出的最大p-p电压进行。



1.如表36所定义的铜应激源。WDPc用具有14个FFE抽头和5个DFE抽头的参考接收器测量，参见附录G.

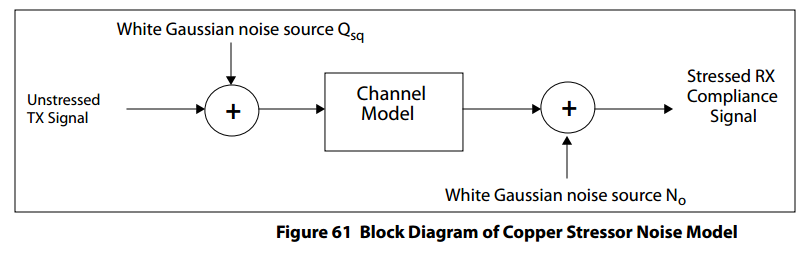
2.由于主机压力源的VMA损耗，WDPc的应力小于发射机TWDPc。

3.否是在12 GHz带宽中，MCB的输出在一个符号周期内测量的RMS电压。在此校准期间，应禁用Qsq的源。

4.方形图案，八个八和八个ZERO。

5.如果一级和零级噪声相同，则Qsq = 1 / RN，参见D.8。Qsq在12 GHz带宽的MCB输出端校准，图61中的通道模型的ISI被禁用。在此校准期间，应禁用“否”源。

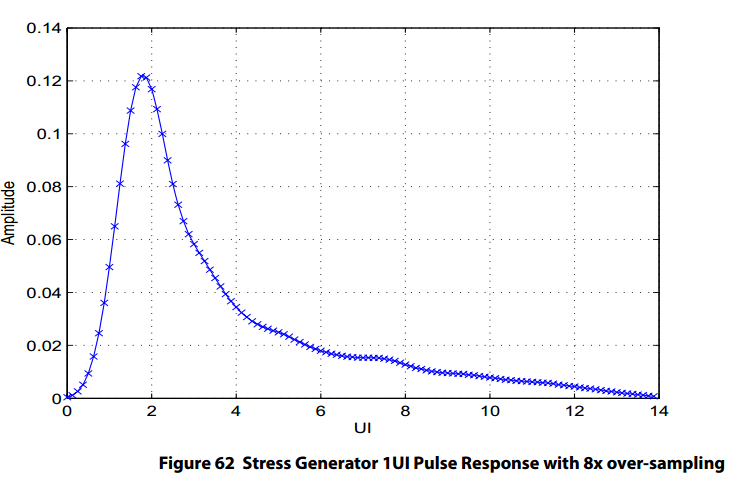
6.交流共模目标值通过调整P和N信号的相对延迟来实现。

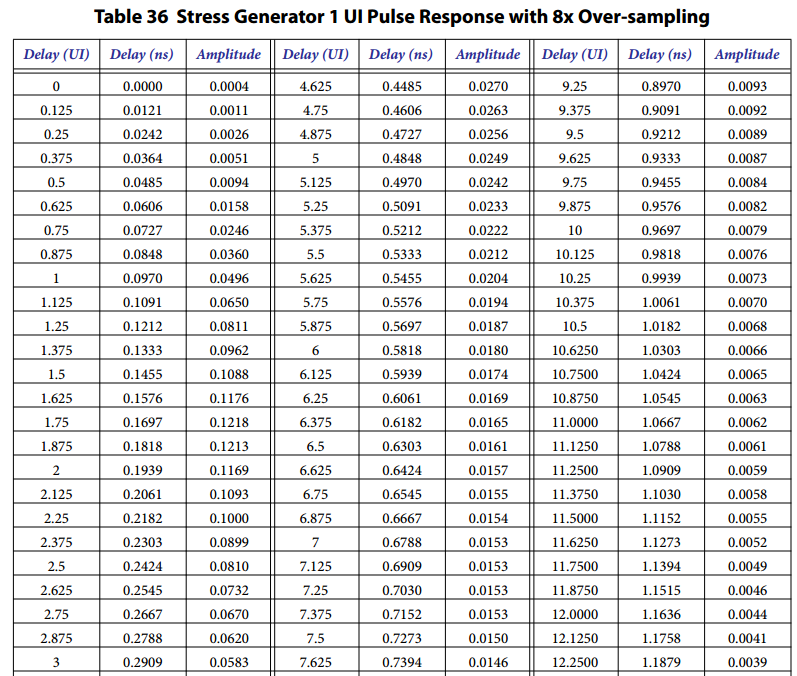


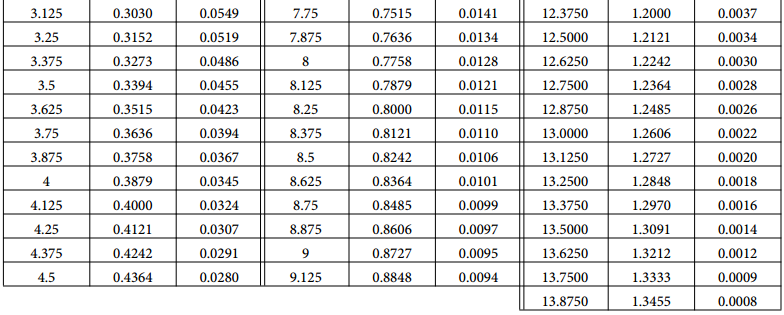
**E.3.2铜主体应力发生器1 UI脉冲响应**

铜主体压力源是通过常用直接连接SFP +电缆的测量而创建的。铜主应力发生器1 UI脉冲响应的响应如图62所示，脉冲响应值列于表36。

铜缆的合适长度是表36的应力源的可接受的替代品，只要它具有相同的WDPc。表36中列出的脉冲响应与测量的隔离脉冲响应之间的RMS拟合应该被最小化以获得如表35所列的目标WDPc值。



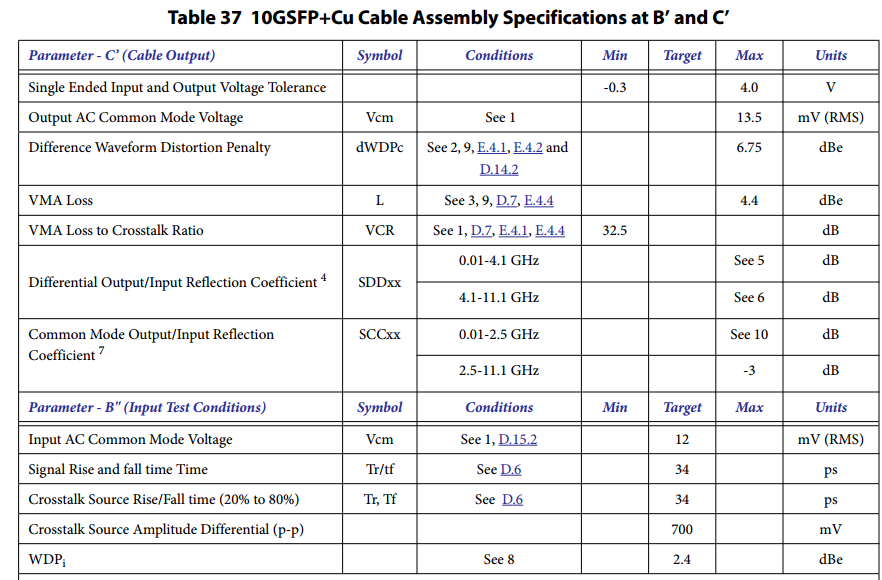




**E.4 SFP +被动直接连接电缆总成规格**

被动直接连接电缆在合规点B'和C'处用一对模块合规板进行测试。SFP +无源电缆组件需要符合表37中的规范。

VCR，VMA，Vcm和dWDP可以使用基于频率的方法导出，其产生等效结果，例如利用具有发射器行为模型的频率相关串扰和插入损耗传递函数。



1.输入共模电压为12.0 mV RMS，输入上升和下降时间为34ps，振幅为表12允许的最大振幅。

2.具有14 T / 2间隔FFE抽头和5 T间隔DFE抽头的参考接收器，见附录G.

3.VMA损失是输入和输出时VMA测量的比例。

4.参考差分阻抗为100Ω。此处列出的dB值与dBe相同。

5.反射系数由等式SDDxx（dB）= -12 + 2×SQRT（f）给出，f为GHz。

6.反射系数由等式SDDxx（dB）= -6.3 + 13×log10（f / 5.5）给出，f为GHz。

7.共模参考阻抗为25Ω。此处列出的dB值与dBe相同

8.通过调整预加重直到目标WDPi达到，调整DDJ和/或DDPWS。

9.由表中给出的参数B“给出的输入测试条件。

10.反射系数由等式SCCxx（dB）<-7 + 1.6×f给出，其中f为GHz。

**E.4.1 SFP +直接连接电缆测试设置**

直接连接电缆测试方法基于第3.3节定义的SFP +测试方法。电缆通过一对模块合规板进行测量，如图63所示。该图显示了测试电缆A端的NEXT和路径1上测量WDP的框图。要测量B端的NEXT和路径上的WDP 2电缆端A和B相反。符合性信号发生器如图49所示。

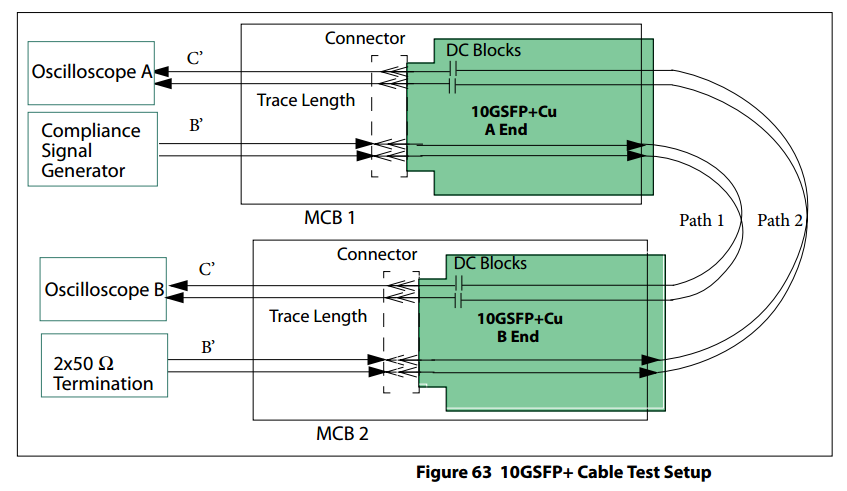
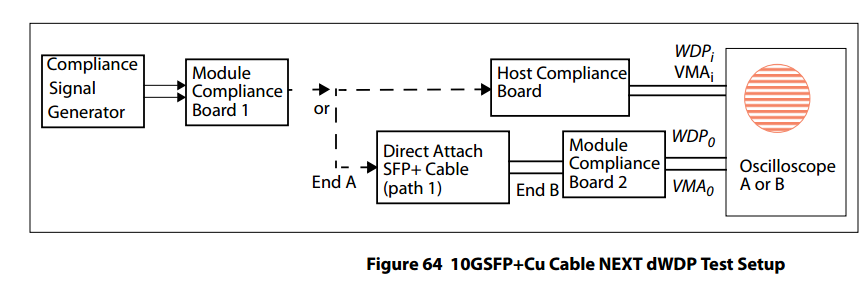


图64中的WDPi和WDP0使用D.9中定义的WDP方法。通过将主机合规板插入模块合规板1，然后满足表37中列出的目标WDPi来测量WDPi。WDP0通过将电缆的一端插入模块合规板1，另一端进行测量 模块合规板2.B“压力发生器可以是D.10中描述的测试系统。



E.4.2**电缆DWDP测试程序**

dWDP的测量步骤如下：

•符合性信号发生器设置为PRBS9。

•为了提高测量精度，应减少不相关的抖动和噪声。

•应使用平均值进一步降低仪器和测量噪声，从而对结果的影响可以忽略不计。

•要根据表37校准WDPi，请参见图64.将主机兼容板插入连接到模板发生器的模块合规板。将输入上升和下降时间调整为目标值，如表37所示。调整DDJ和DDPWS以获得表37给出的WDPi。如D.10中所述的不同预加重是可接受的方法。

•拔下主机兼容板并将电缆组件连接到模块合规板，如图64所示。测量WD Po。

•dWDP = WDPo - WDPi。

**E.4.3电缆下一个测量程序**

使用图63所示的测试设置，根据以下步骤测量电缆NEXT：

•合规信号发生器应通过插入模块合规板的主机合规板进行校准。主机合规委员会的输出是B点“。

•符合性信号发生器的振幅和B处的上升和下降时间被校准为如表37所定义的串扰目标值。

•符合性信号发生器DDJ和DDPWS在B“应满足或小于表17中指定的目标。

•符合性信号发生器的模式是PRBS31。•模块合规板B输出和输入端接在50Ω。

•NEXT是示波器A在12 GHz带宽中测得的RMS电压。示波器A应该自由运行（不是触发）。

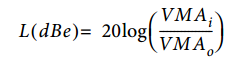
•固有的示波器噪声可以通过测量的NEXT结果的高斯噪声的RSS来校正。

•远端模块合规板输出和输入端接至50Ω。

•然后对另一个电缆端重复此测量。

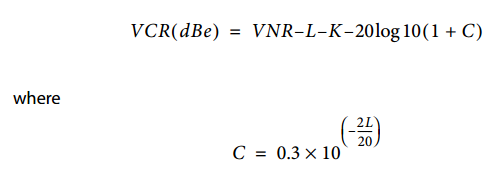
**E.4.4 VMA至CROSSTALK比（VCR）**

电缆路径1的电缆VMA损耗（L）可以使用图64所示的测试设置进行测量。电缆路径2的VMA损耗（L）通过用B的反向电缆端A测量。



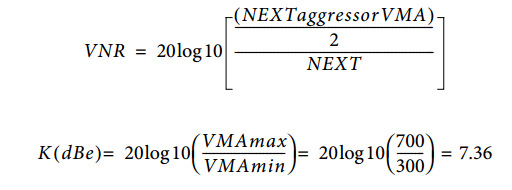
其中VMAi是测量的VMA在B“和VMAo在C'测量。

VMA / 2到串扰比（VCR）是B处的发射机最小VMA之间的比例，除以已经包含反射FEXT的电缆NEXT。VCR 1方程中的因子0.3占SFP +有限主机回波损耗。



VCR方程可以如下：





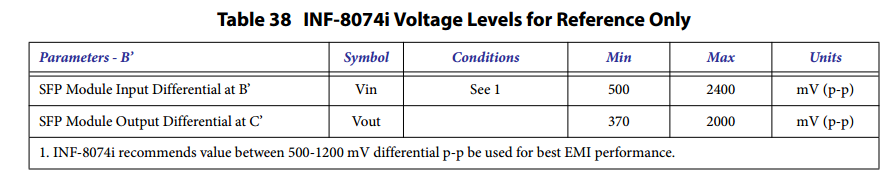
E.4.3中描述了测量NEXT的过程。

## 附录F 1.25 GBD操作支持（可选）

**F.1引言**

SFP +主机可能设计为使用基于INF-8074i的经典SFP模块，以1.25 GBd以太网速率运行。虽然IEEE Std 802.3，条款38和59（1000BASE-SX，1000BASE-LX和1000BASE-LX10 PMD）没有定义模块的电平，但是INF-8074i规定了这些再现级别，以供参考。

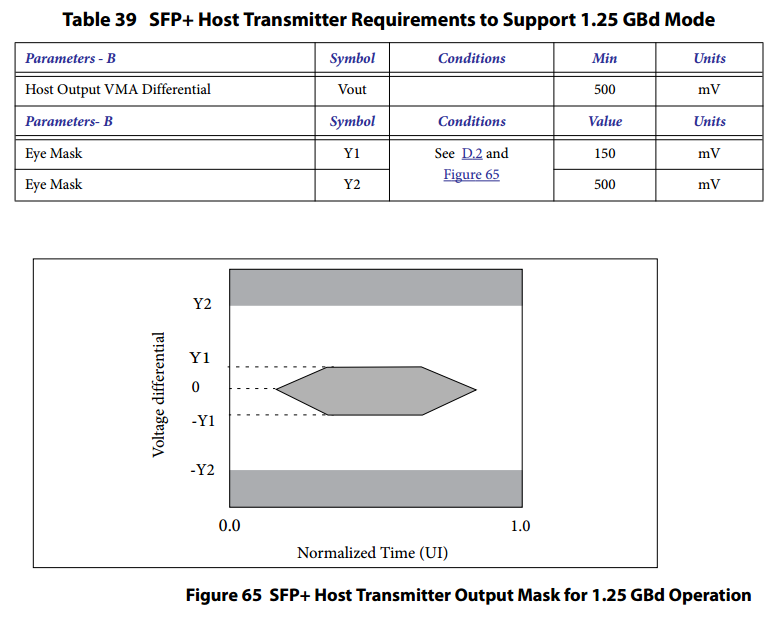
主机发射机输出电平B和主机接收机输入公差电平分别由表39和表40给出，其中SFP +主机工作在1.25 GBd。注意：此处指定的级别可能不完全符合所有经典的SFP模块，但预计将包含现有1.25 GBd经典模块的大部分。为了完全符合所有经典的SFP模块，最大主机接收机输入容限级别必须为2000 mV，但是对于现代10Gb / s SerDs来说，这不被认为是实用的。

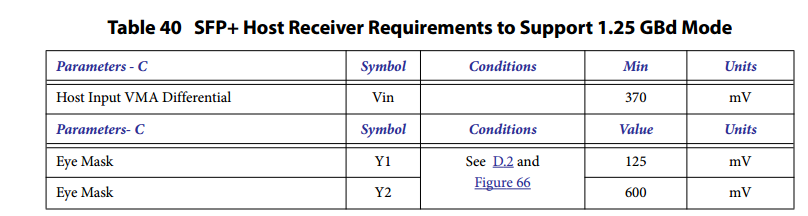
**F.2支持SFP +的主机操作指导**

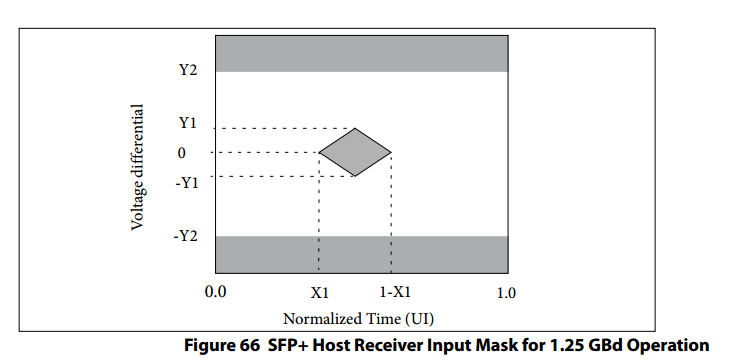
SFP +主机必须分别在B点和C点支持IEEE CL 38.5和CL 59.6的TP1和TP4抖动规范。

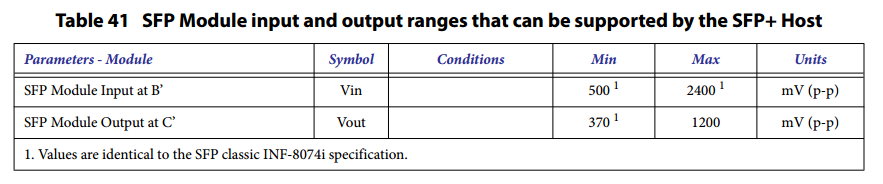
对于1.25 GBd操作，可能需要调整SFP +主机输出预加重级别以获得最佳输出眼图。

B中的模块最大输入在表39中给出，与INF-8074i中的值相同。然而，为了提供与SFP +主机的兼容性，表40中的模块最大输出远低于INF-8074i中指定的值。满足表41规格的SFP模块将与SFP +主机互操作。









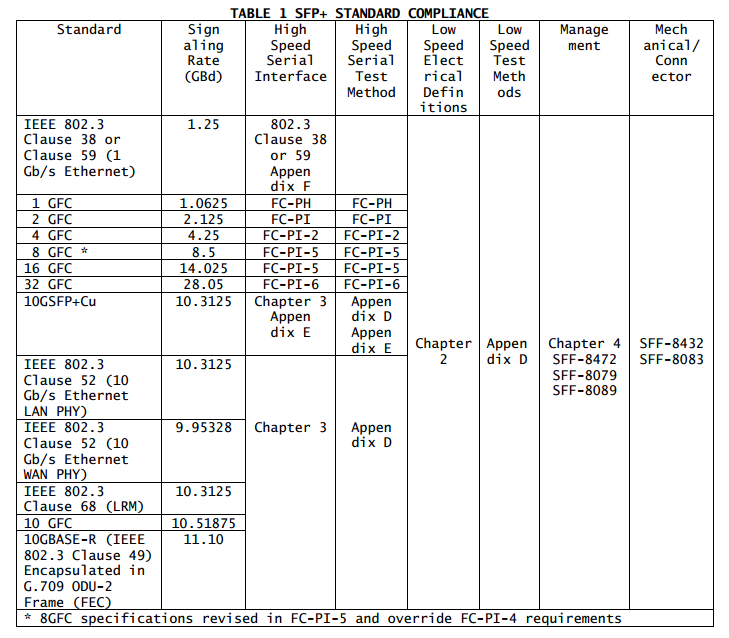
## 附录G TWDP的Matlab代码

%%%%%%%%%%%%%%%%% MATLAB (R) Code for xWDP Computation %%%%%%%%%%%%%%%%%  
%% SFF-8431 TWDP Code - PAlloc for Cu is now 14.0 dBe.  
%% Based on original TWDP methodology described in IEEE Std 802.3aq(TM)-2006  
%% Reference: N. L. Swenson, P. Voois, T. Lindsay, and S. Zeng, “Standards  
%% compliance testing of optical transmitters using a software-based equalizing  
%% reference receiver”, paper NWC3, Optical Fiber Communication Conference and  
%% Exposition and The National Fiber Optic Engineers Conference on CD-ROM  
%% (Optical Society of America, Washin[gton, DC), Feb. 2007.  
function [xWDP,MeasuredxMA]=SFF8431xWDP(WaveformFile,EqNf,EqNb,SymbolRate,Usage)  
%% Example calling syntax:  
%% [xWDP,MeasuredxMA]=SFF8431xWDP('wavefile.txt',14,5,10.3125,'Optical\_WDP')  
%% The fields in the example given above should be replaced by the actual values  
%% being used. WaveformFile should be the actual path\filename for each waveform  
%% tested. The waveform consists of exactly N samples per unit interval T, where  
%% N is the oversampling rate. The waveform must be circularly shifted to align  
%% with the data sequence. The file format for the measured waveform is ASCII  
%% with a single column of chronological numerical samples, in signal level,  
%% with no headers or footers.  
%% EqNf is the # of T/2-spaced feedforward equalizer taps; EqNb is the # of  
%% T-spaced feedback equalizer taps.  
%% SymbolRate is in gigabaud.  
%% Options for Usage are 'Optical\_WDP', 'Copper\_WDP', and 'Copper\_TWDP'.  
%% 'Optical\_WDP' is used in support of Chapter 3 for  
%% measuring WDPi at the output of an optical TP3 tester,  
%% measuring WDPo at C' of a linear optical module receiver, and  
%% calibrating WDP at C'' for testing a host that supports linear optical modules.  
%% 'Copper\_WDP' is used in support of Annex E for  
%% measuring WDPi and calibrating WDP at B'' for testing a copper cable assembly,  
%% measuring WDPo at C' of a copper cable assembly (C), and  
%% calibrating WDP at C'' for testing a host that supports copper cable assemblies  
%% 'Copper\_TWDP' is used for measuring TWDP at B of a host that supports copper  
%% cable assemblies.  
%% Transmit data file: The transmit data sequence is the 511 bit PRBS9 TWDP test  
%% patterns defined in Table 686. The file format is ASCII with a single column  
%% of chronological ones and zeros with no headers or footers.  
TxDataFile = 'prbs9\_950.txt';  
%% Program constants %%  
OverSampleRate = 16; % Oversampling rate, must be even  
SymbolPeriod = 1/SymbolRate; % Symbol period is in ns  
Q0 = 7.03; % BER = 10^(-12)  
%% Load input waveform and data sequence, generate filter and other matrices  
yout0 = load(WaveformFile);  
XmitData = load(TxDataFile);  
PtrnLength = length(XmitData);  
TotLen = PtrnLength\*OverSampleRate;  
Fgrid = [-TotLen/2:TotLen/2-1].'/(PtrnLength\*SymbolPeriod);  
%% Compute response of 7.5 GHz 4th order Butterworth antialiasing filter

a = [1 123.1407 7581.811 273453.7 4931335]; % Denominator polynomial  
b = 4931335; % Numerator for frequency response  
ExpArg = -j\*2\*pi\*Fgrid;  
H\_r = b./polyval(a,-ExpArg);  
%% Get usage parameters for the application  
[H\_chan,Delays,PAlloc,dBscale] = GetParams(Usage,ExpArg);  
N0 = SymbolPeriod/2 / (Q0 \* 10^(PAlloc/dBscale))^2;  
%% Set search range for equalizer delay, specified in symbol periods. Lower end  
%% of range is minimum channel delay. Upper end of range is the sum of the  
%% lengths of the FFE and channel. Round up and add 5 to account for the  
%% antialiasing filter.  
EqDelMin = floor(min(Delays)/SymbolPeriod);  
EqDelMax = ceil(EqNf/2 + max(Delays)/SymbolPeriod);  
ONE=ones(PtrnLength,1);  
%% Normalize the received xMA (OMA or VMA) to 1. Estimate the xMA of the captured  
%% waveform by using a linear fit to estimate a pulse response, synthesize a  
%% square wave, and calculate the xMA of the synthesized square wave per IEEE  
%% 802.3, clause 52.9.5.  
ant=4; mem=40; % Anticipation and memory parameters for linear fit  
X=zeros(ant+mem+1,PtrnLength); % Size data matrix for linear fit  
Y=zeros(OverSampleRate,PtrnLength); % Size observation matrix for linear fit  
for ind=1:ant+mem+1  
X(ind,:)=circshift(XmitData,ind-ant-1)'; % Wrap appropriately for lin fit  
end  
X=[X;ones(1,PtrnLength)]; % The all-ones row is included to compute the bias  
for ind=1:OverSampleRate  
Y(ind,:)=yout0([0:PtrnLength-1]\*OverSampleRate+ind)'; % Each column is 1 bit  
end  
Qmat=Y\*X'\*(X\*X')^(-1); % Coefficient matrix resulting from linear fit. Each  
%% column (except the last) is one bit period of the pulse response. The last  
%% column is the bias.  
SqWvPer=16; % Even number; sets the period of the sq wave used to compute xMA  
SqWv=[zeros(SqWvPer/2,1);ones(SqWvPer/2,1)]; % One period of sq wave (column)  
X=zeros(ant+mem+1,SqWvPer); % Size data matrix for synthesis  
for ind=1:ant+mem+1  
X(ind,:)=circshift(SqWv,ind-ant-1)'; % Wrap appropriately for synthesis  
end  
X=[X;ones(1,SqWvPer)]; % Include the bias  
Y=Qmat\*X;Y=Y(:); % Synthesize the modulated square wave, put into one column  
Y=AlignY(Y,SqWvPer,OverSampleRate);  
avgpos=[0.4\*SqWvPer/2\*OverSampleRate:0.6\*SqWvPer/2\*OverSampleRate];  
ZeroLevel=mean(Y(round(avgpos),:)); % Average over middle 20% of "zero" run  
% Average over middle 20% of "one" run, compute xMA  
MeasuredxMA=mean(Y(round(SqWvPer/2\*OverSampleRate+avgpos),:))-ZeroLevel;  
%% Subtract zero level and normalize xMA  
yout0 = (yout0-ZeroLevel)/MeasuredxMA;  
%% Compute the noise autocorrelation sequence at the output of the front-end  
%% antialiasing filter and rate-2/T sampler.  
Snn = N0/2 \* fftshift(abs(H\_r).^2) \* 1/SymbolPeriod \* OverSampleRate;  
Rnn = real(ifft(Snn));

Corr = Rnn(1:OverSampleRate/2:end);  
C = toeplitz(Corr(1:EqNf));  
%% Compute the minimum slicer MSE and corresponding xWDP  
X = toeplitz(XmitData, [XmitData(1); XmitData(end:-1:end+1-EqNb)]);  
Xtil = toeplitz(circshift(XmitData,EqDelMin), ...  
XmitData(mod(-EqDelMin:-1:-(EqDelMax+EqNb),PtrnLength)+1));  
Rxx = X'\*X; % Used in MSE calculation  
%% Propagate the waveform through channel.  
yout = real(ifft(fft(yout0) .\* fftshift(H\_chan)));  
%% Process signal through front-end antialiasing filter %%%%%%%%%%%%%%%%%%  
yout = real(ifft(fft(yout) .\* fftshift(H\_r)));  
%% Compute MMSE-DFE %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
%% The MMSE-DFE filter coefficients computed below minimize mean-squared error  
%% at the slicer input. The derivation follows from the fact that the slicer  
%% input over the period of the data sequence can be expressed as Z = (R+N)\*W -  
%% X\*[0 B]', where R and N are Toeplitz matrices constructed from the signal and  
%% noise components, respectively, at the sampled output of the antialiasing  
%% filter, W is the feedforward filter, X is a Toeplitz matrix constructed from  
%% the input data sequence, and B is the feedback filter. The computed W and B  
%% minimize the mean square error between the input to the slicer and the  
%% transmitted sequence due to residual ISI and Gaussian noise. Minimize MSE  
%% over 2/T sampling phase and FFE delay and determine BER.  
MseOpt = Inf;  
for jj= [0:OverSampleRate-1]-OverSampleRate/2 % sampling phase  
%% Sample at rate 2/T with new phase (wrap around as required)  
yout\_2overT = yout(mod([1:OverSampleRate/2:TotLen]+jj-1,TotLen)+1);  
Rout = toeplitz(yout\_2overT, [yout\_2overT(1); yout\_2overT(end:-1:end-EqNf+2)]);  
R = Rout(1:2:end, :);  
RINV = inv([R'\*R+PtrnLength\*C R'\*ONE;ONE'\*R PtrnLength]);  
R=[R ONE]; % Add all-ones column to compute optimal offset  
Rxr = Xtil'\*R; Px\_r = Rxr\*RINV\*Rxr';  
%% Minimize MSE over equalizer delay  
for kk = 1:EqDelMax-EqDelMin+1  
SubRange = [kk:kk+EqNb];  
SubRange = mod(SubRange-1,PtrnLength)+1;  
P = Rxx - Px\_r(SubRange,SubRange);  
P00 = P(1,1); P01 = P(1,2:end); P11 = P(2:end,2:end);  
Mse = P00 - P01\*inv(P11)\*P01';  
if (Mse<MseOpt)  
MseOpt = Mse;  
B = -inv(P11)\*P01'; % Feedback filter  
XSel = Xtil(:,SubRange);  
W = RINV\*R'\*XSel\*[1;B]; % Feedforward filter  
Z = R\*W - XSel\*[0;B]; % Input to slicer  
%% Compute BER using semi-analytic method %%%%%%%%%%%%%%%%%%  
MseGaussian = W(1:end-1)'\*C\*W(1:end-1);  
Ber = mean(0.5\*erfc((abs(Z-0.5)/sqrt(MseGaussian))/sqrt(2)));  
end  
end  
end  
%% Compute equivalent SNR %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
%% This function computes the inverse of the Gaussian error probability

%% function. The built-in function erfcinv() is not sensitive enough for low  
%% probability of error cases.  
if Ber>10^(-12) Q = sqrt(2)\*erfinv(1-2\*Ber);  
elseif Ber>10^(-323) Q = 2.1143\*(-1.0658-log10(Ber)).^0.5024;  
else Q = inf;  
end  
%% Compute penalty %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%  
RefSNR = dBscale \* log10(Q0) + PAlloc;  
xWDP = RefSNR-dBscale\*log10(Q);  
%% End of main function  
%% GetParams subFunction  
function [H\_chan,Delays,PAlloc,dBscale] = GetParams(Usage,ExpArg);  
switch Usage  
case 'Optical\_WDP' % Identity channel for optical  
Delays = 0;  
H\_chan = 1;  
PAlloc = 6.5; % Total allocated dispersion penalty (dBo)  
dBscale = 10;  
case 'Copper\_WDP' % Identity channel for copper  
Delays = 0;  
H\_chan = 1;  
PAlloc = 14.0;% Total allocated dispersion penalty (dBe)  
dBscale = 20;  
case 'Copper\_TWDP' % Cu TWDP stressor  
ChanResp = [...  
.0 .04849 .09697 .14546 .19394 .24243 .29091 .33940 .38788, ...  
.43637 .48485 .53334 .58182 .63031 .67879 .72728 .77576;  
.0175 .136 .2695 .1649 .0917 .0717 .0498 .0383 .0315, ...  
.027 .0216 .0202 .0174 .0146 .0123 .0094 .0066];  
Delays = ChanResp(1,:);  
PCoefs = ChanResp(2,:)';  
H\_chan = exp(ExpArg\*Delays)\*PCoefs/sum(PCoefs); %With normalization  
PAlloc = 14.0;% Total allocated dispersion penalty (dBe)  
dBscale = 20;  
end  
%% End of GetParams function  
%% AlignY subFunction  
function Y = AlignY(Y0,SqWvPer,OverSampleRate)  
% Aligns the mid crossing of the xMA square waveform to its ideal position.  
Y = Y0-mean(Y0); % AC-couple so crossings are at 0.  
% Look only for the crossing in the middle by ignoring any within ~2 UI from  
% its beginning. Due to possible misalignment of the captured waveform, this  
% is the only crossing that is certain.  
x = find(sign(Y(2\*OverSampleRate:end-1))~= ...  
sign(Y(2\*OverSampleRate+1:end)),1)+2\*OverSampleRate-1;  
% Find a more exact crossing point.  
xinterp = interp1([Y(x),Y(x+1)],[x,x+1],0);  
% Shift to create the aligned square waveform  
Y = circshift(Y0,SqWvPer/2\*OverSampleRate-x); % Coarse shift.  
X = [1:length(Y)].'; Y = interp1(X,Y,X+xinterp-x,'spline'); % Fine shift.  
%% End of AlignY function



2.8 SFP +电源要求

模块主机有两个3.3 V电源触点，一个提供模块发射器电压（VccT），另一个提供模块接收器电压（VccR）。每个连接器触点的最大电流容量（连续和峰值）为500 mA。

SFP +模块最大功耗应满足以下功率等级之一：

电源I级模块 - 最大1.0 W

功率级II模块 - 最大1.5 W

电源三级模块 - 最高2.0 W

为了避免超过系统电源限制和制冷量，默认上电时所有模块的工作电压最高可达1.0W。支持功率级别II或III操作的主机可通过2线接口实现功率级II或III模块。功率级别II或III模块应断言SFF-8472的功率电平声明位。

允许在热插拔或上电或Power Level II或III授权之后，最大功率电平超过分类的功率电平500 ms，但是电流限制为由表8给出的值，如图11所示。

在主机上电时，主机将在彼此之间的100ms内向模块提供VccT和VccR。



\* 1设定点在主板上连接器的输入端测量参考Vee。Droop是电源电压的任何暂时下降，例如由于插入另一个模块或使另一个模块能够使能电平II引起的电压。

\* 2电流的要求适用于通过图56中每个电感的电流。

\* 3最大电流是每个电源VccT或VccR允许的电流，因此总模块峰值电流可以是该值的两倍。瞬时峰值电流允许在短时间内超过连接器触点的规定的最大电流容量，见图11。

\* 4上电后500ms内最大模块功耗不得超过1.0W，直到II级运行使能。

\* 5不超过50位以上的持续高峰期; 可能会在较短的持续时间内超出此限制。