

SFF-8436

QSFP + 10 Gbs 4X 可插拔收发器

1.范围

为了扩大存储设备的应用范围，代表系统集成商，外围供应商和组件供应商的特设行业组织决定解决所涉及的问题。SFF 委员会成立于 1990 年 8 月，第一份工作文件于 1991 年 1 月推出。

1.1 条款说明

条款 1 包含范围和目的

条款 2 包含参考、相关标准和 SFF 规范

条款 3 开始定义规范

条款 4 包含电气规格

条款 5 包含机械规格和印刷电路板的建议

条款 6 包含环境和热量考虑

条款 7 是对管理接口和管理寄存器内容的描述

2.参考文献

SFF 委员会活动支持存储行业的要求，涉及多个标准。

2.1 行业文件

以下接口标准和规范与本规范相关。

- GR-253-CORE

- IEEE 标准 802.3-2012

- InfiniBand 架构规范

- FC-PI-2

- FC-PI-3

- FC-PI-4

- SAS 2.0 / 2.1

- INF-8438 QSFP (Quad SFP) 4 Gbs 4X 收发器

- SFF-8636 屏蔽电缆通用管理接口

- SFF-8431 SFP + (第 3 章高速串行接口)

- SFF-8472 光收发器诊断监控接口

2.2 SFF 规格

SFF 委员会内有若干项目活跃。规范中已完成或仍在处理的完整列表，请参见
<ftp://ftp.seagate.com/sff/SFF-8000.TXT>

2.3 来源

作为观察员或会员加入 SFF 委员会的人员将收到会议记录和 SFF 规范的电子副本 (<http://www.sffcommittee.com/ie/join.html>)。ANSI 标准的副本可以从国际信息技术标准委员会 (<http://tinyurl.com/c4psg>) 购买。尚未开发的 SFF, ASC T10 (SCSI), T11 (光纤通道) 和 T13 (ATA / SATA) 标准和标准的副本可在 HPE 版本的 CD_Access (<http://tinyurl.com/85fts>)

上获得。

2.4 惯例

使用 ISO 编号惯例，即，数千和更高的倍数由空格隔开，而句号用作小数点。这相当于英/美逗号和句号。

American	French	ISO
0.6	0,6	0.6
1,000	1 000	1 000
1,323,462.9	1 323 462,9	1 323 462.9

3.介绍

本规范涵盖以下内容：

- a) 电接口（包括用于数据控制、状态、配置和测试信号的引脚分配）以及电连接器和推荐的主机 PCB 布局要求。
- b) 包含来自当前 SFP MSA 的特征的管理接口，并且包括特定的多数据速率和多协议实现。
- c) 光学接口（包括光学连接器插座和配对光纤连接器插头以及推荐的分支电缆组件）。光学规范仅供各协议的适用标准使用。
- d) 机械包括具有锁定细节和光学连接器插座细节的封装外形，用于模块和主机 PCB 侧的电连接器机械细节，前面板切割推荐尺寸和阻塞关键解决方案，以防止 XFP 模块损坏。
- e) 热要求（外壳温度）
- f) 电磁干扰（EMI）建议（包括必要的屏蔽功能，以密封 OEM 机箱前面板输出，带和不带 QSFP+ 模块安装在保持笼子里。）
- g) 静电放电（ESD）要求仅在本规范中公开的范围内，其中这种披露的唯一目的是使产品能够按照规范中的规定进行操作、连接或通信。

总体包装尺寸应符合第 5 节所示的指示尺寸和公差。安装特征应着眼于使产品与笼和连接器系统在机械上是通用的。此外，电路板上的笼和连接器系统的总体尺寸和安装要求应配置为使产品机械和电气通用，并且光连接器和相应光纤电缆插头的总体尺寸和插入要求应为使得产品在机械和光学上通用。电气和光学规范可能与 ITU-T G.957 建议书（STM-1, STM-4 和 STM-16），Telcordia Technologies GR-253-CORE（OC-3, OC-12, OC-48 和 OC-192），以太网 IEEE 802.3（千兆，10 千兆和 40 千兆以太网），InfiniBand 架构规范（SDR, DDR 和 QDR），SFF-8431 或光纤通道 PI-3/4（2GFC, 4GFC, 8GFC）和 10GFC 兼容。电气和光学规格可能与正在开发的标准兼容。该规范将为支持 SONET / SDH 和/或以太网和/或 InfiniBand 和/或光纤通道规范的组合四通道端口提供通用解决方案。该规范涵盖能够支持多模、单模模块、无源铜缆、有源铜缆和有源光缆的设计。

Table 1 - Multimode Fiber Applications

	Fiber Type	IEEE 802.3			Fibre Channel- FC-PI-2/3/4				InfiniBand		
Distance	Core Diameter MHZ*km	1G E	10 GE	40 GE	2 GFC	4 GFC	8 GFC	10 GFC	SDR	DDR	QDR
275m	62.5/200	X									
220m	62.5/160	X									
26m	62.5/160		X					X			
33m	62.5/200		X					X			
150m	62.5/200				X						
75m	62.5/200								X		
70m	62.5/200					X					
50m	62.5/200									X	
21m	62.5/200						X				
550m	50/500	X									
500m	50/400	X									
66m	50/400		X					X			
82m	50/500		X					X			
300m	50/2000		X					X			
300m	50/500				X						
150m	50/500					X					
125m	50/500								X		
75m	50/500									X	
50m	50/500						X				
200m	50/2000				X					X	
380m	50/2000					X					
150m	50/2000						X			X	
100m	50/2000			X							X
150m	50/4700		X								

Table 2 - Single mode Fiber Applications

		IEEE 802.3			Fibre Channel FC-PI-2/3/4				InfiniBand		
Distance	Fiber type	1 GE	10 GE	40 GE	2 GFC	4 GFC	8 GFC	10 GFC	SDR	DDR	QDR
1.4km	SM						X				
2km	SM										
4km						X					
10km	SM	X	X	X	X	X	X	X	X	X	X
30km	SM		X					X			
40km	SM		X					X			

应用参考模型（见图 1）显示了 ASIC (SerDes) 和 QSFP+模块之间的高速数据接口。为简单起见，仅显示了接口的一个数据通道。光接口可以使用并行 MPO 或双工 LC 光纤连接器。

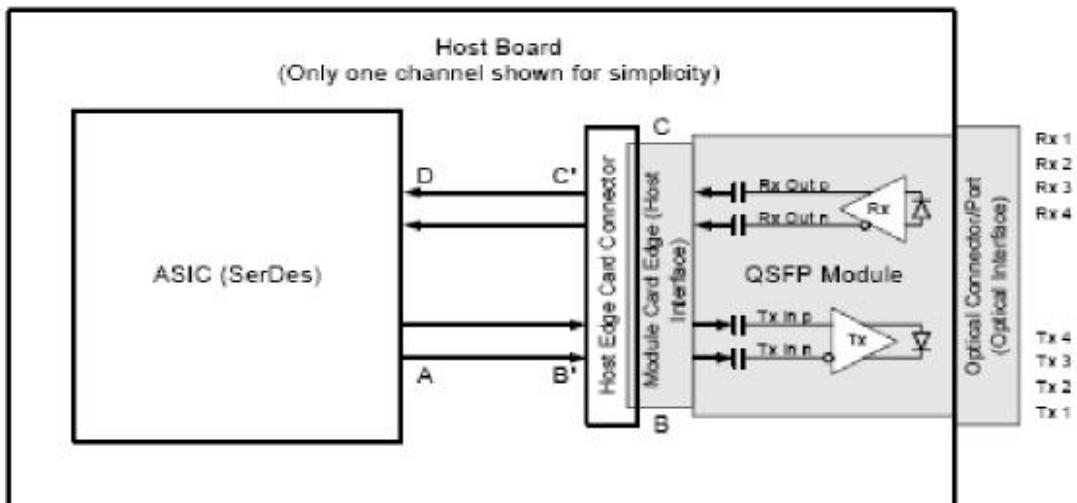


Figure 1 – Application Reference Model

6Gb / s 和更低速度的 QSFP +参考点如下：

- A: 在待测试板（DUT）板上 ASIC 封装引脚上的主机 ASIC 发射机输出
- B: 主机 ASIC 发射机通过主板和主机边缘卡连接器在模块卡边缘接口输出
- B': 主机 ASIC 发射机通过主板在主机端口卡连接器输出
- C: 模块卡边缘接口的 QSFP +接收器输出
- C': 主机边缘卡连接器上的 QSFP +接收器输出
- D: 在主板上的 QSFP +接收器在 DUT 板上的接收器输入引脚输出

注意：对于 6Gb / s 以上的速度，应使用 IEEE802.3ba，FC-PI4 和 SFF8431 的合规板方法。在符合标准委员会的损耗与标准中规定的合规板的损耗之间有任何差异，应对 QSFP +合规板进行的测量进行更正。

4.电气规格

本节包含 QSFP +模块的引脚定义数据。引脚定义数据对于千兆位二进制数据通信应用（如光纤通道和千兆以太网和 SONET / ATM 应用）是通用的。高速信号电气测量的合规点在图 1 中定义。所有其他电气信号的合规点在主机边缘卡连接器上的相似点。

4.1 电连接器

图 2 显示了 QSFP +模块边缘连接器的信号符号和触点编号。该图显示了模块 PCB 边缘的顶视图和底视图。有 38 个触点用于高速，低速信号，电源和接地连接。表 3 提供了有关 38 个触点中的每一个的更多信息。对于 EMI 保护，当 QSFP +模块拆卸时，应关闭连接器的信号。建议使用标准电路板布局实例，例如使用 Vias 连接到 Vcc 和 GND，使用短距离和等长差分信号线，使用微带线和 50 欧姆终端。QSFP +模块的机箱接地（外壳通用）应与模块的电路接地 GND 隔离，为设计人员提供外部电磁干扰屏蔽和模块电路接地 GND 之间连接的灵活性。

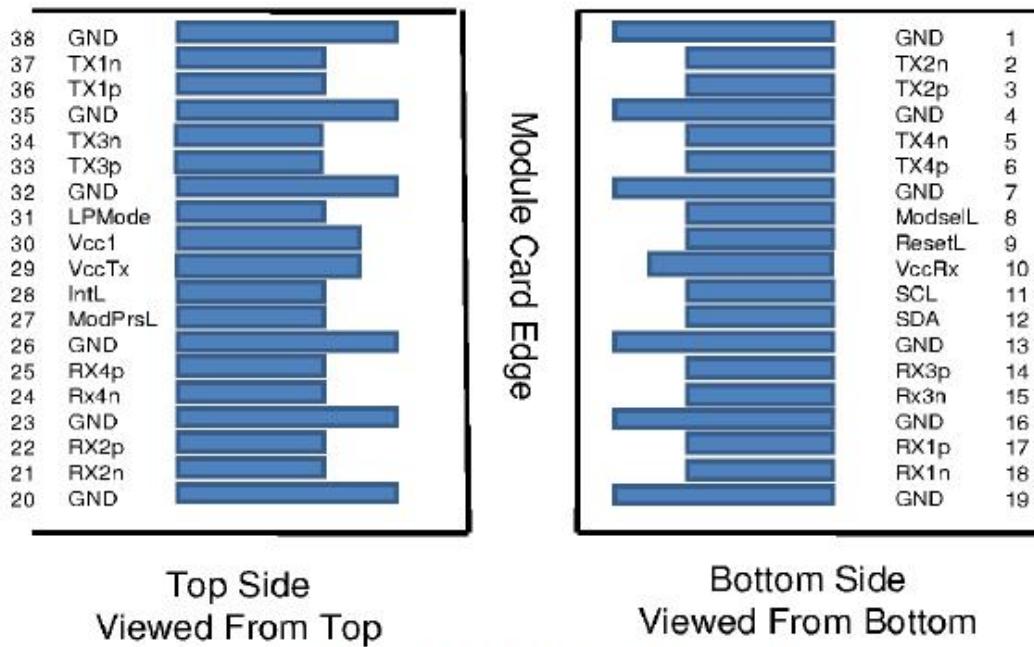


Figure 2 QSFP+ Module Pad Layout

Table 3: Pin Function Definition (See Figure 10 for pad dimensions)

Pin	Logic	Symbol	Description	Plug Sequence	Notes
1		GND	Ground	1	1
2	CML-I	Tx2n	Transmitter Inverted Data Input	3	
3	CML-I	Tx2p	Transmitter Non-Inverted Data Input	3	
4		GND	Ground	1	1
5	CML-I	Tx4n	Transmitter Inverted Data Input	3	
6	CML-I	Tx4p	Transmitter Non-Inverted Data Input	3	
7		GND	Ground	1	1
8	LVTTL-I	ModSell	Module Select	3	
9	LVTTL-I	ResetL	Module Reset	3	
10		Vcc Rx	+3.3V Power Supply Receiver	2	2
11	LVCMOS-I/O	SCL	2-wire serial interface clock	3	
12	LVCMOS-I/O	SDA	2-wire serial interface data	3	
13		GND	Ground	1	1
14	CML-O	Rx3p	Receiver Non-Inverted Data Output	3	
15	CML-O	Rx3n	Receiver Inverted Data Output	3	
16		GND	Ground	1	1
17	CML-O	Rx1p	Receiver Non-Inverted Data Output	3	
18	CML-O	Rx1n	Receiver Inverted Data Output	3	
19		GND	Ground	1	1
20		GND	Ground	1	1
21	CML-O	Rx2n	Receiver Inverted Data Output	3	
22	CML-O	Rx2p	Receiver Non-Inverted Data Output	3	
23		GND	Ground	1	1
24	CML-O	Rx4n	Receiver Inverted Data Output	3	
25	CML-O	Rx4p	Receiver Non-Inverted Data Output	3	
26		GND	Ground	1	1
27	LVTTL-O	ModPrsL	Module Present	3	
28	LVTTL-O	IntL	Interrupt	3	
29		Vcc Tx	+3.3V Power supply transmitter	2	2
30		Vcc1	+3.3V Power supply	2	2

31	LVTTI-I	LPMode	Low Power Mode	3		
32		GND	Ground	1	1	
33	CML-I	Tx3p	Transmitter Non-Inverted Data Input	3		
34	CML-I	Tx3n	Transmitter Inverted Data Input	3		
35		GND	Ground	1	1	
36	CML-I	Tx1p	Transmitter Non-Inverted Data Input	3		
37	CML-I	Tx1n	Transmitter Inverted Data Input	3		
38		GND	Ground	1	1	
Note 1: GND is the symbol for signal and supply (power) common for the QSFP+ module. All are common within the QSFP+ module and all module voltages are referenced to this potential unless otherwise noted. Connect these directly to the host board signal-common ground plane.						
Note 2: Vcc Rx, Vcc1 and Vcc Tx are the receiver and transmitter power supplies and shall be applied concurrently. Requirements defined for the host side of the Host Edge Card Connector are listed in Table 6. Recommended host board power supply filtering is shown in Figures 3 and 4. Vcc Rx Vcc1 and Vcc Tx may be internally connected within the QSFP+ Module in any combination. The connector pins are each rated for a maximum current of 500 mA.						

注 1: GND 是 QSFP+ 模块通用的信号和电源(电源) 符号。在 QSFP+ 模块中都是常见的，除非另有说明，所有模块电压都参考此电位。将它们直接连接到主机板信号公共接地层。

注 2: Vcc Rx、Vcc1 和 Vcc Tx 是接收机和发射机电源，并且应同时应用。主机边缘卡连接器主机端所定义的要求见表 6。推荐的主板电源滤波如图 3 和图 4 所示。Vcc Rx、Vcc1 和 Vcc Tx 在 QSFP+ 模块内可以以任意组合内部连接。连接器引脚的额定最大电流为 500 mA。

图 3 显示了具有 SerDes 和控制 IC 连接的完整 QSFP+ 主机 PCB 原理图的示例。

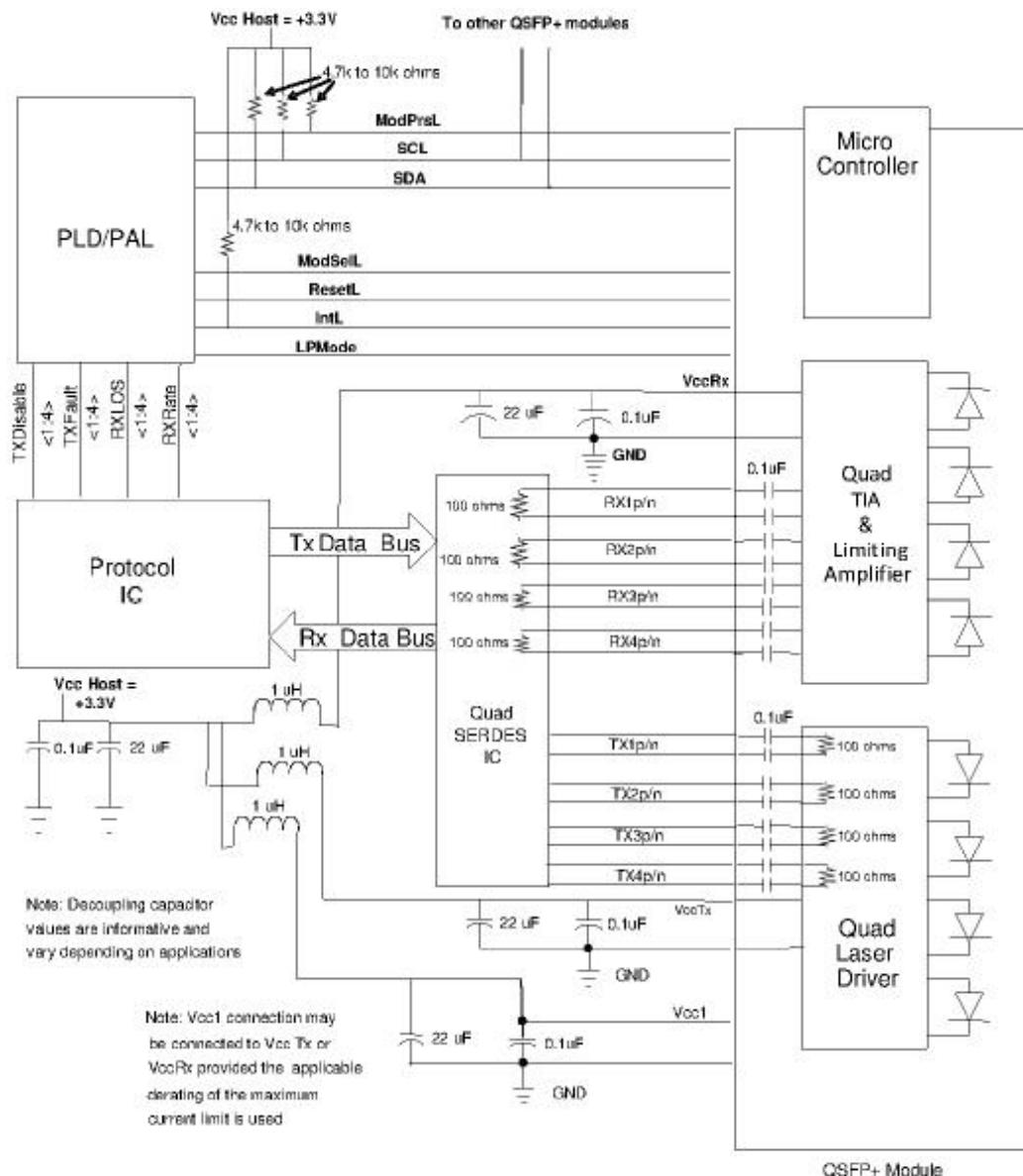


Figure 3a: Example QSFP+ Host Board Schematic For Optical Modules

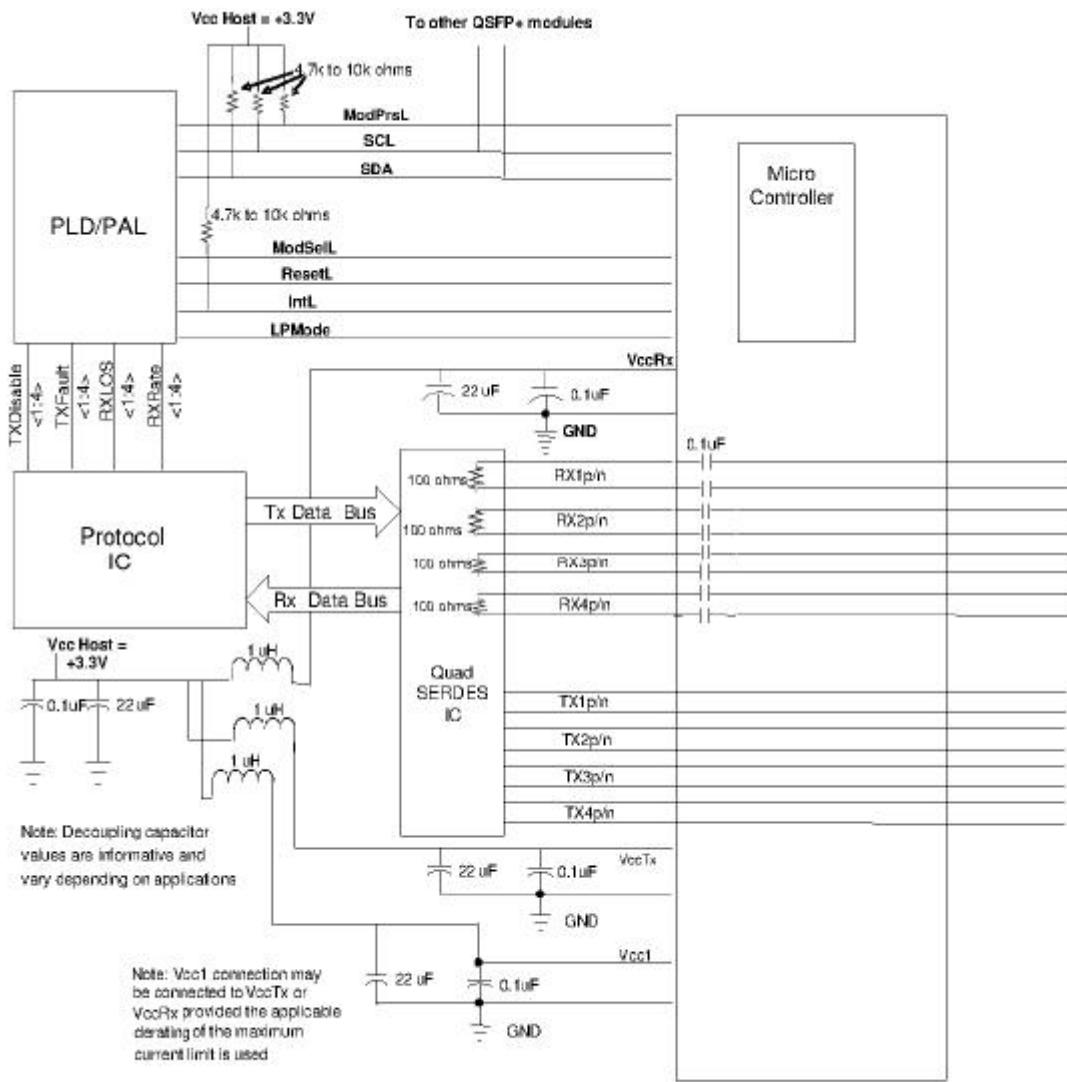


Figure 3b Example QSFP+ Host Board Schematic for passive copper cables

4.1.1 低速电气硬件引脚

除了 2 线串行接口外，该模块还具有以下低速引脚用于控制和状态：

ModSelL

ResetL

LPMode

ModPrsL

INTL

4.1.1.1 ModSelL

ModSelL 是一个输入引脚。当主机保持低电平时，模块响应 2 线串行通信命令。ModSelL 允许在单个 2 线接口总线上使用多个 QSFP+ 模块。当 ModSelL 为 “High” 时，模块不应对主机的任何 2 线接口通信做出响应或确认。ModSelL 信号输入节点在模块中必须偏置到 “高” 状态。为了避免冲突，在取消选择任何 QSFP+ 模块后，主机系统不得在 ModSelL 解除时间内尝试 2 线接口通信。类似地，在与新选择的模块通信之前，主机必须至少等待 ModSelL 断言时间段。只要满足上述定时要求，不同模块的断言和解除断言周期就可能重叠。

4.1.1.2 ResetL

必须在 QSFP+ 模块中将 ResetL 引脚拉至 Vcc。ResetL 引脚上的低电平长于最小脉冲长度

(*t_Reset_init*) 会启动完整的模块复位，将所有用户模块设置恢复到默认状态。复位置位时间 (*t_init*) 在 *ResetL* 引脚的低电平被释放后的上升沿开始。在执行复位 (*t_init*) 期间，主机将忽略所有状态位，直到模块指示复位中断完成为止。该模块通过将 *Data_Not_Ready* 位取反以拉低一个 *IntL* 信号来指示。请注意，在上电（包括热插拔）时，模块应将此完成复位中断，而不需要复位。

4.1.1.3 LPMODE

在 QSFP+ 模块中，*LPMODE* 引脚应上拉至 *Vcc*。该功能受 *LPMODE* 引脚和 *Power_over-ride* 和 *Power_set* 软件控制位（地址 A0h，字节 93 位 0,1）的组合的影响。该模块具有低功耗模式和高功率模式两种模式。高功率模式在四个功率级之一中工作。当模块处于低功耗模式时，其最大功耗为 1.5W。如果这些模块被意外插入，这将保护不能冷却更高功率模块的主机。模块 2 线串行接口和所有激光安全功能必须在此低功耗模式下完全运行。该模块仍然支持在此低功耗模式下完成复位中断。如果扩展标识符位（页 00h，字节 129 位 6-7）表示大于 1.5W 的功耗，并且模块处于低功耗模式，则必须将其功耗降低到小于 1.5W，同时仍然保持上述功能。没有指定完成低功耗的确切方法，但是在这种状态下，Tx 或 Rx 或者两者都可能不可操作。如果扩展标识符位（页 00h，字节 129 位 6-7）表示其功耗小于 1.5W，则模块应完全正常工作，无论是在低功耗还是高功率模式。如果 *LPMODE* 引脚为高电平状态，或者 *Power_override* 位为高电平且 *Power_set* 位为高电平，模块应处于低功耗模式。如果 *LPMODE* 引脚处于低电平状态或 *Power_override* 位为高电平且 *Power_set* 位为低电平，模块应处于高功耗模式。请注意，*Power_override* 位的默认状态为低。*LPMODE* 和 *Power_over-ride* 和 *Power_set* 的相关配置的真值表如表 4 所示。

Table 4 - Power Mode Truth Table

<i>LPMODE</i>	<i>Power_override</i> Bit	<i>Power_set</i> Bit	Module Power Allowed
1	0	X	Low Power
0	0	X	High Power
X	1	1	Low Power
X	1	0	High Power

在上电时，*Power_override* 和 *Power_set* 位应设置为 0。

4.1.1.4 ModPrsL

ModPrsL 在主板上拉到 *Vcc_Host*，并在模块中接地。当模块插入时 *ModPrsL* 被置为“低”，当在主机连接器中物理上不存在时，置为“高”。

4.1.1.5 IntL

IntL 是一个输出引脚。当“低”时，表示可能的模块操作故障或对主机系统至关重要的状态。主机使用 2 线串行接口识别中断源。*IntL* 引脚是集电极开路输出，必须在主机板被拉至主机电源电压。当字节 2 位 0（数据未就绪）被读取时，*INTL* 引脚在复位完成后被置为“高电平”并读取标志字段（见 7.6.1.2）。

4.1.2 低速电气规范

SCL 和 SDA 之外的低速信号基于以 *Vcc* 运行的低电压 TTL（LVTTI）。*Vcc* 是指 *VccTx*, *VccRx*, *Vcc_host* 或 *Vcc1* 的通用电源电压。主机应在每个 2 线接口 SCL（时钟），SDA（数据）和所有低速状态输出上使用连接到 *Vcc_host* 的上拉电阻。SCL 和 SDA 是可以支持总线拓扑的热插拔接口。在模块插入或取出期间，模块可以实现预充电电路，防止损坏已经在使用总线的其他模块的数据传输。注 1：SCL 和 SDA 的时序图包含在 6.2.2 中。QSFP+ 低速电气规格见表 5. 该规范确保主机总线与 2 线接口之间的兼容性。

Table 5 - Low Speed Control and Sense Signals

Parameter	Symbol	Min	Max	Unit	Condition
SCL and SDA	VOL	0	0.4	V	IOL(max)=3.0mA
	VOH	Vcc-0.5	Vcc+0.3	V	
SCL and SDA	VIL	-0.3	Vcc*0.3	V	
	VIH	VCC*0.7	Vcc + 0.5	V	
Capacitance for SCL and SDA I/O pin	Ci		14	pF	
Total bus capacitive load for SCL and SDA	Cb		100	pF	3.0 k Ohms Pullup resistor, max
			200	pF	1.6 k Ohms pullup resistor max
LPMode, Reset and ModSelL	VIL	-0.3	0.8	V	Iin <=125 uA for 0V<Vin,Vcc
	VIH	2	VCC+0.3	V	
ModPrsL and IntL	VOL	0	0.4	V	IOL=2.0mA
	VOH	VCC-0.5	VCC+0.3	V	

4.1.3 高速电气规格

4.1.3.1 Rx (n) (p / n)

Rx (n) (p / n) 是 QSFP + 模块接收器数据输出。Rx (n) (p / n) 是在主机 ASIC (SerDes) 上以 100 欧姆差分端接的交流耦合 100 欧姆差分线。交流耦合在 QSFP + 模块内，主板上不需要。正确终止时，差动摆幅应小于或等于 1600 mVpp 或相关标准，以较小者为准。注意：由于将 QSFP 模块插入设计用于 QSFP + 的主机的可能性，建议主机输入的损坏阈值至少为 1600mV 差分峰峰值。光输入信号丢失时需要输出静噪（以下称为 Rx 静噪），其功能如下。在任何通道上的光信号变得等于或小于声明 LOS 所需的电平的情况下，该通道的接收器数据输出应被压制或禁用。在静态或禁用状态下，输出阻抗水平保持不变，而差分电压摆幅应小于 50 mVpp。在正常操作中，默认情况下，Rx 静噪有效。可以通过 2 线串行接口使用 Rx Squelch Disable 禁用 Rx 静噪。Rx Squelch Disable 是一个可选功能。具体细节参见 7.6.5.2。

4.1.3.2 Tx (n) (p / n)

Tx (n) (p / n) 是 QSFP + 模块发射机数据输入。它们连接至 QSFP + 模块内部的交流耦合 100 欧姆差分线路，100 欧姆差分端接。交流耦合在 QSFP + 模块内，主板上不需要。对于 6Gbps 及以下的工作，输入将接受 250 mV 至 800 mV 之间的单端电压摆幅，500 mVpp 至 1600 mVpp 之间的差分电压摆幅。为获得最佳的 EMI 效果，推荐在 250 mV 至 600 mV 之间的单端摆幅和 500 mVpp 至 1200 mVpp 之间的差分电压摆幅。对于高于 6Gbps 的操作，请参阅相应的规范，例如 802.3ba 附件 86A, FC-PI-4, FC-PI-5 或 InfiniBand 规范。10G 以太网参考 SFF-8431。由于根据 INF-8438i，考虑将 QSFP + 模块插入设计用于 QSFP 接口的主机的可能性，模块输入的损伤阈值应至少为 1600 mV 差分峰峰值。输入信号丢失（以下称为 Tx LOS）时的输出静噪（以下称为 Tx 静噪）是可选功能。实施时的功能如下。在差分的情况下，任何通道上的峰峰值电信号变得小于 50 mVpp，则该通道的发射机光输出应被抑制或禁用，并且相关联的 TxLOS 标志置 1。当静噪时，发射机 OMA 应在小于或等于-26 dBm，当禁用时，发射机功率应小于或等于-30 dBm。对于应用，例如以太网，其中发射机关闭条件是根据平均功率定义的，禁用发射机是推荐的，并且适用于应用。InfiniBand，其中发射机关闭条件是根据 OMA 定义的，建议对发射机进行静噪。在模块操作中，在实施 Tx 静噪的情况下，默认情况下具有 Tx 静噪。可以通过 2 线串行接口使用 Tx Squelch Disable 禁止 Tx 静噪。Tx Squelch Disable 是一个可选功能。具体细节参见 7.6.5.2。

4.2 电源要求

电源在连接器中有三个指定的引脚 Vcc Tx, Vcc1 和 Vcc Rx。Vcc1 根据模块厂商的判断来补充 Vcc Tx 或 Vcc Rx。电源同时应用于这些引脚。由于存在具有预定义的最大功耗限制的不同类别的模块，因此当将模块插入设计为仅适应较低功率模块的系统时，有必要避免超过系统电

源限制和制冷量。建议主机通过管理界面，在模块进入高功率模式之前，确定模块的功耗等级。主板与 QSFP+ 模块一起形成一个集成的电源系统。主机为模块提供稳定的电源。该模块限制回到主机系统中的电气噪声，并限制热插拔插入期间的浪涌充电/电流。所有规格应在最大电源电流下达到。主机系统不需要电源的电源时序，因为模块按照接地，供电和插入时的信号顺序对触点进行排序。

4.2.1 主机电源滤波

主机板应使用与图 4 所示相同的电源滤波器。主机上过滤器网络上的任何压降都会受到主机直流设定点精度规格的限制。应使用直流电阻小于 0.1 欧姆的电感器，以保持主机边缘卡连接器所需的电压。建议 22uF 电容器的等效串联电阻为 0.22 欧姆。电源规格如表 6 所示。

这些限制分别适用于流过电源滤波器中每个电感器的电流。与模块分类相关的功率级别如表 7 所示。

一般来说，较高的功率分级水平与更高的数据速率和更长的距离相关联。系统设计人员负责确保最高温度不超过外壳温度要求。

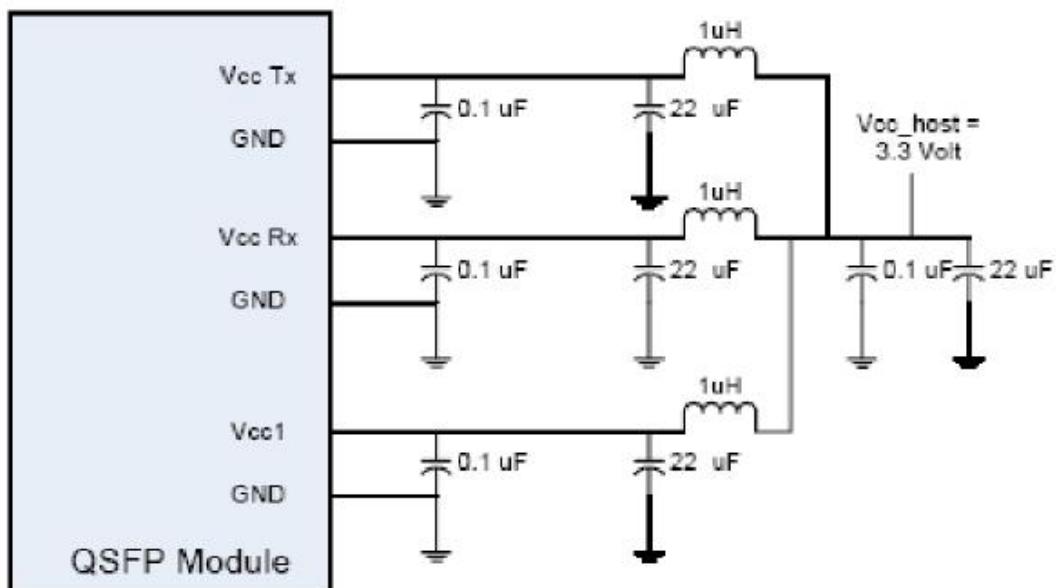


Figure 4 Recommended Host Board Power Supply Filtering

Table 6 - Power Supply Specification

Parameter	MIN	Nominal	Max	Unit	Condition
Vcc		3.3		V	Measured at Vcc Tx, Vcc Rx and Vcc1.
Vcc set point accuracy	-5		5	%	Measured at Vcc Tx, Vcc Rx and Vcc1.
Power Supply Noise including ripple			50	mV	1kHz to frequency of operation measured at Vcc host.
Sustained peak current at hot plug with LPMode Pin asserted			495	mA	See Figure 5
Maximum instantaneous current with LPMode asserted			600	mA	See Figure 5
Module sustained peak current with LPMode Pin deasserted			750	mA	
Maximum instantaneous current with LPMode deasserted			900	mA	

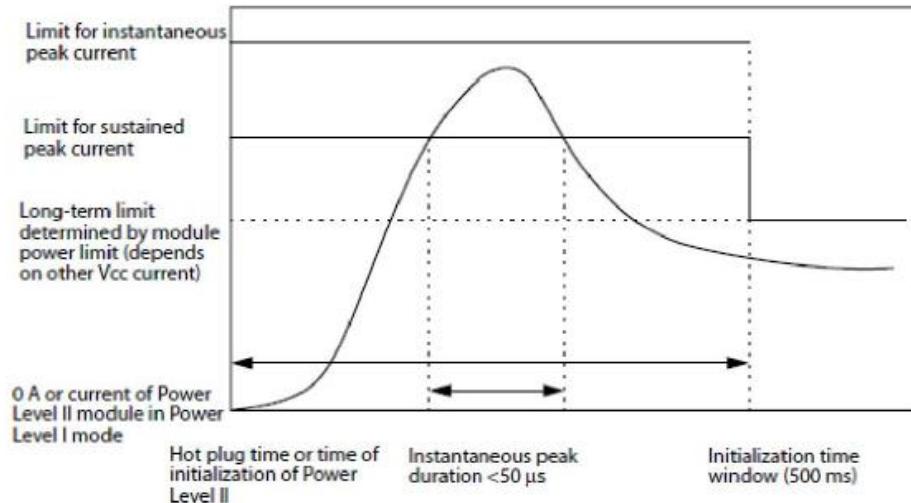


Figure 5 –Instantaneous and sustained peak currents for Vcc1, Vcc Tx or Vcc Rx

Table 7 – Power Budget Classification

Power Level	Max Power (W)
1	1.5
2	2
3	2.5
4	3.5

4.3 ESD

在没有另外规定 ESD 性能的情况下，例如在 InfiniBand 规范中，QSFP + 模块在安装在正确接地的机箱和机箱中时，应符合 EN61000-4-2 标准 B 测试规范中给出的 ESD 要求。这些单元在运行期间经受 15kV 空气放电，并经受 8kV 直接接触壳子放电。QSFP + 模块和主机高速信号触点应根据 JEDEC JESD22-A114-B 的人体模型承受 1000V 静电放电。除了模块和主机高速信号触点之外，QSFP + 模块和所有主机触点都应经受基于 JEDEC JESD22-A114-B 的人体模型的 2 kV 静电放电。

5 机械和电路板定义

5.1 介绍

本节中定义的总体模块如图 6 所示。所有可插拔模块和直接连接电缆插头必须与本规范中定义的连接器和笼子设计配合。QSFP + 光接口应符合 IEC 61754-7 接口 7-3 (MPO 适配器接口) 的尺寸规格，并与光纤布线上的插头进行光耦合。定义了几个笼子到边框选项。金属弹簧手指和弹性 EMI 解决方案均允许使用，但必须通过客户定义的要求。散热器/夹子热设计是特定的应用，并未由本说明书具体定义，但以通用设计为例。

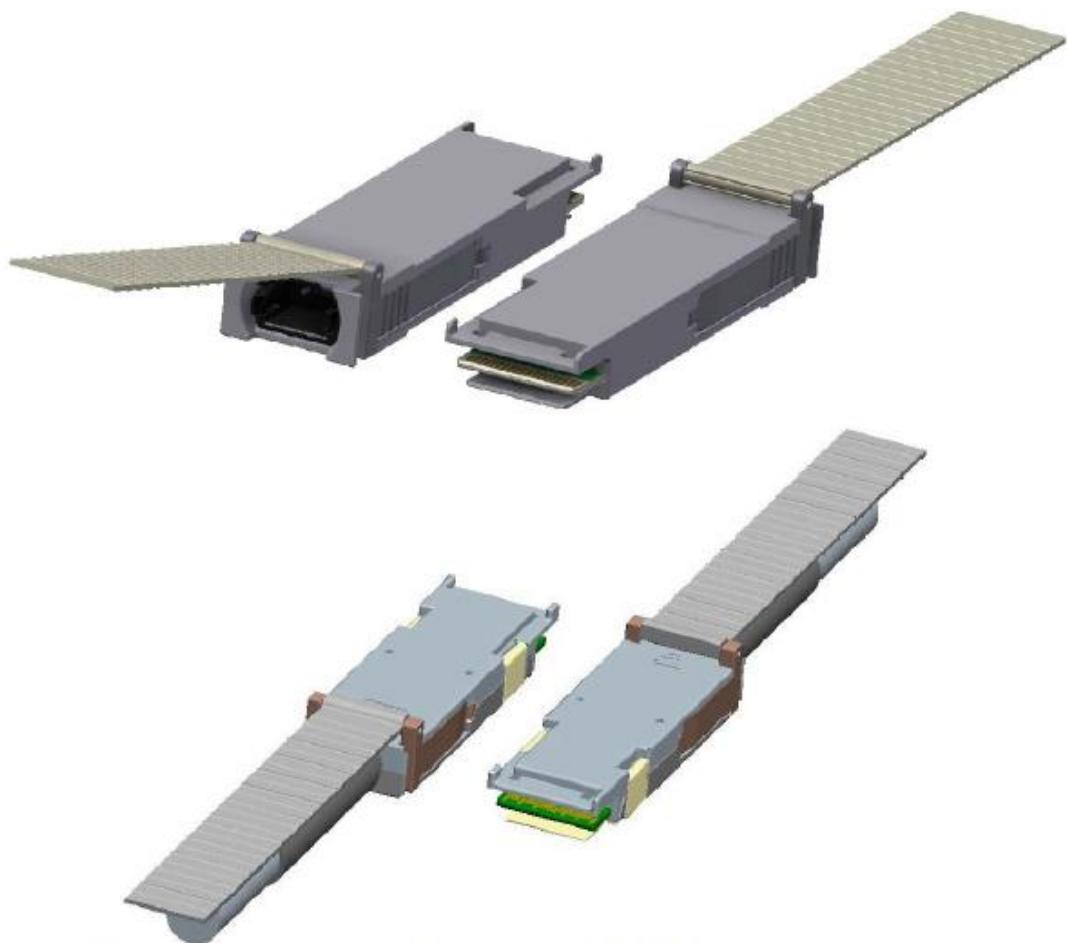


Figure 6 – QSFP+ pluggable and direct attach module rendering

5.2 QSFP +基准和组件对齐

表 8 列出了各种组件的基准列表。注意一些基准的对齐。模块，笼和连接器相对于主板和挡板的关系如图 7 所示，注意每个组件的关键基准点的位置。为了降低附图的复杂性，除非另有说明，否则所有尺寸均被视为居中。

Table 8 – Definition of Datums

Datum	Description
A	Host Board Top Surface
B	Inside surface of bezel
C	**Distance between Connector terminal thru holes on host board
D	*Hard stop on Module
E	**Width of Module
F	Height of Module housing
G	**Width of Module pc board
H	Leading edge of signal contact pads on Module pc board
J	Top surface of Module pc board
K	*Host board thru hole #1 to accept connector guide post
L	*Host board thru hole #2 to accept connector guide post
M	**Width of bezel cut out
N	*Connector alignment pin
P	**Width of inside of cage at EMI gasket (when fully compressed)
R	Height of inside of cage at EMI gasket (when fully compressed)
S	Seating plane of cage on host board
T	*Hard stop on cage
V	Length of heat sink clip
W	Seating surface of the heat sink on the cage
X & Y	Host board horizontal and depth datums
Z	**Width of heat sink surface that fits into clip
AA	**Connector slot width
BB	Seating plane of cage on host board
CC	Length of boss on heat sink that fits inside of the cage
DD	Top surface of connector backshell

*Datums D, K, L, N and T are aligned when assembled (see figure 7)

**Centerlines of datums AA, C, E, G, M, P and Z are aligned on the same vertical axis

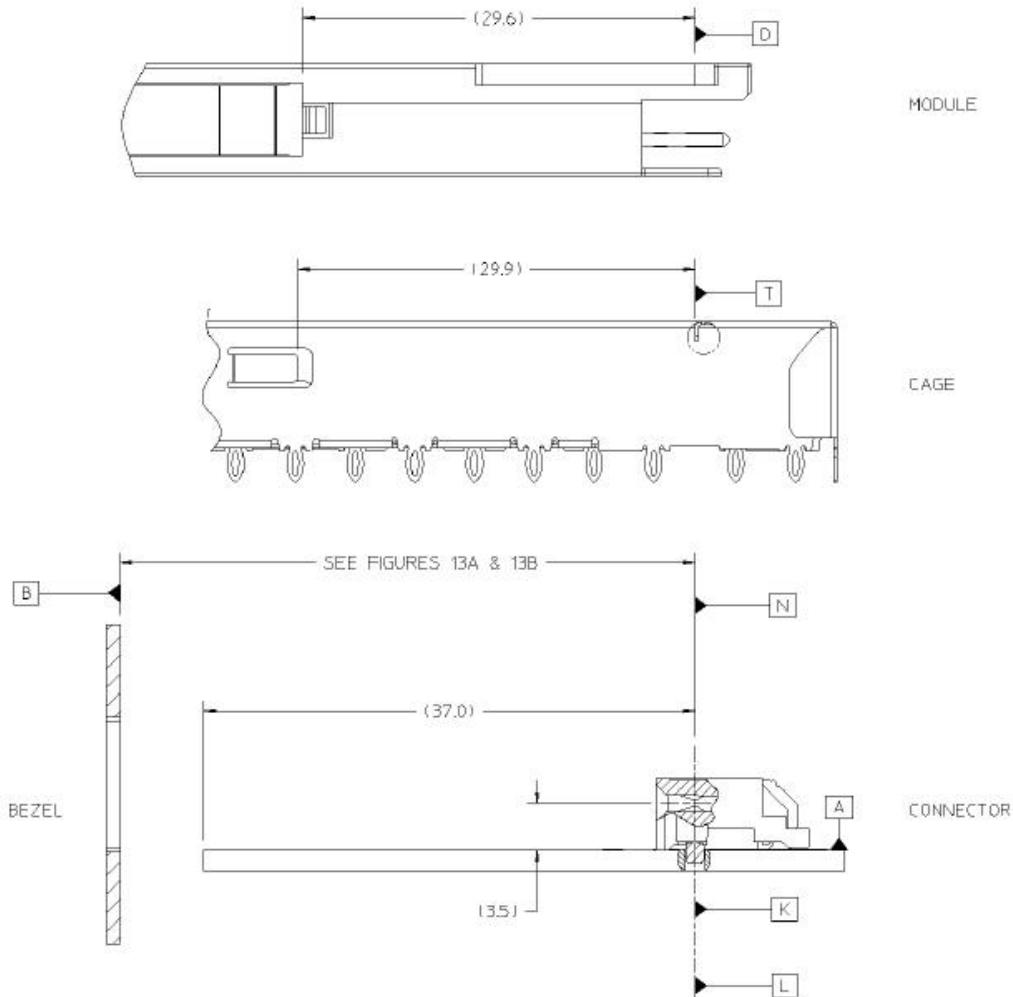


Figure 7 – QSFP+ Datum Alignment, Depth

5.3 QSFP+模块机械封装尺寸

所有 QSFP+ 模块和直接连接电缆均采用常见的机械外形。从笼子组件内移除模块的优选方法是采用吊环式动作方法。模块应在插入时提供自动锁定的方法。QSFP+ 模块的封装尺寸在图 8 和图 9 中定义。控制延伸到外壳外部的模块尺寸，列为图 8 中注 1 和注 6 的最大尺寸。注意：所有尺寸以毫米为单位。

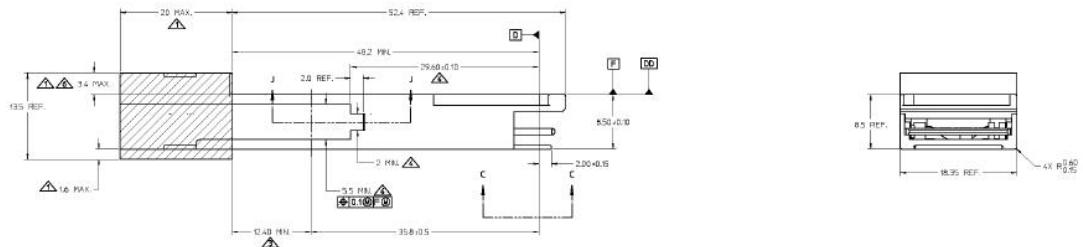
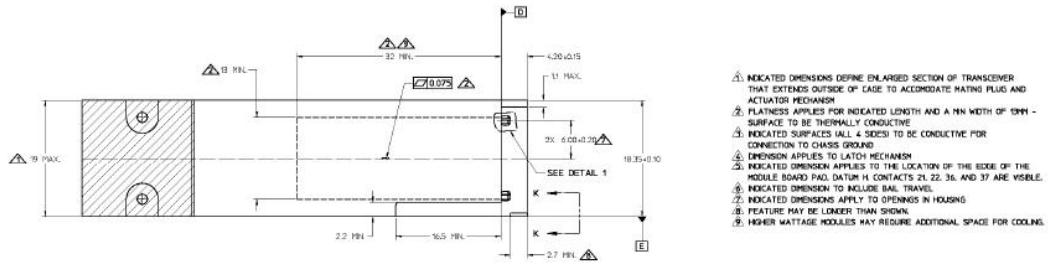


Figure 8 – Drawing of QSFP+ Module

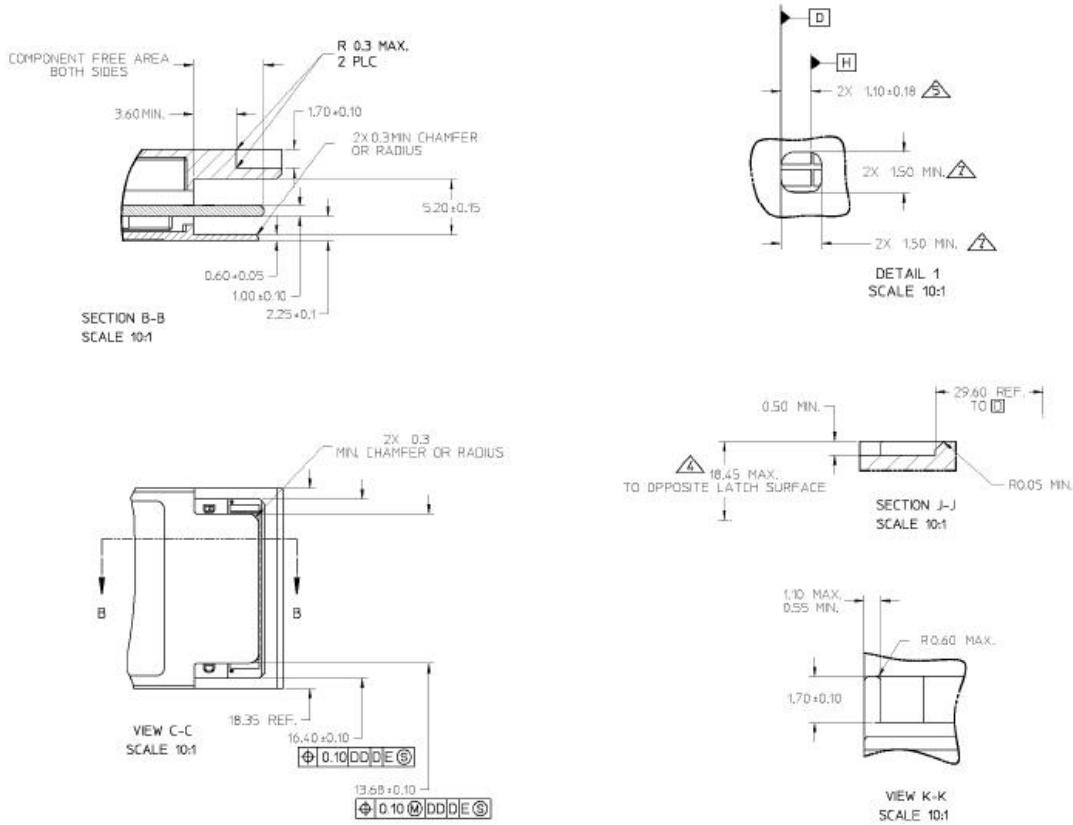


Figure 9 – QSFP+ Module Tab drawings

5.3.1 QSFP+模块 PCB 与 QSFP+电连接器的配对

QSFP+模块包含与 QSFP+电连接器相配合的印刷电路板。垫片设计用于顺序连接：

第一连接 - GND 触点

第二连接 - 电源触点

第三连接 - 信号触点

QSFP +印刷电路板的图案布局如图 10 所示。

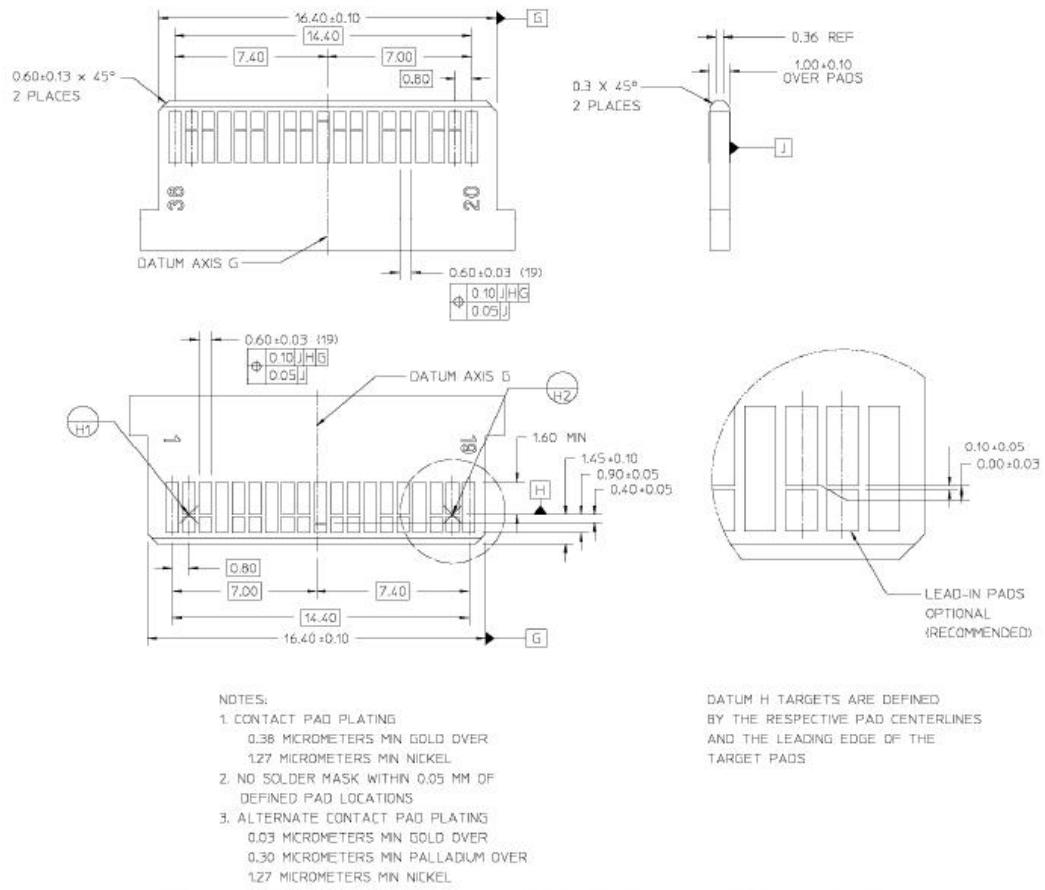


Figure 10 – Pattern Layout for QSFP+ Printed Circuit Board

5.4 主机 PCB 布局

用于连接 QSFP +连接器和笼式系统的典型主机机械布局如图 11 和图 12 所示。主机板上的模式位置是特定于应用的。有关图案相对于边框的位置的详细信息，请参见第 5.6 节。要实现 10Gbps 性能焊盘尺寸和相关公差，必须遵守并注意主机板布局。

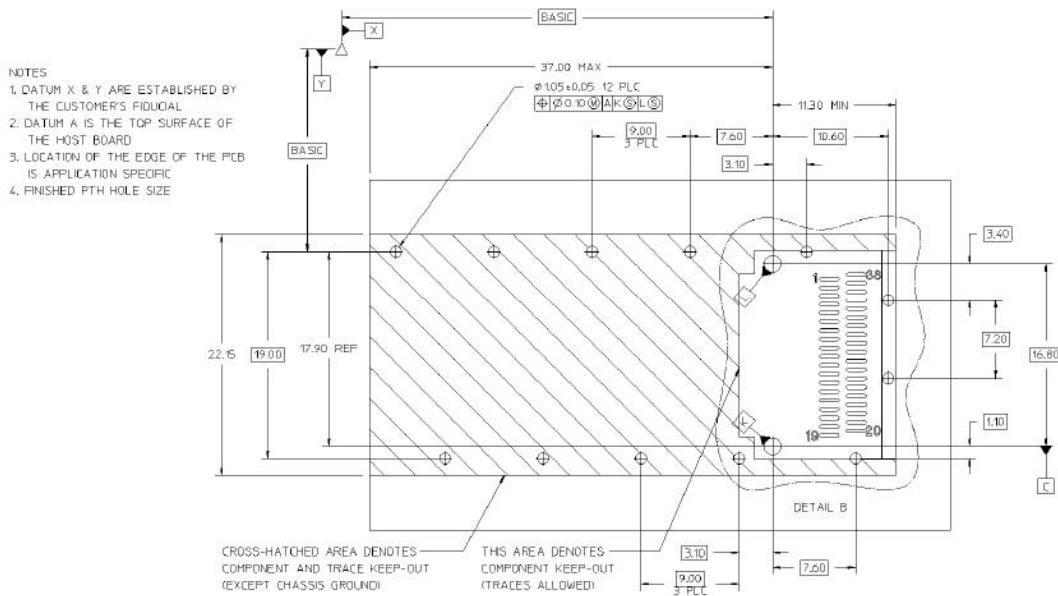


Figure 11 – QSFP+ Host PCB Mechanical Layout

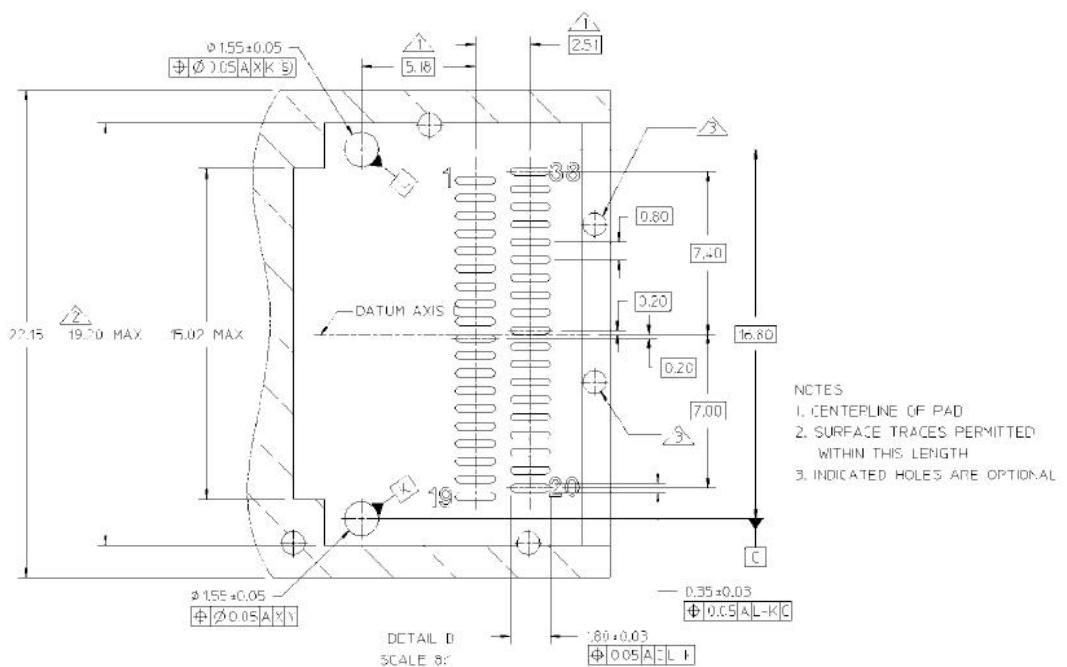


Figure 12 – QSFP+ Host PCB Mechanical Layout, Detail Z

5.4.1 QSFP +模块的插入，拔出和保持力

插入力，拔出力和保持力的要求见表 9. QSFP +笼子和模块设计组合必须确保施加在电缆上的过大的力不会损坏 QSFP +笼或主机连接器。如果任何部件被过大的力量损坏，它应该是电缆或介质模块，而不是作为主机系统一部分的笼子或主机连接器。

Table 9 – Insertion, Extraction and Retention Forces

Measurement	Min	Max	Units	Comments
QSFP+ Module insertion	0	40	N	
QSFP+ Module extraction	0	30	N	
QSFP+ Module retention	90	N/A	N	No damage to module below 90N
Cage retention (Latch strength)	125	N/A	N	No damage to latch below 125N
Cage retention in Host Board	114	N/A	N	Force to be applied in a vertical direction, no damage to cage
Insertion / removal cycles, connector / cage	100	N/A	Cycles	Number of cycles for the connector and cage with multiple modules.
Insertion / removal cycles, QSFP+ Module	50	N/A	Cycles	Number of cycles for an individual module.

5.5 QSFP+模块的颜色编码和标签

QSFP+模块（延伸到挡板外部的特征或表面）的暴露特征应按如下颜色进行编码：

米色 850nm

蓝色为 1310nm

白色为 1550nm

每个 QSFP+模块应标明晰。当安装 QSFP+模块时，完整的标签不可见，设备的底部是标签的推荐位置。标签应包括：

适当的制造和零件编号识别

适当的合规性标签

可追溯的制造代码

标签还应包括外部端口特性的明确规定，如：

光波长

所需的光纤特性

运行数据速率

支持接口标准

支持链接长度

标签不得干扰机械，热或 EMI 特性。

5.6 使用 QSFP+模块的系统的挡板

使用 QSFP+设备的主机机箱应在 QSFP+模块之间提供适当的间隙，以便在不使用专用工具和具有足够机械强度的挡板外壳的情况下进行插拔。QSFP+模块插槽应远离附近的模制品和盖子，以避免可能阻碍方便地访问锁定机构、QSFP+模块或直接插入笼子的电缆。定义了与子条款 5.6.1 和 5.6.2 中描述的 QSFP+模块一起使用的两个笼式设计。它们之间的区别在于，一个笼子的前部延伸到或穿过挡板中的开口，而另一个的顶部则向上延伸抵靠挡板的后表面。尽管两个设计的笼子封装相同，但是与主机挡板的内表面的距离可能因垫圈选择而异。从板的内表面到主板上的基准 K 和基准 L 的推荐基本尺寸在设计之间可能不同，并在图 13a 和 13b 中解决。这些设计与 5.8 节中定义的笼式组件的两个版本对齐。对于每个挡板版本，组件的腹部到腹部安装的最小推荐主板厚度是不同的，如 5.6.1 和 5.6.2 所述。挡板厚度范围应为 0.8 mm 至 2.6 mm。

5.6.1 通过边框笼组件版本的挡板

保持笼子组件的前表面穿过挡板。可以为此选项实现两个 EMI 解决方案。如果使用 EMI 弹

簧指，则它们接触到挡板切口的内部。如果使用 EMI 垫圈，它将与挡板的内表面接触。为了接受所有的笼式设计，两个挡板表面必须是导电的，并连接到机箱地。腹部至腹部安装连接器和笼子组件的最小推荐主板厚度最小为 2.2mm。

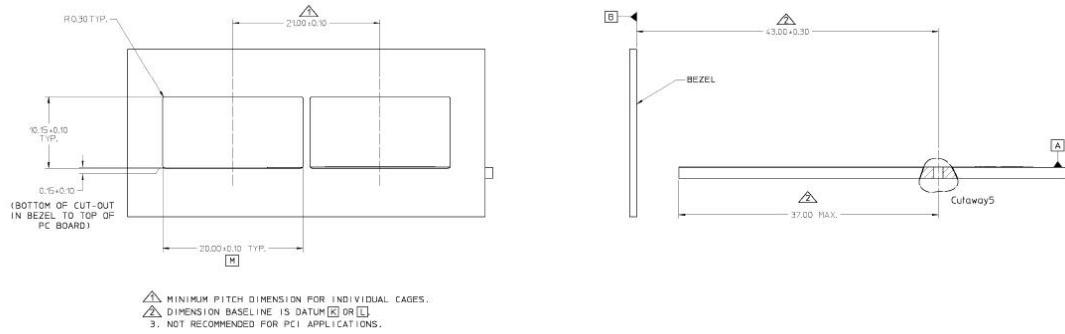


Figure 13A – Recommended Bezel Design for cages that extend into or thru Bezel

5.6.2 边框笼组件版本后面的挡板

挡板 EMI 垫片有许多选项，用作挡板和笼子前部之间的密封。面板 EMI 垫片的设计和用于垫圈的材料是特定的。优选的方法是使用压敏粘合剂将垫圈固定到挡板的背面。主机板到边框的组件将衬垫压缩到指定的由挡板 EMI 垫片制造商推荐的范围。与挡板 EMI 垫片接触的挡板背面的表面必须是低电阻并连接到机箱接地。腹部至腹部安装连接器和笼子组件的最小推荐主板厚度最小为 2.7mm。压缩后的垫片厚度可以计算如下： $GT = BKL - 42.80 \pm 0.25\text{mm}$ 。其中：

- GT 是处于压缩状态的垫片厚度。
- BKL 是从挡板背面到基准 K&L 中心线的距离。请参见图 11 和图 12（注：挡板前面到基准面 KLL 中心线的尺寸不能超过 48.25mm）。
- $42.80 \pm 0.25\text{mm}$ 尺寸是从笼子前部到硬止动器的基准 T 的距离。见图 17。

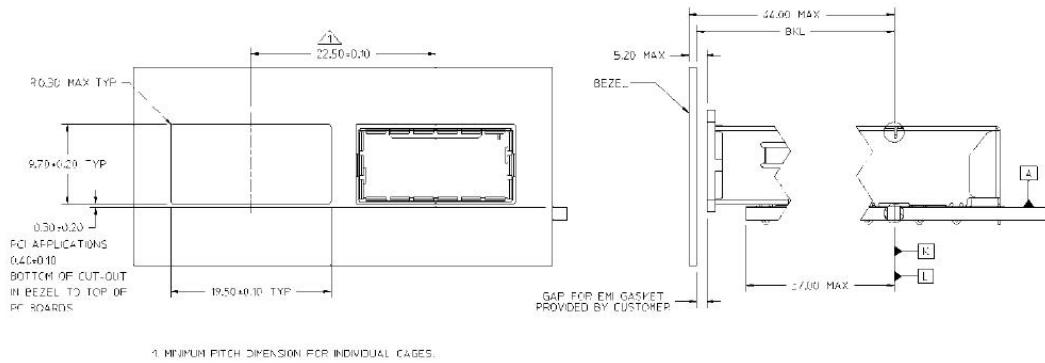


Figure 13B – Recommended Bezel Design for cages that extend up against the inside surface of the Bezel

5.7 QSFP + 电气连接器机械

QSFP + 连接器是 38 接触式直角表面安装连接器，如图 14 所示。连接器的机械规格如表 9 所示，如图 15 所示。

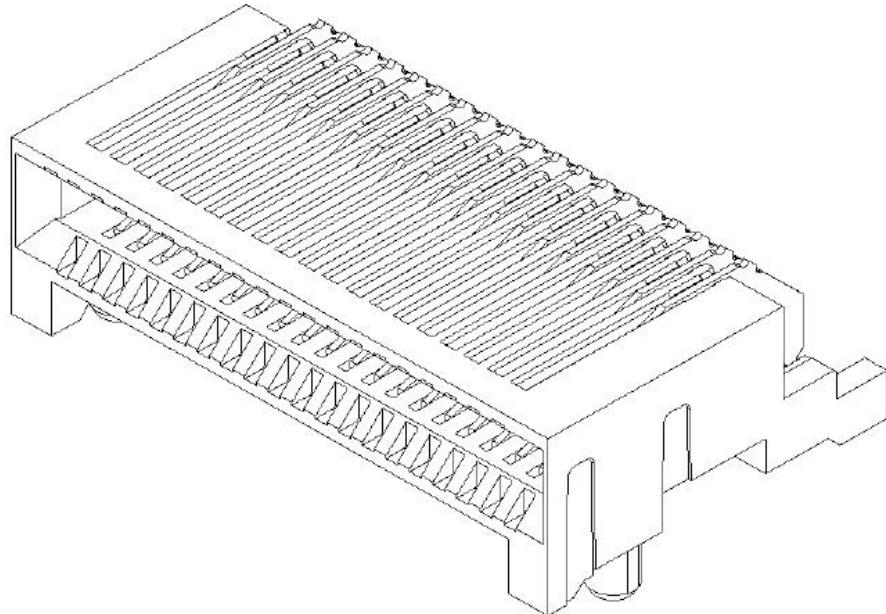


Figure 14 – QSFP+ Module Electrical Connector Illustration

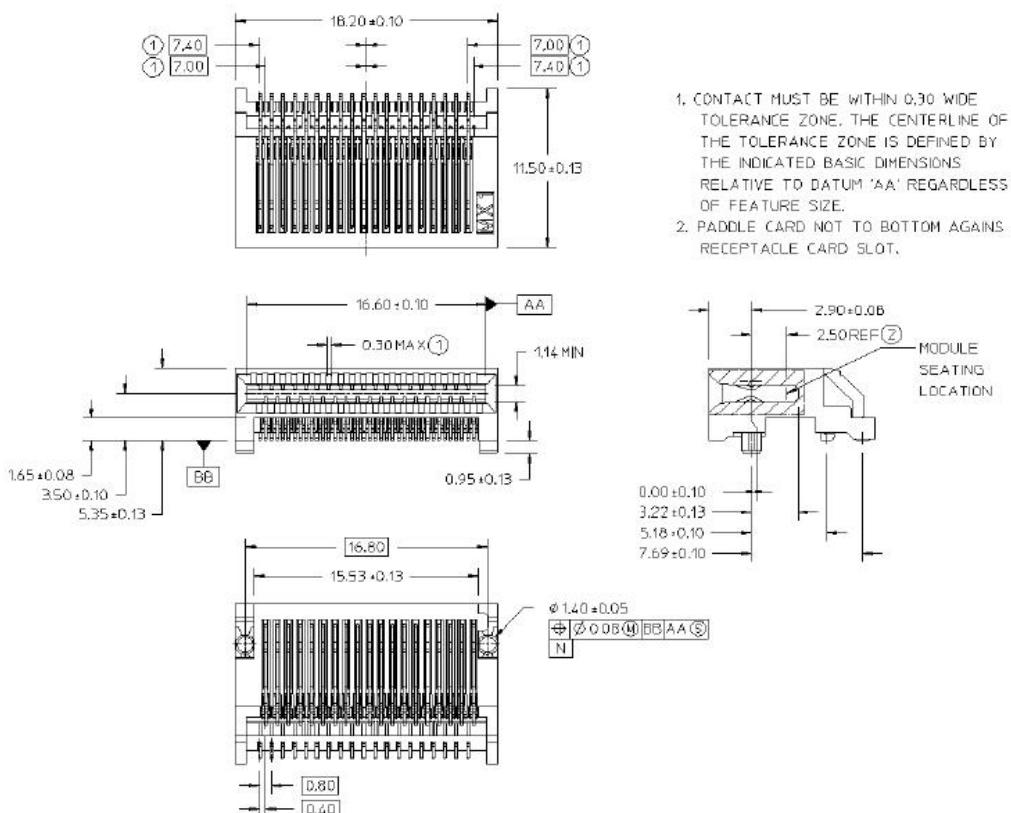


Figure 15 – QSFP+ Electrical Connector Specification

5.8 独立 QSFP+笼组装版本

笼式组件有两种版本：通过挡板的 Thru Bezel 版本，以及不通过挡板的“后盖”（Behind the Bezel）版本。图 16 中示意性地显示了 Thru Bezel（左侧）和 Bezel（右侧）笼子组件后面的分解图。

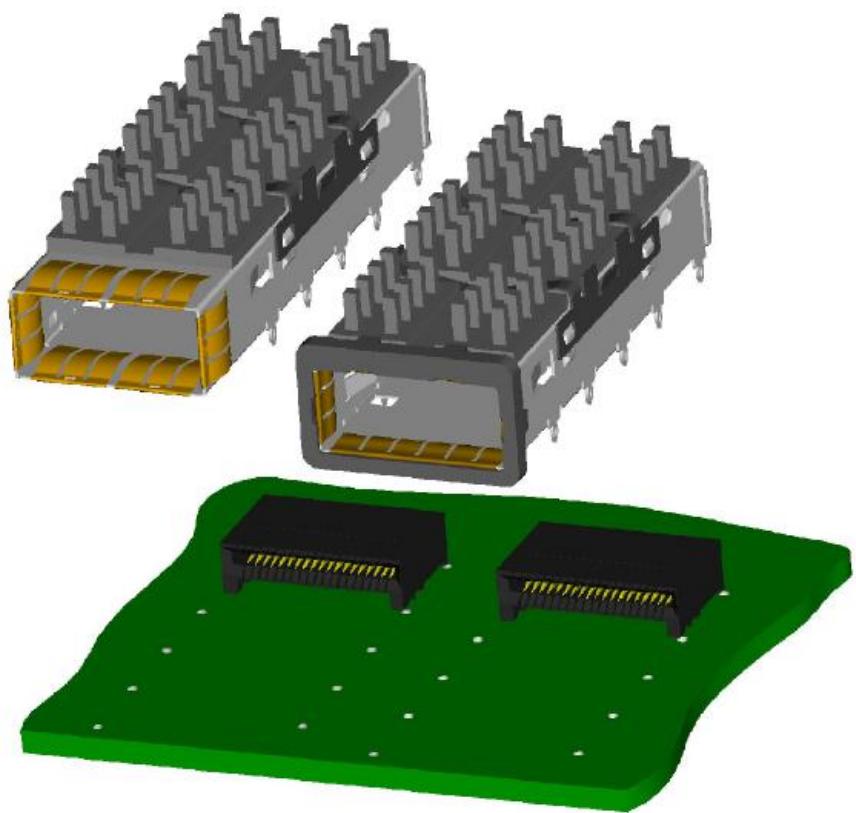
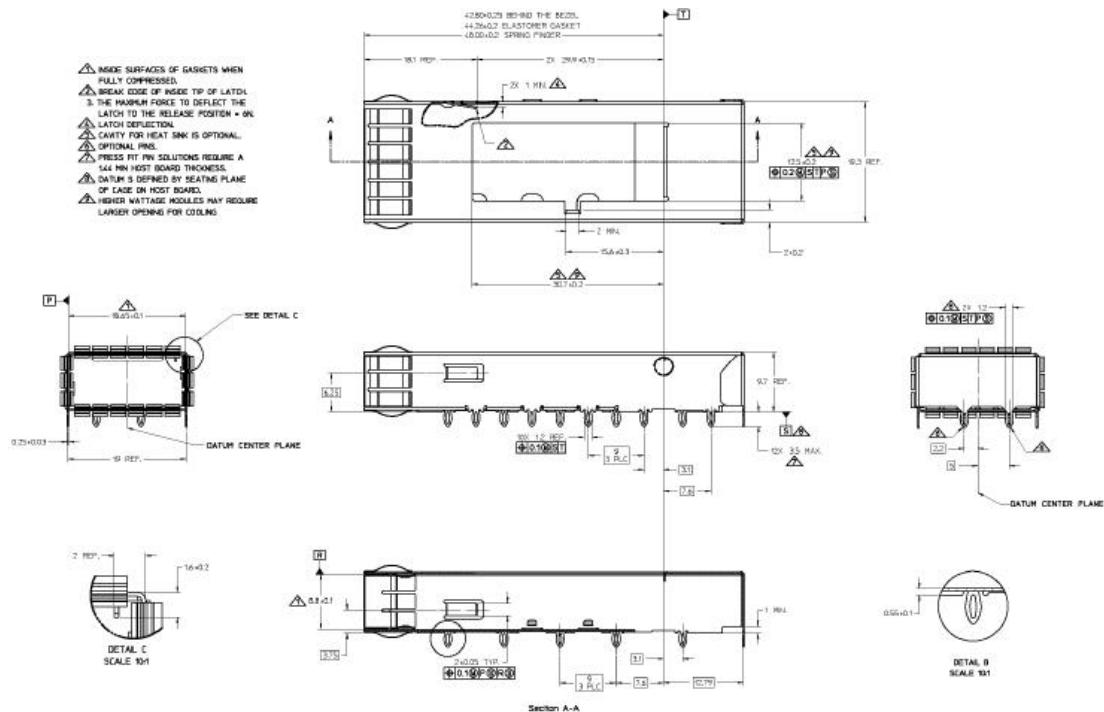


Figure 16 – Thru Bezel (left side) and behind the bezel (right side) Cage and Optional Heat Sink Designs (exploded view)

笼组件选项如图 17 所示。



- Notes:
1. Inside surfaces of gaskets when fully compressed.
 2. Break edge of inside tip of latch.
 3. The maximum force to deflect the latch to the release position = 6N.
 4. Latch deflection.
 5. Cavity for heat sink is optional.
 6. Optional pins.
 7. Press fit pin solutions require a 1.44 min host board thickness.
 8. Datum defined by seating plane of cage on host board.
 9. Higher wattage models may require larger opening for cooling

Figure 17 – 1-by-1 Thru Bezel Cage Design

笔记：

1. 完全压缩后垫片的内表面。
2. 断闩锁的内部尖的边缘。
3. 将闩锁偏转到释放位置的最大力= 6N。
4. 闩锁偏转。
5. 散热器的腔是可选的。
6. 可选引脚。
7. 按压插脚解决方案需要最小 1.44 的主板厚度。
8. 由主机板上的笼子的座面定义的基准。
9. 更高的瓦数型号可能需要较大的冷却开度

5.8.1 QSFP + 散热片尺寸

图 18 中定义的散热片仅供参考。散热片夹，散热器及其附件特征在笼式组件上的设计是供应商特定的，未在本文档中定义。当固定到笼子上时，夹子将在散热器和 QSFP + 模块的接口处提供最小的 5 牛顿力。夹子被设计成允许将散热器固定到夹子中，然后组装到笼子并在模块插入期间稍微膨胀，以便保持模块和散热器之间的接触力。

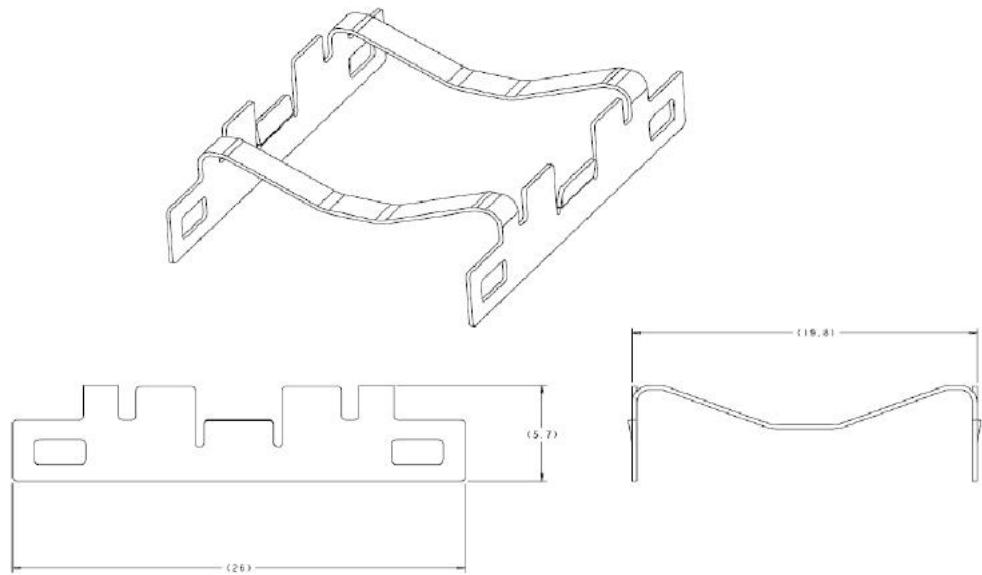
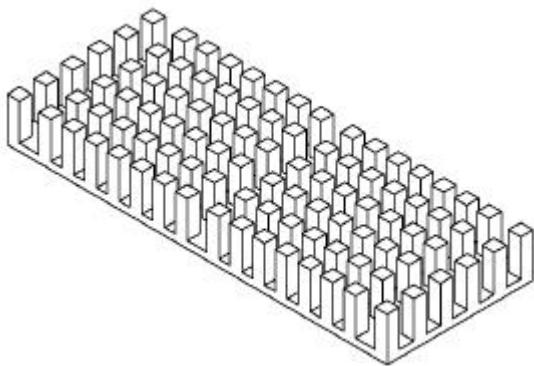


Figure 18 – QSFP+ Heat Sink Clip

5.8.2 QSFP +散热器尺寸

图 19 所示的散热器仅供参考。定义了确保散热片与散热片兼容的关键尺寸。翅片或支柱的构造与外部封套一起是特定的。散热器包括一个倾斜的边缘，当模块插入笼子组件中时，“斜起”模块的前缘。散热器的推荐材料是铝，模块接触表面的表面处理可以是阳极氧化或镀镍。



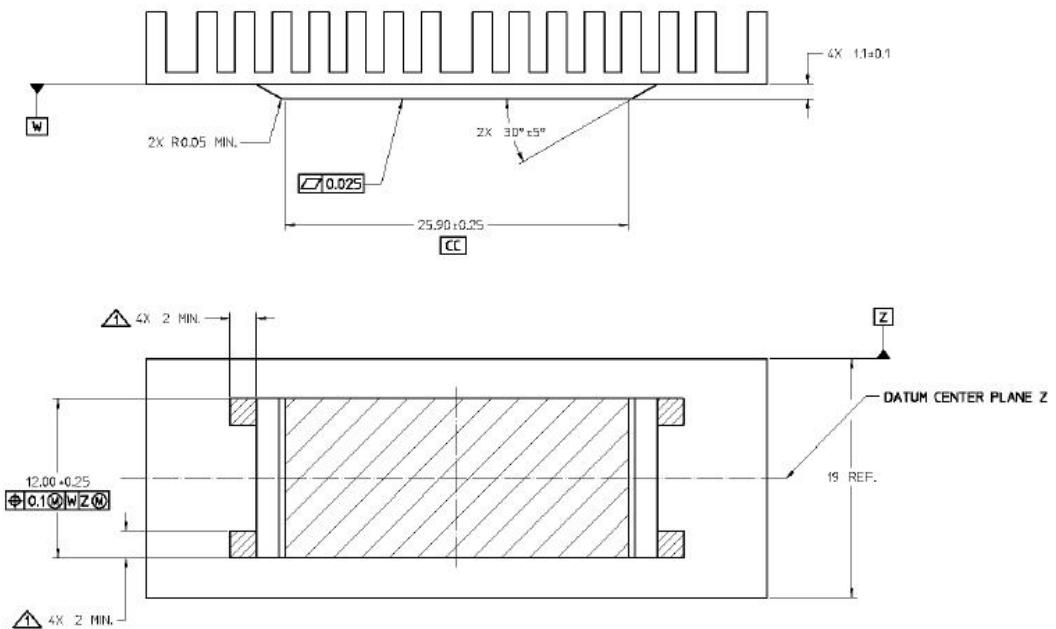


Figure 19 – QSFP+ Heat Sink

5.8.3 光管

使用光管来指示模块的状态是特定于应用的。

5.9 粉尘 / EMI

盖子为了防止内部组件的污染并优化 EMI 性能，建议在不存在模块时将灰尘/EMI 盖插入到机架组件中。有关推荐设计，请参见图 19。在安装过程中，盖子上的前凸缘应位于挡板前表面，以防灰尘进入设备。应选择材料的电导率用于防尘/EMI 盖以阻止 EMI 辐射。

DIMENSIONS APPLY IN ZONE A, REMAINING LENGTH MUST NOT EXCEED MAXIMUM OF SPECIFIED DIMENSIONS. SURFACES WITHIN ZONE A MUST BE CONDUCTIVE.

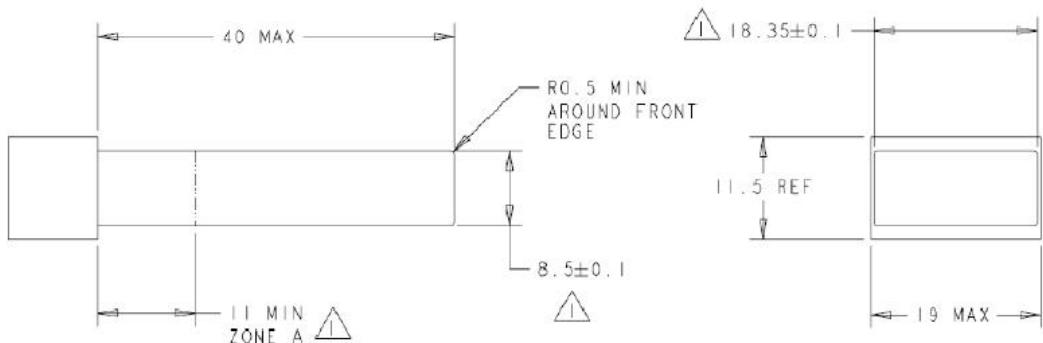


Figure 20 – Dust / EMI Cover

5.10 光接口

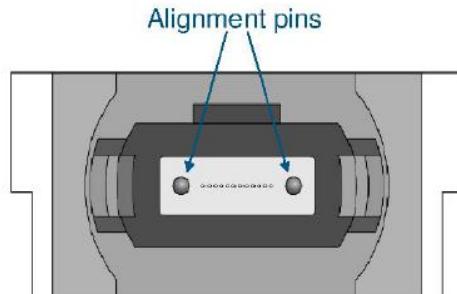
QSFP+ 光接口端口应为 IEC 61754-7（见图 21a）中规定的公型 MPO 连接器或 IEC 61754-20 规定的双 LC（见图 21b）。左侧的四个光纤位置如图 1 所示。如图 20a 所示，左侧的四个光纤位置与键盘一起用于光发送信号（通道 1 至 4）。右侧的光纤位置用于光接收信号（通道

4 至 1)。

中心四根光纤可以物理存在。

存在两个对准引脚。

The central four fibers may be physically present.
Two alignment pins are present.



Transmit Channels: 1 2 3 4
Unused positions: x x x x
Receive Channels: 4 3 2 1

Figure 21a – QSFP+ Optical Receptacle and Channel Orientation for MPO connector

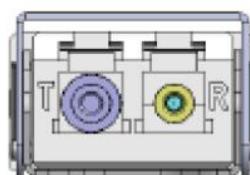


Figure 21b – QSFP+ Optical Receptacle and Channel Orientation for dual LC connector

MPO 光缆连接对齐键（类型 B）应使用 MPO 跳线来确保模块之间信号的对准。对齐的键跳线在 TIA-568 中定义，如图 21c 所示。光学连接器的定位使得 MPO 插座的键控特征位于顶部。

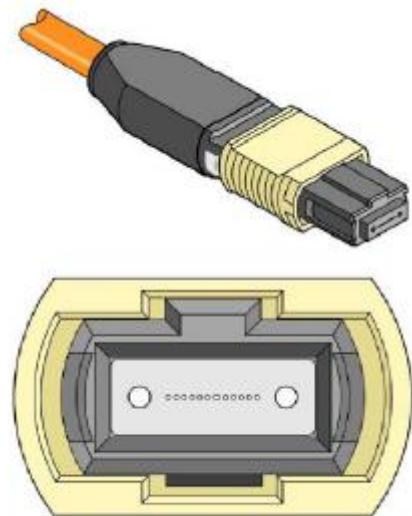


Figure 21c – QSFP+ MPO Optical patchcord

双 LC 光缆连接双 LC 光缆跳线在 TIA / EIA-604-10A 中定义，如图 21d 所示。

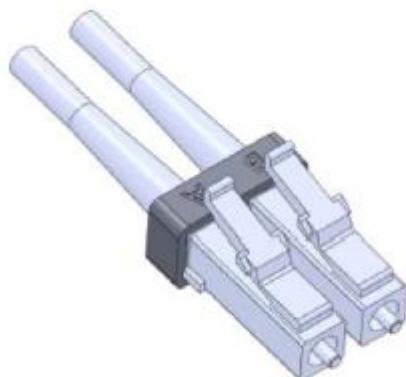


Figure 21d – QSFP+ dual LC Optical patchcord

6.环境和热能

6.1 热要求

QSFP +模块应在表 10 中定义的一个或多个外壳温度范围内工作。温度范围适用于海拔 60 米至海拔 1800 米（参考 NEBS GR-63），利用主机系统设计的气流。

Table 10 Temperature Range Class of operation

Class	Case Temperature Range
Standard	0 through 70C
Extended	-5 through 85C
Industrial	-40 through 85C

QSFP +被设计为允许多达 16 个相邻的模块，组合和/或腹部到腹部，具有适合的冷却/气流热设计。（参考 NEBS GR-63）

7 管理界面

7.1 介绍

为了使用户能够灵活地使用该模块，已经指定了像其他形式因素（如 GBIC，SFP 和 XFP）常用的管理接口。为了适应多通道模块，该规范已经改变。一些时序要求对于多通道设备尤为重要，因此接口速度得到了提高。这个 QSFP +规范是基于 INF8438 规范的，但它不是向后兼容的。地址 128 Page00 用于指示使用 QSFP +内存映射而不是 QSFP 内存映射。

7.2 时序规范

7.2.1 介绍

低速信号是基于以 Vcc 工作的低电压 CMOS（LVCMOS）。主机应在 2 线接口 SCL（时钟）和 SDA（数据）信号上使用连接到 Vcc_host 的上拉电阻。详细的电气规范在 4.1.2 节中给出。

所有超过 1 位长的寄存器的命名法是 MSB-LSB。

7.2.2 管理接口时序规范

为了支持多通道器件，考虑串行接口的较高时钟速率。时序要求如图 22 所示，并在表 11 中给出。QSFP +定位为利用 2 线定时（快速模式设备）来调整主机 ASIC 上相关内核的使用。本条款严格遵循 XFP MSA 规范。

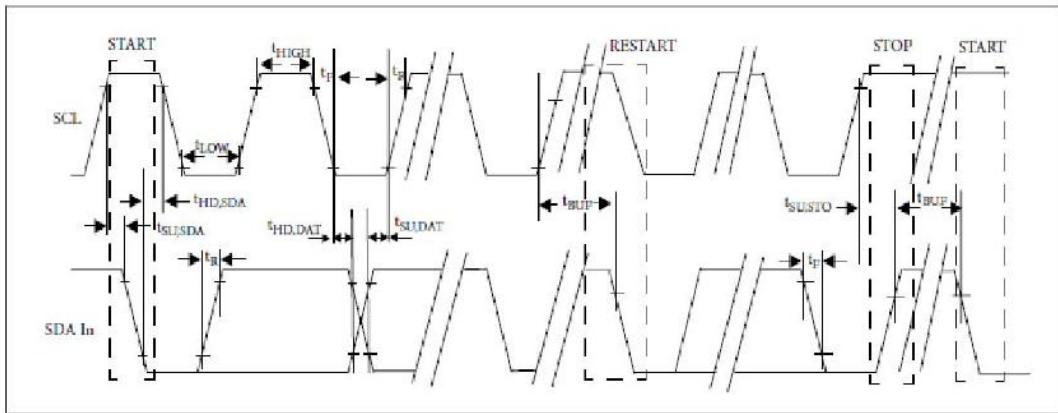


Figure 22 – QSFP+ Timing Diagram

在启动 2 线串行总线通信之前，主机应在 2 线总线上所有模块的 ModSelL 线上提供建立时间（Host_select_setup -Table 11）。在两线串行总线通信完成并且满足保持时间要求（Host_select_hold - 表 11）之前，主机不得更改任何模块的 ModSelL 线。QSFP+模块的 2 线串行接口地址为 1010000X (A0h)。为了允许访问同一个 2 线串行总线上的多个 QSFP+ 模块，QSFP+引脚分配包括一个 ModSelL 或模块选择引脚。该引脚（模块中拉高或取消选择）必须由主机保持低电平，以选择感兴趣的模块，并允许通过 2 线串行接口进行通信。除非选择该模块，否则该模块不得响应或接受 2 线串行总线指令。

7.2.3 串行接口协议

SCL 上的时钟延长由模块置为低电平。

7.2.3.1 管理时序参数

QSFP+模块的 2-Wire 接口的时序参数如表 11 所示。

Table 11- Management Interface timing parameters

Parameter	Symbol	Min	Max	Unit	Conditions
Clock Frequency	fsCL	0	400	kHz	
Clock Pulse Width Low	tLOW	1.3		us	
Clock Pulse Width High	tHIGH	0.6		us	
Time bus free before new transmission can start	tBUF	20		us	Between STOP and START and between ACK and ReStart
START Hold Time	tHD,STA	0.6		us	
START Set-up Time	tsU,STA	0.6		us	
Data In Hold Time	tHD,DAT	0		us	
Data in Set-up Time	tsU,DAT	0.1		us	
Input Rise Time (400kHz)	tR,400		300	ns	From (VIL,MAX-0.15) to (VIH, MIN +0.15)
Input Fall Time (400kHz)	tF,400		300	ns	From (VIH,MIN + 0.15) to (VIL,MAX - 0.15)
STOP Set-up Time	tsU,STO	0.6		us	
ModSelL Setup Time	Host_select_setup	2		ms	Setup time on the select lines before start of a host initiated serial bus sequence
ModSelL Hold Time	Host_select_hold	10		us	Delay from completion of a serial bus sequence to changes of Module select status
Aborted sequence - bus release	Deselect_Abort	2		ms	Delay from a host de-asserting ModSelL (at any point in a bus sequence) to the QSFP+ Module releasing SCL and SDA

7.3 存储器相互影响规格

表 13 给出了 QSFP+存储器合约时序。表 13 给出了单字节可写存储器块。表 14 中定义了多字节可写存储器块。

Table 12- QSFP+ Memory Specification

Parameter	Symbol	Min	Max	Unit	Conditions
Serial Interface Clock Holdoff "Clock Stretching"	T_clock_hold		500	us	Maximum time the QSFP+ Module may hold the SCL line low before continuing with a read or write operation
Complete Single or Sequential Write	tWR		40	ms	Complete (up to) 4 Byte Write
Endurance (Write Cycles)		50K		cycles	70 °C

Table 13- Single Byte Writable Memory Block

Page	Address	Volatile or Nonvolatile	Description
A0h	86	Volatile	Control register
A0h	87	Volatile	Rx Rate select register
A0h	88	Volatile	Tx Rate select register
A0h	127	Volatile	Page Select Byte

Table 14- Multiple Byte Writable Memory Block

Address	# Bytes	Volatile/NonVolatile	Description
89-92	4	Volatile	Application select per channel
100-106	7	Volatile	Module Mask
119-122	4	Volatile	Password Change Entry Area (Optional)
123-126	4	Volatile	Password Entry Area (Optional)
128-255	128	Non-Volatile	User Writable memory - Page 02h
225-241	16	Volatile	Vendor Specific Channel Controls- Page 03h
242-253	12	Volatile	Channel Monitor Masks - Page 03h

7.3.1 软控制和状态功能的时序

QSFP+软控制和状态功能的时序如表 15 所示。

Table 15- Timing for QSFP+ soft control and status functions

Parameter	Symbol	Max	Unit	Conditions
Initialization time	t_init	2000	ms	Time from power on ² , hot plug or rising edge of reset until the module is fully functional ³ . This time does not apply to non-Power level 0 modules in Low Power State
Reset Init Assert Time	t_reset_init	2	us	A Reset is generated by a low level longer than the minimum reset pulse time present on the <u>ResetL</u> pin
Serial Bus Hardware Ready Time	t_serial	2000	ms	Time from power on ² until module responds to data transmission over the 2-wire serial bus
Monitor Data Ready Time	t_data	2000	ms	Time from power on ² to data not ready, bit 0 of Byte 2, deasserted and IntL asserted
Reset Assert Time	t_reset	2000	ms	Time from rising edge on the <u>ResetL</u> pin until the module is fully functional ³
LPMode Assert Time	ton_LPMode	100	us	Time for assertion of LPMode (Vin: LPMode=Vih) until module power consumption reaches Power Level 1.
LPMode Deassert Time	toff_LPMode	300	ms	Time for deassertion of LPMode (Vin: LPMode=Vil) until module is fully functional ^{3,5}
IntL Assert Time	ton_IntL	200	ms	Time from occurrence of condition triggering IntL until Vout:IntL=Vol
IntL Deassert Time	toff_IntL	500	us	Time from clear on read ⁴ operation of associated flag until Vout:IntL=Voh. This includes deassert times for Rx LOS, Tx Fault and other flag bits.
Rx LOS Assert Time	ton_los	100	ms	Time from Rx LOS state to Rx LOS bit set (value = 1b) and IntL asserted.
Tx Fault Assert Time	ton_Txfault	200	ms	Time from Tx Fault state to Tx Fault bit set (value=1b) and IntL asserted.
Flag Assert Time	ton_flag	200	ms	Time from occurrence of condition triggering flag to associated flag bit set (value=1b) and IntL asserted.
Mask Assert Time	ton_mask	100	ms	Time from mask bit set (value=1b) ¹ until associated IntL assertion is inhibited
Mask Deassert Time	toff_mask	100	ms	Time from mask bit cleared (value=0b) ¹ until associated IntL operation resumes
Application or Rate Select Change Time	t_ratesel	100	ms	Time from change of state of Application or Rate Select bit ¹ until transmitter or receiver bandwidth is in conformance with appropriate specification
Power_override or Power_set Assert Time	ton_Pdown	100	ms	Time from P_Down bit set (value = 1b) ¹ until module power consumption reaches Power Level 1
Power_override or Power_set Deassert Time	toff_Pdown	300	ms	Time from P_Down bit cleared (value = 0b) ¹ until the module is fully functional ³
Note 1. Measured from falling clock edge after stop bit of write transaction				
Note 2. Power on is defined as the instant when supply voltages reach and remain at or above the minimum level specified in Table 6				
Note 3. Fully functional is defined as IntL asserted due to data not ready bit, bit 0 byte 2, deasserted. The module should also meet optical and electrical specifications.				
Note 4. Measured from falling clock edge after stop bit of read transaction				
Note 5. Does not apply to power level 1 modules				

静噪和禁用时序在表 16 中定义。

Table 16 - I/O Timing for Squelch & Disable

Parameter	Symbol	Max	Unit	Conditions
Rx Squelch Assert Time	ton_Rxsq	80	us	Time from loss of Rx input signal until the squelched output condition is reached. See Subclause 4.1.3.1.
Rx Squelch Deassert Time	toff_Rxsq	80	us	Time from resumption of Rx input signals until normal Rx output condition is reached. See subclause 4.1.3.1.
Tx Squelch Assert Time	ton_Txsq	400	ms	Time from loss of Tx input signal until the squelched output condition is reached. See subclause 4.1.3.2.
Tx Squelch Deassert Time	toff_Txsq	400	ms	Time from resumption of Tx input signals until normal Tx output condition is reached. See subclause 4.1.3.2.
Tx Disable Assert Time	ton_txdis	100	ms	Time from Tx Disable bit set (value = 1b) ¹ until optical output falls below 10% of nominal
Tx Disable Deassert Time	toff_txdis	400	ms	Time from Tx Disable bit cleared (value = 0b) ¹ until optical output rises above 90% of nominal
Rx Output Disable Assert Time	ton_rxdis	100	ms	Time from Rx Output Disable bit set (value = 1b) ¹ until Rx output falls below 10% of nominal
Rx Output Disable Deassert Time	toff_rxdis	100	ms	Time from Rx Output Disable bit cleared (value = 0b) ¹ until Rx output rises above 90% of nominal
Squelch Disable Assert Time	ton_sqdis	100	ms	This applies to Rx and Tx Squelch and is the time from bit set (value = 0b) ¹ until squelch functionality is disabled.
Squelch Disable Deassert Time	toff_sqdis	100	ms	This applies to Rx and Tx Squelch and is the time from bit cleared (value = 0b) ¹ until squelch functionality is enabled

Note 1: Measured from falling clock edge after stop bit of write transaction

7.4 设备寻址和操作

串行时钟 (SCL)：SCL 由主机向 QSFP+ 模块提供，正边沿时钟是数据进入每个 QSFP+ 器件，负边沿时钟是数据输出每个器件。在时钟延长时间，SCL 线可能被 QSFP+ 模块拉低。

串行数据 (SDA)：SDA 引脚是双向串行数据传输。该引脚为漏极开路或集电极开路，可与任何数量的漏极开路或集电极开路器件进行导线连接。

主站/从站：QSFP+ 模块仅作为从站设备运行。主机必须提供 SCL 总线，并启动所有读/写通信。

设备地址：每个 QSFP+ 在设备地址 A0h 进行硬连线。每个模块内存结构见 7.6 节。

每个 SCL / SDA 的多个器件：QSFP+ 模块与点对点 SCL / SDA 兼容时，可以使用 QSFP+ ModSelL 线共享一个 SCL / SDA 总线。有关更多信息，请参见 4.1.1.1, 4.1.2 和表 3。

时钟和数据转换：SDA 引脚通常用外部器件拉高。SDA 引脚上的数据只能在 SCL 低电平时间段内更改。SCL 高电平期间的数据更改表示 START 或 STOP 条件。所有地址和数据字以 8 位字串行发送到 QSFP+。

SDA 线上的每个字节必须为 8 位长。首先用最高有效位 (MSB) 传输数据。START 条件：SCL 为高电平时，SDA 由高电平到低电平转换为 START 条件，必须先于任何其他命令。

STOP 条件：SCL 为高电平时，SDA 由低电平到高电平转换为 STOP 条件。

确认：在发送每个 8 位字之后，发射机释放 SDA 线一段时间，在此期间允许接收机将 SDA 拉低（零）以确认 (ACK) 已接收到每个字。由主机发起的设备地址字节和写入数据字节应由 QSFP+ 模块确认。由 QSFP+ 模块发送的读取数据字节应由主机确认，除了最终字节读取之外，此时主机应以 STOP 而不是 ACK 进行响应。

存储器（管理接口）复位：协议中断后，掉电或系统复位，QSFP+ 管理接口可以复位。存储器复位仅用于复位 QSFP+ 模块管理接口（更正挂起总线）。没有其他模块功能被暗示。

1) 时钟最多 9 个周期。

2) SCL 为高电平时，在每个周期内寻找 SDA 高电平。

3) 在 SDA 为高电平时创建 START 条件

器件寻址：QSFP+ 器件在启动条件之后需要 8 位器件地址字来使能读或写操作。器件地址字由图 23 中前 7 个最高有效位的强制序列组成。这对于所有 QSFP+ 器件都是通用的。

1	0	1	0	0	0	0	R/W
MSB							LSB

Figure 23 - QSFP+ Device Address

器件地址的第 8 位是读/写操作选择位。如果该位置为高电平，则启动读操作，如果该位置低，则启动写操作。通过比较器件地址（ModSelL 处于低电平状态），QSFP+ 模块将在 SDA 线上输出一个零（ACK）来确认地址。

7.5 读/写功能

7.5.1 QSFP+ 存储器地址计数器（读和写操作）

QSFP+ 设备维护一个内部数据字地址计数器，其中包含在最近读或写操作期间访问的最后一个地址，增加 1。每当模块接收或发送数据字时，地址计数器递增。只要维护 QSFP+ 电源，该地址在操作之间保持有效。读写操作中的地址“翻转”是从 128 字节存储器页面的最后一个字节到同一页面的第一个字节。

7.5.2 读操作

7.5.2.1 当前地址读取

当前地址读取操作仅需要发射机件地址读取字（10100001），参见图 24。

<-- QSFP+ ADDRESS --->																	
H	S	M						L	R							N	S
O	T	S						S	E							A	T
S	A	S						B	A							C	O
T	R	B						D								K	P
		1	0	1	0	0	0	0	1	0	x	x	x	x	x	1	
Q								A	M							L	
S								C	S							S	
F								K	B							B	
P								<---- DATA WORD ----->									
+																	

Figure 24 - QSFP+ Current Address Read Operation

一旦 QSFP+ 确认，当前地址数据字被串行输出。主机不响应确认，但一旦读取数据字，就会产生 STOP 条件。

7.5.2.2 随机读取

随机读取操作需要一个“虚拟”写入操作来加载目标字节地址，如图 25 所示。这通过以下顺序完成。

<- QSFP+ ADDRESS ->										<- MEMORY ADDRESS ->									
H	S	M					L	W	M					L					
O	T	S	A	R	T		S	R	S					S					
								S	R					S					
1	0	1	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0		
Q	S	F	P	+ +					A									A	C K
									C									C	K
Begin Figure 25																			

<- QSFP+ ADDRESS ->										<- DATA WORD n->									
H	S	M					L	R						N	S				
O	T	S	A	R	T		S	E	A					A	C	T	O	P	
								S	E					A	M				
1	0	1	0	0	0	0	0	1	0	x	x	x	x	x	x	x	x	1	
Q	S	F	P	+ +					C									L	S B
									K										
<- DATA WORD n->																			

Figure 25 – QSFP+ Random Read

Figure 25 End

目标 8 位数据字地址按照器件地址写入字 (10100000) 发送并由 QSFP+ 进行确认。然后，主机产生另一个 START 条件（中止虚拟写入而不递增计数器）和通过发送设备读取地址 (10100001) 读取的当前地址。QSFP+ 确认设备地址并对所请求的数据字进行串行计时。主机不响应确认，但一旦读取数据字，就会产生 STOP 条件。

7.5.2.3 顺序读取

顺序读取由当前地址读取如图 26 或随机地址读取如图 27 后初始化。要指定顺序读取，主机在每个数据字之后响应一个确认（而不是一个 STOP）。只要 QSFP+ 收到一个确认信号，它将按时钟顺序排列串行的数据字。当主机以 NACK 和 STOP 而不是确认响应时，该序列终止。

<- QSFP+ ADDRESS ->										<- DATA WORD n->									
H	S	M					L	R						A					
O	T	S	A	R	T		S	E	A					C					
								S	E										
1	0	1	0	0	0	0	0	1	0	x	x	x	x	x	x	x	0		
Q	S	F	P	+ +					C								L	S B	
									K										
<- DATA WORD n->																			

Begin Figure 26

<- QSFP+ ADDRESS ->										<- DATA WORD n+1->									
														A					
														C					
x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	1	
M	S	B									L			M				L	S B
<- DATA WORD n+1->										<- DATA WORD n+x->									

Figure 26 End

Figure 26 – Sequential Address Read Starting at QSFP+ Current Address

7.5.2.4 Sequential Read from Random Start Address

		<- QSFP+ ADDRESS ->										<- MEMORY ADDRESS ->											
H	S	M					L	W	R	I	S	B	M	S						L	S	B	
O	T	S	A	S	B																		
S	T	R	T																				

Begin Figure 27

		<- QSFP+ ADDRESS ->																						
S	T	M						L	S	R	E	A	D											
Q	S	F	P	P	+																			
S	T	A	R	T																				

Figure 27 Middle

S	T	M						L	S	R	E	A	D												
Q	S	F	P	P	+																				
S	T	A	R	T																					

Figure 27 End

Figure 27 – Sequential Address Read Starting with Random QSFP+ Read

7.5.3 写操作

7.5.3.1 字节写入

写操作需要设备地址写入字（10100000）后的 8 位数据字地址和确认，请参见图 28。在接收到这个地址后，QSFP+将再次响应一个零（ACK）来确认，然后在第一个 8 位数据字中进行时钟。在接收到 8 位数据字之后，QSFP+将输出零（ACK），并且主机必须以写入周期开始的 STOP 条件终止写入序列。如果发送 START 条件代替 STOP 条件（即按照 2 线接口规范重复 START），则中止写入，并且丢弃在该操作期间接收到的数据。在收到正确的 STOP 条件后，QSFP+将内部定时写入周期 tWR 输入到内部存储器。在写入周期期间，QSFP+禁止其管理接口输入，并且在写入完成之前不会响应或确认后续命令。请注意，QSFP+写命令不支持使用重复启动条件的 2 线接口“组合格式”。

7.5.3.2 顺序写入

QSFP+将支持最多 4 个连续的字节写入，而不会重复发送 QSFP+地址和存储器地址信息，如图 29 所示。

	<- QSFP+ ADDRESS ->								<- MEMORY ADDRESS ->							
H O S T R T	S T A R T	M S B				L S B	W R I T E	M S B						L S B		
		1	0	1	0	0	0	0	x	x	x	x	x	x	x	0
Q S F P +								A C K								A C K

Begin Figure 29

								A C K								A C K
x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	0
M							L S B	M S B							L S B	
<-- DATA WORD 1 -->								<-- DATA WORD 2 -->								

Figure 29 Middle

																S T O P
x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	0	
M							L S B	M S B							L S B	A C K
<-- DATA WORD 3 -->								<-- DATA WORD 4 -->								

Figure 29 End

Figure 29 - QSFP+ Sequential Write Operation

“顺序”写入以与单字节写入相同的方式启动，但主机在第一个字被计时后不发送停止条件，而是在 QSFP+ 确认接收到第一个数据字之后，主机可以传输多达三个数据字。QSFP+ 应在收到每个数据字后发送一个确认。主机必须以停止条件终止顺序写入序列，否则写操作将中止并丢弃数据。请注意，QSFP+ 写命令不支持使用重复启动条件的 2 线接口“组合格式”。

7.5.3.3 确认轮询

一旦 QSFP+ 内部定时写周期已经开始（总线上忽略输入），则可以使用确认轮询来确定写操作何时完成。这涉及发送 START 条件，后跟设备地址字。只有内部写周期完成，QSFP+ 才能响应后续命令的确认，指示读或写操作可以继续。

7.6 QSFP+ 内存映射

本条款定义了用于 QSFP+ 模块的存储器映射，用于串行 ID，数字监控和某些控制功能。该接口对于所有 QSFP+ 设备是强制性的。该界面已经在 INF-8077i Rev.4.0 中定义的 XFP MSA 之后进行了大量设计。存储器映射已被更改，以容纳 4 个光通道并限制所需的存储空间。单一地址方法用于 XFP 中。分页用于启用主机和模块之间的时间关键交互。存储器的结构如图 30 所示。存储器空间被布置成 128 字节的低单页地址空间和多个高地址空间页。这种结构允许及时访问下页中的地址，例如中断标志和监视器。较少的时间关键条目，例如串行 ID 信息和阈值设置可用于页面选择功能。该结构还通过根据需要添加额外的页面来提供地址扩展。例如，在图 30 中，上页 01 和 02 是可选的。上页 01 允许应用程序选择表的实现，上页 02 提供用户的读/写空间。总是执行下页和上页 00。如果页面 2 中的第 2 位低，则页面 03

是必需的。关于可选上页 01 和 02 的声明的详细信息,请参见表 39 所使用的接口地址是 A0xh,主要用于诸如中断处理的时间关键数据,以便对与所有数据相关的所有数据进行“一次读取”中断情况。中断后, IntL 被断言, 主机可以读出标志字段来确定影响的通道和类型的标志。

为了允许在同一个 2 线串行接口上访问多个 QSFP +模块, QSFP +引脚包括一个 ModSelL 引脚,允许主机选择相应的模块进行交互。有关 ModSelL 和 4.1.2 的详细信息, 请参见 4.1.1.1 的 2-Wire 串行接口。

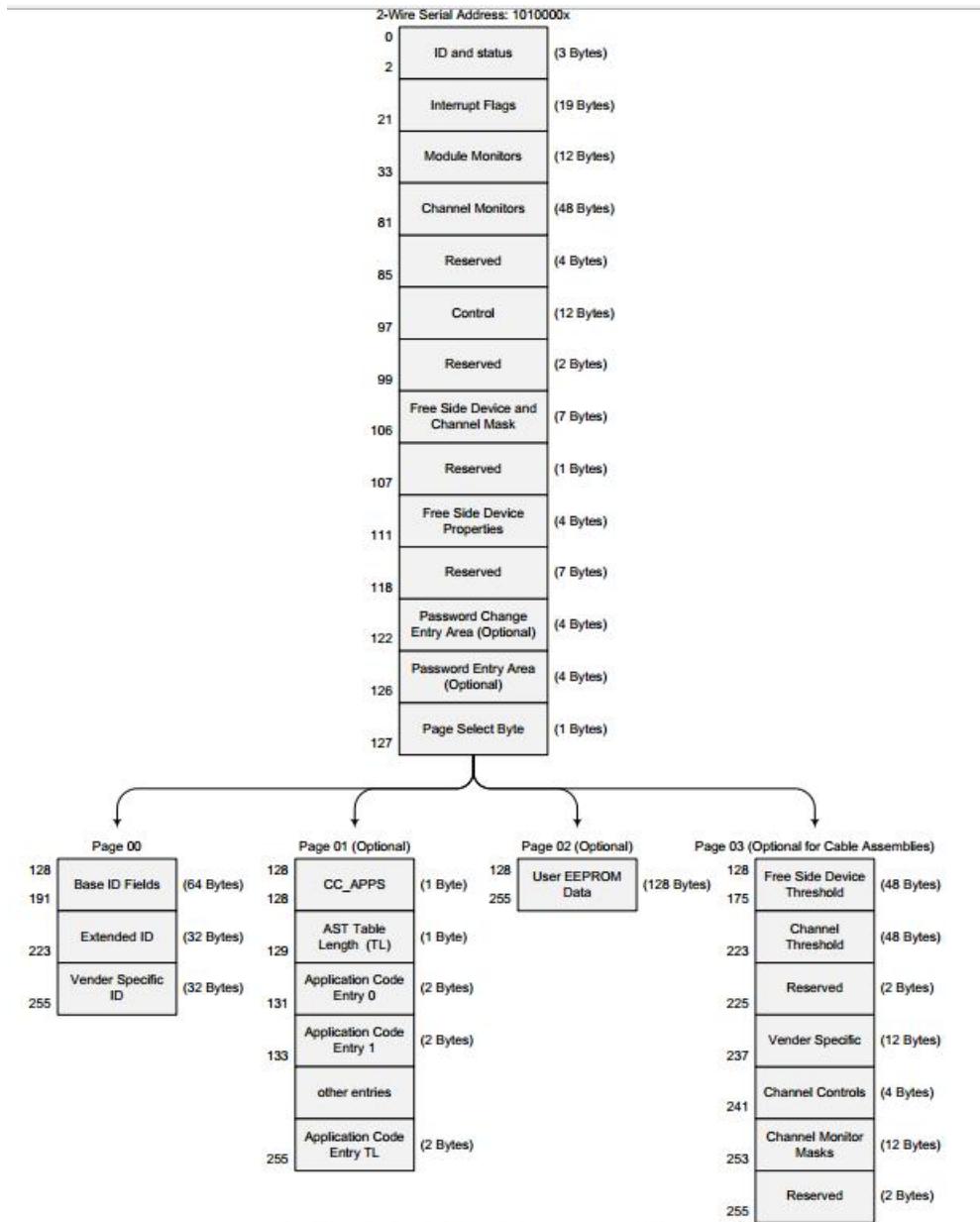


Figure 30 – QSFP+ Memory Map

注意: 保留的存储器位置将在保留字节的所有位位置中填充逻辑零, 并在本节中描述的部分指定字节位置的保留位位置中填充。未使用的可选位 (O) 将填充逻辑 0。不适用的位 (NA) 应填充逻辑 0。对于适当的电缆类型, 每个表格中显示了可选 (O), 必需 (R) 和不适用 (NA) 寄存器的指示。

7.6.1 低内存映射

2 线串行总线地址空间的低 128 字节见表 17, 用于访问各种测量和诊断功能, 一组控制功能,

以及选择各种上位存储器映射页面中的哪一个的方法在随后的读取中访问。地址空间的这一部分总是可直接寻址，因此被选择用于可能需要重复访问的监视和控制功能。标识符字段的定义与第 00h 页的地址字节 128 相同。

Table 17 – Lower Memory Map (A0h)

Address	Description	Type	Passive Copper, Active Copper, Active Optical	Optical Module
0	Identifier (1 Byte)	Read-Only	R	R
1-2	Status (2 Bytes)	Read-Only	See Table 18	
3-21	Interrupt Flags (19 Bytes)	Read-Only	See Tables 19-21	
22-33	Module Monitors (12 Bytes)	Read-Only	See Table 22	
34-81	Channel Monitors (48 Bytes)	Read-Only	See Table 23	
82-85	Reserved (4 Bytes)	Read-Only	Reserved	
86-97	Control (12 Bytes)	Read/Write	See Table 24	
98-99	Reserved (2 Bytes)	Read/Write	Reserved	
100-106	Module and Channel Masks (7 Bytes)	Read/Write	See Table 25	
107-118	Reserved (12 Bytes)	Read/Write	Reserved	
119-122	Password Change Entry Area (optional) (4 Bytes)	Read/Write	O	O
123-126	Password Entry Area (optional) 4 Bytes	Read/Write	O	O
127	Page Select Byte	Read/Write	R	R

7.6.1.1 状态指示位

状态指标在表 18 中定义

Table 18 – Status Indicators (Page A0)

Address	Bit	Name	Description	Passive copper, Active Copper, Active Optical	Optical Module
1	All	Reserved			
2	7	Reserved			
	6	Reserved			
	5	Reserved			
	4	Reserved			
	3	Reserved			
	2	Flat_mem	Upper memory flat or paged. Flat memory: 0= paging, 1= page 0 only	R	R
	1	IntL	Digital state of the IntL Interrupt output pin	O	R
	0	Data_Not_Ready	Indicates Module has not yet achieved power up and memory data is not ready. Bit remains high until data is ready to be read at which time the device sets the bit low.	R	R

在模块上电期间和在有效的监视器读数之前，Data_Not_Ready 位为高电平。一旦所有监视器读数有效，该位将置低，直到器件掉电。如果存储器内容是静态的，则该位可以始终为低。

7.6.1.2 中断标志

存储器映射的一部分（字节 3 到 21）形成一个标志字段。在此领域内，报告了 LOS 和 Tx 故障的状态以及各种监控项目的警报和警告。对于正常操作和默认状态，该字段中的位为 0b。对于 LOS, Tx 故障，模块和通道报警和警告的定义条件，相应位或位置 1，值= 1b。一旦置位，这些位保持置位（锁存），直到由包含受影响位的读操作清零，或由 ResetL 引脚复位。在底层故障仍然存在时清除的故障位可能会被模块立即重新设置。这可能或可能不会导致 IntL 断言，然后快速重新声明。主机应该容忍这两种行为。通道状态中断标志在表 19 中定义。这些标志可能被屏蔽。（见 7.6.1.6）

Table 19 – Channel Status Interrupt Flags (Page A0)

Address	Bit	Name	Description	Passive copper, Active Copper, Active Optical	Optical Module
3	7	L-Tx4 LOS	Latched TX LOS indicator, channel 4	0	0
	6	L-Tx3 LOS	Latched TX LOS indicator, channel 3	0	0
	5	L-Tx2 LOS	Latched TX LOS indicator, channel 2	0	0
	4	L-Tx1 LOS	Latched TX LOS indicator, channel 1	0	0
	3	L-Rx4 LOS	Latched RX LOS indicator, channel 4	0	0
	2	L-Rx3 LOS	Latched RX LOS indicator, channel 3	0	0
	1	L-Rx2 LOS	Latched RX LOS indicator, channel 2	0	0
	0	L-Rx1 LOS	Latched RX LOS indicator, channel 1	0	0
4	7-4	Reserved			
	3	L-Tx4 Fault	Latched TX fault indicator, channel 4	0	R
	2	L-Tx3 Fault	Latched TX fault indicator, channel 3	0	R
	1	L-Tx2 Fault	Latched TX fault indicator, channel 2	0	R
	0	L-Tx1 Fault	Latched TX fault indicator, channel 1	0	R
5	All	Reserved			

模块监视器中断标志在表 20 中定义。

Table 20 – Module Monitor Interrupt Flags (Page A0)

Address	Bit	Name	Description	Passive copper, Active Copper, Active Optical	Optical Module
6	7	L-Temp High Alarm	Latched high temperature alarm	0	R
	6	L-Temp Low Alarm	Latched low temperature alarm	0	0
	5	L-Temp High Warning	Latched high temperature warning	0	0
	4	L-Temp Low Warning	Latched low temperature warning	0	0
	3-1	Reserved			
	0	Initialization complete flag	Asserted (one) after initialization and/or reset has completed. Returns to Zero when read.	0	0
7	7	L-Vcc High Alarm	Latched high supply voltage alarm	0	0
	6	L-Vcc Low Alarm	Latched low supply voltage alarm	0	0
	5	L-Vcc High Warning	Latched high supply voltage warning	0	0
	4	L-Vcc Low Warning	Latched low supply voltage warning	0	0
	3-0	Reserved			
8	All		Vendor Specific		

通道监视器中断标志在表 21 中定义。

Table 21 – Channel Monitor Interrupt Flags (Page A0)

Address	Bit	Name	Description	Passive copper, Active Copper, Active Optical	Optical Module
9	7	L-Rx1 Power High Alarm	Latched high RX power alarm, channel 1	0	0
	6	L-Rx1 Power Low Alarm	Latched low RX power alarm, channel 1	0	0
	5	L-Rx1 Power High Warning	Latched high RX power warning, channel 1	0	0
	4	L-Rx1 Power Low Warning	Latched low RX power warning, channel 1	0	0
	3	L-Rx2 Power High Alarm	Latched high RX power alarm, channel 2	0	0
	2	L-Rx2 Power Low Alarm	Latched low RX power alarm, channel 2	0	0
	1	L-Rx2 Power High Warning	Latched high RX power warning, channel 2	0	0
	0	L-Rx2 Power Low Warning	Latched low RX power warning, channel 2	0	0

10	7	L-Rx3 Power High Alarm	Latched high RX power alarm, channel 3	0	0
	6	L-Rx3 Power Low Alarm	Latched low RX power alarm, channel 3	0	0
	5	L-Rx3 Power High Warning	Latched high RX power warning, channel 3	0	0
	4	L-Rx3 Power Low Warning	Latched low RX power warning, channel 3	0	0
	3	L-Rx4 Power High Alarm	Latched high RX power alarm, channel 4	0	0
	2	L-Rx4 Power low Alarm	Latched low RX power alarm, channel 4	0	0
	1	L-Rx4 Power high Warning	Latched high RX power warning, channel 4	0	0
	0	L-Rx4 Power low warning	Latched low RX power warning, channel 4	0	0
11	7	L-Tx1 Bias High Alarm	Latched high TX bias alarm, channel 1	0	0
	6	L-Tx1 Bias Low Alarm	Latched low TX bias alarm, channel 1	0	0
	5	L-Tx1 Bias high Warning	Latched high TX bias warning, channel 1	0	0
	4	L-Tx1 Bias Low Warning	Latched low TX bias warning, channel 1	0	0
	3	L-Tx2 Bias High Alarm	Latched high TX bias alarm, channel 2	0	0
	2	L-Tx2 Bias Low Alarm	Latched low TX bias alarm, channel 2	0	0
	1	L-Tx2 Bias High Warning	Latched High TX bias warning, channel 2	0	0
	0	L-Tx2 Bias Low Warning	Latched low TX bias warning, channel 2	0	0
12	7	L-Tx3 Bias High Alarm	Latched high TX bias alarm, channel 3	0	0
	6	L-Tx3 Bias Low Alarm	Latched low TX bias alarm, channel 3	0	0
	5	L-Tx3 Bias High Warning	Latched high TX bias warning, channel 3	0	0
	4	L-Tx3 Bias Low Warning	Latched low TX bias warning, channel 3	0	0
	3	L-Tx4 Bias High Alarm	Latched high TX bias alarm, channel 4	0	0
	2	L-Tx4 Bias Low Alarm	Latched low TX bias alarm, Channel 4	0	0
	1	L-Tx4 Bias High Warning	Latched high TX bias warning, channel 4	0	0
	0	L-Tx4 Bias Low Warning	Latched low TX bias warning, channel 4	0	0
13-14	All	Reserved	Reserved channel monitor flags, set 3		
15-16	All	Reserved	Reserved channel monitor flags, set 4		
17-18	All	Reserved	Reserved channel monitor flags, set 5		
19-21	All	Vendor Specific			

7.6.1.3 模块监视器

QSFP+模块的实时监控包括模块温度，模块电源电压以及每个发送和接收通道的监控。通道监视功能在 7.6.1.4 节中描述。在 16 位数据字段中报告测量参数，即两个级联字节。这些显

示在表 22 中。16 位数据字段允许宽动态范围。这并不意味着建议或要求使用 16 位 A / D 系统，以达到下述准确性目标。数据字段的宽度不应该被视为暗示给定的精度级别。可以想到，这里的精确度目标可以通过具有小于 16 位分辨率的系统来实现。建议将超出系统指定精度的任何低位数据位固定为零。整体系统的准确性和精度将取决于供应商。为了保证诊断监视数据的一致性，主机需要通过 2 线串行接口使用单个双字节读取序列从诊断监视数据结构中检索任何多字节字段。该模块需要确保使用诊断监视数据更新的任何多字节字段必须以保证数据的一致性和一致性的方法完成此更新。换句话说，模块的多字节字段的更新不能发生，从而将部分更新的多字节字段传输到主机。此外，在将多字节字段传输到主机期间，模块不应更新结构内的多字节字段，导致将部分更新的数据传输到主机。以下规定的精度要求适用于相关标准规定的运行信号范围。应详细了解制造商的规格，以了解满足精度要求的条件。测量根据供应商指定的工作温度和电压进行校准，并应解释如下。应以与实时 16 位数据相同的方式解释报警和警告阈值。内部测量的模块温度以 1/256 摄氏度的增量表示为 16 位带符号的二进制补码，产生的总范围为 -128C 至 +128C，被认为在 -40 和 +125C 之间有效。温度精度是供应商特定的，但在指定的工作温度和电压下必须要高于 ±3 摄氏度。有关温度传感器位置的详细信息，请参见供应商规范。内部测量模块电源电压表示为 16 位无符号整数，其电压定义为 LSB 等于 100 uVolt 的完整 16 位值（0 - 65535），总测量范围为 0 至 +6.5V。模块制造商定义的实际考虑将倾向于限制电源电压测量的实际范围。精度是供应商特定的，但必须在制造商指定工作温度和电压下的额定值的 ±3% 以内。

Table 22 – Module Monitoring Values (Page A0)

Address	Bit	Name	Description	Passive copper, Active Copper, Active Optical	Optical Module
22	All	Temperature MSB	Internally measured module temperature	O	R
23	All	Temperature LSB		O	R
24-25	All	Reserved			
26	All	Supply Voltage MSB	Internally measured module supply voltage	O	O
27	All	Supply Voltage LSB		O	O
28-29	All	Reserved			
30-33	All	Vendor Specific			

7.6.1.4 通道监控

实时通道监控用于每个发送和接收通道，并包括光输入功率和 Tx 偏置电流。模块监控功能在 7.6.1.3 节中描述。测量根据供应商指定的工作温度和电压进行校准，并应解释如下。应以与实时 16 位数据相同的方式解释报警和警告阈值。表 23 定义了通道监控。测量的 TX 偏置电流为 mA，表示为 16 位无符号整数，其电流定义为 LSB 等于 2 uA 的完整 16 位值（0 - 65535），总测量范围为 0 至 131 mA。精度是供应商特定的，但必须在制造商指定工作温度和电压下的额定值的 ±10% 以内。测量的 RX 接收光功率为 mW，并且可以表示平均接收功率或 OMA，具体取决于字节 220（高存储器页面 00h）的位 3 设置。表示为 16 位无符号整数，功率定义为 LSB 等于 0.1 uW 的完整 16 位值（0 - 65535），产生 0 至 6.5535 mW（~-40 至 +8.2 dBm）的总测量范围。绝对精度取决于精确的光波长。对于供应商指定的波长，在制造商指定工作温度和电压下，精度应优于 ±3 dB。对于每个合适标准的最大传输或最大接收

光功率的较小值的输入功率电平，应保持该精度。应按照适当的标准将其维持到最小传输功率减去电缆厂的损耗（插入损耗或被动损耗）。绝对精度超过此最小值所需的接收输入光功率范围是供应商特定的。

Table 23 – Channel Monitoring Values (Page A0)

Address	Bit	Name	Description	Passive copper, Active Copper, Active Optical	Optical Module
34	All	Rx1 Power MSB	Internally measured RX input power, channel 1	0	0
35	All	Rx1 Power LSB		0	0
36	All	Rx2 Power MSB	Internally measured RX input power, channel 2	0	0
37	All	Rx2 Power LSB		0	0
38	All	Rx3 Power MSB	Internally measured RX input power, channel 3	0	0
39	All	Rx3 Power LSB		0	0
40	All	Rx4 Power MSB	Internally measured RX input power, channel 4	0	0
41	All	Rx4 Power LSB		0	0
42	All	Tx1 Bias MSB	Internally measured TX bias, channel 1	0	0
43	All	Tx1 Bias LSB		0	0
44	All	Tx2 Bias MSB	Internally measured TX bias, channel 2	0	0
45	All	Tx2 Bias LSB		0	0
46	All	Tx3 Bias MSB	Internally measured TX bias, channel 3	0	0
47	All	Tx3 Bias LSB		0	0
48	All	Tx4 Bias MSB	Internally measured TX bias, channel 4	0	0
49	All	Tx4 Bias LSB		0	0
50-57		Reserved channel monitor set 3			
58-65		Reserved channel monitor set 4			
66-81		Vendor Specific			

7.6.1.5 控制字节

控制字节在表 24 中定义。这些字节是由主机写的。

Table 24 – Control Bytes (Page A0)

Address	Bit	Name	Description	Passive Copper, Active Copper, Active Optical	Optical Module
86	7-4	Reserved			
	3	Tx4_Disable	Read/Write bit that allows software disable of transmitters ¹	0	R
	2	Tx3_Disable	Read/Write bit that allows software disable of transmitters ¹	0	R
	1	Tx2_Disable	Read/Write bit that allows software disable of transmitters ¹	0	R
	0	Tx1_Disable	Read/Write bit that allows software disable of transmitters ¹	0	R
87	7/6	Rx4_Rate_select	Software rate select. Rx Channel 4 MSB/LSB	0	O
	5/4	Rx3_Rate_select	Software rate select. Rx Channel 3 MSB/LSB	0	O
	3/2	Rx2_Rate_select	Software rate select. Rx Channel 2 MSB/LSB	0	O
	1/0	Rx1_Rate_select	Software rate select. Rx Channel 1 MSB/LSB	0	O
88	7/6	Tx4_Rate_select	Software rate select. Tx Channel 4 MSB/LSB	0	O
	5/4	Tx3_Rate_select	Software rate select. Tx Channel 3 MSB/LSB	0	O
	3/2	Tx2_Rate_select	Software rate select. Tx Channel 2 MSB/LSB	0	O
	1/0	Tx1_Rate_select	Software rate select. Tx Channel 1 MSB/LSB	0	O
89	All	Rx4_Application_Select	Software Application Select per SFF-8078, Rx Channel 4	0	O
90	All	Rx3_Application_Select	Software Application Select per SFF-8078, Rx Channel 3	0	O
91	All	Rx2_Application_Select	Software Application Select per SFF-8078, Rx Channel 2	0	O
92	All	Rx1_Application_Select	Software Application Select per SFF-8078, Rx Channel 1	0	O
93	2-7	Reserved			
93	1	Power_set	Power set to Low Power Mode Default 0	R	R
93	0	Power_override	Override LP mode signal; power mode set via software; Default 0	R	R

94	All	Tx4_Application_Select	Software application per SFF-8079, Tx Channel 4	0	O
95	All	Tx3_Application_Select	Software application per SFF-8079, Tx Channel 3	0	O
96	All	Tx2_Application_Select	Software application per SFF-8079, Tx Channel 2	0	O
97	All	Tx1_Application_Select	Software application per SFF-8079, Tx Channel 1	0	O
98-99	All	Reserved			

1. Writing ‘1’ disables the laser of the channel

1. 写“1”禁用通道的激光如果软件速率选择未实现，则模块将忽略速率选择位的值。上电时，寄存器读取全部“0”。

7.6.1.6 模块和通道掩码

主机系统可以通过设置来自用于模块标志的字节 100-104 的一组屏蔽位中的高个别位和通道标志的页面 03h 的字节 242-253 来控制哪个标志导致中断 (IntL)。这些在表 25 和表 48 中描述。屏蔽位中的 1 值防止硬件 IntL 引脚被相应的锁存标志位置 1。屏蔽位是易失性的，并且所有未屏蔽位（掩码位 0）都启动。掩码位可用于防止持续的中断，否则会持续重新发送硬件 IntL 引脚。每当实现关联的标志位时，需要一个掩码位（由 C 表示为条件）。

Table 25 – IntL Masking Bits for Module and Channel Status Interrupts (Page A0)

Address	Bit	Name	Description	Linear/Passive Active Copper, Active Optical	Optical Module
100	7	M-Tx4 LOS	Masking bit for TX LOS indicator, channel 4	C	C
	6	M-Tx3 LOS	Masking bit for TX LOS indicator, channel 3	C	C
	5	M-Tx2 LOS	Masking bit for TX LOS indicator, channel 2	C	C
	4	M-Tx1 LOS	Masking bit for TX LOS indicator, channel 1	C	C
	3	M-Rx4 LOS	Masking bit for RX LOS indicator, channel 4	C	C
	2	M-Rx3 LOS	Masking bit for RX LOS indicator, channel 3	C	C
	1	M-Rx2 LOS	Masking bit for RX LOS indicator, channel 2	C	C
	0	M-Rx1 LOS	Masking bit for RX LOS indicator, channel 1	C	C
101	7-4	Reserved			
	3	M-Tx4 Fault	Masking bit for TX fault indicator, channel 4	C	R
	2	M-Tx3 Fault	Masking bit for TX fault indicator, channel 3	C	R
	1	M-Tx2 Fault	Masking bit for TX fault indicator, channel 2	C	R
	0	M-Tx1 Fault	Masking bit for TX fault indicator, channel 1	C	R

102	All	Reserved			
103	7	M-Temp High Alarm	Masking bit for high Temperature alarm	C	C
	6	M-Temp Low Alarm	Masking bit for low Temperature alarm	C	C
	5	M-Temp High Warning	Masking bit for high Temperature warning	C	C
	4	M-Temp Low Warning	Masking bit for low Temperature warning	C	C
	3-1	Reserved			
	0	M-Initialization complete flag	Masking bit for initialization complete flag.	C	C
104	7	M-Vcc High alarm	Masking bit for high Vcc alarm	C	C
	6	M-Vcc Low alarm	Masking bit for low Vcc alarm	C	C
	5	M-Vcc High Warning	Masking bit for high Vcc warning	C	C
	4	M-Vcc Low Warning	Masking bit for low Vcc warning	C	C
	3-0	Reserved			
105-106	All	Vendor Specific			

7.6.1.7 速率选择（字节 87-88）

速率选择是一种可选的控制，用于限制接收机带宽，以兼容多种数据速率（最可能的是光纤通道）。此外，速率选择允许发射机针对特定数据速率传输进行微调。模块可以：

- a) 不提供速率选择的支持
- b) 使用扩展速率选择的速率选择
- c) 使用应用程序选择表进行速率选择

7.6.1.7.1 不提供速率选择的支持

当不支持速率选择时（页 00h，字节 221，位 2 和 3）的值为 0，选项（页 00h，字节 195，位 5）的值为 0。缺少实现并不表示缺少同时符合多种标准费率。应从模块值确定符合特定标准（见表 33）。

7.6.1.7.2 扩展速率选择

当（第 00h，第 221 位，第 2 位和第 3 位）分别具有 0 和 1 的值，并且扩展速率合规字节（第 00h，第 141 页）中的至少一个位的值为 1 时，模块支持扩展速率选择。扩展速率选择在 Rxn_Rate_Select（字节 87）中保留每个通道两个位，在 Txn_Rate_Select（字节 88）中每通道两位保留最多四个速率。表 26 定义了字节 141 的位 0 为 1 时的功能。扩展速率合规字节的所有其他值被保留。

Table 26 – Functionality of byte 87 and 88: xN_Rate_Select with Extended Rate selection Page (A0)

xN_Rate_Select msb Value	xN_Rate_Select lsb Value	Description	Linear/Passive Active Copper, Active Optical	Optical Module
0	0	Optimized for data rates less than 2.2Gb/s	○	○
0	1	Optimized for data rates from 2.2 up to 6.6 Gb/s	○	○
1	0	Optimized for 6.6 Gb/s data rates and above	○	○
1	1	Reserved		

7.6.1.7.3 使用应用程序选择表格进行速率选择

应用程序选择（字节 89）最大限度地提高了符合 SFF-8472 的模块对 SFF-8079 第 2 部分的兼容性。当速率选择声明位（页 00h，字节 221，位 2 和 3）分别具有值 1 和 0 时，使用第 01h 页中定义的应用选择方法（见 7.6.3）。主机在第 01h 页上读取整个应用程序选择表，以确定模块的功能。主机通过将控制模式和表选择（TS）字节写入字节 89-92 和字节 94-97 来分别控制每个通道。 Rx_Application Select 和 Tx_Application Select 寄存器的位在表 27 中定义。控制模式定义应用程序控制模式。表选择从 AST 中选择模块行为 63 种可能性（000000 到 111110）。请注意（111111）无效。

Table 27--Definition of Application Select (Bytes 89 to 92 and Bytes 94 to 97) (Page A0)

7	6	5	4	3	2	1	0	
Control Mode		Table Select TS						

Table 28 – Detailed Description of Control Mode (Page A0)

Bit 7	Bit 6	Function	Address 87, 88 Control	Table Select Control
0	0	Extended rate selection	LSB and MSB are used according to declaration bits.	Ignored
1	Don't care	Application select	Ignored	field points to application

Note: Default values for control mode is 0,0 and is volatile memory.

注意：控制模式的默认值为 0，是易失性存储器。

7.6.1.8 密码条目和更改

字节 119-126 保留用于可选的密码输入功能。密码条目字节是只写的，并且将被保留，直到主机断电，复位或重写。该功能可用于控制对供应商特定页面 02h 的读/写访问。此外，模块厂商可能会使用此功能来实现串行 ID 和其他 QSFP + 只读信息的写保护。主机制造商可以提供密码并使用它们来限制用户 EEPROM 中的写入访问。密码访问不需要访问下部存储器页面 00h 或高位页面 00h, 02h 和 03h 中的 QSFP + 定义数据。请注意，可以定义多个模块制造商密码，以允许选择性地访问以上所述的对存储器的各个部分的读取或写入。主机制造商和模块制造商密码应通过高位（位 7，字节 123）进行区分。所有主机厂商密码范围为 00000000h ~ 7FFFFFFFh，模块厂商密码范围为 80000000h ~ FFFFFFFFh。主机制造商的密码应在新模块中初始设置为 00001011h。当 123-126 中输入正确的当前主机制造密码时，通过写入新的密码（字节 119-122）可以更改主机制造商密码，高位被忽略，并在新密码中强制为 0。密码

输入字段在上电复位时应设置为 00000000h。

7.6.2 上部存储器映射页面 00h

第 00h 页由串行 ID 组成，用于只读标识信息。序列号分为 Base_ID 字段，扩展 ID 字段和供应商特定 ID 字段。 Serial ID Memory Map 的格式如表 29 所示。

Table 29 – Serial ID: Data Fields (Page 00)

Address	Size (Bytes)	Name	Description of Base ID Field	Passive Copper, Active Copper, Active Optical	Optical Module
Base ID fields					
128	1	Identifier	Identifier Type of serial Module	R	R
129	1	Ext. Identifier	Extended Identifier of Serial Module	R	R
130	1	Connector	Code for connector type	R	R
131-138	8	Specification compliance	Code for electronic compatibility or optical compatibility	R	R
139	1	Encoding	Code for serial encoding algorithm	R	R
140	1	BR, nominal	Nominal bit rate, units of 100 MBits/s	R	R
141	1	Extended rateselect Compliance	Tags for extended rate select compliance	R	R
142	1	Length(SMF)	Link length supported for SMF fiber in km (note 1)	R	R

143	1	Length(OM3 50 um)	Link length supported for EBB 50/125 um fiber (OM3), units of 2m (note 1)	R	R
144	1	Length(OM2 50 um)	Link length supported for 50/125 um fiber (OM2), units of 1m (note 1)	R	R
145	1	Length(OM1 62.5 um)	Link length supported for 62.5/125 um fiber (OM1), units of 1m (note 1)	R	R
146	1	Length (Copper)	Link length of copper or active cable, units of 1 m (note 1) Link length supported for 50/125 um fiber (OM4), units of 2 m) when Byte 147 declares 850 nm VCSEL as defined in Table 37	R	R
147	1	Device tech	Device technology	R	R
148-163	16	Vendor name	QSFP+ vendor name(ASCII)	R	R
164	1	Extended Module	Extended Module codes for InfiniBand	R	R
165-167	3	Vendor OUI	QSFP+ vendor IEEE company ID	R	R
168-183	16	Vendor PN	Part number provided by QSFP+ vendor(ASCII)	R	R
184-185	2	Vendor rev	Revision level for part number provided by vendor(ASCII)	R	R
186-187	2	Wave length or Copper cable Attenuation	Nominal laser wavelength (wavelength•value/20 in nm) or copper cable attenuation in dB at 2.5GHz (Adrs 186) and 5.0GHz (Adrs 187)	R	R
188-189	2	Wavelength tolerance	Guaranteed range of laser wavelength(+/- value) from nominal wavelength.(wavelength Tol•value/200 in nm)	R	R
190	1	Max case temp.	Maximum case temperature in degrees C	R	R
191	1	CC_BASE	Check code for base ID fields (addresses 128-190)	R	R
Extended ID fields					
192-195	4	Options	Rate Select, TX Disable, TX Fault, LOS, Warning indicators for: Temperature, VCC, RX power, TX Bias	R	R
196-211	16	Vendor SN	Serial number provided by vendor (ASCII)	R	R
212-219	8	Date Code	Vendor's manufacturing date code	R	R
220	1	Diagnostic Monitoring Type	Indicates which types of diagnostic monitoring are implemented (if any) in the Module. Bit 1,0	R	R

			Reserved		
221	1	Enhanced Options	Indicates which optional enhanced features are implemented in the Module.	R	R
222	1	Reserved			
223	1	CC_EXT	Check code for the Extended ID Fields (addresses 192-222)	R	R
Vendor Specific ID Fields					
224-255	32	Vendor Specific EEPROM			

Note 1: A value of zero means that the Module does not support the specified technology or that the length information must be determined from the Module technology.

注 1: 值为零表示模块不支持指定的技术，或者必须从模块技术确定长度信息。

7.6.2.1 标识符（地址 128）

标识符值指定串行信息描述的物理设备。该值应包含在串行数据中。定义的标识符值如表 30 所示.QSFP +模块应使用标识符 0Dh。

Table 30 – Identifier Values (Address 128) (Page 00)

<i>Value</i>	<i>Description of Physical device</i>
<i>00h</i>	<i>Unknown or unspecified</i>
<i>01h</i>	<i>GBIC</i>
<i>02h</i>	<i>Module/connector soldered to motherboard</i>
<i>03h</i>	<i>SFP</i>
<i>04h</i>	<i>300 pin XBI</i>
<i>05h</i>	<i>XENPAK</i>
<i>06h</i>	<i>XFP</i>
<i>07h</i>	<i>XFF</i>
<i>08h</i>	<i>XFP-E</i>
<i>09h</i>	<i>XPAK</i>
<i>0Ah</i>	<i>X2</i>
<i>0Bh</i>	<i>DWDM-SFP</i>
<i>0Ch</i>	<i>QSFP</i>
<i>0Dh</i>	<i>QSFP+</i>
<i>0Eh-7Fh</i>	<i>Reserved</i>
<i>80-FFh</i>	<i>Vendor Specific</i>
These values were valid at the time of technical balloting. The reference specification for values subsequent to that date is SFF-8024 Cross Reference to Industry Product Names	

这些价值在技术投票时有效。

该日期之后的值的参考规格是 SFF-8024 “工业产品名称交叉参考”

7.6.2.2 扩展标识符（地址 129）

扩展标识符提供有关基本模块类型的附加信息，例如模块是否包含 CDR 功能并标识其所属的功耗类别。

Table 31 – Extended Identifier Values (Address 129) (Page 00)

<i>Bit</i>	<i>Description of Device Type</i>
7-6	00: Power Class 1 Module (1.5W max. Power consumption) 01: Power Class 2 Module (2.0W max. Power consumption) 10: Power Class 3 Module (2.5W max. Power consumption) 11: Power Class 4 Module (3.5W max. Power consumption)
5	Reserved
4	0: No CLEI code present in Page 02h 1: CLEI code present in Page 02h
3	0: No CDR in TX , 1: CDR present in TX
2	0: No CDR in RX , 1: CDR present in RX
1-0	Reserved

7.6.2.3 连接器（地址 130）

连接器值表示接口上提供的外部连接器。该值应包含在串行数据中。定义的连接器值如表 32 所示。请注意，01h - 0Bh 不兼容 QSFP +，并且与其他标准兼容。

Table 32 – Connector Values (Address 130) (Page 00)

Value	Description of Connector
00h	Unknown or unspecified
01h	SC
02h	FC Style 1 copper connector
03h	FC Style 2 copper connector
04h	BNC/TNC
05h	FC coax headers
06h	Fiberjack
07h	LC
08h	MT-RJ
09h	MU
0Ah	SG
0Bh	Optical Pigtail
0Ch	MPO
0D-1Fh	Reserved
20h	HSSDC II
21h	Copper pigtail
22h	RJ45
23h	No separable connector
24h-7Fh	Reserved
80-FFh	Vendor specific

7.6.2.4 规范合规性（地址 131-138）

以下位重要指标定义了 QSFP+ 模块支持的电子或光学接口。对于光纤通道 QSFP+，光纤通道速度，传输介质，发射机技术和距离能力均应予以说明。

Table 33 – Specification compliance (Address 131-138) (Page 00)

Address	Bit	Description of Module data
10/40G Ethernet Compliance Code		
131	7	Reserved
131	6	10GBASE-LRM
131	5	10GBASE-LR
131	4	10GBASE-SR
131	3	40GBASE-CR4
131	2	40GBASE-SR4
131	1	40GBASE-LR4
131	0	40G Active Cable (XLPII)
SONET Compliance codes		
132	7-4	Reserved
132	3	40G OTN (OTU3B/OTU3C)
132	2	OC 48, long reach
132	1	OC 48, intermediate reach
132	0	OC 48 short reach
SAS/SATA compliance codes		
133	7, 6	Reserved SAS
133	5	SAS 6.0G
133	4	SAS 3.0G
133	3-0	Reserved
Gigabit Ethernet Compliant codes		
134	7-4	Reserved
134	3	1000BASE-T
134	2	1000BASE-CX
134	1	1000BASE-LX
134	0	1000BASE-SX
Fibre Channel link length/Transmitter Technology		
135	7	Very long distance (V)
135	6	Short distance (S)
135	5	Intermediate distance (I)
135	4	Long distance (L)
135	3	Medium (M)
135	2	Reserved
135	1	Longwave laser (LC)
135	0	Electrical intra-enclosure (EL)
136	7	Electrical intra-enclosure
136	6	Shortwave laser w/o OFC (SN)
136	5	Shortwave laser w OFC (SL)
136	4	Longwave Laser (LL)
136	0-3	Reserved
Fibre Channel transmission media		
137	7	Twin Axial Pair (TW)
137	6	Shielded Twisted Pair (TP)
137	5	Miniature Coax (MI)
137	4	Video Coax (TV)
137	3	Multi-mode 62.5m (M6)
137	2	Multi-mode 50m (M5)
137	1	Multi-mode 50um (OM3)
137	0	Single Mode (SM)

Fibre Channel Speed		
138	7	1200 Mbytes/Sec
138	6	800 Mbytes/Sec
138	5	1600 Mbytes/Sec
138	4	400 Mbytes/Sec
138	3,1	Reserved
138	2	200 Mbytes/Sec
138	0	100 Mbytes/Sec

7.6.2.5 编码（地址 139）

编码值表示作为特定 QSFP + 模块的标称设计目标的串行编码机制。该值应包含在串行数据中。定义的编码值如表 34 所示。

Table 34 – Encoding Values (Address 139) (Page 00)

Code	Description of encoding mechanism
00h	Unspecified
01h	8B10B
02h	4B5B
03h	NRZ
04h	SONET Scrambled
05h	64B66B
06h	Manchester
07h-FFh	Reserved

**These values were valid at the time of technical balloting.
The reference specification for values subsequent to that date is
SFF-8024 Cross Reference to Industry Product Names**

这些价值在技术投票时有效。

该日期之后的值的参考规格是 SFF-8024 “工业产品名称交叉参考”

7.6.2.6 BR, 标称值（地址 140）

标称位速率 (BR, 标称值) 以 100 兆比特每秒为单位指定，舍入到最接近 100 兆比特每秒。比特率包括编码和限定信号所需的那些位以及携带数据信息的那些位。值为 0 表示未指定比特率，必须从模块技术确定。实际的信息传输速率将取决于由编码值定义的数据编码。

7.6.2.7 扩展速率选择合规性（地址 141）

扩展速率选择合规性字段用于允许单个 QSFP + 模块灵活地符合单个或多个扩展速率选择定义。通过在指定的位标签位置中存在“1”来指示定义。如果使用排他的非重叠位标签定义，则页 00h, 字节 141 将允许符合 8 (1-8) 不同的多速率定义。

Table 35 – Extended RateSelect Compliance Tag Assignment (Address 141) (Page 00)

Address	Bits	Description
141	7-1	Reserved
141	0	QSFP+ Rate Select Version 1. This functionality is different from SFF-8472 and SFF-8431.

Note: Further details of the use of this field can be found in Subclause 7.6.1.7.

注意：有关此领域的使用的更多详细信息，请参见第 7.6.1.7 节。

7.6.2.8 长度（标准 SM 光纤）-km（地址 142）

从原始 GBIC 定义添加 EEPROM 数据。该值指定在使用符合适用标准的单模光纤的情况下，QSFP + 模块支持的链路长度。支持的链路长度如 SFF 8074i 标准中所规定。价值以公里为单位。值为零表示模块不支持单模光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.9 长度（OM3）（地址 143）

此值指定 QSFP +模块在使用符合适用标准的 2000 MHz * km (850 nm) 扩展带宽 50 微米核心多模光纤时支持的链路长度。值以 2 米为单位。值为零表示模块不支持 OM3 光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.10 长度（OM2）（地址 144）

此值指定 QSFP +模块在使用符合适用标准的 500 MHz * Km (850 nm 和 1310 nm) 50 微米多模光纤时支持的链路长度。值以 1 米为单位。值为零表示模块不支持 OM2 光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.11 长度（OM1）（地址 145）

该值指定在使用符合适用标准的 200 MHz * Km (850 nm) 和 500 MHz * Km (1310 nm) 62.5 微米多模光纤时，QSFP +模块支持的链路长度。值以 1 米为单位。值为零表示模块不支持 OM1 光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.12 电缆组件长度（铜缆或有源电缆）（地址 146）

该值指定电缆组件无源的链路长度值为 1 米的单位。链路长度如 INF 8074 所规定。小于 1 米的链路长度应为 1 米。值为零表示模块不是电缆组件，或者必须从模块技术确定长度信息。值为 255 表示模块支持链路长度大于 254 m。

7.6.2.13 设备技术（地址 147）

设备中使用的技术在表 36 和表 37 中描述。设备技术字节的前 4 位描述了所使用的设备技术。设备技术字节的低四位（位 7-4）用于描述发射机技术

Table 36 – Description of Device Technology (Address 147) (Page 00)

Bits	Description of Physical device
7-4	Transmitter technology
3	0: No wavelength control 1: Active wavelength control
2	0: Uncooled transmitter device 1: Cooled transmitter
1	0: Pin detector 1: APD detector
0	0: Transmitter not tunable 1: Transmitter tunable

Table 37 – Transmitter Technology (Address 147 bits 7-4) (Page 00)

Value	Description of physical device
0000b	850 nm VCSEL
0001b	1310 nm VCSEL
0010b	1550 nm VCSEL
0011b	1310 nm FP
0100b	1310 nm DFB
0101b	1550 nm DFB
0110b	1310 nm EML
0111b	1550 nm EML
1000b	Others
1001b	1490 nm DFB
1010b	Copper cable unequalized
1011b	Copper cable passive equalized
1100b	Copper cable, near and far end limiting active equalizers
1101b	Copper cable, far end limiting active equalizers
1110b	Copper cable, near end limiting active equalizers
1111b	Copper cable, linear active equalizers

7.6.2.14 供应商名称（地址 148-163）

供应商名称是一个 16 字节包含 ASCII 字符的字段，左对齐并在右侧填充 ASCII 空格 (20h)。供应商名称应为公司的全称，公司名称的公认缩写，公司的 SCSI 公司代码或公司的证券交换代码。供应商名称或供应商 OUI 字段中的至少一个应包含有效的串行数据。

7.6.2.15 扩展模块代码（地址 164）

扩展模块代码定义了由 QSFP+ 模块支持的 InfiniBand 的电子或光接口，如表 38 所示。

Table 38 – Extended Module Code Values (Address 164) (Page 00)

Address	Bit	Description of Module Data
InfiniBand Compliance codes		
164	7-5	Reserved
164	4	Reserved for EDR
164	3	Reserved for FDR
164	2	QDR
164	1	DDR
164	0	SDR

7.6.2.16 供应商 OUI（地址 165-167）

供应商组织唯一标识符字段（供应商 OUI）是包含供应商的 IEEE 公司标识符的 3 字节字段。3 字节字段中全为零的值表示未指定供应商 OUI。

7.6.2.17 供应商 PN（地址 168-183）

供应商部件号（供应商 PN）是一个 16 字节包含 ASCII 字符的字段，左对齐并用 ASCII 空格 (20h) 填充，定义供应商部件号或产品名称。16 字节字段中全零的值表示供应商 PN 未指定。

7.6.2.18 供应商修订版（地址 184-185）

供应商修订号（供应商 rev）是一个 2 字节包含 ASCII 字符的字段，左对齐并用 ASCII 空格 (20h) 填充，定义供应商的产品版本号。字段中的全部零值表示供应商 Rev 未指定。

7.6.2.19 波长（地址 186-187）

标称发射机输出波长在室温下。16 位十六进制值，字节 186 为高位字节，字节 187 为低位

字节。激光波长等于 16 位整数除以 20，以 nm 为单位（单位 0.05nm）。该决议应足以涵盖所有相关波长，但为所有预期的 DWDM 应用提供足够的分辨率。为了准确表示受控波长应用，该值应该表示保证波长范围的中心。如果电缆被识别为铜，这些寄存器将用于定义电缆衰减。0 dB 衰减的指示是指衰减未知或不可用的情况。地址 186 (00-FFh) 是一个 8 位十六进制值，表示以 1 dB 为单位的 2.5GHz 处的铜缆电缆衰减，地址 187 (00-FFh) 是一个 8 位十六进制值，表示 5.0GHz 处的铜缆电缆衰减，单位为 1db。

7.6.2.20 波长容差（地址 188-189）

在所有正常工作条件下，保证发射机输出波长的+/-范围。对于直接连接电缆组件，值为零。16 位值，字节 188 为高位字节，字节 189 为低位字节。激光波长等于 16 位整数除以 200，以 nm 为单位（单位为 0.005nm）。因此，以下两个示例：

示例 1：10GBASE-LR

波长范围= 1260 至 1355 nm

标称波长（字节） $186 - 187 = 1307.5 \text{ nm}$ 。

表示为 INT ($1307.5 \text{ nm} * 20$) = 26150 = 6626h

波长容差（字节） $188 - 189 = 47.5\text{nm}$ 。

表示为 INT ($47.5 \text{ nm} * 200$) = 9500 = 251Ch

示例 2：0.236 nm (30 GHz) 的 ITU-T

网格波长= 1534.25 nm (195.4 THz)

容差公称波长（字节） $186 - 187 = 1534.25 \text{ nm}$ 。

表示为 INT ($1534.25\text{nm} * 20$) = 30685 = 77DDh

波长容差（字节） $188 - 189 = 0.236 \text{ nm}$ 。

表示为 INT ($0.236\text{nm} * 200$) = 47 = 002Fh

7.6.2.21 最大情况（地址 190）

允许指定除标准 70C 以外的最大外壳温度。最大外壳温度为度的 8 位值。值 00h 表示标准 70C 额定值。

7.6.2.22 CC_BASE（地址 191）

检查码是一个单字节代码，可用于验证 QSFP + 模块中前 63 个字节的串行信息是否有效。校验码应为从字节 128 到字节 190（包括端值）的所有字节的内容之和的低位 8 位。

7.6.2.23 可选项（地址 192-195）

选项字段中的位应指定如表 39 所述的 QSFP + 模块中实现的选项

Table 39 – Option Values (Address 192-195) (Page 00)

Address	Bit	Description of option	Linear/Passive Active Copper Active Optical	Optical Module
192	7-0	Reserved		
193	7-1	Reserved		
193	0	RX output amplitude programming, coded 1 if implemented, else 0.	R	R
194	7-4	Reserved		
194	3	Rx Squelch Disable implemented, coded 1 if implemented, else 0.	R	R
194	2	Rx Output Disable capable: coded 1 if implemented, else 0.	R	R
194	1	Tx Squelch Disable implemented: coded 1 if implemented, else 0.	R	R
194	0	Tx Squelch implemented: coded 1 if implemented, else 0.	R	R
195	7	Memory page 02 provided: coded 1 if implemented, else 0.	R	R
195	6	Memory page 01 provided: coded 1 if implemented, else 0.	R	R
195	5	RATE_SELECT is implemented. If the bit is set to 1 then active control of the select bits in the upper memory table is required to change rates. If the bit is set to 0, no control of the rate select bits in the upper memory table is required. In all cases, compliance with multiple rate standards should be determined by Module Codes in Bytes 132, 133, 134 and 135 of Page 00h.	R	R
195	4	Tx_DISABLE is implemented and disables the serial output.	R	R
195	3	TxFAULT signal implemented, coded 1 if implemented, else 0	R	R
195	2	Tx Squelch implemented to reduce OMA coded 0, implemented to reduce Pave coded 1.	R	R
195	1	Tx Loss of Signal implemented, coded 1 if implemented, else 0	R	R
195	0	Reserved		

7.6.2.24 供应商 SN (地址 196-211)

供应商序列号 (供应商 SN) 是一个 16 个字符包含 ASCII 字符的字段，左对齐并用 ASCII 空格填充 (20h)，定义供应商的 QSFP + 模块序列号。16 字节字段中全为零的值表示供应商 SN 未指定。

7.6.2.25 日期代码（地址 212-219）

日期代码是一个 8 字节字段，包含供应商的日期代码，以 ASCII 字符表示。日期代码是强制性的。日期代码应为表 40 规定的格式。

Table 40 – Date Codes (Address 212-219) (Page 00)

Address	Description of field	Linear/Passive Active Copper, Active Optical	Optical Module
212-213	ASCII code, two low order digits of year. (00=2000)	R	R
214-215	ASCII code digits of month (01=Jan through 12=Dec)	R	R
216-217	ASCII code day of month (01-31)	R	R
218-219	ASCII code, vendor specific lot code, may be blank		

7.6.2.26 诊断监控类型（地址 220）

“诊断监控类型”是一个 1 字节字段，带有 8 个单位指示器，描述了在特定 QSFP+ 模块中如何实施诊断监视。位指示器如表 41 所示。数字诊断监视器监视接收功率，偏置电流，电源电压和温度。另外，报警和警告阈值必须按照本文档的规定进行写入。辅助监控字段是数字诊断的可选扩展。所有数字监控值必须在内部校准，并以本文档中定义的单位报告。位 3 表示接收功率测量是表示平均输入光功率还是 OMA。如果该位被置位，则监视平均功率。如果没有，则监控 OMA。

Table 41 – Diagnostic Monitoring Type (Address 220) (Page 00)

Address	Bits	Description
220	7-4	Reserved
.	.	.
220	3	Received power measurements type. 0=OMA 1=Average Power
220	2	Reserved
220	1-0	Reserved

7.6.2.27 增强选项（地址 221）

增强型选项字节的格式如表 42 所示。增强选项字段的使用在第 7.6.1.7 节中定义。速率选择声明位都为 1 的状态保留，不应使用。

Table 42 – Enhanced Options (byte 221) (Page 00)

Address	Bit	Description	Linear/ Passive Active Copper Active Optical	Optical Module
221	7-4	Reserved		
221	3	Rate Selection Declaration: When this Declaration bit is 0 the module does not support rate selection. When this Declaration bit is 1, rate selection is implemented using extended rate selection. See 7.6.1.7.2	R	R
221	2	Application select table declaration. When this declaration bit is 1, the module supports rate selection using application select table mechanism. When this declaration bit is 0, the module does not support application select and page 01 does not exist	R	R
221	1-0	Reserved		

7.6.2.28 CC_EXT (地址 223)

检查码是一个单字节代码, 可用于验证 QSFP +模块中扩展串行信息的前 31 个字节是否有效。校验码应为从字节 192 到字节 222 (包括端点) 的所有字节的内容的和的低位 8 位。

7.6.2.29 供应商特定 (地址 224-255)

该区域可能包含供应商特定的信息, 可以从 QSFP +模块读取。数据是只读的。页 00h 的字节 224-255 可用于供应商特定的 ID 功能。

7.6.3 上部存储器映射页面 01h

页面 01h 的格式在表 43 中定义。

Table 43 – Application Select Table (Page 01)

Address	Bit Range	Name of Field	Description
128	7-0	CC_APPS	Check code for the AST: the check code shall be the low order bits of the sum of the contents of all the bytes from byte 129 to byte 255, inclusive.
129	7-6	Reserved	
129	5-0	AST Table Length, TL	A 6 bit binary number. TL, specifies how many application table entries are defined in bytes 130-255 addresses. TL is valid between 0 (1 entry) and 62 (for a total of 63 entries)
130,131	7-0, 7-0	Application Code 0	Definition of first application supported (See Table 44)
...		Other Table Entries	
130+2*TL	7-0,	Application code TL	Definition of last application supported (See Table 44)
131+2*TL	7-0		

Table 44 – Application Code Structure

Low Order Byte								High order Byte							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
Reserved								Variant							
Category															

7.6.4 用户可写和供应商特定内存

第 02 页可选地提供为用户可写 EEPROM。主机系统可以为任何目的读取或写入该存储器。但是, 如果设置了页 00 字节 129 的第 4 位, 则表 02h 的第 10 个字节 (字节 128-137) 将用于存储模块的 CLEI 代码。

7.6.5 上记忆页 03h

上部存储器映射页面 03h 包含模块阈值，通道阈值和掩码以及可选的通道控制。这些显示在表 45 中，并在 7.6.1 节，7.6.1.6 和 7.6.1.4 节中详细描述。

Table 45 – Upper Memory Map Page 03h

Address	Description	Type
128-175	Module Thresholds (48 Bytes)	Read-Only
176-223	Channel Thresholds (48 Bytes)	Read-Only
224-225	Reserved (2 Bytes)	Read-Only
226-239	Vendor Specific Channel Controls (14 Bytes)	Read/Write
240-241	Optional Channel Controls (2 bytes)	Read/Write
242-253	Channel Monitor Masks (12 Bytes)	Read/Write
254-255	Reserved (2 bytes)	Read/Write

7.6.5.1 模块和通道阈值

这些值存储在上层存储器页面 03h 的字节 128-223 的只读存储器中，如表 46 所示。每个监视器值具有相应的高报警，低报警，高警告和低警告阈值。对于实现的每个监视器，需要高和低报警阈值，并由 C (条件) 指示，其中监视器是可选的或由需要监视器的 R 指示。警告阈值高和低是可选的。这些出厂预设值允许用户确定特定值何时超出模块制造商确定的“正常”限制。假设这些值将随不同的技术和不同的实现而变化。“报警和警告阈值”区域中报告的值可能是某些选定的标称操作条件下的典型值，并可在设置警告和/或报警标志时进行温度补偿或其他调整。任何阈值补偿或调整是供应商特定的和可选的。有关报警和警告阈值的使用，请参考供应商的数据表。

Table 46 – Module and Channel Thresholds (Page 03)

Address	# Bytes	Name	Description	Passive Copper, Active Copper, Active Optical	Optical Module
128-129	2	Temp High Alarm	MSB at low address	C	R
130-131	2	Temp Low Alarm	MSB at low address	C	C
132-133	2	Temp High Warning	MSB at low address	O	O
134-135	2	Temp Low Warning	MSB at low address	O	O
136-143	8	Reserved			
144-145	2	Vcc High Alarm	MSB at low address	C	C
146-147	2	Vcc Low Alarm	MSB at low address	C	C
148-149	2	Vcc High Warning	MSB at low address	O	O
150-151	2	Vcc Low Warning	MSB at low address	O	O
152-159	8	Reserved			
160-175	16	Vendor Specific			
176-177	2	RX Power High Alarm	MSB at low address	C	C
178-179	2	RX Power Low Alarm	MSB at low address	C	C
180-181	2	RX Power High Warning	MSB at low address	O	O
182-183	2	RX Power Low Warning	MSB at low address	O	O
184-185	2	Tx Bias High Alarm	MSB at low address	C	C
186-187	2	Tx Bias Low Alarm	MSB at low address	C	C
188-189	2	Tx Bias High Warning	MSB at low address	O	O
190-191	2	Tx Bias Low Warning	MSB at low address	O	O
192-199	8	Reserved thresholds for channel parameter set 3			
200-207	8	Reserved thresholds for channel parameter set 4			
208-223	16	Vendor Specific			

7.6.5.2 可选通道控制

上部存储器页面控制位在表 47 中定义（参见表 48 的输出幅度电平）

静噪禁用和输出控制功能是可选的；如果实现，使用页面 03h 的字节 240 和 241 对每个通道控制静噪禁止和输出禁止。静噪通常按 4.1.3 节“高速电气规范”所述运行。在静噪禁用

寄存器（字节 240，第 03h 页）中写入“1”将禁用相关通道的静噪。在输出禁用寄存器（字节 241，第 03h 页）中写入“1”可以抑制相关通道的输出。当通道的两个寄存器都写入“1”时，关联的输出被禁止。上电时，寄存器读取全部“0”。

Table 47 – Vendor Specific and Optional Channel Controls (Page 03)

Address	Bit	Name	Description	Passive Copper, Active Copper, Active Optical	Optical Module
226-237		Vendor Specific			
238	7-4	RX1 output amplitude	Output amplitude levels with no equalization enabled(see Table 48)	0	0
	3-0	RX2 output amplitude	Output amplitude levels with no equalization enabled(see Table 48)	0	0
239	7-4	RX3 output amplitude	Output amplitude levels with no equalization enabled(see Table 48)	0	0
	3-0	RX4 output amplitude	Output amplitude levels with no equalization enabled(see Table 48)	0	0
240	7	Rx4 SQ Disable	Rx Squelch Disable Channel 4	0	0
6		Rx3 SQ Disable	Rx Squelch Disable Channel 3	0	0
5		Rx2 SQ Disable	Rx Squelch Disable Channel 2	0	0
4		Rx1 SQ Disable	Rx Squelch Disable Channel 1	0	0
3		Tx4 SQ Disable	Tx Squelch Disable Channel 4	0	0
2		Tx3 SQ Disable	Tx Squelch Disable Channel 3	0	0
1		Tx2 SQ Disable	Tx Squelch Disable Channel 2	0	0
0		Tx1 SQ Disable	Tx Squelch Disable Channel 1	0	0
241	7	Rx4 Output Disable	Rx Output Disable channel 4	0	0
6		Rx3 Output Disable	Rx Output Disable channel 3	0	0
5		Rx2 Output Disable	Rx Output Disable channel 2	0	0
4		Rx1 Output Disable	Rx Output Disable channel 1	0	0
3		Reserved			
2		Reserved			
1		Reserved			
0		Reserved			

Table 48 --- Output amplitude control (address 238-239) (Page 03)

Code	Receiver Output Amplitude No Output Equalization	
	Nominal	Units
1xxx	Reserved	
0111	Reserved	
0110	Reserved	
0101	Reserved	
0100	Reserved	
0011	600-1200	mV(pk-pk)
0010	400-800	mV(pk-pk)
0001	300-600	mV(pk-pk)
0000	200-400	mV(pk-pk)

7.6.5.3 通道监视器掩码

通道监视器功能的屏蔽位在表 49 中定义。每当实现监视器和相关标志时，都需要一个屏蔽位。

Table 49 – Channel Monitor Masks (Page 03)

Address	Bit	Name	Description
242	7	M-Rx1 Power High Alarm	Masking Bit for high RX Power alarm channel 1
	6	M-Rx1 Power Low Alarm	Masking Bit for low RX Power alarm channel 1
	5	M-Rx1 Power High Warning	Masking Bit for high RX Power warning channel 1
	4	M-Rx1 Power Low Warning	Masking Bit for low RX Power warning channel 1
	3	M-Rx2 Power High Alarm	Masking Bit for high RX Power alarm channel 2
	2	M-Rx2 Power Low Alarm	Masking Bit for low RX Power alarm channel 2
	1	M-Rx2 Power High Warning	Masking Bit for high RX Power warning channel 2
	0	M-Rx2 Power Low Warning	Masking Bit for low RX Power warning channel 2
243	7	M-Rx3 Power High Alarm	Masking Bit for high RX Power alarm channel 3
	6	M-Rx3 Power Low Alarm	Masking Bit for low RX Power alarm channel 3
	5	M-Rx3 Power High Warning	Masking Bit for high RX Power warning channel 3
	4	M-Rx3 Power Low Warning	Masking Bit for low RX Power warning channel 3
	3	M-Rx4 Power High Alarm	Masking Bit for high RX Power alarm channel 4
	2	M-Rx4 Power Low Alarm	Masking Bit for low RX Power alarm channel 4
	1	M-Rx4 Power High Warning	Masking Bit for high RX Power warning channel 4
	0	M-Rx4 Power Low Warning	Masking Bit for low RX Power warning channel 4
244	7	M-Tx1 Bias High Alarm	Masking Bit for high TX Bias alarm channel 1
	6	M-Tx1 Bias Low Alarm	Masking Bit for low TX Bias alarm channel 1
	5	M-Tx1 Bias High Warning	Masking Bit for high TX Bias warning channel 1
	4	M-Tx1 Bias Low Warning	Masking Bit for low TX Bias warning channel 1
	3	M-Tx2 Bias High Alarm	Masking Bit for high TX Bias alarm channel 2
	2	M-Tx2 Bias Low Alarm	Masking Bit for low TX Bias alarm channel 2
	1	M-Tx2 Bias High Warning	Masking Bit for high TX Bias warning channel 2
	0	M-Tx2 Bias Low Warning	Masking Bit for low TX Bias warning channel 2
245	7	M-Tx3 Bias High Alarm	Masking Bit for high TX Bias alarm channel 3
	6	M-Tx3 Bias Low Alarm	Masking Bit for low TX Bias alarm channel 3
	5	M-Tx3 Bias High Warning	Masking Bit for high TX Bias warning channel 3
	4	M-Tx3 Bias Low Warning	Masking Bit for low TX Bias warning channel 3
	3	M-Tx4 Bias High Alarm	Masking Bit for high TX Bias alarm channel 4
	2	M-Tx4 Bias Low Alarm	Masking Bit for low TX Bias alarm channel 4
	1	M-Tx4 Bias High Warning	Masking Bit for high TX Bias warning channel 4
	0	M-Tx4 Bias Low Warning	Masking Bit for low TX Bias warning channel 4
246-247	All		
248-249	All		
250-253	All		