SFF-8436

QSFP + 10 Gbs 4X可插拔收发器

1.范围

为了扩大存储设备的应用范围，代表系统集成商，外围供应商和组件供应商的特设行业组织决定解决所涉及的问题。SFF委员会成立于1990年8月，第一份工作文件于1991年1月推出。

1.1条款说明

条款1包含范围和目的

条款2包含参考、相关标准和SFF规范

条款3开始定义规范

条款4包含电气规格

条款5包含机械规格和印刷电路板的建议

条款6包含环境和热量考虑

条款7是对管理接口和管理寄存器内容的描述

2.参考文献

SFF委员会活动支持存储行业的要求，涉及多个标准。

2.1行业文件

以下接口标准和规范与本规范相关。

- GR-253-CORE

- IEEE标准802.3-2012

- InfiniBand架构规范

- FC-PI-2

- FC-PI-3

- FC-PI-4

- SAS 2.0 / 2.1

- INF-8438 QSFP（Quad SFP）4 Gbs 4X收发器

- SFF-8636屏蔽电缆通用管理接口

- SFF-8431 SFP +（第3章高速串行接口）

- SFF-8472光收发器诊断监控接口

2.2 SFF规格

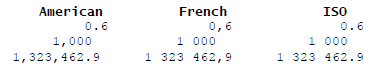
SFF委员会内有若干项目活跃。规范中已完成或仍在处理的完整列表，请参见ftp://ftp.seagate.com/sff/SFF-8000.TXT

2.3来源

作为观察员或会员加入SFF委员会的人员将收到会议记录和SFF规范的电子副本（http://www.sffcommittee.com/ie/join.html）。 ANSI标准的副本可以从国际信息技术标准委员会（http://tinyurl.com/c4psg）购买。尚未开发的SFF，ASC T10（SCSI），T11（光纤通道）和T13（ATA / SATA）标准和标准的副本可在HPE版本的CD\_Access（http://tinyurl.com/85fts）上获得。

2.4惯例

使用ISO编号惯例，即，数千和更高的倍数由空格隔开，而句号用作小数点。这相当于英/美逗号和句号。



3.介绍

本规范涵盖以下内容：

a）电接口（包括用于数据控制、状态、配置和测试信号的引脚分配）以及电连接器和推荐的主机PCB布局要求。

b）包含来自当前SFP MSA的特征的管理接口，并且包括特定的多数据速率和多协议实现。

c）光学接口（包括光学连接器插座和配对光纤连接器插头以及推荐的分支电缆组件）。光学规范仅供各协议的适用标准使用。

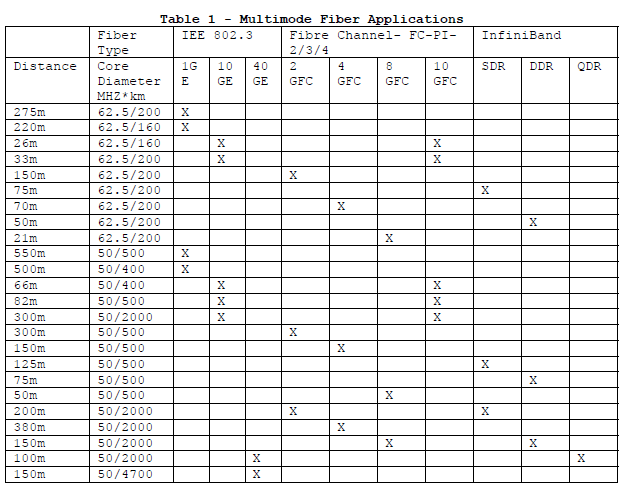
d）机械包括具有锁定细节和光学连接器插座细节的封装外形，用于模块和主机PCB侧的电连接器机械细节，前面板切割推荐尺寸和阻塞关键解决方案，以防止XFP模块损坏。

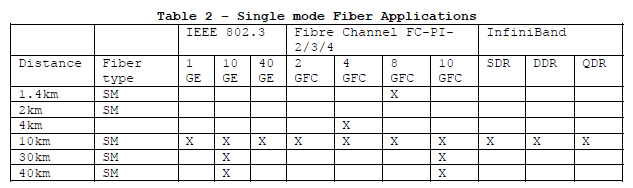
e）热要求（外壳温度）

f）电磁干扰（EMI）建议（包括必要的屏蔽功能，以密封OEM机箱前面板输出，带和不带QSFP +模块安装在保持笼子里。）

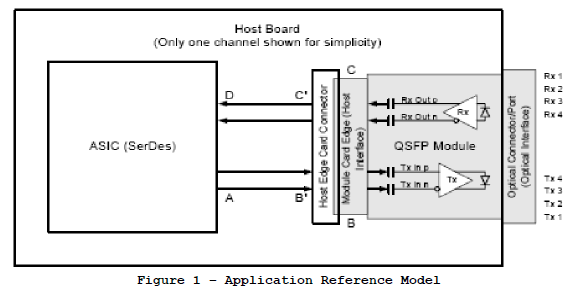
g）静电放电（ESD）要求仅在本规范中公开的范围内，其中这种披露的唯一目的是使产品能够按照规范中的规定进行操作、连接或通信。

总体包装尺寸应符合第5节所示的指示尺寸和公差。安装特征应着眼于使产品与笼和连接器系统在机械上是通用的。此外，电路板上的笼和连接器系统的总体尺寸和安装要求应配置为使产品机械和电气通用，并且光连接器和相应光纤电缆插头的总体尺寸和插入要求应为使得产品在机械和光学上通用。电气和光学规范可能与ITU-T G.957建议书（STM-1，STM-4和STM-16），Telcordia Technologies GR-253-CORE（OC-3，OC-12， OC-48和OC-192），以太网IEEE 802.3（千兆，10千兆和40千兆以太网），InfiniBand架构规范（SDR，DDR和QDR），SFF-8431或光纤通道PI-3/4（2GFC，4GFC， 8GFC）和10GFC兼容。电气和光学规格可能与正在开发的标准兼容。该规范将为支持SONET / SDH和/或以太网和/或InfiniBand和/或光纤通道规范的组合四通道端口提供通用解决方案。该规范涵盖能够支持多模、单模模块、无源铜缆、有源铜缆和有源光缆的设计。





应用参考模型（见图1）显示了ASIC（SerDes）和QSFP +模块之间的高速数据接口。为简单起见，仅显示了接口的一个数据通道。光接口可以使用并行MPO或双工LC光纤连接器。



6Gb / s和更低速度的QSFP +参考点如下：

A：在待测试板（DUT）板上ASIC封装引脚上的主机ASIC发射机输出

B：主机ASIC发射机通过主板和主机边缘卡连接器在模块卡边缘接口输出

B'：主机ASIC发射机通过主板在主机端口卡连接器输出

C：模块卡边缘接口的QSFP +接收器输出

C'：主机边缘卡连接器上的QSFP +接收器输出

D：在主板上的QSFP +接收器在DUT板上的接收器输入引脚输出

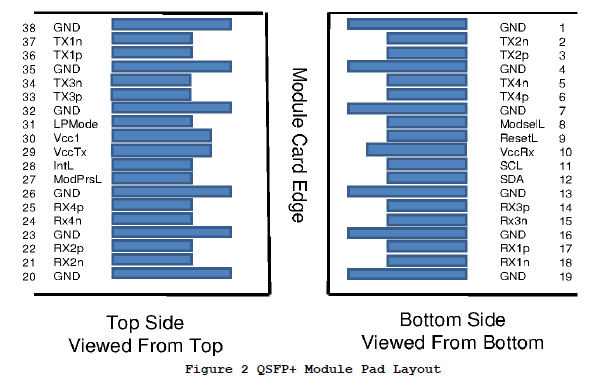
注意：对于6Gb / s以上的速度，应使用IEEE802.3ba，FC-PI4和SFF8431的合规板方法。在符合标准委员会的损耗与标准中规定的合规板的损耗之间有任何差异，应对QSFP +合规板进行的测量进行更正。

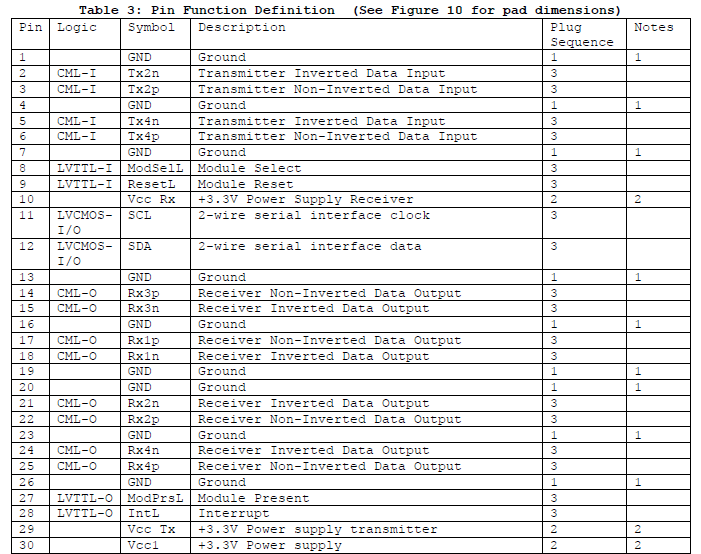
4.电气规格

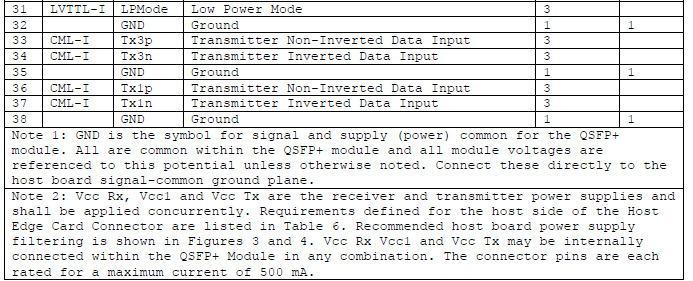
本节包含QSFP +模块的引脚定义数据。引脚定义数据对于千兆位二进制数据通信应用（如光纤通道和千兆以太网和SONET / ATM应用）是通用的。高速信号电气测量的合规点在图1中定义。所有其他电气信号的合规点在主机边缘卡连接器上的相似点。

4.1电连接器

图2显示了QSFP +模块边缘连接器的信号符号和触点编号。该图显示了模块PCB边缘的顶视图和底视图。有38个触点用于高速，低速信号，电源和接地连接。表3提供了有关38个触点中的每一个的更多信息。对于EMI保护，当QSFP +模块拆卸时，应关闭连接器的信号。建议使用标准电路板布局实例，例如使用Vias连接到Vcc和GND，使用短距离和等长差分信号线，使用微带线和50欧姆终端。 QSFP +模块的机箱接地（外壳通用）应与模块的电路接地GND隔离，为设计人员提供外部电磁干扰屏蔽和模块电路接地GND之间连接的灵活性。



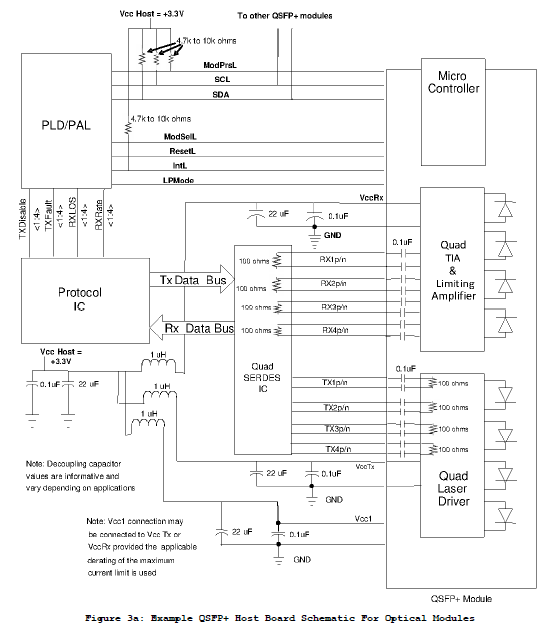


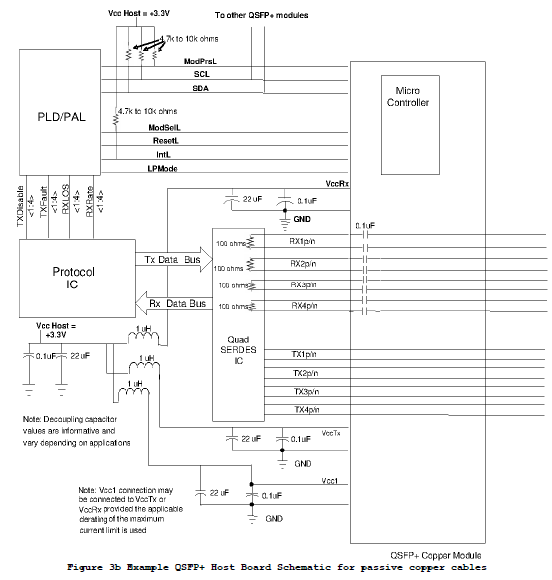


注1：GND是QSFP +模块通用的信号和电源（电源）符号。 在QSFP +模块中都是常见的，除非另有说明，所有模块电压都参考此电位。 将它们直接连接到主机板信号公共接地层。

注2：Vcc Rx、Vcc1和Vcc Tx是接收机和发射机电源，并且应同时应用。主机边缘卡连接器主机端所定义的要求见表6。推荐的主板电源滤波如图3和图4所示。Vcc Rx、Vcc1和Vcc Tx在QSFP +模块内可以以任意组合内部连接。连接器引脚的额定最大电流为500 mA。

图3显示了具有SerDes和控制IC连接的完整QSFP +主机PCB原理图的示例。





4.1.1低速电气硬件引脚

除了2线串行接口外，该模块还具有以下低速引脚用于控制和状态：

ModSelL

ResetL

LPMode

ModPrsL

INTL

4.1.1.1 ModSelL

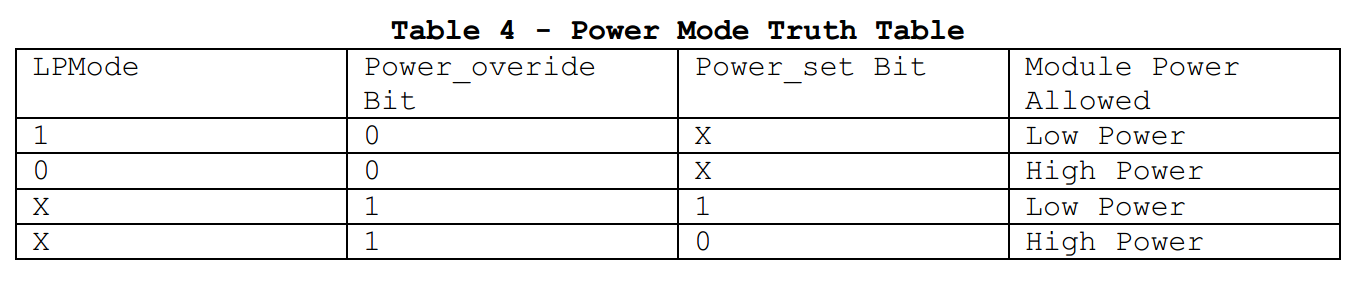
ModSelL是一个输入引脚。当主机保持低电平时，模块响应2线串行通信命令。ModSelL允许在单个2线接口总线上使用多个QSFP +模块。当ModSelL为“High”时，模块不应对主机的任何2线接口通信做出响应或确认。ModSelL信号输入节点在模块中必须偏置到“高”状态。为了避免冲突，在取消选择任何QSFP +模块后，主机系统不得在ModSelL解除时间内尝试2线接口通信。类似地，在与新选择的模块通信之前，主机必须至少等待ModSelL断言时间段。只要满足上述定时要求，不同模块的断言和解除断言周期就可能重叠。

4.1.1.2 ResetL

必须在QSFP +模块中将ResetL引脚拉至Vcc。 ResetL引脚上的低电平长于最小脉冲长度（t\_Reset\_init）会启动完整的模块复位，将所有用户模块设置恢复到默认状态。复位置位时间（t\_init）在ResetL引脚的低电平被释放后的上升沿开始。在执行复位（t\_init）期间，主机将忽略所有状态位，直到模块指示复位中断完成为止。该模块通过将Data\_Not\_Ready位取反以拉低一个IntL信号来指示。请注意，在上电（包括热插拔）时，模块应将此完成复位中断，而不需要复位。

4.1.1.3 LPMode

在QSFP +模块中，LPMode引脚应上拉至Vcc。该功能受LPMode引脚和Power\_over-ride和Power\_set软件控制位（地址A0h，字节93位0,1）的组合的影响。该模块具有低功耗模式和高功率模式两种模式。高功率模式在四个功率级之一中工作。当模块处于低功耗模式时，其最大功耗为1.5W。如果这些模块被意外插入，这将保护不能冷却更高功率模块的主机。模块2线串行接口和所有激光安全功能必须在此低功耗模式下完全运行。该模块仍然支持在此低功耗模式下完成复位中断。如果扩展标识符位（页00h，字节129位6-7）表示大于1.5W的功耗，并且模块处于低功耗模式，则必须将其功耗降低到小于1.5W，同时仍然保持上述功能。没有指定完成低功耗的确切方法，但是在这种状态下，Tx或Rx或者两者都可能不可操作。如果扩展标识符位（页00h，字节129位6-7）表示其功耗小于1.5W，则模块应完全正常工作，无论是在低功耗还是高功率模式。如果LPMode引脚为高电平状态，或者Power\_override位为高电平且Power\_set位为高电平，模块应处于低功耗模式。如果LPMode引脚处于低电平状态或Power\_override位为高电平且Power\_set位为低电平，模块应处于高功耗模式。请注意，Power\_override位的默认状态为低。LPMode和Power\_over-ride和Power\_set的相关配置的真值表如表4所示。



在上电时，Power\_override和Power\_set位应设置为0。

4.1.1.4 ModPrsL

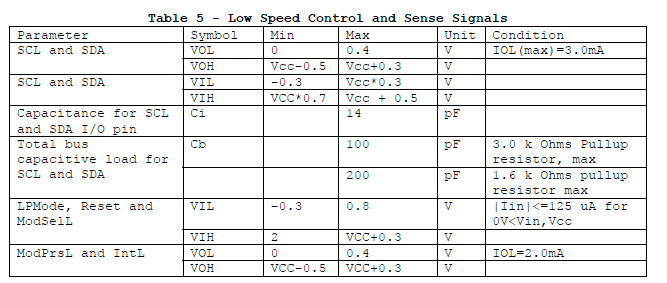
ModPrsL在主板上拉到Vcc\_Host，并在模块中接地。当模块插入时ModPrsL被置为“低”，当在主机连接器中物理上不存在时，置为“高”。

4.1.1.5IntL

IntL是一个输出引脚。当“低”时，表示可能的模块操作故障或对主机系统至关重要的状态。主机使用2线串行接口识别中断源。IntL引脚是集电极开路输出，必须在主机板被拉至主机电源电压。当字节2位0（数据未就绪）被读取时，INTL引脚在复位完成后被置为“高电平”并读取标志字段（见7.6.1.2）。

4.1.2低速电气规范

SCL和SDA之外的低速信号基于以Vcc运行的低电压TTL（LVTTL）。 Vcc是指VccTx，VccRx，Vcc\_host或Vcc1的通用电源电压。主机应在每个2线接口SCL（时钟），SDA（数据）和所有低速状态输出上使用连接到Vcc\_host的上拉电阻。 SCL和SDA是可以支持总线拓扑的热插拔接口。在模块插入或取出期间，模块可以实现预充电电路，防止损坏已经在使用总线的其他模块的数据传输。注1：SCL和SDA的时序图包含在6.2.2中。 QSFP +低速电气规格见表5.该规范确保主机总线主机与2线接口之间的兼容性。



4.1.3高速电气规格

4.1.3.1 Rx（n）（p / n）

Rx（n）（p / n）是QSFP +模块接收器数据输出。 Rx（n）（p / n）是在主机ASIC（SerDes）上以100欧姆差分端接的交流耦合100欧姆差分线。交流耦合在QSFP +模块内，主板上不需要。正确终止时，差动摆幅应小于或等于1600 mVpp或相关标准，以较小者为准。注意：由于将QSFP模块插入设计用于QSFP +的主机的可能性，建议主机输入的损坏阈值至少为1600mV差分峰峰值。光输入信号丢失时需要输出静噪（以下称为Rx静噪），其功能如下。在任何通道上的光信号变得等于或小于声明LOS所需的电平的情况下，该通道的接收器数据输出应被压制或禁用。在静态或禁用状态下，输出阻抗水平保持不变，而差分电压摆幅应小于50 mVpp。在正常操作中，默认情况下，Rx静噪有效。可以通过2线串行接口使用Rx Squelch Disable禁用Rx静噪。 Rx Squelch Disable是一个可选功能。具体细节参见7.6.5.2。

4.1.3.2 Tx（n）（p / n）

Tx（n）（p / n）是QSFP +模块发射机数据输入。它们连接至QSFP +模块内部的交流耦合100欧姆差分线路，100欧姆差分端接。交流耦合在QSFP +模块内，主板上不需要。对于6Gbps及以下的工作，输入将接受250 mV至800 mV之间的单端电压摆幅，500 mVpp至1600 mVpp之间的差分电压摆幅。为获得最佳的EMI效果，推荐在250 mV至600 mV之间的单端摆幅和500 mVpp至1200 mVpp之间的差分电压摆幅。对于高于6Gbps的操作，请参阅相应的规范，例如802.3ba附件86A，FC-PI-4，FC-PI-5或InfiniBand规范。10G以太网参考SFF-8431。由于根据INF-8438i，考虑将QSFP +模块插入设计用于QSFP接口的主机的可能性，模块输入的损伤阈值应至少为1600 mV差分峰峰值。输入信号丢失（以下称为Tx LOS）时的输出静噪（以下称为Tx静噪）是可选功能。实施时的功能如下。在差分的情况下，任何通道上的峰峰电信号变得小于50 mVpp，则该通道的发射机光输出应被抑制或禁用，并且相关联的TxLOS标志置1。当静噪时，发射机OMA应在小于或等于-26 dBm，当禁用时，发射机功率应小于或等于-30 dBm。对于应用，例如以太网，其中发射机关闭条件是根据平均功率定义的，禁用发射机是推荐的，并且适用于应用。InfiniBand，其中发射机关闭条件是根据OMA定义的，建议对发射机进行静噪。在模块操作中，在实施Tx静噪的情况下，默认情况下具有Tx静噪。可以通过2线串行接口使用Tx Squelch Disable禁止Tx静噪。Tx Squelch Disable是一个可选功能。具体细节参见7.6.5.2。

4.2电源要求

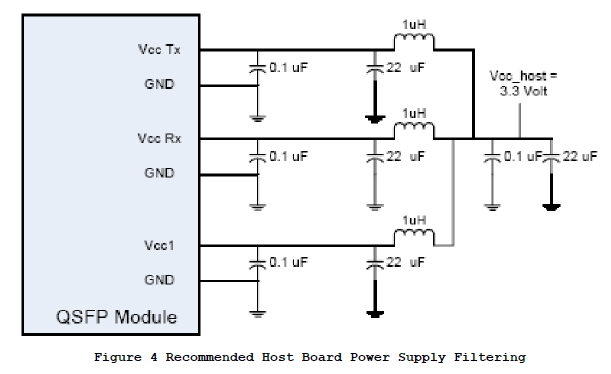
电源在连接器中有三个指定的引脚Vcc Tx，Vcc1和Vcc Rx。Vcc1根据模块厂商的判断来补充Vcc Tx或Vcc Rx。电源同时应用于这些引脚。由于存在具有预定义的最大功耗限制的不同类别的模块，因此当将模块插入设计为仅适应较低功率模块的系统时，有必要避免超过系统电源限制和制冷量。建议主机通过管理界面，在模块进入高功率模式之前，确定模块的功耗等级。主板与QSFP +模块一起形成一个集成的电源系统。主机为模块提供稳定的电源。该模块限制回到主机系统中的电气噪声，并限制热插拔插入期间的浪涌充电/电流。所有规格应在最大电源电流下达到。主机系统不需要电源的电源时序，因为模块按照接地，供电和插入时的信号顺序对触点进行排序。

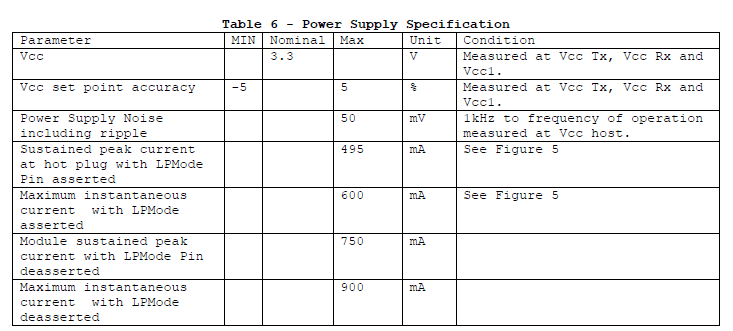
4.2.1主机电源滤波

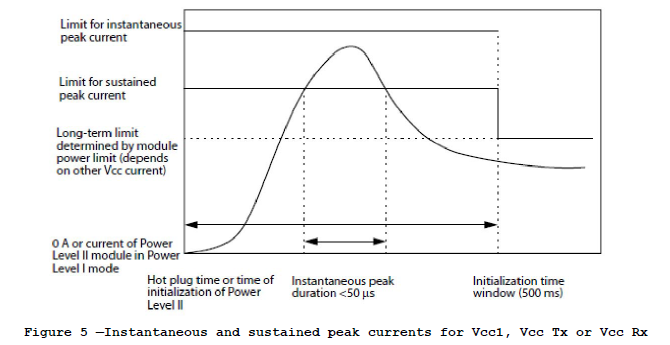
主机板应使用与图4所示相同的电源滤波器。主机上过滤器网络上的任何压降都会受到主机直流设定点精度规格的限制。应使用直流电阻小于0.1欧姆的电感器，以保持主机边缘卡连接器所需的电压。建议22uF电容器的等效串联电阻为0.22欧姆。电源规格如表6所示。

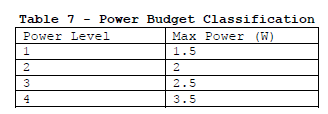
这些限制分别适用于流过电源滤波器中每个电感器的电流。与模块分类相关的功率级别如表7所示。

一般来说，较高的功率分级水平与更高的数据速率和更长的距离相关联。系统设计人员负责确保最高温度不超过外壳温度要求。









4.3 ESD

在没有另外规定ESD性能的情况下，例如在InfiniBand规范中，QSFP +模块在安装在正确接地的机箱和机箱中时，应符合EN61000-4-2标准B测试规范中给出的ESD要求。这些单元在运行期间经受15kV空气放电，并经受8kV直接接触壳子放电。 QSFP +模块和主机高速信号触点应根据JEDEC JESD22-A114-B的人体模型承受1000V静电放电。除了模块和主机高速信号触点之外，QSFP +模块和所有主机触点都应经受基于JEDEC JESD22-A114-B的人体模型的2 kV静电放电。

5机械和电路板定义

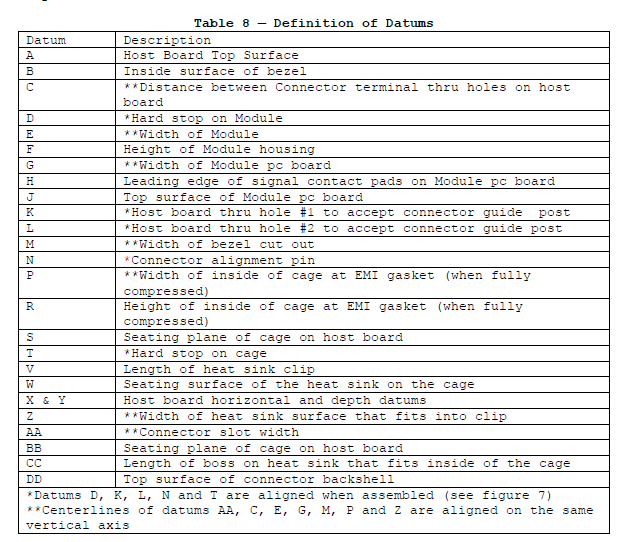
5.1介绍

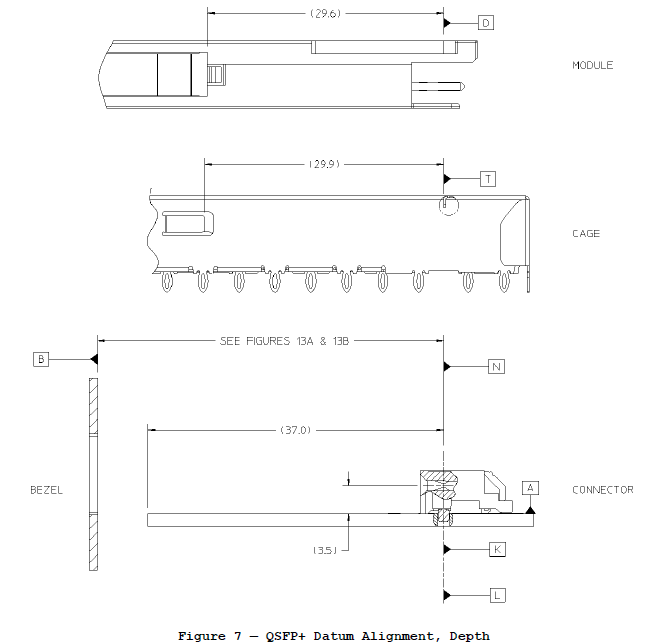
本节中定义的总体模块如图6所示。所有可插拔模块和直接连接电缆插头必须与本规范中定义的连接器和笼子设计配合。 QSFP +光接口应符合IEC 61754-7接口7-3（MPO适配器接口）的尺寸规格，并与光纤布线上的插头进行光耦合。定义了几个笼子到边框选项。金属弹簧手指和弹性EMI解决方案均允许使用，但必须通过客户定义的要求。散热器/夹子热设计是特定的应用，并未由本说明书具体定义，但以通用设计为例。



5.2 QSFP +基准和组件对齐

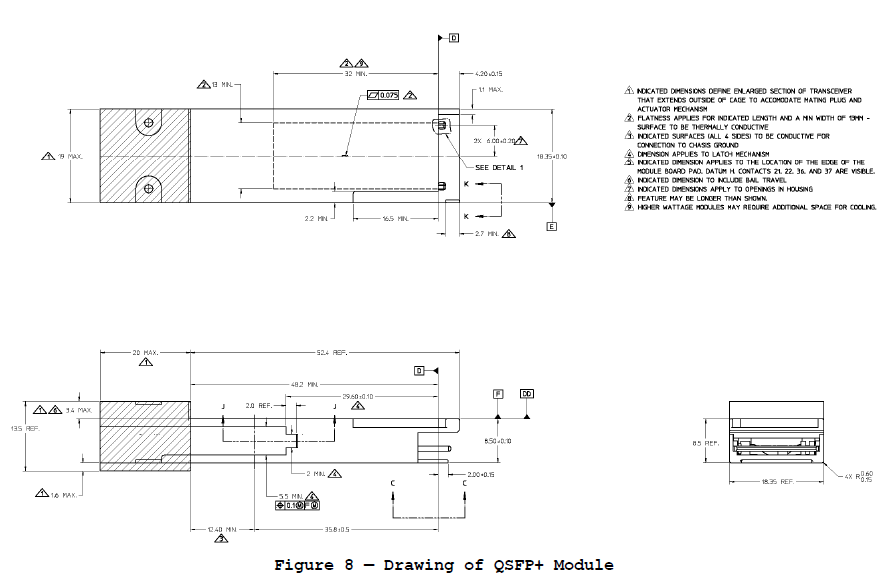
表8列出了各种组件的基准列表。注意一些基准的对齐。模块，笼和连接器相对于主板和挡板的关系如图7所示，注意每个组件的关键基准点的位置。为了降低附图的复杂性，除非另有说明，否则所有尺寸均被视为居中。

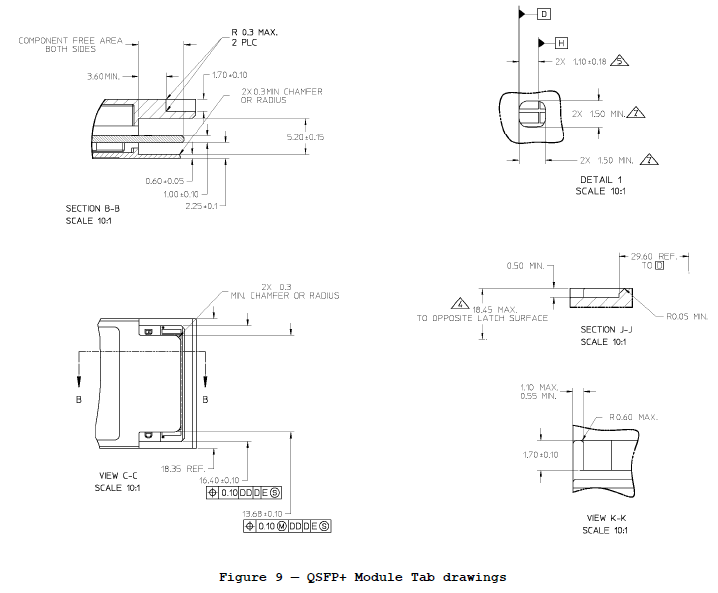




5.3 QSFP +模块机械封装尺寸

所有QSFP +模块和直接连接电缆均采用常见的机械外形。从笼子组件内移除模块的优选方法是采用吊环式动作方法。模块应在插入时提供自动锁定的方法。QSFP +模块的封装尺寸在图8和图9中定义。控制延伸到外壳外部的模块尺寸，列为图8中注1和注6的最大尺寸。注意：所有尺寸以毫米为单位。





5.3.1 QSFP +模块PCB与QSFP +电连接器的配对

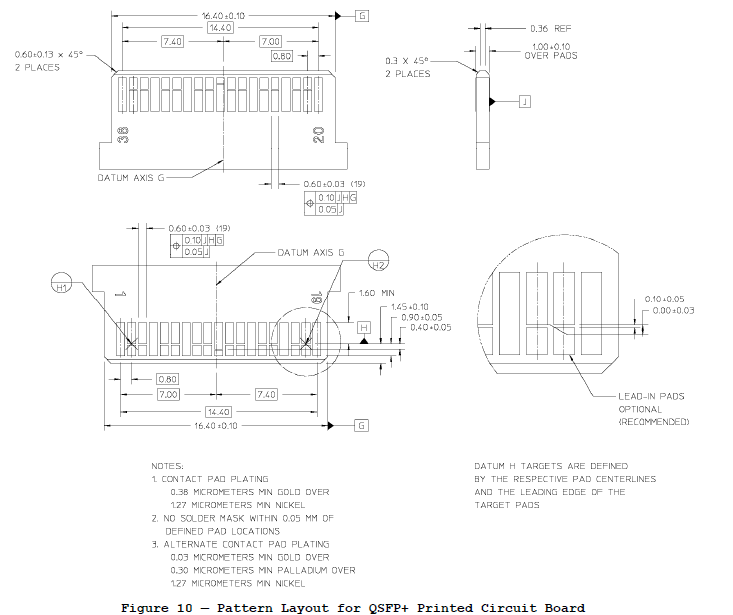
QSFP +模块包含与QSFP +电连接器相配合的印刷电路板。垫片设计用于顺序连接：

第一连接 - GND触点

第二连接 - 电源触点

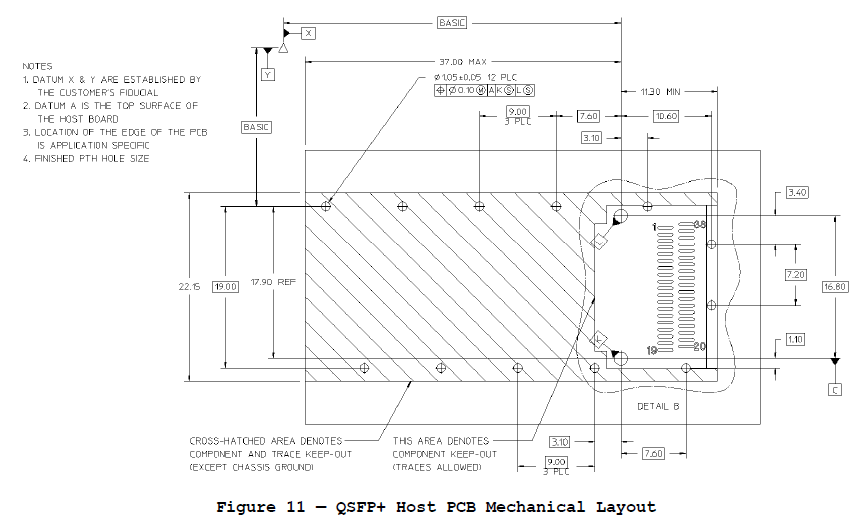
第三连接 - 信号触点

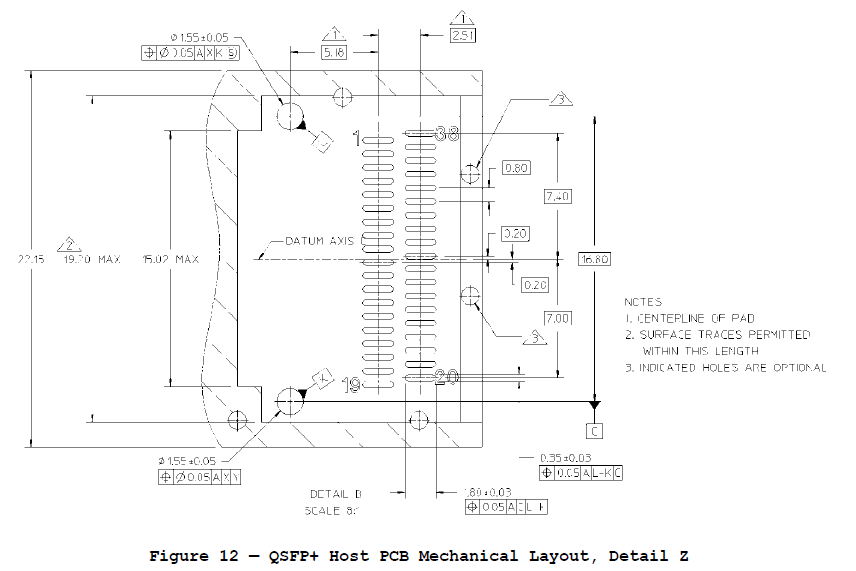
QSFP +印刷电路板的图案布局如图10所示。



5.4主机PCB布局

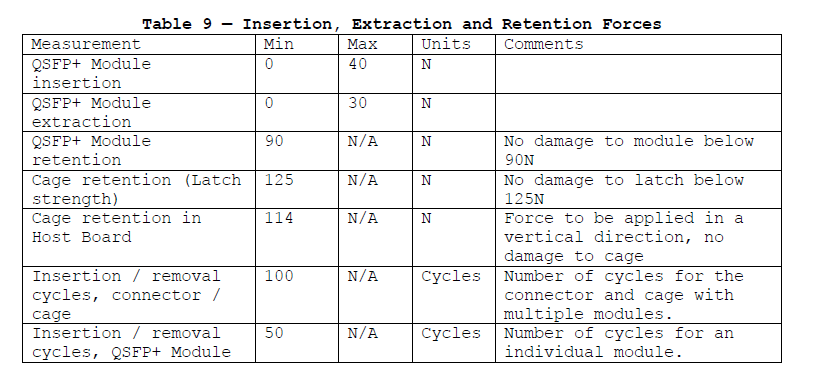
用于连接QSFP +连接器和笼式系统的典型主机机械布局如图11和图12所示。主机板上的模式位置是特定于应用的。有关图案相对于边框的位置的详细信息，请参见第5.6节。要实现10Gbps性能焊盘尺寸和相关公差，必须遵守并注意主机板布局。





5.4.1 QSFP +模块的插入，拔出和保持力

插入力，拔出力和保持力的要求见表9. QSFP +笼子和模块设计组合必须确保施加在电缆上的过大的力不会损坏QSFP +笼或主机连接器。如果任何部件被过大的力量损坏，它应该是电缆或介质模块，而不是作为主机系统一部分的笼子或主机连接器。



5.5 QSFP +模块的颜色编码和标签

QSFP +模块（延伸到挡板外部的特征或表面）的暴露特征应按如下颜色进行编码：

米色850nm

蓝色为1310nm

白色为1550nm

每个QSFP +模块应标明清晰。当安装QSFP +模块时，完整的标签不可见，设备的底部是标签的推荐位置。标签应包括：

适当的制造和零件编号识别

适当的合规性标签

可追溯的制造代码

标签还应包括外部端口特性的明确规定，如：

光波长

所需的光纤特性

运行数据速率

支持接口标准

支持链接长度

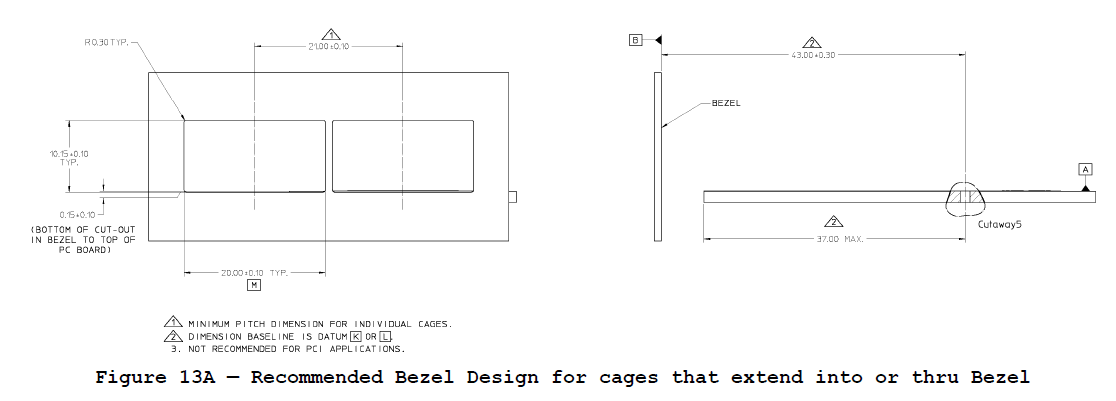
标签不得干扰机械，热或EMI特性。

5.6使用QSFP +模块的系统的挡板

使用QSFP +设备的主机机箱应在QSFP +模块之间提供适当的间隙，以便在不使用专用工具和具有足够机械强度的挡板外壳的情况下进行插拔。 QSFP +模块插槽应远离附近的模制品和盖子，以避免可能阻碍方便地访问锁定机构、QSFP +模块或直接插入笼子的电缆。定义了与子条款5.6.1和5.6.2中描述的QSFP +模块一起使用的两个笼式设计。它们之间的区别在于，一个笼子的前部延伸到或穿过挡板中的开口，而另一个的顶部则向上延伸抵靠挡板的后表面。尽管两个设计的笼子封装相同，但是与主机挡板的内表面的距离可能因垫圈选择而异。从板的内表面到主板上的基准K和基准L的推荐基本尺寸在设计之间可能不同，并在图13a和13b中解决。这些设计与5.8节中定义的笼式组件的两个版本对齐。对于每个挡板版本，组件的腹部到腹部安装的最小推荐主板厚度是不同的，如5.6.1和5.6.2所述。挡板厚度范围应为0.8 mm至2.6 mm。

5.6.1通过边框笼组件版本的挡板

保持笼子组件的前表面穿过挡板。可以为此选项实现两个EMI解决方案。如果使用EMI弹簧指，则它们接触到挡板切口的内部。如果使用EMI垫圈，它将与挡板的内表面接触。为了接受所有的笼式设计，两个挡板表面必须是导电的，并连接到机箱地。腹部至腹部安装连接器和笼子组件的最小推荐主板厚度最小为2.2mm。



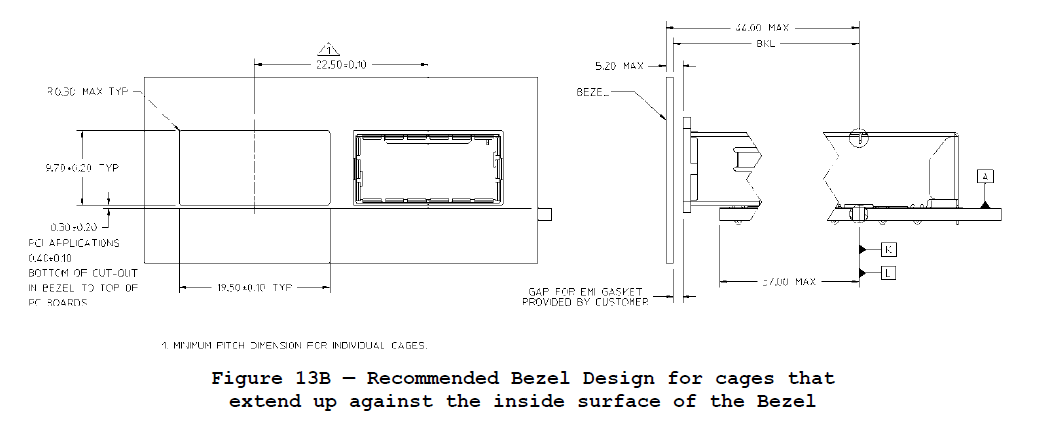
5.6.2边框笼组件版本后面的挡板

挡板EMI垫片有许多选项，用作挡板和笼子前部之间的密封。面板EMI垫片的设计和用于垫圈的材料是特定的。优选的方法是使用压敏粘合剂将垫圈固定到挡板的背面。主机板到边框的组件将衬垫压缩到指定的由挡板EMI垫片制造商推荐的范围。与挡板EMI垫片接触的挡板背面的表面必须是低电阻并连接到机箱接地。腹部至腹部安装连接器和笼子组件的最小推荐主板厚度最小为2.7mm。压缩后的垫片厚度可以计算如下：GT = BKL - 42.80 +/- 0.25mm。其中：

•GT是处于压缩状态的垫片厚度。

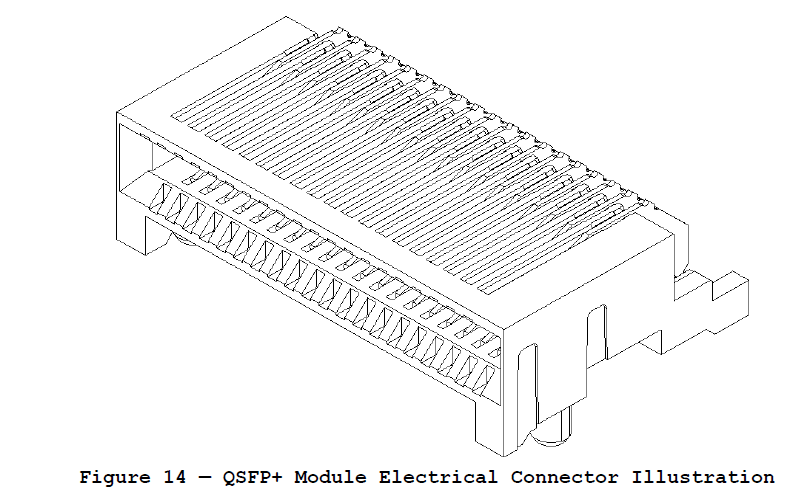
•BKL是从挡板背面到基准K＆L中心线的距离。请参见图11和图12（注：挡板前面到基准面KLL中心线的尺寸不能超过48.25mm）。

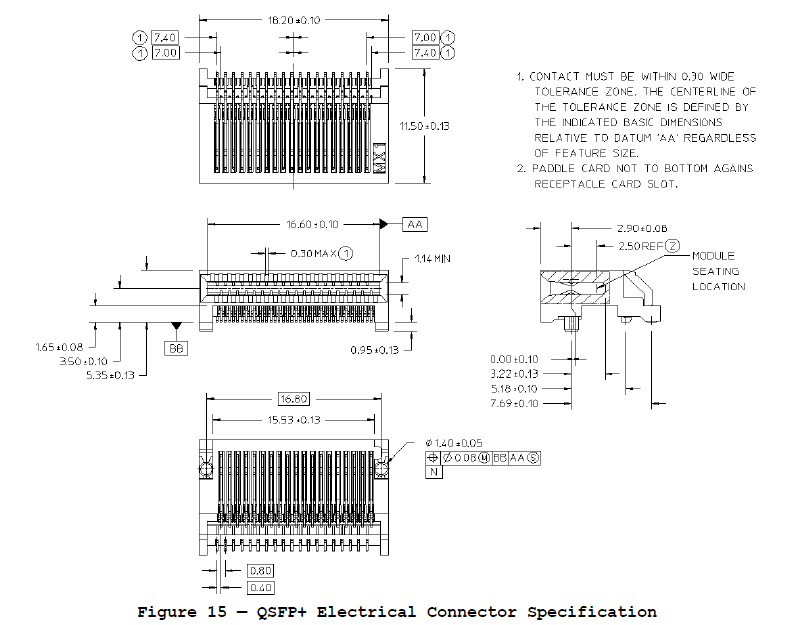
•42.80 +/- 0.25mm尺寸是从笼子前部到硬止动器的基准T的距离。见图17。



5.7 QSFP +电气连接器机械

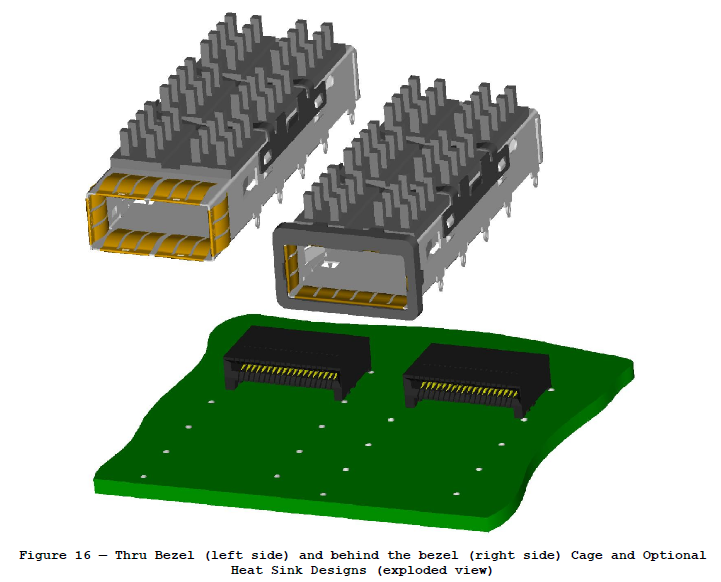
QSFP +连接器是38接触式直角表面安装连接器，如图14所示。连接器的机械规格如表9所示，如图15所示。



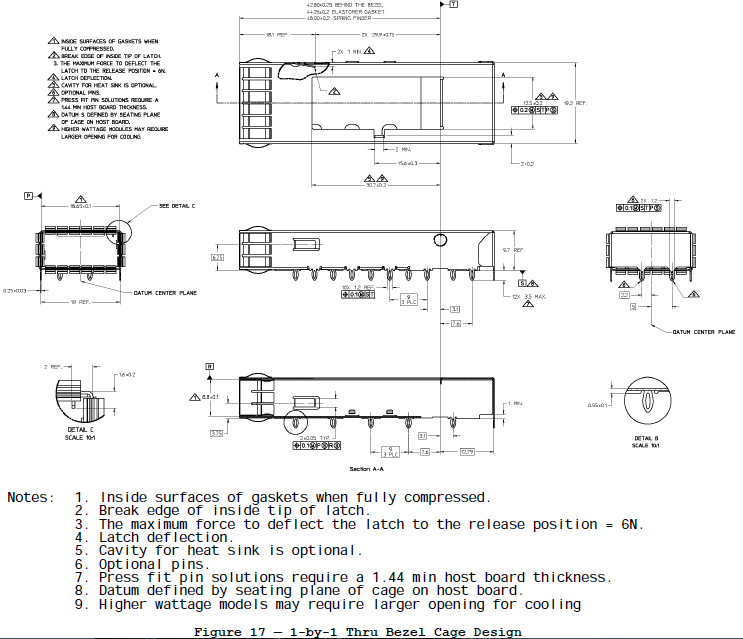


5.8独立QSFP +笼组装版本

笼式组件有两种版本：通过挡板的Thru Bezel版本，以及不通过挡板的“后盖”（Behind the Bezel）版本。图16中示意性地显示了Thru Bezel（左侧）和Bezel（右侧）笼子组件后面的分解图。



笼组件选项如图17所示。



笔记：

1.完全压缩后垫片的内表面。

2.断闩锁的内部尖的边缘。

3.将闩锁偏转到释放位置的最大力= 6N。

4.闩锁偏转。

5.散热器的腔是可选的。

6.可选引脚。

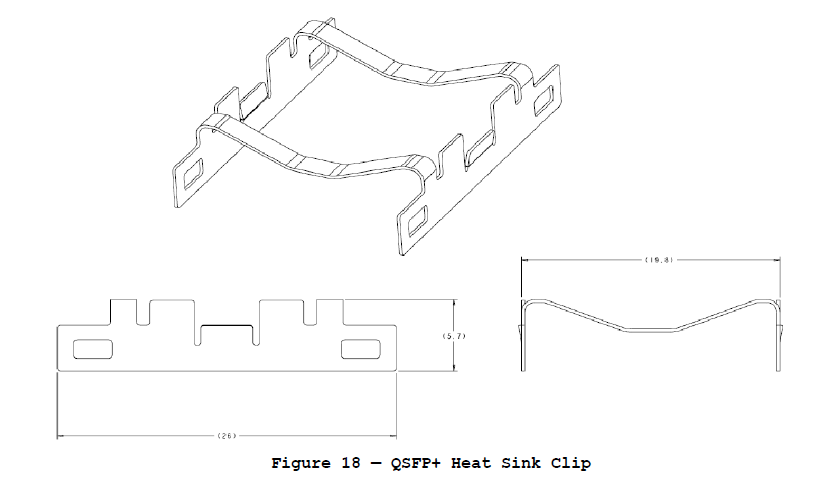
7.按压插脚解决方案需要最小1.44的主板厚度。

8.由主机板上的笼子的座面定义的基准。

9.更高的瓦数型号可能需要较大的冷却开度

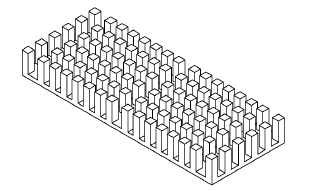
5.8.1 QSFP +散热片尺寸

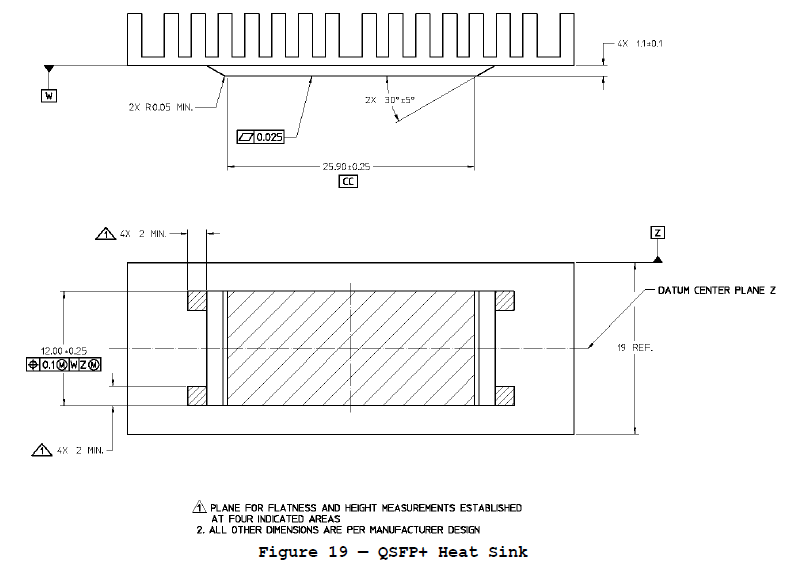
图18中定义的散热片仅供参考。散热片夹，散热器及其附件特征在笼式组件上的设计是供应商特定的，未在本文档中定义。当固定到笼子上时，夹子将在散热器和QSFP +模块的接口处提供最小的5牛顿力。夹子被设计成允许将散热器固定到夹子中，然后组装到笼子并在模块插入期间稍微膨胀，以便保持模块和散热器之间的接触力。



5.8.2 QSFP +散热器尺寸

图19所示的散热器仅供参考。定义了确保散热片与散热片兼容的关键尺寸。翅片或支柱的构造与外部封套一起是特定的。散热器包括一个倾斜的边缘，当模块插入笼子组件中时，“斜起”模块的前缘。散热器的推荐材料是铝，模块接触表面的表面处理可以是阳极氧化或镀镍。



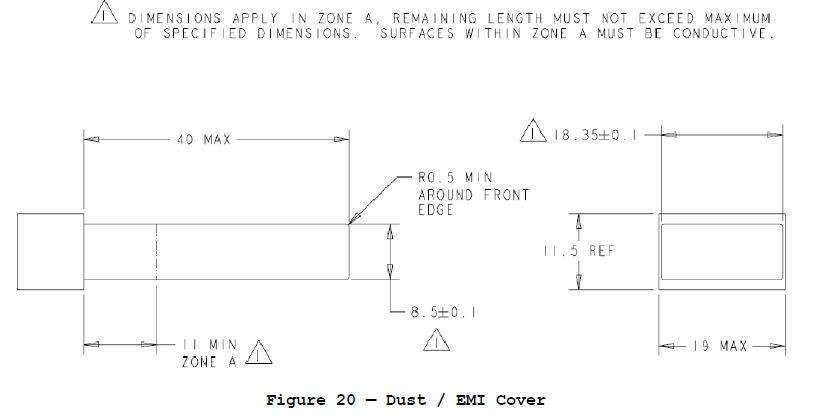


5.8.3光管

使用光管来指示模块的状态是特定于应用的。

5.9粉尘/ EMI

盖子为了防止内部组件的污染并优化EMI性能，建议在不存在模块时将灰尘/ EMI盖插入到机架组件中。有关推荐设计，请参见图19。在安装过程中，盖子上的前凸缘应位于挡板前表面，以防灰尘进入设备。应选择材料的电导率用于防尘/ EMI盖以阻止EMI辐射。

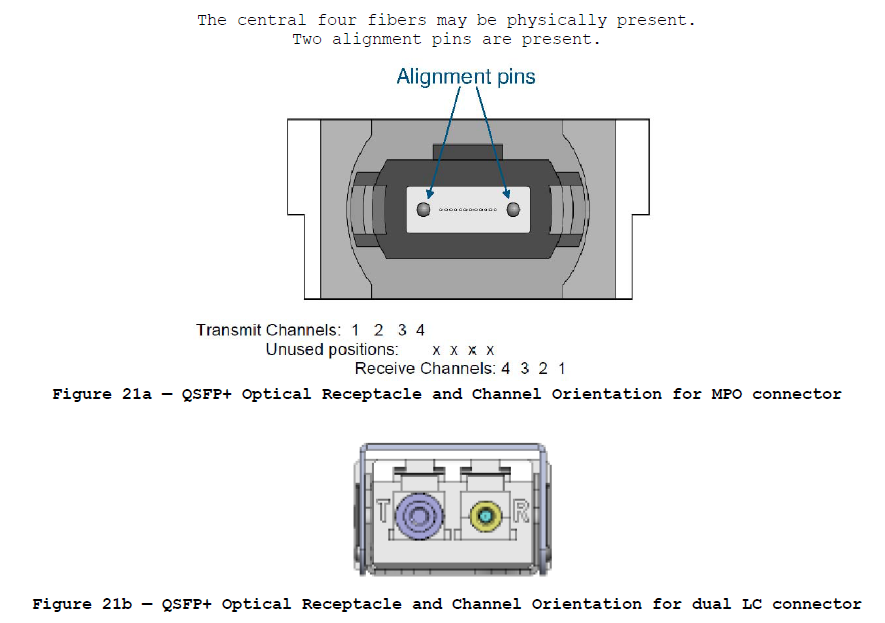


5.10光接口

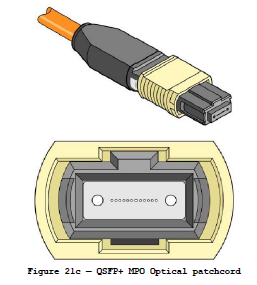
QSFP +光接口端口应为IEC 61754-7（见图21a）中规定的公型MPO连接器或IEC 61754-20规定的双LC（见图21b）。左侧的四个光纤位置如图1所示。如图20a所示，左侧的四个光纤位置与键盘一起用于光发送信号（通道1至4）。右侧的光纤位置用于光接收信号（通道4至1）。

中心四根纤维可以物理存在。

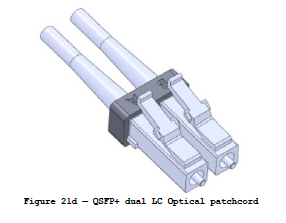
存在两个对准引脚。



MPO光缆连接对齐键（类型B）应使用MPO跳线来确保模块之间信号的对准。对齐的键跳线在TIA-568中定义，如图21c所示。光学连接器的定位使得MPO插座的键控特征位于顶部。



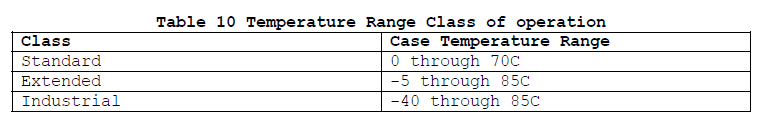
双LC光缆连接双LC光缆跳线在TIA / EIA-604-10A中定义，如图21d所示。



6.环境和热能

6.1热要求

QSFP +模块应在表10中定义的一个或多个外壳温度范围内工作。温度范围适用于海拔60米至海拔1800米（参考NEBS GR-63），利用主机系统设计的气流。



QSFP +被设计为允许多达16个相邻的模块，组合和/或腹部到腹部，具有适合的冷却/气流热设计。（参考NEBS GR-63）

**7管理界面**

7.1介绍

为了使用户能够灵活地使用该模块，已经指定了像其他形式因素（如GBIC，SFP和XFP）常用的管理接口。为了适应多通道模块，该规范已经改变。一些时序要求对于多通道设备尤为重要，因此接口速度得到了提高。这个QSFP +规范是基于INF8438规范的，但它不是向后兼容的。地址128 Page00用于指示使用QSFP +内存映射而不是QSFP内存映射。

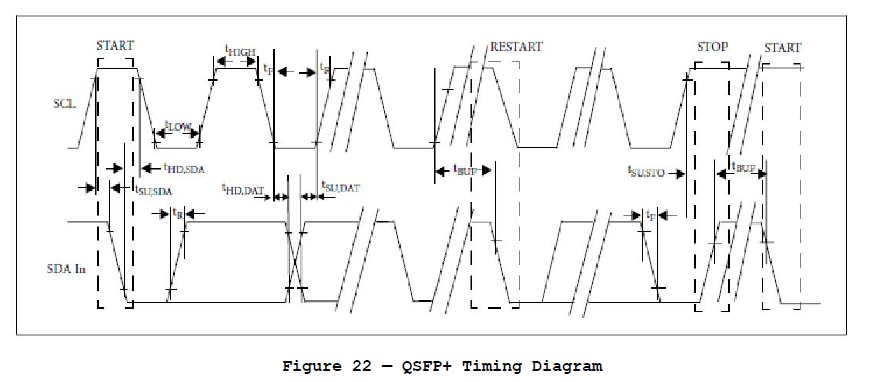
7.2时序规范

7.2.1介绍

低速信号是基于以Vcc工作的低电压CMOS（LVCMOS）。主机应在2线接口SCL（时钟）和SDA（数据）信号上使用连接到Vcc\_host的上拉电阻。详细的电气规范在4.1.2节中给出。所有超过1位长的寄存器的命名法是MSB-LSB。

7.2.2管理接口时序规范

为了支持多通道器件，考虑串行接口的较高时钟速率。时序要求如图22所示，并在表11中给出。QSFP +定位为利用2线定时（快速模式设备）来调整主机ASIC上相关内核的使用。本条款严格遵循XFP MSA规范。



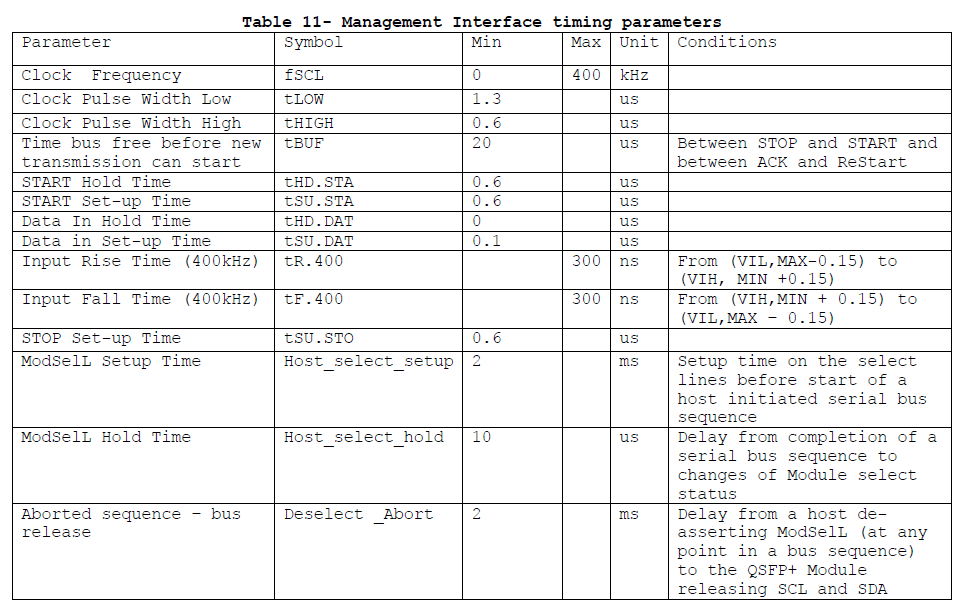
在启动2线串行总线通信之前，主机应在2线总线上所有模块的ModSelL线上提供建立时间（Host\_select\_setup -Table 11）。在两线串行总线通信完成并且满足保持时间要求（Host\_select\_hold - 表11）之前，主机不得更改任何模块的ModSelL线。 QSFP +模块的2线串行接口地址为1010000X（A0h）。为了允许访问同一个2线串行总线上的多个QSFP +模块，QSFP +引脚分配包括一个ModSelL或模块选择引脚。该引脚（模块中拉高或取消选择）必须由主机保持低电平，以选择感兴趣的模块，并允许通过2线串行接口进行通信。除非选择该模块，否则该模块不得响应或接受2线串行总线指令。

7.2.3串行接口协议

SCL上的时钟延长由模块置为低电平。

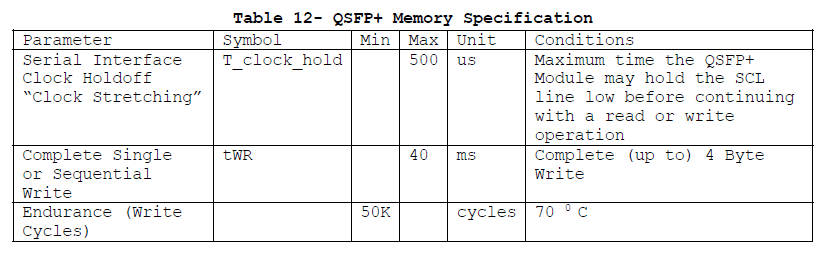
7.2.3.1管理时序参数

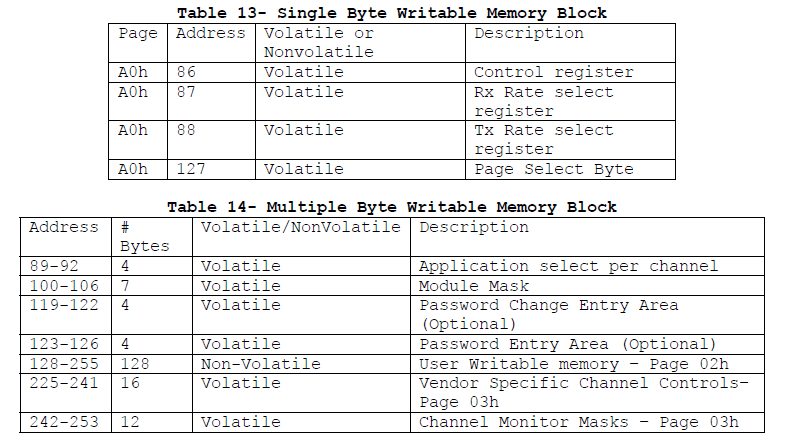
QSFP +模块的2-Wire接口的时序参数如表11所示。



7.3存储器相互影响规格

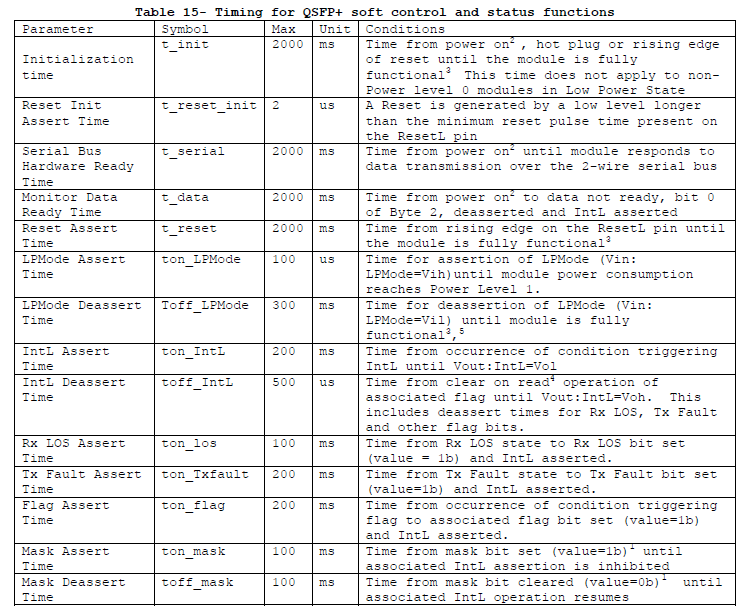
表13给出了QSFP +存储器合约时序。表13给出了单字节可写存储器块。表14中定义了多字节可写存储器块。

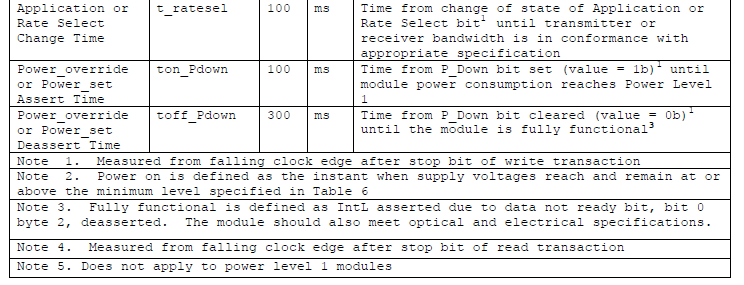




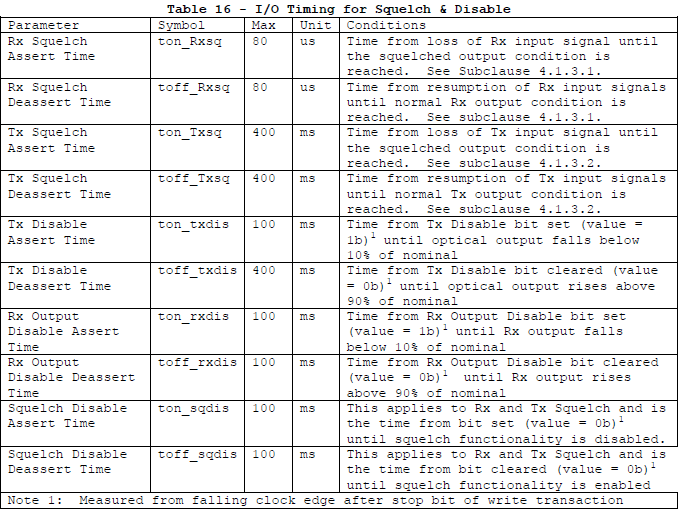
7.3.1软控制和状态功能的时序

QSFP +软控制和状态功能的时序如表15所示。





静噪和禁用时序在表16中定义。



7.4设备寻址和操作

串行时钟（SCL）：SCL由主机向QSFP +模块提供，正边沿时钟是数据进入每个QSFP +器件，负边沿时钟是数据输出每个器件。在时钟延长期间，SCL线可能被QSFP +模块拉低。

串行数据（SDA）：SDA引脚是双向串行数据传输。该引脚为漏极开路或集电极开路，可与任何数量的漏极开路或集电极开路器件进行导线连接。

主站/从站：QSFP +模块仅作为从站设备运行。主机必须提供SCL总线，并启动所有读/写通信。

设备地址：每个QSFP +在设备地址A0h进行硬连线。每个模块内存结构见7.6节。

每个SCL / SDA的多个器件：QSFP +模块与点对点SCL / SDA兼容时，可以使用QSFP + ModSelL线共享一个SCL / SDA总线。有关更多信息，请参见4.1.1.1，4.1.2和表3。

时钟和数据转换：SDA引脚通常用外部器件拉高。 SDA引脚上的数据只能在SCL低电平时间段内更改。 SCL高电平期间的数据更改表示START或STOP条件。所有地址和数据字以8位字串行发送到QSFP +。

SDA线上的每个字节必须为8位长。首先用最高有效位（MSB）传输数据。 START条件：SCL为高电平时，SDA由高电平到低电平转换为START条件，必须先于任何其他命令。

STOP条件：SCL为高电平时，SDA由低电平到高电平转换为STOP条件。

确认：在发送每个8位字之后，发射机释放SDA线一段时间，在此期间允许接收机将SDA拉低（零）以确认（ACK）已接收到每个字。由主机发起的设备地址字节和写入数据字节应由QSFP +模块确认。由QSFP +模块发送的读取数据字节应由主机确认，除了最终字节读取之外，此时主机应以STOP而不是ACK进行响应。

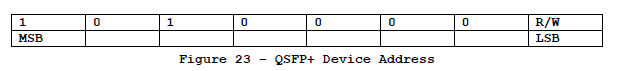
存储器（管理接口）复位：协议中断后，掉电或系统复位，QSFP +管理接口可以复位。存储器复位仅用于复位QSFP +模块管理接口（更正挂起总线）。没有其他模块功能被暗示。

1）时钟最多9个周期。

2）SCL为高电平时，在每个周期内寻找SDA高电平。

3）在SDA为高电平时创建START条件

器件寻址：QSFP +器件在启动条件之后需要8位器件地址字来使能读或写操作。器件地址字由图23中前7个最高有效位的强制序列组成。这对于所有QSFP +器件都是通用的。



器件地址的第8位是读/写操作选择位。如果该位置为高电平，则启动读操作，如果该位置低，则启动写操作。通过比较器件地址（ModSelL处于低电平状态），QSFP +模块将在SDA线上输出一个零（ACK）来确认地址。

7.5读/写功能

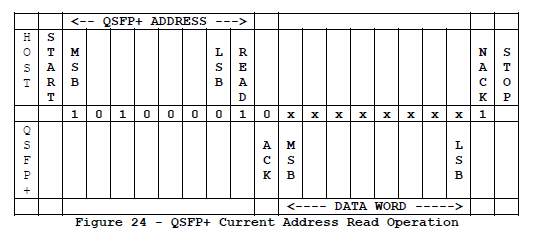
7.5.1 QSFP +存储器地址计数器（读和写操作）

QSFP +设备维护一个内部数据字地址计数器，其中包含在最近读或写操作期间访问的最后一个地址，增加1。每当模块接收或发送数据字时，地址计数器递增。只要维护QSFP +电源，该地址在操作之间保持有效。读写操作中的地址“翻转”是从128字节存储器页面的最后一个字节到同一页面的第一个字节。

7.5.2读操作

7.5.2.1当前地址读取

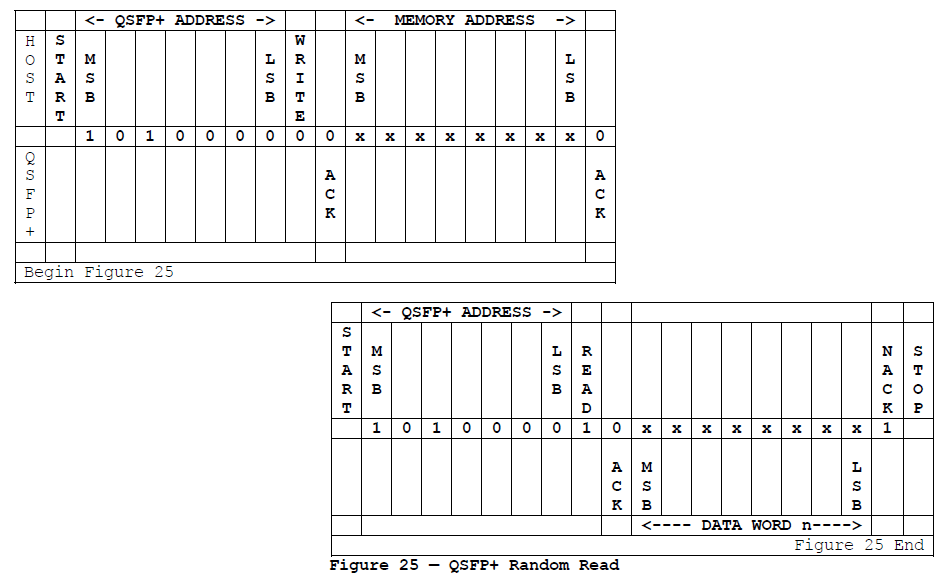
当前地址读取操作仅需要发射机件地址读取字（10100001），参见图24。



一旦QSFP +确认，当前地址数据字被串行输出。主机不响应确认，但一旦读取数据字，就会产生STOP条件。

7.5.2.2随机读取

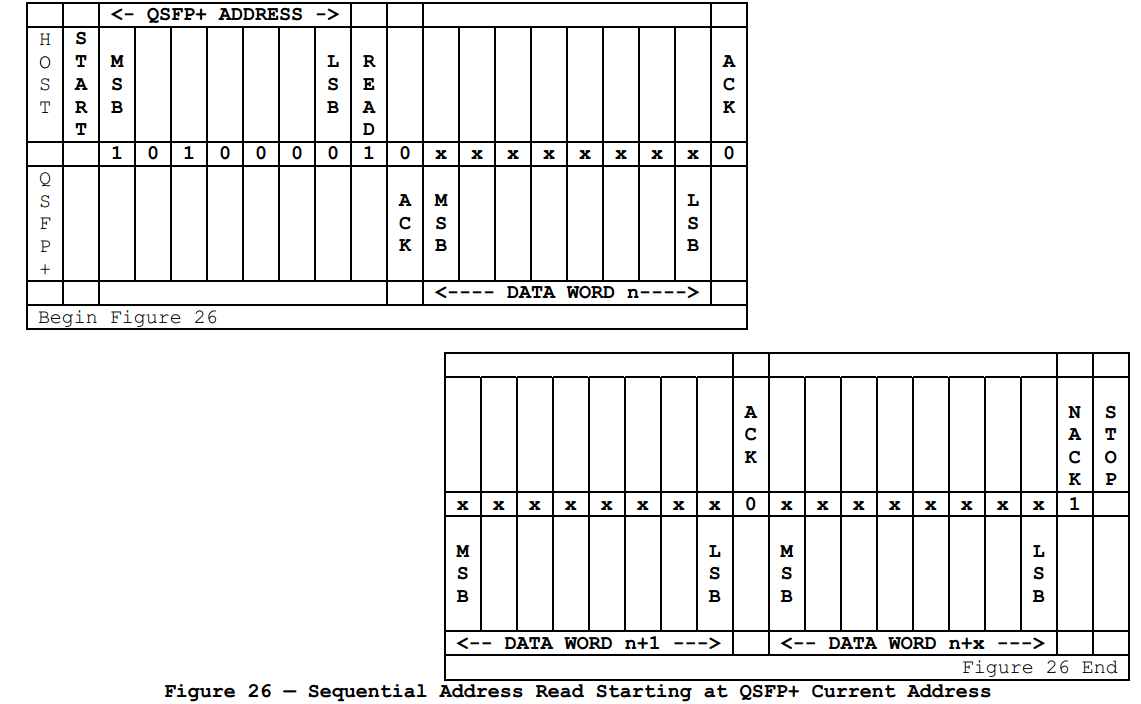
随机读取操作需要一个“虚拟”写入操作来加载目标字节地址，如图25所示。这通过以下顺序完成。

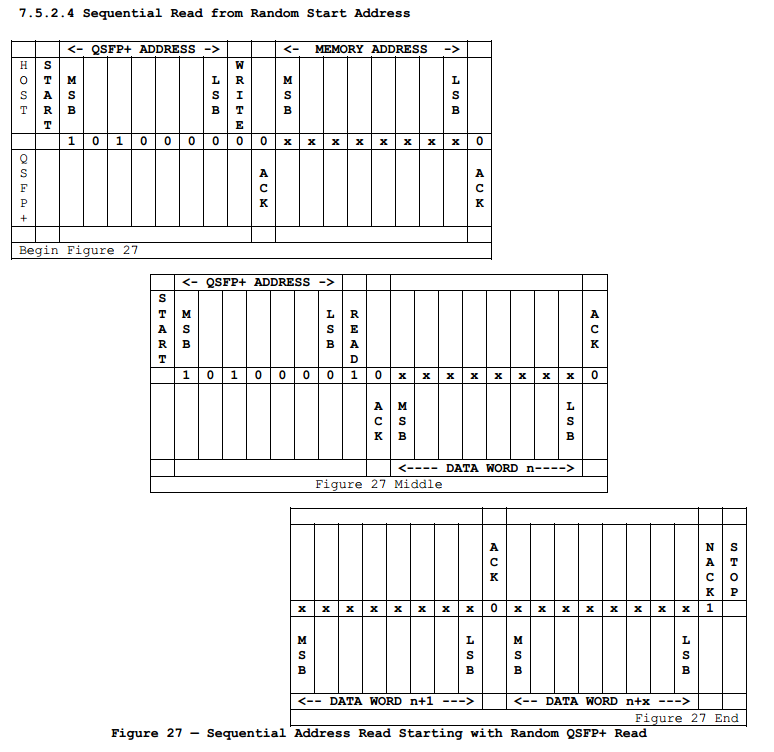


目标8位数据字地址按照器件地址写入字（10100000）发送并由QSFP +进行确认。然后，主机产生另一个START条件（中止虚拟写入而不递增计数器）和通过发送设备读取地址（10100001）读取的当前地址。 QSFP +确认设备地址并对所请求的数据字进行串行计时。主机不响应确认，但一旦读取数据字，就会产生STOP条件。

7.5.2.3顺序读取

顺序读取由当前地址读取如图26或随机地址读取如图27后初始化。要指定顺序读取，主机在每个数据字之后响应一个确认（而不是一个STOP）。只要QSFP +收到一个确认信号，它将按时钟顺序排列串行的数据字。当主机以NACK和STOP而不是确认响应时，该序列终止。





7.5.3 写操作

7.5.3.1 字节写入

写操作需要设备地址写入字（10100000）后的8位数据字地址和确认，请参见图28。在接收到这个地址后，QSFP +将再次响应一个零（ACK）来确认，然后在第一个8位数据字中进行时钟。在接收到8位数据字之后，QSFP +将输出零（ACK），并且主机必须以写入周期开始的STOP条件终止写入序列。如果发送START条件代替STOP条件（即按照2线接口规范重复START），则中止写入，并且丢弃在该操作期间接收到的数据。在收到正确的STOP条件后，QSFP +将内部定时写入周期tWR输入到内部存储器。在写入周期期间，QSFP +禁止其管理接口输入，并且在写入完成之前不会响应或确认后续命令。请注意，QSFP +写命令不支持使用重复启动条件的2线接口“组合格式”。

7.5.3.2顺序写入

QSFP +将支持最多4个连续的字节写入，而不会重复发送QSFP +地址和存储器地址信息，如图29所示。



“顺序”写入以与单字节写入相同的方式启动，但主机在第一个字被计时后不发送停止条件，而是在QSFP +确认接收到第一个数据字之后，主机可以传输多达三个数据字。 QSFP +应在收到每个数据字后发送一个确认。主机必须以停止条件终止顺序写入序列，否则写操作将中止并丢弃数据。请注意，QSFP +写命令不支持使用重复启动条件的2线接口“组合格式”。

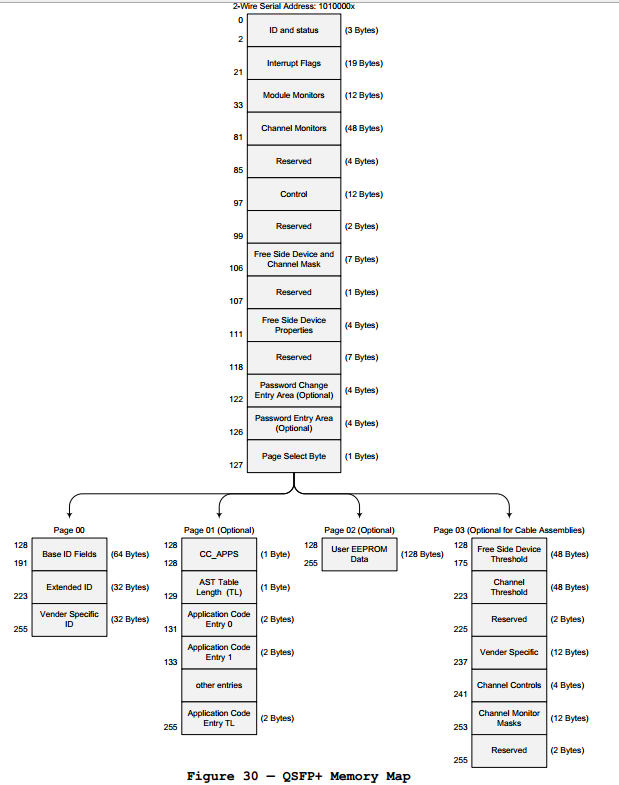
7.5.3.3确认轮询

一旦QSFP +内部定时写周期已经开始（总线上忽略输入），则可以使用确认轮询来确定写操作何时完成。这涉及发送START条件，后跟设备地址字。只有内部写周期完成，QSFP +才能响应后续命令的确认，指示读或写操作可以继续。

7.6 QSFP +内存映射

本条款定义了用于QSFP +模块的存储器映射，用于串行ID，数字监控和某些控制功能。该接口对于所有QSFP +设备是强制性的。该界面已经在INF-8077i Rev.4.0中定义的XFP MSA之后进行了大量设计。存储器映射已被更改，以容纳4个光通道并限制所需的存储空间。单一地址方法用于XFP中。分页用于启用主机和模块之间的时间关键交互。存储器的结构如图30所示。存储器空间被布置成128字节的低单页地址空间和多个高地址空间页。这种结构允许及时访问下页中的地址，例如中断标志和监视器。较少的时间关键条目，例如串行ID信息和阈值设置可用于页面选择功能。该结构还通过根据需要添加额外的页面来提供地址扩展。例如，在图30中，上页01和02是可选的。上页01允许应用程序选择表的实现，上页02提供用户的读/写空间。总是执行下页和上页00。如果页面2中的第2位低，则页面03是必需的。关于可选上页01和02的声明的详细信息，请参见表39所使用的接口地址是A0xh，主要用于诸如中断处理的时间关键数据，以便对与所有数据相关的所有数据进行“一次读取”中断情况。中断后，IntL被断言，主机可以读出标志字段来确定影响的通道和类型的标志。

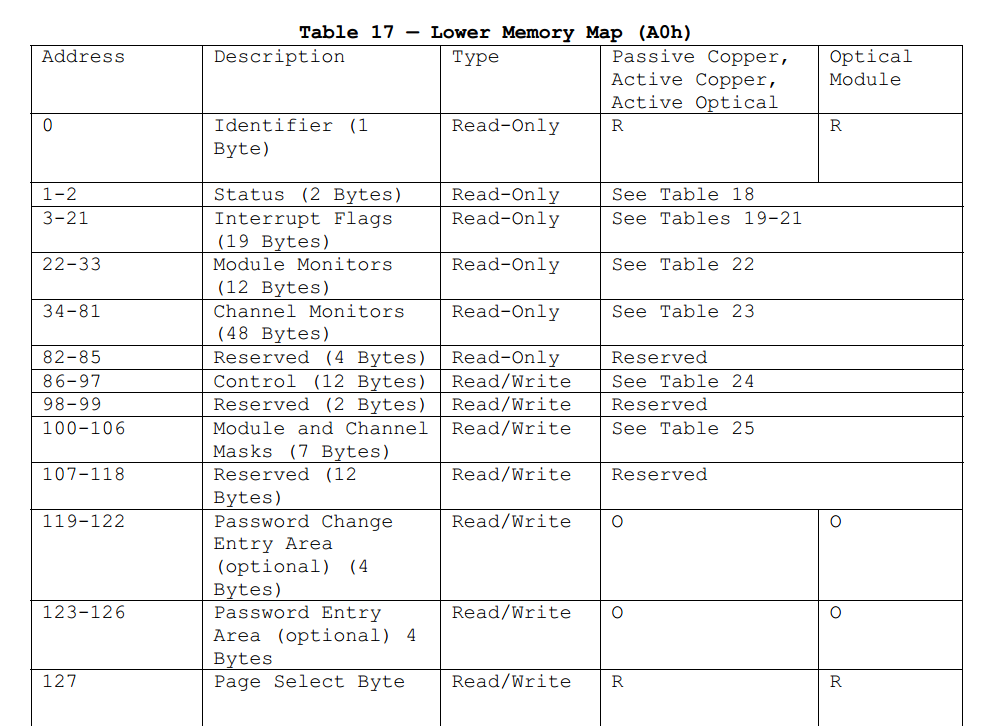
为了允许在同一个2线串行接口上访问多个QSFP +模块，QSFP +引脚包括一个ModSelL引脚，允许主机选择相应的模块进行交互。有关ModSelL和4.1.2的详细信息，请参见4.1.1.1的2-Wire串行接口。



注意：保留的存储器位置将在保留字节的所有位位置中填充逻辑零，并在本节中描述的部分指定字节位置的保留位位置中填充。未使用的可选位（O）将填充逻辑0。不适用的位（NA）应填充逻辑0。对于适当的电缆类型，每个表格中显示了可选（O），必需（R）和不适用（NA）寄存器的指示。

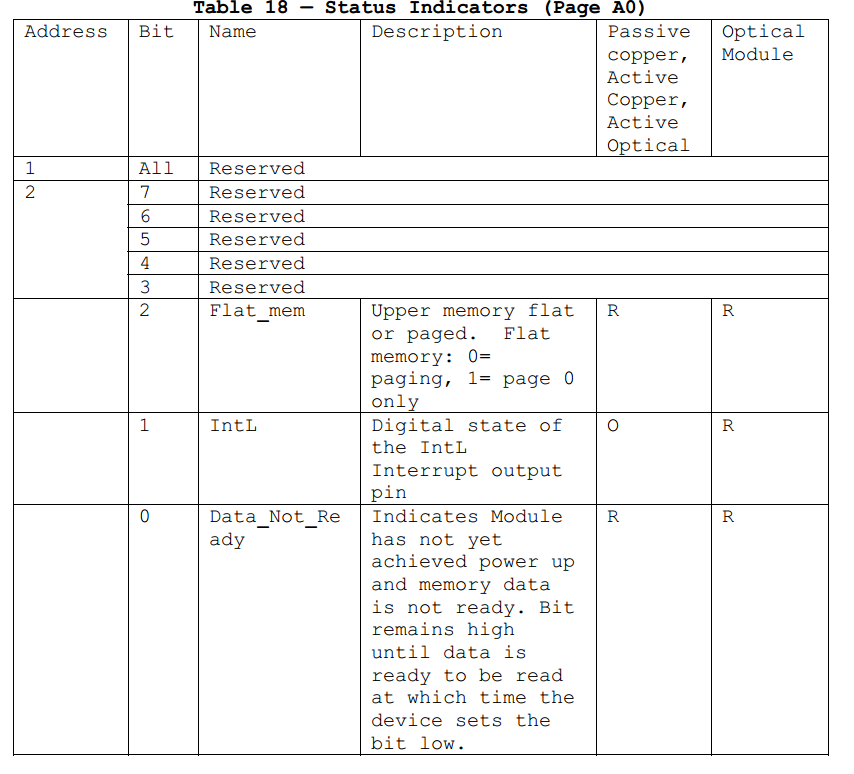
7.6.1低内存映射

2线串行总线地址空间的低128字节见表17，用于访问各种测量和诊断功能，一组控制功能，以及选择各种上位存储器映射页面中的哪一个的方法在随后的读取中访问。地址空间的这一部分总是可直接寻址，因此被选择用于可能需要重复访问的监视和控制功能。标识符字段的定义与第00h页的地址字节128相同。



7.6.1.1状态指示位

状态指标在表18中定义



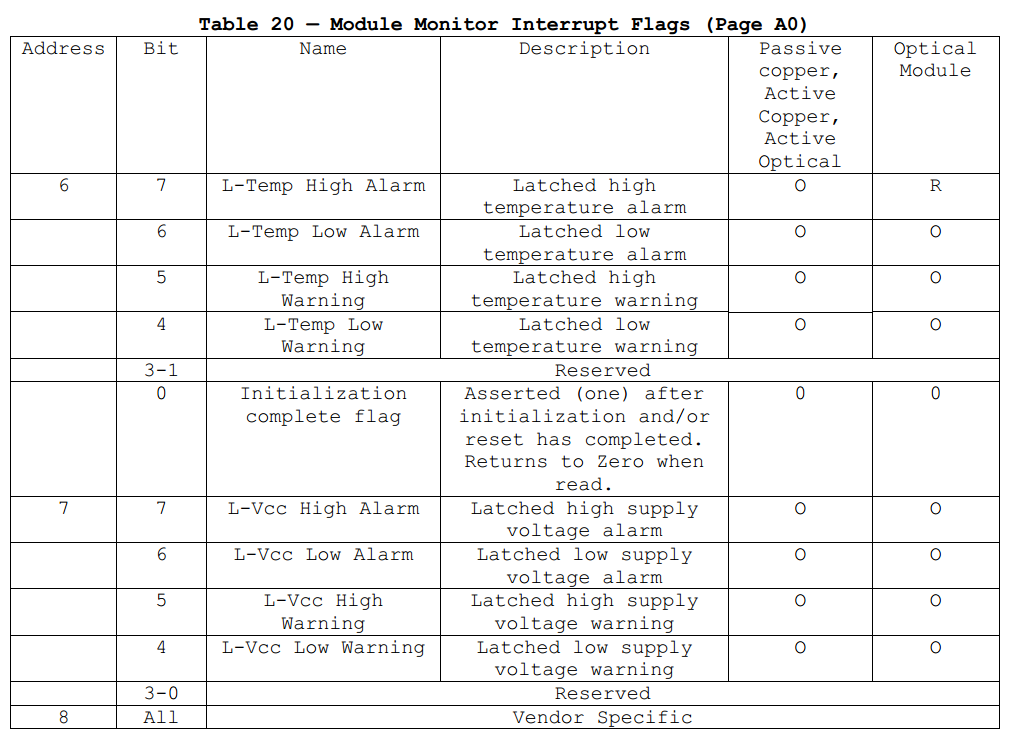
在模块上电期间和在有效的监视器读数之前，Data\_Not\_Ready位为高电平。一旦所有监视器读数有效，该位将置低，直到器件掉电。如果存储器内容是静态的，则该位可以始终为低。

7.6.1.2中断标志

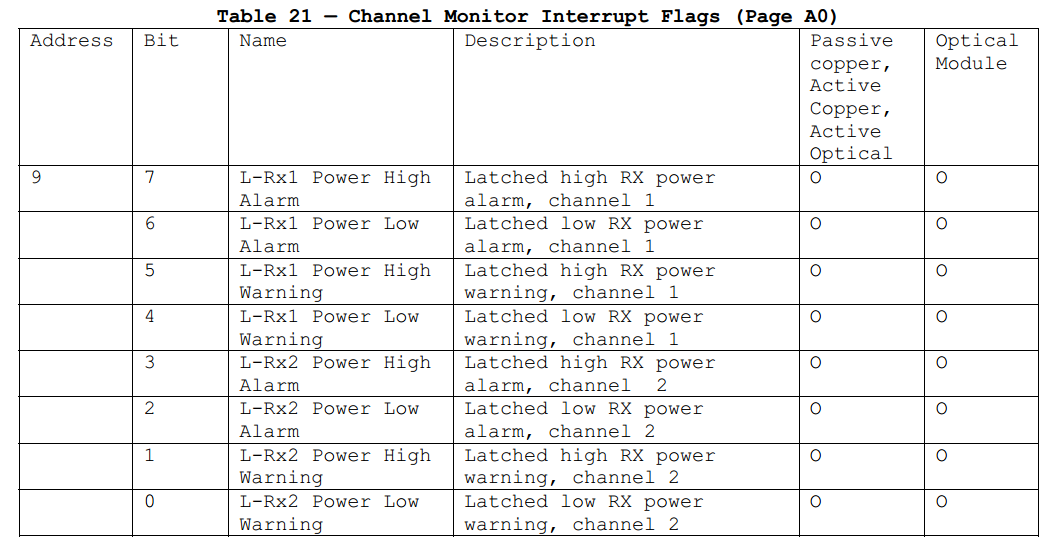
存储器映射的一部分（字节3到21）形成一个标志字段。在此领域内，报告了LOS和Tx故障的状态以及各种监控项目的警报和警告。对于正常操作和默认状态，该字段中的位为0b。对于LOS，Tx故障，模块和通道报警和警告的定义条件，相应位或位置1，值= 1b。一旦置位，这些位保持置位（锁存），直到由包含受影响位的读操作清零，或由ResetL引脚复位。在底层故障仍然存在时清除的故障位可能会被模块立即重新设置。这可能或可能不会导致IntL断言，然后快速重新声明。主机应该容忍这两种行为。通道状态中断标志在表19中定义。这些标志可能被屏蔽。 （见7.6.1.6）

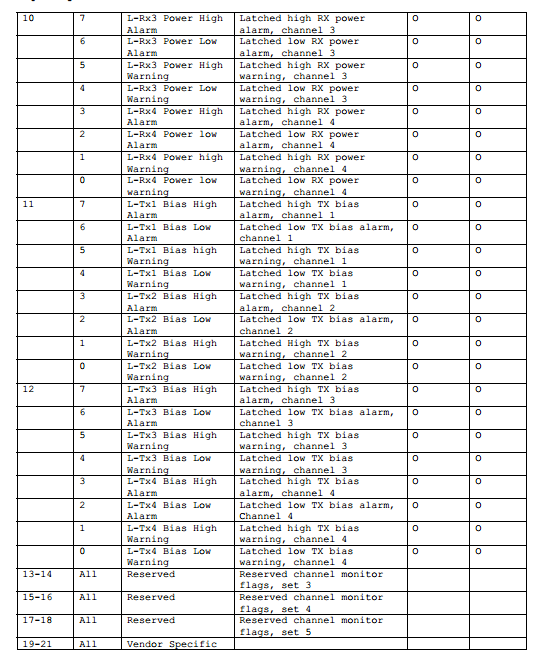


模块监视器中断标志在表20中定义。



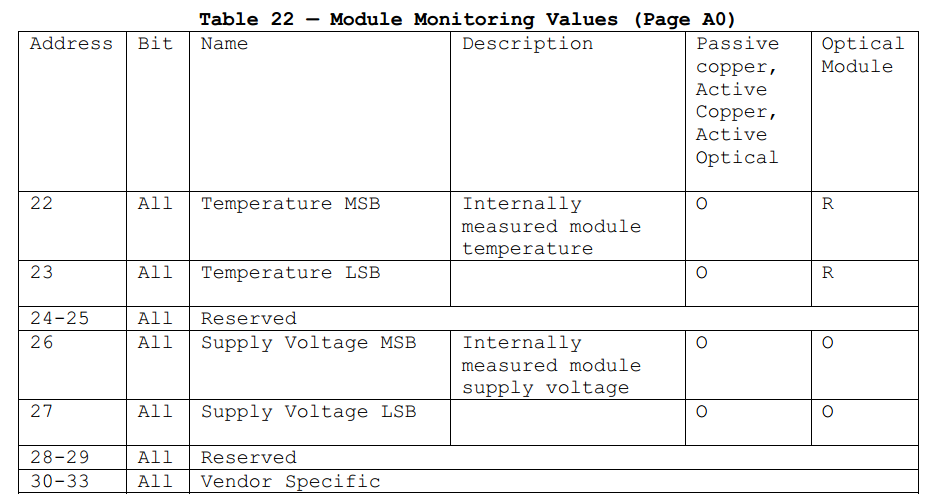
通道监视器中断标志在表21中定义。





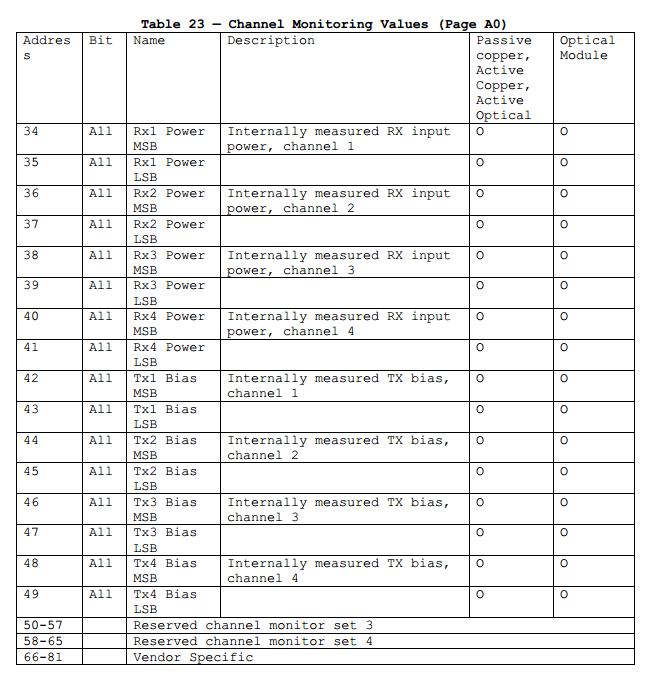
7.6.1.3模块监视器

QSFP +模块的实时监控包括模块温度，模块电源电压以及每个发送和接收通道的监控。通道监视功能在7.6.1.4节中描述。在16位数据字段中报告测量参数，即两个级联字节。这些显示在表22中。16位数据字段允许宽动态范围。这并不意味着建议或要求使用16位A / D系统，以达到下述准确性目标。数据字段的宽度不应该被视为暗示给定的精度级别。可以想到，这里的精确度目标可以通过具有小于16位分辨率的系统来实现。建议将超出系统指定精度的任何低位数据位固定为零。整体系统的准确性和精度将取决于供应商。为了保证诊断监视数据的一致性，主机需要通过2线串行接口使用单个双字节读取序列从诊断监视数据结构中检索任何多字节字段。该模块需要确保使用诊断监视数据更新的任何多字节字段必须以保证数据的一致性和一致性的方式完成此更新。换句话说，模块的多字节字段的更新不能发生，从而将部分更新的多字节字段传输到主机。此外，在将多字节字段传输到主机期间，模块不应更新结构内的多字节字段，导致将部分更新的数据传输到主机。以下规定的精度要求适用于相关标准规定的运行信号范围。应详细了解制造商的规格，以了解满足精度要求的条件。测量根据供应商指定的工作温度和电压进行校准，并应解释如下。应以与实时16位数据相同的方式解释报警和警告阈值。内部测量的模块温度以1/256摄氏度的增量表示为16位带符号的二进制补码，产生的总范围为-128C至+ 128C，被认为在-40和+ 125C之间有效。温度精度是供应商特定的，但在指定的工作温度和电压下必须要高于±3摄氏度。有关温度传感器位置的详细信息，请参见供应商规范。内部测量模块电源电压表示为16位无符号整数，其电压定义为LSB等于100 uVolt的完整16位值（0 - 65535），总测量范围为0至+ 6.5V。模块制造商定义的实际考虑将倾向于限制电源电压测量的实际范围。精度是供应商特定的，但必须在制造商指定工作温度和电压下的额定值的±3％以内。



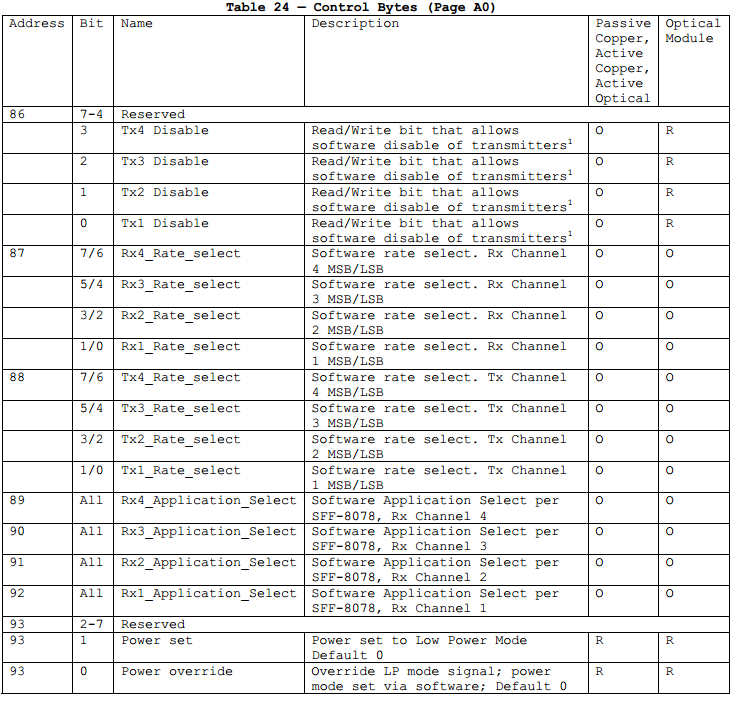
7.6.1.4通道监控

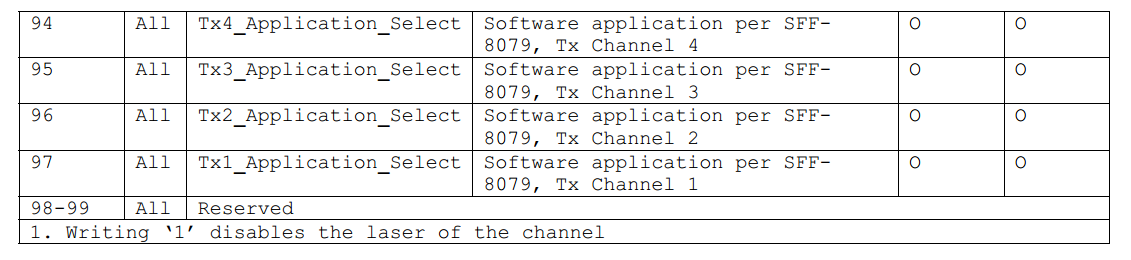
实时通道监控用于每个发送和接收通道，并包括光输入功率和Tx偏置电流。模块监控功能在7.6.1.3节中描述。测量根据供应商指定的工作温度和电压进行校准，并应解释如下。应以与实时16位数据相同的方式解释报警和警告阈值。表23定义了通道监控。测量的TX偏置电流为mA，表示为16位无符号整数，其电流定义为LSB等于2 uA的完整16位值（0 - 65535），总测量范围为0至131 mA。精度是供应商特定的，但必须在制造商指定工作温度和电压下的额定值的±10％以内。测量的RX接收光功率为mW，并且可以表示平均接收功率或OMA，具体取决于字节220（高存储器页面00h）的位3设置。表示为16位无符号整数，功率定义为LSB等于0.1 uW的完整16位值（0 - 65535），产生0至6.5535 mW（〜-40至+8.2 dBm）的总测量范围。绝对精度取决于精确的光波长。对于供应商指定的波长，在制造商指定工作温度和电压下，精度应优于±3 dB。对于每个合适标准的最大传输或最大接收光功率的较小值的输入功率电平，应保持该精度。应按照适当的标准将其维持到最小传输功率减去电缆厂的损耗（插入损耗或被动损耗）。绝对精度超过此最小值所需的接收输入光功率范围是供应商特定的。



 7.6.1.5控制字节

控制字节在表24中定义。这些字节是由主机写的。

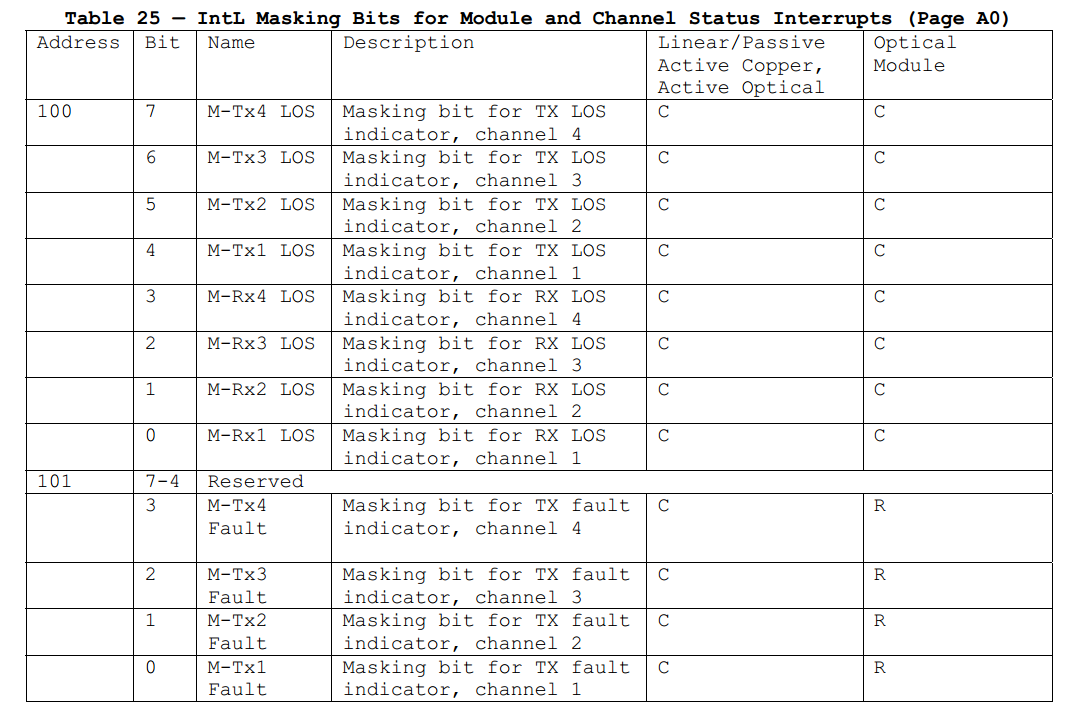


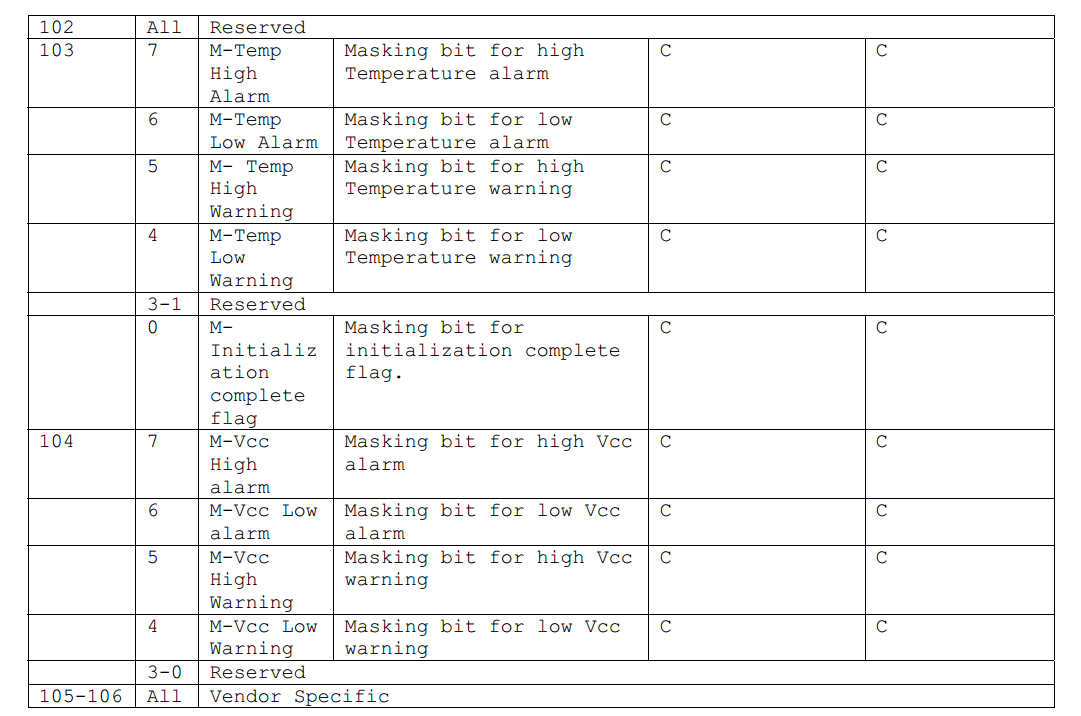


 1.写“1”禁用通道的激光如果软件速率选择未实现，则模块将忽略速率选择位的值。上电时，寄存器读取全部“0”。

7.6.1.6模块和通道掩码

主机系统可以通过设置来自用于模块标志的字节100-104的一组屏蔽位中的高个别位和通道标志的页面03h的字节242-253来控制哪个标志导致中断（IntL）。这些在表25和表48中描述。屏蔽位中的1值防止硬件IntL引脚被相应的锁存标志位置1。屏蔽位是易失性的，并且所有未屏蔽位（掩码位0）都启动。掩码位可用于防止持续的中断，否则会持续重新发送硬件IntL引脚。每当实现关联的标志位时，需要一个掩码位（由C表示为条件）。





7.6.1.7速率选择（字节87-88）

速率选择是一种可选的控制，用于限制接收机带宽，以兼容多种数据速率（最可能的是光纤通道）。此外，速率选择允许发射机针对特定数据速率传输进行微调。模块可以：

a）不提供速率选择的支持

b）使用扩展速率选择的速率选择

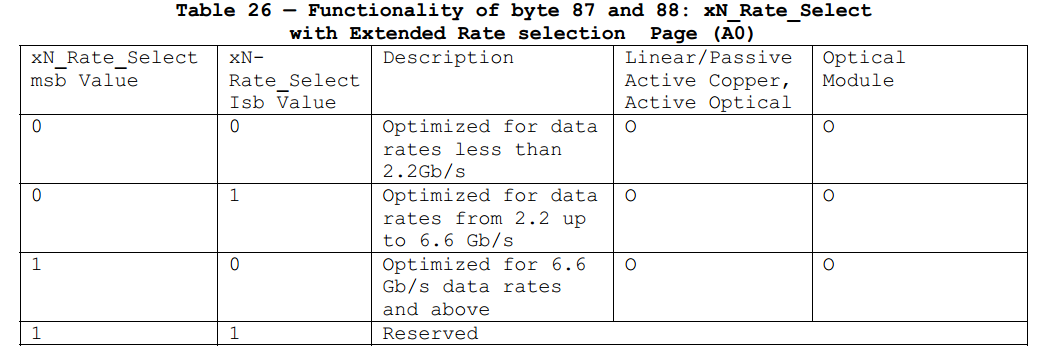
c）使用应用程序选择表进行速率选择

7.6.1.7.1不提供速率选择的支持

当不支持速率选择时（页00h，字节221，位2和3）的值为0，选项（页00h，字节195，位5）的值为0.缺少实现并不表示缺少同时符合多种标准费率。应从模块值确定符合特定标准（见表33）。

7.6.1.7.2扩展速率选择

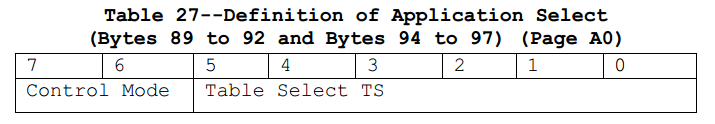
当（第00h，第221位，第2位和第3位）分别具有0和1的值，并且扩展速率合规字节（第00h，第141页）中的至少一个位的值为1时，模块支持扩展速率选择。扩展速率选择在Rxn\_Rate\_Select（字节87）中保留每个通道两个位，在Txn\_Rate\_Select（字节88）中每通道两位保留最多四个速率。表26定义了字节141的位0为1时的功能。扩展速率合规字节的所有其他值被保留。

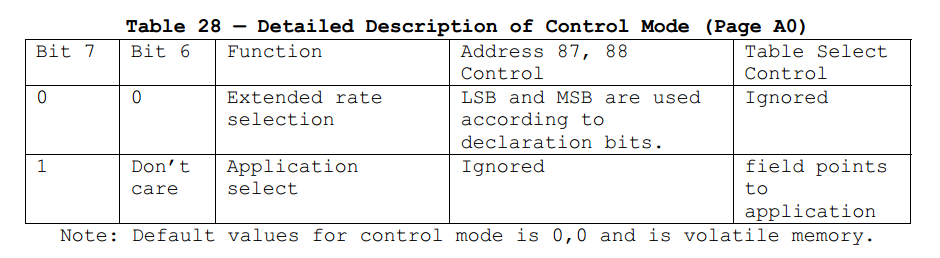


7.6.1.7.3使用应用程序选择表格进行速率选择

应用程序选择（字节89）最大限度地提高了符合SFF-8472的模块对SFF-8079第2部分的兼容性。当速率选择声明位（页00h，字节221，位2和3）分别具有值1和0时，使用第01h页中定义的应用选择方法（见7.6.3）。主机在第01h页上读取整个应用程序选择表，以确定模块的功能。主机通过将控制模式和表选择（TS）字节写入字节89-92和字节94-97来分别控制每个通道。 Rx\_Application Select和Tx\_Application Select寄存器的位在表27中定义。

控制模式定义应用程序控制模式。表选择从AST中选择模块行为63种可能性（000000到111110）。请注意（111111）无效。





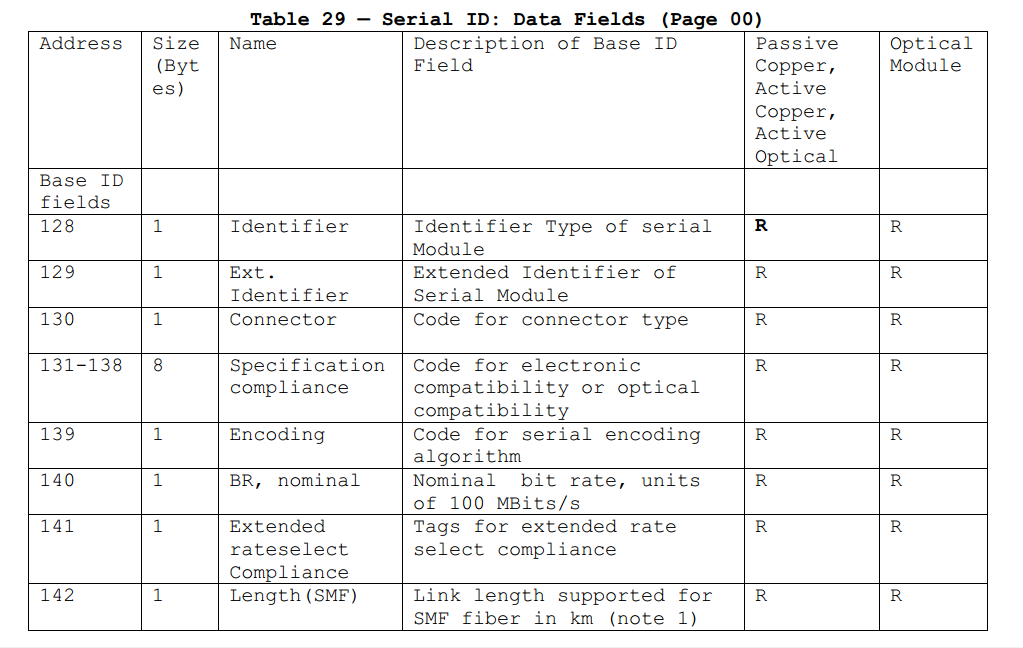
注意：控制模式的默认值为0，是易失性存储器。

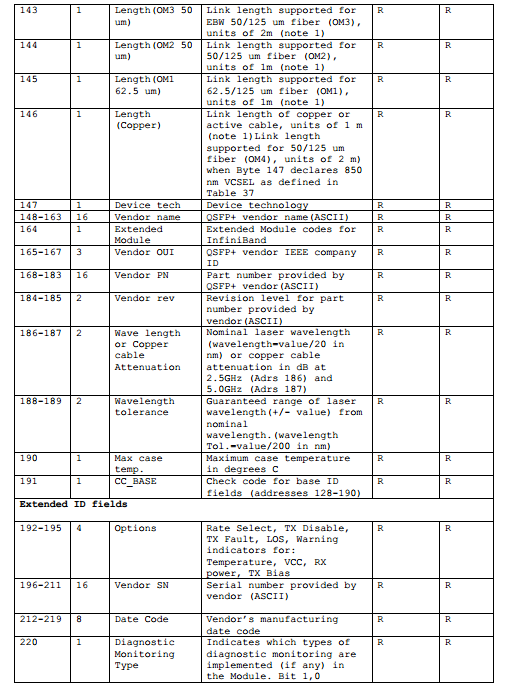
7.6.1.8密码条目和更改

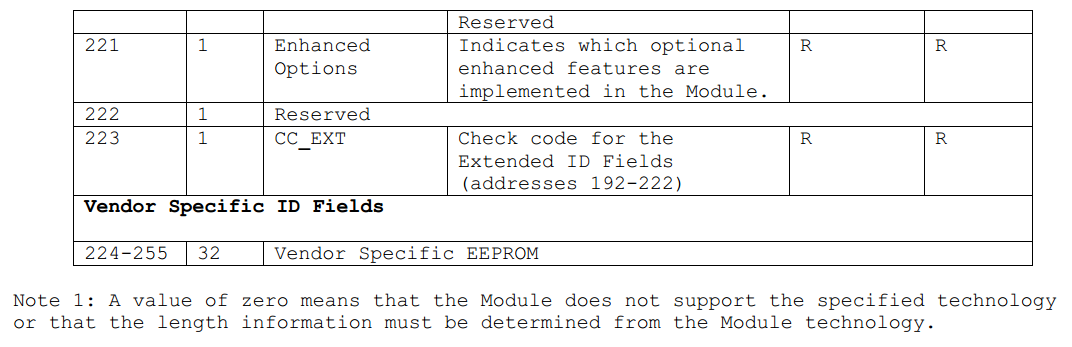
字节119-126保留用于可选的密码输入功能。密码条目字节是只写的，并且将被保留，直到主机断电，复位或重写。该功能可用于控制对供应商特定页面02h的读/写访问。此外，模块厂商可能会使用此功能来实现串行ID和其他QSFP +只读信息的写保护。主机制造商可以提供密码并使用它们来限制用户EEPROM中的写入访问。密码访问不需要访问下部存储器页面00h或高位页面00h，02h和03h中的QSFP +定义数据。请注意，可以定义多个模块制造商密码，以允许选择性地访问以上所述的对存储器的各个部分的读取或写入。主机制造商和模块制造商密码应通过高位（位7，字节123）进行区分。所有主机厂商密码范围为00000000h〜7FFFFFFFh，模块厂商密码范围为80000000h〜FFFFFFFFh。主机制造商的密码应在新模块中初始设置为00001011h。当123-126中输入正确的当前主机制造密码时，通过写入新的密码（字节119-122）可以更改主机制造商密码，高位被忽略，并在新密码中强制为0。密码输入字段在上电复位时应设置为00000000h。

7.6.2上部存储器映射页面00h

第00h页由串行ID组成，用于只读标识信息。序列号分为Base\_ID字段，扩展ID字段和供应商特定ID字段。 Serial ID Memory Map的格式如表29所示。



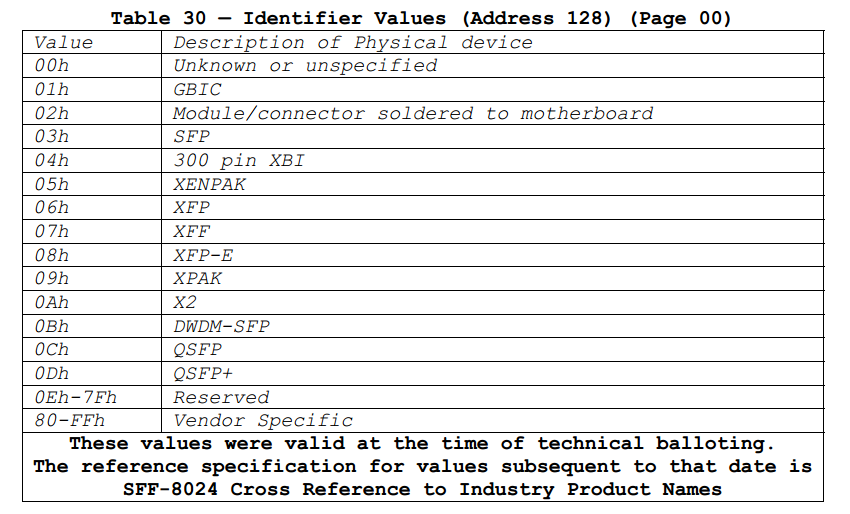




注1：值为零表示模块不支持指定的技术，或者必须从模块技术确定长度信息。

7.6.2.1标识符（地址128）

标识符值指定串行信息描述的物理设备。该值应包含在串行数据中。定义的标识符值如表30所示.QSFP +模块应使用标识符0Dh。

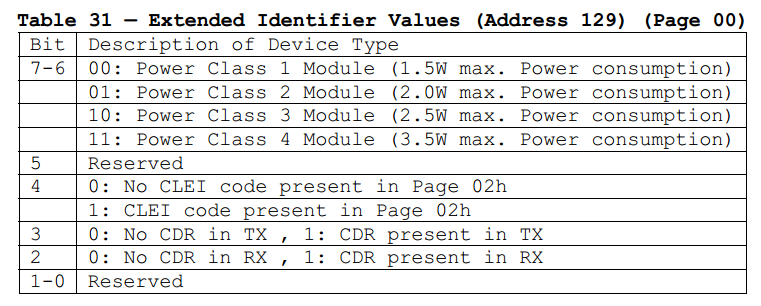


这些价值在技术投票时有效。

该日期之后的值的参考规格是SFF-8024“工业产品名称交叉参考”

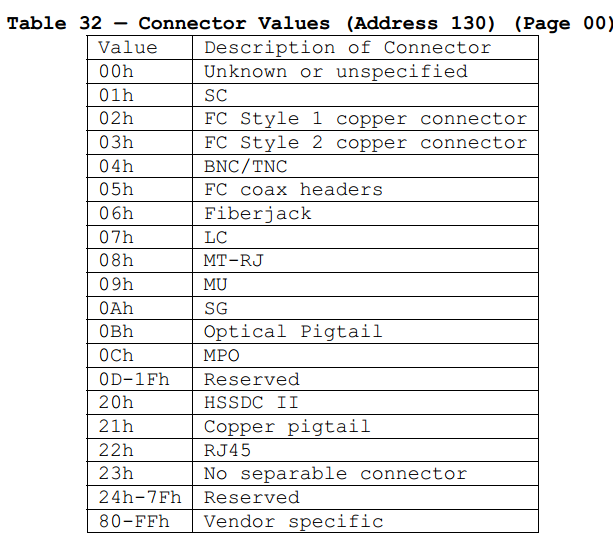
7.6.2.2扩展标识符（地址129）

扩展标识符提供有关基本模块类型的附加信息，例如模块是否包含CDR功能并标识其所属的功耗类别。



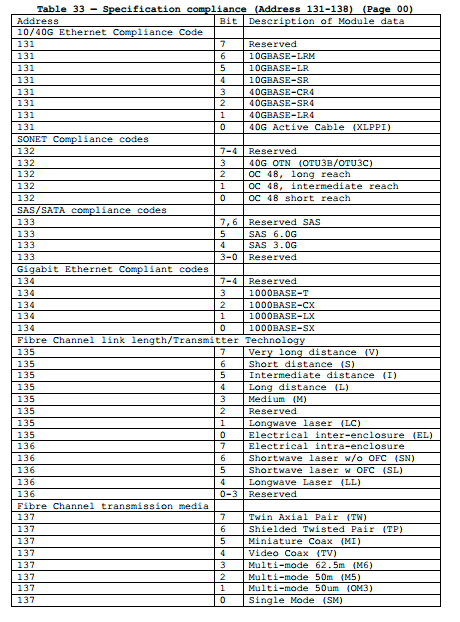
7.6.2.3连接器（地址130）

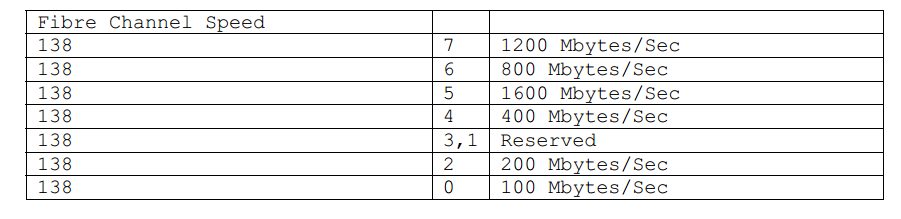
连接器值表示接口上提供的外部连接器。该值应包含在串行数据中。定义的连接器值如表32所示。请注意，01h - 0Bh不兼容QSFP +，并且与其他标准兼容。



7.6.2.4规范合规性（地址131-138）

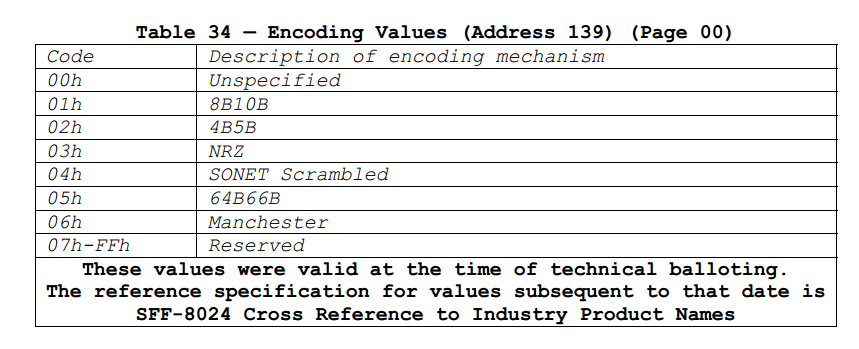
以下位重要指标定义了QSFP +模块支持的电子或光学接口。对于光纤通道QSFP +，光纤通道速度，传输介质，发射机技术和距离能力均应予以说明。





7.6.2.5编码（地址139）

编码值表示作为特定QSFP +模块的标称设计目标的串行编码机制。该值应包含在串行数据中。定义的编码值如表34所示。



这些价值在技术投票时有效。

该日期之后的值的参考规格是SFF-8024“工业产品名称交叉参考”

7.6.2.6 BR，标称值（地址140）

标称位速率（BR，标称值）以100兆比特每秒为单位指定，舍入到最接近100兆比特每秒。比特率包括编码和限定信号所需的那些位以及携带数据信息的那些位。值为0表示未指定比特率，必须从模块技术确定。实际的信息传输速率将取决于由编码值定义的数据编码。

7.6.2.7扩展速率选择合规性（地址141）

扩展速率选择合规性字段用于允许单个QSFP +模块灵活地符合单个或多个扩展速率选择定义。通过在指定的位标签位置中存在“1”来指示定义。如果使用排他的非重叠位标签定义，则页00h，字节141将允许符合8（1-8）不同的多速率定义。



注意：有关此领域的使用的更多详细信息，请参见第7.6.1.7节。

7.6.2.8长度（标准SM光纤）-km（地址142）

从原始GBIC定义添加EEPROM数据。该值指定在使用符合适用标准的单模光纤的情况下，QSFP +模块支持的链路长度。支持的链路长度如SFF 8074i标准中所规定。价值以公里为单位。值为零表示模块不支持单模光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.9长度（OM3）（地址143）

此值指定QSFP +模块在使用符合适用标准的2000 MHZ \* km（850 nm）扩展带宽50微米核心多模光纤时支持的链路长度。价值以2米为单位。值为零表示模块不支持OM3光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.10长度（OM2）（地址144）

此值指定QSFP +模块在使用符合适用标准的500 MHz \* Km（850 nm和1310 nm）50微米多模光纤时支持的链路长度。值以1米为单位。值为零表示模块不支持OM2光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

7.6.2.11长度（OM1）（地址145）

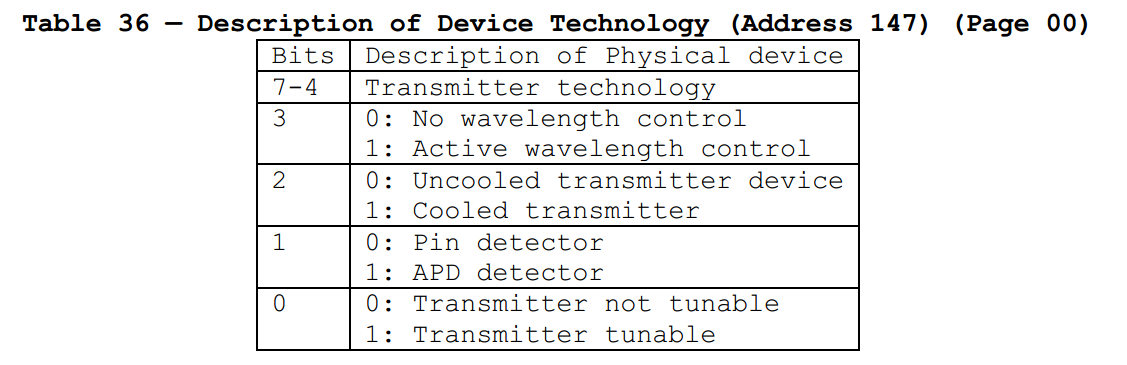
该值指定在使用符合适用标准的200 MHz \* Km（850 nm）和500 MHz \* Km（1310 nm）62.5微米多模光纤时，QSFP +模块支持的链路长度。值以1米为单位。值为零表示模块不支持OM1光纤，或者必须从模块技术确定长度信息。对于所有直接连接电缆组件，包括有源光缆，值应为零。

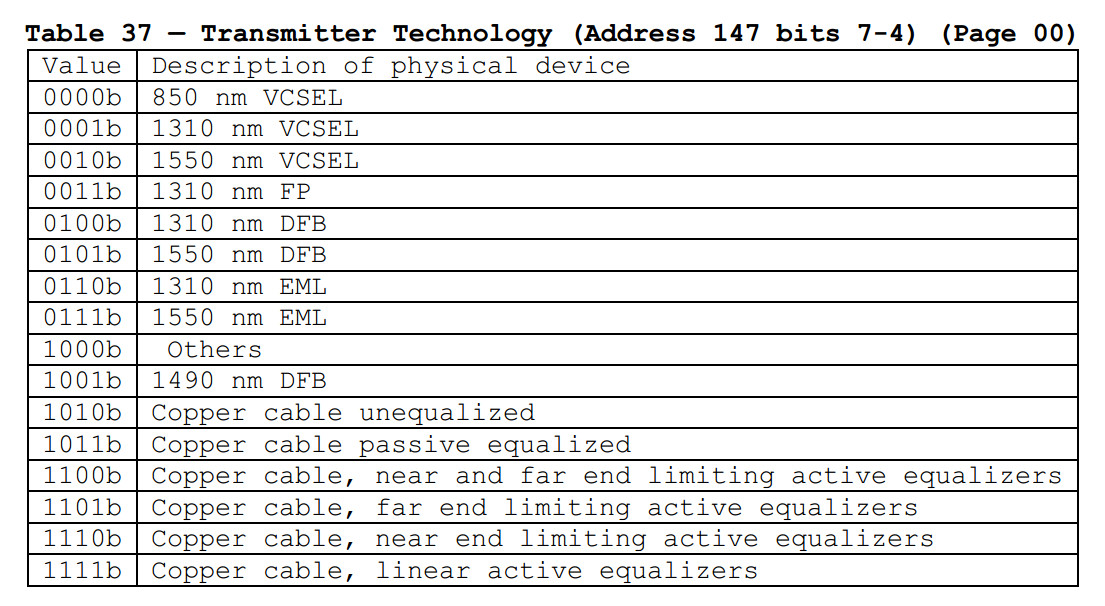
7.6.2.12电缆组件长度（铜缆或有源电缆）（地址146）

该值指定电缆组件无源的链路长度值为1米的单位。链路长度如INF 8074所规定。小于1米的链路长度应为1米。值为零表示模块不是电缆组件，或者必须从模块技术确定长度信息。值为255表示模块支持链路长度大于254 m。

7.6.2.13设备技术（地址147）

设备中使用的技术在表36和表37中描述。设备技术字节的前4位描述了所使用的设备技术。设备技术字节的低四位（位7- 4）用于描述发射机技术



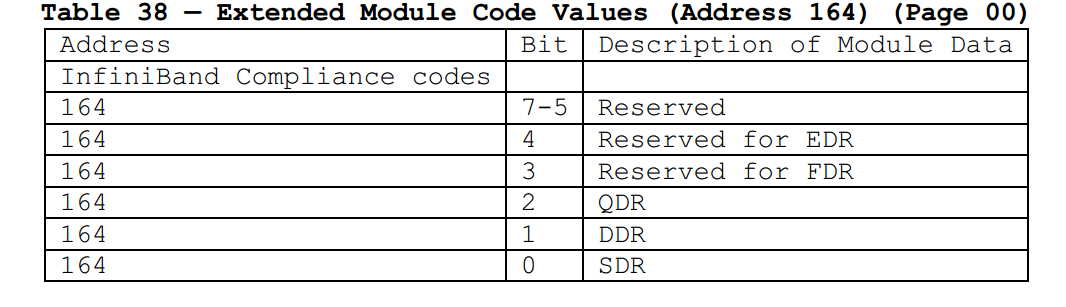


7.6.2.14供应商名称（地址148-163）

 供应商名称是一个16字节包含ASCII字符的字段，左对齐并在右侧填充ASCII空格（20h）。供应商名称应为公司的全称，公司名称的公认缩写，公司的SCSI公司代码或公司的证券交换代码。供应商名称或供应商OUI字段中的至少一个应包含有效的串行数据。

7.6.2.15扩展模块代码（地址164）

扩展模块代码定义了由QSFP +模块支持的InfiniBand的电子或光接口，如表38所示。



7.6.2.16供应商OUI（地址165-167）

供应商组织唯一标识符字段（供应商OUI）是包含供应商的IEEE公司标识符的3字节字段。 3字节字段中全为零的值表示未指定供应商OUI。

7.6.2.17供应商PN（地址168-183）

供应商部件号（供应商PN）是一个16字节包含ASCII字符的字段，左对齐并用ASCII空格（20h）填充，定义供应商部件号或产品名称。 16字节字段中全零的值表示供应商PN未指定。

7.6.2.18供应商修订版（地址184-185）

供应商修订号（供应商rev）是一个2字节包含ASCII字符的字段，左对齐并用ASCII空格（20h）填充，定义供应商的产品版本号。字段中的全部零值表示供应商Rev未指定。

7.6.2.19波长（地址186-187）

标称发射机输出波长在室温下。 16位十六进制值，字节186为高位字节，字节187为低位字节。激光波长等于16位整数除以20 ，以nm为单位（单位0.05nm）。该决议应足以涵盖所有相关波长，但为所有预期的DWDM应用提供足够的分辨率。为了准确表示受控波长应用，该值应该表示保证波长范围的中心。如果电缆被识别为铜，这些寄存器将用于定义电缆衰减。 0 dB衰减的指示是指衰减未知或不可用的情况。地址186（00-FFh）是一个8位十六进制值，表示以1 dB为单位的2.5GHz处的铜缆电缆衰减，地址187（00-FFh）是一个8位十六进制值，表示5.0GHz处的铜缆电缆衰减，单位为1db。

7.6.2.20波长容差（地址188-189）

在所有正常工作条件下，保证发射机输出波长的+/-范围。对于直接连接电缆组件，值为零。 16位值，字节188为高位字节，字节189为低位字节。激光波长等于16位整数除以200 ，以nm为单位（单位为0.005nm）。因此，以下两个示例：

示例1：10GBASE-LR

波长范围= 1260至1355 nm

标称波长（字节）186 - 187 = 1307.5 nm。

表示为INT（1307.5 nm \* 20）= 26150 = 6626h

波长容差（字节）188 - 189 = 47.5nm。

表示为INT（47.5 nm \* 200）= 9500 = 251Ch

示例2：0.236 nm（30 GHz）的ITU-T

网格波长= 1534.25 nm（195.4 THz）

容差公称波长（字节）186 - 187 = 1534.25 nm。

表示为INT（1534.25nm \* 20）= 30685 = 77DDh

波长容差（字节）188 - 189 = 0.236 nm。

表示为INT（0.236nm \* 200）= 47 = 002Fh

7.6.2.21最大情况（地址190）

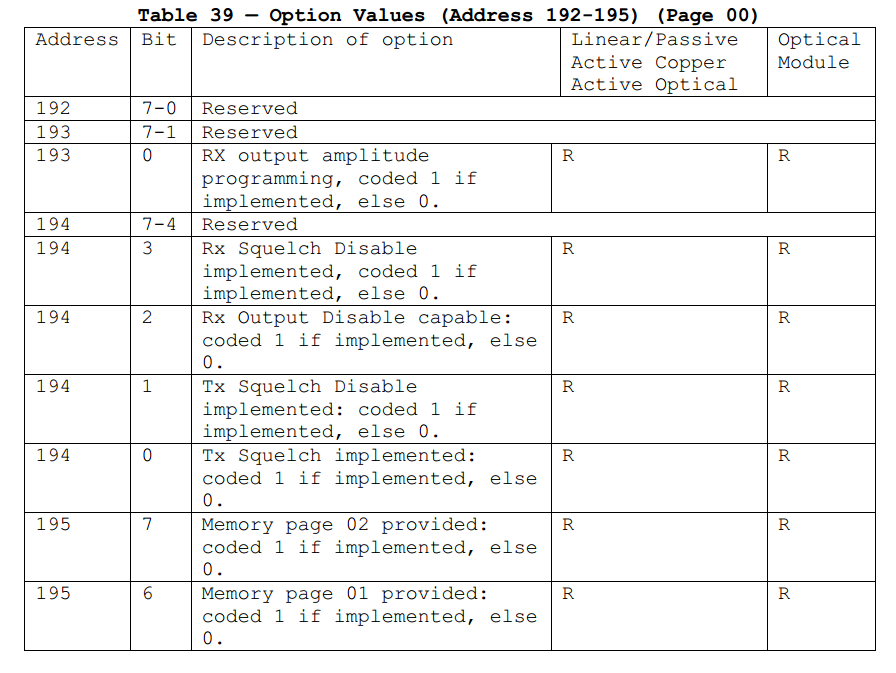
允许指定除标准70C以外的最大外壳温度。最大外壳温度为度的8位值。值00h表示标准70C额定值。

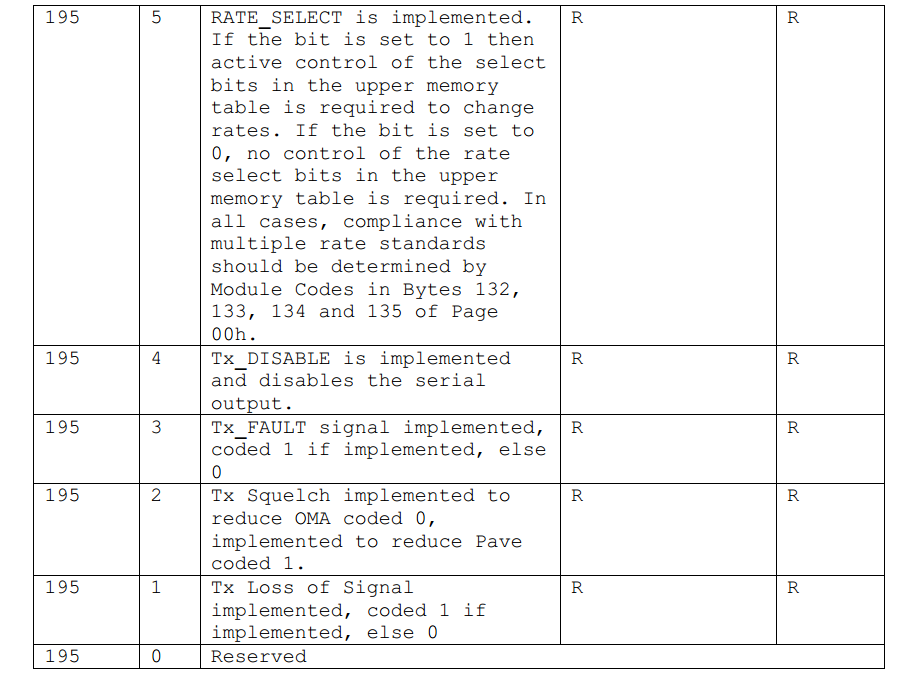
7.6.2.22 CC\_BASE（地址191）

检查码是一个单字节代码，可用于验证QSFP +模块中前63个字节的串行信息是否有效。校验码应为从字节128到字节190（包括端值）的所有字节的内容之和的低位8位。

7.6.2.23可选项（地址192-195）

选项字段中的位应指定如表39所述的QSFP +模块中实现的选项



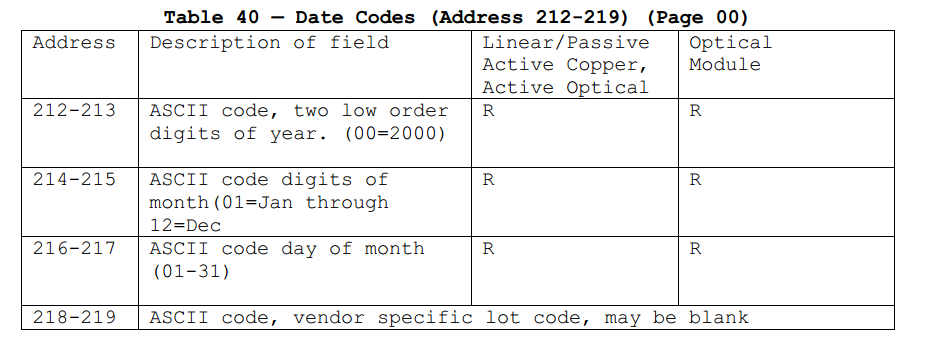


7.6.2.24供应商SN（地址196-211）

供应商序列号（供应商SN）是一个16个字符包含ASCII字符的字段，左对齐并用ASCII空格填充（20h），定义供应商的QSFP +模块序列号。 16字节字段中全为零的值表示供应商SN未指定。

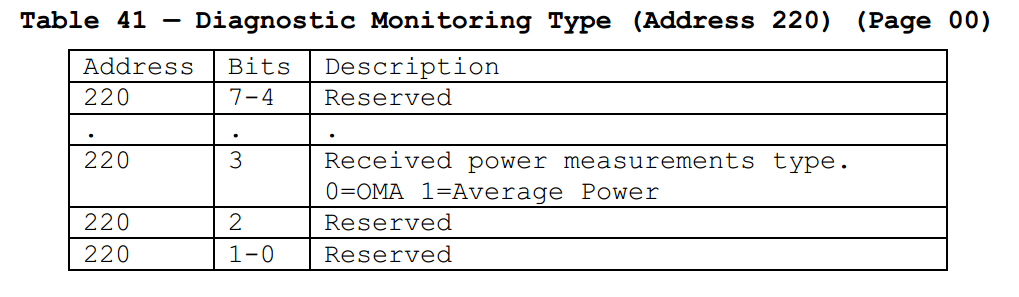
7.6.2.25日期代码（地址212-219）

日期代码是一个8字节字段，包含供应商的日期代码，以ASCII字符表示。日期代码是强制性的。日期代码应为表40规定的格式。



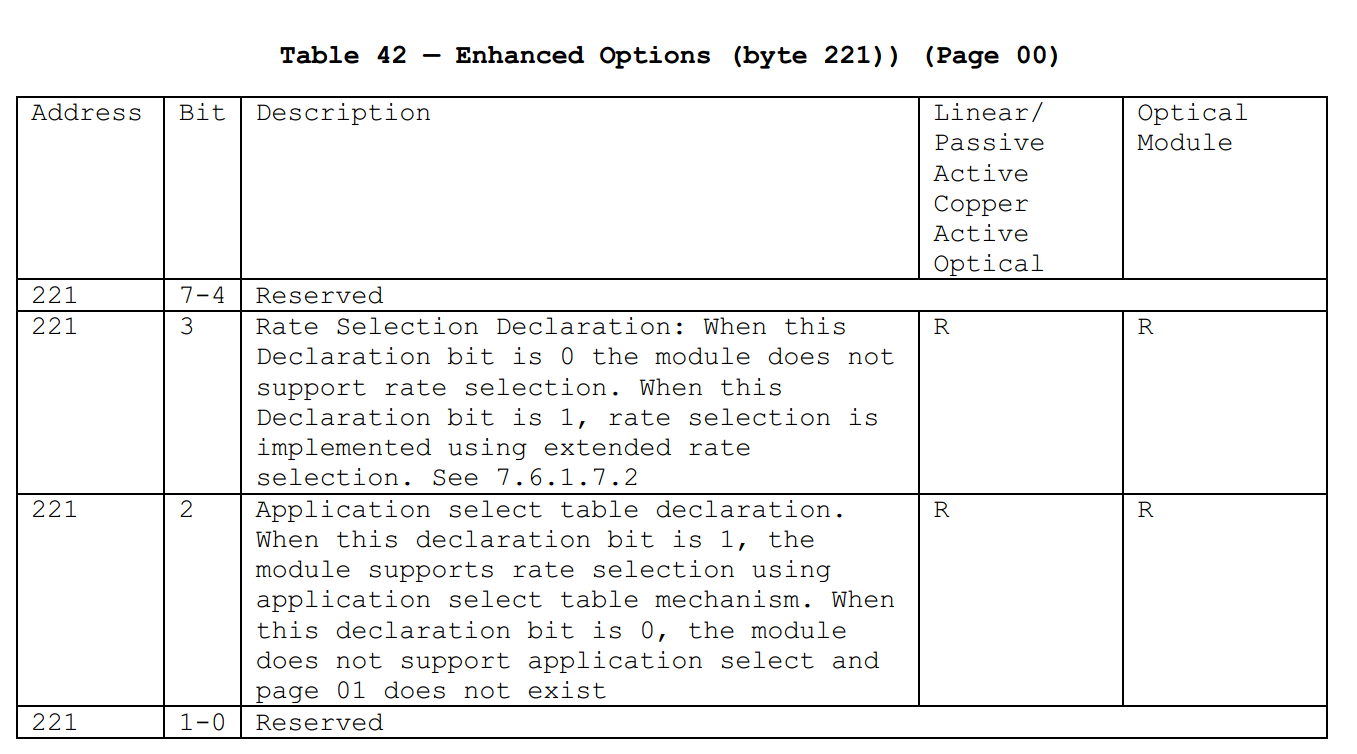
7.6.2.26诊断监控类型（地址220）

“诊断监控类型”是一个1字节字段，带有8个单位指示器，描述了在特定QSFP +模块中如何实施诊断监视。位指示器如表41所示。数字诊断监视器监视接收功率，偏置电流，电源电压和温度。另外，报警和警告阈值必须按照本文档的规定进行写入。辅助监控字段是数字诊断的可选扩展。所有数字监控值必须在内部校准，并以本文档中定义的单位报告。位3表示接收功率测量是表示平均输入光功率还是OMA。如果该位被置位，则监视平均功率。如果没有，则监控OMA。



7.6.2.27增强选项（地址221）

增强型选项字节的格式如表42所示。增强选项字段的使用在第7.6.1.7节中定义。速率选择声明位都为1的状态保留，不应使用。



7.6.2.28 CC\_EXT（地址223）

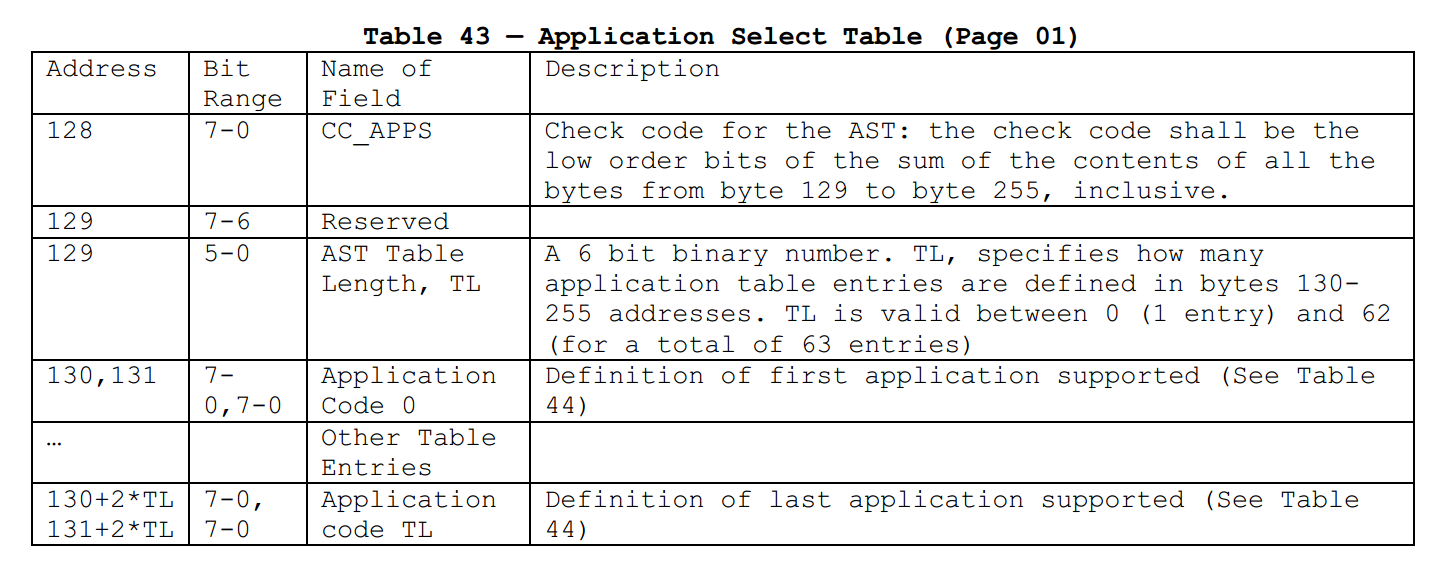
检查码是一个单字节代码，可用于验证QSFP +模块中扩展串行信息的前31个字节是否有效。校验码应为从字节192到字节222（包括端点）的所有字节的内容的和的低位8位。

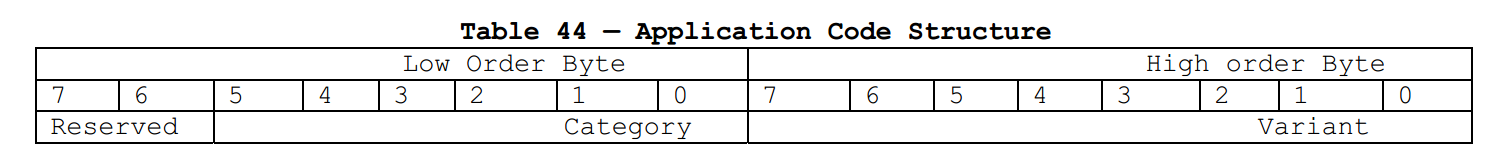
7.6.2.29供应商特定（地址224-255）

该区域可能包含供应商特定的信息，可以从QSFP +模块读取。数据是只读的。页00h的字节224-255可用于供应商特定的ID功能。

7.6.3上部存储器映射页面01h

页面01h的格式在表43中定义。



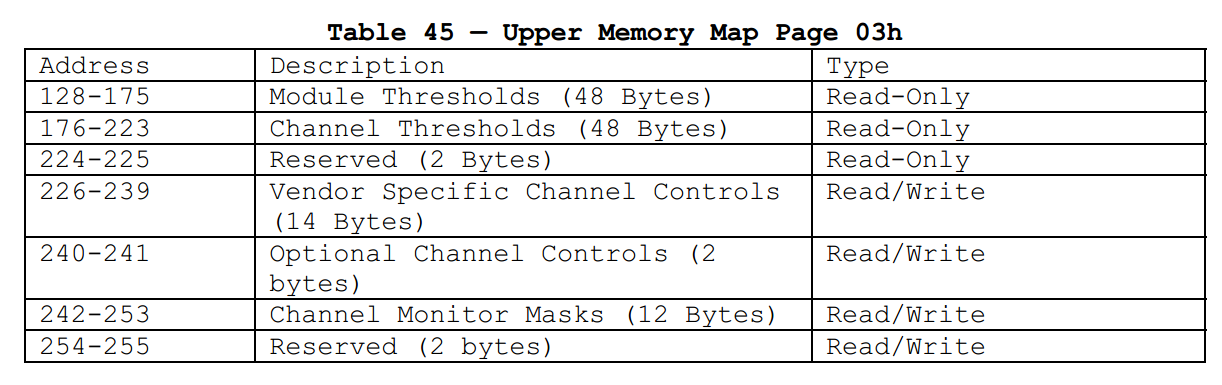


7.6.4用户可写和供应商特定内存

第02页可选地提供为用户可写EEPROM。主机系统可以为任何目的读取或写入该存储器。但是，如果设置了页00字节129的第4位，则表02h的第10个字节（字节128-137）将用于存储模块的CLEI代码。

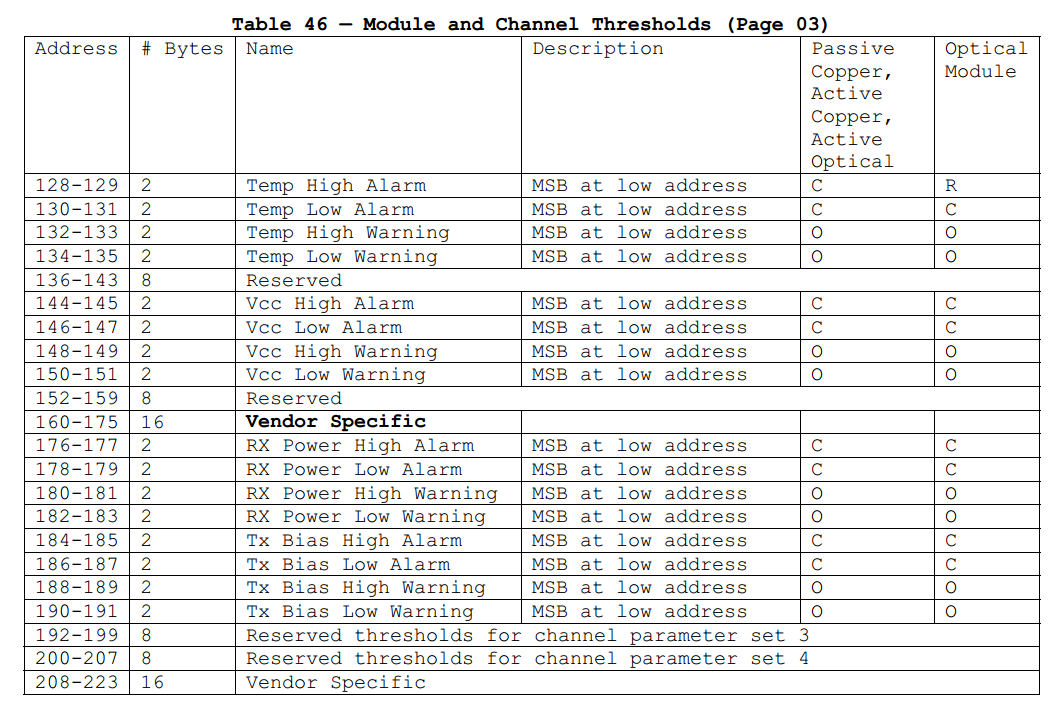
7.6.5上记忆页03h

上部存储器映射页面03h包含模块阈值，通道阈值和掩码以及可选的通道控制。这些显示在表45中，并在7.6.1节，7.6.1.6和7.6.1.4节中详细描述。



7.6.5.1模块和通道阈值

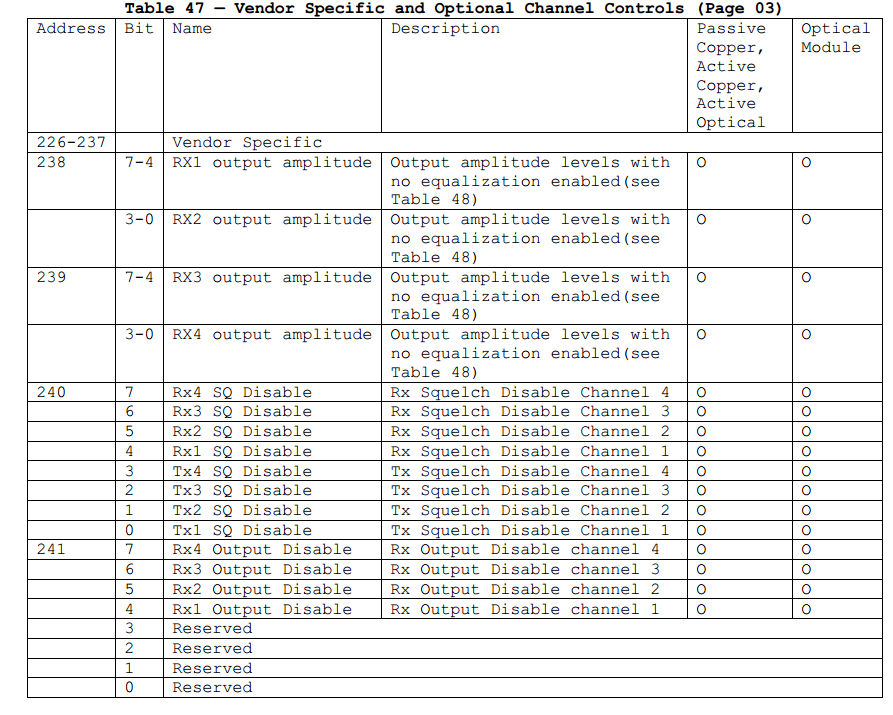
这些值存储在上层存储器页面03h的字节128-223的只读存储器中，如表46所示。每个监视器值具有相应的高报警，低报警，高警告和低警告阈值。对于实现的每个监视器，需要高和低报警阈值，并由C（条件）指示，其中监视器是可选的或由需要监视器的R指示。警告阈值高和低是可选的。这些出厂预设值允许用户确定特定值何时超出模块制造商确定的“正常”限制。假设这些值将随不同的技术和不同的实现而变化。 “报警和警告阈值”区域中报告的值可能是某些选定的标称操作条件下的典型值，并可在设置警告和/或报警标志时进行温度补偿或其他调整。任何阈值补偿或调整是供应商特定的和可选的。有关报警和警告阈值的使用，请参考供应商的数据表。

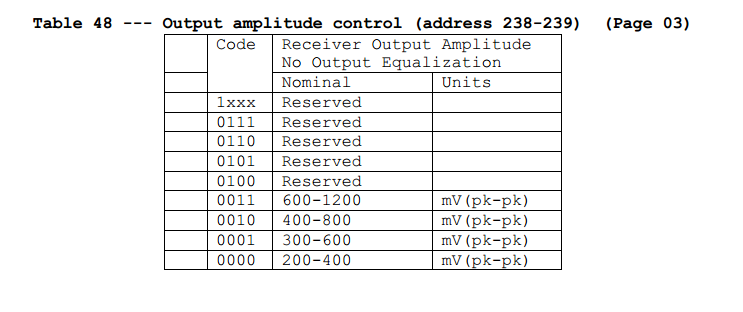


7.6.5.2可选通道控制

上部存储器页面控制位在表47中定义（参见表48的输出幅度电平）

静噪禁用和输出控制功能是可选的；如果实现，使用页面03h的字节240和241对每个通道控制静噪禁止和输出禁止。静噪通常按4.1.3节“高速电气规范”所述运行。在静噪禁用寄存器（字节240，第03h页）中写入“1”将禁用相关通道的静噪。在输出禁用寄存器（字节241，第03h页）中写入“1”可以抑制相关通道的输出。当通道的两个寄存器都写入“1”时，关联的输出被禁止。上电时，寄存器读取全部“0”。





7.6.5.3通道监视器掩码

通道监视器功能的屏蔽位在表49中定义。每当实现监视器和相关标志时，都需要一个屏蔽位。

