SFF-8679 QSFP + 4X基本电气规格 Rev 1.7

**摘要**：规范定义了可插拔QSFP10 / 14/28模块/直接连接电缆插头和连接器的接触焊盘，电气（铜缆），电源，ESD和热特性。

本文档为系统制造商，系统集成商和供应商提供了一个通用规范。 这是SFF委员会的内部工作文件，是一个行业特设小组。

本规范旨在通过增加对更高传输速率和更高功率等级的支持来替代和扩展INF-8438 QSFP (Quad SFP) 4 Gb/s 4X Transceiver和SFF-8436 QSFP+ 10 Gb/s 4X Pluggable Transceiver。

本规范可供公众查阅，书面意见来自读者。 会员将收到的意见将纳入本规范的未来版本。

**前言**

该规范的开发工作由SFF委员会（一个行业组织）完成。自1990年8月成立以来，委员会的成员包括作为行业领导者的公司。当引入2 1/2”直径的磁盘驱动器时，在外部尺寸（例如物理尺寸，安装位置，连接器类型，连接器位置，供应商之间）之间没有共同点。这些磁盘驱动器的首次使用是在笔记本。系统集成商等在具体应用中与供应商分开开发包装。结果是广泛的多样性，不兼容。集成商，设备供应商和组件供应商面临的问题导致SFF委员会成立为一个行业特设小组，以解决新兴技术的营销和工程考虑。在形式因素定义的发展过程中，提出了其他活动，因为SFF委员会的参与者面临比磁盘驱动器的物理形式因素更多的问题。 1992年11月，扩大了章程，以解决存储行业普遍关心的任何问题。 SFF委员会成为解决不符合标准过程或需要立即解决的行业问题的论坛。已经同意支持规范的那些公司在每个SFF规范的第一页中被标识。行业共识并不是发布SFF规范的基本要求，因为认识到在新兴产品领域，存在多种方法的空间。通过提供有关竞争性提案的文档，集成商可以检查可用的替代方案，并选择被认为最合适的产品。

SFF委员会会议在T10周期间举行（见www.t10.org），特定主题工作组在参加者方便的时候举行。在SFF委员会会议上提交的材料成为公有领域，对委员会会议上提交的材料的公开邮寄没有限制。SFF委员会制定的大多数规范已经被EIA（电子工业协会），ANSI（美国国家标准协会）和IEC（国际电工委员会）纳入标准或采用标准。如果您有兴趣参加或希望遵循SFF委员会的活动，可以在以下网址找到会员资格和/或文档的注册信息：[www.sffcommittee.com/ie/join.html](http://www.sffcommittee.com/ie/join.html)

1. **范围**

本文件规定了QSFP10 / 14/28可插拔4通道接口（以下简称QSFP28）的电气要求。 范围包括：主机连接器的电气触点; 光纤接口的光纤位置; 电源要求;可插拔QSFP28模块和直接连接电缆的ESD和热特性。 机械要求通过参考确定。

本规范通过支持更高的传输速率来取代并扩展INF-8438 QSFP (Quad SFP) 4 Gb/s 4X Transceiver和SFF-8436 QSFP+ 10 Gb/s 4X Pluggable Transceiver支持的应用。

1. **参考文档**

2.1行业文件

以下接口标准和规格与本规范相关

- GR-253-CORE

- ESD specifications EN61000-4-2, JEDEC JESD22-A114-B

- Optical Connectors: MPO:IEC 61754-7, Dual LC: IEC 61754-20

- Aligned key (Type B) MPO patch cords: TIA-568

- Dual LC optical patch cord: TIA/EIA-604-10A

- Thermal specifications: NEBS GR-63

- IEEE Std 802.3-2012, 802.3bj and 802.3bm

- InfiniBand Architecture Specifications FDR and EDR

- INCITS 479-2011 FC-PI-5 (Fibre Channel Physical Interface -5)

- INCITS 512-2014 FC-PI-6 (Fibre Channel Physical Interface -6)

- T10 2212-D SAS-3

- T11-533-201x FC-PI-6P (Fibre Channel Physical Interface -6 128GFC Four Lane Parallel)

- SFF-8635 QSFP+ 10 Gb/s 4X Pluggable Transceiver Solution (QSFP10)

- SFF-8665 QSFP+ 28 Gb/s 4X Pluggable Transceiver Solution (QSFP28)

- SFF-8685 QSFP+ 14 Gb/s 4X Pluggable Transceiver Solution (QSFP14)

2.2 SFF规格

SFF委员会内有若干项目活跃。 完整或仍在处理的规格的完整列表在规范中列在ftp://ftp.seagate.com/sff/SFF-8000.TXT。 与各种QSFP代相关的规格如下。

INF-8438 QSFP (Quad Small Formfactor Pluggable) Transceiver

SFF-8024 SFF Committee Cross Reference to Industry Products

SFF-8436 QSFP+ 10 Gb/s 4X Pluggable Transceiver - Standardized as EIA-964

SFF-8635 QSFP+ 10 Gb/s 4X Pluggable Transceiver Solution (QSFP10)

SFF-8636 Common Management Interface

SFF-8661 QSFP+ 28 Gb/s 4X Pluggable Module

SFF-8662 QSFP+ 28 Gb/s 4X Connector (Style A)

SFF-8663 QSFP+ 28 Gb/s Cage (Style A)

SFF-8665 QSFP+ 28 Gb/s 4X Pluggable Transceiver Solution (QSFP28)

SFF-8672 QSFP+ 28 Gb/s 4X Connector (Style B)

SFF-8679 QSFP+ 4X Base Electrical Specification

SFF-8682 QSFP+ 14 Gb/s 4X Connector (Style B)

SFF-8683 QSFP28 14 Gb/s Cage

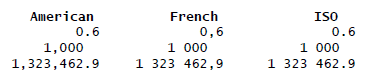
2.3来源

参加SFF委员会作为观察员或会员的人将收到会议记录和SFF规范的电子副本（http://www.sffcommittee.com/ie/join.html）。

ANSI标准的副本可以从国际信息技术标准委员会（http://www.techstreet.com/incitsgate.tmpl）购买。

2.4公约

使用ISO编号惯例，即，数千和更高的倍数被空格隔开，并且周期被用作小数点。 这相当于英美美国公约和逗号。



2.5缩略语

在本说明书中使用以下首字母缩略词。

ANSI American National Standards Institute

ASIC Application Specific Integrated Circuit

ATM Asynchronous Transfer Mode

CML Current Mode Logic

CORE Central Office Relay Equipment

DC Direct Current

DDR Double Data Rate

EDR Enhanced Data Rate

EIA Electronic Industries Alliance

EMI Electro Magnetic Interference

ESD Electro Static Discharge

FC Fibre Channel

FDR Fourteen Data Rate

Gb/s Gigabits per second

GbE Gigabit Ethernet

GFC Gigabit Fibre Channel

HCB Host Compliance Board

IEC International Electrotechnical Commission

IEEE Institute for Electrical and Electronics Engineers

ISO Organization for International Standards

ITU International Telecommunications Union

JEDEC Joint Electron Device Engineering Council

kHz kiloHertz

km kilometer

LVCMOS Low Voltage Complementary Metal Oxide Semiconductor

LVTTL Low Voltage Transistor Transistor Logic

MCB Module Compliance Board

MHz MegaHertz

MIB Management Information Base

MPO Multi-fiber Push On

MSA Multiple Source Agreement

NAS Network-Attached Storage

NAT Network Address Translation

NEBS Network Equipment Building System

OC Optical Carrier

OEM Original Equipment Manufacturer

OMA Open Mobile Alliance

PCB Printed Circuit Board

PDH Plesiochronous Digital Hierarchy

PI Physical Interface

PON Passive Optical Network

QDR Quad Data Rate

QSFP Quad SFP

Rx Receiver

SAS Serial Attached SCSI

SDH Synchronous Digital Hierarchy

SDR Software Defined Receiver

SerDes Serializer-Deserializer

SFP Small Formfactor Pluggable

SM Single Mode

SNMP Simple Network Management Protocol

SONET Synchronous Optical NETwork

STM Synchronous Transfer Mode

TIA Telecommunications Industry Association

TTL Transistor-Transistor Logic

Tx Transmitter

XFP 10 Gigabit Small Formfactor Pluggable

1. **一般说明**

本规范涵盖以下项目：

a）电气规格。 （包括用于数据控制，状态，配置和测试信号的连接器触点分配）以及电连接器和推荐的主机PCB布局要求。

b）机械和电路板定义。

c）环境和热要求（箱体温度）。带和不带模块安装在笼子时的电磁干扰（EMI）建议（包括必要的屏蔽功能，以从密封OEM机箱前面板输出）。 静电放电（ESD）要求仅在本说明书所公开的范围内，其中这种公开的唯一目的是使产品能够在规格内定义进行操作，连接或通信。

d）时间要求

整体包装尺寸应符合所需的尺寸和公差。

- 安装特征应定位，使产品与笼和连接器系统机械可互换。

- 电路板上的笼和连接器系统的总体尺寸和安装要求应配置为使产品机械和电气可互换。

- 光学连接器和相应的光纤电缆插头的总体尺寸和插入要求应使产品在机械和光学上可互换。

这些电气和光学规格可能与以下列举的那些兼容：

ITU-T Recommendation G.957 STM-1, STM-4, STM-16

Telcordia Technologies GR-253-CORE OC-3, OC-12, OC-48, OC-192

Ethernet IEEE 802.3 10 GbE, 40 GbE, 100 GbE

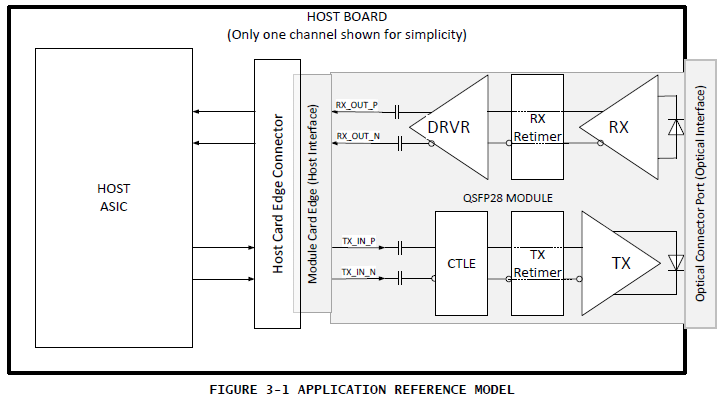
Infiniband Architecture Specifications SDR, DDR, QDR, FDR, EDR

SFF Committee SFF-8436 QSFP+

Fibre Channel FC-PI-3/4/5/6, 2G, 4G, 8G, 10G, 16G, 32G

规格将为支持SONET / SDH和/或以太网和/或Infiniband和/或光纤通道和/或SAS规格的组合四通道端口提供通用解决方案。 该规范涵盖能够支持多模和单模模块，无源铜，有源铜缆和有源光缆的设计。

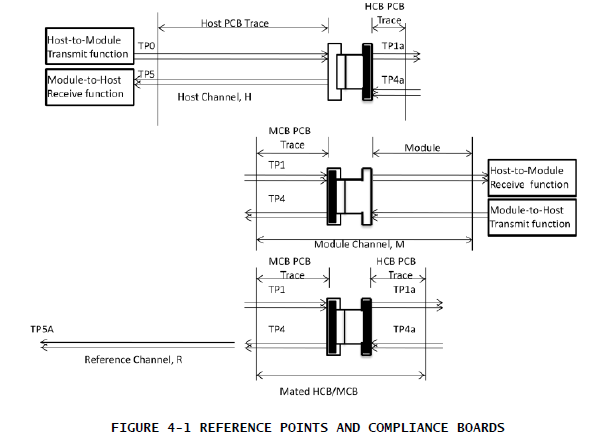
应用参考模型，参见图3-1，显示了ASIC（SerDes）和模块之间的高速数据接口。 为简单起见，仅显示了接口的一个数据通道。 可以使用并行MPO或双工LC光纤连接器作为光接口。



1. **合规测试**

模块电气接口测试点旨在使用合规板进行测量，如图4-1所示。 这些合规板旨在将待测模块连接到测试设备，以验证是否符合相应的标准。

模块合规板用于测试模块。 合规板的电气参数应由适当的标准规定。 模块合规板和主机合规板可以插在一起用于校准符合性信号，并检查合规板的电气参数。



参考点在表4-1中定义。

                                     表4-1参考点

TP0 在DUT板上的ASIC封装引脚上的主机ASIC发送器输出

TP1 通过配对模块兼容板和模块连接器输入到模块兼容板。 用于测试模块输入

TP1A 主机ASIC发送器通过主机板和主机边缘卡连接器在主机兼容板的输出端输出

TP4 模块输出通过配对模块和主机边缘卡连接器通过模块合规板

TP4A 通过配对主机兼容板和主机边缘卡连接器输入主机兼容板。 用于测试主机输入

TP5 输入到主机ASIC

注意：个别标准可以指定唯一的参考点

1. **电气规格**

本节包含模块的引脚定义数据。 引脚定义数据对于千兆位/秒数据通信应用如光纤通道，以太网和SONET / ATM应用是通用的。 图4-1中定义了高速信号电测量的符合点。 所有其他电气信号的符合点在主机边缘卡连接器处于相似点。

5.1电气连接器

图5-1显示了模块边缘连接器的信号符号和接点编号。 该图显示了模块PCB边缘作为顶视图和底视图。 有38个触点用于高速信号，低速信号，电源和接地连接。 表5-1提供了有关38个连接中的每一个的更多信息。

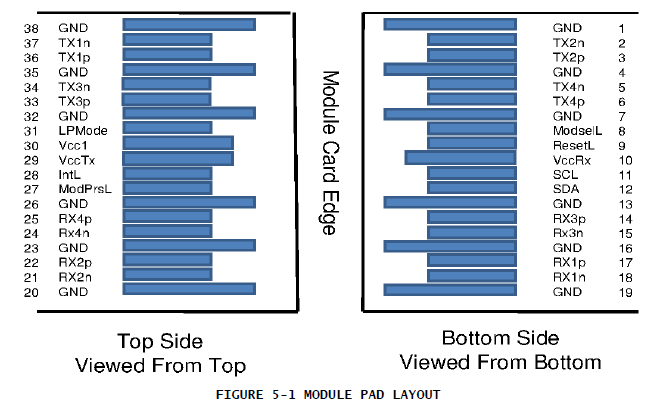
该模块包含与电连接器相配合的印刷电路板。 pad设计用于顺序接触：

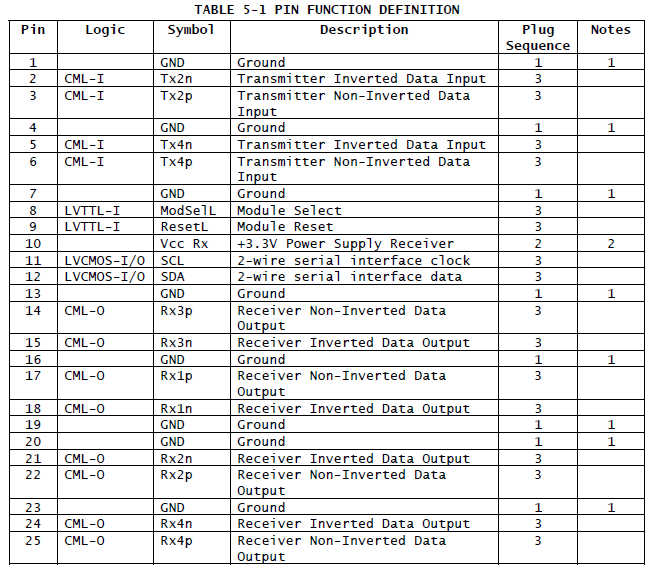
        第一触点 - 地触点

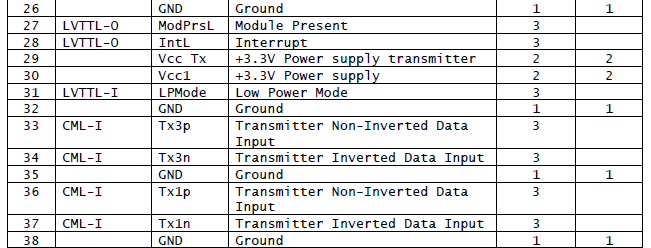
        第二触点 - 电源触点

        第三触点 - 信号触点

对于EMI保护，当模块拆卸时，应关闭连接器的信号。 建议使用标准电路板布局实践，例如使用Vias连接到Vcc和GND，使用短距离和等长差分信号线，使用微带线和50欧姆终端。 模块的机箱接地（外壳通用）应与模块的电路接地GND隔离，为设备设计人员提供模块外部电磁干扰屏蔽和电路接地GND之间连接的灵活性。

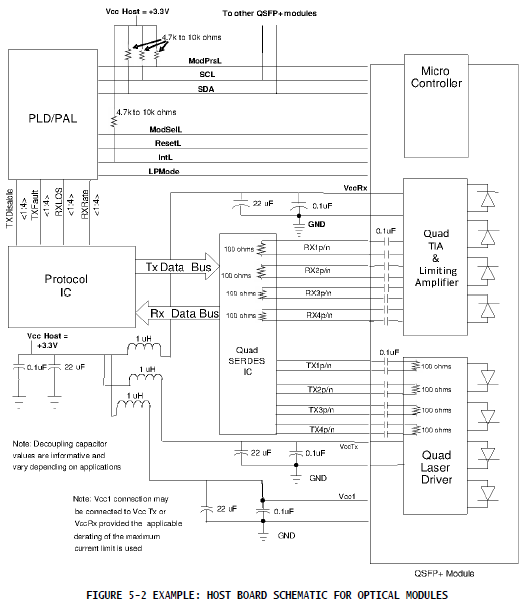


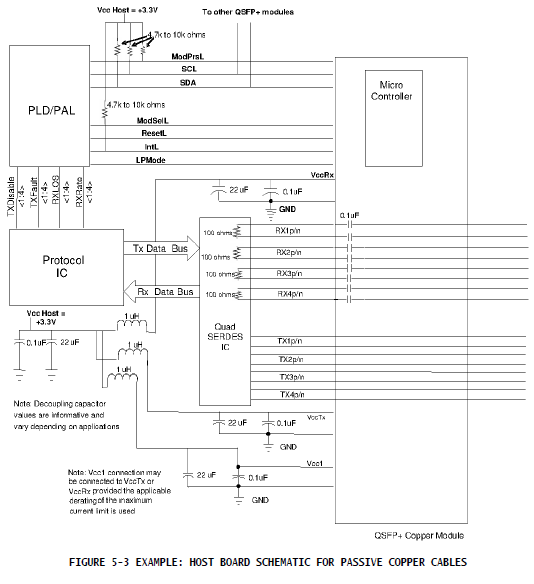




注1：GND是模块通用的信号和电源（电源）符号。 除非另有说明，否则所有模块电压都参考此模块电压。 将它们直接连接到主机板信号公共接地层。

注2：同时应用Vcc Rx，Vcc1和Vcc Tx。 对于主机边缘卡连接器的主机侧规定的要求见表5-6。 Vcc Rx Vcc1和Vcc Tx可以在模块内以任何组合内部连接。 连接器引脚的额定最大电流为1000 mA。





5.2低速引脚说明

除了2线串行接口外，模块还具有以下低速引脚用于控制和状态：ModSelL   ResetL    LPMode    ModPrsL INTL

5.2.1 ModSelL

ModSelL是一个输入引脚。当主机保持低电平时，模块响应2线串行通信命令。 ModSelL允许在单个2线接口总线上使用多个模块。当ModSelL为“High”时，模块不应对主机的任何2线接口通信进行响应或确认。 ModSelL信号输入节点应偏置到模块中的“高”状态。

 为了避免冲突，在取消选择任何模块后，主机系统不得尝试ModSelL解除时间内的2线接口通信。

类似地，在与新选择的模块进行通信之前，主机至少等待ModSelL断言时间段。只要满足上述时序要求，不同模块的断言和取消置位周期就可能重叠。

5.2.2 ResetL

ResetL引脚应拉至模块中的Vcc。 ResetL引脚上的低电平长于最小脉冲长度（t\_Reset\_init）将启动完整的模块复位，将所有用户模块设置恢复到默认状态。复位置位时间（t\_init）在ResetL引脚的低电平被释放后的上升沿开始。

在执行复位（t\_init）期间，主机将忽略所有状态位，直到模块指示复位中断完成为止。该模块通过将Data\_Not\_Ready位置为“低”以及一个IntL信号来指示。请注意，在上电（包括热插拔）时，模块应将此完成复位中断，而不需要复位。

5.2.3 LPMode

LPMode引脚应在模块中拉至Vcc。该引脚在高电平时硬件控制模块置于低功耗模式。通过使用LPMode引脚和Power\_override，Power\_set和High\_Power\_Class\_Enable软件控制位（地址A0h，字节93位0,1,2）的组合，主机控制模块可以耗散多少功率。

 有关电源规格的详细信息，请参见第5.5节。

 5.2.4 ModPrsL

ModPrsL被拉到主板上的Vcc\_Host，并在模块中接地。当模块在主机连接器中物理上不存在时被置为“高”，ModPrsL被插入时被断言为“低”。

 5.2.5 IntL

IntL是一个输出引脚。当IntL为“低”时，表示可能的模块操作故障或对主机系统至关重要的状态。主机使用2线串行接口识别中断源。 IntL引脚是集电极开路输出，应被拉至主机主机电源电压。当字节2位0（数据未就绪）被读取时，INTL引脚在复位完成后被置为“高”，读取标志字段（见SFF-8636）。

5.3低速引脚电气规格

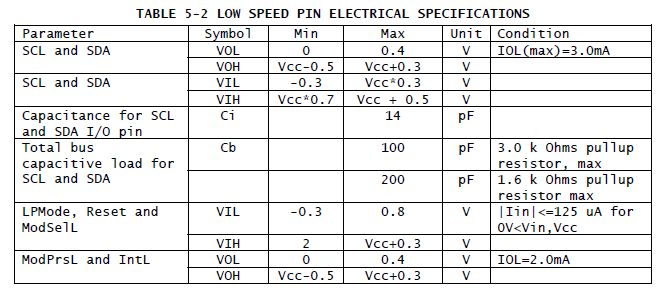
5.3.1低速信号

SCL和SDA以外的低速信号基于以Vcc工作的低电压TTL（LVTTL）。 Vcc是指VccTx，VccRx，Vcc\_host或Vcc1的通用电源电压。

主机应在每个2线接口SCL（时钟），SDA（数据）和所有低速状态输出上使用连接到Vcc\_host的上拉电阻。

SCL和SDA是可以支持总线拓扑的热插拔接口。 在模块插入或取出期间，模块可以实现预充电电路，防止损坏已经在使用总线的其他模块的数据传输。

符合表5-3提供了主机总线主机和2线接口之间的兼容性。



5.3.2低速引脚时序

SCL，SDA和ModSelL的时序在通用管理接口文档SFF-8636中定义。第8节规定了硬件控制功能的时序。

5.4高速引脚电气规格

5.4.1 Rx（n）（p / n）

Rx（n）（p / n）是模块接收器数据输出。 Rx（n）（p / n）是在主机ASIC（SerDes）上以100欧姆差分终止的AC耦合的100欧姆差分线路。交流耦合在模块内，主板上不需要。

对于28 Gb / s的操作，相关标准（例如，OIF CEI v3.1）定义了高速差分线路上的信号要求。以较低的速度运作，请参阅相关标准。

注意：由于将传统QSFP和QSFP +模块插入设计用于更高速度运行的主机的可能性，建议主机输入的损坏阈值至少为峰峰值差异为1600 mV。

光输入信号的丢失需要输出静噪（以下称为Rx静噪），功能如下。在任何通道上的光信号变得等于或小于声明LOS所需的电平的情况下，该通道的接收器数据输出应被静噪或禁用。在静噪或禁用状态下，输出阻抗水平保持不变，而差分电压摆幅应小于50 mVpp。

在正常工作状态下，默认情况下，Rx静噪有效。可以通过2线串行接口使用Rx静噪禁用Rx静噪。 Rx Squelch Disable是一个可选功能。具体细节请参考SFF-8636。

5.4.2 Tx（n）（p / n）

Tx（n）（p / n）是模块发射机数据输入。它们是模块内部具有100欧姆差分端接的交流耦合100欧姆差分线路。交流耦合在模块内，主板上不需要。对于28 Gb / s的操作，相关标准（例如，OIF CEI v3.1）定义了高速差分线路上的信号要求。以较低的速率运作，请参阅相关标准。

由于将模块插入设计用于较低速度运行的主机的可能性，模块输入的损伤阈值应至少为1600 mV峰 - 峰差。

输入信号丢失（以下称为Tx LOS）时输出静噪（以下称为Tx静噪），是可选功能。实施时的功能如下。在差分情况下，任何通道上的峰 - 峰电信号变得小于50 mVpp，则该通道的发射机光输出将被静噪或禁用，并且相关联的TxLOS标志置1。

发射机OMA应在小于或等于-26dBm的地方被静噪，当被禁用时，发射机功率应小于或等于-30dBm。对于应用，例如以太网，其中发射机关闭条件是根据平均功率定义的，禁止发射机被推荐应用，例如。 InfiniBand，其中发射机关闭条件是根据OMA定义的，建议对发射机进行静噪。

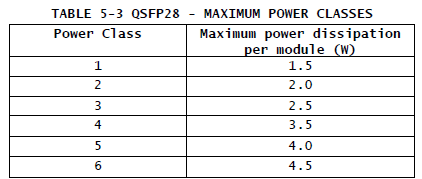
在模块操作中，实施Tx静噪时，默认情况下，Tx静噪有效。可以通过2线串行接口使用Tx静噪禁止Tx静噪。 Tx静噪禁用是一个可选功能。具体细节请参考SFF-8636。

5.5电源引脚

QSFP28模块中的电路卡有三个指定的电源引脚，标记为VccTx，VccRx和Vcc1。当QSFP28模块被“热插拔”到已经存在电源的连接器中时，三个引脚同时施加电源。模块负责限制热插拔事件期间的浪涌电流。主机电源负责在热插拔事件期间提供最大浪涌电流限制，而不会对同一电源上的其他模块和组件造成干扰。

5.5.1功率等级和最大功耗

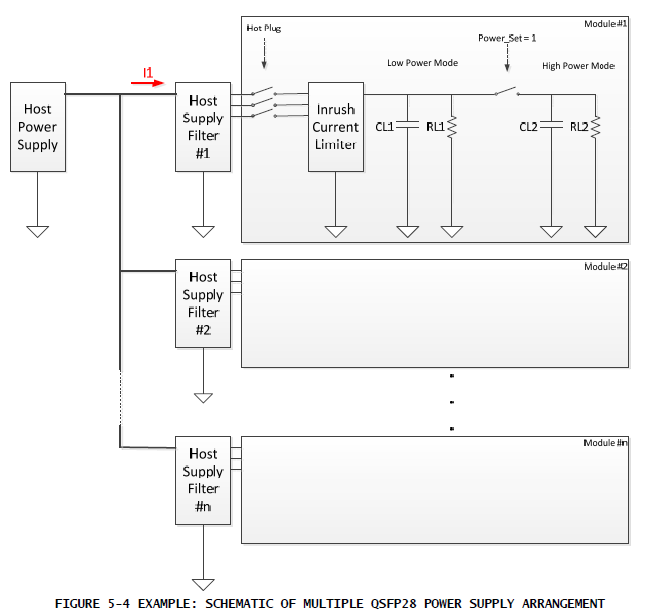
QSFP28模块分为几个功率等级，如表5-3所示。电源类在管理接口的第00h页上方显示，字节129（81h）。





主机电源滤波网络的规格超出了本规范的范围，特别是因为QSFP28模块功率等级范围很广。如图5-5所示，图5-4中标记为I1的主机滤波器的电流波形示例如图5-5所示。每个电源连接都有一个电源滤波器，用于滤除主机到模块的高频噪声和纹波。在热插拔事件期间，过滤器网络限制主机电源上的任何电压降，以使共享相同电源的相邻模块保持在其指定的电源电压限制内。

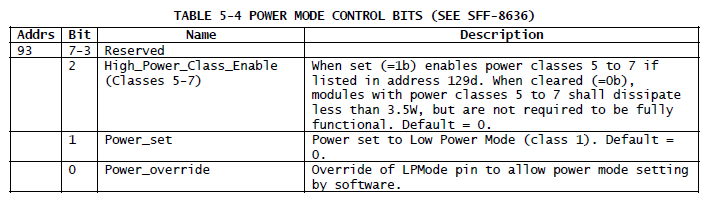
主板与QSFP28模块一起形成一个集成的电源系统。主机为模块提供稳定的电源。每个模块将电气噪声限制回主机系统，并限制热插拔插入期间的浪涌充电/电流。所有规格应在最大电源电流下达到。主机系统不需要电源的电源排序，因为模块在插入期间按接地，供电和信号顺序对触点进行排序。主机上的过滤器网络上的任何压降都会受到主机直流设定点精度规格的限制。



5.5.2模块电源规格

为了避免超过主机系统的电源容量，在热插拔，上电或复位时，所有QSFP28模块都应在功率1级上电，指定为“低功耗模式”。 1级的QSFP28模块在初始化后将完全正常工作，并在系统运行期间保持低功耗模式。 所有其他QSFP28模块只能在主机系统启用“高功率模式”功能后才能完成功能操作。

高功率模式被定义为第00页（字节129）中公布的最大功率等级，只有主机能为模块提供足够的电源，主机才能使能。 主机系统使用LPMode输入引脚和写入字节93中的3个控制位控制是否启用特定功率等级。管理接口规范SFF-8636提供完整的详细信息，但是为了说明电源控制，表5-4列出了这些位。

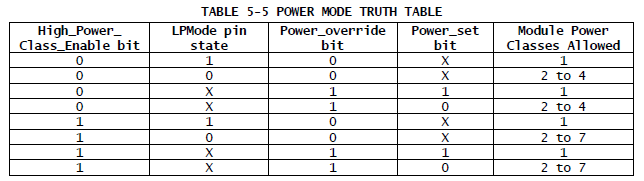


当设置（= 1b）使地址129d中列出的功率等级为5到7。 清除（= 0b）时，功率等级为5至7的模块应耗散小于3.5W，但不需要完全正常工作。 默认= 0。

电源设置为低功耗模式（1级）。 默认= 0。

覆盖LPMode引脚以允许通过软件设置电源模式。

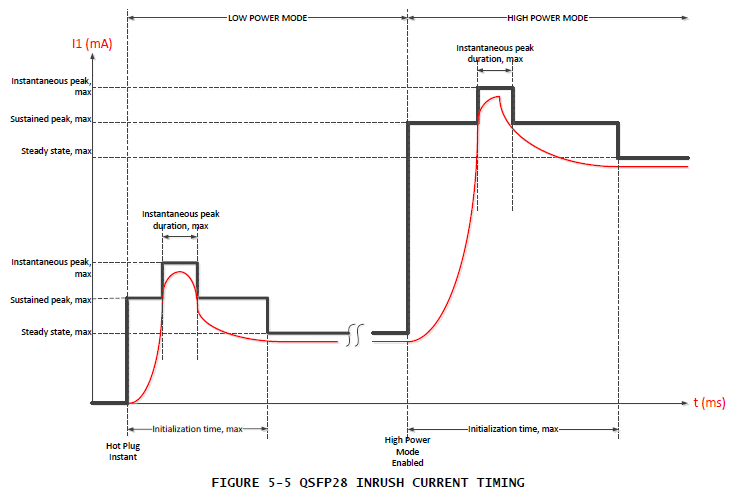
显示允许的功率等级的真值表如表5-5所示。

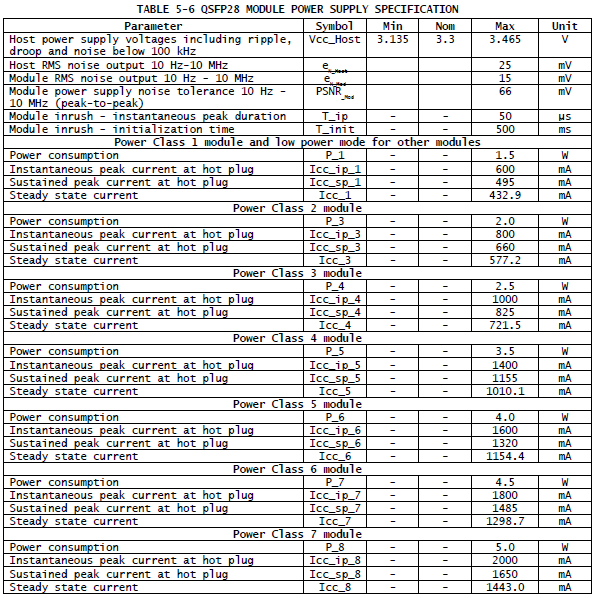


QSFP28模块通过三个电源引脚上的主机供电电压进行工作。 为保护主机和系统运行，每个QSFP28模块在热插拔和正常运行期间都应遵循表5-5所示的要求，如图5-5所示。

用于测量电源电流的测试配置是具有参考电源滤波器的模块兼容板（MCB），类似于SFF-8431，附录D和图56所示的电路.QSFP28 MCB上每个模块卡具有单个滤波器 或每个模块卡上每个电源引脚有单独滤波器，具体取决于功率等级和模块设计。 表5-6中的电流限制是指通过每个电感的电流。

如图5-5所示，图5-4中标记为I1的主机滤波器的电流波形示例如图5-5所示。 该图还显示了在低功耗模式下初始模块接通的时序，以及主机系统通过双线接口启用后，过渡到全功率模式的时间。





5.5.3主机电源电源噪声输出

当通过SFF-8431第D.17.1节的方法进行测试时，主机将产生小于表5-6中值的有效加权积分频谱RMS噪声。

5.5.4模块电源噪声输出

当通过SFF-8431（D.17.2节）的方法进行测试时，QSFP28产生的要小于表5-6中的值。

5.5.5模块电源噪声容限

根据SFF-8431第D.17.3节的方法，在从表10-6给出的振幅正弦公差信号，从10 Hz扫描到10 MHz情况下，QSFP28模块应满足所有要求，并保持完整的工作状态。这可以模拟主机的最坏情况噪声输出。

 5.6 ESD

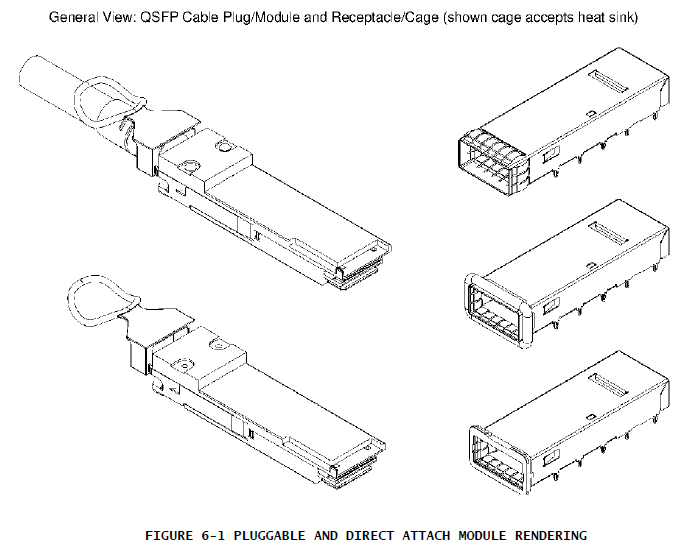
在没有另外规定ESD性能的情况下，例如在InfiniBand规范中，当安装在正确接地的笼和机箱中时，模块应符合EN61000-4-2标准B测试规范中给出的ESD要求。这些单元在运行期间经受15kV的空气放电，并在8kV直接接触放电的情况下。

模块和主机高速信号触点应根据JEDEC JESD22-A114-B的人体模型承受1000V静电放电。

1. **机械和电路板定义**

6.1介绍

本节中定义的总体模块如图6-1所示。所有可插拔模块和直接连接电缆插头必须与本规范中定义的连接器和笼子设计配合。光接口应符合IEC 61754-7接口7-3（MPO适配器接口）的尺寸规格，并与光纤电缆上的插头进行光耦合。可以使用几个笼式到边框选项。金属弹簧手指和弹性EMI解决方案均允许使用，但必须通过客户定义的要求。散热器/夹具热设计是特定的，不在本规范中定义;但是以通用设计为例。



6.2模块的颜色编码和标签

模块的暴露特征（延伸到挡板外部的特征或表面）应按如下颜色进行编码：

        米色850nm

        蓝色为1310nm

        白色为1550nm

每个模块应标明清晰。 当模块安装后并且设备的底部是标签的推荐位置时，完整的标签不可见。 标签应包括：

        适当的制造和部件号识别

        适当的合规性标签

        制造追溯码

标签还应包括外部端口特性的明确规定，如：

        光波长

        所需的光纤特性

        操作数据速率

        支持接口标准

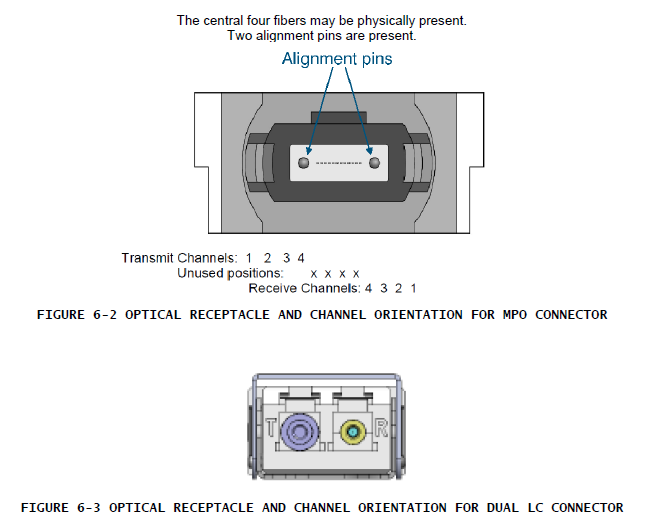
        支持链接长度

标签不得干扰机械，热或EMI特性。

6.3光接口

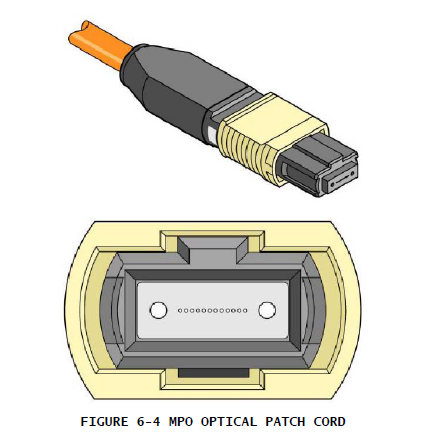
光接口端口应为IEC 61754-7（见图6-4）中规定的公型MPO连接器或IEC 61754-20规定的双LC（见图6-5）。

如图6-2所示，左侧的四个光纤位置，带有键，用于光发送信号（通道1至4）。 右侧的光纤位置用于光接收信号（通道4至1）。中心四根光纤可以物理存在。存在两个对准销。



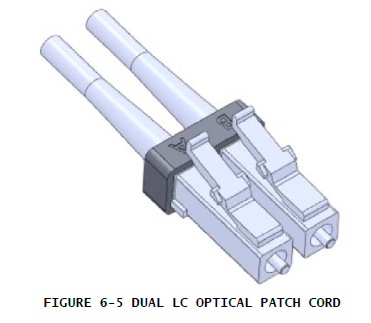
6.3.1 MPO光缆连接

配对键（B型）MPO跳线应用于确保模块之间的信号对齐。 对齐的关键跳线在TIA-568中定义，如图6-4所示。 光学连接器的定向使得MPO插座的键控特征位于顶部。



6.3.2双LC光缆连接

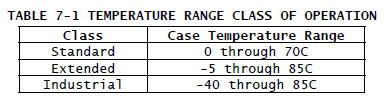
双LC光缆跳线在TIA / EIA-604-10A中定义，如图6-5所示。



1. **环境与热力**

7.1热量要求

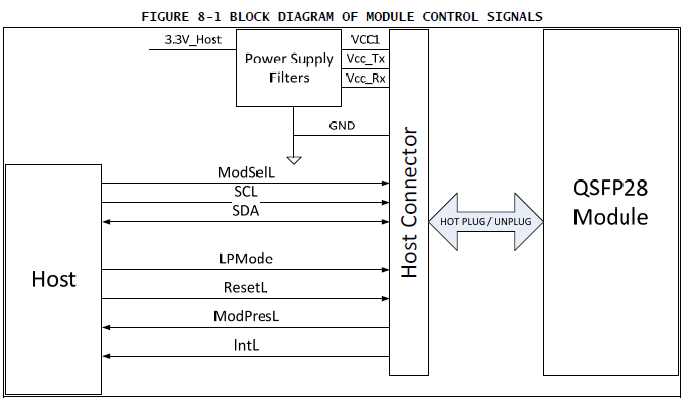
模块应在表7-1中定义的一个或多个外壳温度范围内工作。 温度范围适用于海拔60米，海拔1800米（参考NEBS GR-63），利用主机系统设计的气流。



该设计允许多达16个相邻的模块，组合和/或腹部到腹部，具有适合的冷却/气流热设计。 （参考NEBS GR-63）

1. **时间要求**

图8-1给出了主机系统与QSFP28模块之间的控制和状态信号的框图。 SFF-8636通用管理接口规范中提供了SCL，SDA和ModSelL信号的时序要求。 本节提供硬件信号ResetL，LPMode和IntL的时序要求。 此外，还提供了通过两线接口实现的控制和状态功能的时序。



8.1软控制和状态时序要求

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Parameter | Symbol | Max | Unit | Conditions |
| Initialization time | t\_init | 2000 | ms | 从电源开启\*2，热插拔或复位上升沿直到模块完全正常工作的时间。\*3该时间不适用于低功耗状态下的非功率级0模块。 |
| Reset Init Assert Time | t\_reset\_init | 2 | us | ResetL上输入超过t\_reset\_init的低电平产生复位。 |
| Serial Bus Hardware Ready Time | t\_serial | 2000 | ms | 从电源开始到模块通过双线串行总线响应数据传输的时间。\*2 |
| Monitor Data Ready Time | t\_data | 2000 | ms | 从上电到DataNotReady（字节2位0）设为无效和IntL输出置为有效的时间。\*2 |
| Reset Assert Time | t\_reset | 2000 | ms | 从ResetL输入上升沿开始直到模块完全运行的时间，。\*3 |
| LPMode Assert Time | ton\_LPMode | 100 | us | 从断言LPMode（Vin：LPMode = Vih）直到模块功耗达到功率级别1的时间。 |
| LPMode Deassert Time | toff\_LPMode | 300 | ms | 从LPMode（Vin：LPMode = Vil）取消直到模块完全运行的时间，。\*3\*5 |
| IntL Assert Time | ton\_IntL | 200 | ms | 条件触发IntL直到Vout：IntL = Vol的时间。 |
| IntL Deassert Time | toff\_IntL | 500 | us | 从相关标志的清零读操作到Vout：IntL = Voh的时间。\*4这包括Rx LOS，Tx Fault和其他标志位的无效时间。 |
| Rx LOS Assert Time | ton\_LOS | 100 | ms | 从Rx LOS状态到Rx LOS位置1（值= 1b）和IntL置位的时间。 |
| Tx Fault Assert Time | ton\_Txfault | 200 | ms | 从Tx故障状态到Tx故障位设置（值= 1b）和IntL置位的时间。 |
| Flag Assert Time | ton\_flag | 200 | ms | 从条件触发标志到相关标志位设置（值= 1b）和IntL断言的时间。 |
| Mask Assert Time | ton\_mask | 100 | ms | 从掩码位置位（值= 1b）到相关IntL断言被禁止的时间。\*1 |
| Mask Deassert Time | toff\_mask | 100 | ms | 屏蔽位清零的时间（值= 0b）直到相关的IntL操作恢复。\*1 |
| Application or Rate Select Change Time | t\_ratesel | 100 | ms | 变更状态或速率选择位\* 1直到发送器或接收器带宽符合适当的规格的时间。\*1 |
| Power\_override or Power\_set Assert Time | ton\_Pdown | 100 | ms | 从P\_Down位设置直到模块功耗达到功率级别1的时间（值= 1b）。\*1 |
| Power\_override or Power\_set Deassert Time | toff\_Pdown | 300 | ms | 从P\_Down位清零（值= 0b）直到模块完全运行的时间。\*1 |
| \*1 从写入事务的STOP位之后的下降时钟沿测量。 | | | | |
| \*2 上电定义为当电源电压达到并保持在表6规定的最小电平或以上时的瞬间。 | | | | |
| \*3 完全功能定义为IntL由于DataNotReady而导致，位0字节2被置为无效。 该模块还应符合光学和电气规格。 | | | | |
| \*4 从读取事务的STOP位之后的下降时钟沿测量。 | | | | |
| \*5 不适用于1级电源模块。 | | | | |

8.2静噪和TxRx禁用断言，取消和启用/禁用时序

表8-2列出了Tx静噪，Rx静噪，Tx禁止和Rx输出禁用功能的断言，解除，使能和禁止的所需时序性能。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Parameter | Symbol | Max | Unit | Conditions |
| Rx Squelch Assert Time | ton\_Rxsq | 80 | us | 从Rx输入信号丢失直到达到静噪输出条件的时间。见4.1.3.1。 |
| Rx Squelch Deassert Time | toff\_Rxsq | 80 | us | 恢复Rx输入信号直到正常Rx输出条件达到的时间。见4.1.3.1。 |
| Tx Squelch Assert Time | ton\_Txsq | 400 | ms | 从Tx输入信号丢失到达到静噪输出条件的时间。见4.1.3.2。 |
| Tx Squelch Deassert Time | toff\_Txsq | 400 | ms | 恢复Tx输入信号直到达到正常Rx输出条件的时间。见4.1.3.2。 |
| Tx Disable Assert Time | ton\_TxDis | 100 | ms | 自Tx禁用位置位（值= 1b）的直到光输出低于标称值的10％时间，。\*1 |
| Tx Disable Deassert Time | toff\_TxDis | 400 | ms | 自Tx禁用位清零（值= 0b），直到光输出上升到额定值的90％以上的时间。\*1 |
| Rx Output Disable Assert Time | ton\_RxDis | 100 | ms | Rx输出禁止位置1（值= 1b），直到Rx输出低于标称值的10％的时间。\*1 |
| Rx Output Disable Deassert Time | toff\_RxDis | 100 | ms | Rx输出禁止位清零（值= 0b），直到Rx输出上升到额定值的90％以上的时间。\*1 |
| Squelch Disable Assert Time | ton\_sqDIS | 100 | ms | 这适用于Rx和Tx静噪，是从位清零（值= 0b）到静噪功能使能的时间。\*1 |
| Squelch Disable Deassert Time | toff\_sqDIS | 100 | ms | 这适用于Rx和Tx静噪，并且是从位设置（值= 1b）到静噪功能禁用的时间。\*1 |
| \*1 从写入事务的STOP位之后的下降时钟沿测量。 | | | | |