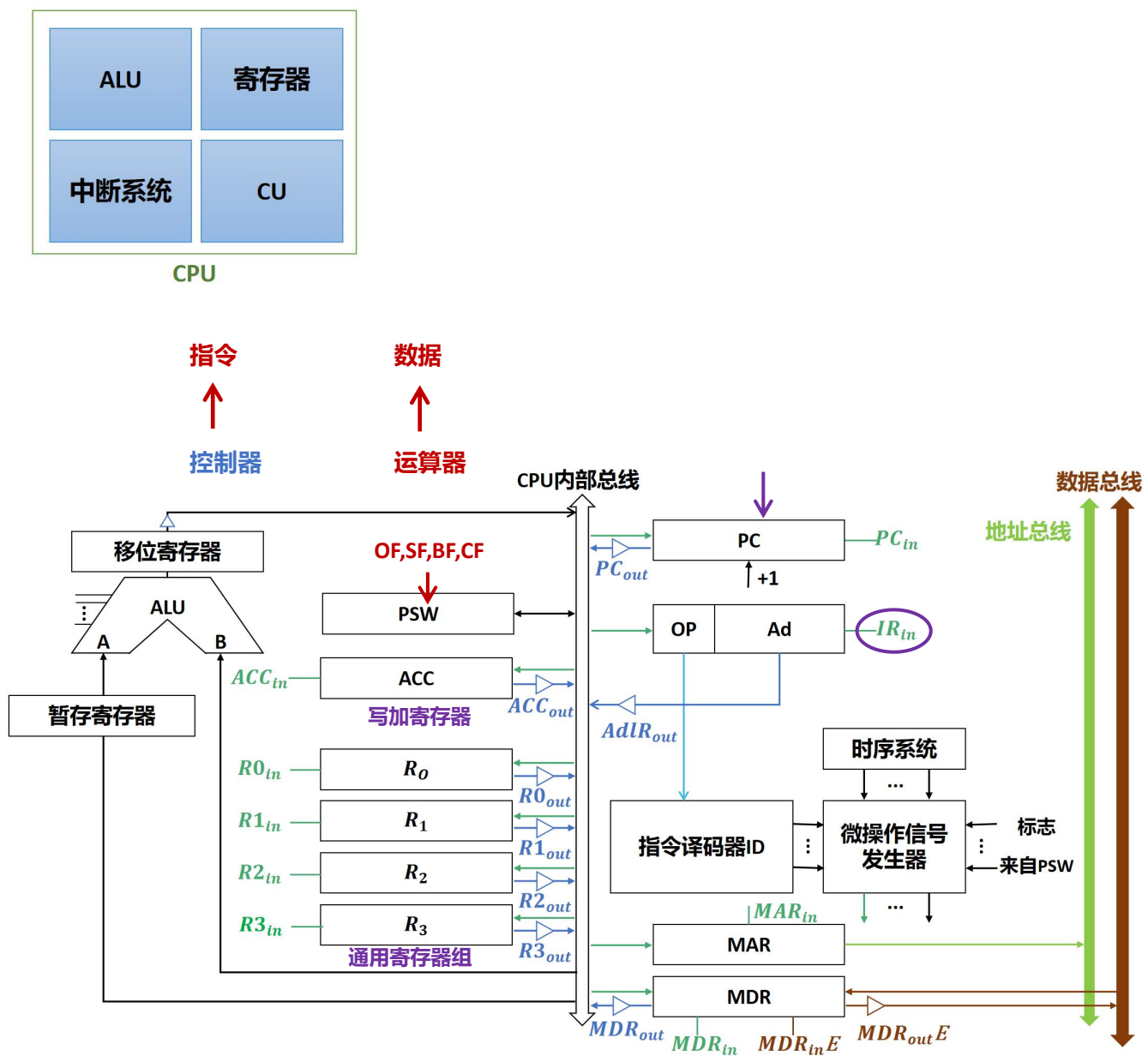


计组第五章 知识点串讲笔记

- ①了解 CPU 内部有哪些东西?
- ②一条指令执行的过程
- ③两种控制方式（硬布线和微程序）
- ④如何加快指令执行（流水线技术）

- ①了解 CPU 内部有哪些东西?

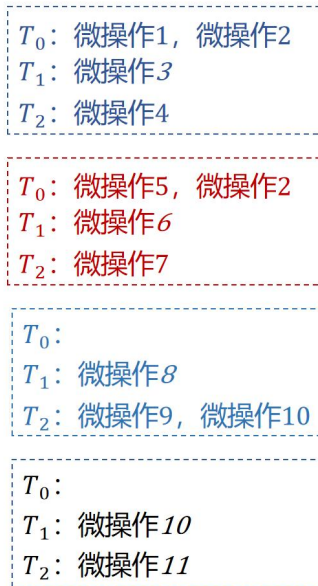
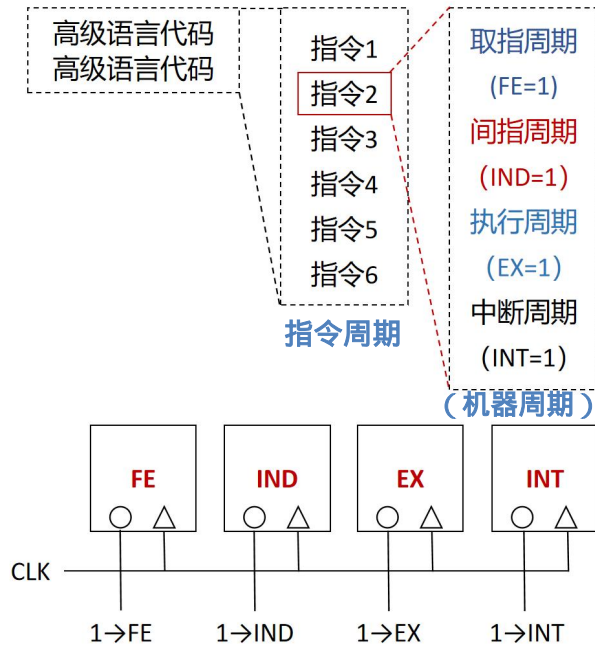


②一条指令执行的过程 (Add (R₀), R₁)

机器指令 (00010111.....)

汇编指令

时钟周期 (节拍)



一个节拍内可并行完成多个“相容”微操作

同一个微操作可能在不同指令的不同阶段被使用

不同指令的执行周期所需节拍数各不相同。为了简化设计,选择定长的机器周期,以可能出现的最大节拍数为准(通常以访存所需节拍数作为参考)

若实际所需节拍数较少,可将微操作安排机器周期末尾几个节拍上进行。

$R[R_1] + M[R[R_0]]$ $M[R[R_0]]$

寄存器间址

Add [R₀] R1

有哪些微操作?

取值

(PC) MAR

1 R

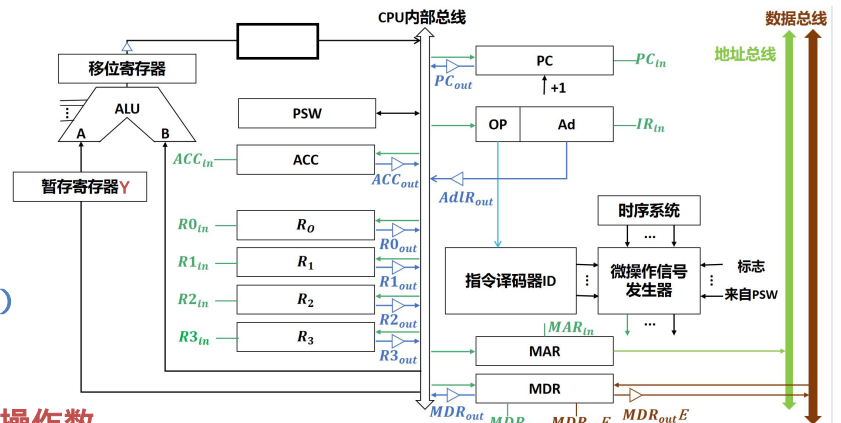
M(MAR) MDR

M(MDR) IR

(PC) + 1 PC (可以插到M(MAR) MDR后)

指令译码 (两种方式) 硬布线、微操作

间址 一般旨在获取EA, 这里旨在获取操作数

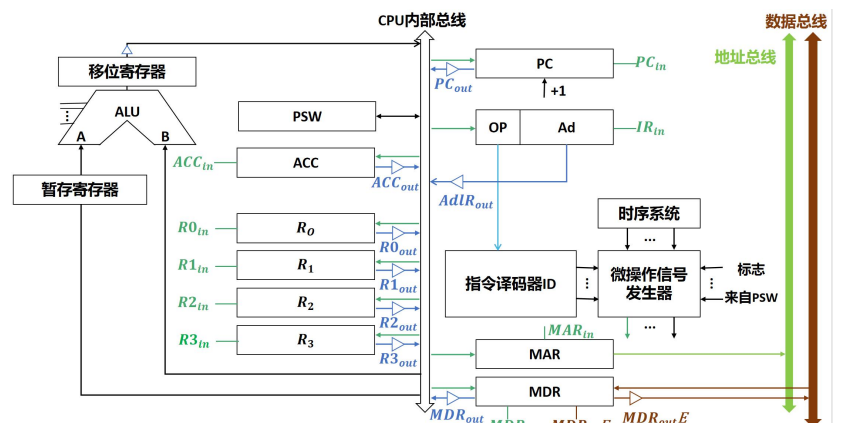


(R₀) MAR

M(MAR) MDR

(MDR) Y (暂存器)

执行



(R1) + (Y) Z

(Z) MDR

(MDR) M(MAR)

关于1 R 是否属于微操作

1 W 是否属于微操作？偏向不是。因为这里本质是控制信号，没有涉及数据的流动，但有的地方认为是的，所以根据题目来！

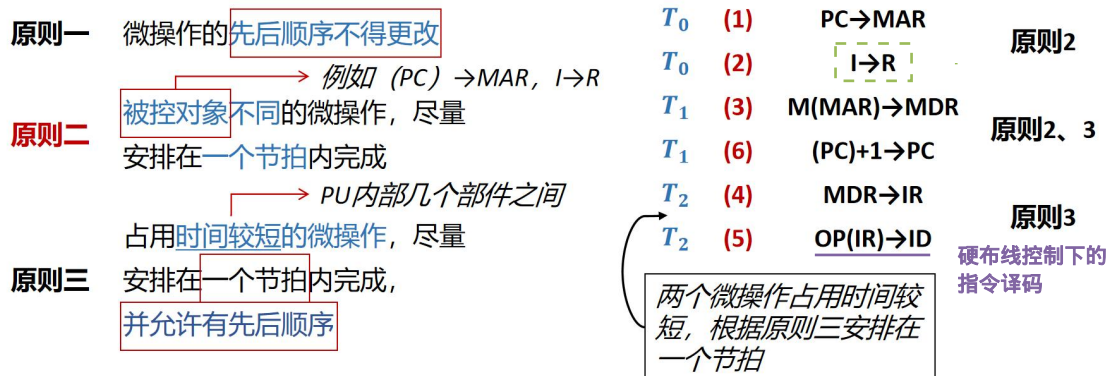
搞明白一条指令分为哪几个阶段？

每个阶段可以做什么后，

下一步我们要把每个阶段的微操作序列进一步细分，

分为多个节拍

安排微操作时序——取指周期



M(MAR) → MDR，从主存取数据，用时较长，因此必须一个时钟周期才能保证微操作的完成。

MDR → IR 是 CPU 内部寄存器的数据传送，速度很快，因此在一个时钟周期内可以紧接着完成

OP(IR) → ID，也就是可以一次用时发出两个微命令。

以访存作为切割点，切出不同的节拍。

间址

(R₀) MAR

M(MAR) MDR

(MDR) Y

执行

(R₁) + (Y) Z

(Z) MDR

(MDR) M(MAR)

1 W

思考：上述微操作都是如何实现的？

控制信号！

取指

T0 (PC) MAR

T1 M(MAR) MDR

T1 (PC)+1 PC

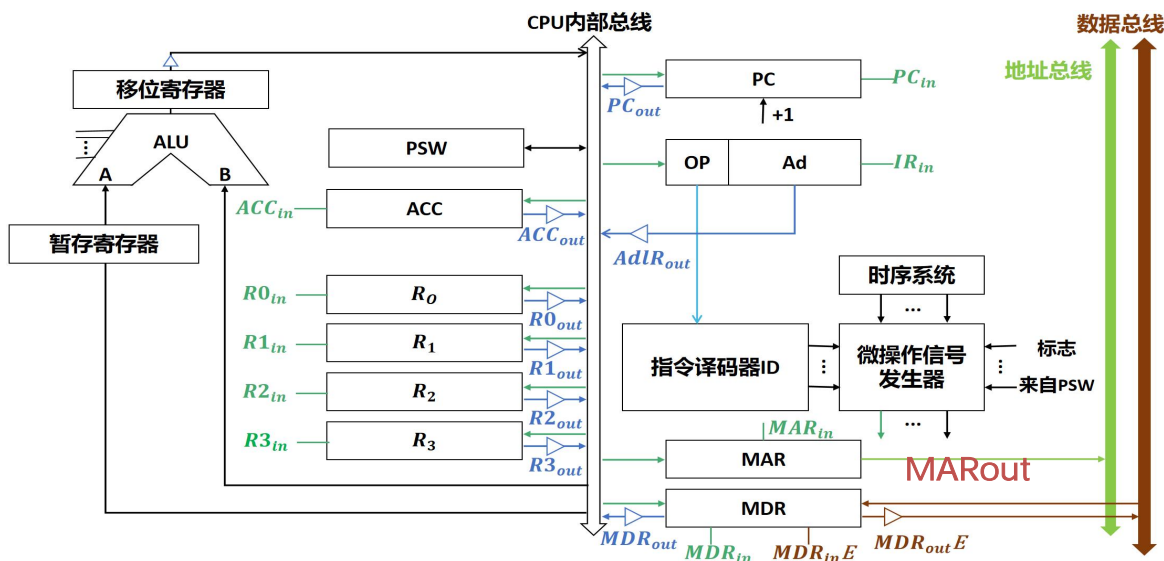
T2 (MDR) IR

T3 OP(IR) ID (硬布线控制下) IRont, IDin

有效控制信号

Pc_{out}, MAR_{in}

MemR, MAR_{out}, MDR_{inE}

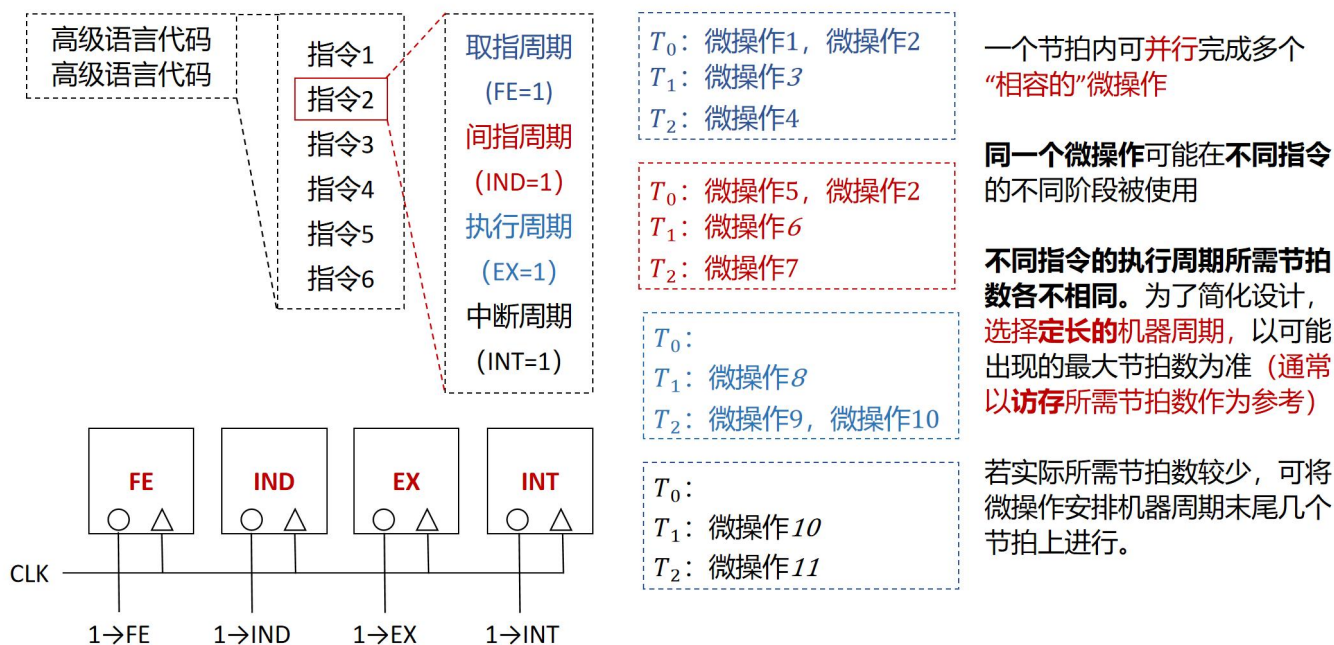


这种控制信号来自于 CU (控制单元)

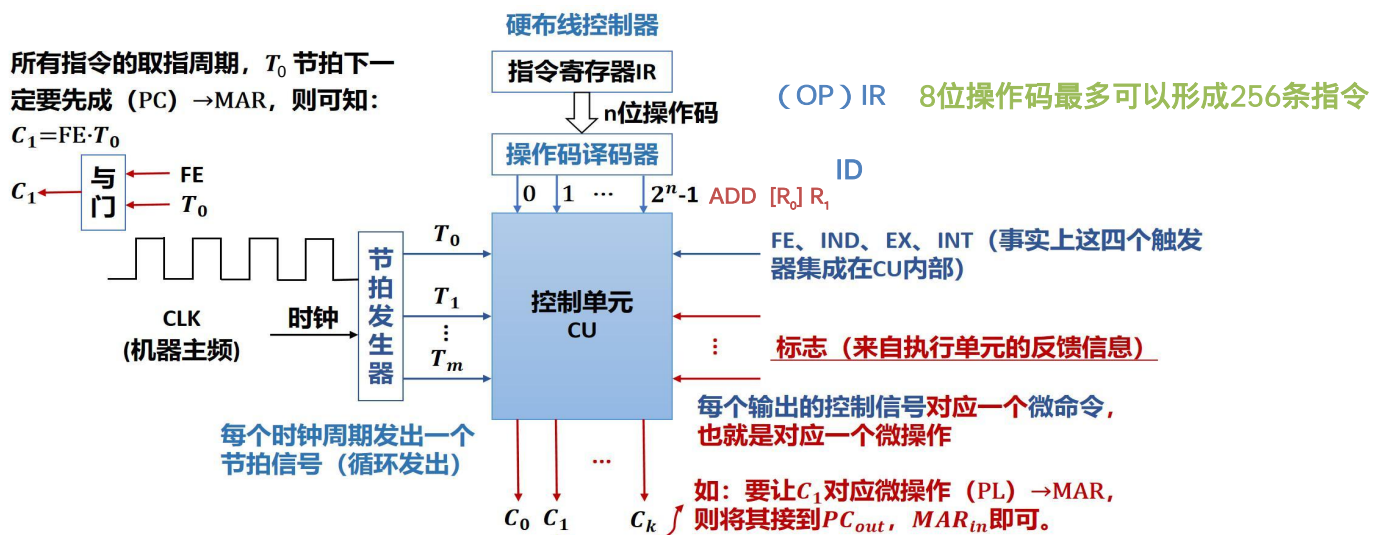
cu的控制信号线接在不同的三态门上，

当发出高电平信号时，三态门就导通，进而控制数据流进该部件

cu “说什么”，执行部件就“做什么”，因此我们称之为“微命令”



两种控制方式（硬布线与微程序）



根据: 指令操作码, 目前的机器周期, 节拍信号, 机器状态条件, 即可确定现在这个节拍下应该发出哪些微命令。

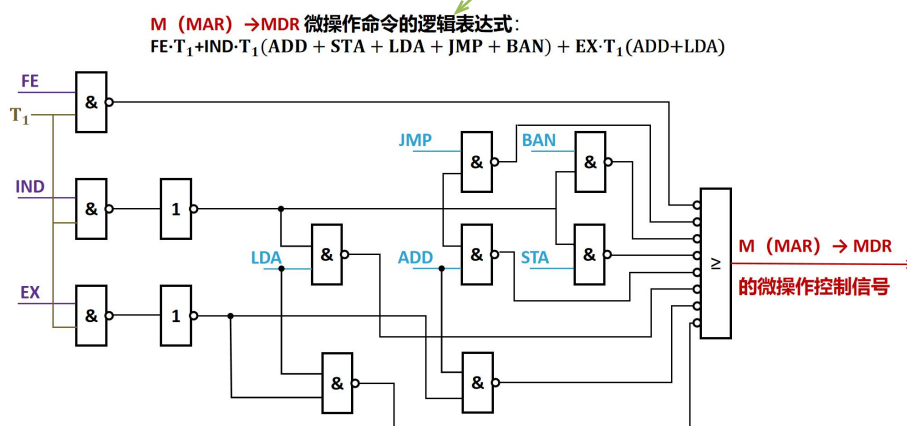
取指

T_0 (PC) \rightarrow MAR
 T_1 M(MAR) \rightarrow MDR
 T_1 (PC)+1 \rightarrow PC
 T_2 (MDR) \rightarrow IR
 T_3 OP(IR) \rightarrow ID

组合逻辑

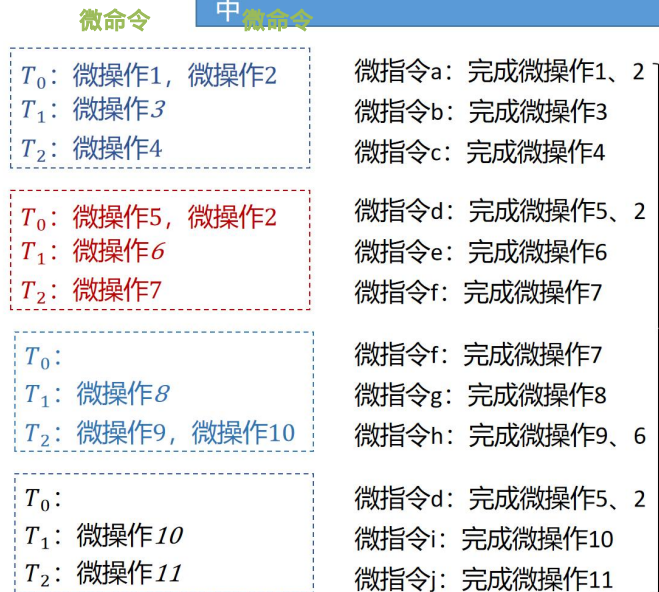
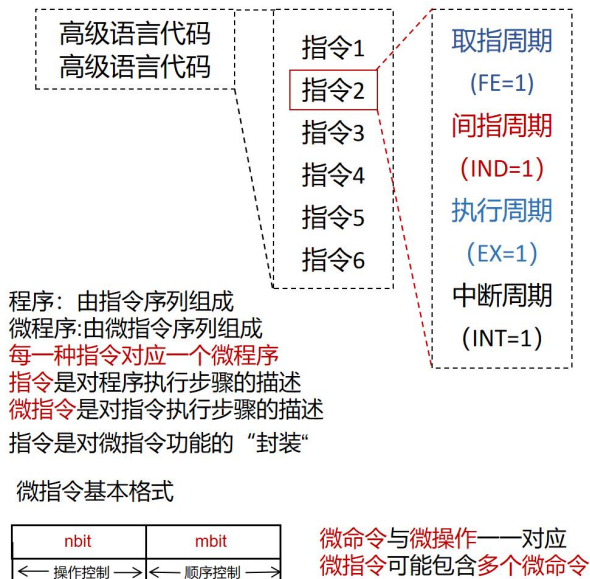
$C_1 = FE \cdot T_0$ (任意指令)
 C_2 信号线

是电路的数字化表示

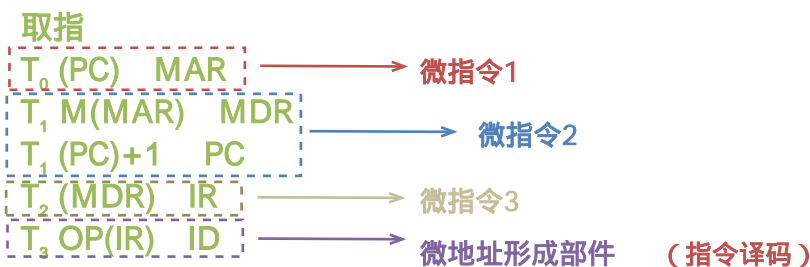
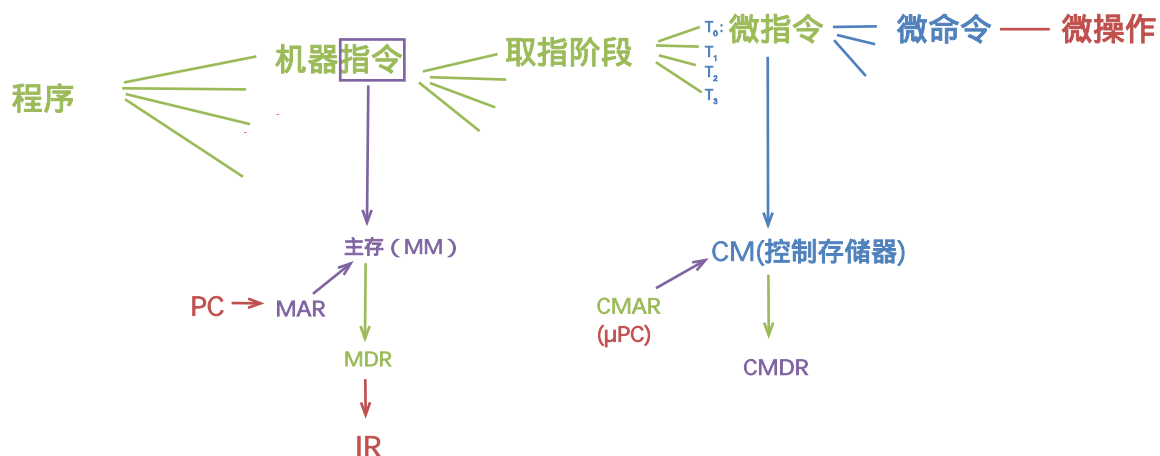


根据 指令操作码, 目前的机器周期, 节拍信号, 机器状态条件, 即可确定现在这个节拍下应该发出哪些“微命令”

一个节拍执行一条微指令

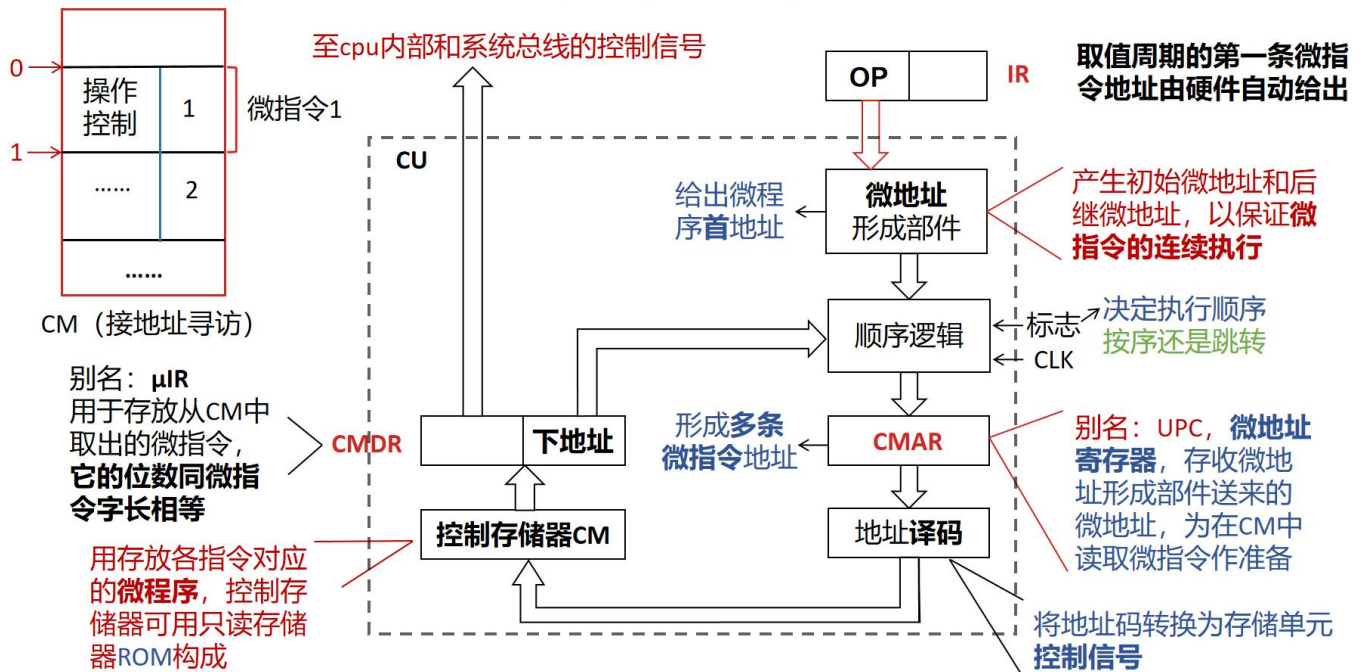


物理上，每个阶段都对应一个微程序



tip：硬布线控制下，OP (IR) ID
(ID 微信号发生器 直接发信号)

微程序控制器的基本结构



这里容易绕晕的点！

注意T2阶段时，才有 (MDR) IR，
所以最开始IR是空的

T3阶段时，OP (IR) 才发挥作用

此时我们得到下个阶段 (间址/执行) 的微程序首地址
(硬件自动给出微指令1 (PC MAR) 的地址)

T₀ PC MAR
T₁ Ad(MDR) CMAR
T₂ M(MAR) MDR
T₂ (PC)+1 PC
T₃ Ad(CMDR) CMAR
T₄ (MDR) IR
T₄ (OP)IR 微地址形成部件
T₅ 微地址形成部件 CMAR