

## 一、填空题

- 1 IEEE754 标准, 一个浮点数由 ( )、阶码 E、尾数 M 三个域组成。其中阶码 E 的值等于指数的 ( ) 加上一个固定 ( )。
- 2 相联存储器不按地址而是按( )访问的存储器, 在 cache 中用来存放( ), 在虚拟存储器中用来存放 ( )。
- 3 双端口存储器和多模块交叉存储器属于 ( ) 存储器结构, 前者采用 ( ) 技术, 后者采用 ( ) 技术。
- 4 根据地址格式不同, 虚拟存储器分为 ( )、( )、( )。
- 5 CPU 从主存取出一条指令并执行该指令的时间叫做 ( ), 它通常用若干 ( ) 来表示, 而后者有包含有若干个 ( )。
- 6 内部总线是指 ( ) 内部连接各逻辑部件的一组 ( )。它用 ( ) 或 ( ) 来实现。
- 7 存储器的读出时间通常称为 ( ), 它定义为 ( ), 为便于读出写控制, 存储器设计时写入时间和读出时间相等, 但事实上写入时间 ( ) 读出时间。
- 8 形成操作数地址的方式, 称为 ( ) 方式, 操作数可放在 ( ) 寄存器、( ) 寄存器、内存和指令中。
- 9 RISC 机器一定是 ( ) CPU, 奔腾 CPU 是 ( ) CPU, 但奔腾机是 ( ) 机器
- 10 为了解决多个 ( ) 同时竞争总线 ( ), 必须具有 ( ) 部件。

## 二、证明题

设  $[x]_{\text{补}} = x_0x_1x_2\cdots x_n$ , 求证:  $\left[\frac{x}{2}\right]_{\text{补}} = x_0 \cdot x_0x_1x_2\cdots x_n$

## 三、计算题

设存储器容量为 128M 字, 字长 64 位, 模块数  $m=8$ , 分别用顺序方式和交叉方式进行组织。存储周期  $T=200\text{ns}$ , 数据总线宽度为 64 位, 总线传送周期  $\tau=50\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少?

## 四、分析题

请在下表中第二列，第三列填写简要文字对 CISC 和 RISC 的主要特征进行对比：

比较内容	CISC	RISC
(1) 指令系统		
(2) 指令数目		
(3) 指令格式		
(4) 寻址方式		
(5) 指令字长		
(6) 可访存指令		
(7) 各种指令使用频率		
(8) 各种指令执行时间		

五、设计题

如图所示为双总线结构机器的数据通路，IR 为指令寄存器，PC 为程序计数器（具有自增功能），DM 为数据存储器（受  $R/\overline{W}$  信号控制），AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。另外，线上标注有小圈表示有控制信号，例中  $y_i$  表示 y 寄存器的输入控制信号， $R_{1o}$  为寄存器  $R_1$  的输出控制信号，未标字符的线为直通线，不受控制。

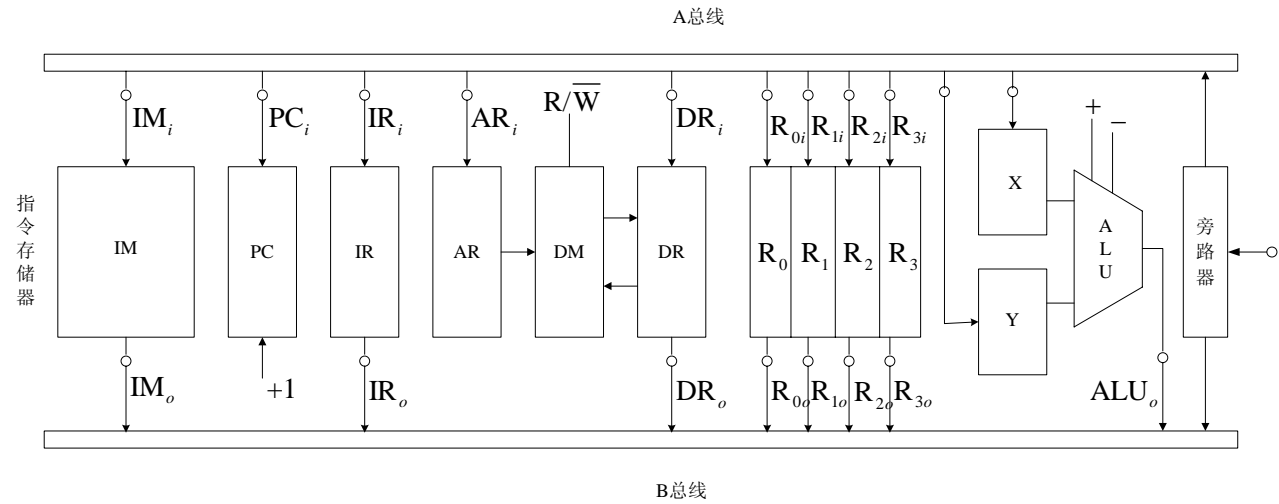


图 1

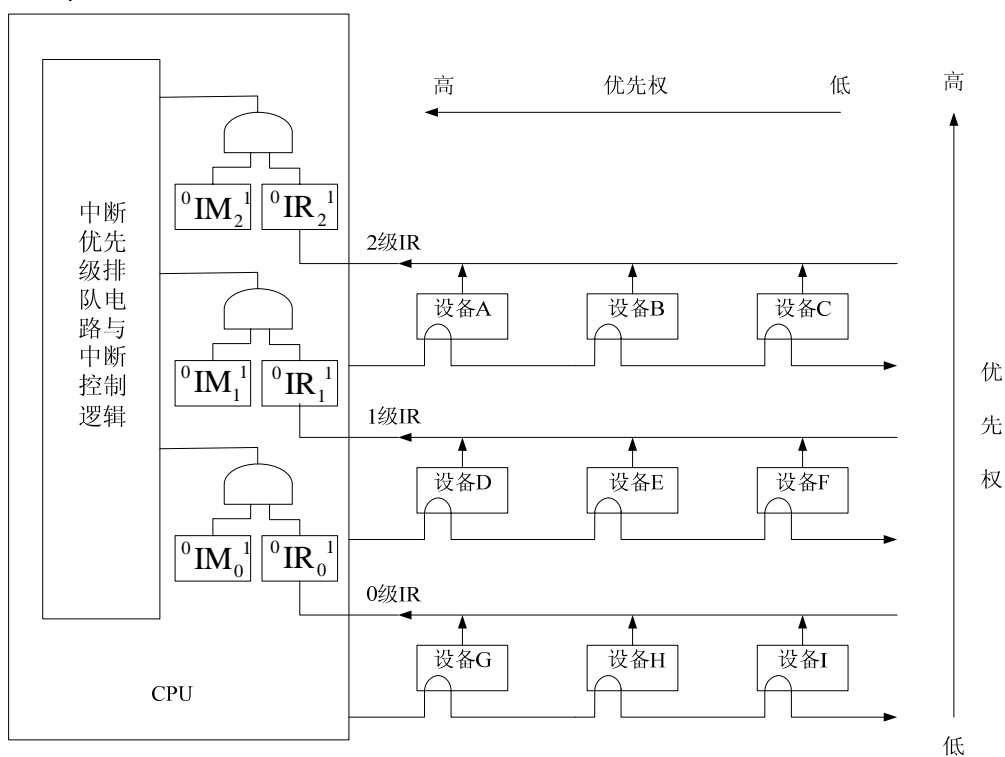
- ① “SUB R<sub>3</sub>, R<sub>0</sub>” 指令完成  $(R_0) - (R_3) \rightarrow R_0$  的功能操作，画出其指令周期流程图，并列出相应的微操作控制信号序列，假设该指令的地址已放入 PC 中。
- ② 若将“取指周期”缩短为一个 CPU 周期，请在图上先画出改进的数据通路，然后在画出指令周期流程图。此时 SUB 指令的指令周期是几个 CPU 周期？

与第①种情况相比，减法指令速度提高几倍？

## 六、 分析题

如下图所示，这是一个二维中断系统，请问：

- (1)在中断情况下，CPU 和设备的优先级如何考虑？请按降序排列各设备的中断优先级。
- (2)若 CPU 现执行设备 C 的中断服务程序，IM2、IM1、IM0 的状态是什么？  
如果 CPU 执行设备 H 的中断服务程序，IM2、IM1、IM0 的状态又是什么？
- (3)每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽？如果不能，采取什么方法可达到目的？
- (4)若设备 C 一提出中断请求，CPU 立即进行响应，如何调整才能满足此要求？



一维、二维多级中断结构