

第一章 习题集

一. 选择题 (每小题 1 分)

1. 完整的计算机应包括 ()。
A. 运算器、存储器、控制器 B. 外部设备和主机
C. 主机和实用程序 D. 配套的硬件设备和软件系统
2. 至今为止, 计算机中的所有信息仍以二进制方式表示的理由是 ()。
A. 节约元件 B. 运算速度快 C. 物理器件的性能决定 D. 信息处理方便
3. 现代计算机内部一般采用二进制形式, 我国历史上的 () 即反映了二值逻辑的思想, 它最早记载在 () 上, 距今已有约 () 千年。
A. 八卦图、论衡、二 B. 算筹、周脾算经、二
C. 算筹、九章算术、一 D. 八卦图、周易、三
4. 没有外存贮器的计算机监控程序可以存放在 ()。
A. RAM B. FLASH C. RAM 和 ROM D. CPU
5. 冯·诺依曼机工作的基本方式的特点是 ()。
A. 多指令流单数据流 B. 按地址访问并顺序执行指令
C. 堆栈操作 D. 存贮器按内容选择地址
6. 对计算机的产生有重要影响的是: ()。
A. 牛顿、维纳、图灵 B. 莱布尼兹、布尔、图灵
C. 巴贝奇、维纳、麦克斯韦 D. 莱布尼兹、布尔、克雷
7. 我国在 () 年研制成功了第一台电子数字计算机, 第一台晶体管数字计算机于 () 年完成。
A. 1946, 1958 B. 1950, 1968 C. 1958, 1961 D. 1959, 1965
8. 六七十年代, 在美国的 () 州, 出现了一个地名叫硅谷。该地主要工业是 (), 它也是 () 的发源地。
A. 马萨诸塞, 硅矿产地, 通用计算机
B. 加利福尼亚, 微电子工业, 通用计算机
C. 加利福尼亚, 硅生产基地, 小型计算机和微处理机
D. 加利福尼亚, 微电子工业, 微处理机
9. 2000 年超级计算机最高运算速度达到 () 次。
A. 100 亿次 B. 1000 亿次 C. 5000 亿次 D. 10000 亿次
10. 目前大多数集成电路生产中, 所采用的基本材料为 ()。
A. 单晶硅 B. 非晶硅 C. 锑化钼 D. 硫化镉
11. 从器件角度看, 计算机经历了四代变化。但从系统结构看, 至今绝大多数计算机仍属于 () 型计算机。
A. 并行 B. 冯·诺依曼 C. 智能 D. 实时处理
12. 计算机硬件能直接执行的只有 ()。
A. 符号语言 B. 机器语言 C. 汇编语言 D. 机器语言和汇编语言
13. 50 年代, 为了发挥 () 的效率, 提出了 () 技术, 从而发展了操作系统, 通过它对 () 进行管理和调度。
A. 计算机 操作系统 计算机 B. 计算 并行 算法

C. 硬件设备 多道程序 硬软资源

D. 硬件设备 晶体管 计算机

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	C	3	D	4	B	5	B	6	B
7	D	8	D	9	B	10	A	11	B	12	B
13	C										

二. 填空题（每空 1 分）

1. 存储【 ① 】并按【 ② 】顺序执行，这是【 ③ 】型计算机的工作原理。
2. 2000 年超级计算机浮点最高运算速度达到每秒【 ① 】次。我国的【 ② 】号计算机的运算速度达到【 ③ 】次，使我国成为美国、日本后第三个拥有高速计算机的国家。
3. 在计算机术语中，将运算器、控制器、cache 合在一起，称为【 ① 】，而将【 ② 】和存储器合在一起，成为【 ③ 】。
4. 在计算机系统中，多个系统部件之间信息传送的公共通路称为【 ① 】。就其所传送信息的性质而言，在公共通路上传送的信息包括数据、【 ② 】和【 ③ 】信息。

题号	空 ① 答案	空 ② 答案	空 ③ 答案
1	存储区域	访问方式	/
2	全相联	直接	组相联
3	浮点	指	对阶
4	存储容量	存取时间	存储周期
5	触发器	电荷存储器件	/
6	独立请求	链式查询	/
7	集中式	分布式	/
8	停止 CPU 访内	周期挪用	DMA 和 CPU 交替访内

第二章 习题集

一. 选择题 (每小题 1 分)

1. 某机字长 32 位, 其中 1 位符号位, 31 位表示尾数。若用定点小数表示, 则最大正小数为 ()。
A. $+(1-2^{-32})$ B. $+(1-2^{-31})$ C. 2^{-32} D. 2^{-31}
2. 定点 16 位字长的字, 采用 2 的补码形式表示时, 一个字所能表示的整数范围是 ()。
A. $-2^{15} \sim +(2^{15}-1)$ B. $-(2^{15}-1) \sim +(2^{15}-1)$
C. $-(2^{15}+1) \sim +2^{15}$ D. $-2^{15} \sim +2^{15}$
3. 用 64 位字长 (其中 1 位符号位) 表示定点整数时, 所能表示的数值范围是 ()。
A. $[0, 2^{64}-1]$ B. $[0, 2^{63}-1]$ C. $[0, 2^{62}-1]$ D. $[0, 2^{63}]$
4. 用 32 位字长 (其中 1 位符号位) 表示定点小数是, 所能表示的数值范围是 ()。
A. $[0, 1-2^{-32}]$ B. $[0, 1-2^{-31}]$ C. $[0, 1-2^{-30}]$ D. $[0, 1]$
5. 用 16 位字长 (其中 1 位符号位) 表示定点整数时, 所能表示的数值范围是 ()。
A. $[0, 2^{16}-1]$ B. $[0, 2^{15}-1]$ C. $[0, 2^{14}-1]$ D. $[0, 2^{15}]$
6. 用 16 位字长 (其中一位符号位) 表示定点小数时, 所能表示的数值范围是 ()。
A. $0 \leq |N| \leq 1-2^{-(16+1)}$ B. $0 \leq |N| \leq 1-2^{-16}$
C. $0 \leq |N| \leq 1-2^{-(16-1)}$ D. $0 \leq |N| \leq 1$
7. 设 32 位浮点数中, 符号位为 1 位, 阶码为 8 位, 尾数位为 23 位, 则它所能表示的最大规格化正数为 ()。
A. $+(2-2^{-23}) \times 2^{+127}$ B. $[1+(1-2^{-23})] \times 2^{+127}$
C. $+(2-2^{-23}) \times 2^{+255}$ D. $2^{+127} \cdot 2^{-23}$
8. 某机字长 32 位, 其中 1 位符号位, 31 位表示尾数。若用定点整数表示, 则最大正整数是 ()。
A. $+(2^{31}-1)$ B. $+(2^{30}-1)$ C. $+2^{31}$ D. $+2^{32}$
9. 已知 X 为整数, 且 $[X]_{\#} = 10011011$, 则 X 的十进制数值是 ()。
A. +155 B. -101 C. -155 D. +101
10. 下列数中最大的数为 ()。
A. $(10010101)_2$ B. $(227)_8$ C. $(96)_8$ D. $(143)_5$
11. 下列数中最小的数是 ()。
A. $(100101)_2$ B. $(50)_8$ C. $(100010)_{BCD}$ D. $(625)_{16}$
12. 一个 8 位的二进制整数, 采用补码表示, 且由 3 个“1”和 5 个“0”组成, 则最小值为 ()。
A. -127 B. -32 C. -125 D. -3
13. 在机器数 () 中, 零的表示形式是唯一的。
A. 原码 B. 补码 C. 移码 D. 反码
14. 8 位定点字长的字, 采用 2 的补码表示时, 一个字所能表示的整数范围是 ()。
A. $-128 \sim +127$ B. $-127 \sim +127$ C. $-129 \sim +128$ D. $-128 \sim +128$
15. $[X]_{\#} = 1.X_1X_2X_3X_4$, 当满足 () 时, $X > -1/2$ 成立。
A. $X_1=1$, $X_2 \sim X_4$ 至少有一个为 1 B. $X_1=1$, $X_2 \sim X_4$ 任意
C. $X_1=0$, $X_2 \sim X_4$ 至少有一个为 1 D. $X_1=0$, $X_2 \sim X_4$ 任意
16. () 表示法主要用于表示浮点数中的阶码。

- A.原码 B.补码 C.反码 D.移码
17. 假定下列字符码中有奇偶校验位，但没有数据错误，采用偶校校验的字符码是（ ）。
A. 11001011 B. 11010110 C. 11000001 D. 11001001
 18. 在定点二进制运算器中，减法运算一般通过（ ）来实现。
A. 原码运算的二进制减法器 B. 补码运算的二进制减法器
C. 原码运算的十进制加法器 D. 补码运算的二进制加法器
 19. 在定点运算器中，无论采用双符号位还是单符号位，必须有（ ），它一般用（ ）来实现。
A. 译码电路，与非门； B. 编码电路，或非门；
C. 溢出判断电路，异或门； D. 移位电路，与或非门；
 20. 下列表达式中正确的运算结果为（ ）。
A. $(10101)_2 \times (2)_{10} = (20202)_2$ B. $(10101)_3 \times (2)_{10} = (20202)_3$
C. $(10101)_3 \times (3)_{10} = (30303)_3$ D. $(101010)_3 - (20202)_3 = (11011)_3$
 21. 按其数据流的传递过程和控制节拍来看，阵列乘法器可认为是（ ）。
A. 全串行运算的乘法器 B. 全并行运算的乘法器
C. 串—并行运算的乘法器 D. 并—串型运算的乘法器
 22. 运算器虽有许多部件组成，但核心部件是（ ）。
A. 数据总线 B. 算术逻辑运算单元 C. 多路开关 D. 累加寄存器
 23. 运算器的主要功能是进行（ ）。
A. 逻辑运算 B. 算术运算 C. 逻辑运算与算术运算 D. 初等函数的运算
 24. 算术 / 逻辑运算单元 74181ALU 可完成（ ）。
A. 16 种算术运算功能
B. 16 种逻辑运算功能
C. 16 种算术运算功能和 16 种逻辑运算功能
D. 4 位乘法运算和除法运算功能
 25. 四片 74181ALU 和 1 片 74182CLA 器件相配合，具有如下进位传递功能（ ）。
A. 行波进位； B. 组内先行进位，组间先行进位；
C. 组内先行进位，组间行波进位； D. 组内行波进位，组间先行进位；
 26. 八位微型计算机中乘除法大多数用（ ）实现。
A. 软件 B. 硬件 C. 固件 D. 专用片子
 27. 定点计算机用来进行（ ）_。
A 十进制数加法运算； B. 定点数运算；
C. 浮点数运算； D. 既进行定点数运算也进行浮点数运算；
 28. 如果浮点数尾数用补码表示，则判断下列哪一项的运算结果是规格化数（ ）。
A. 1.11000 B. 0.01110 C. 1.00010 D. 0.01010
 29. 若浮点数用补码表示，则判断运算结果是否为规格化数的方法是（ ）。
A 阶符与数符相同为规格化数
B. 阶符与数符相异为规格化数
C. 数符与尾数小数点后第一位数字相异为规格化数
D 数符与尾数小数点后第一位数字相同为规格化数
 30. 从下面浮点运算器的描述中选出两个描述正确的句子（ ）。
A. 浮点运算器可用两个松散连接的定点运算部件—阶码部件和尾数部件。

- B.阶码部件可实现加、减、乘、除四种运算。
C.阶码部件只进行阶码相加、相减和比较操作。
D.尾数部件只进行乘法和除法运算。

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	
13		14		15		16		17		18	
19		20		21		22		23		24	
25		26		27		28		29		30	

二. 填空题 (每小题 3 分)

1. 一个定点数由 A. () 和 B. () 两部分组成。根据小数点位置不同, 定点数有 C. () 和纯整数之分。
2. 按 IEEE764 标准, 一个浮点数由 A. (), 阶码 E, 尾数 m 三部分组成。其中阶码 E 的值等于指数的 B. () 加上一个固定 C. ()。
3. 数的真值变成机器码可采用 A. () 表示法, B. () 表示法, C. () 表示法, 移码表示法。
4. 移码表示法主要用于表示 A. () 数的阶码 E, 以利于比较两个 B. () 的大小和 C. () 操作。
5. 字符信息是 A () 数据, 它处理 B () 领域的问题。国际上采用的字符系统是七单元的 C () 码。
6. 为了运算器的 A. , 采用了 B. 进位, C. 乘除法和流水线等并行措施。

三. 其他题 ()

1. (10 分) 设机器字长 32 位, 定点表示, 尾数 31 位, 数符 1 位, 问:
- (1) 定点原码整数表示时, 最大正数是多少? 最小负数是多少?
 - (2) 定点原码小数表示时, 最大正数是多少? 最小负数是多少?

解: (1) 定点原码整数表示:

最大正数:

0 111 111 111 111 111 111 111 111 111 1111

数值 = $(2^{31} - 1)_{10}$

最小负数:

1 111 111 111 111 111 111 111 111 111 1111

数值 = $-(2^{31} - 1)_{10}$

- (2) 定点原码小数表示:

最大正数值 = $(1 - 2^{-31})_{10}$

最小负数值 = $-(1 - 2^{-31})_{10}$

2. (9分) 设机器字长 16 位, 定点表示, 尾数 15 位, 数符 1 位, 问:
- (1) 定点原码整数表示时, 最大正数是多少? 最小负数是多少?
- (2) 定点原码小数表示时, 最大正数是多少? 最小负数是多少?

解: ① 定点原码整数表示

最大正数	0	111	111	111	111	111
------	---	-----	-----	-----	-----	-----

$$\text{数值} = (2^{15} - 1)_{10} = (+32767)_{10}$$

最小负数	1	111	111	111	111	111
------	---	-----	-----	-----	-----	-----

$$\text{数值} = -(2^{15} - 1)_{10} = (-32767)_{10}$$

②定点原码小数表示

$$\text{最大正数值} = (+0.11\dots11)_2 = (1 - 2^{-15})_{10}$$

$$\text{最小负数值} = (-0.11\dots11)_2 = -(1 - 2^{-15})_{10}$$

3. (9分) 假设由 S, E, M 三个域组成的一个 32 位二进制字所表示的非零规格化浮点数 x, 其中 M=23 位, E=8 位, S=1 位, 其值表示为:

$$x = (-1)^S \times (1.M) \times 2^{E-128}$$

问: 其所表示的规格化的最大正数、最小正数、最大负数、最小负数是多少?

解: (1) 最大正数	0	11	111	111	111	111	111	111	111	111	111	11
-------------	---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = [1 + (1 - 2^{-23})] \times 2^{127}$$

(2) 最小正数	0	00	000	000	000	000	000	000	000	000	000	00
----------	---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = 1.0 \times 2^{-128}$$

(3) 最大负数	1	00	000	000	000	000	000	000	000	000	000	00
----------	---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = -1.0 \times 2^{-128}$$

(4) 最小负数	1	11	111	111	111	111	111	111	111	111	111	11
----------	---	----	-----	-----	-----	-----	-----	-----	-----	-----	-----	----

$$x = -[1 + (1 - 2^{-23})] \times 2^{127}$$

4. (9分) 将十进制数 20.59375 转换成 32 位浮点数的二进制格式来存储。

解: 先将十进制数转换为二进制数:

$$(20.59375)_{10} = (10100.10011)_2$$

然后移动小数点, 使其在 1, 2 位之间

$$10100.10011 = 1.010010011 \times 2^4, e=4$$

于是得到 S=0, E=4+127=131 M=010010011

最后得到 32 位浮点数的二进制格式为:

$$0100\ 0001\ 1010\ 0100\ 1100\ 0000\ 0000\ 0000 = (41A4C000)_{16}$$

5. (9分) 求证: $[X]_{\text{补}} + [Y]_{\text{补}} = [X + Y]_{\text{补}} \pmod{2}$

解: (1) $x > 0, y > 0$, 则 $x + y > 0$

$$[X]_{\text{补}} + [Y]_{\text{补}} = x + y = [X + Y]_{\text{补}} \pmod{2}$$

(2) $x > 0, y < 0$, 则 $x + y > 0$ 或 $x + y < 0$

因为 $[X]_{\text{补}} = x$, $[Y]_{\text{补}} = 2 + y$

所以 $[X]_{\text{补}} + [Y]_{\text{补}} = x + 2 + y = 2 + (x + y)$

当 $x+y>0$ 时, $2+(x+y)>2$, 进位 2 必丢失, 又因 $(x+y)>0$, 所以

$$[X]_{\text{补}} + [Y]_{\text{补}} = x+y = [X+Y]_{\text{补}} \quad (\text{mod } 2)$$

当 $x+y<0$ 时, $2+(x+y)<2$, 又因 $(x+y)<0$, 所以

$$[X]_{\text{补}} + [Y]_{\text{补}} = x+y = [X+Y]_{\text{补}} \quad (\text{mod } 2)$$

(3) $x < 0, y > 0$, 则 $x + y > 0$ 或 $x + y < 0$

这种情况和第 2 种情况一样, 把 x 和 y 的位置对调即得证。

(4) $x < 0, y < 0$, 则 $x + y < 0$

因为 $[X]_{\text{补}} = 2 + x, [Y]_{\text{补}} = 2 + y$

所以 $[X]_{\text{补}} + [Y]_{\text{补}} = 2 + x + 2 + y = 2 + (2 + x + y)$

上式第二部分一定是小于 2 大于 1 的数, 进位 2 必丢失, 又因 $(x+y) < 0$

$$\text{所以 } [X]_{\text{补}} + [Y]_{\text{补}} = 2 + (x + y) = [X + Y]_{\text{补}} \quad (\text{mod } 2)$$

6. (9 分) 求证: $[x]_{\text{补}} - [y]_{\text{补}} = [x]_{\text{补}} + [-y]_{\text{补}}$

证明: 因为 $[x]_{\text{补}} + [y]_{\text{补}} = [x + y]_{\text{补}}$

$$\text{所以 } [y]_{\text{补}} = [x + y]_{\text{补}} - [x]_{\text{补}} \quad ①$$

$$\text{又 } [x - y]_{\text{补}} = [x + (-y)]_{\text{补}} = [x]_{\text{补}} + [-y]_{\text{补}}$$

$$\text{所以 } [-y]_{\text{补}} = [x - y]_{\text{补}} - [x]_{\text{补}} \quad ②$$

将①和②相加, 得

$$\begin{aligned} [y]_{\text{补}} + [-y]_{\text{补}} &= [x + y]_{\text{补}} + [x - y]_{\text{补}} - [x]_{\text{补}} - [x]_{\text{补}} \\ &= [x + y + x - y]_{\text{补}} - [x]_{\text{补}} - [x]_{\text{补}} \\ &= [x + x]_{\text{补}} - [x]_{\text{补}} - [x]_{\text{补}} = 0 \end{aligned}$$

$$\text{所以 } [-y]_{\text{补}} = -[y]_{\text{补}}$$

7. (9 分) 证明 $-[Y]_{\text{补}} = +[-Y]_{\text{补}}$

证明: 因为 $[x - y]_{\text{补}} = [x]_{\text{补}} + [-y]_{\text{补}}$

$$\text{所以 } [-y]_{\text{补}} = [x - y]_{\text{补}} - [x]_{\text{补}}$$

$$\text{又因为 } [y]_{\text{补}} + [x]_{\text{补}} = [x + y]_{\text{补}} \quad (1)$$

$$\text{所以 } [y]_{\text{补}} = [x + y]_{\text{补}} - [x]_{\text{补}} \quad (2)$$

$$(1) + (2): [y]_{\text{补}} + [-y]_{\text{补}} = [x - y]_{\text{补}} + [x + y]_{\text{补}} - [x]_{\text{补}} - [x]_{\text{补}}$$

$$\begin{aligned} &= [x]_{\text{补}} - [y]_{\text{补}} + [x]_{\text{补}} + [y]_{\text{补}} - [x]_{\text{补}} - [x]_{\text{补}} \\ &= 0 \end{aligned}$$

$$\text{所以: } -[y]_{\text{补}} = [-y]_{\text{补}}$$

8. (9 分) 设 $[x]_{\text{补}} = x_0.x_1x_2\dots x_n$, 求证:

$$[x]_{\text{补}} = 2x_0 + x, \text{ 其中 } x_0 = \begin{cases} 0, & 1 > x \geq 0 \\ 1, & -1 \leq x < 0 \end{cases}$$

$$1, \quad 0 > x > -1$$

证明：当 $1 > x \geq 0$ 时，即 x 为正小数，则

$$1 > [x]_{\text{补}} = x \geq 0$$

因为正数的补码等于正数本身，所以

$$1 > x_0.x_1x_2\dots x_n \geq 0, \quad x_0 = 0$$

当 $1 > x > -1$ 时，即 x 为负小数，根据补码定义有：

$$2 > [x]_{\text{补}} = 2 + x > 1 \pmod{2}$$

即 $2 > x_0.x_1x_2\dots x_n > 1, \quad x_n = 1$

所以 正数：符号位 $x_0 = 0$

负数：符号位 $x_0 = 1$

若 $1 > x \geq 0, \quad x_0 = 0$ ，则 $[x]_{\text{补}} = 2x_0 + x = x$

若 $-1 < x < 0, \quad x_0 = 1$ ，则 $[x]_{\text{补}} = 2x_0 + x = 2 + x$

$$\text{所以有 } [x]_{\text{补}} = 2x_0 + x, \quad x_0 = \begin{cases} 0, & 1 > x \geq 0 \\ 1, & 0 > x > -1 \end{cases}$$

9. (9分) 设 $[x]_{\text{补}} = x_0.x_1x_2\dots x_n$ 。求证： $x = -x_0 + \sum_{i=1}^n x_i 2^{-i}$

证明：当 $x \geq 0$ 时， $x_0 = 0$ ， $[x]_{\text{补}} = 0.x_1x_2\dots x_n = \sum_{i=1}^n x_i 2^{-i} = x$

当 $x < 0$ 时， $x_0 = 1$ ， $[x]_{\text{补}} = 1.x_1x_2\dots x_n = 2 + x$

$$\text{所以 } x = 1.x_1x_2\dots x_n - 2 = -1 + 0.x_1x_2\dots x_n = -1 + \sum_{i=1}^n x_i 2^{-i}$$

综合上述两种情况，可得出： $x = -x_0 + \sum_{i=1}^n x_i 2^{-i}$

10. (9分) 证明： $[x+y]_{\text{移}} = [x]_{\text{移}} + [y]_{\text{补}} \pmod{2^{n+1}}$ ；

证明：由移码定义有 $[x]_{\text{移}} = 2^n + x$ ， $2^n > x \geq -2^n$ ，同时由补码的定义 $[y]_{\text{补}} = 2^{n+1} + y$

$$[x]_{\text{移}} + [y]_{\text{补}} = 2^n + x + 2^{n+1} + y$$

$$= 2^{n+1} + (2^n + (x+y))$$

$$\text{即 } [x+y]_{\text{移}} = [x]_{\text{移}} + [y]_{\text{补}} \pmod{2^{n+1}}$$

11. (9分) 已知 $x = -0.01111$ ， $y = +0.11001$ ，

求 $[x]_{\text{补}}$ ， $[-x]_{\text{补}}$ ， $[y]_{\text{补}}$ ， $[-y]_{\text{补}}$ ， $x+y = ?$ ， $x-y = ?$

解： $[x]_{\text{原}} = 1.01111$ $[x]_{\text{补}} = 1.10001$ 所以： $[-x]_{\text{补}} = 0.01111$

$[y]_{\text{原}} = 0.11001$ $[y]_{\text{补}} = 0.11001$ 所以： $[-y]_{\text{补}} = 1.00111$

$$\begin{array}{r}
 [x]_{\text{补}} \quad 11.10001 \\
 + [y]_{\text{补}} \quad 00.11001 \\
 \hline
 [x+y]_{\text{补}} \quad 00.01010
 \end{array}$$

所以: $x+y=+0.01010$

$$\begin{array}{r}
 [x]_{\text{补}} \quad 11.10001 \\
 + [-y]_{\text{补}} \quad 11.00111 \\
 \hline
 [x-y]_{\text{补}} \quad 10.11000
 \end{array}$$

因为符号位相异, 结果发生溢出

12. (9分) 已知: $x=0.1011$, $y=-0.0101$, 求: $[\frac{1}{2}x]_{\text{补}}$, $[\frac{1}{4}x]_{\text{补}}$, $[-x]_{\text{补}}$, $[\frac{1}{2}y]_{\text{补}}$, $[\frac{1}{4}y]_{\text{补}}$, $[-y]_{\text{补}}$, $x+y=?$, $x-y=?$

解: $[x]_{\text{补}} = 0.1011$, $[y]_{\text{补}} = 1.1011$

$$[\frac{1}{2}x]_{\text{补}} = 0.01011, \quad [\frac{1}{2}y]_{\text{补}} = 1.11011$$

$$[\frac{1}{4}x]_{\text{补}} = 0.001011, \quad [\frac{1}{4}y]_{\text{补}} = 1.111011$$

$$[-x]_{\text{补}} = 1.0101, \quad [-y]_{\text{补}} = 0.0101$$

$$[x]_{\text{补}} = 00.1011$$

$$[x]_{\text{补}} = 00.1011$$

$$+ [-y]_{\text{补}} = 00.0101$$

$$\hline 01.0000$$

符号位相异 $x-y$ 溢出

$$+ [y]_{\text{补}} = 11.1011$$

$$\hline 00.0110$$

$$x+y=0.0110$$

13. (10分) 设 $[X]_{\text{补}}=01111$, $[Y]_{\text{补}}=11101$, 用带求补器的补码阵列乘法器求出乘积 $X \cdot Y=?$ 并用十进制数乘法验证。

解: 设最高位为符号位, 输入数据为 $[x]_{\text{补}} = 01111$ $[y]_{\text{原}} = 11101$

$$[y]_{\text{补}} = 10011$$

算前求补器输出后: $x = 1111$ $y = 1101$

$$\begin{array}{r}
 1111 \\
 \times 1101 \\
 \hline
 1111 \\
 0000 \\
 1111 \\
 + 1111 \\
 \hline
 11000011
 \end{array}$$

乘积符号位运算:

$$x_0 \oplus y_0 = 0 \oplus 1 = 1$$

算后求补级输出为 00111101, 加上乘积符号位 1, 最后得补码乘积值为 10011101。

利用补码与真值的换算公式, 补码二进制数的真值是:

$$x \times y = -1 \times 2^8 + 1 \times 2^5 + 1 \times 2^4 + 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^0 = -195$$

$$\text{十进制数乘法验证: } x \times y = (+15) \times (-13) = -195$$

14. (9分) 设 $A = a_n a_{n-1} \dots a_1 a_0$ 是已知的 $(n+1=5)$ 位的二进制原码, 其中最高字位为符号位, 画出原码转换为补码的电路图。

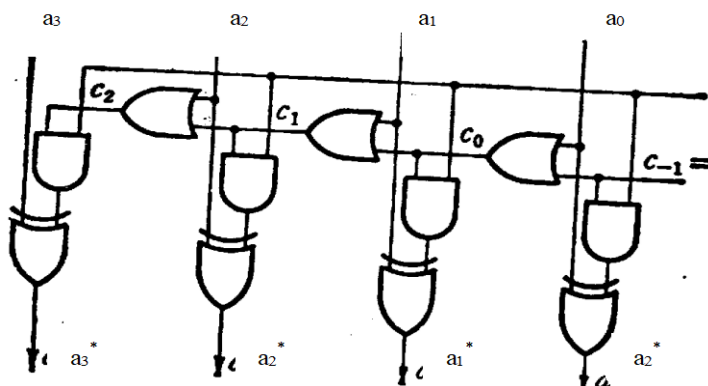
解: 逻辑图如图 B12.2:

$$c_{-1} = 0$$

$$c_i = a_i + c_{i-1}$$

$$a_i^* = a_i \oplus c_{i-1}$$

$$0 \leq i \leq n$$



15. (9分)

某加法

器进位链小组信号为 $C_4C_3C_2C_1$, 低位来的信号为 C_0 , 请分别按下述两种方式写出 $C_4C_3C_2C_1$ 的逻辑表达式。

(1) 串行进位方式

(2) 并行进位方式

解: (1) 串行进位方式:

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 C_1$$

$$C_3 = G_3 + P_3 C_2$$

$$C_4 = G_4 + P_4 C_3$$

$$\text{其中: } G_1 = A_1 B_1, P_1 = A_1 \oplus B_1$$

$$G_2 = A_2 B_2, P_2 = A_2 \oplus B_2$$

$$G_3 = A_3 B_3, P_3 = A_3 \oplus B_3$$

$$G_4 = A_4 B_4, P_4 = A_4 \oplus B_4$$

(2) 并行进位方式:

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

其中 $G_1 \sim G_4$, $P_1 \sim P_4$ 表达式与串行进位方式相同。

16. (10分) 设有两个浮点数 $x = 2^{E_x} \times S_x$, $y = 2^{E_y} \times S_y$, $E_x = (-10)_2, S_x = (+0.1001)_2, E_y = (+10)_2, S_y = (+0.1011)_2$ 。若尾数 4 位, 数符 1 位, 阶码 2 位, 阶符 1 位, 求 $x+y=?$ 并写出运算步骤及结果。

解: 因为 $X+Y = 2^{E_x} \times (S_x + S_y)$ ($E_x = E_y$), 所以求 $X+Y$ 要经过对阶、尾数求和及规格化等步骤。

(1) 对阶:

$\Delta J = E_x - E_y = (-10)_2 - (+10)_2 = (-100)_2$ 所以 $E_x < E_y$, 则 S_x 右移 4 位, $E_x + (100)_2 = (10)_2 = E_y$ 。

S_x 右移四位后 $S_x = 0.00001001$, 经过舍入后 $S_x = 0001$, 经过对阶、舍入后, $X = 2^{(10)_2} \times (0.0001)$

2

(2) 尾数求和: $S_x + S_y$

$$\begin{array}{r} 0.0001 (S_x) \\ + 0.1011 (S_y) \\ \hline 0.1100 (S_x + S_y) \end{array}$$

结果为规格化数。所以:

$$X+Y = 2^{(10)_2} \times (S_x + S_y) = 2^{(10)_2} \times (0.1100)_2 = (11.00)_2$$

17. (10分) 已知 $X = 2^{010} \times 0.11011011$, $Y = 2^{100} \times (-0.10101100)$, 求 $X+Y$ 。

解: 为了便于直观理解, 假设两数均以补码表示, 阶码采用双符号位, 尾数采用单符号位, 则

它们的浮点表示分别为：

$$[X]_{\text{浮}} = 00010, \quad 0.11011011$$

$$[Y]_{\text{浮}} = 00100, \quad 1.01010000$$

(1) 求阶差并对阶：

$$\Delta E = E_x - E_y = [E_x]_{\text{补}} + [-E_y]_{\text{补}} = 00010 + 11100 = 11110$$

即 ΔE 为 -2 ， x 的阶码小，应使 M_x 右移 2 位， E_x 加 2，

$$[X]_{\text{浮}} = 00010, \quad 0.11011011 \quad (11)$$

其中 (11) 表示 M_x 右移 2 位后移出的最低两位数。

(2) 尾数和

$$\begin{array}{r} 0.00110110 \quad (11) \\ + 1.01010100 \\ \hline 2.10001010 \quad (11) \end{array}$$

(3) 规格化处理

尾数运算结果的符号位与最高数值位为同值，应执行左规处理，结果为 1.00010101 (10)，阶码为 00011 。

(4) 舍入处理

采用 0 舍 1 入法处理，则有

$$\begin{array}{r} 1.00010101 \\ + \quad \quad \quad 1 \\ \hline 1.00010110 \end{array}$$

(5) 判溢出

阶码符号位为 00 ，不溢出，故得最终结果为

$$x + y = 2^{011} \times (-0.1101010)$$

18. (10 分) 有两个浮点数 $x = 2^{(+01)_2} \times (-0.111)_2$ $Y = 2^{(+01)_2} \times (+0.101)_2$

设阶码 2 位，阶符 1 位，数符 1 位，尾数 3 位，用补码运算规则计算 $x-y$ 的值。

解：

1) 设 S_x 为 x 的尾数， S_y 为 y 的尾数，则

$$S_x = (-0.111)_2 \quad [S_x]_{\text{补}} = 1.001$$

$$S_y = (+0.101)_2 \quad [S_y]_{\text{补}} = 0.101$$

又设 E_x 为 x 的阶码， E_y 为 y 的阶码，则

$$E_x = (+01)_2, \quad [E_x]_{\text{补}} = 001$$

$$E_y = (+10)_2, \quad [E_y]_{\text{补}} = 010$$

2) 对阶： $E_x - E_y = (01)_2 - (10)_2 = (-01)_2$ ，阶码不相等，故小阶的尾数 S_x 右移一位， $S_x = (-0.0111)_2$ ， E_x 阶码加 1，则 $E_x = (10)_2 = E_y$ ， S_x 经舍入后得 $S_x = (-0.100)_2$ ，对阶完毕。

x 的补码浮点格式： $010, 1100$

y 的补码浮点格式： $010, 0101$

3) 尾数相减

$$\begin{array}{r} [S_y]_{\text{补}} = 11.100 \quad \quad \quad [-S_y]_{\text{补}} = 11.011 \\ [S_x]_{\text{补}} = 11.100 \\ + [S_y]_{\text{补}} = 11.011 \\ \hline [S_x - S_y]_{\text{补}} = 10.111 \end{array}$$

4) 规格化与舍入

尾数右移 1 位，最低有效位舍掉，阶码加 1（右规）则

$$[S_x - S_y]_{\#} = 11.011$$

$$[E_x]_{\#} = [E_y]_{\#} = 011$$

规格化结果： 011, 1011

19. (10 分) 设有两个浮点数 $N_1 = 2^{j_1} \times S_1$, $N_2 = 2^{j_2} \times S_2$, 其中阶码 2 位，阶符 1 位，尾数四位，数符一位。设： $j_1 = (-10)_2$, $S_1 = (+0.1001)_2$

$$j_2 = (+10)_2, S_2 = (+0.1011)_2$$

求： $N_1 \times N_2$ ，写出运算步骤及结果，积的尾数占 4 位，要规格化结果，用原码阵列乘法器求尾数之积。

解：

- (1) 浮点乘法规则：

$$N_1 \times N_2 = (2^{j_1} \times S_1) \times (2^{j_2} \times S_2) = 2^{(j_1 + j_2)} \times (S_1 \times S_2)$$

- (2) 码求和：

$$j_1 + j_2 = 0$$

- (3) 尾数相乘：

被乘数 $S_1 = 0.1001$ ，令乘数 $S_2 = 0.1011$ ，尾数绝对值相乘得积的绝对值，积的符号位 = $0 \oplus 0 = 0$ 。按无符号阵列乘法器运算得： $N_1 \times N_2 = 2^0 \times 0.01100011$

- (4) 尾数规格化、舍入（尾数四位）

$$N_1 \times N_2 = (+0.01100011)_2 = (+0.1100)_2 \times 2^{(-01)_2}$$

20. (10 分) 设浮点数 $x = x_m \times 2^{x_e}$, $y = y_m \times 2^{y_e}$

- 1) 请写出四则运算的基本公式
- 2) 画出浮点运算器的逻辑结构图。

解：

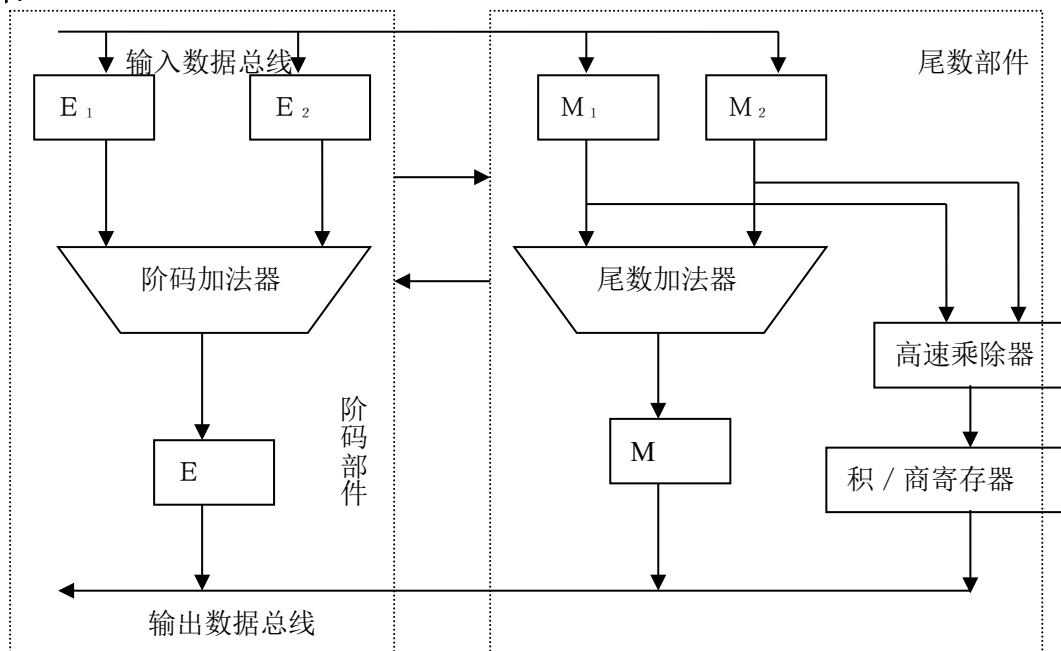


图 B20.5

$$X = X_m \times 2^{X_e} \quad Y = Y_m \times 2^{Y_e}$$

- 1) 加法: $X+Y=(X_m2^{X_e-Y_e}+Y_m)\times 2^{Y_e}$
 - 2) 减法: $X-Y=(X_m2^{X_e-Y_e}-Y_m)\times 2^{Y_e}$
 - 3) 乘法: $X\times Y=(X_m\times Y_m)\times 2^{X_e+Y_e}$
 - 4) 除法: $X\div Y=(X_m\div Y_m)\times 2^{X_e-Y_e}$
- } $X_e\leq Y_e$

图 B20.5 是浮点运算器的结构图。该运算器由两个相对独立的定点运算器组成，阶码部分只进行加减操作，实现对阶（求阶差）和阶码加减法操作（ $E_1\pm E_2$ ）。尾数部分可进行加、减、乘、除运算，并与阶码部件协同完成对阶和规格化等功能。尾数的加减由加法器完成，尾数乘除由高速乘除部件完成。寄存器 M_1 、 M_2 、 M 和积商寄存器本身具有移位功能，以便完成对阶和规格化等操作。

第三章 习题集

一. 选择题 (每小题 1 分)

1. 存储单元是指 ()。
A. 存放一个二进制信息位的存贮元 B. 存放一个机器字的所有存贮元集合
C. 存放一个字节的存贮元集合 D. 存放两个字节的存贮元集合;
2. 计算机系统中的存贮器系统是指 ()。
A. RAM 存贮器 B. ROM 存贮器
C. 主存贮器 D. cache、主存贮器和外存贮器
3. 主存储器是计算机系统的记忆设备, 它主要用来 ()。
A. 存放数据 B. 存放程序 C. 存放数据和程序 D. 存放微程序
4. 某 SRAM 芯片, 存储容量为 $64K \times 16$ 位, 该芯片的地址线 and 数据线数目为 ()。
A. 64, 16 B. 16, 64 C. 64, 8 D. 16, 16。
5. 某 SRAM 芯片, 其容量为 512×8 位, 包括电源和接地端外, 该芯片引出线的最小数目应是 ()。
A. 23 B. 25 C. 50 D. 19
6. 某 DRAM 芯片, 其存储容量为 $512K \times 8$ 位, 该芯片的地址线 and 数据线数目为 ()。
A. 8, 512 B. 512, 8 C. 18, 8 D. 19, 8
7. 某计算机字长为 32 位, 其存储容量为 $16M \times 32$ 位, 它的地址线 and 数据线的总和是 ()。
A. 16 B. 32 C. 64 D. 56
8. 某计算机字长 32 位, 其存储容量为 4MB, 若按半字编址, 它的寻址范围是 ()。
A. 4MB. B. 2MB. C. 2M D. 1M
9. 某计算机字长 16 位, 它的存贮容量是 64KB, 若按字编址, 那么它的寻址范围是 ()
A. 64K B. 32K C. 64KB. D. 32 KB
10. 某计算机字长 32 位, 其存储容量为 16MB, 若按双字编址, 它的寻址范围是 ()。
A. 16MB. B. 2M C. 8MB. D. 16M
11. 某机字长 32 位, 存储容量为 1MB, 若按字编址, 它的寻址范围是 ()。
A. 1M B. 512KB. C. 256K D. 256KB
12. 某机字长 32 位, 存储容量 64MB, 若按字编址, 它的寻址范围是 ()。
A. 8M B. 16B. C. 16MB. D. 8MB
13. 某计算机字长 32 位, 其存储容量为 4MB, 若按字编址, 它的寻址范围是 ()。
A. 1M B. 4MB. C. 4M D. 1MB
14. EPROM 是指 ()。
A. 读写存储器 B. 只读存储器 C. 闪速存储器 D. 光擦除可编程只读存储器
15. 双端口存储器所以能高速进行读 / 写, 是因为采用 ()。
A. 高速芯片 B. 两套相互独立的读写电路 C. 流水技术 D. 新型器件
16. 双端口存储器在 () 情况下会发生读/写冲突。
A. 左端口与右端口的地址码不同 B. 左端口与右端口的地址码相同
C. 左端口与右端口的数据码不同 D. 左端口与右端口的数据码相同
17. 交叉存贮器实质上是一种 () 存贮器, 它能_____执行 () 独立的读写操作。

- A. 模块式，并行，多个 B. 模块式串行，多个
C. 整体式，并行，一个 D. 整体式，串行，多个
18. 相联存储器是按（ ）进行寻址的存储器。
A. 地址方式 B. 堆栈方式 C. 内容指定方式 D. 地址方式与堆栈方式
19. 主存存储器和 CPU 之间增加 cache 的目的是（ ）。
A. 解决 CPU 和主存之间的速度匹配问题 B. 扩大主存存储器容量
C. 扩大 CPU 中通用寄存器的数量
D. 既扩大主存存储器容量，又扩大 CPU 中通用寄存器的数量
20. 微型计算机系统中，操作系统保存在硬盘上，其主存储器应该采用（ ）。
A. RAM B. ROM C. RAM 和 ROM D. CCP
21. 以下四种类型的半导体存储器中，以传输同样多的字为比较条件，则读出数据传输率最高的是（ ）。
A. DRAM B. SRAM C. 闪存存储器 D. EPROM
22. 采用虚拟存储器的主要目的是（ ）。
A. 提高主存储器的存取速度；B. 扩大主存储器的存储空间，并能进行自动管理和调度；
C. 提高外存储器的存取速度；D. 扩大外存储器的存储空间；
23. 常用的虚拟存储系统由（ ）两级存储器组成，其中辅存是大容量的磁表面存储器。
A. 主存-辅存 B. 快存-主存 C. 快存-辅存 D. 通用寄存器-主存
24. 在虚拟存储器中，当程序正在执行时，由（ ）完成地址映射。
A. 程序员 B. 编译器 C. 装入程序 D. 操作系统

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	
13		14		15		16		17		18	
19		20		21		22		23		24	

二. 填空题（每小题 3 分）

- 对存储器的要求是 A. （ ），B. （ ），C. （ ）。为了解决这三方面的矛盾计算机采用多级存储体系结构。
- 计算机系统中，下列部件都能够存储信息：①主存②CPU 内的通用寄存器③cache④磁带⑤磁盘。按照 CPU 存取速度排列，由快到慢依次为 A（ ），其中，内存包括 B（ ）；属于外存的是 C（ ）。
- 存储器的技术指标有 A. （ ），B. （ ），C. （ ），和存储器带宽。
- 半导体 SRAM 靠 A（ ）存储信息，半导体 DRAM 则是靠 B（ ）存储信息。
- 闪存存储器能提供高性能、低功耗、高可靠性及 A. （ ）能力，为现有的 B. （ ）体系结构带来巨大变化，因此作为 C. （ ）用于便携式电脑中。
- 双端口存储器和多模块交叉存储器属于 A. （ ）存储器结构。前者采用 B. （ ）技术，后者采用 C. （ ）技术。
- 相联存储器不按地址而是按 A. （ ）访问的存储器，在 cache 中用来存放 B. （ ），在虚拟存储器中用来存放 C. （ ）。
- Cache 是一种 A. （ ）存储器，是为了解决 CPU 和主存之间 B. （ ）不匹配而采

- 用的一项重要硬件技术。现发展为多级 cache 体系, C. () 分设体系。
9. 根据地址格式不同, 虚拟存贮器分为 A ()、B () 和 C () 三种。
10. 虚拟存贮器通常由主存和 A () 两级存贮系统组成。为了在一台特定的机器上执行程序, 必须把 B () 映射到这台机器主存贮器的 C () 空间上, 这个过程称为地址映射。
11. 多个用户共享主存时, 系统应提供 A. ()。通常采用的方法是 B. () 保护和 C. () 保护, 并用硬件来实现。

三. 其他题 ()

1. (9 分) 如图 B15.1 (A) 是某 SRAM 的

写入时序图, 其中 R/\overline{W} 是读写命令控制

线, R/\overline{W} 线为低电平时, 存贮器按给定地址

址把数据线上的数据写入存贮器。请指出

图中写入时

序的错误, 并

画出正确的写入时序图。

解: 写入存贮器时时序信号必须同步。通常,

当 R/\overline{W} 线加负脉冲时, 地址和数据线的电平

必须是稳定的。当 R/\overline{W} 线一达到逻辑 0 电

平时, 数据立即被存贮。因此, 当 R/\overline{W} 线

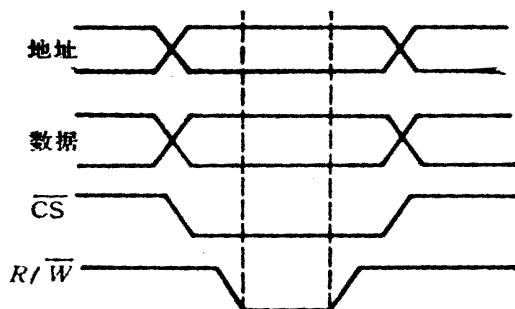
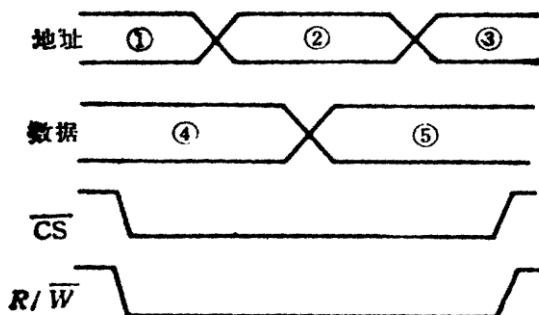
处于低态时, 如果数据线改变了数值, 那么

存贮器将存贮新的数据⑤。同样, 当 R/\overline{W}

处于低态时地址线发生了变化, 那么同样的

数据将存贮到新的地址(②或③)。正确的写

入如下图图 B15.3



2. (10 分) 已知某 8 位机的主存采用半导体存贮器, 地址码为 18 位, 若使用 $4K \times 4$ 位 RAM 芯片组成该机所允许的最大主存空间, 并选用模块条的形式, 问:

- (1) 若每个模块条为 $32K \times 8$ 位, 共需几个模块条?
- (2) 每个模块内共有多少片 RAM 芯片?
- (3) 主存共需多少 RAM 芯片? CPU 如何选择各模块条?

解: (1) 由于主存地址码给定 18 位, 所以最大存储空间为 $2^{18} = 256K$, 主存的最大容量为 256KB。现每个模块条的存储容量为 32KB, 所以主存共需 $256KB / 32KB = 8$ 块板。

(2) 每个模块条的存储容量为 32KB, 现使用 $4K \times 4$ 位的 RAM 芯片拼成 $4K \times 8$ 位 (共 8 组), 用地址码的低 12 (A_0 —— A_{11}) 直接接到芯片地址输入端, 然后用地址的高 3 位 (A_{14} —— A_{12}) 通过 3 : 8 译码器输出分别接到 8 组芯片的选片端。共有 $8 \times 2 = 16$ 个 RAM。

(3) 据前面所得, 共需 8 个模块条, 每个模块条上有 16 片芯片, 故主存共需 $8 \times 16 = 128$ 片 RAM

芯片。

3. (10分) 已知某 16 位机的主存采用半导体存储器, 地址码为 18 位, 若使用 $8K \times 8$ 位 SRAM 芯片组成该机所允许的最大主存空间, 并选用模块板结构形式。问:

(1) 若每个模块为 $32K \times 16$ 位, 共需几个模块板?

(2) 每个模块内共有多少片 RAM 芯片?

(3) 主存共需多少 RAM 芯片? CPU 如何选择模块板?

解: (1) 由于主存地址码给定 18 位, 所以最大空间为 $2^{18}=256K$, 主存的最大容量为 256K。现在每个模块板的存储容量为 32KB, 所以主存共需 $256KB/32KB=8$ 块板。

(2) 每个模块板的存储容量为 32KB, 现用 $4K \times 4$ 位的 SRAM 芯片。每块板采用位并联与地址串联相结合的方式: 即用 2 片 SRAM 芯片拼成 $4K \times 8$ 位 (共 8 组), 用地址码的低 12 位 ($A_0 \sim A_{11}$) 直接接到芯片地址输入端, 然后用地址码的高 3 位 ($A_{14} \sim A_{12}$) 通过 3: 8 译码器输出分别接到 8 组芯片的片选端。共 $8 \times 2=16$ 个 SRAM

(3) 根据前面所得, 共有 8 个模块, 每个模块上有 16 片芯片, 故主存共需 $8 \times 16=128$ 片芯片 (SRAM)。

CPU 选择各模块板的方法是: 各模块板均用地址码 $A_0 \sim A_{14}$ 译码, 而各模块的选择用地址码最高三位 A_{17}, A_{16}, A_{15} 通过 3: 8 译码器输出进行选择。

4. (10分) 用 $16K \times 1$ 位的 DRAM 芯片构成 $64K \times 8$ 位的存储器。要求:

(1) 画出该芯片组成的存储器逻辑框图。

(2) 设存储器读 / 写周期均为 $0.5\mu s$, CPU 在 $1\mu s$ 内至少要访存一次。试问采用哪种刷新方式比较合理? 两次刷新的最大时间间隔是多少? 对全部存储单元刷新一遍, 所需实际刷新时间是多少?

解: (1) 根据题意, 存储器总量为 64KB, 故地址线总需 16 位。现使用 $16K \times 1$ 位的动态 RAM 芯片, 共需 32 片。芯片本身地址线占 14 位, 所以采用位并联与地址串联相结合的方法来组成整个存储器, 其组成逻辑框图如图 B9.3, 其中使用一片 2:4 译码器。

(2) 根据已知条件, CPU 在 $1\mu s$ 内至少需要访存一次, 所以整个存储器的平均读 / 写周期与单个存储器片的读 / 写周期相差不多, 应采用异步刷新比较合理。

对动态 MOS 存储器来讲, 两次刷新的最大时间间隔是 $2\mu s$ 。RAM 芯片读 / 写周期为 $0.5\mu s$, 假设 $16K \times 1$ 位的 RAM 芯片由 128×128 矩阵存储元构成, 刷新时只对 128 行进行异步方式刷新, 则刷新间隔为 $2m / 128 = 15.6\mu s$, 可取刷新信号周期 $15\mu s$ 。

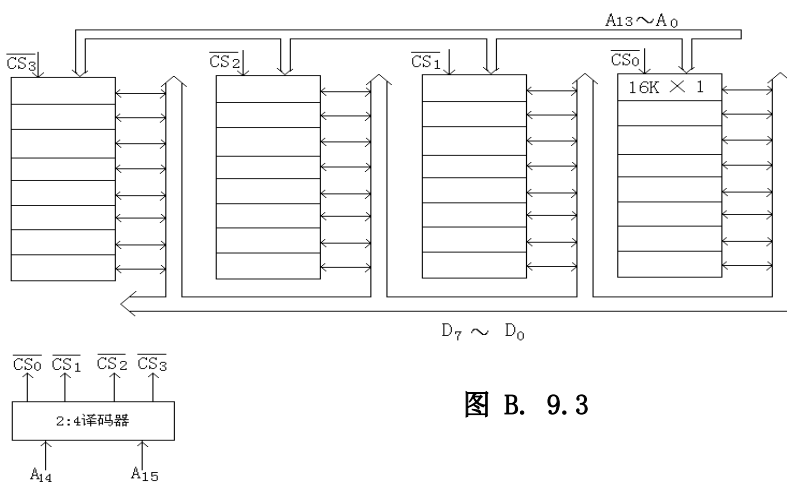


图 B. 9.3

5. (10分) 某机器中, 已知配有一个地址空间为(0000—1FFF)16 的 ROM 区域, 现在用一个 SRAM 芯片 ($8K \times 8$ 位) 形成一个 $16K \times 16$ 位的 ROM 区域, 起始地址为 (2000) 16。假设 SRAM 芯片有 CS 和 WE 控制端, CPU 地址总线 $A_{15} \sim A_0$, 数据总线为 $D_{15} \sim D_0$, 控制信号为 R / W (读 / 写), MREQ (当存储器读或写时, 该信号指示地址总线

上的地址是有效的)。要求: 满足已知条件的存储器, 画出地址译码方案。画出 ROM 与 RAM 同 CPU 连接图。

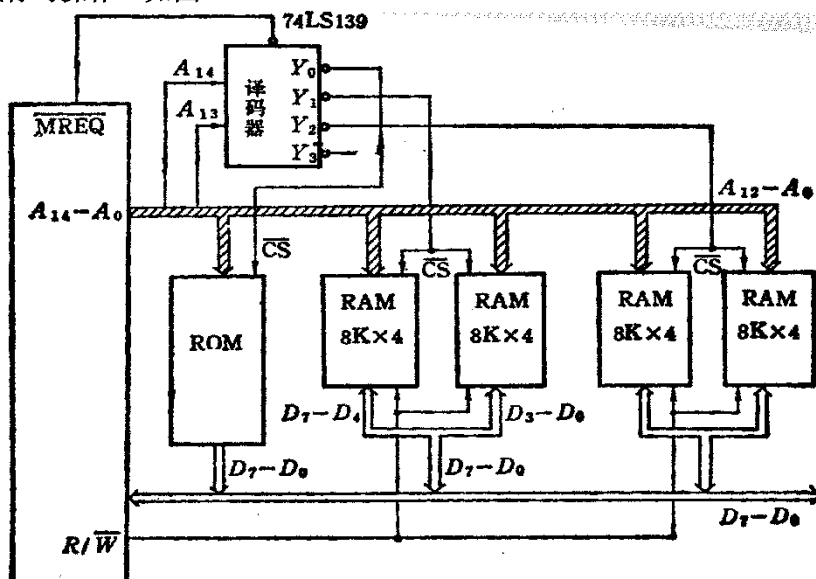
解: 存储器地址空间分布如图 B18.2 所示, 分三组, 每组 $8K \times 16$ 位。

由此可得存储器方案要点如下:

- (1) 组内地址: $A_{12} \sim A_0$ (A_0 为低位);
- (2) 组号译码使用 2:4 译码器;
- (3) RAM_1 , RAM_2 各用两片 SRAM 芯片位进行并联连接, 其中一片组成高 8 位, 另一片组成低 8 位。

(4) 用 \overline{MREQ} 作为 2:4 译码器使能控制端, 该信号低电平(有效)时, 译码器工作。CPU 的 R/\overline{W} 信号与 SRAM 的 \overline{WE} 端连接, 当 $R/\overline{W}=1$ 时存储器执行读操作, 当 $R/\overline{W}=0$ 时, 存储器执行写操作。如图 B18.3

0000	ROM	8K
1FFF		
2000	RAM ₁	8K
3FFF		
4000	RAM ₂	8K
5FFF		
6000		8K
7FFF		



6. (10 分) 图 B5.1 所示为存储器的地址空间分布图和存储器的地址译码电路, 后者可在 A 组跨接端和 B 组跨接端之间分别进行接线。74LS139 是 2:4 译码器, 使能端 G 接地表示译码器处于正常译码状态。

要求: 完成 A 组跨接端与 B 组跨接端内部的正确连接, 以便使地址译码电路按图的要求正确寻址。

解：根据图 B5.1 中已知，ROM₁ 的空间地址为 0000H—3FFFH，ROM₂ 的地址空间地址为 4000H—7FFFH，RAM₁ 的地址空间为 C000H—DFFFH，RAM₂ 的地址空间为 E000H—FFFFH。

对应上述空间，地址码最高 4 位 A₁₅—A₁₂ 状态如下：

0000—0011 ROM₁
0100—0111 ROM₂
1100—1101 RAM₁

1110—1111 RAM₂

2 : 4 译码器对 A₁₅A₁₄ 两位进行译码，产生四路输出，其中：y₀=00 对应 ROM₁，y₁=01 对应 ROM₂，y₃=11 对应 RAM₁ 和 RAM₂。然后用 A₁₃ 区分是 RAM₁ (A₁₃=0) 还是 RAM₂ (A₁₃=1)，此处采用部分译码。

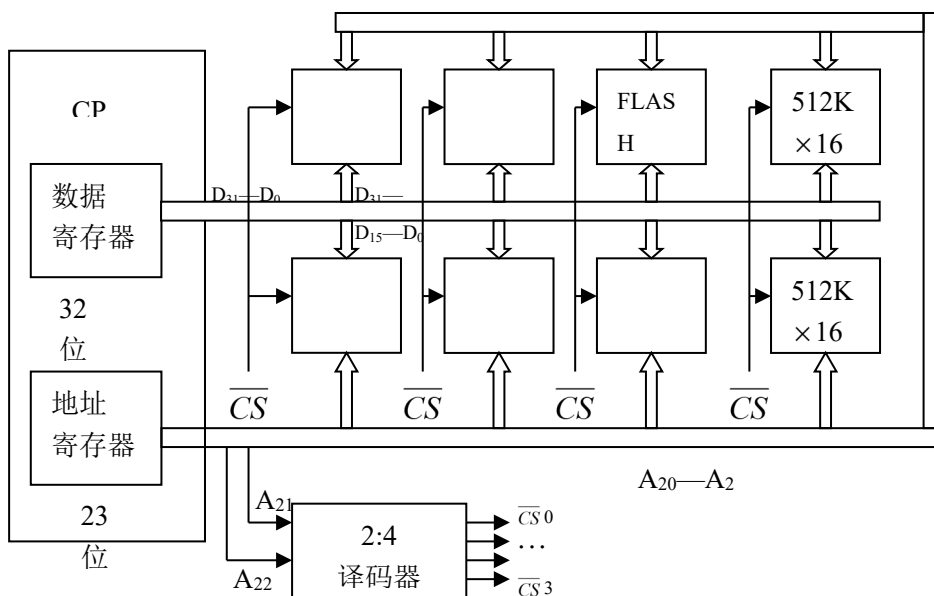
由此，两组端子的连接方法如下：

1—6，2—5，3—7，8—12，11—14，9—13

7. (10 分) 用 512K*16 位的 FLASH 存储器芯片组成一个 2M*32 的半导体只读存储器，试问：

- 1) 数据寄存器多少位？
- 2) 地址寄存器多少位？
- 3) 共需要多少个这样的器件？
- 4) 画出此存储器的组成框图。

解：数据寄存器 32 位 地址寄存器 23 位



共需要 8 片 FLASH 存储器的组成原理入图 B17.4

8. (9 分) 设存储器容量为 32 字，字长 64 位，模块数 m=4，分别用顺序方式和交叉方式进

行组织。存储周期 $T = 200\text{ns}$, 数据总线宽度为 64 位, 总线周期 $\tau = 50\text{ns}$ 。问顺序存储器和交叉存储器的带宽各是多少?

解: 信息总量: $q = 64 \text{ 位} \times 4 = 256 \text{ 位}$

顺序存储器和交叉存储器读出 4 个字的时间分别是:

$$t_2 = mT = 4 \times 200\text{ns} = 8 \times 10^{-7} \text{ (s)}$$

$$t_1 = T + (m - 1)\tau = 200 + 3 \times 50 = 3.5 \times 10^{-7} \text{ (s)}$$

顺序存储器带宽是:

$$W_1 = q / t_2 = 32 \times 10^7 \text{ (位/S)}$$

交叉存储器带宽是:

$$W_2 = q / t_1 = 73 \times 10^7 \text{ (位/S)}$$

9. (9 分) 某机字长 32 位, 常规设计的存储空间 $\leq 32\text{M}$, 若将存储空间扩至 256M , 请提出一种可能方案。

解: 可采用多体交叉存取方案, 即将主存分成 8 个相互独立、容量相同的模块 $M_0, M_1, M_2, \dots, M_7$, 每个模块 $32\text{M} \times 32 \text{ 位}$ 。它各自具备一套地址寄存器、数据缓冲寄存器, 各自以同等的方式与 CPU 传递信息, 其组成结构如图 B3.3:

CPU 访问 8 个存储模块, 可采用两种方式: 一种是在一个存取周期内, 同时访问 8 个存储模块, 由存储器控制器控制它们分时使用总线进行信息传递。另一种方式是: 在存取周期内分时访问每个体, 即经过 $1/8$ 存取周期就访问一个模块。这样, 对每个模块而言, 从 CPU 给出访存操作命令直到读出信息, 仍然是一个存取周期时间。而对 CPU 来说, 它可以在一个存取周期内连续访问 8 个存储体, 各体的读写过程将重叠进行。

10. (9 分) 分析教材 P.103 图 3.32 所示的存储器结构

解:

- 1) 图中两个模块的总容量为 $2\text{MB}(512\text{K} \times 32 \text{ 位})$, 由 8 片 $256\text{K} \times 4 \text{ 位}$ 的 DRAM 芯片组成。为简化将 2 片 DRAM 与一块 $256 \times 8 \text{ 位}$ 的方框表示。数据总线宽度为 32 位。地址总线宽度为 24 位。

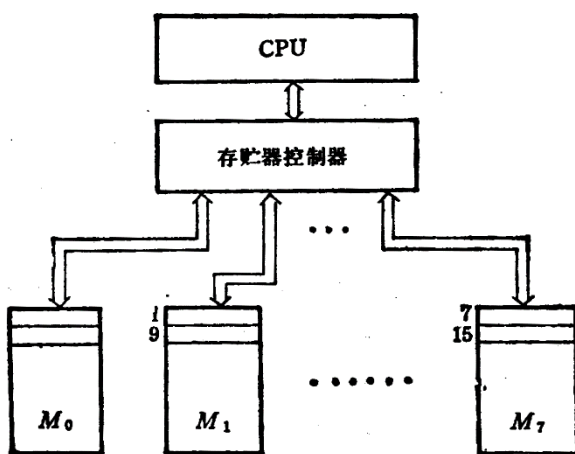


图 B3.3

- 2) 芯片采用行列阵列, 有读写周期与刷新周期。在读/写周期时, 在行选通信号 \overline{RAS} 有效下输入行地址, 在列选通信号 \overline{CAS} 有效下输入列地址, 如果是读周期, 此位组内容被读出; 如果是写周期的话, 则将总线上数据写入此位组。刷新周期是 \overline{RAS} 有效下输入刷新的地址, 此地址指示的一行所有存储元全部再生。
- 3) 由图可知, 24 位存储物理地址指定的系统主存容量可达到 16MB , 按“存储体-块-字”进行寻址。其中, 高三位用于存储体选择, 对于 8 个 2MB 的存储体进行 8 选 1。 $A_{20}-A_3$ 的 18 位地址用于模块内 256K 个存储字的选择, 它们分为行、列地址两部分送至芯片的 9 位地址引脚。 A_2 用于模块选择: $A_2=0$ 时, RAS_0 有效, $A_2=1$ 时, RAS_1 有效。
- 4) CPU 给出主存地址中没有 A_1, A_0 两位。替代的是 4 个字节允许信号 BE_3-BE_0 , 以允许对 $A_{23}-A_2$ 指定的存储字 (双字) 中的字节或字完成读/写访问。当 BE_3-BE_0 全有效时, 即完成双字存取。图中没有给出译码逻辑, 暗示了 BE_3-BE_0 与 CAS_3-CAS_0 的对应关系。

DRAM 需定时刷新，由于 DRAM 芯片的读出是破坏性读出，因此读写完后要对它的信息充电再生。

11. (9 分) 用定量分析方法证明交叉存储器带宽大于顺序存储器带宽。

解：假设 (1) 存储器模块字长等于数据总线宽度

(2) 模块存取一个字的存储周期等于 T 。

(3) 总线传送周期为 τ

(4) 交叉存储器的交叉模块数为 m 。

交叉存储器为了实现流水线方式存储，即每通过 τ 时间延迟后启动下一模块，应满足

$$T = m\tau, \quad (1)$$

交叉存储器要求其模块数 $\geq m$ ，以保证启动某模块后经过 $m\tau$ 时间后再次启动该模块时，它的上次存取操作已经完成。这样连续读取 m 个字所需要时间为

$$t_1 = T + (m-1)\tau = m\tau + m\tau - \tau = (2m-1)\tau \quad (2)$$

故交叉存储器带宽为 $W_1 = 1/t_1 = 1/(2m-1)\tau$ (3)

而顺序方式存储器连续读取 m 个字所需时间为

$$t_2 = mT = m^2 \times \tau \quad (4)$$

存储器带宽为 $W_2 = 1/t_2 = 1/m^2 \times \tau$ (5)

比较(3)和(2)式可知，交叉存储器带宽 > 顺序存储器带宽。

12. (9 分) 已知 cache 命中率 $H=0.98$ ，主存比 cache 慢 4 倍，以知主存存取周期为 200ns，求 cache/主存的效率和平均访问时间。

解： $R=T_m/T_c=4$ ； $T_c=T_m/4=50ns$

$$E=1/[R+(1-R)H]=1/[4+(1-4)\times 0.98]=0.94$$

$$T_a=T_c/E=T_c\times[4-3\times 0.98]=50\times 1.06=53ns。$$

13. (9 分) CPU 执行一段程序时，cache 完成存取的次数为 3800 次，主存完成存取的次数为 200 次，已知 cache 存取周期为 50ns，主存为 250ns，求 cache / 主存系统的效率和平均访问时间。

解：命中率 $H = N_c / (N_c + N_m) = 3800 / (3800 + 200) = 0.95$

主存慢于 cache 的倍率： $r = t_m / t_c = 250ns / 50ns = 5$

访问效率： $e = 1 / [r + (1-r)H] = 1 / [5 + (1-5)\times 0.95] = 83.3\%$

平均访问时间： $t_a = t_c / e = 50ns / 0.833 = 60ns$

14. (9 分) CPU 执行一段程序时，cache 完成存取的次数为 5000 次，主存完成存取的次数为 200 次。已知 cache 存取周期为 40ns，主存存取周期为 160ns。求：

1. Cache 命中率 H 。2. Cache/主存系统的访问效率 e 。3. 平均访问时间 T_a 。

解：① 命中率 $H = N_c / (N_c + N_m) = 5000 / (5000 + 200) = 5000/5200 = 0.96$

② 主存慢于 cache 的倍率 $R = T_m/T_c = 160ns/40ns = 4$

访问效率：

$$e = 1 / [r + (1-r)H] = 1 / [4 + (1-4)\times 0.96] = 89.3\%$$

③ 平均访问时间 $T_a = T_c / e = 40 / 0.893 = 45ns$

15. (9 分) 已知 cache / 主存系统效率为 85%，平均访问时间为 60ns，cache 比主存快 4 倍，

求主存储器周期是多少？cache 命中率是多少？

解：因为： $t_a = t_c / e$ 所以： $t_c = t_a \times e = 60 \times 0.85 = 510\text{ns}$ (cache 存取周期)

$$t_m = t_c \times r = 510 \times 4 = 204\text{ns} \text{ (主存取周期)}$$

因为： $e = 1 / [r + (1 - r)H]$ 所以： $H = 2.4 / 2.55 = 0.94$

16. (9 分) 某计算机系统的内存存储器由 cache 和主存构成，cache 的存取周期为 45 纳秒，主存的存取周期为 200 纳秒。已知在一段给定的时间内，CPU 共访问内存 4500 次，其中 340 次访问主存。问：(1) cache 的命中率是多少？(2) CPU 访问内存的平均时间是多少纳秒？(3) Cache-主存系统的效率是多少？

解：

$$(1) \text{ cache 的命中率 } H = \frac{N_c}{N_c + N_m} = \frac{4500 - 340}{4500} = 0.92$$

$$(2) \text{ CPU 访存的平均时间 } T_a = H \cdot T_c + (1 - H) T_m = 0.92 \times 45 + (1 - 0.92) \times 200 = 57.4\text{ns}$$

$$(3) \text{ Cache-主存系统的效率 } e = \frac{T_c}{T_a} = \frac{45}{57.4} = 0.78 = 78\%$$

17. (9 分) 如图 B2.1 表示使用快表(页表)的虚实地址转换条件，快表存放在相联存储器中，其中容量为 8 个存储单元。问：

- (1) 当 CPU 按虚拟地址 1 去访问主存时，主存的实地址码是多少？
- (2) 当 CPU 按虚拟地址 2 去访问主存时，主存的实地址码是多少？
- (3) 当 CPU 按虚拟地址 3 去访问主存时，主存的实地址码是多少？

页号	该页在主存中的起始地址	虚拟地址	页号	页内地址
33	42000	1	15	0324
25	38000	2	7	0128
7	96000	3	48	0516
6	60000			
4	40000			
15	80000			
5	54000			
30	70000			

图 B2.1

解：(1) 用虚拟地址为 1 的页号 15 作为快表检索项，查得页号为 15 的页在主存中的起始地址为 80000，故将 80000 与虚拟地址中的页内地址码 0324 相加，求得主存实地址码为 80324。

(2) 主存实地址码 = 96000 + 0128 = 96128

(3) 虚拟地址 3 的页号为 48，当用 48 作检索项在快表中检索时，没有检索到页号为 48 的页面，此时操作系统暂停用户作业程序的执行，转去执行查页表程序。如该页面在主存中，则将该页号及该页在主存中的起始地址写入主存；如该页面不存在，则操作系统要将该页面从外存调入主存，然后将页号及其在主存中的起始地址写入快表。

第四章 习题集

一. 选择题 (每小题 1 分)

- 二地址指令中, 操作数的物理位置可安排在 ()。
A. 栈顶和次栈顶 B. 两个主存单元 C. 一个主存单元和一个寄存器 D. 两个寄存器
- 指令系统采用不同寻址方式的目的是 ()。
A 实现存贮程序和程序控制; B. 缩短指令长度, 扩大寻址空间, 提高编程灵活性;
C. 可直接访问外存; D. 提供扩展操作码的可能并降低指令译码的难度;
- 指令的寻址方式有顺序和跳跃两种方式, 采用跳跃寻址方式, 可以实现 ()。
A. 堆栈寻址; B. 程序的条件转移;
C. 程序的无条件转移; D. 程序的条件转移或无条件转移;
- 单地址指令中为了完成两个数的算术运算, 除地址码指明的一个操作数外, 另一个常需采用 ()。
A. 堆栈寻址方式 B. 立即寻址方式 C. 隐含寻址方式 D. 间接寻址方式
- 用某个寄存器中操作数的寻址方式称为 () 寻址。
A 直接 B. 间接 C. 寄存器直接 D. 寄存器间接
- 寄存器间接寻址方式中, 操作数处在 ()。
A. 通用寄存器 B. 主存单元 C. 程序计数器 D. 堆栈
- 变址寻址方式中, 操作数的有效地址等于 ()。
A. 基值寄存器内容加上形式地址 (位移量)
B. 堆栈指示器内容加上形式地址 (位移量)
C. 变址寄存器内容加上形式地址 (位移量)
D. 程序计数器内容加上形式地址 (位移量)
- 堆栈寻址方式中, 设 A 为通用寄存器, SP 为堆栈指示器, M_{SP} 为 SP 指示器的栈顶单元, 如果操作的动作是: $(A) \rightarrow M_{SP}$, $(SP) - 1 \rightarrow SP$, 那么出栈的动作应是 ()。
A $(M_{SP}) \rightarrow A$, $(SP) + 1 \rightarrow SP$; B. $(SP) + 1 \rightarrow SP$, $(M_{SP}) \rightarrow A$;
C. $(SP) - 1 \rightarrow SP$, $(M_{SP}) \rightarrow A$; D. $(M_{SP}) \rightarrow A$, $(SP) - 1 \rightarrow SP$;
- 算术右移指令执行的操作是 ()。
A. 符号位填 0, 并顺次右移 1 位, 最低位移至进位标志位;
B. 符号位不变, 并顺次右移 1 位, 最低位移至进位标志位;
C. 进位标志位移至符号位, 顺次右移 1 位, 最低位移至进位标志位;
D. 符号位填 1, 并顺次右移 1 位, 最低位移至进位标志位;
- 位操作类指令的功能是 ()。
A. 对 CPU 内部通用寄存器或主存某一单元任一位进行状态检测 (0 或 1)
B. 对 CPU 内部通用寄存器或主存某一单元任一位进行状态强置 (0 或 1)
C. 对 CPU 内部通用寄存器或主存某一单元任一位进行状态检测或强置
D. 进行移位操作
- 程序控制类指令的功能是 ()。
A. 进行算术运算和逻辑运算 B. 进行主存与 CPU 之间的数据传送
C. 进行 CPU 和 I/O 设备之间的数据传送 D. 改变程序执行顺序
- 以下四种类型指令中, 执行时间最长的是 ()。

A.RR 型指令 B.RS 型指令 C.SS 型指令 D.程序控制指令

13. 下面描述的 RISC 机器基本概念中不正确的句子是 ()。

- A.RISC 机器不一定是流水 CPU B.RISC 机器一定是流水 CPU
C.RISC 机器有复杂的指令系统 D.CPU 配置很少的通用寄存器

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	
13											

二. 填空题 (每小题 3 分)

- 指令系统是表征一台计算机 A. () 的重要因素, 它的 B. () 和 C. () 不仅直接影响到机器的硬件结构而且也影响到系统软件。
- 计算机系统中的存储器分为 A () 和 B ()。在 CPU 执行程序时, 必须将指令存放在 C () 中。
- 指令操作码字段表征指令的 A. (), 而地址码字段指示 B. ()。微小型机多采用 C. () 混合方式的指令格式。
- 指令格式中, 地址码字段是通过 A. () 来体现的, 因为通过某种方式的变换, 可以给出 B. () 地址。常用的指令格式有零地址指令、单地址指令、C. () 三种。
- 形成指令地址的方式, 称为 A. () 方式, 有 B. () 寻址和 C. () 寻址。
- 寻址方式根据操作数的 A () 位置不同, 多使用 B () 型和 C () 型。
- 一个较完善的指令系统应包含 A () 类指令, B () 类指令, C () 类指令, 程序控制类指令, I/O 类指令, 字符串类指令, 系统控制类指令。
- RISC 指令系统的最大特点是: A. (); B. (); C. () 种类少。只有取数 / 存数指令访问存储器。

三. 其他题 ()

1. (9 分) 指令格式如下所示, OP 为操作码字段, 试分析指令格式特点。

31	26	22	18 17	16 15	0
OP		源寄存器	变址寄存器	偏移量	

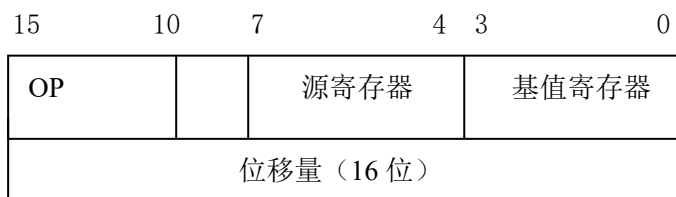
解: (1) 操作码字段为 6 位, 可指定 $2^6 = 64$ 种操作, 即 64 条指令。

(2) 单字长 (32) 二地址指令。

(3) 一个操作数在源寄存器 (共 16 个), 另一个操作数在存储器中 (由变址寄存器内容 + 偏移量决定), 所以是 RS 型指令。

(4) 这种指令结构用于访问存储器。

2. (9 分) 指令格式如下所示, OP 为操作码字段, 试分析指令格式的特点。

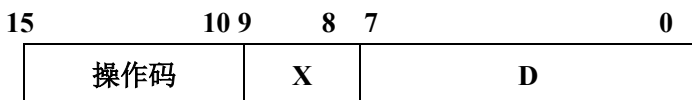


解: (1) 双字长二地址指令, 用于访问存储器。

(2) 操作码字段 OP 为 6 位, 可以指定 $2^6 = 64$ 种操作。

(3) 一个操作数在源寄存器 (共 16 个), 另一个操作数在存储器中 (由基值寄存器和位移量决定), 所以是 RS 型指令。

3. 某微机的指令格式如下所示:



D: 位移量 X: 寻址特征位

X=00: 直接寻址; X=01: 用变址寄存器 X1 进行变址;

X=10: 用变址寄存器 X2 进行变址; X=11: 相对寻址

设 (PC)=1234 H, (X1)=0037H, (X2)=1122H (H 代表十六进制数), 请确定下列指令的有效地址。

①4420H ②2244H ③1322H ④3521H ⑤6723H

解: 1) X=00, D=20H ,有效地址 E=20H

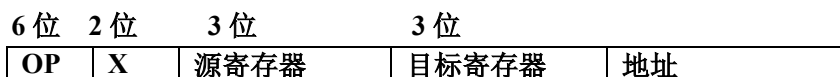
2) X=10, D=44H ,有效地址 E=1122H+44H=1166H

3) X=11, D=22H ,有效地址 E=1234H+22H=1256H

4) X=01, D=21H ,有效地址 E=0037H+21H=0058H

5) X=11, D=23H ,有效地址 E=1234H+23H=1257H

4. (9 分) 一台处理机具有如下指令格式:



其格式表明有 8 个通用寄存器 (长度 16 位), X 为指定的寻址模式, 主存最大容量为 256 K 字

1) 假设不用通用寄存器也能直接访问主存的每一个操作数, 并假设操作码域 OP=6 位, 请问地址码域应该分配多少位? 指令字长度应有多少位?

2) 假设 X=11 时, 指定的那个通用寄存器用作基址寄存器, 请提出一个硬件设计规则, 使得被指定的通用寄存器能访问 1M 的主存空间中的每一个单元。

解:

1) 因为 $2^{18} = 256K$ 字, 地址域=18 位

操作码域=6 位

指令长度=18+3+3+6+2=32 位

2) 此时指定的通用寄存器作为基值寄存器 (16) 位。但 16 位长度不足以覆盖 1M 字地址空间, 为此可将通用寄存器左移 4 位, 低位补 0 形成 20 位基地址, 然后与指令形式地址相加得有效地址, 可访问主存 1M 地址空间的任意单元。

5. (9分) 某 16 机机器所使用的指令格式和寻址方式如下所示, 该机有 20 位基值寄存器,

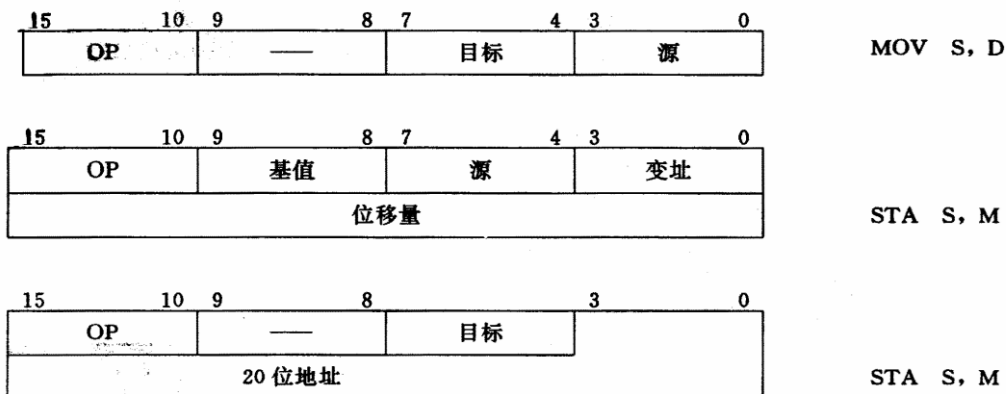


图 20.1

16 个 16 位通用寄存器。指令汇编格式中的 S (源), D (目标) 都是通用寄存器, M 是主存中的一个单元。三种指令的操作码分别是 MOV (OP) = (A)_H, STA (OP) = (1B)_H, LDA (OP) = (3C)_H。MOV 是传送指令, STA 为写数指令, LDA 为读数指令如图 B20.1

- 要求: (1) 分析三种指令的指令格式与寻址方式特点。
- (2) CPU 完成哪一种操作所花的时间最短? 哪一种操作所花时间最长? 第二种指令的执行时间有时会等于第三种指令的执行时间吗?
- (3) 下列情况下每个十六进制指令字分别代表什么操作? 其中如果有编码不正确, 如何改正才能成为合法指令? ① (F0F1)_H (3CD2)_H ② (2856)_H
③ (6FD6)_H ④ (1C2)_H

解: (1) 第一种指令是单字长二地址指令, RR 型; 第二种指令是双字长二地址指令, RS 型, 其中 S 采用基址寻址或变址寻址, R 由源寄存器决定; 第三种也是双字长二地址指令, RS 型, R 由目标寄存器决定, S 由 20 位地址 (直接寻址) 决定。

(2) 处理机完成第一种指令所花的时间最短, 因为 RR 型指令, 不需要访问存储器。第二种指令所花的时间最长, 因为 RS 型指令, 需要访问存储器。同时要寻址方式的变换运算 (基址或变址), 这也需要时间。第二指令的执行时间不会等于第三种指令, 因为第三种指令虽然也访问存储器, 但节省了求有效地址运算的时间开销。

(3) 根据以知条件: MOV (OP) = 00010101, STA (OP) = 011011, LDA (OP) = 111100, 将指令的十六进制格式转换为二进制代码且比较后可知:

① (F0F1)_H (3CD2)_H 指令代表 LDA 指令, 编码正确, 其含义是把主存 (13CD2)_H 地址单元的内容取至 15 号寄存器。

② (2856)_H 代表 MOV 指令, 编码正确, 含义是把 5 号源寄存器的内容传送至 6 目标寄存器。

③ (6DC6)_H 是单字长指令, 一定是 MOV 指令, 但编码错误, 可改正为 (28D6)_H。

④ (1C2)_H 是单字长指令, 代表 MOV 指令, 但编码错误, 可改正为 (28D6)_H。

6. (9分) 下表列出某机 (Pentium) 的寻址方式有效地址 E 的算法, 请在第 2 列中填写寻址方式名称。

序号	寻址方式名称	有效地址 E 算法	说明
----	--------	-----------	----

(1)	立即		操作数在指令中
(2)	寄存器		操作数在某寄存器内，指令给出寄存器号
(3)	直接	$E = \text{Disp}$	Disp 为偏移量
(4)	基址	$E = (B)$	B 为基址寄存器
(5)	基址+偏移量	$E = (B) + \text{Disp}$	
(6)	比例变址+偏移量	$E = (I) * S + \text{Disp}$	I 为变址寄存器，S 为比例因子 (1, 2, 4, 8)
(7)	基址+变址+偏移量	$E = (B) + (I) + \text{Disp}$	
(8)	基址+比例变址+偏移量	$E = (B) + (I) * S + \text{Disp}$	
(9)	相对	指令地址 = (PC) + Disp	PC 为程序计数器

7. (9 分) 某计算机字长 32 位，有 16 个通用寄存器，主存容量为 1M 字，采用单字长二地址指令，共有 64 条指令，试采用四种寻址方式（寄存器、直接、变址、相对）设计指令格式。

解：64 条指令需占用操作码字段 (OP) 6 位，源寄存器和目标寄存器各 4 位，寻址模式 (X) 2 位，形式地址 (D) 16 位，其指令格式如下：

31	26 25	22 21	18 17	16 15	0
OP	目标	源	X	D	

寻址模式定义如下：

X = 0 0 寄存器寻址 操作数由源寄存器号和目标寄存器号指定

X = 0 1 直接寻址 有效地址 $E = (D)$

X = 1 0 变址寻址 有效地址 $E = (R_x) + D$.

X = 1 1 相对寻址 有效地址 $E = (PC) + D$.

其中 R_x 为变址寄存器 (10 位)，PC 为程序计数器 (20 位)，位移量 D 可正可负。该指令格式可以实现 RR 型，RS 型寻址功能。

8. (9 分) 假设机器字长 16 位，主存容量为 128K 字节，指令字长度为 16 位或 32 位，共有 128 条指令，设计计算机指令格式，要求有直接、立即数、相对、基值、间接、变址六种寻址方式。

解：由已知条件，机器字长 16 位，主存容量 128KB./16=64K 字，因此 MAR=16 位，共 128 条指令，故 OP 字段占 7 位。采用单字长和双字长两种指令格式，其中单字长指令用于算术逻辑和 I/O 类指令，双字长用于访问主存的指令。

15	9	5	4	3	2	1	0
OP		R ₁	R ₂				

15	9	8	6	5	3	2	0
OP	X					R ₂	
D.							

寻址方式由寻址模式 X 定义如下：

- $X = 000$ 直接寻址 $E = D$ (64K)
 $X = 001$ 立即数 $D =$ 操作数
 $X = 010$ 相对寻址 $E = PC. + D$. $PC. = 16$ 位
 $X = 011$ 基值寻址 $E = R_B. + D.$, $R_B. = 16$ 位
 $X = 100$ 间接寻址 $E = (D)$
 $X = 101$ 变址寻址 $E = R_X + D.$, $R_X = 10$ 位

9. (10 分) 机器字长 32 位，主存容量为 1MB，16 个通用寄存器，共 32 条指令，请设计双地址指令格式，要求有立即数、直接、寄存器、寄存器间接、变址、相对六种寻址方式。

解：根据题意，有 32 种操作码，故 OP 字段占 5 位，16 个通用寄存器各占 4 位（源、目的）；寻址模式字段 X 占 3 位；剩余字段 D 为立即数和直接寻址使用，指令格式如下：

5 位	3 位	4 位	4 位	16 位
OP	X	源	目的	D

寻址模式定义如下：

- $X=000$, 立即数= D $X=001$, 直接寻址, $E=D$
 $X=010$, 寄存器直接寻址 $X=011$, 寄存器间接寻址, $E=(R)$
 $X=100$, 变址寻址, $E=(R)+D$ $X=101$, 相对寻址, $E=(PC)+D$

10. (10 分) 利用 SPARC 指令系统写出下表左边部分指令的替代指令与实现方法（填入表中对应空白部分）

指令	功能	替代指令	实现方法
MOV	寄存器间传送数据	ADD(加法)	$R_s + R_0 \rightarrow R_d$
INC	寄存器内容加 1	ADD(加法)	立即数 $imm13=1$, 作为操作数
DEC	寄存器内容减 1	SUB(减法)	立即数 $imm13=-1$, 作为操作数
NEG	取负数	SUB(减法)	$R_0 - R_s \rightarrow R_d$
NOT	取反码	XOR(异或)	立即数 $imm13=-1$, 作为操作数
CLR	清除寄存器	ADD(加法)	$R_0 + R_0 \rightarrow R_d$

11. (9 分) 请在下表中填写 CISC 和 RISC 的主要特征对比

比较内容	CISC	RISC
指令系统	复杂、庞大	简单、精简
指令数目	一般大于 200	一般小于 100
指令格式	一般大于 4	一般小于 4
寻址方式	一般大于 4	一般小于 4
指令字长	不固定	等长
可访存指令	不加限定	只有 LOAD/STORE 指令
各种指令使用频率	相差很大	相差不大
各种指令执行时间	相差很大	绝大多数在一个周期内完成
优化编译实现	很难	较容易
程序源代码长度	较短	较长
控制器实现方式	绝大多数为微程序控制	绝大部分为硬布线控制
软件系统开发时间	较短	较长

第五章 习题集

一. 选择题 (每小题 1 分)

1. 当代 CPU 包括 ()。
A. 控制器 B. 控制器、运算器、cache C. 运算器和主存 D. 控制器、ALU 和主存
2. 在 CPU 中跟踪指令后继地址的寄存器是 ()。
A. 主存地址寄存器 B. 程序计数器 C. 指令寄存器 D. 状态条件寄存器
3. 操作控制器的功能是 ()。
A. 产生时序信号 B. 从主存取出一条指令 C. 完成指令操作的译码
D. 从主存取出指令, 完成指令操作码译码, 并产生有关的操作控制信号, 以解释执行该指令
4. 指令周期是指 ()。
A. CPU 从主存取出一条指令的时间; B. CPU 执行一条指令的时间;
C. CPU 从主存取出一条指令加上 CPU 执行这条指令的时间; D. 时钟周期时间;
5. 由于 CPU 内部的操作速度较快, 而 CPU 访问一次主存所花的时间较长, 因此机器周期通常用 () 来规定。
A. 主存中读取一个指令字的最短时间 B. 主存中读取一个数据字的最长时间
C. 主存中写入一个数据字的平均时间 D. 主存中读取一个数据字的平均时间
6. 某寄存器中的值有时是地址, 因此只有计算机的 () 才能识别它。
A. 译码器 B. 判断程序 C. 指令 D. 时序信号
7. 同步控制是 ()。
A. 只适用于 CPU 控制的方式 B. 只适用于外围设备控制的方式
C. 由统一时序信号控制的方式 D. 所有指令执行时间都相同的方式
8. 异步控制常用于 () 作为其主要控制方式。
A. 在单总线结构计算机中访问主存与外围设备时; B. 微型机的 CPU 中;
C. 硬布线控制器中; D. 微程序控制器中;
9. 以下叙述中正确描述的句子是: ()。
A. 同一个 CPU 周期中, 可以并行执行的微操作叫相容性微操作
B. 同一个 CPU 周期中, 不可以并行执行的微操作叫相容性微操作
C. 同一个 CPU 周期中, 可以并行执行的微操作叫相斥性微操作
D. 同一个 CPU 周期中, 不可以并行执行的微操作叫相斥性微操作
10. 微程序控制器中, 机器指令与微指令的关系是 ()。
A. 每一条机器指令由一条微指令来执行
B. 每一条机器指令由一段微指令编写的微程序来解释执行
C. 每一条机器指令组成的程序可由一条微指令来执行
D. 一条微指令由若干条机器指令组成
11. 为确定下一条微指令的地址, 通常采用断定方式, 其基本思想是 ()。
A. 用程序计数器 PC 来产生后继微指令地址
B. 用微程序计数器 μPC 来产生后继微指令地址
C. 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址
D. 通过指令中指定一个专门字段来控制产生后继微指令地址

12. 流水 CPU 是由一系列叫做“段”的处理线路所组成, 和具有 m 个并行部件的 CPU 相比, 一个 m 段流水 CPU ()。
- A 具备同等水平的吞吐能力 B 不具备同等水平的吞吐能力
C. 吞吐能力大于前者的吞吐能力 D 吞吐能力小于前者的吞吐能力
13. 描述流水 CPU 基本概念不正确的句子是 ()。
- A.流水 CPU 是以空间并行性为原理构造的处理器
B.流水 CPU 一定是 RISC 机器 C.流水 CPU 一定是多媒体 CPU
D.流水 CPU 是一种非常经济而实用的时间并行技术

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	
13		14		15		16		17		18	

二. 填空题 (每小题 3 分)

1. 当今的 CPU 芯片除了包括定点运算器和控制器外, 还包括 A. () , B. () 运算器和 C. () 管理等部件。
2. CPU 中至少有如下六类寄存器 A. () 寄存器, B. () 计数器, C. () 寄存器, 通用寄存器, 状态条件寄存器, 缓冲寄存器。
3. CPU 中, 保存当前正在执行的指令的寄存器为 A () , 保存当前正在执行的指令的地址的寄存器为 B () , 保存 CPU 访存地址的寄存器为 C () 。
4. CPU 从 A. () 取出一条指令并执行这条指令的时间和称为 B. () 。由于各种指令的操作功能不同, 各种指令的指令周期是 C. () 。
5. CPU 周期也称为 A. () ; 一个 CPU 周期包含若干个 B. () 。任何一条指令的指令周期至少需要 C. () 个 CPU 周期。
6. 微程序设计技术是利用 A. () 方法设计 B. () 的一门技术。具有规整性、可维护性、C. () 等一系列优点。
7. 硬布线控制器的基本思想是: 某一微操作控制信号是 A. () 译码输出, B. () 信号和 C. () 信号的逻辑函数。
8. 硬布线控制器的设计方法是: 先画出 A. () 流程图, 再利用 B. () 写出综合逻辑表达式, 然后用 C. () 等器件实现。
9. 并行处理技术已成为计算机技术发展的主流。它可贯穿于信息加工的各个步骤和阶段。概括起来, 主要有三种形式 A. () 并行; B. () 并行; C. () 并行。
10. 流水 CPU 是以 A. () 为原理构造的处理器, 是一种非常 B. () 的并行技术。目前的 C. () 微处理器几乎无一例外的使用了流水技术。
11. RISC CPU 是克服 CISC 机器缺点的基础上发展起来的, 它具有的三个基本要素是: (1) 一个有限的 A. () ; (2) CPU 配备大量的 B. () ; (3) 强调 C. () 的优化。
12. RISC 机器一定是 A () CPU, 但后者不一定是 RISC 机器。奔腾 CPU 是 B () CPU, 但奔腾机是 C () 机器。
13. 多媒体 CPU 是带有 A. () 技术的处理器。它是一种 B. () 技术, 特别适合于 C. () 处理。

三. 其他题 ()

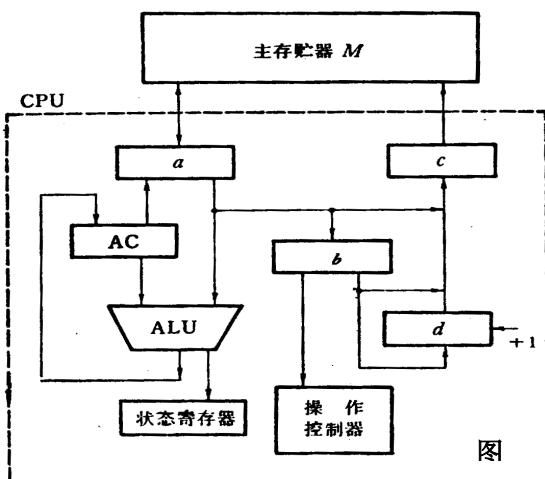
1. (9分) CPU 结构如图 B9.1 所示, 其中有一个累加寄存器 AC, 一个状态条件寄存器, 各部分之间的连线表示数据通路, 箭头表示信息传送方向。

- (1) 标明图中四个寄存器的名称。
- (2) 简述指令从主存取到控制器的数据通路。
- (3) 简述数据在运算器和主存之间进行存 / 取访问的数据通路。

解:

- (1) a 为数据缓冲寄存器 DR, b 为指令寄存器 IR, c 为主存地址寄存器, d 为程序计数器 PC。
- (2) 主存 M → 缓冲寄存器 DR → 指令寄存器 IR → 操作控制器。
- (3) 存储器读: M → DR → ALU → AC

存储器写: AC → DR → M



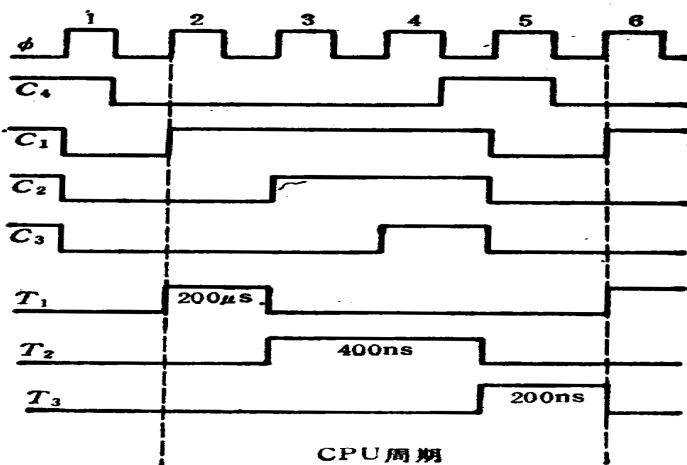
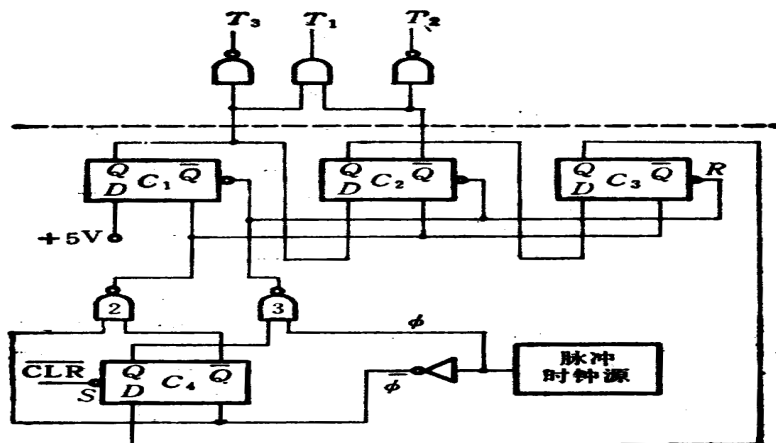
2. (9分) 如果在一个 CPU 周期中要产生 3 个脉冲 $T_1 = 200\text{ns}$, $T_2 = 400\text{ns}$, $T_3 = 200\text{ns}$, 试画出时序产生器逻辑图。

解: 节拍脉冲 T_1 , T_2 , T_3 的宽度实际等于时钟脉冲的周期或是它的倍数, 此时 $T_1 = T_2 = 200\text{ns}$, $T_3 = 400\text{ns}$, 所以主脉冲源的频率应为 $f = 1/T_1 = 5\text{MHz}$ 为了消除节拍脉冲上的毛刺, 环型脉冲发生器采用移位寄存器形式。图 B10.5 画出了题目要求的逻辑电路图和时序信号关系。根据关系, 节拍脉冲 T_1 , T_2 , T_3 的逻辑表达式如下:

$$T_1 = \overline{C_1} \times C_2, \quad T_2 =$$

$$C_2, \quad T_3 = C_1$$

3. (10分) 某时序产生器的主要逻辑电路如图 B14.3 所示, ϕ 为脉冲时钟源输出的方波脉冲 (频率为 10MHz), C_1 — C_4 为 D 触发器, T_1 — T_4 为四个输出的节拍脉冲。



- 1) 试画出 C_4, C_1, C_2, C_3 各触发器 Q 端的波形和 $T_1—T_4$ 波形 (要求两个 CPU 周期, 并说明脉冲宽度)
- 2) 如果要产生 $T_1—T_5$ 五个等间隔的节拍脉冲, 问电路如何改进?

解: 如上图主要电路是一个环形脉冲发生器, 它采用循环移位寄存器形式。

其中 $T_1—T_4$ 是四个输出节拍脉冲, 根据已知条件, 其译码逻辑表达式为:

$$T_1 = C_1 \cdot \bar{C}_2 \quad T_2 = C_2 \cdot \bar{C}_3$$

$T_3 = C_3, T_4 = \bar{C}_1$ 具体的波形图见教材 P.170 图 5.19 所示。

4. (10 分) 设计一个启停控制电路, 要求在一个 CPU 周期中产生 $T_1—T_4$ 四个时钟周期信号。(提示, 机器一启动就会自动产生原始的节拍脉冲信号 $T_1^*—T_4^*$, 但是只有在启动机器运行的情况下, 才允许时序发生器发出 CPU 工作所需的节拍脉冲 $T_1—T_4$ 。)
5. (9 分) 已知某机采用微程序控制方式, 其控制存储器容量为 512×48 (位), 微程序在整个控制存储器中实现转移, 可控制的条件共 4 个, 微指令采用水平型格式, 后继微指令地址采用断定方式, 如图所示:

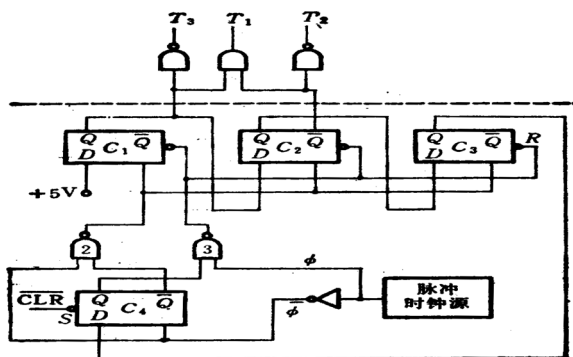
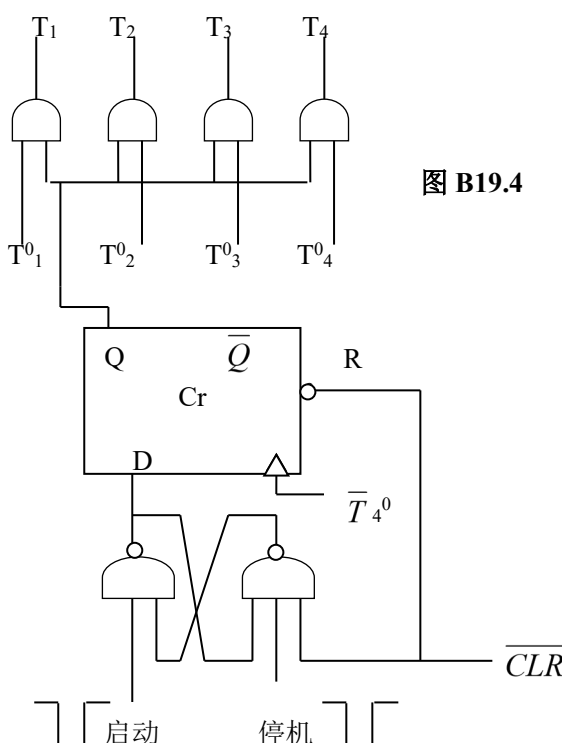


图 B19.4



微命令字段	判别测试字段	下地址字段
← 操作控制 →	← 顺序控制 →	

- (1) 微指令中的三个字段分别应多少位?
- (2) 画出对应这种微指令格式的微程序控制器逻辑框图。

解: (1) 假设判别测试字段中每一位为一个判别标志, 那么由于有 4 个转移条件, 故该字段为 4 位 (如采用字段译码只需 3 位), 下地址字段为 9 位, 因此控制存储器容量为 512 个单元, 微命令字段是 $(48 - 4 - 9) = 35$ 位。

(2) 对应上述微指令格式的微程序控制器逻辑框图见教材 P.175 图 5.24: 其中微地址寄存器对应下地址字段, P 字段即为判别测试字段, 控制字段即为微命令子段, 后两部分组成微指令寄存器。地址转移逻辑的输入是指令寄存器 OP 码, 各状态条件以及判别测试字段所给的判

别标志（某一位为 1），转移逻辑输出修改微地址寄存器的适当位数，从而实现微程序的分支转移。

6. (10 分)图 B3.1 所示的处理机逻辑框图中，有两条独立的总线和两个独立的存贮器。已知指令存贮器 IM 最大容量为 16384 字（字长 18 位），数据存贮器 DM 最大容量是 65536 字（字长 16 位）。各寄存器均有“打入”（ R_{in} ）和“送出”（ R_{out} ）控制命令，但图中未标出。

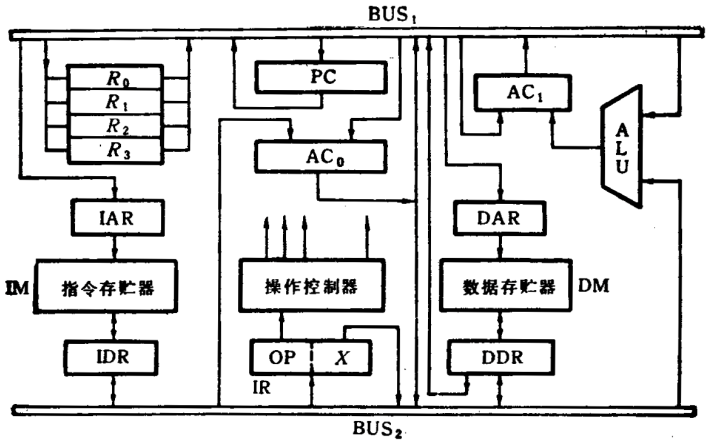
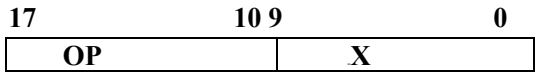


图 B3.1

设处理机指令格式为：



加法指令可写为“ADD. X (R_i)”。其功能是 $(AC_0) + ((R_i) + X) \rightarrow AC_1$ ，其中 $((R_i) + X)$ 部分通过寻址方式指向数据存贮器，现取 R_i 为 R_1 。试画出 ADD 指令从取指令开始到执行结束的操作序列图，写明基本操作步骤和相应的微操作控制信号。

解：加法指令“ADD. X (R_i)”是一条隐含指令，其中一个操作数来自 AC_0 ，另一个操作数在数据存贮器中，地址由通用寄存器的内容 (R_i) 加上指令格式中的 X 量值决定，可认为这是一种变址寻址。因此，指令周期的操作流程如图 B3.4，相应的微操作控制信号列在框图外。

7. (10 分) 某计算机有 8 条微指令 $I_1 \sim I_8$ ，每条微指令所包含的微命令控制信号见下表所示，a—j 分别对应 10 种不同性质的微命令信号。假设一条微指令的控制字段仅限 8 位，请安排微指令的控制字段格式。（P.210 习题 8）

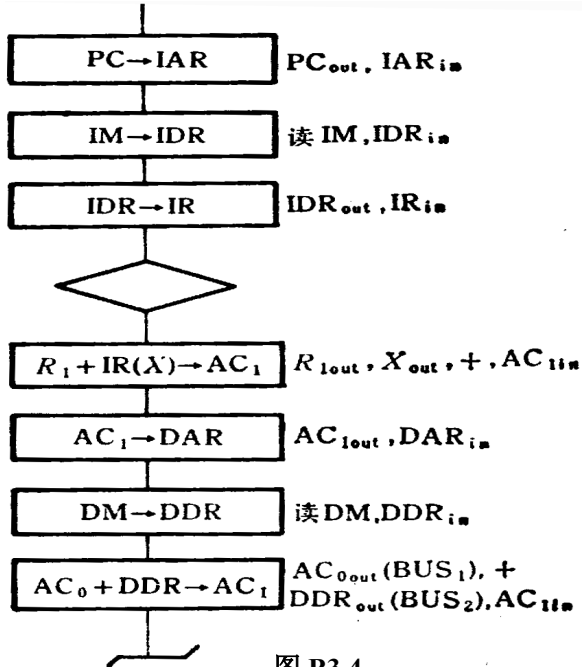


图 B3.4

解：为了压缩指令字的长度，必须设法把一个微指令周期中的互斥性微命令信号组合在一个小组中，进行分组译码。

经分析，(e,f,h) 和 (b,i,j) 可分别组成两个小组或两个字段，然后进行译码，可得六个微命令信号，剩下的 a, c, d, g 四个微命令信号可进行直接控制，其整个控制字段组成如下：

	01	e	01	b
直接控制	10	f	10	i
A. C. D. g	11	h	11	j
×	×	×	×	×

- 4 位 2 位 2 位
8. （10 分）某计算机有如下部件：ALU，移位器，主存 M，主存数据寄存器 MDR，主存地址寄存器 MAR，指令寄存器 IR，通用寄存器 R_0 — R_3 ，暂存器 C 和 D。
- (1) 请将各逻辑部件组成一个数据通路，并标明数据流向。
- (2) 画出“ADD. $R_1, (R_2)$ ”指令的指令周期流程图，指令功能是 $(R_1) + ((R_2)) \rightarrow R_1$ 。

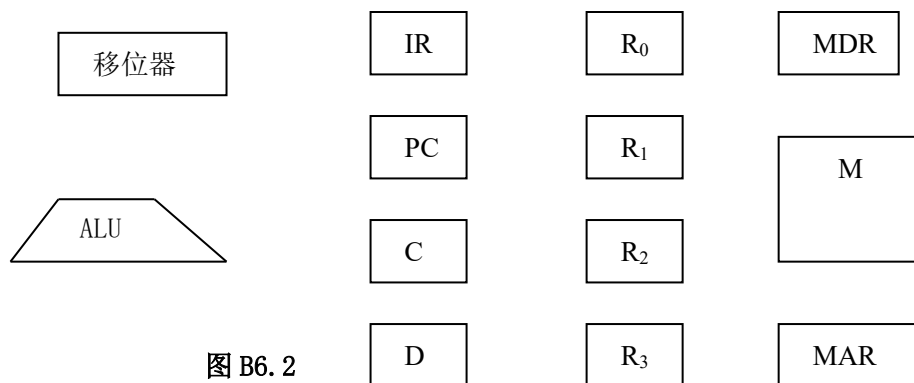


图 B6.2

解：(1) 各功能部件联结成如图所示数据通路：

(2) 此指令为 RS 型指令，一个操作数在 R_1 中，另一个操作数在 R_2 为地址的内存单元中，相加结果放在 R_1 中。

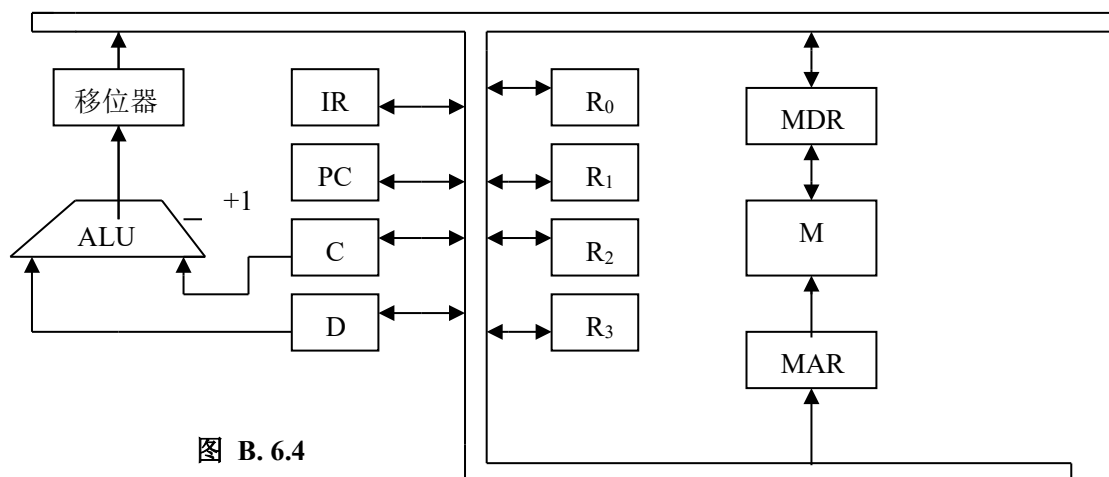


图 B.6.4

9. （10 分）参见图 B12.1 的数据通路，画出指令“STA, $R_1, (R_2)$ ”的指令周期流程图，其含义是将寄存器 R_1 的内容传送至 (R_2) 地址的存储器单元中。标出各微操作信号序列。

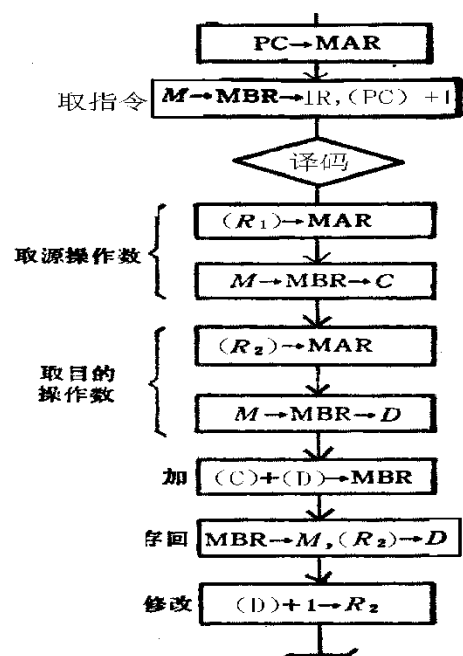
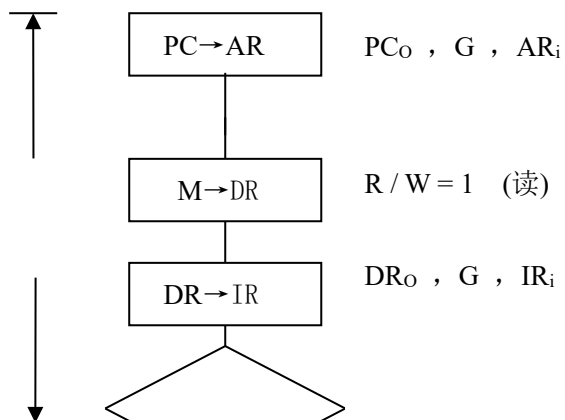
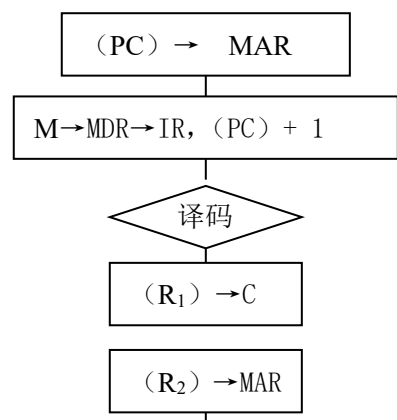
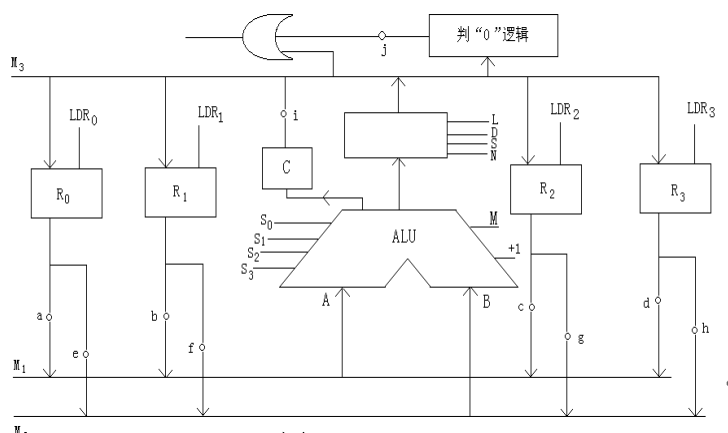


图 B10.4



请按数据通路图画出“ADD (R1), (R2) +”指令的指令周期流程图。该指令的含义是两个数进行求和操作。其中源操作地址在寄存器 R1 中，目的操作数寻址方式为自增型寄存器间接寻址（先取地址后加 1）。



解：“ADD. (R1), (R2)+”指令是 SS 型指令，两个操作数均在主存中。其中源操作数地址在 R1 中，所以是 R1 间接寻址。目的操作数地址在 R2 中，由 R2 间接寻址，但 R2 的内容在取出操作数以后要加 1 进行修改。指令周期流程图如图 B10.4

11. (10 分) 某机运算器框图如图 B7.1 所示, 其中 ALU 由通用函数发生器组成, $M_1—M_3$

解：当 24 个控制信号全部用微指令产生时，可采用字段译码法进行编码控制，采用的微指令格式如下（其中目地操作数字段与打入信号段可结合并公用，后者加上节拍脉冲控制即可）。

× × ×	× × ×	× × × × ×	× × × × ×	× × × ×	× ×	
-------	-------	-----------	-----------	---------	-----	--

编码表如下:

目的操作数字段	源操作数字段	运算操作字段	移位门字段	直接控制字段
001 a, LDR ₀	001 e	MS ₀ S ₁ S ₂ S ₃	L, R, S, N	i, j, +1
010 b, LDR ₁	010 f			
011 c, LDR ₂	011 g			
100 d, LDR ₃	100 h			

12. (9分) 运算器结构如图 B5.2 所示, R_1, R_2, R_3 是三个寄存器, A 和 B 是两个三选一的多路开关, 通路的选择由 AS_0, AS_1 和 BS_0, BS_1 端控制, 例如 $BS_0BS_1 = 11$ 时, 选择 R_3 , $BS_0BS_1 = 01$ 时, 选择 R_1, \dots , ALU 是算术 / 逻辑单元。 S_1S_2 为它的两个操作控制端。其功能如下:

$S_1S_2 = 00$ 时, ALU 输出 = A

$S_1S_2 = 01$ 时, ALU 输出 = $A + B$

$S_1S_2 = 10$ 时, ALU 输出 = $A - B$

$S_1S_2 = 11$ 时, ALU 输出 = $A \oplus B$

ALU 是算术 / 逻辑单元。

请设计控制运算器通路的微指令格式。

解: 采用水平微指令格式, 且直接控制方式, 顺序控制字段假设 4 位, 其中一位判别测试位:

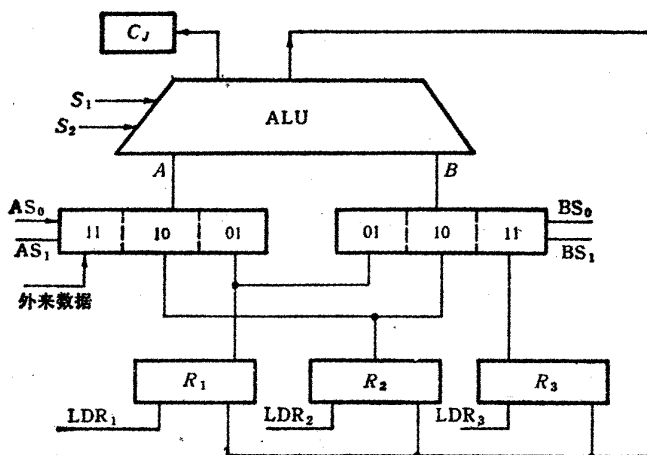


图 B5.2

2 位	2 位	2 位	3 位	1 位	3 位
AS_0AS_1	S_1S_2	BS_0BS_1	LDR_1, LDR_2, LDR_3	P	$\mu AR_1, \mu AR_2, \mu AR_3$
直接控制				顺序控制	

当 $P = 0$ 时, 直接用 μAR_1 —— μAR_3 形成下一个微地址。

当 $P = 1$ 时, 对 μAR_3 进行修改后形成下一个微地址。

13. (10分) 见教材 P.178 例 2。
14. (10分) 图 B8.2 给出了微程序控制的部分微指令序列, 图中每一框代表一条微指令。分支点 a 由指令寄存器 IR_5, IR_6 两位决定, 分支点 b 由条件码标志 c 决定。现采用断定方式实现微程序的程序控制, 已知微地址寄存器长度为 8 位, 要求:
- 设计实现该微指令序列的微指令字顺序控制字段的格式。
 - 画出微地址转移逻辑图。

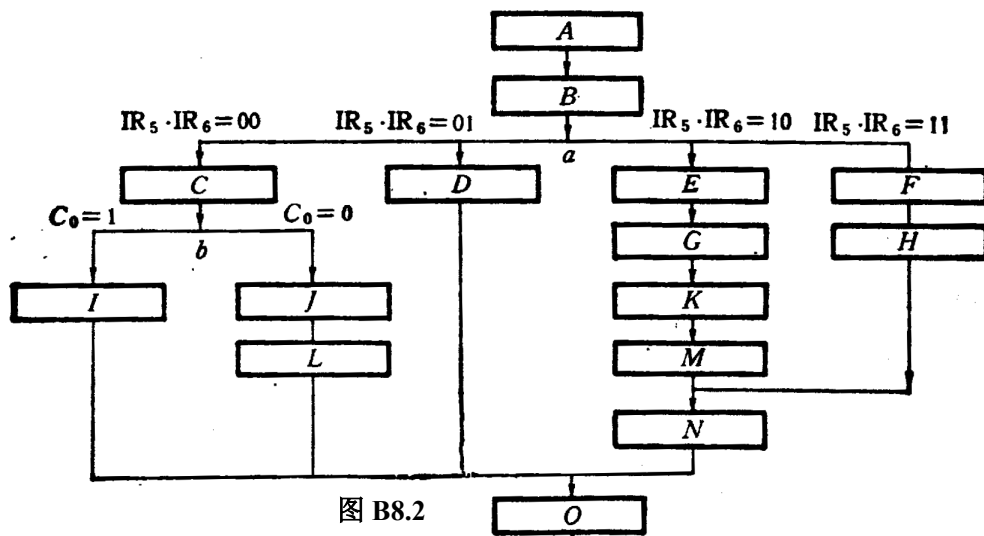


图 B8.2

解: (1) 已知微地址寄存器长度为 8 位, 故推知控存容量为 256 单元。所给条件中微程序有两

处分支转移。如不考虑他分支转移，则需要判别测试位 P_1 ， P_2 （直接控制），故顺序控制字段共 10 位，其格式如下， A_1 表示微地址寄存器：

P_1	P_2	$A_1, A_2 \dots$	A_8
判别字段		下地址字段	

(2) 转移逻辑表达式如下：

$$A_8 = P_1 \cdot IR_6 \cdot T_4$$

$$A_7 = P_1 \cdot IR_5 \cdot T_4$$

$$A_6 = P_2 \cdot C_0 \cdot T_4$$

其中 T_4 为节拍脉冲信号。在 P_1 条件下，当 $IR_6 = 1$ 时， T_4 脉冲到来时微地址寄存器的第 8 位 A_8 将置“1”，从而将该位由“0”修改为“1”。如果 $IR_6 = 0$ ，则 A_8 的“0”状态保持不变， A_7 ， A_6 的修改也类似。

根据转移逻辑表达式，很容易画出转移逻辑电路图，可用触发器强制端实现。

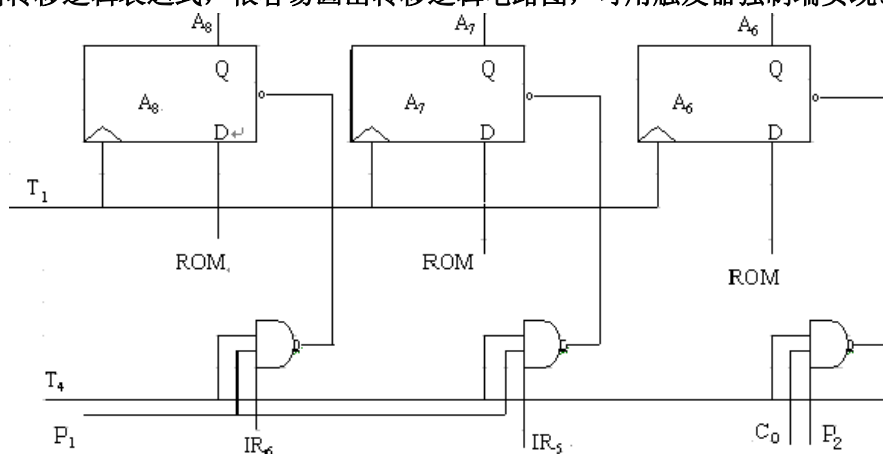


图 B8. 3

15. (10 分) 已知 MOV, ADD, COM, ADT 四条指令微程序流图 B14.1, 已知 P (1)

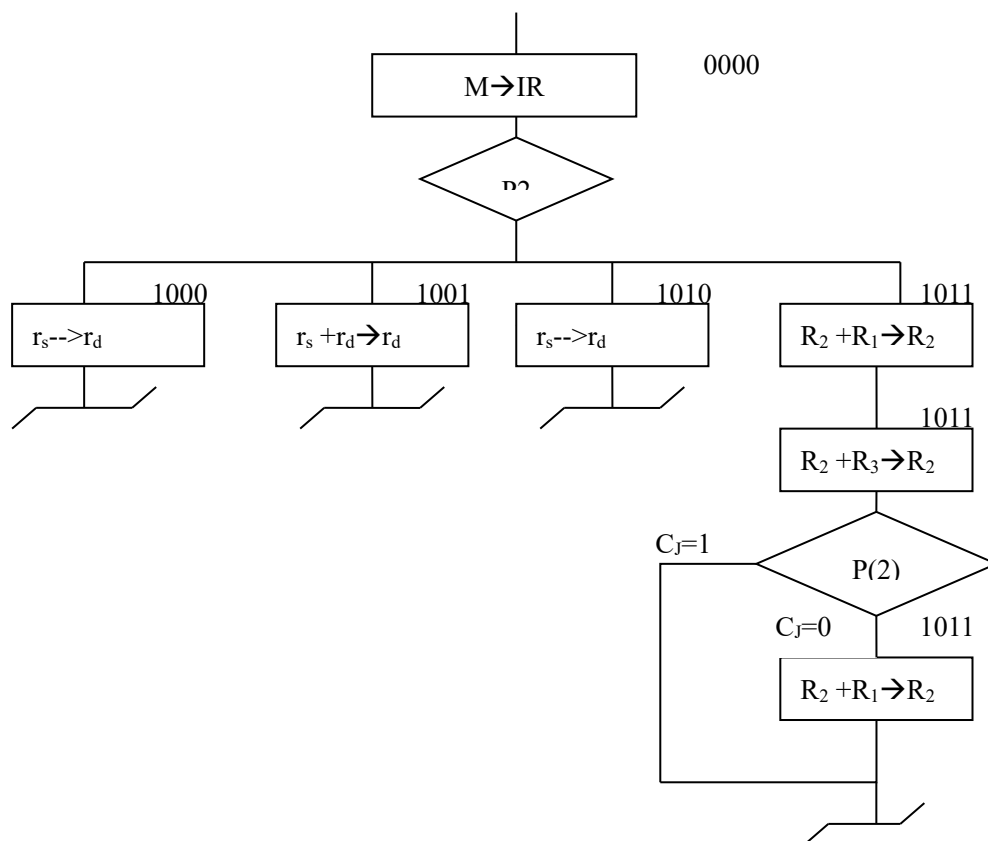


图 B14.1

的条件是指令寄存器 OP 字段，即 IR_0, IR_1 ，P (2) 的条件码是进位寄存器 C_j ，请设计画出微程序控制器地址转移逻辑图。

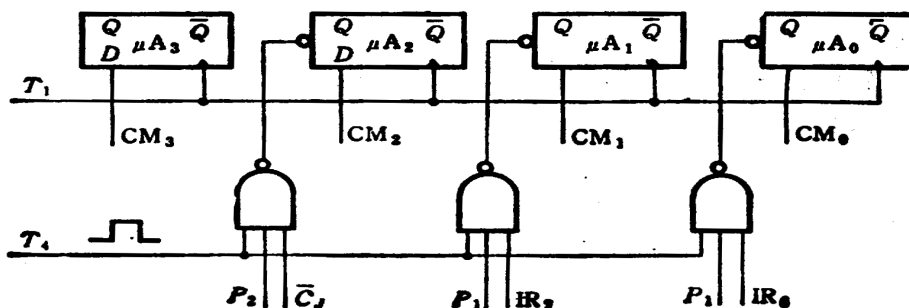
解：从流程图 B14.1 看出，P (1) 处微程序出现四个分支，对应四个微地址。为此用 OP 码修改微地址寄存器的最后两个触发器即可。在 P (2) 处微程序出现 2 路分支，对应两个微地址，此时的测试条件是进位触发器 C_j 的状态。为此用 C_j 修改 μA_2 即可。转移逻辑表达式如下：

$$\mu A_0 = P_1 \cdot T_4 \cdot IR_6,$$

$$\mu A_1 = P_1 \cdot T_4 \cdot IR_7,$$

$$\mu A_2 = P_2 \cdot T_4 \cdot \overline{C_j}.$$

由此可画出微地址转移逻辑。如图 B14.3 所示。



16. (10 分) 硬布线控制器的指令周期, 流程图如图 B15.4 所示。请写出 RD、WE、LDAR、LDDR、LDAC、(+), LDPC 各控制信号逻辑表达式。(其中 W1—W6 为节拍电位信号, 每个节拍电位包含 T1—T4 四个时钟周期信号。)

解: $RD = W_1 + W_5(LDA + ADD)$; 电位控制信号
 $WE = W_6 \cdot STA \cdot T_3$; 脉冲控制信号
 $LDAR = W_1 \cdot T_4 + W_4(LDA + STA + ADD)T_4$; 脉冲控制信号
 $LDDR = W_2 \cdot T_4 + W_5(LDA + STA + ADD)T_4$; 脉冲控制信号
 $LDAC = W_6 \cdot LDA \cdot T_4 + W_6 \cdot ADD \cdot T_4$; 脉冲控制信号
 $LDPC = W_3 \cdot T_4$; 脉冲控制信号
 $(+) = W_6 \cdot ADD$; 电位控制信号

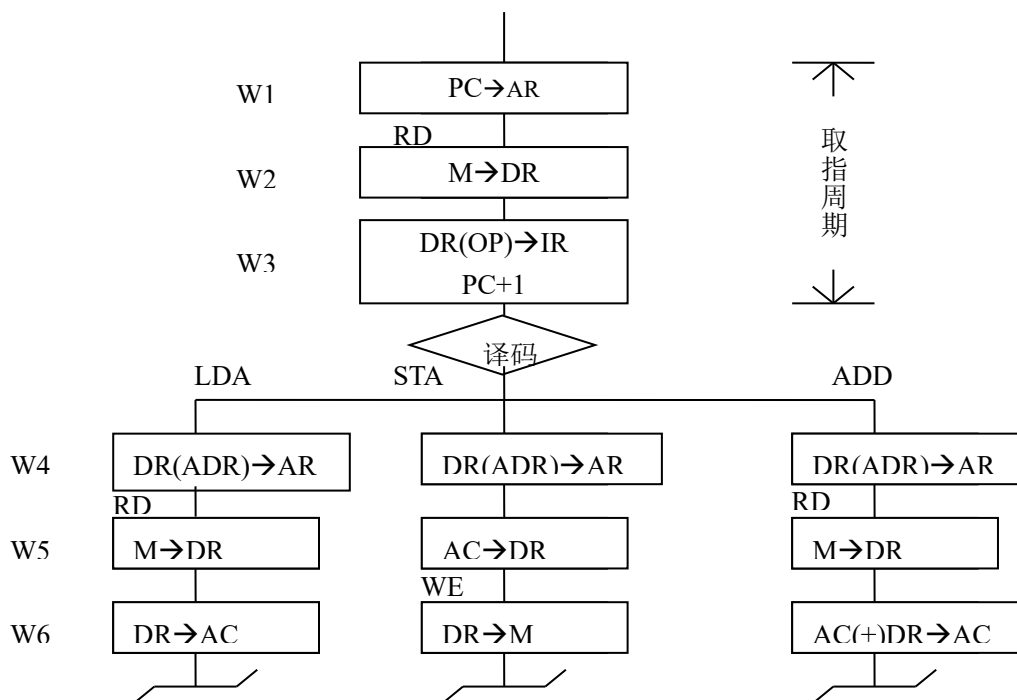


图 B15.4

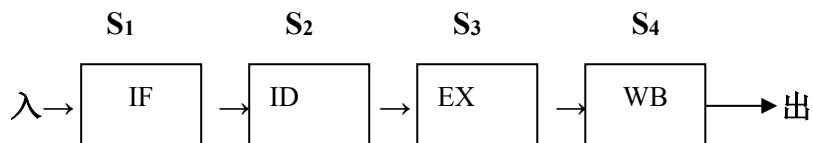
17. (9 分) 证明: 一个 m 段流水线处理器和具有 m 个并行部件的处理器一样具有同等水平的吞吐能力。

解: 设 P_1 是有总延迟时间 t_1 的非流水线处理器, 故其最大吞吐量 (数据带宽) 为 $1/t_1$ 。又设 P_m 是相当于 P_1 的 m 段流水线处理器。其中每一段处理线路具有同样的延迟时间 t_c , 和缓冲寄存器延迟时间 t_r , 故 P_m 的带宽为 $W_m = 1/(t_c + t_r)$ 。如果 P_m 是将 P_1 划分成延迟相同的若干段形成的, 则 $t_1 \approx mt_c$, 因此 P_1 的带宽为 $W_1 = 1/(mt_c)$ 。

由此可得出结论: 条件 $mt_c > (t_c + t_r)$ 满足时, $W_m > W_1$, 即 P_m 比 P_1 有更强的吞吐能力。

18. (9 分) 在流水 CPU 中, 将一条指令从取指到执行结束的任务分割为一系列子任务, 并使各子任务在流水线的各个过程段并发地执行, 从而使流水 CPU 具有更强大的数据吞吐能力。请用时空图法证明这个结论的正确性。

解: 假设指令周期包含四个子过程: 取指令 (IF)、指令译码 (ID)、进行运算 (EX)、结果写回 (WB), 每个子过程称为过程段 (S_i), 这样, 一个流水线由一系列串连的过程段组成。如图 (a) 所示。在统一时钟信号控制下, 数据从一个过程段流向相邻的过程段。

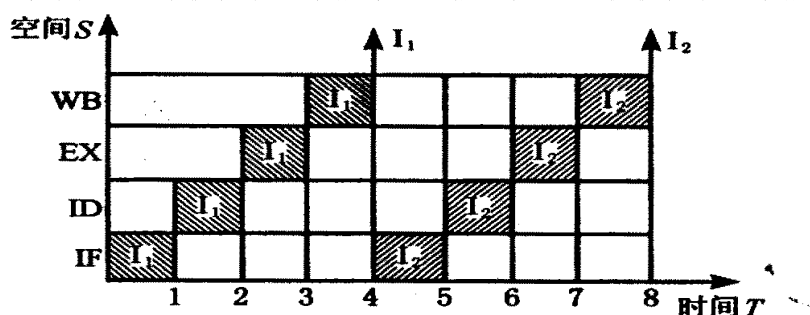


(a)流水过程段

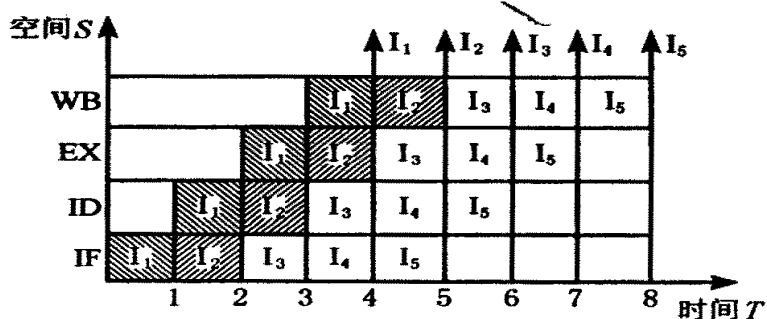
图 B18.4 (B) 表示非流水 CPU 的时空图。由于上一条指令的四个子过程全部执行完毕后才能开始下一条指令，因此每隔 4 个单位时间才有一个输出结果，即一条指令执行结束。

图 B18.4 (C) 表示流水 CPU 的时空图。由于上一条指令与下一条指令的四个过程在时间上可以重叠执行，因此，当流水线满载时，每一个单位时间就可以输出一个结果，即执行一条指令。

比较后发现：流水 CPU 在八个单位时间中执行了 5 条指令，而非流水 CPU 仅执行了 2 条指令，因此流水 CPU 具有更强大的数据吞吐能力。



(b) 非流水线时空图



(c) 标量流水线时空图

第六章 习题集

一. 选择题 (每小题 1 分)

1. 计算机使用总线结构的主要优点是便于实现积木化, 同时 ()。
A. 减少了信息传输量 B. 提高了信息传输的速度
C. 减少了信息传输线的条数 D. 加重了 CPU 的工作量
2. 描述当代流行总线结构中基本概念不正确的句子是 ()。
A. 当代流行总线的结构不是标准总线
B. 当代总线结构中, CPU 和它私有的 cache 一起作为一个模块与总线相连
C. 系统中只允许有一个这样的 CPU 模块
3. 在 () 的微型计算机系统中, 外设可和主存贮器单元统一编址, 因此可以不使用 I/O 指令。
A. 单总线 B. 双总线 C. 三总线 D. 多总线
4. 多总线结构的计算机系统, 采用 () 方法, 对提高系统的吞吐率最有效。
A. 多端口存贮器; B. 提高主存的速度;
C. 交叉编址多模块存贮器; D. 高速缓冲存贮器;
5. 系统总线地址线的功能是 ()。
A. 选择主存单元地址; B. 选择进行信息传输的设备;
C. 选择外存地址; D. 指定主存和 I/O 设备接口电路的地址;
6. 系统总线中控制线的功能是 ()。
A. 提供主存、I/O 接口设备的控制信号响应信号 B. 提供数据信息
C. 提供时序信号 D. 提供主存、I/O 接口设备的响应信号
7. 在集中式总线仲裁中, () 方式响应时间最快, () 方式对电路故障最敏感。
A. 菊花链 B. 独立请求 C. 计数器定时查询
8. 同步传输之所以比异步传输具有较高的传输频率是因为同步传输 ()。
A. 不需要应答信号; B. 总线长度较短;
C. 用一个公共时钟信号进行同步; D. 各部件存取时间较为接近;
9. 描述 PCI 总线中基本概念不正确的句子是 ()。
A. HOST 总线不仅连接主存, 还可以连接多个 CPU
B. PCI 总线体系中有三种桥, 它们都是 PCI 设备
C. 以桥连接实现的 PCI 总线结构不允许许多条总线并行工作
D. 桥的作用可使所有的存取都按 CPU 的需要出现在总线上
10. 描述 PCI 总线中基本概念不正确的句子是 ()。
A. PCI 总线是一个与处理器无关的高速外围总线
B. PCI 总线的基本传输机制是猝发式传送
C. PCI 设备一定是主设备 D. 系统中只允许有一条 PCI 总线
11. 描述 Future bus⁺总线中基本概念不正确的句子是 ()。
A. Future bus⁺ 总线是一个高性能的同步总线标准;
B. 基本上是一个异步数据定时协议;
C. 它是一个与结构、处理器、技术有关的开发标准;
D. 数据线的规模在 32 位、64 位、128 位、256 位中动态可变;

12. 以下描述中基本概念不正确的句子是（ ）。
- A. PCI 总线不是层次总线
 - B. PCI 总线采用异步时序协议和分布仲裁策略
 - C. FUTURE BUS+ 总线能支持 64 位地址
 - D. FUTURE BUS+ 总线适合于高成本的较大规模计算机系统

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	

二. 填空题（每小题 3 分）

- 总线是构成计算机系统的 A（ ），是多个 B（ ）部件之间进行数据传送的 C（ ）通道。
- 总线有 A.（ ）特性，B.（ ）特性，电气特性，C.（ ）特性。
- 微型机的标准总线从 16 位的 A.（ ）总线，发展到 32 位的 B.（ ）总线和 C.（ ）总线，又进一步发展到 64 位的 PCI 总线。
- 衡量总线性能的重要指标是 A.（ ），它定义为总线本身所能达到的最高 B.（ ）。PCI 总线的带宽可达 C.（ ）。
- 当代流行的标准总线追求与 A.（ ）、B.（ ）、C.（ ）无关的开发标准。
- 当代流行的标准总线内部结构包括：A（ ）总线，B（ ）总线，C（ ）总线和公用线。
- 为了解决多个 A（ ）同时竞争总线，B（ ）必须具有 C（ ）部件。
- 总线仲裁部件通过采用 A.（ ）策略或 B.（ ）策略，选择其中一个主设备作为总线的下一次主方，接管 C.（ ）。
- 按照总线仲裁电路的 A（ ）不同，总线仲裁有 B（ ）仲裁和 C（ ）仲裁两种方式。
- 总线定时是总线系统的核心问题之一。为了同步主方、从方的操作，必须制订 A.（ ）。通常采用 B.（ ）定时和 C.（ ）定时两种方式。
- 总线同步定时协议中，事件出现在总线的 A（ ）由 B（ ）信号确定，C（ ）周期的长度是固定的。
- PCI 总线采用 A（ ）协议和 B（ ）仲裁策略，具有 C（ ）能力。

三. 其他题（）

- （9 分）画出单机系统中采用的三种总线结构。

解：见教材 P213-215，图 6.1 6.2 6.3

- （9 分）集中式仲裁有几种方式？画出独立请求方式的逻辑图，说明其工作原理。

解：有三种方式：链式查询方式、计数器定时查询方式、独立请求方式。

独立请求方式结构图见教材 P.222 图 6.9。

- （10 分）图 B18.2 是分布式仲裁器的逻辑结构图，试分析其工作原理。

解：

- 1) 所有参与本次竞争的各主设备将其竞争号 CN 取反后打到 AB 线上，以实现“线或”逻辑。

辑。AB 线上低电平表示至少有一个主设备的 CN_i 为 1，AB 线上的高电平表示所有主设备的 CN_i 为 0；

- 2) 竞争时 CN 与 AB 逐位比较，从最高位 (b_7) 到最低位 (b_0) 以一维菊花链方式进行。只有上一位竞争得胜者 W_{i+1} 为 1，且 $CN_i=1$ ，或者 $CN_i=0$ 并 AB_i 为高电平时，才使 W_i 位为 1。但 $W_i=0$ 时，将一直向下传递，使其竞争号后面的低位不能送上 AB 线。
 - 3) 竞争不过的设备自动撤除其竞争号。在竞争期间，由于 W 位输入的作用，各设备在其内部的 CN 线上保留其竞争号并不破坏 AB 线上的信息。
 - 4) 由于参加竞争的各个设备速度不一致，这个比较过程反复（自动）进行，才有最后稳定的结果。竞争期的时间要足够，保证最慢的设备也能参与竞争。
4. （9 分）总线的一次信息传送过程大致分哪几个阶段？若采用同步定时协议，请画出读数据的时序图来说明。

解：分五个阶段：请求总线，总线仲裁，寻址（目的地址），信息传送，状态返回（错误报告）。同步时序图见教材 P.224 图 6.10（a）

5. （9 分）总线的一次信息传送过程大致分哪几个阶段？若采用异步定时协议，请画出读数据的异步时序图来说明。

解：分五个阶段：请求总线，总线仲裁，寻址（目的地址），信息传送，状态返回（或错误报告）。异步时序图见教材 P.224 图 6.10（b）

CPU 发出读命令信号和存储器地址信号，经一段时延，待信号稳定后，它启动主同步（MSYN）信号，这个信号引发存储器以从同步（SSYN）信号予以响应，并将数据放到数据线上。这个 SSYN 信号使 CPU 读数据，然后撤消（MSYN）信号，MSYN 信号的撤消又使 SSYN 信号撤消，最后地址线、数据线上不再有效信息，于是读数据总线周期结束。

6. （9 分）画出 PCI 总线结构框图，说明 HOST 总线、PCI 总线、LAGACY 总线的功能。

解：PCI 总线结构框图见教材 P.227 图 6.13 所示：

PCI 总线有三种桥，即 HOST / PCI 桥（简称 HOST 桥），PCI / PCI 桥，PCI / LAGACY 桥。

- 1) HOST 总线：该总线又称 CPU 总线、系统总线、主存总线等，它不仅连接主存，还可以连接多个 CPU
- 2) PCI 总线：连接各种高速的 PCI 设备。PCI 设备可以是主设备也可以是从设备，或者兼而有之。系统中允许多余的 PCI 总线。它们可以使用 HOST 桥与 HOST 桥总线相连，也可以使用 PCI/PCI 桥与已经同 HOST 桥连接的 PCI 总线相连。从而可扩充整个系统的 PCI 总线负载能力。
- 3) LAGACY 总线：可以是 ISA、EISA、MCA 等性能较低的传统总线，以便充分利用市场上现有的适配器卡，支持中低速 I/O 设备。

7. （9 分）画出 PCI 总线结构图，说明三种桥的功能。

解：PCI 总线结构框图见教材 P.227 图 6.13

PCI 总线有三种桥，即 HOST / PCI 桥（简称 HOST 桥），PCI / PCI 桥，PCI / LAGACY 桥。在 PCI 总线体系结构中，桥起着重要作用：

- （1）它连接两条总线，使总线间相互通信。
 - （2）桥是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表。
 - （3）利用桥可以实现总线间的猝发式传送。
8. （9 分）PCI 总线周期类型可指定多少种总线命令？实际给出多少种？请说明存储器读 /

写总线周期的功能。

解：可指定 16 种，实际给出 12 种。

存储器读 / 写总线周期以猝发式传送为基本机制，一次猝发式传送总线周期通常由一个地址周期和一个或几个数据周期组成。存储器读 / 写周期的解释，取决于 PCI 总线上的存储器控制器是否支持存储器 / cache 之间的 PCI 传输协议。如果支持，则存储器读 / 写一般是通过 cache 来进行；否则，是以数据非缓存方式来传输。

第七章 习题集

一. 选择题 (每小题 1 分)

1. 带有处理器的设备一般称为 () 设备。
A. 智能化 B. 交互式 C. 远程通信 D. 过程控制
2. 计算机的外围设备是指 ()。
A. 输入/输出设备 B. 外存储器
C. 远程通信设备 D. 除了 CPU 和内存以外的其它设备
3. 在微型机系统中, 外围设备通过 () 与主板的系统总线相连接。
A. 适配器 B. 设备控制器 C. 计数器 D. 寄存器
4. CRT 的分辨率为 1024×1024 像素, 像素的颜色数为 256, 则刷新存储器的容量为 ()。
A. 512KB. B. 1MB. C. 256KB. D. 2MB
5. CRT 的颜色数为 256 色, 则刷新存储器每个单元的字长是 ()。
A 256 位 B. 16 位 C. 8 位 D. 7 位
6. 美国视频电子标准协会定义了一个 VGA 扩展集, 将显示方式标准化, 这称为著名的 () 显示模式。
A. AVGA. B. SVGA. C. VESA. D. EGA
7. 具有自同步能力的记录方式是 ()。
A. NRZ₀ B. NRZ₁ C. PM D. MFM
8. 磁盘驱动器向盘片磁层记录数据时采用 () 方式写入。
A. 并行 B. 串行 C. 并行—串行 D. 串行—并行
9. 采用串行接口进行七位 ASCII 码传送, 带有一位奇偶校验位为 1 位起始位和 1 位停止位, 当波特率为 9600 波特时, 字符传送速率为 ()。
A. 960 B. 873 C. 1371 D. 480
10. 一张 3.5 寸软盘的存储容量为 () MB, 每个扇区存储的固定数据是 ()。
A. 1.44MB. , 512B. B. 1MB, 1024B. C. .2MB, 256B. D. .1.44MB, 512KB
11. 3.5 英寸软盘记录方式采用 () ()。
A. 单面双密度 B. 双面双密度 C. 双面高密度 D. 双面单密度
12. 用于笔记本电脑的外存储器一般是 ()。
A 软磁盘 B. 硬磁盘 C. 固态盘 D. 光盘
13. CD—ROM 光盘是 () 型光盘, 可用做计算机的 () 存储器和数字化多媒体设备。
A. 重写, 内 B. 只读, 外 C. 一次, 外 D. 多次, 内
14. CD—ROM 光盘的标准播放时间为 60 分钟。在计算模式 1 情况下, 光盘的存储容量为 ()。
A. 601MB. B. 527MB. C. 630MB. D. 530MB

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	
13		14		15		16		17		18	

二. 填空题（每小题 3 分）

1. 每一种外设都是在它自己的 A. () 控制下进行工作, 而 A 则通过 B. () 和 C. () 相连并受 C. 控制。
2. 不同的 CRT 显示标准所支持的最大 A. () 和 B. () 数目是 C. () 的。
3. 显示适配器作为 CRT 和 CPU 的接口由 A () 存储器、B () 控制器、C () 三部分组成。
4. VESA 标准是一个可扩展的标准, 它除兼容传统的 A. () 等显示方式外, 还支持 B. () 像素光栅, 每像素点 C. () 颜色深度。
5. 磁表面存储器主要技术指标有 A. (), B. (), C. (), 和数据传输率。
6. 软磁盘和硬磁盘的 A. () 原理与 B. () 方式基本相同, 但在 C. () 和性能上存在较大差别。
7. 重写型光盘分 A. () 和 B. () 两种, 用户可对这类光盘进行 C. () 信息。

三. 其他题 ()

1. (9 分) 刷存的主要性能指标是它的带宽。实际工作时显示适配器的几个功能部分要争用刷存的带宽。假定总带宽的 50% 用于刷新屏幕, 保留 50% 带宽用于其他非刷新功能。

(1) 若显示工作方式采用分辨率为 1024×768 , 颜色深度为 3B, 帧频(刷新速率)为 72Hz, 计算总带宽。

(2) 为达到这样高的刷存带宽, 应采取何种技术措施?

解: (1) 因为 刷新所需带宽 = 分辨率 \times 每个像素点颜色深度 \times 刷新速度

$$\text{所以 } 1024 \times 768 \times 3B \times 72 / S \times 100/50 = 324MB / S$$

(2) 为达到这样高的刷存带宽, 可采用如下技术措施:

- a) 使用高速的 DRAM 芯片组成刷存。
- b) 刷存采用多体交错结构。
- c) 刷存内显示控制器的内部总线宽度由 32 位提高到 64 位, 甚至到 128 位。
- d) 刷存采用双端口存储器结构, 将刷新端口与更新端口分开。

2. (9 分) 刷新存储器的重要性能指标是它的带宽。实际工作时, 显示适配器的几个功能部件要采用刷新存储器的带宽。假定总带宽 60% 用于刷新屏幕, 保留 40% 带宽用于其他非刷新功能。若显示工作方式采用分辨率为 1024×1024 , 颜色深度为 3B, 刷新速率为 72Hz, 计算刷新存储器总带宽是多少?

解：刷新存储器容量=分辨率×每个像素点颜色深度

$$= 1024 \times 1024 \times 3B = 3MB$$

刷新存储器带宽=刷新存储器容量×刷新速率

$$= 3MB \times 72/S = 216MB/S$$

刷新存储器的总带宽应为 $216MB/S \times 100/60 = 360MB/S$

3. (9分) 试分析图 B7.2 所示写电流波形属于何种记录方式。

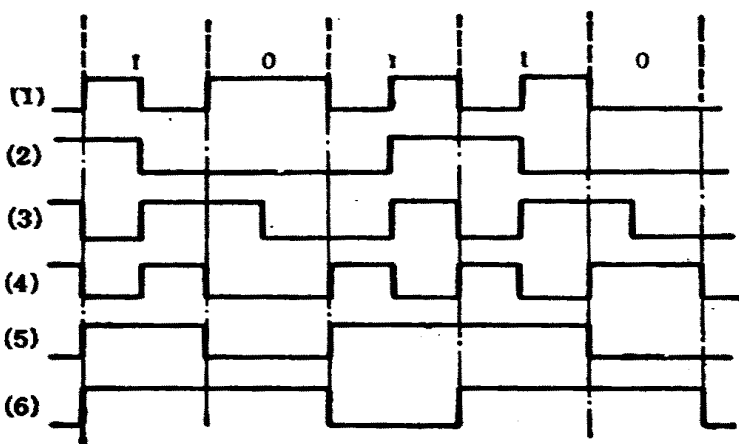


图 B7.2

解：

- (1) 是调频制 (FM);
- (2) 是改进调频制 (MFM);
- (3) 是调相制 (PE);
- (4) 是调频制 (FM);
- (5) 是不归零制 (NRZ);
- (6) 是“见 1 就翻制” (NRZI)。

4. (9分) 试推导磁盘存贮器读写一块信息所需总时间的公式。

解：设读写一块信息所需总时间为 T ，平均找到时间为 T_s ，平均等待时间为 T_L ，读写一块信息的传输时间为 T_m ，则： $T = T_s + T_L + T_m$ 。

假设磁盘以每秒 r 转速率旋转，每条磁道容量为 N 个字，则数据传输率= rN 个字/秒。

又假设每块的字数为 n ，因而一旦读写头定位在该块始端，就能在 $T_m \approx (n / rN)$ 秒的时间中传输完毕。

T_L 是磁盘旋转半周的时间， $T_L = (1/2r)$ 秒，由此可得： $T = T_s + 1/2r + n/rN$ 秒

5. (9分) 某磁盘存贮器转速为 3000 转 / 分，共有 4 个记录面，每毫米 5 道，每道记录信息为 12288 字节，最小磁道直径为 230mm，共有 275 道。问：

- (1) 磁盘存贮器的容量是多少？
- (2) 最高位密度与最低位密度是多少？
- (3) 磁盘数据传输率是多少？
- (4) 平均等待时间是多少？
- (5) 给出一个磁盘地址格式方案。

解：

(1) 每道记录信息容量 = 12288 字节

每个记录面信息容量 = 275×12288 字节

共有 4 个记录面，所以磁盘存储器总容量为：

$$4 \times 275 \times 12288 \text{ 字节} = 13516800 \text{ 字节}$$

(2) 最高位密度 D_1 按最小磁道半径 R_1 计算 ($R_1 = 115mm$):

$$D_1 = 12288 \text{ 字节} / 2\pi R_1 = 17 \text{ 字节} / mm$$

最低位密度 D_2 按最大磁道半径 R_2 计算：

$$R_2 = R_1 + (275 \div 5) = 115 + 55 = 170\text{mm}$$

$$D_2 = 12288 \text{ 字节} / 2\pi R_2 = 11.5 \text{ 字节} / \text{mm}$$

(3) 磁盘传输率 $C = r \cdot N$

$$r = 3000 / 60 = 50 \text{ 周} / \text{秒}$$

$$N = 12288 \text{ 字节 (信道信息容量)}$$

$$C = r \cdot N = 50 \times 12288 = 614400 \text{ 字节} / \text{秒}$$

(4) 平均等待时间 $= 1/2r = 1 / (2 \times 50) = 10 \text{ 毫秒}$

(5) 磁盘存储器假定只有一台，所以可不考虑台号地址。有 4 个记录面，每个记录面有 275 个磁道。假定每个扇区记录 1024 个字节，则需要 $12288 \div 1024 \text{ 字节} = 12 \text{ 个扇区}$ 。由此可得如下地址格式：

14	6 5	4 3	0
柱面（磁道）号	盘面（磁头）号	扇区号	

图 B. 8.4

6. （10 分）有一台磁盘机，其平均寻道时间为了 30ms,平均旋转等待时间为 120ms，数据传输速率为 500B/ms，磁盘机上存放着 1000 件每件 3000B 的数据。现欲把一件数据取走，更新后在放回原地，假设一次取出或写入所需时间为：平均寻道时间+平均等待时间+数据传送时间。另外，使用 CPU 更新信息所需时间为 4ms,并且更新时间同输入输出操作不相重叠。试问：

(1) 磁盘上全部数据需要多少时间？

(2) 若磁盘及旋转速度和数据传输率都提高一倍，更新全部数据需要多少间？

解：(1) 磁盘上总数据量 $= 1000 \times 3000\text{B} = 3000000\text{B}$

$$\text{读出全部数据所需时间为 } 3000000\text{B} \div 500\text{B} / \text{ms} = 6000\text{ms}$$

$$\text{重新写入全部数据所需时间} = 6000\text{ms}$$

所以，更新磁盘上全部数据所需的时间为：

$$2 \times (\text{平均找道时间} + \text{平均等待时间} + \text{数据传送时间}) + \text{CPU 更新时间}$$

$$= 2 (30 + 120 + 6000) \text{ ms} + 4\text{ms} = 12304\text{ms}$$

(2) 磁盘机旋转速度提高一倍后，平均等待时间为 60ms，

数据传输率提高一倍后，数据传送时间变为：

$$3000000\text{B} \div 1000\text{B} / \text{ms} = 3000\text{ms}$$

更新全部数据所需时间为：

$$2 \times (30 + 60 + 3000) \text{ ms} + 4\text{ms} = 6184\text{ms}$$

7. （9 分）已知某磁盘存储器转速为 2400 转/分，每个记录面道数为 200 道，平均查找时间为 60ms，每道存储容量为 96Kbit，求磁盘的存取时间与数据传播率。

解：2400 转 / 分 = 40 转 / 秒

$$\text{平均等待时间为：} 1 / 40 \times 0.5 = 12.5 \text{ (ms)}$$

$$\text{磁盘存取时间为：} 60 \text{ ms} + 12.5\text{ms} = 72.5\text{ms}$$

$$\text{数据传播率：} D_r = r N, N = 96\text{K bit}, r = 40 \text{ 转} / \text{秒}$$

$$D_r = r N = 40 \times 96\text{K} = 3840\text{K (bit/s)}$$

8. （10 分）软盘驱动器使用双面双密度软盘，每面有 80 道，每道 15 扇区，每个扇区存储 512B。已知磁盘转速为 360 转/分，假设找道时间为 10-40ms，今写入 38040B，平均需要

多少时间？最长时间是多久？

解：每道存储容量为： $15 \times 512 \text{B} = 7680 \text{B}$

磁盘转速为： $360 \text{ 转 / 分} = 6 \text{ 转 / 秒}$

访问时间为： $1 / 6 \times 1000 \text{ms} \times 1/2 = 83.3 \text{ ms}$

写入一道数据需用（平均）： $(10 + 40) / 2 + 83.3 = 108.3 \text{ms}$

写入一道数据需用（最多）： $40 + 83.3 = 123.3 \text{ms}$

写入数据所用道数： $38040 \div 7680 = 5 \text{（道）}$

平均所需时间： $108.3 \text{ms} \times 5 = 541.5 \text{ms}$

最长时间： $123.3 \text{ms} \times 5 = 616.5 \text{ms}$

9. （9 分）CD—ROM 光盘的外缘有 5mm 宽的范围因记录数据困难，一般不使用。故标准的播放时间为 60 分钟。请计算模式 1 和模式 2 情况下，光盘存储容量是多少？

解：扇区总数 = $60 \times 60 \times 75 = 270000 \text{（扇区）}$

模式 1 存放计算机程序和数据，其存储容量为

$$270000 \times 2048 / 1024 / 1024 = 527 \text{MB}$$

模式 2 存放声音、图象等多媒体数据，其存储容量为

$$270000 \times 2336 / 1024 / 1024 = 601 \text{MB}$$

第八章 习题集

一. 选择题 (每小题 1 分)

1. 发生中断请求的条件是 ()。
A. 一条指令执行结束 B. 一次 I/O 操作结束
C. 机器内部发生故障 D. 一次 DMA 操作结束
2. 某中断系统中, 每抽取一个输入数据就要中断 CPU 一次, 中断处理程序接收取样的数据, 并将其保存到主存缓冲区内。该中断处理需要 X 秒。另一方面, 缓冲区内每存储 N 个数据, 主程序就将其取出进行处理, 这种处理需要 Y 秒, 因此该系统可以跟踪到每秒 () 次中断请求。
A. $N / (NX + Y)$ B. $N / (X + Y) N$ C. $\min[1 / X, 1 / Y]$ D. $\max[1 / X, 1 / Y]$
3. 在单级中断系统中, CPU 一旦响应中断, 则立即关闭 () 标志, 以防本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。
A. 中断允许 B. 中断请求 C. 中断屏蔽 D. 中断保护
4. 为了便于实现多级中断, 保存现场信息最有效的办法是采用 ()。
A. 通用寄存器 B. 堆栈 C. 存储器 D. 外存
5. CPU 响应中断时, 进入“中断周期”, 采用硬件方法保护并更新程序计数器 PC 内容, 而不是由软件完成, 主要是为了 ()。
A. 能进入中断处理程序, 并能正确返回源程序; B. 节省主存空间;
C. 提高处理机速度; D. 易于编制中断处理程序;
6. 中断向量地址是: ()。
A. 子程序入口地址 B. 中断服务例行程序入口地址
C. 中断服务例行程序入口地址的指示器 D. 中断返回地址
7. 一台计算机对 n 个数据源进行分时采集, 送入主存, 然后分时处理。采集数据时, 最好的方案是使用 ()。
A. 堆栈缓冲区 B. 一个指针的缓冲区
C. 两个指针的单缓冲区 D. n 个指针的 n 个缓冲区
8. 周期挪用方式常用于 () 方式的输入/输出中。
A. DMA. B. 中断 C. 程序传送 D. 通道
9. 采用 DMA 方式传送数据时, 每传送一个数据就要用一个 () 时间。
A. 指令周期 B. 机器周期 C. 存储周期 D. 总线周期
10. 通道对 CPU 的请求形式是 ()。
A. 自陷 B. 中断 C. 通道命令 D. 跳转指令
11. 下述 I/O 控制方式中, () 主要由程序实现。
A. PPU 方式 B. 中断方式 C. DMA 方式 D. 通道方式
12. 为了使设备相对独立, 磁盘控制器的功能全部转移到设备中, 主机与设备间采用 () 接口。
A. SCSI B. 专用 C. ESDI D. RISC
13. I/O 标准接口 SCSI 中, 一块主适配器可以连接 () 台具有 SCSI 接口的设备。
A. 6 B. 7--15 C. 8 D. 10
14. IEEE1394 所以能实现数据传送的实时性, 是因为 ()。

- A. 除异步传送外，还提供等步传送方式； B. 提高了时钟频率；
 C. 除优先权仲裁外，还提供均等仲裁，紧急仲裁两种总线仲裁方式；
15. IEEE1394 的高速特性适合于新型高速硬盘和多媒体数据传送，它的数据传输率可以是（ ）。
- A. 100 兆位 / 秒 B. 200 兆位 / 秒 C. 400 兆位 / 秒 D. 300 兆位 / 秒

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	C	5	C	6	C
7	B	8	A	9		10		11		12	
13		14		15		16		17		18	

二. 填空题（每小题 3 分）

1. 在计算机系统中，CPU 对外围设备的管理处程序查询方式、程序中断方式外，还有 A（ ）方式，B（ ）方式，和 C（ ）方式。
2. 中断处理要求有中断 A.（ ），中断 B.（ ）产生，中断 C.（ ）等硬件支持。
3. DMA 和 CPU 分时使用内存的三种方式是：A（ ），B（ ），C（ ）。
4. DMA 控制器按其 A.（ ）结构，分为 B.（ ）型和 C.（ ）型两种。
5. 多路型 DMA 控制器不仅在 A（ ）上而且在 B（ ）上可以连接多个设备，适合于连接 C（ ）设备。
6. 通道与 CPU 分时使用 A.（ ），实现了 B.（ ）内部数据处理和 C.（ ）并行工作。

三. 其他题（）

1. （9 分）CPU 响应中断应具备哪些条件？画出中断处理过程流程图。

解：条件：

- （1）在 CPU 中的中断屏蔽触发器 IM 必须是开放的。
- （2）外设有中断请求时，中断请求触发器 IR 必须处于“1”状态，保持中断请求信号。
- （3）外设接口中中断允许触发器 EI 必须为“1”，这样才能把外设中断请求送至 CPU。
- （4）当上述三个条件具备时，CPU 在现行指令结束的最后一个机器周期响应中断。

中断处理过程流程图见教材 P.276 图 8.3。

2. （9 分）画出程序中断方式基本接口示意图，简要说明 IM, IR, EI, RD, BS 五个触发器的作用。

解：五个触发器的作用：

中断屏蔽触发器（Im）：CPU 是否受理中断或批准中断的标志。Im 标志为“0”时，CPU 可受理外界中断请求。

中断请求触发器（IR）：暂存中断请求线上由设备发出的中断请求信号，IR 标志为“1”时，表示设备发出了中断请求。

允许中断触发器（EI）：用程序指令来置位，控制是否允许某设备发出中断请求。IE 为“1”时，某设备可以向 CPU 发出请求。

准备就绪的标志（RD）：一旦设备做好一次数据的接收或发送，便发出一个设备动作完毕信号，使 RS 标志为“1”。

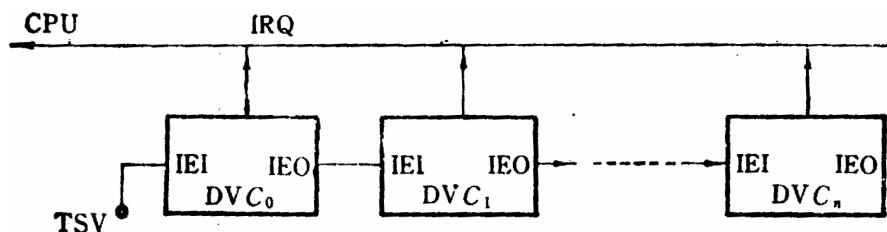
工作触发器（BS）：设备“忙”的标志。BS=1，表示启动设备工作。

程序中断方式基本接口示意图见教材 P.277 图 8.4。

3. (9 分) 单级中断中, 采用串行排队链法来实现具有公共请求线的中断优先级识别, 请画出中断向量为 001010, 001011, 001000 三个设备的判优识别逻辑图。

解: 令中断向量 001010 为 A 设备, 001011 为 B 设备, 001000 为 C 设备, 三个设备的判优识别, 逻辑图见教材 P.279 图 8.6。

4. (9 分) 某机器的中断系统采用一级链路排队, 优先级别由设备距 CPU 的物理位置决定 (远低近高), 如图 B14.2 所示, DVC_0 是扫描仪, DVC_1 是打印机……。如在某一时刻, 扫描仪和打印机均产生一个事件, 试问 IRQ 上的请求是谁发的? 为什么? 这一结论总是成立吗?



解: 当扫描仪和打印机同时产生一个事件时, IRQ 上的请求是扫描仪发的。因为这种链路排队的设备只有当其 IEI 高时, 才能发出中断请求, 并且该设备有中断请求时其 IEO 为低, 因此其后的设备就不可能发出中断请求信号。但是若扫描仪接口中的屏蔽触发器被置位即被屏蔽, 则 IEO 上的请求信号将是打印机发出的。

5. (9 分) 如图 B9.2 所示的系统中断机构是采用单级优先中断结构, 设备 A 连接于最高优先级, 设备 B 次之, 设备 C 又次之。要求 CPU 在执行完当前指令时转而对中断请求进行服务, 现假设: T_{DC} 为查询链中每个设备的延迟时间, T_A 、 T_B 、 T_C 分别为设备 A、B、C 的服务程序所需的执行时间, T_S 、 T_R 为保存现场和恢复现场所需时间。

试问: 在此环境下, 此系统在什么情况下达到中断饱和? 即在确保请求服务的三个设备都不会丢失信息的条件下, 允许出现中断的极限频率有多高? 注意, “中断允许”机构在确认一个新中断之前, 先要让即将被中断的程序的一条指令指令执行完毕。

解: 假设主存工作周期为 T_M , 执行一条指令的时间也设为 T_M 。则中断处理过程和各时间段如图 B9.4 所示。当三个设备同时发出中断请求时, 依次处理设备 A、B、C 的时间如下:

$$t_A = 2T_M + 3T_{DC} + T_S + T_A + T_R$$

$$t_B = 2T_M + 2T_{DC} + T_S + T_B + T_R$$

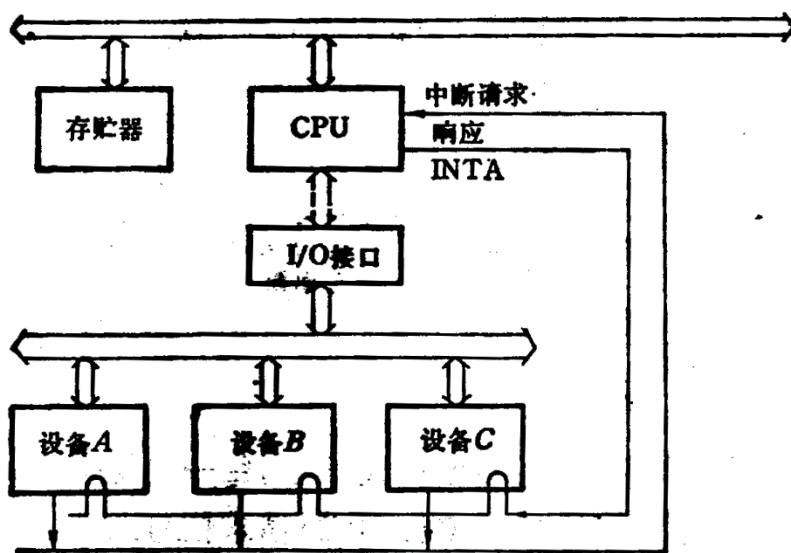


图 B9.2

$$t_C = 2T_M + T_{DC} + T_S + T_C + T_R$$

达到中断饱和的时间为: $T = t_A + t_B + t_C$ 中断极限频率为: $f = 1/T$

6. (10分) 如果图 B9.2 所示的系统采用多级优先中断结构, 它要求 CPU 在执行完当前指令时转而对中断请求进行服务。设备 A 连接于最高优先级, 设备 B 次之, 设备 C 又次之。IRQ 为中断请求信号, INT 为 CPU 发出的中断响应信号。

现假设: T_{DC} 为硬件中断周期时间; T_A , T_B , T_C 分别为设备 A, B, C 的服务程序执行时间; T_S , T_R 为保存现场和恢复现场所需时间。

请问: 这种中断结构在什么情况下达到中断饱和?

解: 假设主存工作周期为 T_M , 执行一条指令的时间也设为 T_M 。则中断处理过程和各时间段如图 B18.6 所示。当三个设备同时发出中断请求时, 依次处理设备 A、B、C 的时间如下:

$$t_A = 2T_M + T_{DC} + T_S + T_A + T_R$$

$$t_B = 2T_M + T_{DC} + T_S + T_B + T_R$$

$$t_C = 2T_M + T_{DC} + T_S + T_C + T_R$$

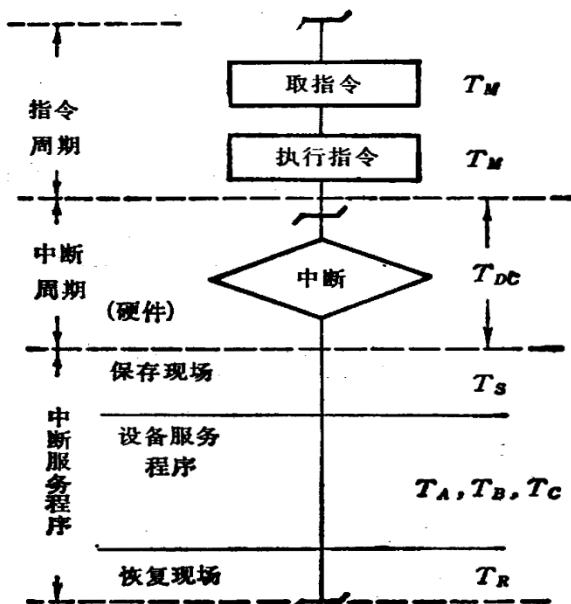
达到中断饱和的时间为:

$$T = t_A + t_B + t_C$$

中断极限频率为: $f = 1/T$

7. (9分) 参见教材 P.280 图 8.7, 这是一个二维中断系统, 请问:

- (1) 在中断情况下, CPU 和设备的优先级如何考虑? 请按降序排列各设备的中断优先级。
- (2) 若 CPU 现执行设备 B 的中断服务程序, IM_0, IM_1, IM_2 的状态是什么? 如果 CPU 的执行设备 D 的中断服务程序, IM_0, IM_1, IM_2 的状态又是什么?
- (3) 每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽? 如果不能, 采取什么方法可达到目的?
- (4) 若设备 C 一提出中断请求, CPU 立即进行响应, 如何调整才能满足此要求?

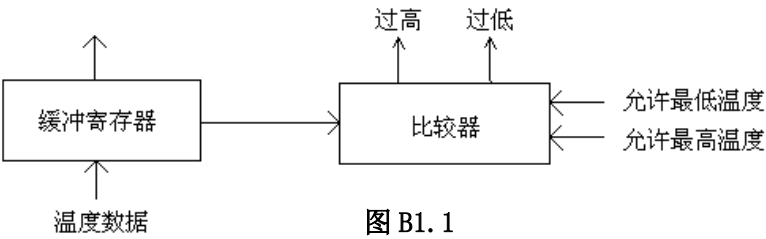


解:

- (1) 在中断情况下, CPU 的优先级最低。各设备优先级次序是: A-B-C-D-E-F-G-H-I-CPU
- (2) 执行设备 B 的中断服务程序时 $IM_0IM_1IM_2=111$; 执行设备 D 的中断服务程序时 $IM_0IM_1IM_2=011$ 。
- (3) 每一级的 IM 标志不能对某优先级的个别设备进行单独屏蔽。可将接口中的 BI (中断允许) 标志清“0”, 它禁止设备发出中断请求。
- (4) 要使 C 的中断请求及时得到响应, 可将 C 从第二级取出, 单独放在第三级上, 使第三级的优先级最高, 即令 $IM_3=0$ 即可。

8. (9 分) 某机用于生产过程中的温度数据采集，每个采集器含有 8 位数据缓冲寄存器一个，比较器一个，能与给定范围比较，可发出“温度过低”或“温度过高”的信号，如图 B1.1 所示。主机采用外设单独编址，四个采集器公用一个设备码，共用一个接口，允许采用两种方式访问：

(1) 定期巡回检测方式，主机可编程指定访问该设备中的某一采集器。



(2) 中断方式，当采集温度比给定范围过底或过高时能提出随机中断请求，主机应能判别是哪一个采集器请求，是温度过低或过高。

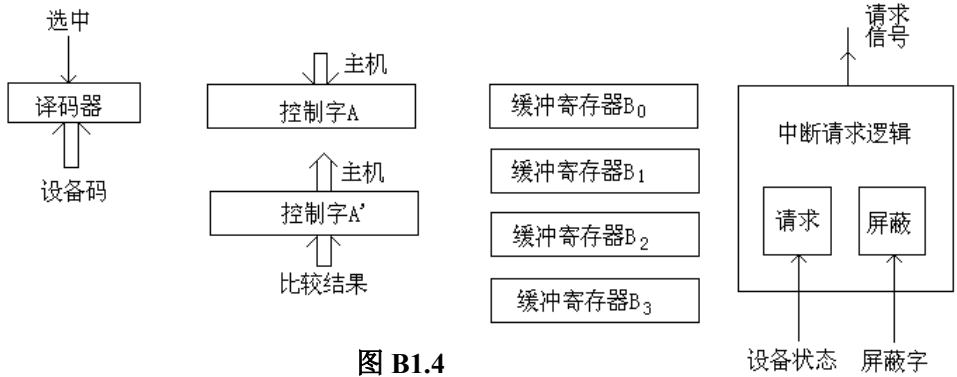
请拟定该接口中有哪些主要部件（不要求画出完整的连线图），并概略说明在两种方式下的工作原理。

解：数据采集接口方案设计如图 B1.4 所示。

现结合两种工作方式说明上述部件的工作。

(1) 定期巡检方式

主机定期以输出指令 DOA、设备码；（或传送指令）送出控制字到 A 寄存器，其中用四位分别指定选中的缓冲寄存器（四个 B 寄存器分别与四个采集器相应）。然后，主机以输入指



令 DIA、设备码；（或传送指令）取走数据。

(2) 中断方式

比较结果形成状态字 A'，共 8 位，每二位表示一个采集器状态：00 正常，01 过低，10 过高。有任一处不正常（A' 中有一位以上为“1”）都将通过中断请求逻辑（内含请求触发器、屏蔽触发器）发出中断请求。中断响应后，服务程序以 DIA、设备码；或传送指令）取走状态字。可判明有几处采集数据越限、是过高或过低，从而转入相应处理。

9. (9分) 图 B3.2 是从实时角度观察到的中断嵌套。试问, 这个中断系统可以实行几重中断? 并分析图 B3.2 的中断过程。

解: 该中断系统可以实行 5 重中断, 中断优先级的顺序是, 优先权 1 最高, 主程序运行于最低优先权 (优先权为 6)。

图 B3.2 中出现了 4 重中断。中断过程如下: 主程序运行到 T_1 时刻, 响应优先权 4 的中断源的中断请求并进行中断服务; 到 T_3 时刻, 优先权 4 的中断服务还未结束, 但又出现了优先权 3 的中断源的中断请求; 暂停优先权 4 的中断服务, 而响应优先权 3 的中断。

到 T_4 时刻, 又被优先权 2 的中断源所中断, 直到 T_6 时刻, 返回优先权 3 的服务程序, 到 T_7 时刻, 又被优先权 1 的中断源所中断, 到 T_8 时刻, 优先权 1 的中断服务完毕, 返回优先权 3 的服务程序, 直到 T_{10} 优先权 3 的中断服务结束, 返回优先权 4 的服务程序, 优先权 4 的服务程序到 T_{11} 结束, 最后返回主程序。

图 B3.2 中, 优先权 3 的服务程序被中断 2 次。而优先权 5 的中断未产生。

10. (9分) 某 I/O 系统有四个设备: 磁盘 (传输速率为 500000 位/秒), 磁带 (200000 位/秒), 打印机 (2000 位/秒), CRT (1000 位/秒), 试用中断方式, DMA 方式组织此 I/O 系统。(画出包括 CPU 部分总线控制在内的 I/O 方式示意图, 并略作文字说明)。

解: I/O 系统组成如图 B10.6 所示:

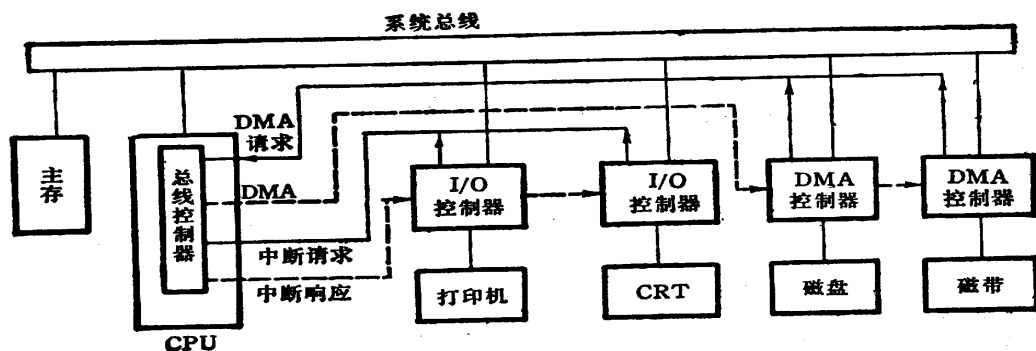
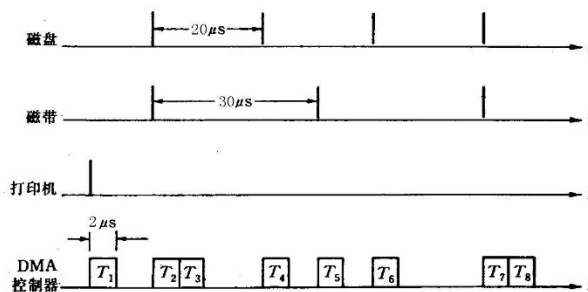


图 B.10.6

根据设备传输速率不同, 磁盘、磁带采用 DMA 方式, 打印机、CRT 采用中断方式; 因而使用了独立请求与链式询问相结合的二维总线控制方式。DMA 请求的优先权高于中断请求线。每一对请求线与响应线又是一对链式查询电路。

11. (9分) 磁盘、磁带、打印机三个设备同时工作。磁盘以 $20\mu\text{s}$ 的间隔发DMA请求, 磁带以 $30\mu\text{s}$ 的间隔发DMA请求, 打印机以 $120\mu\text{s}$ 的间隔发DMA请求, 假设DMA控制器每完成一次DMA传输所需时间为 $2\mu\text{s}$, 画出多路DMA控制器工作时空图。



解: 答案如图 B4.1

12. (9分) 1) SCSI 标准接口有什么特点?

2) 若设备的优先级依次为 CD-ROM、扫描仪、硬盘、磁带机、打印机, 请用标准接口 SCSI 进行配置, 画出配置图。

解: SCSI 接口的特点有以下几方面:

- ①SCSI 接口总线由八条数据线、一条奇偶校验线, 9 条控制线组成。
- ②总线时钟频率为 5MHZ, 其中异步传输率为 2.5MB/S, 同步传输数据传输率为 5MB/S
- ③SCSI 接口总线以菊花链的方式最多连接 8 台设备。
- ④每台 SCSI 设备都有自己的唯一的设备号 $ID_0—ID_7$ 。
- ⑤由于 SCSI 设备是智能设备, 对 SCSI 总线以至主机屏蔽了实际外设的固有物理属性, 各个 SCSI 设备之间可以用一套标准的命令来进行数据传送, 也为设备的升级或系统的系列化提供了灵活的处理手段。
- ⑥各个设备之间是对等的关系, 而不是从属。

- 2) 配置图如下:

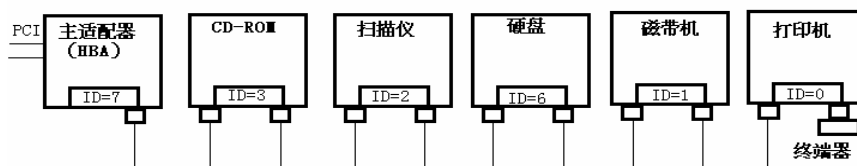


图 B11.4