

一、选择题（每小题 2 分，共 30 分）

- 1 冯·诺依曼机工作的基本方式的特点是（ ）。
A 多指令流单数据流
B 按地址访问并顺序执行指令
C 堆栈操作
D 存贮器按内容选择地址
- 2 在机器数（ ）中，零的表示形式是唯一的。
A 原码 B 补码 C 移码 D 反码
- 3 在定点二进制运算器中，减法运算一般通过（ ）来实现。
A 原码运算的二进制减法器 B 补码运算的二进制减法器
C 原码运算的十进制加法器 D 补码运算的二进制加法器
- 4 某计算机字长 32 位，其存储容量为 256MB，若按单字编址，它的寻址范围是（ ）。
A 0—64MB B 0—32MB C 0—32M D 0—64M
- 5 主存贮器和 CPU 之间增加 cache 的目的是（ ）。
A 解决 CPU 和主存之间的速度匹配问题
B 扩大主存贮器容量
C 扩大 CPU 中通用寄存器的数量
D 既扩大主存贮器容量，又扩大 CPU 中通用寄存器的数量
- 6 单地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个常需采用（ ）。
A 堆栈寻址方式 B 立即寻址方式
C 隐含寻址方式 D 间接寻址方式

7 同步控制是（ ）。

- A 只适用于 CPU 控制的方式
- B 只适用于外围设备控制的方式
- C 由统一时序信号控制的方式
- D 所有指令执行时间都相同的方式

8 描述 PCI 总线中基本概念不正确的句子是（ ）。

- A PCI 总线是一个与处理器无关的高速外围设备
- B PCI 总线的基本传输机制是猝发式传送
- C PCI 设备一定是主设备
- D 系统中只允许有一条 PCI 总线

9 CRT 的分辨率为 1024×1024 像素，像素的颜色数为 256，则刷新存储器的容量为（ ）。

- A 512KB
- B 1MB
- C 256KB
- D 2MB

10 为了便于实现多级中断，保存现场信息最有效的办法是采用（ ）。

- A 通用寄存器
- B 堆栈
- C 存储器
- D 外存

11 特权指令是由（ ）执行的机器指令。

- A 中断程序
- B 用户程序
- C 操作系统核心程序
- D I/O 程序

12 虚拟存储技术主要解决存储器的（ ）问题。

- A 速度
- B 扩大存储容量
- C 成本
- D 前三者兼顾

13 引入多道程序的目的在于（ ）。

- A 充分利用 CPU，减少等待 CPU 时间
- B 提高实时响应速度
- C 有利于代码共享，减少主辅存信息交换量

D 充分利用存储器

14 在安腾处理机中，控制推测技术主要用于解决（ ）问题。

A 中断服务

B 与取数指令有关的控制相关

C 与转移指令有关的控制相关

D 与存数指令有关的控制相关

15 64 位双核安腾处理机采用了（ ）技术。

A 流水

B 时间并行

C 资源重复

D 流水+资源重复

二、填空题（每小题 2 分，共 12 分）

1 在计算机术语中，将 ALU 控制器和（ ）存储器合在一起称为（ ）。

2 广泛使用的（ ）和（ ）都是半导体随机读写存储器。前者的速度比后者快，但集成度不如后者高。

3 反映主存速度指标的三个术语是存取时间、（ ）和（ ）。

4 CPU 从（ ）取出一条指令并执行这条指令的时间和称为（ ）。

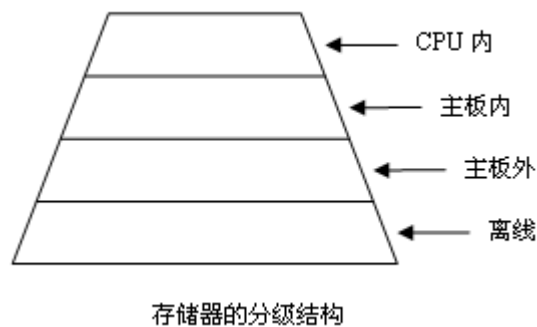
5 RISC 指令系统的最大特点是：只有（ ）指令和（ ）指令访问存储器，其余指令的操作均在寄存器之间进行。

6 安腾体系机构采用显示并行指令计算技术，在指令中设计了（ ）字段，用以指明哪些指令可以（ ）执行。

三、简答题（每小题 8 分，共 16 分）

1 多媒体 CPU 的技术特征有哪些？

2 下图表示存储器的分级结构，请在相应的框内填入适当的存储器名称。



四、计算题（10 分）

已知： $x=+0.100111$ ， $y=+0.111$ 。采用阵列除法器方式计算 $x \div y=?$

五、分析题（10 分）

某加法器进位链小组信号为 $C_4C_3C_2C_1$ ，低位来的进位信号为 C_0 ，请分别用下述两种方法写出 $C_4C_3C_2C_1$ 的逻辑表达式：

- (1) 串行进位方式
- (2) 并行进位方式

六、分析题（10 分）

下表列出基本寻址方式名称，请在算法一列中写出操作数的物理位置或有效地址 EA 的表达式。

寻址方式名称	EA 算法	说明
隐含寻址		
立即寻址		A 是指令中字段
直接寻址		A 是指令中字段
间接寻址		A 是指令中字段
寄存器寻址		R 为通用寄存器字段
寄存器间接寻址		R 为通用寄存器字段
变址寻址		A 是指令中字段
堆栈寻址		

七、设计题（12 分）

利用 $1\text{M} \times 8$ 位的 DRAM 芯片，设计一个存储容量为 $4\text{M} \times 8$ 位的存储器，画出地址总线、数据总线、控制总线（E#、R/W#、CS#）及分组译码器的连接图。