

一、选择题 (每题 2 分, 共 32 分)

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	B	2	A	3	B	4	B	5	B	6	D
7	C	8	B	9	A	10	B	11	B	12	B
13	C	14	A	15	A	16	B	/	/	/	/

二、填空题 (每空 1 分, 共 28 分)

题号	空 ① 答案	空 ② 答案	空 ③ 答案
1	符号位	数值域 (尾数)	/
2	容量	位扩展法	字扩展法
3	控制存储器	地址转移逻辑	微地址寄存器
4	指数	对阶	/
5	顺序寻址	跳跃寻址	/
6	集中式	分布式	/
7	停止 CPU 访内	周期挪用	DMA 和 CPU 交替访内
8	刷新存储器	显示控制器	图形加速
9	电气特性	功能特性	时间特性
10	选择通道	数组多路通道	字节多路通道
11	HOST/PCI 桥 (HOST 桥)	PCI/PCI 桥	/

三、计算、分析题

1、解: (12 分)

$[x]_{\text{原}} = 1.01111$ $[x]_{\text{补}} = 1.10001$ (1 分) 所以: $[-x]_{\text{补}} = 0.01111$ (1 分)

$[y]_{\text{原}} = 0.11001$ $[y]_{\text{补}} = 0.11001$ (1 分) 所以: $[-y]_{\text{补}} = 1.00111$ (1 分)

$$\begin{array}{r}
 [x]_{\text{补}} \quad 11.10001 \\
 + \quad [y]_{\text{补}} \quad 00.11001 \\
 \hline
 [x+y]_{\text{补}} \quad 00.01010
 \end{array}
 \qquad
 \begin{array}{r}
 [x]_{\text{补}} \quad 11.10001 \\
 + [-y]_{\text{补}} \quad 11.00111 \\
 \hline
 [x-y]_{\text{补}} \quad 10.11000
 \end{array}$$

所以: $x+y = +0.01010$ (4 分) 因为符号位相异, 结果发生溢出 (4 分)

2、解: (12 分)

(1) 由于主存地址码给定 18 位, 所以最大空间为 $2^{18} = 256\text{K}$, 主存的最大容量为 256K。现在每个模块板的存储容量为 32KB, 所以主存共需 $256\text{KB}/32\text{KB} = 8$ 块板。(3 分)

(2) 每个模块板的存储容量为 32KB, 现用 $4\text{K} \times 4$ 位的 SRAM 芯片。每块板采用位并联与地址串联相结合的方式: 即用 2 片 SRAM 芯片拼成 $4\text{K} \times 8$ 位 (共 8 组), 用地址码的低 12 位 ($A_0 \sim A_{11}$) 直接接到芯片地址输入端, 然后用地址码的高 3 位 ($A_{14} \sim A_{12}$) 通过 3: 8 译码器输出分别接到 8 组芯片的片选端。共 $8 \times 2 = 16$ 个 SRAM。(3 分)

(3) 根据前面所得, 共有 8 个模板, 每个模板上有 16 片芯片, 故主存共需 $8 \times 16 = 128$ 片芯片 (SRAM)。(3 分)

CPU 选择各模块板的方法是: 各模块板均用地址码 $A_0 \sim A_{14}$ 译码, 而各模块的选择用地址码最高三位 A_{17}, A_{16}, A_{15} 通过 3: 8 译码器输出进行选择。(3 分)

3、解: (6 分)

(1) 操作码字段为 6 位, 可指定 $2^6 = 64$ 种操作, 即 64 条指令。(2 分)

(2) 单字长 (32) 二地址指令, 用于访问存储器。(2 分)

(3) 一个操作数在源寄存器 (共 16 个), 另一个操作数在存储器中 (由变址寄存器内容 + 偏移量决定), 所以是 RS 型指令。(2 分)

4、解: (10 分)

此指令为 RS 型指令, 一个操作数在 R1 中, 另一个操作数在 R2 为地址的内存单元中, 相加结果放在 R1 中。(3 分)

“ADD R1, (R2)”指令的指令周期流程图如图 A-01 所示。(7 分)

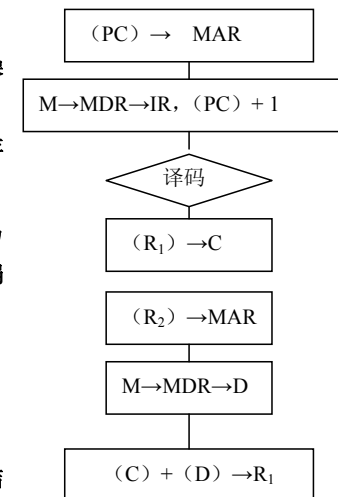


图 A-01