

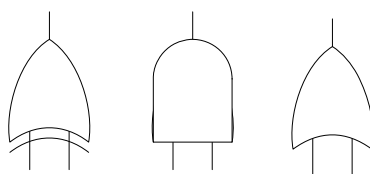
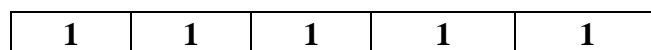
一、填空题

- 1 多路型 DMA 控制器不仅在（ ）上而且在（ ）上可以连接多个设备，适合于连接（ ）设备。
- 2 多个用户共享主存时，系统应提供（ ）。通常采用的方法是（ ）和（ ），并用硬件来实现。
- 3 当今的 CPU 芯片除了包括定点运算器、操作控制器外，还包括（ ）运算器、（ ）和（ ）管理部件
- 4 流水 CPU 中的主要问题是（ ）相关、（ ）相关和（ ）相关。为此，需要采用相应的技术对策才能保证流水畅通而不断流。
- 5 对存储器的要求是容量大、速度快、成本低，为了解决这三个方面的矛盾，计算机采用了多级存储体系结构，即（ ）、（ ）和（ ）。
- 6 一个较完善的指令系统，应当有（ ）、（ ）、（ ）、（ ）四大类指令。
- 7 机器指令对四种类型的数据进行操作，这四种数据类型包括（ ）型数据、（ ）型数据、（ ）型数据和（ ）型数据。
- 8 CPU 中保存当前正在执行的指令的寄存器是（ ），指示下一条指令地址的寄存器是（ ），保存算术逻辑运算结果的寄存器是（ ）和（ ）。
- 9 运算器和控制器合在一起称为（ ），而将（ ）和存储器合在一起称为（ ）。
- 10 广泛使用的（ ）和（ ）都是半导体随机读写存储器，而（ ）存储器同时具有 RAM 和 ROM 的特点。

二、简答题

一位全加器的真值表如下所示，且给定如下 3 钟器件：

输入			输出	
Ai	Bi	Ci-1	Si	Ci
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1



异或门 与门 或门

(1)设计一个 32 位字长的串行进位加法器，画出最低 2 位全加器逻辑图。其中 A_i 、 B_i 是加数， C_{i-1} 是低位来的进位信号， S_i 是求和输出， C_i 是进位输出。

(2)设异或门传输延迟时间 40ns，与门、或门的传输延迟时间为 20ns，求加法器完成一次加法运算的最长时间。

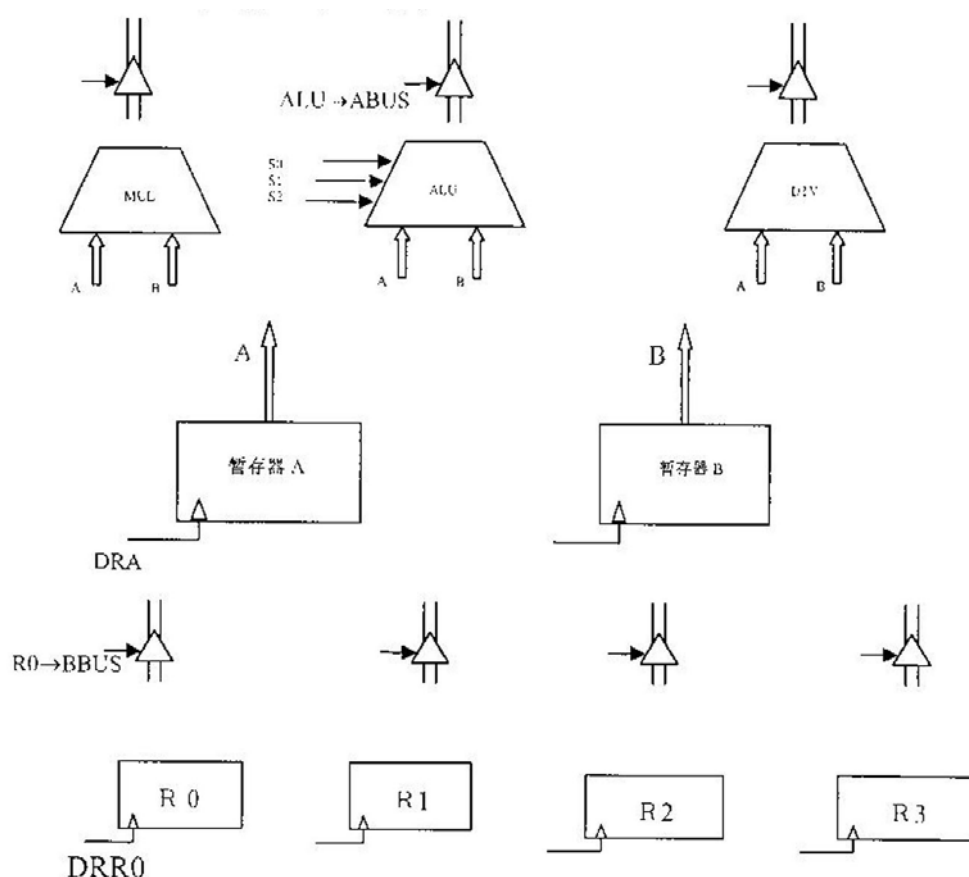
三、简答题

写出下表寻址方式中操作数有效地址 E 的算法。

序号	寻址方式名称	有效地址 E	说明
1	立即		操作数在指令中
2	寄存器		操作数在某通用寄存器 R_i 中
3	直接		D 为偏移量
4	寄存器间接		(R_i) 为主存地址指示器
5	基址		B 为基址寄存器
6	基址+偏移量		
7	比例变址+偏移量		I 为变址寄存器，S 比例因子
8	基址+变址+偏移量		
9	基址+比例变址+偏移量		
10	相对		PC 为程序计数器

四、设计题

定点运算器有如下功能部件，如下图所示。1 个 ALU（由 $S_0S_1S_2$ 指定 8 种运算功能）；1 个阵列乘法器 MUL；1 个阵列除法器 DIV；暂存器 A 和暂存器 B；4 个通用寄存器 $R_0 \sim R_3$ ；7 个三态门。



- 请设计运算器的数据通路，其中数据线为双线，控制线为单线，要求：
- (1)设计 2 条数据总线（ABUS，BBUS），将上述功能部件完整的连接起来；
 - (2)标出每个功能部件的控制信号（寄存器和暂存器为打入控制信号，如 DDR0；其他部件为操作控制信号，如三态门控制信号 ALU→ABUS）。
 - (3)共有多少个电位控制信号？多少个脉冲控制信号？这些控制信号来自何处？

五、设计题

针对第四题中设计的运算器数据通路，设计微程序控制器的微指令格式。假定微指令判别测试字段为 3 位（P0，P1，P2），下址字段为 6 位（ $\mu A0 \sim \mu A5$ ），微命令采用直接控制。

- (1)微指令字长多少位？
- (2)控制存储器容量是多少个单元？字长是多少位？
- (3)画出微指令格式（只考虑运算器数据通路）。
- (4)画出微程序控制器组成框图。

六、设计题

某 I/O 系统中有四个设备，它们的数据传输率为：磁盘（500000 位/秒），磁带（200000 位/秒），打印机（3000 位/秒），显示器（2000 位/秒）。请用中断方式、DMA 方式组织此 I/O 系统，画出包括主存、CPU 中总线仲裁器在内的 I/O 方式结构框图（注意设备的优先级）。