

一、选择题（每小题 1 分，共 15 分）

1 下列数中最小的数是（ ）。

A $(101001)_2$ B $(52)_8$ C $(101001)_{BCD}$ D $(233)_{16}$

2 某 DRAM 芯片，其存储容量为 512×8 位，该芯片的地址线和数据线的数目是（ ）。

A 8, 512 B 512, 8 C 18, 8 D 19, 8

3 在下面描述的汇编语言基本概念中，不正确的表述是（ ）。

- A 对程序员的训练要求来说，需要硬件知识
- B 汇编语言对机器的依赖性高
- C 用汇编语言编写程序的难度比高级语言小
- D 汇编语言编写的程序执行速度比高级语言慢

4 交叉存储器实质上是一种多模块存储器，它用（ ）方式执行多个独立的读写操作。

A 流水 B 资源重复 C 顺序 D 资源共享

5 寄存器间接寻址方式中，操作数在（ ）。

A 通用寄存器 B 主存单元 C 程序计数器 D 堆栈

6 机器指令与微指令之间的关系是（ ）。

- A 用若干条微指令实现一条机器指令
- B 用若干条机器指令实现一条微指令
- C 用一条微指令实现一条机器指令
- D 用一条机器指令实现一条微指令

7 描述多媒体 CPU 基本概念中，不正确的是（ ）。

A 多媒体 CPU 是带有 MMX 技术的处理器

- B MMX 是一种多媒体扩展结构
- C MMX 指令集是一种多指令流多数据流的并行处理指令
- D 多媒体 CPU 是以超标量结构为基础的 CISC 机器
- 8 在集中式总线仲裁中，（ ）方式对电路故障最敏感。
- A 菊花链 B 独立请求 C 计数器定时查询
- 9 流水线中造成控制相关的原因是执行（ ）指令而引起。
- A 条件转移 B 访内 C 算逻 D 无条件转移
- 10 PCI 总线是一个高带宽且与处理器无关的标准总线。下面描述中不正确的是（ ）。
- A 采用同步定时协议 B 采用分布式仲裁策略
- C 具有自动配置能力 D 适合于低成本的小系统
- 11 下面陈述中，不属于外围设备三个基本组成部分的是（ ）。
- A 存储介质 B 驱动装置 C 控制电路 D 计数器
- 12 中断处理过程中，（ ）项是由硬件完成。
- A 关中断 B 开中断 C 保存 CPU 现场 D 恢复 CPU 现场
- 13 IEEE1394 是一种高速串行 I/O 标准接口。以下选项中，（ ）项不属于 IEEE1394 的协议集。
- A 业务层 B 链路层 C 物理层 D 串行总线管理
- 14 下面陈述中，（ ）项属于存储管理部件 MMU 的职能。
- A 分区式存储管理 B 交换技术 C 分页技术
- 15 64 位的安腾处理机设置了四类执行单元。下面陈述中，（ ）项不属于安腾的执行单元。
- A 浮点执行单元 B 存储器执行单元
- C 转移执行单元 D 定点执行单元

二、填空题（每小题 2 分，共 20 分）

- 1 定点 32 位字长的字，采用 2 的补码形式表示时，一个字所能表示的整数范围是（ ）。
- 2 IEEE754 标准规定的 64 位浮点数格式中，符号位为 1 位，阶码为 11 位，尾数为 52 位，则它能表示的最大规格化正数为（ ）。
- 3 浮点加、减法运算的步骤是（ ）、（ ）、（ ）、（ ）、（ ）。
- 4 某计算机字长 32 位，其存储容量为 64MB，若按字编址，它的存储系统的地址线至少需要（ ）条。
- 5 一个组相联映射的 Cache，有 128 块，每组 4 块，主存共有 16384 块，每块 64 个字，则主存地址共（ ）位，其中主存字块标记应为（ ）位，组地址应为（ ）位，Cache 地址共（ ）位。
- 6 CPU 从主存取出一条指令并执行该指令的时间叫（ ），它通常包含若干个（ ），而后者又包含若干个（ ）。
- 7 某中断系统中，每抽取一个输入数据就要中断 CPU 一次，中断处理程序接收取样的数据，并将其保存到主存缓冲区内。该中断处理需要 X 秒。另一方面，缓冲区内每存储 N 个数据，主程序就将其取出进行处理，这种处理需要 Y 秒，因此该系统可以跟踪到每秒（ ）次中断请求。
- 8 在计算机系统中，多个系统部件之间信息传送的公共通路称为（ ）。就其所传送信息的性质而言，在公共通路上传送的信息包括（ ）、（ ）、（ ）。
- 9 在虚存系统中，通常采用页表保护、段表保护和键保护方法实现（ ）保护。
- 10 安腾体系结构采用推测技术，利用（ ）推测方法和（ ）推测方法提高指令执行的并行度。

三、简答题（每小题 8 分，共 16 分）

- 1 比较水平型微指令与垂直型微指令特点。
- 2 简述安腾处理机的“分支推断”技术的基本思想。

四、计算题（10 分）

设两个浮点数 $N_1=2^{j_1} \times S_1$, $N_2=2^{j_2} \times S_2$ ，其中阶码 3 位（移码），尾数 4 位，数符 1 位。设：

$$j_1=(-10)_2, S_1=(+0.1001)_2$$

$$j_2 = (+10)_2, S_2 = (+0.1011)_2$$

求： $N_1 \times N_2$ ，写出运算步骤及结果，积的尾数占 4 位，按原码阵列乘法器计算步骤求尾数之积。

五、分析题（12 分）

已知计算机指令字长为 32 位，其指令格式如下：

6 位	7 位	3 位	16 位
OP	R	X	D

其中 OP 为操作码，R 为通用寄存器（32 位长），X 为寻址方式，说明下列情况下能访问的最大主存空间为多少个机器字：

- ① $X=000$ ，D 为直接操作数；
- ② $X=001$ ，D 为直接主存地址；
- ③ $X=010$ ，由通用寄存器 R_0 提供主存地址；
- ④ $X=011$ ，D 为位移量，由通用寄存器 R_1 提供基址地址；
- ⑤ $X=100$ ，D 为位移量，由通用寄存器 R_2 提供变址地址（8 位）；
- ⑥ $X=101$ ，D 为位移量，有程序计数器 PC 提供主存地址；
- ⑦ $X=110$ ，由通用寄存器 R_3 提供存储器堆栈栈顶地址。

六、分析题（12 分）

指令流水线有取指（IF）、译码（ID）、执行（EX）、写回寄存器堆（WB）四个过程段，共有 12 条指令连续输入此流水线。要求：

- ① 画出流水处理的时空图，假设时钟周期 100ns。
- ② 求流水线的实际吞吐率（单位时间里执行完毕的指令数）。
- ③ 求流水 CPU 的加速比。

七、设计题（15 分）

CPU 的数据通路如图 1 所示。运算器中 $R_0 \sim R_3$ 为通用寄存器，DR 为数据缓冲寄存器，PSW 为状态字寄存器。D-cache 为数据存储器，I-cache 为指令存储器，PC 为程序计数器（具有加 1 功能），IR 为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如 LR_0 表示读出 R_0 寄存器， SR_0 表示写入 R_0 寄存器。

机器指令“JMP (R3)”实现的功能是：将寄存器 (R_3) 的内容 2008 送到程序计数器 PC，下一条指令将从指存 2008 号单元读出执行。JMP 是无条件转移指令。画出 JMP 指令周期流程图，并在 CPU 周期外标出所需的微操作控制信号。（一个 CPU 周期含 $T_1 \sim T_4$ 四个时钟信号，打入寄存器信号必须注明时钟序号）

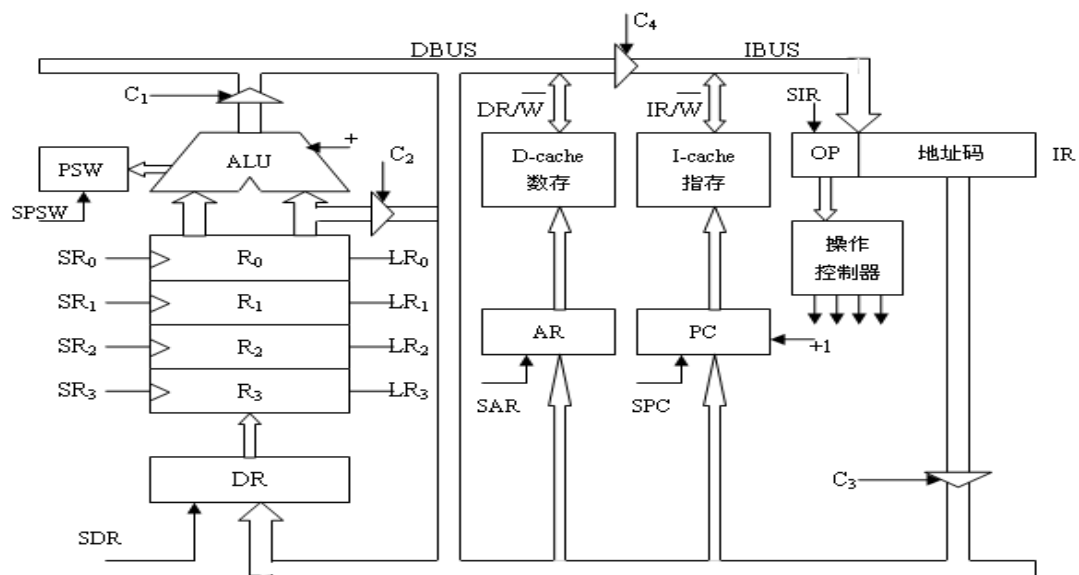


图 1 CPU 的数据通路