

第一章 计算机系统概论 课后习题

- 1.比较数字计算机和模拟计算机的特点。
- 2.数字计算机如何分类?分类的依据是什么?
- 3.数字计算机有哪些主要应用?
- 4.冯·诺依曼型计算机的主要设计思想是什么?它包括哪些主要组成部分?
- 5.什么是存储容量?什么是单元地址?什么是数据字?什么是指令字?
- 6.什么是指令?什么是程序?
- 7.指令和数据均存放在内存中,计算机如何区分它们是指令还是数据?
- 8.什么是内存?什么是外存?什么是 CPU?什么是适配器?简述其功能。
- 9.计算机的系统软件包括哪几类?说明它们的用途。
- 10.说明软件发展的演变过程。
- 11.现代计算机系统如何进行多级划分?这种分级观点对计算机设计会产生什么影响?
- 12.为什么软件能够转化为硬件,硬件能够转化为软件?实现这种转化的媒介是什么?
13. CPU 的性能指标有哪些?其概念是什么?
- 14.“计算机应用”与“应用计算机”在概念上等价吗?用学科角度和计算机系统的层次结构来说明你的观点。

第二章 运算方法和运算器 课后习题

1. 写出下列各整数的原码、反码、补码表示(用 8 位二进制数)。其中 MSB 是最高位(符号位), LSB 是最低位。

(1) -35 (2) 128 (3) -127 (4) -1

2. 设 $[x]_{\text{补}} = a_7.a_6a_5\dots a_0$, 其中 a_i 取 0 或 1, 若要 $x > -0.5$, 求 $a_0, a_1, a_2, \dots, a_6$ 的取值。

3. 有一个字长为 32 位的浮点数, 符号位 1 位; 阶码 8 位, 用移码表示; 尾数 23 位, 用补码表示; 基数为 2。请写出:

(1) 最大数的二进制表示; (2) 最小数的二进制表示; (3) 规格化数所能表示的数的范围。

4. 将下列十进制数表示成 IEEE754 标准的 32 位浮点规格化数。

(1) 27/64 (2) -27/64

5. 已知 x 和 y , 用变形补码计算 $x+y$, 同时指出结果是否溢出。

(1) $x=11011, y=00011$

(2) $x=11011, y=-10101$

(3) $x=-10110, y=-00001$

6. 已知 x 和 y , 用变形补码计算 $x-y$, 同时指出结果是否溢出。

(1) $x=11011, y=-11111$

(2) $x=10111, y=11011$

(3) $x=11011, y=-10011$

7. 用原码阵列乘法器、补码阵列乘法器分别计算 $x \times y$ 。

(1) $x=11011, y=-11111$

(2) $x=-11111, y=-11011$

8. 用原码阵列除法器计算 $x \div y$ (注: 先乘 1 个比例因子变成小数)。

(1) $x=11000, y=-11111$

(2) $x=-01011, y=11001$

9. 设阶码 3 位, 尾数 6 位, 按浮点运算方法, 完成下列取值的 $[x+y], [x-y]$ 运算:

(1) $x=2^{-011} \times 0.100101, y=2^{-010} \times (-0.011110)$

(2) $x=2^{-101} \times (-0.010110), y=2^{-100} \times (0.010110)$

10. 设数的阶码 3 位, 尾数 6 位, 用浮点运算方法, 计算下列各式:

(1) $[2^3 \times (13/16)] \times [2^4 \times (-9/16)]$

(2) $[2^{-2} \times (13/32)] \div [2^3 \times (15/16)]$

11. 某加法器进位链小组信号为 $C_4C_3C_2C_1$, 低位来的进位信号为 C_0 , 请分别按下述两种方式写出 $C_4C_3C_2C_1$ 的逻辑表达式:

(1) 串行进位方式 (2) 并行进位方式

12. 用 IEEE 32 位浮点格式表示如下的数:

(1) -5 (2) -1.5 (3) 384 (4) 1/16 (5) -1/32

13.下列各数使用了 IEEE 32 位浮点格式, 相等的十进制是什么?

(1) 1 10000011 110 0000 0000 0000 0000 0000

(2) 0 01111110 101 0000 0000 0000 0000 0000

14. 32 位格式最多能表示 2^{32} 个不同的数。用 IEEE 32 位浮点格式最多能表示多少不同的数?为什么?

15.设计一个带有原码阵列乘法器(使用芯片)和原码阵列除法器(使用芯片)的定点运算器。

16.设计一个 ALU(4 位), 完成加、减、取反、取补、逻辑乘、逻辑加、传送、加 1 等 8 种运算功能。

17.改进 74181ALU 芯片设计, 操作控制信号只有 8 种

18.设计一个余 3 码编码的十进制加法器单元电路。

兰州理工大学计算机与通信学院

第三章 多层次的存储器 课后习题

1. 设有一个具有 20 位地址和 32 位字长的存储器，问：

- (1) 该存储器能存储多少个字节的信息？
- (2) 如果存储器由 $512\text{K} \times 8$ 位 SRAM 芯片组成，需要多少片？
- (3) 需要多少位地址作芯片选择？

2. 已知某 64 位机主存采用半导体存储器，其地址码为 26 位，若使用 $4\text{M} \times 8$ 位的 DRAM 芯片组成该机所允许的最大主存空间，并选用内存条结构形式，问：

- (1) 若每个内存条为 $16\text{M} \times 64$ 位，共需几个内存条？
- (2) 每个内存条内共有多少 DRAM 芯片？
- (3) 主存共需多少 DRAM 芯片？CPU 如何选择各内存条？

3. 用 $16\text{K} \times 8$ 位的 DRAM 芯片构成 $64\text{K} \times 32$ 位存储器，要求：

- (1) 画出该存储器的组成逻辑框图。
- (2) 设存储器读/写周期为 $0.5\mu\text{s}$ ，CPU 在 $1\mu\text{s}$ 内至少要访问一次。试问采用哪种刷新方式比较合理？两次刷新的最大时间间隔是多少？对全部存储单元刷新一遍所需的实际刷新时间是多少？

4. 有一个 $1024\text{K} \times 32$ 位的存储器，由 $128\text{K} \times 8$ 位的 DRAM 芯片构成。问：

- (1) 总共需要多少 DRAM 芯片？
- (2) 设计此存储体组成框图。
- (3) 采用异步刷新方式，如单元刷新间隔不超过 8ms ，则刷新信号周期是多少？

5. 要求用 $256\text{K} \times 16$ 位 SRAM 芯片设计 $1024\text{K} \times 32$ 位的存储器。SRAM 芯片有两个控制端：当 $\overline{\text{CS}}$ 有效时，该片选中。当 $\overline{\text{W}}/\text{R}=1$ 时执行读操作，当 $\overline{\text{W}}/\text{R}=0$ 时执行写操作。

6. 用 $32\text{K} \times 8$ 位的 E^2PROM 芯片组成 $128\text{K} \times 16$ 位的只读存储器，试问：

- (1) 数据寄存器多少位？
- (2) 地址寄存器多少位？
- (3) 共需多少个 E^2PROM 芯片？
- (4) 画出此存储器组成框图。

7. 某机器中，已知配有一个地址空间为 $0000\text{H} \sim 3\text{FFFH}$ 的 ROM 区域。现在再用一个 RAM 芯片 ($8\text{K} \times 8$) 形成 $40\text{K} \times 16$ 位的 RAM 区域，起始地为 6000H 。假设 RAM 芯片有 $\overline{\text{CS}}$ 和 $\overline{\text{WE}}$ 信号控制端。CPU 的地址总线为 $\text{A}_{15} \sim \text{A}_0$ ，数据总线为 $\text{D}_{15} \sim \text{D}_0$ 控制信号为 R/W (读/写)， $\overline{\text{MREQ}}$ (访存)，要求：

- (1) 画出地址译码方案。
- (2) 将 ROM 与 RAM 同 CPU 连接。

8. 设存储器容量为 64M ，字长为 64 位，模块数 $m=8$ ，分别用顺序和交叉方式进行组织。存储周期 $T=100\text{ns}$ ，数据总线宽度为 64 位，总线传送周期 $\tau=50\text{ns}$ 。求：顺序存储器和交叉存储器的带宽各是多少？

9. CPU 执行一段程序时，cache 完成存取的次数为 2420 次，主存完成存取的次数为 80 次，已知 cache 存储周期为 40ns ，主存存储周期为 240ns ，求 cache/主存系统的效率和平均访问时间。

10. 已知 cache 存储周期 40ns ，主存存储周期 200ns ，cache/主存系统平均访问时间为 50ns ，求。求 cache 的

命中率是多少?

11.某机器采用四体交叉存储器,今执行一段小循环程序,此程序放在存储器的连续地址单元中。假设每条指令的执行时间相等,而且不需要到存储器存取数据,请问在下面两种情况中(执行的指令数相等),程序运行的时间是否相等?

(1)循环程序由 6 条指令组成,重复执行 80 次。

(2)循环程序由 8 条指令组成,重复执行 60 次。

12.一个有主存和 cache 组成的二级存储系统,参数定义如下: T_a 为系统平均存取时间, T_1 为 cache 的存取时间, T_2 为主存的存取时间, H 为 cache 命中率,请写出 T_a 与 T_1 、 T_2 、 H 参数之间的函数关系式。

13.一个组相联 cache 由 64 个行组成,每组 4 行。主存储器包含 4K 个块,每块 128 字。请表示内存地址的格式。

14.有一个处理机,主存容量 1MB,字长 1B,块大小 16B,cache 容量 64KB,若 cache 采用直接映射式,请给出 2 个不同标记的内存地址,它们映射到同一个 cache 行。

15.假设主存容量 $16M \times 32$ 位,cache 容量 $64K \times 32$ 位,主存与 cache 之间以每块 4×32 位大小传送数据,请确定直接映射方式的有关参数,并画出主存地址格式。

16.下述有关存储器的描述中,正确的是()。

A.多级存储体系由 cache、主存和虚拟存储器构成。

B.存储保护的目的是:在多用户环境中,既要防止一个用户程序出错而破坏系统软件或其它用户程序,又要防止一个用户访问不是分配给他的主存区,以达到数据安全与保密的要求。

C.在虚拟存储器中,外存和主存以相同的方式工作,因此允许程序员用比主存空间大得多的外存空间编程。

D. cache 和虚拟存储器这两种存储器管理策略都利用了程序的局部性原理。

17.引入多道程序的目的在于()。

A.充分利用 CPU,减少 CPU 等待时间 B.提高实时响应速度

C.有利于代码共享,减少主辅存信息交换量 D.充分利用存储器

18.虚拟段页式存储管理方案的特性为()。

A.空间浪费大、存储共享不易、存储保护容易、不能动态连接

B.空间浪费小、存储共享容易、存储保护不易、不能动态连接

C.空间浪费大、存储共享不易、存储保护容易、能动态连接

D.空间浪费小、存储共享容易、存储保护容易、能动态连接

19.某虚拟存储器采用页式存储管理,使用 LRU 页面替换算法。若每次访问在一个时间单位内完成,页面访问的序列如下:1, 8, 1, 7, 8, 2, 7, 2, 1, 8, 3, 8, 2, 1, 3, 1, 7, 1, 3, 7。已知主存只允许存放 4 个页面,初始状态时 4 个页面是全空的,则页面失效次数是__。

20.主存容量为 4MB,虚存容量为 1GB,则虚地址和物理地址各为多少位?如页面大小为 4KB,则页表长度是多少?

21.设某系统采用页式虚拟存储管理,页表存放在主存中。

(1)如果一次内存访问使用 50ns，访问一次主存需用多少时间？

(2)如果增加 TLB，忽略查找 TLB 表项占用的时间，并且 75%的页表访问命中 TLB，内存的有效访问时间是多少？

22.某计算机的存储系统由 cache、主存和磁盘构成。cache 的访问时间为 15ns;如果被访问的单元在主存中但不在 cache 中，需要用 60ns 的时间将其装入 cache，然后再进行访问;如果被访问的单元不在主存中，则需要 10ms 的时间将其从磁盘中读入主存，然后再装入 cache 中并开始访问。若 cache 的命中率为 90%，主存的命中率为 60%，求该系统中访问一个字的平均时间。

23.某页式存储管理，页大小为 2KB。逻辑地址空间包含 16 页，物理地址空间共有 8 页。逻辑地址应有多少位?主存物理空间有多大?

24.在一个分页虚存系统中，用户虚地址空间为 32 页，页长 1KB，主存物理空间为 16KB。已知用户程序有 10 页长，若虚页 0、1、2、3 已经被分别调入到主存 8、7、4、10 页中，请问虚地址 0AC5 和 1AC5(十六进制)对应的物理地址是多少?

25.段式虚拟存储器对程序员是否透明?请说明原因。

26.在一个进程的执行过程中，是否其所有页面都必须处在主存中?

27.为什么在页式虚拟存储器地址变换时可以用物理页号与页内偏移量直接拼接成物理地址，而在段式虚拟存储器地址变换时必须用段起址与段内偏移量相加才能得到物理地址?

28.在虚存实现过程中，有些页面会在内存与外存之间被频繁地换入和换出，使系统效率急剧下降。这种现象称为颠簸。请解释产生颠簸的原因，并说明防止颠簸的办法。

第四章 指令系统 课后习题

- 1.ASCII 码是 7 位，如果设计主存单元字长为 32 位，指令字长为 12 位，是否合理？为什么？
- 2.假设某计算机指令长度为 32 位，具有双操作数、单操作数、无操作数三类指令形式，指令系统共有 70 条指令，请设计满足要求的指令格式。
- 3.指令格式结构如下所示，试分析指令格式及寻址方式特点。

15	10	7	4	3	0
OP		—	目标寄存器		源寄存器

- 4.指令格式结构如下所示，试分析指令格式及寻址方式特点。

15	10	7	4	3	0
OP			源寄存器		变址寄存器
偏移量 (16 位)					

- 5.指令格式结构如下所示，试分析指令格式寻址方式特点。

15	12	11	9	8	6	5	3	2	0
OP		寻址方式			寄存器		寻址方式		寄存器
		←———源地址———→					←———目标地址———→		

- 6.一种单地址指令格式如下所示，其中 I 为间接特征，X 为寻址模式，D 为形式地址。I, X, D 组成该指令的操作数有效地址 E。设 R 为变址寄存器，R₁ 为基址寄存器，PC 为程序计数器，请在下表中第一列位置填入适当的寻址方式名称。

OP	I	X	D
----	---	---	---

寻址方式名称	I	X	有效地址 E
①	0	00	E=D
②	0	01	E=(PC)+D
③	0	10	E=(R)+D
④	0	11	E=(R ₁)+D
⑤	1	00	E=(D)
⑥	1	11	E=((R ₁)+D),D=0

- 7.某计算机字长为 32 位，主存容量为 64KB，采用单字长单地址指令，共有 40 条指令。试采用直接、立即、变址、相对四种寻址方式设计指令格式。
- 8.某机字长为 32 位，主存容量为 1MB，单字长指令，有 50 种操作码，采用寄存器寻址、寄存器间接寻址、立即、直接等寻址方式。CPU 中有 PC，IR，AR，DR 和 16 个通用寄存器。问：
 - (1)指令格式如何安排？
 - (2)能否增加其他寻址方式？
- 9.设某机字长为 32 位，CPU 中有 16 个 32 位通用寄存器，设计一种能容纳 64 种操作的指令系统。如果采用通用寄存器作基址寄存器，则 RS 型指令的最大存储空间是多少？

10.将表 4.9 的指令系统设计成二地址格式的指令系统。

11.从以下有关 RISC 的描述中，选择正确答案。

A.采用 RISC 技术后，计算机的体系结构又恢复到早期的比较简单情况。

B.为了实现兼容，新设计的 RISC,是从原来 CISC 系统的指令系统中挑选一部分实现的。

C. RISC 的主要目标是减少指令数。

D. RISC 没有乘、除法指令和浮点运算指令。

12.根据操作数所在位置，指出其寻址方式(填空):

(1)操作数在寄存器中，为(A)寻址方式。

(2)操作数地址在寄存器，为(B)寻址方式。

(3)操作数在指令中，为(C)寻址方式。

(4)操作数地址(主存)在指令中，为(D)寻址方式。

(5)操作数的地址，为某一寄存器内容与位移量之和，可以是(E,F,G)寻址方式。

13.将 C 语句翻译成 MIPS R4000 汇编语言代码。C 赋值语句是:

$f = (g + h) - (i + j)$

假设变量 f、g、h、i、j 分别分配给寄存器 \$s0、\$s1、\$s2、\$s3、\$s4。

14.将如下 MIPS R4000 汇编语言翻译成机器语言指令。

IW \$t0, 1200 (\$t1)

add \$t0, \$s2, \$t0

SW \$t0, 1200 (\$t1)

15.将下面一条 ARM 汇编语言指令翻译成用十进制和二进制表示的机器语言指令:

ADD r5, r1, r2

16.将下面 C 语句翻译成 ARM 汇编语言代码。C 赋值语句是:

$f = (g + h) - (i + j)$

假设变量 f、g、h、i、j 分别放在寄存器 r0、r1、r2、r3、r4 中。

第五章 中央处理器 课后习题

1.请在括号内填入适当答案。在 CPU 中:

(1)保存当前正在执行的指令的寄存器是__;

(2)保存当前正在执行的指令地址的寄存器是__;

(3)算术逻辑运算结果通常放在__和__。

2.参见图 5.1 的数据通路。画出存数指令“STO R1, (R2)”的指令周期流程图, 其含义是将寄存器 R₁ 的内容传送至(R₂)为地址的数存单元中。标出各微操作信号序列。

3.参见图 5.1 的数据通路, 画出取数指令“LAD (R3), RO”的指令周期流程图, 其含义是将(R₃)为地址数存单元的内容取至寄存器 R₀ 中, 标出各微操作控制信号序列。

4.假设主脉冲源频率为 10MHz, 要求产生 5 个等间隔的节拍脉冲, 试画出时序产生器的逻辑图。

5.如果在一个 CPU 周期中要产生 3 个节拍脉冲: $T_1=200\text{ns}$, $T_2=400\text{ns}$, $T_3=200\text{ns}$, 试画出时序产生器逻辑图。

6.假设某机器有 80 条指令, 平均每条指令由 4 条微指令组成, 其中有一条取指微指令是所有指令公用的。已知微指令长度为 32 位, 请估算控制存储器容量。

7.某 ALU 器件是用模式控制码 $MS_3S_2S_1C$ 来控制执行不同的算术运算和逻辑操作。下表列出各条指令所要求的模式控制码, 其中 y 为二进制变量, ϕ 为 0 或 1 任选。

试以指令码(A, B, H, D, E, F, G)为输入变量, 写出控制参数 M, S_3, S_2, S_1, C 的逻辑表达式。

指令码	M	S_3	S_2	S_1	C
A, B	0	0	1	1	0
H, D	0	1	1	0	1
E	0	0	1	0	y
F	0	1	1	1	y
G	1	0	1	1	ϕ

8.某机有 8 条微指令 $I_1 \sim I_8$, 每条微指令所包含的微命令控制信号如下表所示。

微指令	a	b	c	d	e	f	g	h	i	j
I_1	√	√	√	√	√					
I_2	√			√		√	√			
I_3		√						√		
I_4			√							
I_5			√		√		√		√	
I_6	√							√		√
I_7			√	√				√		
I_8	√	√						√		

a~j 分别对应 10 种不同性质的微命令信号。假设一条微指令的控制字段仅限为 8 位, 请安排微指令的控制字段格式。

9.画出 P163 页例 2 中微地址转移逻辑设计电路图。

10.某计算机有如下部件: ALU, 移位器, 主存 M, 主存数据寄存器 MDR, 主存地址寄存器 MAR, 指令寄存器 IR, 通用寄存器 $R_0 \sim R_3$, 暂存器 C 和 D。

(1)请将各逻辑部件组成一个数据通路, 并标明数据流动方向。

(2)画出“ADD R1, R2”指令的指令周期流程图。

11.已知某机采用微程序控制方式, 控存容量为 512×48 位。微程序可在整个控存中实现转移, 控制微程序转移的条件共 4 个, 微指令采用水平型格式, 后继微指令地址采用断定方式。请问:

(1)微指令的三个字段分别应为多少位?

(2)画出对应这种微指令格式的微程序控制器逻辑框图。

12.今有 4 级流水线, 分别完成取指、指令译码并取数、运算、送结果四步操作。今假设完成各步操作的时间依次为 100ns, 100ns, 80ns, 50ns。请问:

(1)流水线的操作周期应设计为多少?

(2)若相邻两条指令发生数据相关, 硬件上不采取措施, 那么第 2 条指令要推迟多少时间进行?

(3)如果在硬件设计上加以改进, 至少需推迟多少时间?

13.指令流水线有取指(IF)、译码(ID)、执行(EX)、访存(MEM)、写回寄存器堆(WB)五个过程段, 共有 20 条指令连续输入此流水线。

(1)画出流水处理的时空图, 假设时钟周期为 100ns。

(2)求流水线的实际吞吐率(单位时间里执行完毕的指令数)。

(3)求流水线的加速比

14.用时空图法证明流水计算机比非流水计算机具有更高的吞吐率。

15.用定量描述法证明流水计算机比非流水计算机具有更高的吞吐率。

16.判断以下三组指令中各存在哪种类型的数据相关。

(1) I_1 LDA R1, A ; $M(A) \rightarrow R1$, $M(A)$ 是存储器单元

I_2 ADD R2, R1 ; $(R2) + (R1) \rightarrow R2$

(2) I_3 ADD R3, R4 ; $(R3) + (R4) \rightarrow R3$

I_4 MUL R4, R5 ; $(R4) \times (R5) \rightarrow R4$

(3) I_5 LDA R6, B ; $M(B) \rightarrow R6$, $M(B)$ 是存储器单元

I_6 MUL R6, R7 ; $(R6) \times (R7) \rightarrow R6$

17.参考图 5.39 所示的超标量流水线结构模型, 现有如下 6 条指令序列:

I_1 LDA R1, B ; $M(B) \rightarrow R1$, $M(B)$ 是存储器单元

I_2 SUB R2, R1 ; $(R2) - (R1) \rightarrow R2$

I_3 MUL R3, R4 ; $(R3) \times (R4) \rightarrow R3$

I_4 ADD R4, R5 ; $(R4) + (R5) \rightarrow R4$

I_5 LAD R6, A ; $M(A) \rightarrow R6$, $M(A)$ 是存储器单元

I_6 ADD R6, R7 ; $(R6) + (R7) \rightarrow R6$

请画出: (1)按序发射按序完成各段推进情况图。

(2)按序发射按序完成的流水线时空图。

兰州理工大学计算机与通信学院

第六章 总线系统 课后习题

- 1.比较单总线、多总线结构的性能特点。
- 2.说明总线结构对计算机系统性能的影响。
- 3.用异步通信方式传送字符“A”和“8”，数据有 7 位，偶校验 1 位，起始位 1 位，停止位 1 位，请分别画出波形图。
- 4.总线上挂两个设备，每个设备能收能发，还能从电气上和总线断开，画出逻辑图，并作简要说明。
- 5.画出菊花链方式的优先级判决逻辑电路图。
- 6.画出独立请求方式的优先级判决逻辑电路图。
- 7.画出分布式仲裁器逻辑电路图。
- 8.同步通信之所以比异步通信具有较高的传输频率，是因为同步通信__。
A.不需要应答信号
B.总线长度较短
C.用一个公共时钟信号进行同步
D.各部件存取时间比较接近
- 9.在集中式总线仲裁中，__方式响应时间最快，__方式对__最敏感。
A.菊花链方式 B.独立请求方式 C.电路故障 D.计数器定时查询方式
- 10.采用串行接口进行 7 位 ASCII 码传送，带有一位奇校验位、1 位起始位和 1 位停止位，当波特率为 9600 波特时，字符传送速率为
A. 960 B. 873 C. 1371 D. 480
- 11.系统总线中地址线的功能是
A.选择主存单元地址 B.选择进行信息传输的设备
C.选择外存地址 D.指定主存和 I/O 设备接口电路的地址
- 12.系统总线中控制线的功能是__。
A.提供主存、I/O 接口设备的控制信号和响应信号 B.提供数据信息
C.提供时序信号 D.提供主存、I/O 接口设备的响应信号
- 13.说明存储器总线周期与 I/O 总线周期的异同点。
14. PCI 是一个与处理器无关的__，它采用__时序协议和__式仲裁策略，并具有__能力。
A.集中 B.自动配置 C.同步 D.高速外围总线
15. PCI 总线的基本传输机制是碎发式传送。利用__可以实现总线间的__传送，使所有的存取都按 CPU 的需要出现在总线上。PCI 允许__总线__工作。
A.桥 B.碎发式 C.并行 D.多条
16. InfiniBand 是一个高性能的__标准，数据传输率达__，它可连接__台服务器，适合于高成本的__计算机的系统。
A.I/O B.30GB/s C.64000 D.较大规模
- 17.PCI 总线中三种桥的名称是什么？它们的功能是什么？

18.何谓分布式仲裁?画出逻辑结构示意图进行说明。

19.总线的一次信息传送过程大致分哪几个阶段?若采用同步定时协议,请画出读数据的同步时序图。

20.某总线在一个总线周期中并行传送 8 个字节的的信息,假设一个总线周期等于一个总线时钟周期,总线时钟频率为 70MHz,总线带宽是多少?

21.比较 PCI 总线和 InfiniBand 标准的性能特点。

兰州理工大学计算机与通信学院

第七章 外存与 I/O 设备 课后习题

1. 计算机的外围设备是指__。

- A. 输入/输出设备 B. 外存储器
C. 输入/输出设备及外存储器 D. 除了 CPU 和内存以外的其他设备

2. 打印机根据印字方式可以分为__和__两大类, 在__类打印机中, 只有__型打印机能打印汉字, 请从下面答案中选择填空。

- A. 针型打印机 B. 活字型打印机 C. 击打式 D. 非击打式

3. 一光栅扫描图形显示器, 每帧有 1024×1024 像素, 可以显示 256 种颜色, 问刷新存储器容量至少需要多大?

4. 一个双面 CD-ROM 光盘, 每面有 100 道, 每道 9 个扇区, 每个扇区存储 512B, 请求出光盘格式化容量。

5. 试推导磁盘存储器读写一块信息所需总时间的公式。

6. 某双面磁盘, 每面有 220 道, 已知磁盘转速 $r=4000$ 转/分, 数据传输率为 185 000B/s, 求磁盘总容量。

7. 某磁盘存储器转速为 3000 转/分, 共有 4 个记录面, 每道记录信息为 12 288B, 最小磁道直径为 230mm, 共有 275 道。问:

- (1) 磁盘存储器的存储容量是多少?
- (2) 最高位密度与最低位密度是多少?
- (3) 磁盘数据传输率是多少?
- (4) 平均等待时间是多少?
- (5) 给出一个磁盘地址格式方案。

8. 已知某磁盘存储器转速为 2400 转/分, 每个记录面道数为 200 道, 平均找道时间为 60ms, 每道存储容量为 96Kb, 求磁盘的存取时间与数据传输率。

9. 磁带机有 9 道磁道, 带长 600m, 带速 2m/s, 每个数据块 1KB, 块间间隔 14mm, 若数据传输率为 128 000B/s, 试求:

- (1) 记录位密度;
- (2) 若带的首尾各空 2m, 求此带最大有效存储容量。

10. 一台活动头磁盘机的盘片组共有 20 个可用的盘面, 每个盘面直径 18 英寸, 可供记录部分宽 5 英寸, 已知密度为 100 道/英寸, 位密度为 1000 位/英寸(最内道), 并假定各磁道记录的信息位数相同。试问:

- (1) 盘片组总容量是多少兆(10^6)位?
- (2) 若要求数据传输率为 1MB/s, 磁盘机转速每分钟应是多少转?

11. 有一台磁盘机, 其平均找道时间为 30ms, 平均旋转等待时间为 10ms, 数据传输率为 500B/ms, 磁盘机上存放着 1000 件每件 3000B 的数据。现欲把一件件数据取走, 更新后再放回原地, 假设一次取出或写入所需时间为

$$T = \text{平均找道时间} + \text{平均等待时间} + \text{数据传送时间}$$

另外, 使用 CPU 更新信息所需的时间为 4ms, 并且更新时间同输入输出操作不相重叠。试问:

(1)更新磁盘上全部数据需多少时间?

(2)若磁盘机旋转速度和数据传输率都提高一倍,更新全部数据需多少时间?

12.有如下六种存储器:主存、高速缓存、寄存器组、CD-ROM 存储器、MO 磁盘和活动头硬磁盘存储器,要求:

(1)按存储容量和存储周期排出顺序;

(2)将有关存储器排列组成一个存储体系;

(3)指明它们之间交换信息时的传送方式。

13. CRT 的显示适配器中有一个刷新存储器,说明其功能。刷存的容量与什么因素有关?若 CRT 的分辨率为 1024×1024 像素点,颜色深度为 24 位,问刷新存储器的存储容量是多少?

14.刷新存储器的重要性能指标是它的带宽。若显示工作方式采用分辨率为 1024×768 ,颜色深度为 24 位,帧频(刷新速率)为 72Hz,求:

(1)刷新存储器的存储容量是多少?

(2)刷新存储器的带宽是多少?

第八章 输入输出系统 课后习题

1.如果认为 CPU 等待设备状态信号是处于非工作状态(即踏步等待),那么在下面几种主机与设备之间的数据传送中:___主机与设备是串行工作的;___主机与设备是并行工作的;___主程序与设备是并行运行的。

A.程序查询方式 B.程序中断方式 C.DMA 方式

2.中断向量地址是___。

A.子程序入口地址 B.中断服务程序入口地址
C.中断服务程序入口地址指示器 D.例行程序入口地址

3.利用微型机制作了对输入数据进行采样处理的系统。在该系统中,每抽取一个输入数据就要中断 CPU 一次,中断处理程序接收采样的数据,将其放到主存的缓冲区内。该中断处理需时 x 秒,另一方面缓冲区内每存储 n 个数据,主程序就将其取出进行处理,这种处理需时 y 秒。因此该系统可以跟踪到每秒___次的中断请求。

A. $n/(n \times x + y)$ B. $n/(x + y) \cdot n$ C. $\min(1/x, n/y)$

4.采用 DMA 方式传送数据时,每传送一个数据就要占用一个___的时间。

A.指令周期 B.机器周期 C.存储周期 D.总线周期

5.通道的功能是:①___, ②___。按通道的工作方式分,通道有___通道、___通道两种类型。

6.在图 8.9 中,当 CPU 对设备 B 的中断请求进行服务时,如设备 A 提出请求,CPU 能够响应吗?为什么?如果设备 B 一提出请求总能立即得到服务,问怎样调整才能满足此要求?

7.在图 8.9 中,假定 CPU 取指并执行一条指令的时间为 t_1 ,保护现场需 t_2 ,恢复现场需 t_3 ,中断周期需 t_4 ,每个设备的设备服务时间为 t_A, t_B, \dots, t_G 。试计算只有设备 A, D, G 时的系统中断饱和时间。

8.设某机有 5 级中断: L_0, L_1, L_2, L_3, L_4 ,其中断响应优先次序为: L_0 最高, L_1 次之, L_4 最低。现在要求将中断处理次序改为 $L_1 \rightarrow L_3 \rightarrow L_0 \rightarrow L_4 \rightarrow L_2$,试问:

(1)下表中各级中断处理程序的各中断级屏蔽值如何设置(每级对应一位,该位为“0”表示允许中断,该位为“1”表示中断屏蔽)?

(2)若这 5 级中断同时都发出中断请求,按更改后的次序画出进入各级中断处理程序的过程示意图。

中断处理程序	中断处理级屏蔽位				
	L_0 级	L_1 级	L_2 级	L_3 级	L_4 级
L_0 中断处理程序					
L_1 中断处理程序					
L_2 中断处理程序					
L_3 中断处理程序					
L_4 中断处理程序					

9.某机器 CPU 中有 16 个通用寄存器,运行某中断处理程序时仅用到其中 2 个寄存器,请问响应中断而进入该中断处理程序时是否要将通用寄存器内容保存到主存中去?需保存几个寄存器?

10.画出二维中断结构判优逻辑电路,包括:(1)主优先级判定电路(独立请求),(2)次优先级判定电路(链式查询)。在主优先级判定电路中应考虑 CPU 程序优先级。设 CPU 执行程序的优先级分为 4 级(CPU₇—

CPU₄), 这个级别保存在 PSW 寄存器中(7, 6, 5 三位)。例如 CPU₅时, 其状态为 101。

11. 参见图 8.9 所示的二维中断系统。

(1) 若 CPU 现执行 E 的中断服务程序, IM₂, IM₁, IM₀ 的状态是什么?

(2) CPU 现执行 H 的中断服务程序, IM₂, IM₁, IM₀ 的状态是什么?

(3) 若设备 B 一提出中断请求, CPU 立即进行响应, 应如何调整才能满足要求?

12. 下列陈述中正确的是__。

A. 在 DMA 周期内, CPU 不能执行程序

B. 中断发生时, CPU 首先执行入栈指令将程序计数器内容保护起来

C. DMA 传送方式中, DMA 控制器每传送一个数据就窃取一个指令周期

D. 输入输出操作的最终目的是要实现 CPU 与外设之间的数据传输

13. Pentium 系统有两类中断源:①由 CPU 外部的硬件信号引发的称为__, 它分为可屏蔽__和非屏蔽__;②由指令引发的称为__, 其中一种是执行__, 另一种是__。

14. IEEE 1394 是__ I/O 标准接口, 与 SCSI__ I/O 标准接口相比, 它具有更高的__, 更强的__, 体积__, 连接方便。

A. 并行 B. 串行 C. 数据传输速率 D. 数据传输实时性 E. 小

15. SCSI 是系统级__, 是处于主适配器和智能设备控制器之间的__ I/O 接口。SCSI-3 标准允许 SCSI 总线上连接的设备由__个提高到__个, 可支持__位数据传输。

A. 并行 B. 接口 C. 16 D. 8 E. 16

16. 比较通道、DMA、中断三种基本 I/O 方式的异同点。

17. 用多路 DMA 控制器控制光盘、软盘、打印机三个设备同时工作。光盘以 20us 的间隔向控制器发 DMA 请求, 软盘以 90us 的间隔向控制器发 DMA 请求, 打印机以 180us 的间隔发 DMA 请求。请画出多路 DMA 控制器的工作时空图。

18. 若设备的优先级依次为 CD-ROM、扫描仪、硬盘、磁带机、打印机, 请用 SCSI 进行配置, 画出配置图。

第九章 并行组织与结构 课后习题

1.解释下列术语

时间并行 空间并行 紧耦合系统 松耦合系统 同构多核 异构多核

多处理机 线程级并行 同时多线程 SMP AMP SIMD

2.如果一条指令的执行过程分为取指令、指令译码、指令执行三个子过程，每个子过程时间都为 100ns。

(1)请分别画出指令顺序执行和流水执行方式的时空图。

(2)计算两种情况下执行 $n=1000$ 条指令所需的时间。

(3)流水方式比顺序方式执行指令的速度提高了几倍？

3.设有 $k=4$ 段指令流水线，它们是取指令、译码、执行、存结果，各流水段的持续时间均为 Δt 。

(1)连续输入 $n=8$ 条指令，请画出指令流水线时空图。

(2)推导流水线实际吞吐率的公式 P ，它定义为单位时间输出的指令数。

(3)推导流水线的加速比公式 S ，它定义为顺序执行 n 条指令所用的时间与流水执行 n 条指令所用的时间之比。

4.以下关于超线程技术的描述，不正确的是__。

A.超线程技术可以把一个物理内核模拟成两个逻辑核心，降低处理部件的空闲时间。

B.相对而言，超线程处理机比多核处理机具有更低的成本。

C.超线程技术可以和多核技术同时应用。

D.超线程技术是一种指令级并行技术。

5.总线共享 cache 结构的缺点是_。

A.结构简单。

B.通信速度高。

C.可扩展性较差。

D.数据传输并行度高。

6.以下表述不正确的是

A.超标量技术让多条流水线同时运行，其实质是以空间换取时间。

B.多核处理机中.要利用发挥处理机的性能，必须保证各个核心上的负载均衡。

C.现代计算机系统的存储容量越来越大，足够软件使用，故称为“存储墙”。

D.异构多核处理机可以同时发挥不同类型处理机各自的长处来满足不同类型应用的性能和功耗需求。

7.设 F 为多处理机系统中 n 台处理机可以同时执行的程序代码的百分比，其余代码必须用单台处理机顺序执行。每台处理机的执行速率为 x MIPS(每秒百万条指令)，并假设所有处理机的处理能力相同。试用参数 n 、 F 、 x 推导出系统专门执行该程序时的有效 MIPS 速率表达式。

8.利用上题表达式，假设 $n=32$ ， $x=8$ MIPS，要求得到的系统性能为 64MIPS，试求 F 值

9.假设使用 100 台多处理机系统获得加速比为 80，求原计算机程序中串行部分所占的比例是多少？