

一、选择题（每小题 1 分，共 15 分）

1 某机字长 64 位，1 位符号位，63 位表示尾数，若用定点整数表示，则最大正整数位（ ）。

- A $+(2^{63}-1)$ B $+(2^{64}-1)$ C $-(2^{63}-1)$ D $-(2^{64}-1)$

2 请从下面浮点运算器中的描述中选出两个描述正确的句子（ ）。

A 浮点运算器可用两个松散连接的定点运算部件—阶码和尾数部件来实现。

B 阶码部件可实现加，减，乘，除四种运算。

C 阶码部件只进行阶码相加，相减和比较操作。

D 尾数部件只进行乘法和除法运算。

3 存储单元是指（ ）。

A 存放 1 个二进制信息位的存储元

B 存放 1 个机器字的所有存储元集合

C 存放 1 个字节的所有存储元集合

D 存放 2 个字节的所有存储元集合

4 某机字长 32 位，存储容量 1MB，若按字编址，它的寻址范围是（ ）。

- A 0—1M B 0—512KB C 0—56K D 0—256KB

5 用于对某个寄存器中操作数的寻址方式为（ ）。

- A 直接 B 间接 C 寄存器直接 D 寄存器间接

6 程序控制类的指令功能是（ ）。

A 进行算术运算和逻辑运算

B 进行主存与 CPU 之间的数据传送

C 进行 CPU 和 I/O 设备之间的数据传送

D 改变程序执行的顺序

7 指令周期是指（ ）。

A CPU 从主存取出一条指令的时间

B CPU 执行一条指令的时间

C CPU 从主存取出一条指令加上执行一条指令的时间

D 时钟周期时间

8 描述当代流行总线结构中基本概念不正确的句子是（ ）。

A 当代流行的总线不是标准总线

B 当代总线结构中，CPU 和它私有的 cache 一起作为一个模块与总线相连

C 系统中允许有一个这样的 CPU 模块

9 CRT 的颜色为 256 色，则刷新存储器每个单元的字长是（ ）。

A 256 位 B 16 位 C 8 位 D 7 位

10 发生中断请求的条件是（ ）。

A 一条指令执行结束

B 一次 I/O 操作结束

C 机器内部发生故障

D 一次 DMA 操作结束

11 中断向量地址是（ ）。

A 子程序入口地址

B 中断服务程序入口地址

C 中断服务程序入口地址指示器

D 例行程序入口地址

12 IEEE1394 所以能实现数据传送的实时性，是因为（ ）。

A 除异步传送外，还提供同步传送方式

- B 提高了时钟频率
 - C 除优先权仲裁外, 还提供均等仲裁, 紧急仲裁两种总线仲裁方式
 - D 能够进行热插拔
- 13 直接映射 cache 的主要优点是实现简单。这种方式的主要缺点是 ()。
- A 它比其他 cache 映射方式价格更贵
 - B 如果使用中的 2 个或多个块映射到 cache 同一行, 命中率则下降
 - C 它的存取时间大于其它 cache 映射方式
 - D cache 中的块数随着主存容量增大而线性增加
- 14 虚拟存储器中段页式存储管理方案的特性为 ()。
- A 空间浪费大, 存储共享不易, 存储保护容易, 不能动态连接
 - B 空间浪费小, 存储共享容易, 存储保护不易, 不能动态连接
 - C 空间浪费大, 存储共享不易, 存储保护容易, 能动态连接
 - D 空间浪费小, 存储共享容易, 存储保护容易, 能动态连接
- 15 安腾处理机的指令格式中, 操作数寻址采用 ()。
- A R-R-S 型 B R-R-R 型 C R-S-S 型 D S-S-S 型

二、填空题 (每小题 2 分, 共 20 分)

- 1 IEEE6754 标准规定的 64 位浮点数格式中, 符号位为 1 位, 阶码为 11 位, 尾数为 52 位。则它所能表示的最大规格化正数为 ()。
- 2 直接使用西文键盘输入汉字, 进行处理, 并显示打印汉字, 要解决汉字的 ()、() 和 () 三种不同用途的编码。
- 3 数的真值变成机器码时有四种表示方法, 即 () 表示法, () 表示法, () 表示法, () 表示法。
- 4 主存储器的技术指标有 (), (), (), ()。
- 5 cache 和主存构成了 (), 全由 () 来实现。

6 根据通道的工作方式，通道分为（ ）通道和（ ）通道两种类型。

7 SCSI 是（ ）I/O 标准接口，IEEE1394 是（ ）I/O 标准接口。

8 某系统总线的一个存取周期最快为 3 个总线时钟周期，总线在一个总线周期中可以存取 32 位数据。如总线的时钟频率为 8.33MHz，则总线的带宽是（ ）。

9 操作系统是计算机硬件资源管理器，其主要管理功能有（ ）管理、（ ）管理和（ ）管理。

10 安腾处理机采用 VLIW 技术，编译器经过优化，将多条能并行执行的指令合并成一个具有（ ）的超长指令字，控制多个独立的（ ）同时工作。

三、简答题（每小题 8 分，共 16 分）

1 画图说明现代计算机系统的层次结构。

2 简述水平型微指令和垂直型微指令的特点。

四、计算题（10 分）

CPU 执行一段程序时，cache 完成存取的次数为 2420 次，主存完成的次数为 80 次，已知 cache 存储周期为 40ns，主存存储周期为 200ns，求 cache/主存系统的效率和平均访问时间。

五、设计题（12 分）

某机器单字长指令为 32 位，共有 40 条指令，通用寄存器有 128 个，主存最大寻址空间为 64M。寻址方式有立即寻址、直接寻址、寄存器寻址、寄存器间接寻址、基值寻址、相对寻址六种。请设计指令格式，并做必要说明。

六、证明题（12 分）

一条机器指令的指令周期包括取指（IF）、译码（ID）、执行（EX）、写回（WB）四个过程段，每个过程段 1 个时钟周期 T 完成。

先假定机器指令采用以下三种方式执行：①非流水线（顺序）方式，②标量流水线方式，③超标量流水线方式。

请画出三种方式的时空图，证明流水计算机比非流水计算机具有更高的吞吐率。

七、设计题（15 分）

CPU 的数据通路如图 1 所示。运算器中 $R_0 \sim R_3$ 为通用寄存器，DR 为数据缓冲寄存器，PSW 为状态字寄存器。D-cache 为数据存储器，I-cache 为指令存储器，PC 为程序计数器（具有加 1 功能），IR 为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如 LR_0 表示读出 R_0 寄存器， SR_0 表示写入 R_0 寄存器。

机器指令“STO $R_1, (R_2)$ ”实现的功能是：将寄存器 R_1 中的数据写入到以 (R_2) 为地址的数存单元中。请画出该存数指令周期流程图，并在 CPU 周期框外写出所需的微操作控制信号。（一个 CPU 周期含 $T_1 \sim T_4$ 四个时钟信号，寄存器打入信号必须注明时钟序号）

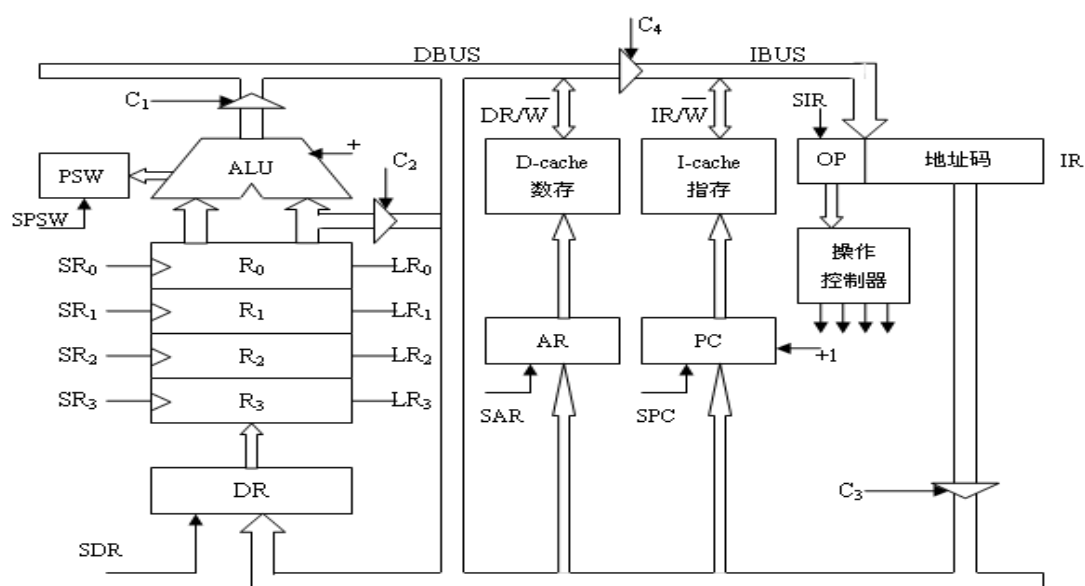


图1 CPU 的数据通路