

## 一、填空题

- 1 运算器和控制器合在一起称为（ ），而将（ ）和存储器合在一起称为（ ）。
- 2 数的真值变成机器码可采用原码、（ ）和（ ）表示法，移码表示法便于表示浮点数的（ ）。
- 3 广泛使用的（ ）和（ ）都是半导体随机读写存储器，而（ ）存储器同时具有 RAM 和 ROM 的特点。
- 4 形成指令地址的方式称为（ ）方式，它分为（ ）寻址和（ ）寻址。
- 5 微型机的标准总线从 16 位的 ISA 总线发展到 32 位的（ ）总线和（ ）总线，又进一步发展到 64 位的（ ）总线。
- 6 安腾 CPU 中的主要寄存器除了 128 个通用寄存器、128 个浮点寄存器、128 个应用寄存器和 1 个指令指针寄存器（即程序计数器）外、还有 64 个（ ）和 8 个（ ）。
- 7 DMA 控制器按其结构，分为（ ）DMA 控制器和（ ）DMA 控制器。前者适用于高速设备，后者适用于慢速设备。
- 8 64 位处理机的两种典型体系结构是（ ）和（ ）。前者保持了与 IA-32 的完全兼容，后者则是一种全新的体系结构。
- 9 CPU 从（ ）中取出一条指令并执行这条指令的时间和称为（ ）。
- 10 RISC 指令系统的最大特点是：只有（ ）指令和（ ）指令访问存储器，其余指令的操作均在寄存器之间进行。

## 二、简答题

CPU 中有哪几类主要寄存器？用一句话说明它们的功能。

## 三、计算题

设存储器容量为 64M 字，字长 128 位，模块数  $m=8$ ，分别用顺序方式和交叉方式进行组织。存储周期  $T=160\text{ns}$ ，数据总线宽度位 128 位，总线传送周期  $\tau=40\text{ns}$ 。问：顺序存储器和交叉存储器的带宽各是多少？

## 四、证明题

用定量分析法证明：流水 CPU 比顺序 CPU 具有更大的吞吐率。

## 五、设计题

现只有“2 输入与非门”和“异或门”两种器件，它们的延迟时间分别为 20ns 和 40ns，请设计一个行波（串行）进位加法器。

(1)列出 1 位全加器真值表。

(2)画出加法器逻辑电路图（只画最低 2 位），规定输入、输出均为原变量。

(3)设加法器为 32 位，计算求和运算的最长时间。

(4)修改(2)的逻辑图，使加法器也能实现减法运算。

## 六、设计题

一台模拟机的数据通路如图所示，其中 ALU 完成加、减、传送（X）三种操作，MUX 是三选一路开关，R1~R3 是通用寄存器。RAM 是双端口存储器，其中 DRAM 为数据存储器（CE1 为读写使能，RD/WE#为读/写命令），IRAM 为指令存储器（只读）。AR 为数据地址存储器，PC 为程序计数器（具有自动加 1 功能），IR 为指令寄存器。所有的单箭头为控制微命令。请回答下列 5 个问题：

(1)指出运算器中的相斥性微操作。

(2)指出存储器中的相容性微操作。

(3)采用直接控制方式，设计微程序控制器中的微指令格式。规定判别字段 2 位，下地址字段 5 位。

(4)部分微命令采用编码控制，设计微指令格式。要求微指令字长 $\leq 24$  位。

(5)画出存数指令 STA 的指令周期流程图。PC 中已存放指令地址，DRAM 的数据地址由 R3 提供，写入数据由 R2 提供。

