

计算机组成原理 试题 参考答案

一、填空题（每空 2 分，共 40 分）

题号	空【1】答案	空【2】答案
1	暂停	/
2	阶码 E	尾数 M
3	程序中中断	通道
4	多级	/
5	空间	/
6	操作控制	数据加工
7	I/O	/
8	传输速率	/
9	存取时间	存储器带宽
10	跳跃	/
11	HOST 桥	PCI/PCI 桥
12	资源相关	/
13	互锁	/
14	微程序级	操作系统级

二、选择题（每题 2 分，共 20 分）

题号	答案	题号	答案	题号	答案	题号	答案	题号	答案
1	D	2	B	3	B	4	D	5	A
6	C	7	A	8	A	9	D	10	B

三、综合题（共 40 分）

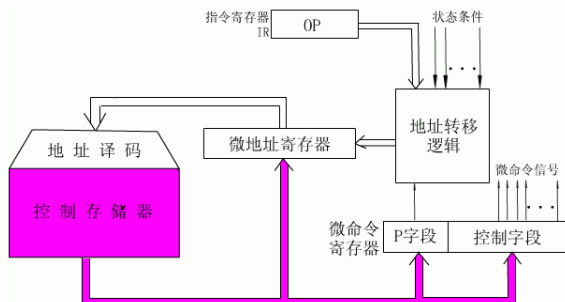
1、解：（10 分）

（1）微指令格式：（3 分）

4 条微命令	5 条微命令	8 条微命令	15 条微命令	20 条微命令	条件测试	下址字段
3 位	3 位	4 位	4 位	5 位	2 位	8 位

（2）控存容量： $2^8 \times 29 = 256 \times 29$ （3 分）

（3）微程序控制器逻辑框图（4 分）



2、解：（8 分）

$$x = 2^{-011} \times 0.10001, y = 2^{-010} \times (-0.011110)$$

$$[x]_{\#} = 11101, 00.10001 \quad (1 \text{ 分}) \quad [y]_{\#} = 11110, 11.100010 \quad (1 \text{ 分})$$

$$[Ex - Ey]_{\#} = [Ex]_{\#} + [-Ey]_{\#} = 11101 + 00010 = 11111 \quad (1 \text{ 分})$$

$$[x]_{\#} = 11110, 00.010010(1) \quad (1 \text{ 分})$$

$$\begin{array}{r} x+y \quad 00.010010(1) \\ + \quad 11.100010 \\ \hline 11.110100(1) \end{array} \quad (2 \text{ 分})$$

规格化和舍入处理： $1.0100\boxed{1}0$ ，阶码 11100（1 分）

$$x+y = 1.010010 \times 2^{-4} = -0.101110 \times 2^{-4} \quad (1 \text{ 分})$$

3、解：（6 分）

$$(1) 280 \times 12288 \times 10 = 32.81 \text{ MB} \quad (2 \text{ 分})$$

(2) 最低位密度 D2 按最大磁道半径 R2 计算：

$$R2 = R1 + 280/4 = 230/2 + 70 = 185 \text{ mm}$$

$$D2 = 12288 \text{ 字节} / 2 \pi R2 = 10.58 \text{ 字节/mm} \quad (2 \text{ 分})$$

$$(3) 9600/60 \times 12288 = 1920 \text{ KB/s} \quad (2 \text{ 分})$$

4、解：（6 分）

48 条指令至少需要操作码字段 6 位，所以剩下的长度为 26 位，主存的容量为 64M 字，则设寻址模式(X) 2 位。（1 分）格式如下：

31	26	25	24	23	0
OP		X		D	

（2 分）

X=00 直接寻址 有效地址 E=D（1 分）

X=01 立即寻址 D 字段为立即数（1 分）

X=10 变址寻址 有效地址 E=(RX)+D(可寻址 64M 个存储单元)（1 分）

5、解：（10 分）

(1) 主存最大空间为 $2^{19} = 512 \text{ KB}$ ，每个模块板的存储容量为 64KB，所以主存共需 $512 \text{ KB} / 64 \text{ KB} = 8$ 块板。（2 分）

(2) 使用存储芯片 16K×16 位通过字位同时扩展方法形成 64KB×32 位的模块板，共需要 $(64 \text{ KB} / 16 \text{ KB}) \times (32 \text{ 位} / 16 \text{ 位}) = 8$ 个（SRAM 芯片）。（2 分）

(3) 根据前面所得，共有 8 个模块板，每个模块板上有 8 个芯片，故主存共需 $8 \times 8 = 64$ 个（SRAM 芯片）。（2 分）

(4) CPU 选择各模块板的方法是：各模块板均用地址码 A0 ~ A15 译码，而各模块的选择用地址码最高三位 A18、A17、A16 通过 3:8 译码器输出进行选择。（2 分）模块板内芯片的选择方法是：由位扩展形成的各芯片组（2 个芯片/组）均用地址码 A0 ~ A13 译码，而各芯片组的选择用地址码最高二位 A15、A14 通过 2:4 译码器输出进行选择。（2 分）