

一、选择题（每小题 1 分，共 15 分）

1 从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于（ ）计算机。

- A 并行 B 冯·诺依曼 C 智能 D 串行

2 某机字长 32 位，其中 1 位表示符号位。若用定点整数表示，则最小负整数为（ ）。

- A $-(2^{31}-1)$ B $-(2^{30}-1)$ C $-(2^{31}+1)$ D $-(2^{30}+1)$

3 以下有关运算器的描述，（ ）是正确的。

- A 只做加法运算 B 只做算术运算
C 算术运算与逻辑运算 D 只做逻辑运算

4 EEPROM 是指（ ）。

- A 读写存储器 B 只读存储器
C 闪速存储器 D 电擦除可编程只读存储器

5 常用的虚拟存储系统由（ ）两级存储器组成，其中辅存是大容量的磁表面存储器。

- A cache-主存 B 主存-辅存 C cache-辅存 D 通用寄存器-cache

6 RISC 访内指令中，操作数的物理位置一般安排在（ ）。

- A 栈顶和次栈顶
B 两个主存单元
C 一个主存单元和一个通用寄存器
D 两个通用寄存器

7 当前的 CPU 由（ ）组成。

- A 控制器

B 控制器、运算器、cache

C 运算器、主存

D 控制器、ALU、主存

8 流水 CPU 是由一系列叫做“段”的处理部件组成。和具备 m 个并行部件的 CPU 相比，一个 m 段流水 CPU 的吞吐能力是（ ）。

A 具备同等水平

B 不具备同等水平

C 小于前者

D 大于前者

9 在集中式总线仲裁中，（ ）方式响应时间最快。

A 独立请求 B 计数器定时查询 C 菊花链

10 CPU 中跟踪指令后继地址的寄存器是（ ）。

A 地址寄存器 B 指令计数器 C 程序计数器 D 指令寄存器

11 从信息流的传输速度来看，（ ）系统工作效率最低。

A 单总线 B 双总线 C 三总线 D 多总线

12 单级中断系统中，CPU 一旦响应中断，立即关闭（ ）标志，以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。

A 中断允许 B 中断请求 C 中断屏蔽 D DMA 请求

13 安腾处理机的典型指令格式为（ ）位。

A 32 位 B 64 位 C 41 位 D 48 位

14 下面操作中应该由特权指令完成的是（ ）。

A 设置定时器的初值

B 从用户模式切换到管理员模式

C 开定时器中断

D 关中断

15 下列各项中，不属于安腾体系结构基本特征的是（ ）。

A 超长指令字 B 显式并行指令计算 C 推断执行 D 超线程

二、填空题（每小题 2 分，共 20 分）

1 字符信息是符号数据，属于处理（ ）领域的问题，国际上采用的字符系统是七单位的（ ）码。

2 按 IEEE754 标准，一个 32 位浮点数由符号位 S（1 位）、阶码 E（8 位）、尾数 M（23 位）三个域组成。其中阶码 E 的值等于指数的真值（ ）加上一个固定的偏移值（ ）。

3 双端口存储器和多模块交叉存储器属于并行存储器结构，其中前者采用（ ）并行技术，后者采用（ ）并行技术。

4 虚拟存储器分为页式、（ ）式、（ ）式三种。

5 安腾指令格式采用 5 个字段：除了操作码（OP）字段和推断字段外，还有 3 个 7 位的（ ）字段，它们用于指定（ ）2 个源操作数和 1 个目标操作数的地址。

6 CPU 从内存取出一条指令并执行该指令的时间称为（ ），它常用若干个（ ）来表示。

7 安腾 CPU 中的主要寄存器除了 128 个通用寄存器、128 个浮点寄存器、128 个应用寄存器、1 个指令指针寄存器（即程序计数器）外，还有 64 个（ ）和 8 个（ ）。

8 衡量总线性能的重要指标是（ ），它定义为总线本身所能达到的最高传输速率，单位是（ ）。

9 DMA 控制器按其结构，分为（ ）DMA 控制器和（ ）DMA 控制器。前者适用于高速设备，后者适用于慢速设备。

10 64 位处理机的两种典型体系结构是（ ）和（ ）。前者保持了与 IA-32 的完全兼容，后者则是一种全新的体系结构。

三、简答题（每小题 8 分，共 16 分）

1 简要总结一下，采用哪几种技术手段可以加快存储系统的访问速度？

2 一台机器的指令系统有哪几类典型指令？列出其名称。

四、证明题（10 分）

求证： $[-y]_{\text{补}} = -[y]_{\text{补}} \pmod{2^{n+1}}$

五、设计题（12 分）

现给定与门、或门、异或门三种芯片，其中与门、或门的延迟时间为 20ns，异或门的延迟时间为 60ns。

(1)请写出一位全加器（FA）的真值表和逻辑表达式，画出 FA 的逻辑图。

(2)画出 32 位行波进位加法器/减法器的逻辑图。注：画出最低 2 位和最高 2 位（含溢出电路）

(3)计算一次加法所用的总时间。

六、计算题（12 分）

某计算机的存储系统由 cache、主存和磁盘构成。cache 的访问时间为 15ns；如果被访问的单元在主存中但不在 cache 中，需要用 60ns 的时间将其装入 cache，然后再进行访问；如果被访问的单元不在主存中，则需要 10ms 的时间将其从磁盘中读入主存，然后再装入 cache 中并开始访问。若 cache 的命中率为 90%，主存的命中率为 60%，求该系统中访问一个字的平均时间。

七、设计题（15 分）

CPU 的数据通路如图 1 所示。运算器中 $R_0 \sim R_3$ 为通用寄存器，DR 为数据缓冲寄存器，PSW 为状态字寄存器。D-cache 为数据存储器，I-cache 为指令存储器，PC 为程序计数器（具有加 1 功能），IR 为指令寄存器。单线箭头信号均为微操作控制信号（电位或脉冲），如 LR_0 表示读出 R_0 寄存器， SR_0 表示写入 R_0 寄存器。

机器指令“ADD R2, R0”实现的功能是：将寄存器 R2 和 R0 中的数据进行相加，求和结果打入到寄存器 R0 中。请画出该加法指令的指令周期流程图，并在 CPU 周期框外写出所需的微操作控制信号。（一个 CPU 周期含 $T_1 \sim T_4$ 四个时钟信号，寄存器打入信号必须注明时钟序号）

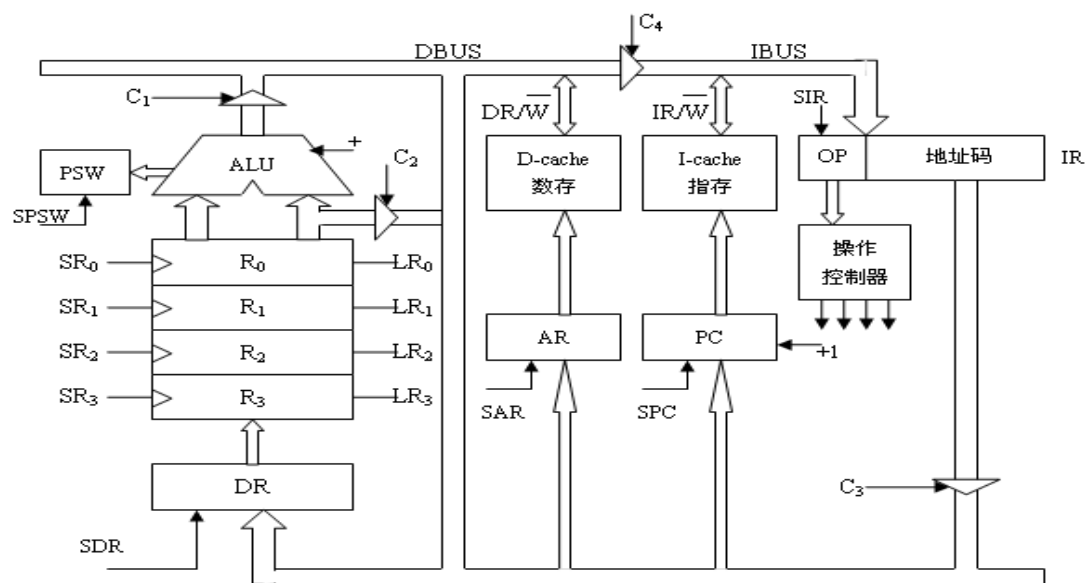


图1 CPU的数据通路