

一、选择题（每小题 1 分，共 15 分）

1 从器件角度看，计算机经历了五代变化。但从系统结构看，至今绝大多数计算机仍属于（ ）计算机。

- A 并行 B 冯·诺依曼 C 智能 D 串行

2 某机字长 32 位，其中 1 位表示符号位。若用定点整数表示，则最小负整数为（ ）。

- A $-(2^{31}-1)$ B $-(2^{30}-1)$ C $-(2^{31}+1)$ D $-(2^{30}+1)$

3 以下有关运算器的描述，（ ）是正确的。

- A 只做加法运算
B 只做算术运算
C 算术运算与逻辑运算
D 只做逻辑运算

4 EEPROM 是指（ ）。

- A 读写存储器 B 只读存储器
C 闪速存储器 D 电擦除可编程只读存储器

5 常用的虚拟存储系统由（ ）两级存储器组成，其中辅存是大容量的磁表面存储器。

- A cache-主存 B 主存-辅存 C cache-辅存 D 通用寄存器-cache

6 RISC 访内指令中，操作数的物理位置一般安排在（ ）。

- A 栈顶和次栈顶
B 两个主存单元
C 一个主存单元和一个通用寄存器
D 两个通用寄存器

7 当前的 CPU 由 () 组成。

- A 控制器
- B 控制器、运算器、cache
- C 运算器、主存
- D 控制器、ALU、主存

8 流水 CPU 是由一系列叫做“段”的处理部件组成。和具备 m 个并行部件的 CPU 相比，一个 m 段流水 CPU 的吞吐能力是 ()。

- A 具备同等水平
- B 不具备同等水平
- C 小于前者
- D 大于前者

9 在集中式总线仲裁中，() 方式响应时间最快。

- A 独立请求
- B 计数器定时查询
- C 菊花链

10 CPU 中跟踪指令后继地址的寄存器是 ()。

- A 地址寄存器
- B 指令计数器
- C 程序计数器
- D 指令寄存器

11 从信息流的传输速度来看，() 系统工作效率最低。

- A 单总线
- B 双总线
- C 三总线
- D 多总线

12 单级中断系统中，CPU 一旦响应中断，立即关闭 () 标志，以防止本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。

- A 中断允许
- B 中断请求
- C 中断屏蔽
- D DMA 请求

13 安腾处理机的典型指令格式为 () 位。

A 32 位 B 64 位 C 41 位 D 48 位

14 下面操作中应该由特权指令完成的是（ ）。

- A 设置定时器的初值
- B 从用户模式切换到管理员模式
- C 开定时器中断
- D 关中断

15 下列各项中，不属于安腾体系结构基本特征的是（ ）。

- A 超长指令字
- B 显式并行指令计算
- C 推断执行
- D 超线程

二、填空题（每小题 2 分，共 20 分）

1 字符信息是符号数据，属于处理（ ）领域的问题，国际上采用的字符系统是七单位的（ ）码。

2 按 IEEE754 标准，一个 32 位浮点数由符号位 S（1 位）、阶码 E（8 位）、尾数 M（23 位）三个域组成。其中阶码 E 的值等于指数的真值（ ）加上一个固定的偏移值（ ）。

3 双端口存储器和多模块交叉存储器属于并行存储器结构，其中前者采用（ ）并行技术，后者采用（ ）并行技术。

4 虚拟存储器分为页式、（ ）式、（ ）式三种。

5 安腾指令格式采用 5 个字段：除了操作码（OP）字段和推断字段外，还有 3 个 7 位的（ ）字段，它们用于指定（ ）2 个源操作数和 1 个目标操作数的地址。

6 CPU 从内存取出一条指令并执行该指令的时间称为（ ），它常用若干个（ ）来表示。

7 安腾 CPU 中的主要寄存器除了 128 个通用寄存器、128 个浮点寄存器、128 个应用寄存器、1 个指令指针寄存器（即程序计数器）外，还有 64 个（ ）和 8 个（ ）。

8 衡量总线性能的重要指标是（ ），它定义为总线本身所能达到的最高传输速率，单位是（ ）。

9 DMA 控制器按其结构，分为（ ）DMA 控制器和（ ）DMA 控制器。前者适用于高速设备，后者适用于慢速设备。

10 64 位处理机的两种典型体系结构是（ ）和（ ）。前者保持了与 IA-32 的完全兼容，后者则是一种全新的体系结构。

三、简答题（每小题 8 分，共 16 分）

1 CPU 中有哪几类主要寄存器，用一句话回答其功能。

2 指令和数据都用二进制代码存放在内存中，从时空观角度回答 CPU 如何区分读出的代码是指令还是数据。

四、计算题（10 分）

设 $x=-15$, $y=+13$, 数据用补码表示, 用带求补器的阵列乘法器求出乘积 $x \times y$, 并用十进制数乘法进行验证。

五、证明题（12 分）

用定量分析方法证明多模块交叉存储器带宽大于顺序存储器带宽。

六、分析题（12 分）

图 1 所示的系统中, A、B、C、D 四个设备构成单级中断结构, 它要求 CPU 在执行完当前指令时转向对中断请求进行服务。现假设:

- ① T_{DC} 为查询链中每个设备的延迟时间;
- ② T_A 、 T_B 、 T_C 、 T_D 分别为设备 A、B、C、D 的服务程序所需的执行时间;
- ③ T_s 、 T_r 分别为保存现场和恢复现场所需的时间;
- ④ 主存工作周期为 T_M

⑤ 中断批准机构在确认一个新中断之前，先要让即将被中断的程序的一条指令执行完毕。

试问：在确保请求服务的四个设备都不会丢失信息的条件下，中断饱和的最小时间是多少？中断极限频率是多少？

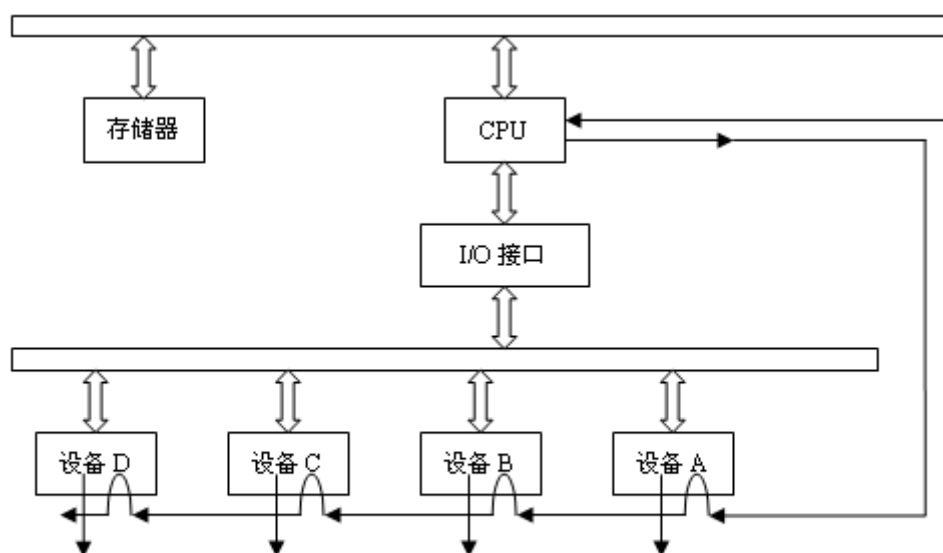


图 1

七、设计题（15 分）

某计算机有图 2 所示的功能部件，其中 M 为主存，指令和数据均存放在其中，MDR 为主存数据寄存器，MAR 为主存地址寄存器， $R_0 \sim R_3$ 为通用寄存器，IR 为指令寄存器，PC 为程序计数器（具有自动加 1 功能），C、D 为暂存寄存器，ALU 为算术逻辑单元，移位器可左移、右移、直通传送。

(1) 将所有功能部件连接起来，组成完整的数据通路，并用单向或双向箭头表示信息传送方向。

(2) 画出“ADD R_1 , (R_2)”指令周期流程图。该指令的含义是将 R_1 中的数与 (R_2) 指示的主存单元中的数相加，相加的结果直通传送至 R_1 中。

(3) 若另外增加一个指令存储器，修改数据通路，画出(2)的指令周期流程图。

