

一、 填空题

- 1 IEEE6754 标准规定的 64 位浮点数格式中，符号位为 1 位，阶码为 11 位，尾数为 52 位。则它所能表示的最大规格化正数为（ ）。
- 2 直接使用西文键盘输入汉字，进行处理，并显示打印汉字，要解决汉字的（ ）、（ ）和（ ）三种不同用途的编码。
- 3 数的真值变成机器码时有四种表示方法，即（ ）表示法，（ ）表示法，（ ）表示法，（ ）表示法。
- 4 主存储器的技术指标有（ ），（ ），（ ），（ ）。
- 5 cache 和主存构成了（ ），全由（ ）来实现。
- 6 根据通道的工作方式，通道分为（ ）通道和（ ）通道两种类型。
- 7 SCSI 是（ ）I/O 标准接口，IEEE1394 是（ ）I/O 标准接口。
- 8 某系统总线的一个存取周期最快为 3 个总线时钟周期，总线在一个总线周期中可以存取 32 位数据。如总线的时钟频率为 8.33MHz，则总线的带宽是（ ）。
- 9 操作系统是计算机硬件资源管理器，其主要管理功能有（ ）管理、（ ）管理和（ ）管理。
- 10 安腾处理机采用 VLIW 技术，编译器经过优化，将多条能并行执行的指令合并成一个具有（ ）的超长指令字，控制多个独立的（ ）同时工作。

二、 证明题

设 $[X]_{\text{补}} = x_0x_1x_2 \dots x_n$ ，求 $x = -x_0 + \sum_{i=1}^n x_i 2^{-i}$ 证：

三、设计题

CPU 的地址总线 16 根 ($A_{15}-A_0$, A_0 是低位), 双向数据总线 16 根 ($D_{15}-D_0$), 控制总线中与主存有关的信号有 \overline{MREQ} (允许访存, 低电平有效), R/W (高电平读命令, 低电平写命令)。主存地址空间分配如下: 0~8191 为系统程序区, 由 EPROM 芯片组成, 从 8192 起一共 32k 地址空间为用户程序区, 最后 (最大地址) 4k 地址空间为系统程序工作区。上述地址为 10 进制, 按字编址。现有如下芯片:

EEPROM: 8K*16 位 (控制端仅有 CS (电平有效)), 16 位*8 位

SRAM: 16K*1 位, 2K*8 位, 4K*16 位, 8K*16 位

请从上述芯片中选择芯片设计该计算机主存储器, 画出主存逻辑框图, 注意画选片逻辑 (可选用门电路及译码器)。

四、分析题

在决定一台计算机采用何种寻址方式时，总要做各种各样的权衡，在下列每种情况下，具体的考虑是什么？

- (1)单级间接寻址方式作为一种方式，提出来的时候，硬件变址寄存器被认为是一种成本很高的方法，随 LSI 电路的问世，硬件成本大降，试问：现在是不是使用变址寄存器更为可取？
- (2)已知一台 16 位计算机配有 16 个通用寄存器。请问：是否有一个简单的硬件设计规则，使我们可以指定这个通用寄存器组的某些寄存器来进行 20 位的存储器寻址？参与这种寻址的通用寄存器该采用什么办法区分出来？

五、设计题

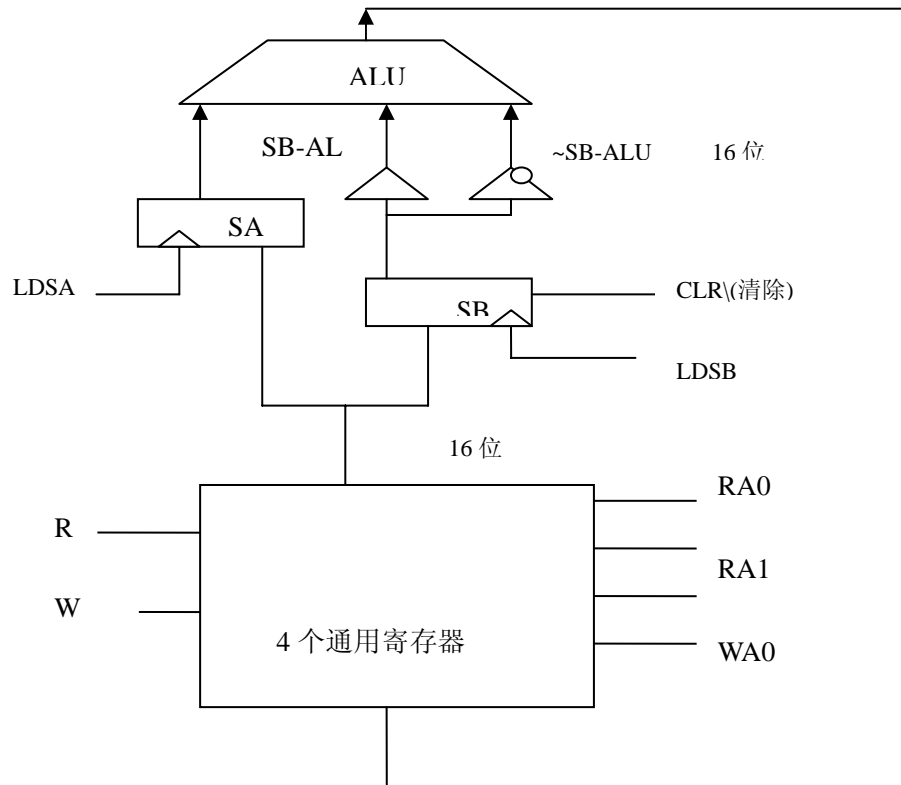
假设某计算机的运算器框图如图 1 所示。其中 ALU 为 16 位的加法器（高电平工作），SA，SB 为 16 位寄存器，4 个通用寄存器由 D 触发器组成，Q 端输出，其读写控制如下表示：

读控制			
R	RA0	RA1	选择
1	0	0	R0
1	0	1	R1
1	1	0	R2
1	1	1	R3
0	×	×	不读出

写控制			
W	WA0	WA1	选择
1	0	0	R0
1	0	1	R1
1	1	0	R2
1	1	1	R3
0	×	×	不写入

要求：(1)设计微指令格式

(2)画出 ADD，SUB 两条指令微程序流程图。



六、时序产生器需要在 CPU 周期中产生四个等间隔的节拍脉冲信号：T1，T2，T3，T4，其脉冲宽度均为 200ns，请设计时序逻辑电路（考虑启停控制逻辑）。