

一、知识表达题（共 40 分）

1、答：

在 PCI 总线体系结构中，桥起着重要作用：

(1) 它连接两条总线，使总线间相互通信。(2 分)

(2) 桥是一个总线转换部件，可以把一条总线的地址空间映射到另一条总线的地址空间上，从而使系统中任意一个总线主设备都能看到同样的一份地址表。(2 分)

(3) 利用桥可以实现总线间的猝发式传送。(1 分)

2、答：

一位全加器 FA 和输出 S_i 、进位输出 C_{i+1} 的逻辑表达式如下：

$$S_i = A_i \oplus B_i \oplus C_i \quad (2 \text{ 分})$$

$$C_{i+1} = A_i B_i + B_i C_i + C_i A_i \quad (3 \text{ 分})$$

3、答：

在计算机系统中，CPU 对外围设备的管理方式有：①程序查询方式（1 分）；②程序中断方式（2 分）；③DMA 方式（1 分）；④通道方式（1 分）。

4、答：

道密度是沿磁盘半径方向单位长度上的磁道数，单位为道/英寸。(1 分)

位密度是磁道单位长度上能记录的二进制代码位数，单位为位/英寸。(1 分)

面密度是位密度和道密度的乘积，单位为位/平方英寸。(1 分)

存取时间是指从发出读写命令后，磁头从某一起始位置移动至新的记录位置，到开始从盘片表面读出或写入信息加上传送数据所需要的时间。(2 分)

5、答：

主存的每一块只可映射到 cache 的特定一行中。cache 的行号 i 和主存的块号 j 有如下函数关系： $i = j \bmod m$ （ m 为 cache 中的总行数）(3 分)

优点是硬件简单，成本低。因此适合大容量 cache 采用。(1 分)

缺点是每个主存块只有一个固定的行位置可存放，容易产生冲突。(1 分)

6、答：

冯·诺依曼型计算机的主要设计思想是：

采用存储程序的方式，编制好的程序和数据存放在同一存储器中，计算机可以在无人干预的情况下自动完成逐条取出指令和执行指令的任务；(3 分)

在机器内部，指令和数据均以二进制码表示，指令在存储器中按执行顺序存放。(2 分)

7、答：

相斥性操作：+，-，M；(1 分) 4，6，8；(1 分) 5，7，9 (1 分)

相容性操作：1，2，3；(1 分) 4，6，8 之一与 5，7，9 之一 (1 分)

8、答：

RISC 指令系统的三大特点是：

①指令条数少；(1 分)

②指令长度固定，指令格式和寻址方式种类少；(2 分)

③只有取数/存数指令访问存储器，其余指令的操作均在寄存器之间进行。(2 分)

二、综合分析题（共 35 分）

1、（6 分）

- (1) 双字长二地址指令，用于访问存储器。（2 分）
- (2) 操作码字段 OP 为 6 位，可以指定 $2^6=64$ 种操作。（2 分）
- (3) 一个操作数在源寄存器（共 16 个），另一个操作数在存储器中（由基值寄存器和位移量决定），所以是 RS 型指令。（2 分）

2、（14 分）

$$[x]_{\text{补}} = 0.1011 \text{ (2 分)}, \quad [y]_{\text{补}} = 1.1011 \text{ (2 分)}$$

$$[-y]_{\text{补}} = 0.0101 \text{ (2 分)}$$

$$\begin{array}{r} [x]_{\text{补}} = 00.1011 \quad [x]_{\text{补}} = 00.1011 \\ + [-y]_{\text{补}} = 00.0101 \quad + [y]_{\text{补}} = 11.1011 \\ \hline 01.0000 \text{ (2 分)} \quad 00.0110 \text{ (2 分)} \end{array}$$

符号位相异 $x-y$ 溢出（2 分） $x+y$ 无溢出（2 分）

3、（15 分）

- (1) 控制存储器用来存放实现全部指令系统的微程序。它是一种只读存储器。一旦微程序固化，机器运行时则只读不写。对控制存储器的要求是速度快，读出周期要短。（5 分）
- (2) 当微程序出现分支时，地址转移逻辑自动形成下已微指令的微地址，并修改微地址寄存器的内容。要求：当微程序出现分支时，通过判别测试字段 P、执行部件的“状态条件”反馈信息和指令的操作码字段，去修改微地址寄存器的内容，形成正确的分支转移。（5 分）
- (3) 微指令字长 32 位，微地址寄存器 7 位，因此，微命令寄存器 $32-7=25$ ，10 给微命令直接表示占 10 位，4 个相斥类各包含 7 个、15 个、3 个、5 个微命令，编码表示分别占 3 位，4 位，2 位，3 位，因此共须 $10+3+4+2+3=22$ 位，4 条件编码表示 P 字段占 3 位，微命令寄存器如图 A-1。（5 分）

10个微命令	7个微命令	15个微命令	3个微命令	5个微命令	P1~P4
直接控制	编码控制	编码控制	编码控制	编码控制	判别字段
10位	3位	4位	2位	3位	3位

图 A-1 微命令寄存器格式

三、设计论证题（共 25 分）

1、（15 分）

- (1) （10 分）答：

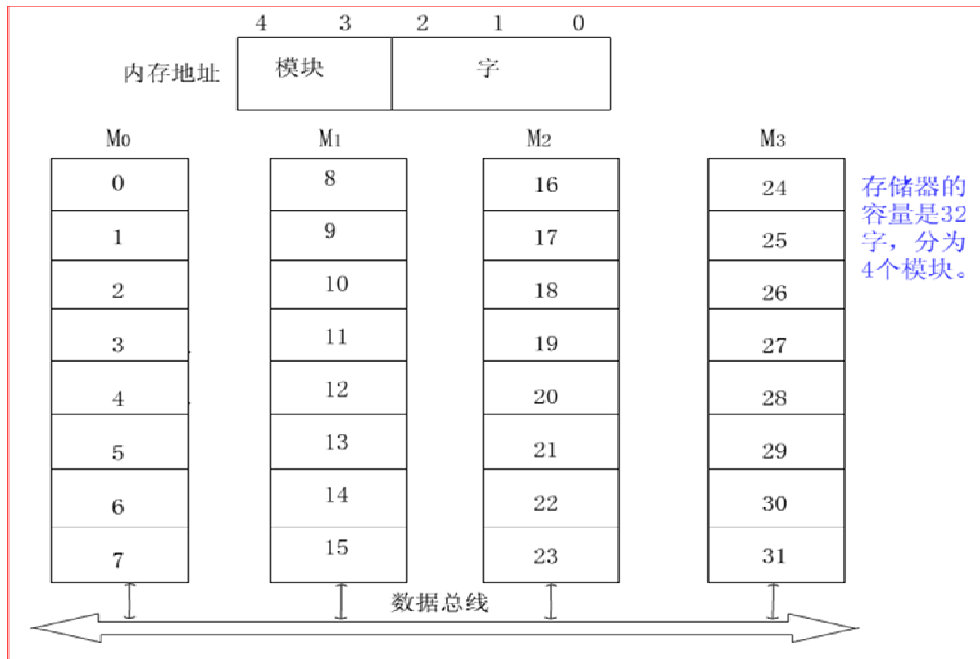


图 A-2 存储器模块的顺序组织方式 (5 分)

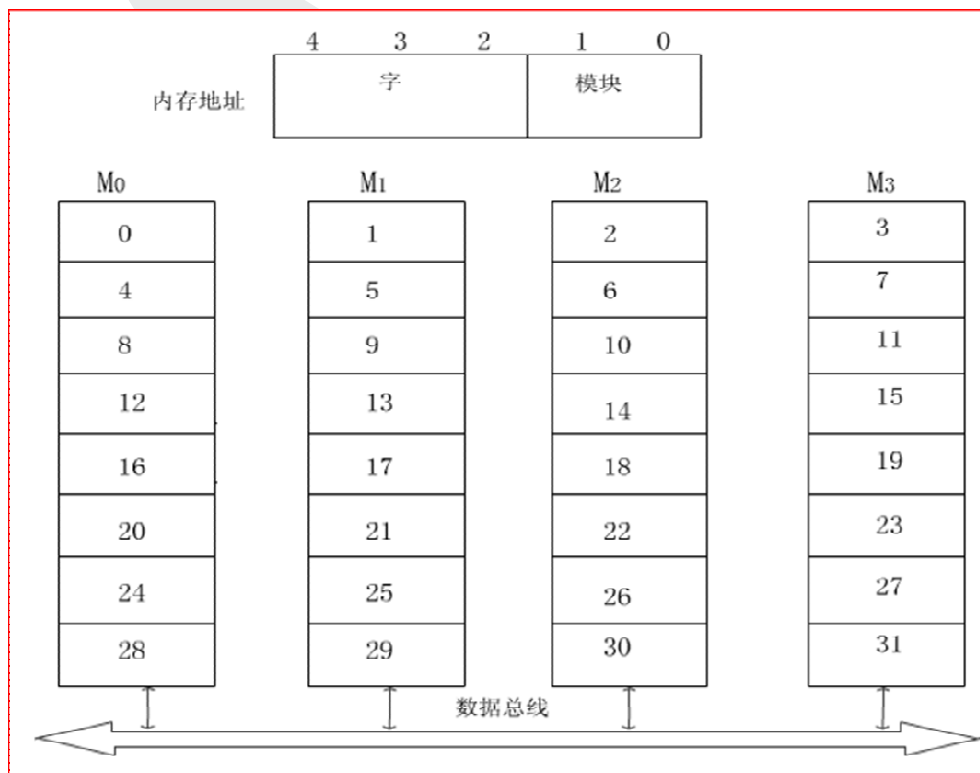


图 A-3 存储器模块的交叉组织方式 (5 分)

(2) (5 分) 证明:

交叉存储器的时间: $t_1 = T + (m-1)\tau = (2m-1)\tau$ (1 分)

顺序存储器的时间: $t_2 = mT = m^2 \times \tau$ (1 分)

交叉存储器的带宽: $W_1 = 1/t_1 = 1/(2m-1)\tau$ (1 分)

顺序存储器的带宽: $W_2 = 1/t_2 = 1/m^2 \times \tau$ (1 分)

因为 $t_1 < t_2$, 所以 $W_1 > W_2$ (1 分)

2、(10 分)

(1) (5 分) 补充完整的程序中断方式基本接口示意图如图 A-4 所示。

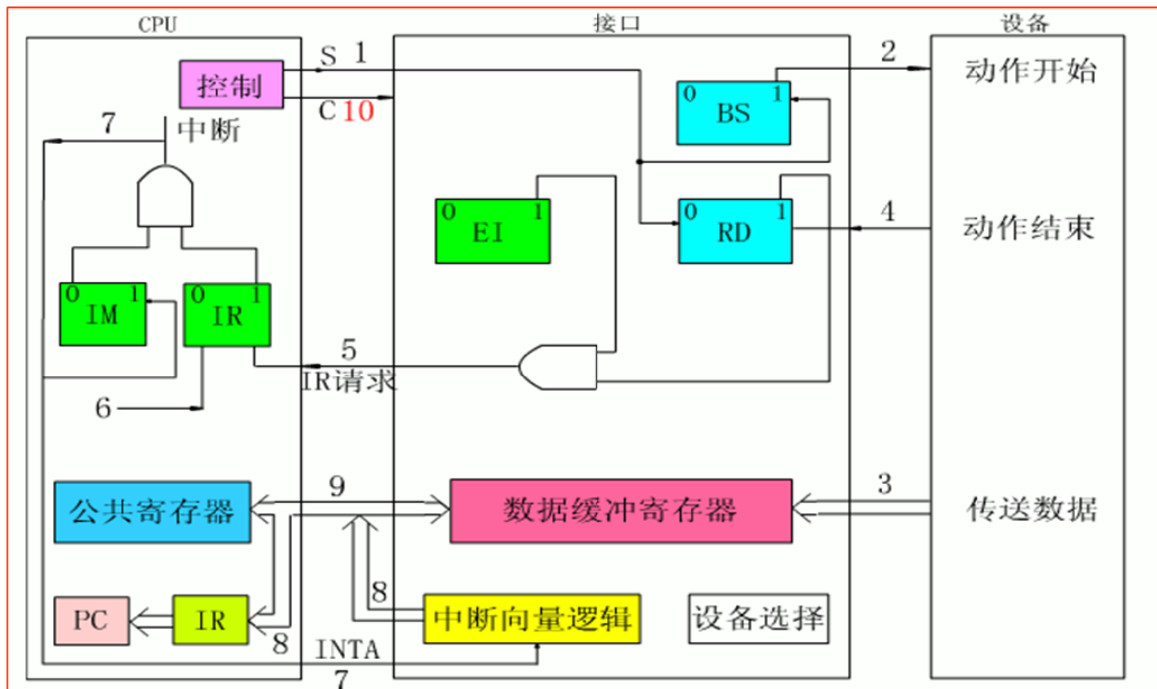


图 A-4 程序中断方式的基本接口示意图 (5 分)

(2) (5 分) 答：

CPU 响应中断应具备的三个条件：

在 CPU 中的中断屏蔽触发器 IM 必须是开放的。(1 分)

外设有中断请求时，中断请求触发器 IR 必须处于“1”状态，保持中断请求信号。

(1 分)

外设接口中中断允许触发器 EI 必须为“1”，这样才能把外设中断请求送至 CPU。

(2 分)

当上述三个条件具备时，CPU 在现行指令结束的最后一个机器周期响应中断。(1 分)