|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **题号** | **一** | **二** | **三** | **四** | **五** | **六** | **七** | **八** | **九** | **十** | **总分** |
| **得分** |  |  |  |  |  |  |  |  |  |  |  |

|  |  |
| --- | --- |
| **得分** |  |

**一、知识表达题（每小题4分，共24分）**

1. **浮点数的阶（指数）为什么要用移码表示？它的精度和范围取决于什么？**
2. **在补码加法器中，如何实现补码减法运算？**
3. **CPU中标志寄存器的功能是什么？有哪几种基本标志？**

**4、 CPU是如何发现内部异常和外部中断的？两者最本质的不同是什么？**

**5、流水线处理器中的时钟周期如何确定？理想情况下单条流水处理机的CPI为多少？**

**6、简述DMA控制方式下如何实现I/O操作？**

|  |  |
| --- | --- |
| **得分** |  |

**二、综合分析题（每小题7分，共56分）**

1. **用卡诺图化简法将下列逻辑函数化为最简与-或式。**



**2、已知一个组合逻辑电路的功能可用图1所示的真值表来描述，要求利用无关项进行化简，给出函数F的最简逻辑表达式，画出对应的逻辑电路图，并分析该逻辑电路是否存在竞争冒险?**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***A*** | ***B*** | ***C*** | ***D*** | ***F*** |
| **0** | **0** | **0** | **0** | **d** |
| **0** | **0** | **0** | **1** | **1** |
| **0** | **0** | **1** | **0** | **0** |
| **0** | **0** | **1** | **1** | **1** |
| **0** | **1** | **0** | **0** | **0** |
| **0** | **1** | **0** | **1** | **d** |
| **0** | **1** | **1** | **0** | **0** |
| **0** | **1** | **1** | **1** | **d** |
| **1** | **0** | **0** | **0** | **1** |
| **1** | **0** | **0** | **1** | **0** |
| **1** | **0** | **1** | **0** | **1** |
| **1** | **0** | **1** | **1** | **1** |
| **1** | **1** | **0** | **0** | **0** |
| **1** | **1** | **0** | **1** | **1** |
| **1** | **1** | **1** | **0** | **0** |
| **1** | **1** | **1** | **1** | **1** |

**图1 真值表**

**3、设计一个时序逻辑电路，该电路能够检测并统计两个外部输入信号A和B中0的出现次数。如果0的出现次数累计为5的倍数，则输出信号C为高电平，否则C为低电平。请画出该电路的状态转换图。（提示：0也是5的倍数。）**

**4、分支预测器是现代处理器中的一个重要部件，用于提前预测分支指令的执行结果分支指令的执行结果包括“跳转”和“不跳转”两种，预测的功能通过饱和计数器来实现，其工作方式如下：（1）计数器初值为0。（2）预测正确时，计数器的值增加1，若已为最大值，则不增加。（3）预测错误时，计数器的值减少1，若已为0，则不减少。(4）若计数器的当前值大于最大值的一半，则输出预测“跳转”，否则输出预测“不跳转”。根据上述内容，补全以下Verilog代码，实现一个3位饱和计数器。**

**module SaturatingCounter(**

**input clk,rst,**

**input predict\_right,predict\_wrong,**

**output predict\_taken**

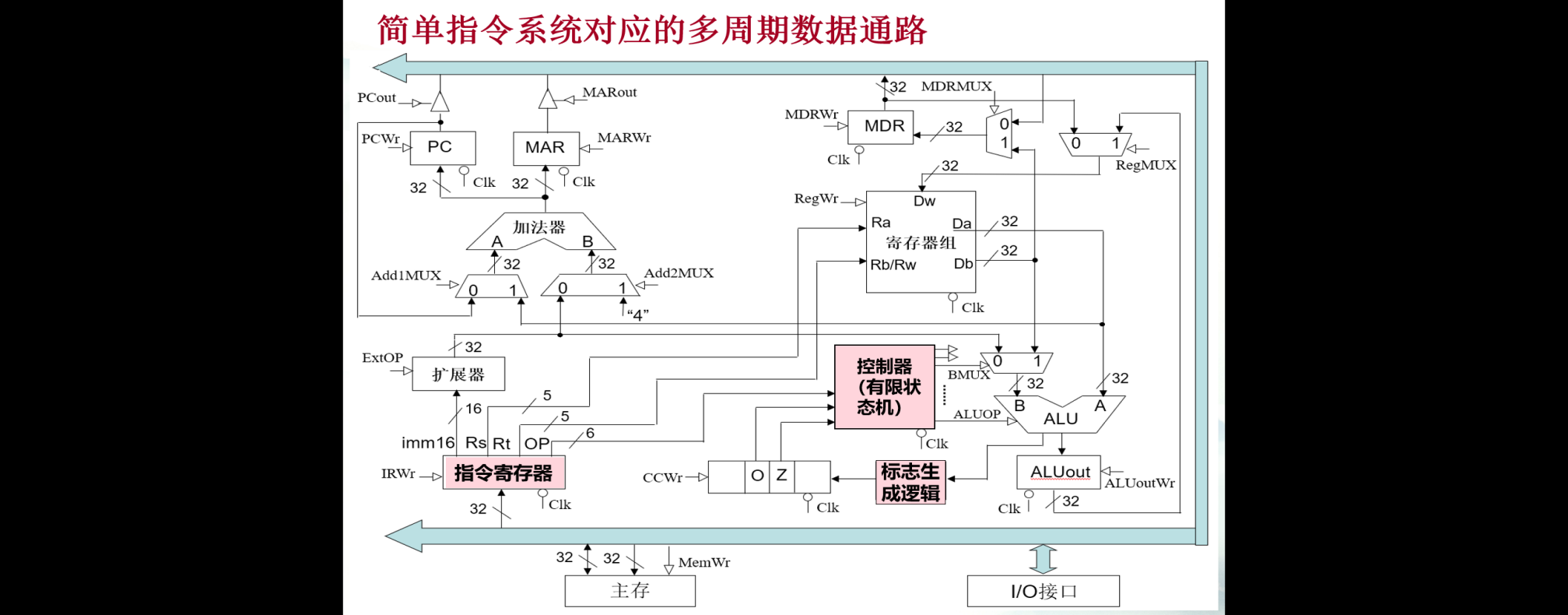
**);**

**//请补充代码**

**endmodule**

**5、采用IEEE754单精度浮点数格式计算表达式的0.75-（-65.25）**

**值，请明确给出详细计算步骤。**

**6、参照如图2所示的多周期数据通路，给出Store指令：M[R[Rs]+SEXT[imm16]]←R[Rt]，将寄存器Rt的内容写入内存，内存单元地址为寄存器内容加立即数）执行过程的各阶段完成的功能，并给出各阶段所需的有效控制信号及其取值。**

**图2 一个完整的多周期数据通路**

**7、假设某计算机的主存地址空间大小为512MB，采用字节编址方式。其cache数据区容量为32KB，采用4路组相联映射方式，块大小为64B。请问主存地址字段如何划分？要求说明每个字段的含义、位数和在主存地址中的位置，并说明CPU对主存单元 的访问过程。**

**8、设某机有4个中断源L1，L2，L3，L4，按中断响应的优先次序由高到低为L1→L2→L3→L4，现要求将中断处理次序改为L1→L3→L2→L4。**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **中断处理程序** | **中断处理屏蔽位** | | | |
| **L1级** | **L2级** | **L3级** | **L4级** |
| **L1中断处理程序** |  | | | |
| **L2中断处理程序** |  | | | |
| **L3中断处理程序** |  | | | |
| **L4中断处理程序** |  | | | |

1. **上表中各级中断服务程序中的各中断级屏蔽值如何设置？**
2. **假定在运行用户程序时同时发生3和4级中断请求，执行4级中断服务程序时发生2级中断请求，请按更改后的次序画出进入各级中断处理的过程示意图。**

|  |  |
| --- | --- |
| **得分** |  |

1. **综合设计题(每小题10分，共20分)**
2. **某计算机主存最大寻址空间为64MB，按字节编址，假定用1M×8位的具有8个位平面的DRAM芯片组成容量为16MB的内存条，其传输宽度为32位。则：**

**（1）每个内存条需要多少DRAM芯片？**

**（2）构建容量为32MB的主存时，需要几个内存条？**

**（3）主存地址共有多少位？哪几位用于选择内存条？哪几位连到内存条的地址引脚上？**

**（4）若芯片的刷新周期为2ms，采用异步式刷新，则产生刷新信号的间隔是多少时间？**

**2、某计算机字长为16位，存储器存取宽度为16位，即每次从存储器取出16位。CPU中有8个16位通用寄存器。现为该计算机设计指令系统，要求指令长度为字长的整数倍，至多支持64种不同操作，每个操作数都支持4种寻址方式：立即数（I)、寄存器直接（R）、寄存器间接（S）和变址（X）。存储器地址位数和立即数均为16位，任何一个通用寄存器都可以作为变址寄存器，支持以下5种二地址指令格式：RR型、RI型、RS型、XI型和SS型。**

**请设计该指令系统的5种二地址指令格式，明确给出每个操作数的寻址模式，还有每种格式的指令长度、各个字段所占位数和含义，并说明每种格式指令需要几次存储器访问？**