

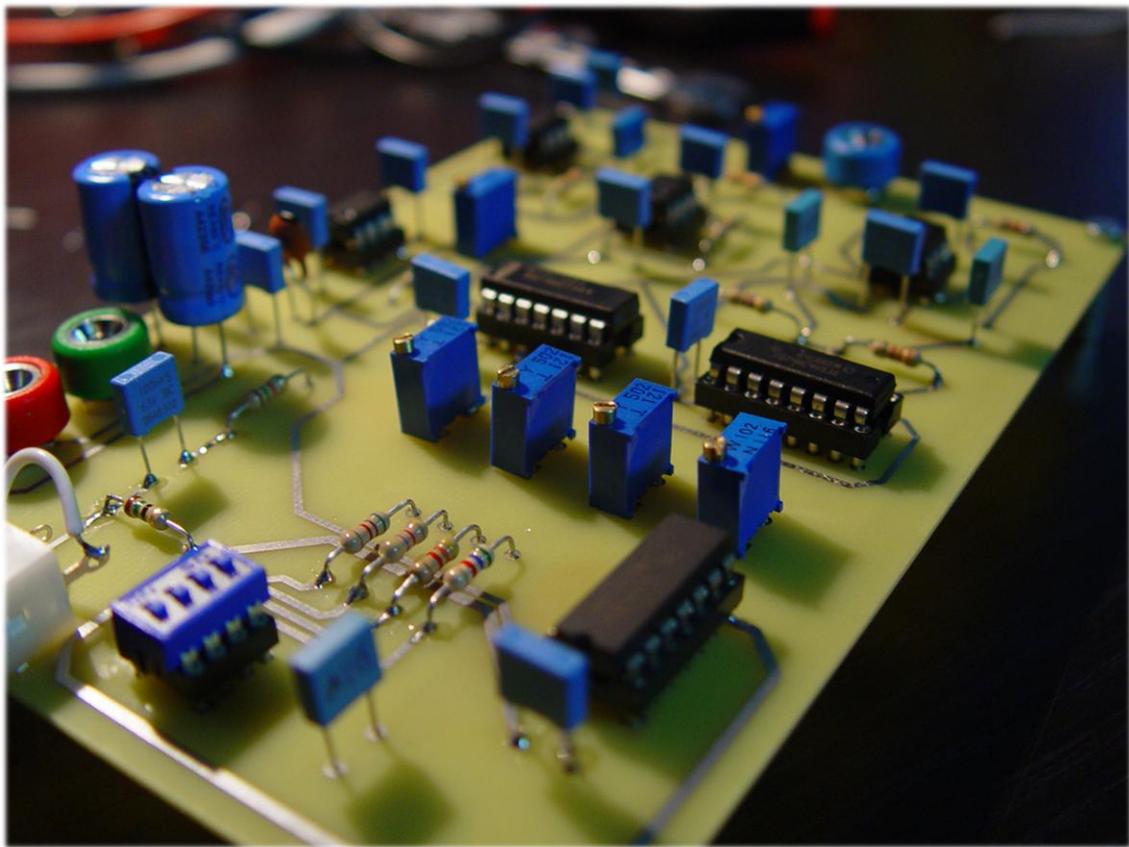


Sistema de Comunicación Vocal por Modulación de Amplitud (AM)

Jesús Javier Alonso Sánchez · Luciano Rubio Romero

VM-18

Laboratorio de Circuitos Electrónicos, curso 2007/08



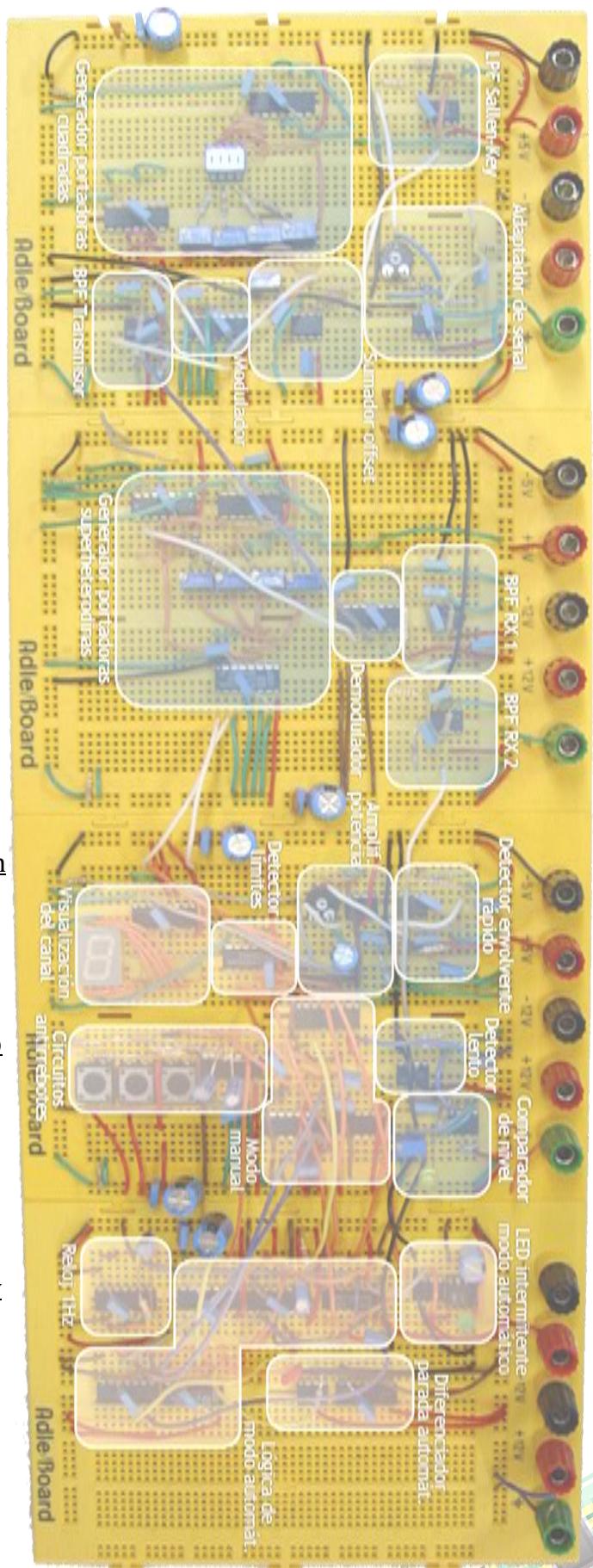
Jesús Javier Alonso Sánchez · Luciano Rubio Romero

Laboratorio de Circuitos Electrónicos, curso 2007/08

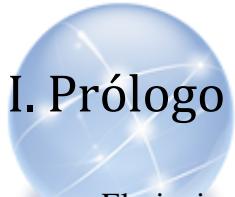
Grupo 33, puesto **VM-18**
Instructores de los turnos JT y VT

Índice

	<u>I. Prólogo</u>
5	<u>II. Fundamento teórico y objetivos de la práctica</u>
6	
9	<u>Parte I: Transmisor AM</u>
10	<u>1. Adaptador de señal</u>
20	<u>2. Filtrado Paso Bajo</u>
27	<u>3. Generador de portadoras</u>
36	<u>4. Sumador de offset</u>
42	<u>5. Mezclador</u>
47	<u>6. Filtrado Paso Banda en transmisión</u>
57	<u>7. Índice de modulación</u>
61	<u>Parte II: Receptor AM</u>
62	<u>8. Generación del Oscilador Local</u>
69	<u>9. Mezclador en recepción</u>
75	<u>10. Filtrado Paso Banda en recepción</u>
86	<u>11. Detector de envolvente rápido</u>
90	<u>12. Filtrado Paso Bajo en recepción</u>
97	<u>13. Amplificador de potencia</u>
101	<u>14. Detector de envolvente lento</u>
104	<u>15. Comparador de nivel de portadora</u>
106	<u>16. Resumen del sistema analógico</u>
118	<u>17. Efecto de la sobremodulación</u>
121	<u>Parte III: Sistema digital</u>
122	<u>18. Pulsadores y circuitos antirrebotes</u>
125	<u>19. Contador de número de canal y límites</u>
128	<u>20. Visualización en display</u>
130	<u>21. Selección del canal, modo búsqueda</u>
137	<u>22. Circuitos de Reset, condensadores filtrado</u>
139	<u>23. Resumen del sistema digital</u>



140	<u><i>Parte IV: Módulos de mejoras</i></u>
141	<u>24. Modo automático de selección de canal</u>
143	<u>25. Diseño del transmisor en circuito impreso</u>
146	<u>26. Sistema digital con CPLD CoolRunner-II™</u>
161	<u>27. Esquemáticos de PSPICE™</u>
164	<u>28. Mejoras en la interfaz digital</u>
168	<u>29. Ecualizador Gráfico</u>
175	<u><i>Anexos</i></u>
176	<u>A: Relación de figuras del documento</u>
185	<u>B: Relación de tablas del documento</u>
186	<u>C: Referencias de consulta</u>
186	<u>D: Terminología utilizada</u>
186	<u>E: Circuitos integrados utilizados</u>



I. Prólogo

El siguiente documento pretende explicar, de la manera más clara posible, el diseño, implementación y desarrollo de la práctica cuatrimestral de la asignatura *Laboratorio de Circuitos Electrónicos*. Para ello, hemos procurado mantener un esquema fijo y simple para poder explicar etapa a etapa el trabajo que hemos ido realizando cada semana lectiva. Sin embargo, la selección de los apartados que conforman esta memoria no es de acuerdo al desarrollo temporal de la práctica, sino que se ha tenido en cuenta el *valor conceptual* de cada bloque, por pequeño que sea, de forma que ningún aspecto vital de la asignatura se pase por alto.

Cada apartado (o módulo) de esta memoria establece, siempre que existan, los siguientes subapartados:

- *Descripción del módulo*
- *Esquema circuitual*
- *Análisis teórico*
- *Obtención de medidas*
- *Gráficas y capturas de osciloscopio*

En ellos agrupamos toda la información teórica y práctica necesaria para la completa definición de la etapa, incluyendo las relaciones entre lo esperado y lo obtenido.

Hemos tenido especial interés en incluir el mayor número posible de gráficas y capturas, con el fin de enriquecer el entendimiento completo del apartado. También hemos procurado añadir toda la información necesaria para cada lógica digital aplicada, además de las referencias a los dispositivos utilizados, con el fin de que el lector pueda obtener fácilmente otros aspectos ofrecidos por el fabricante.

El documento se divide en cuatro partes, cada una de las cuales agrupa los apartados según colaboren a las funciones principales de la práctica:

- Parte I: *Transmisor AM*
- Parte II: *Receptor AM*
- Parte III: *Subsistema digital*
- Parte IV: *Módulos de mejoras*

Al final de cada una de ellas, hemos añadido un apartado que nos haya suscitado especial interés y que tuviera cierta importancia teórica (conceptos de *Circuitos Electrónicos Analógicos* y de la *Teoría de la Comunicación*).

También esperamos que el lector disfrute de este documento tanto como nosotros hemos disfrutado con el aprendizaje y desarrollo de la práctica de este laboratorio.

Jesús Javier y Luciano, autores del documento



II. Fundamento teórico y objetivos de la práctica

El objetivo de la presente práctica del Laboratorio de Circuitos Electrónicos consiste en transmitir –y recibir- una señal de audio modulada en amplitud.

Dicha señal de audio provendrá de un reproductor comercial de mp3 (*apartados 1 y 2*), deberá ser transmitida por cuatro canales distintos (*apartados [media placa]*) y finalmente podrá ser escuchada con unos auriculares comunes (*apartado [ampli de potencia]*).

Las señales portadoras que se usarán para realizar la transmisión en AM serán cuadradas -lo que simplificará el proceso- y seleccionables manualmente. La sintonización en el receptor deberá poder ser tanto manual como automática, por lo que en esta parte será necesario el uso de lógica digital.

En cuanto a la **Modulación en Amplitud**, hay que mencionar que, fundamentalmente se basa en la **multiplicación** de un par de señales:

- Por una parte la **moduladora**, es decir, la señal de información. En nuestro caso se trata de una grabación de voz con un ancho de banda de 2KHz, suficiente para que sea inteligible y que a su vez el sistema mantenga cierta simplicidad.
- Por otra parte está la **portadora**, que es una señal de frecuencia igual a la que queremos transmitir. En nuestro caso **82 KHz, 92 KHz, 102 KHz y 112KHz**.

La **señal resultado** de la multiplicación es la que se **transmite** por el **canal**.

Para extraer la señal de audio original, sometemos a la señal transmitida a un proceso de **demodulación superheterodina**. La demodulación superheterodina es una técnica de demodulación **no-coherente**. (Una demodulación coherente complicaría la práctica excesivamente.)

En el proceso de demodulación superheterodina podemos distinguir fundamentalmente dos pasos distintos:

- El primero consiste en **volver a multiplicar** la señal transmitida, por una señal de una frecuencia tal que, como resultado obtengamos nuestra señal AM **centrada en una frecuencia intermedia**, FI.
- En el segundo se recupera la señal original. Para ello se **rectifica a media onda** la señal centrada en FI y después se le aplica un filtrado que atenúa en gran medida todas las componentes, salvo las que se encuentran en banda base. (A este proceso se le denomina **detección de envolvente**.)

Para cerrar este breve apartado de introducción teórica, adjuntamos unos esquemas que representan -modularmente- las distintas partes de la práctica: transmisor (*figura a*) y receptor (*figura b*).

Asimismo complementamos el apartado con el desarrollo teórico de una modulación-demodulación AM en la que intervienen una señal **moduladora cualquiera**, $x(t)$, una señal **portadora cuadrada** $c(t)$ y la señal **demodulada** $\hat{x}(t)$.

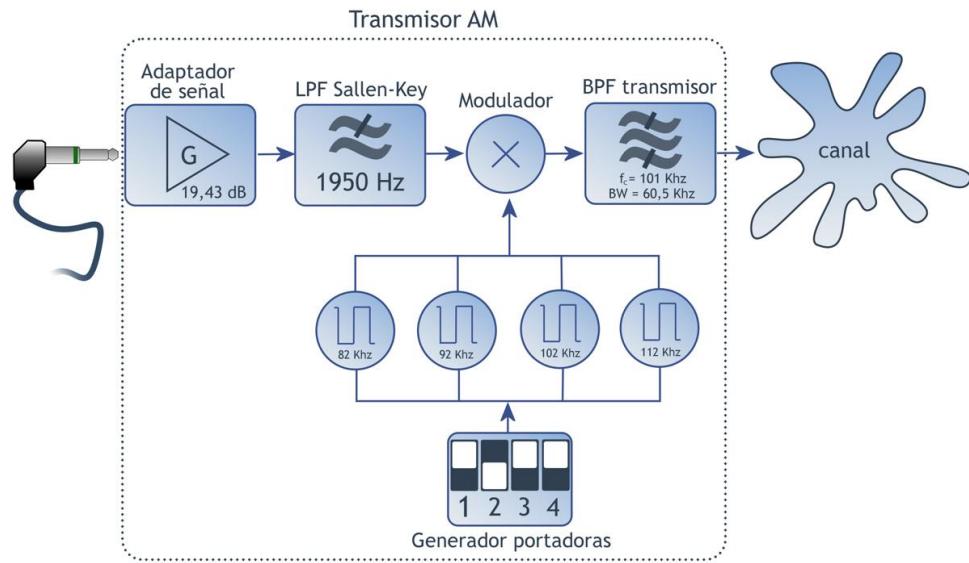


Figura a: Esquema del Transmisor de la práctica.

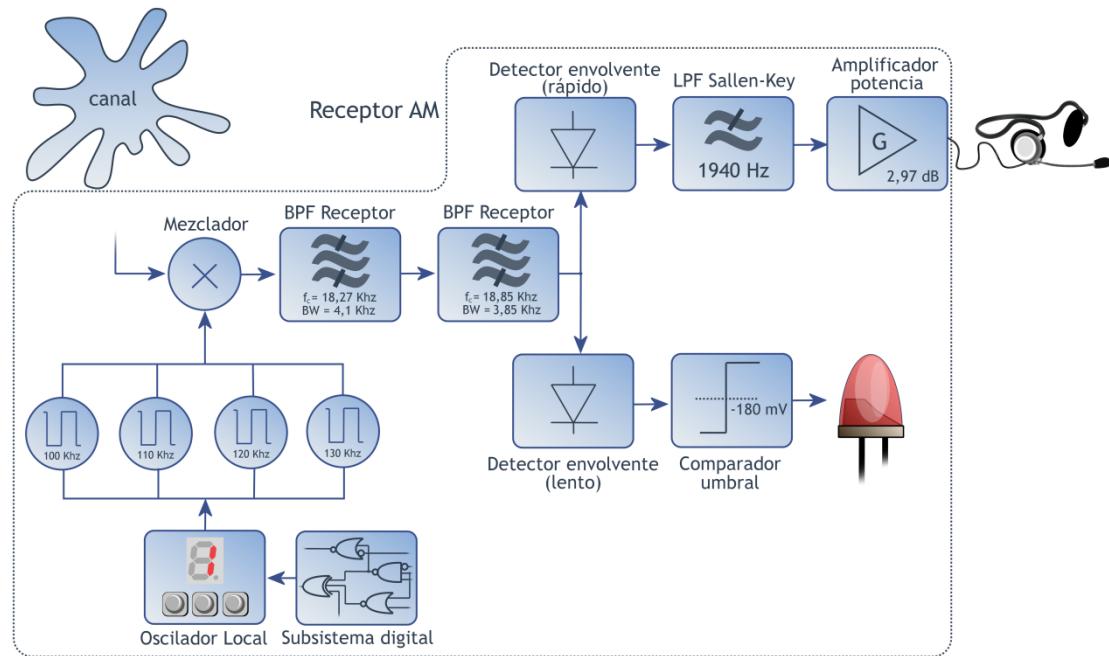


Figura b: Esquema del Receptor de la práctica.

Sabemos que la Transformada de Fourier de una señal cuadrada periódica es:

$$c(t) \xleftrightarrow{T. \text{ Fourier}} C(\omega) = 2\pi \sum_{k=-\infty}^{+\infty} a_k \delta(\omega - \omega_k) \text{ con } \omega_k = k \frac{2\pi}{T_c}$$

Los coeficientes de esta señal para $T_0 = 4T_1$ resultan ser:

$$\begin{cases} a_0 = 0 \\ a_k = \frac{\sin\left(\frac{k\pi}{2}\right)}{k\pi}, k = 0, 1, 2, \dots \\ \{a_k\} = \left\{0, \frac{1}{\pi}, 0, \frac{-1}{3\pi}, 0, \frac{1}{5\pi}, 0, \dots\right\} \end{cases}$$

Modulamos con una señal cualquiera $x(t)$, cuya transformada de Fourier es $X(\omega)$.

Al modular con la portadora cuadrada tenemos:

$$y(t) = x(t) \cdot c(t)$$

Y en frecuencia:

$$\begin{aligned} Y(\omega) &= \frac{1}{2\pi} X(\omega) * C(\omega) \\ Y(\omega) &= \frac{1}{2\pi} X(\omega) * 2\pi \sum_{k=-\infty}^{+\infty} a_k \delta(\omega - \omega_k) = \\ &= \sum_{k=-\infty}^{+\infty} X(\omega) * a_k \delta(\omega - \omega_k) = \sum_{k=-\infty}^{+\infty} a_k X(\omega - \omega_k) = \sum_{k=-\infty}^{+\infty} \frac{\sin\left(\frac{k\pi}{2}\right)}{k\pi} X(\omega - k\omega_c) \end{aligned}$$

Como $a_{2k} = 0$ tenemos que sólo hemos de tener en cuenta k impares. Obtenemos la transformada de Fourier de la señal modulada en función de $X(\omega)$:

$$Y(\omega) = \sum_{k=-\infty}^{+\infty} \frac{(-1)^k}{(2k+1)\pi} X\left(\omega - (2k+1)\frac{2\pi}{T_c}\right)$$

Analizamos ahora el proceso de demodulación mediante el *Oscilador Local*. Obtenemos la Transformada de Fourier de la señal $\hat{X}(\omega)$ recibida:

$$\begin{aligned} \hat{X}(\omega) &= \frac{1}{2\pi} Y(\omega) * C_{OL}(\omega) \\ \hat{X}(\omega) &= \frac{1}{2\pi} \sum_{k=-\infty}^{+\infty} \frac{(-1)^k}{(2k+1)\pi} X\left(\omega - (2k+1)\frac{2\pi}{T_c}\right) * 2\pi \sum_{l=-\infty}^{+\infty} b_l \delta\left(\omega - l\frac{2\pi}{T_{OL}}\right) \\ \hat{X}(\omega) &= \sum_{k=-\infty}^{+\infty} \sum_{l=-\infty}^{+\infty} \frac{(-1)^k}{(2k+1)\pi} \frac{(-1)^l}{(2l+1)\pi} X\left(\omega - (2k+1)\frac{2\pi}{T_c} - (2l+1)\frac{2\pi}{T_{OL}}\right) \end{aligned}$$

Parte I: Transmisor AM



1. Adaptador de señal

1.1 Descripción del módulo:

Como se pauta en el enunciado de la práctica, la señal que se introduce a nuestro sistema, debe provenir necesariamente de algún tipo de aparato comercial portátil de reproducción musical: reproductores de *mp3*, los clásicos *discman* o similares. Todos estos dispositivos están diseñados para conectarse a unos auriculares, que para la gama media, típicamente presentan una impedancia de unas pocas decenas de Ohmios. Dicha impedancia es comparable a la de salida del propio dispositivo portátil, con lo que en la práctica, se tenderá a maximizar la transferencia de potencia entre ambos dispositivos (*adaptación de impedancias*).

La función principal del adaptador de señal será *mostrar* al reproductor la **impedancia que éste espera encontrar**, asegurando que el mismo se encuentre en las condiciones nominales de funcionamiento para las cuales fue diseñado¹ (obteniendo una transferencia de señal óptima).

Además tiene algunas funciones secundarias. En primer lugar, una red de **filtrado Paso Alto**, destinada a atenuar –y eliminar en la medida de lo posible- las componentes más bajas (e inaudibles) de la señal de entrada. En segundo lugar diseñamos una etapa con un amplificador operacional (en configuración inversora) de ganancia regulable, destinado a **amplificar la señal de entrada**, de tal manera que durante todos los procesos posteriores a los que sea sometida (modulación, transmisión, filtrados, etc.) la relación señal a ruido (*SNR*²) de ésta se mantenga en un valor admisible³.

1.2 Esquema circuitual:

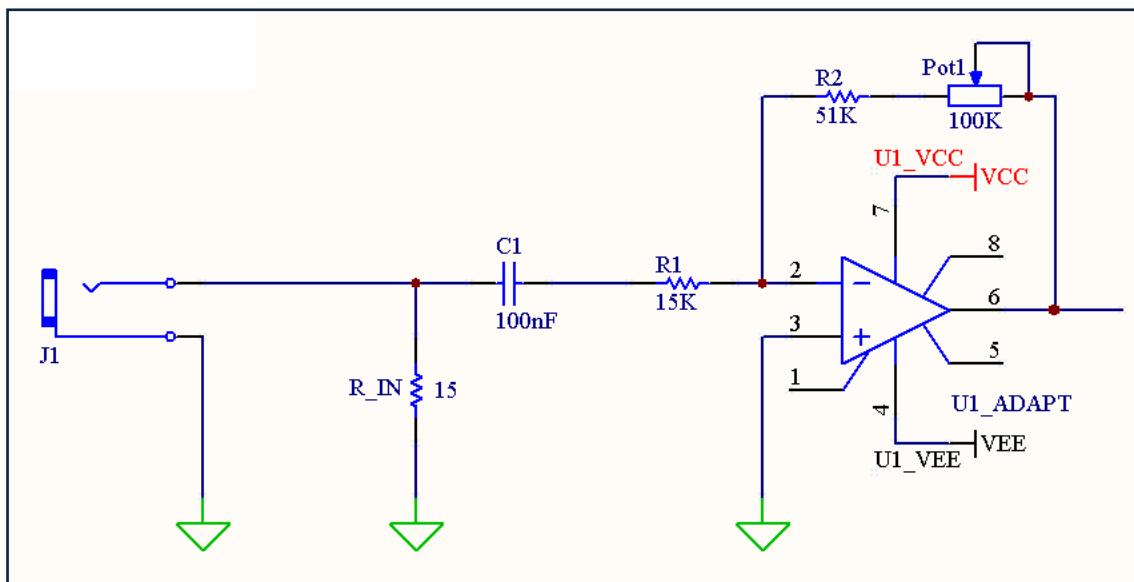


Figura 1.1: Adaptador de señal

¹ Es decir, estamos imitando el comportamiento producido al conectar auriculares al reproductor.

² Del inglés, *Signal to Noise Ratio*.

³ A efectos de nuestra práctica, ya que tan sólo imitamos un modelo comercial.

1.3 Análisis teórico:

En este apartado el diseño será abordado en tres fases distintas. Comenzaremos describiendo los cálculos que se refieren a conseguir una impedancia de entrada adecuada, consideraremos 15Ω un valor apropiado (unos buenos auriculares tendrían una impedancia de 16Ω aproximadamente).

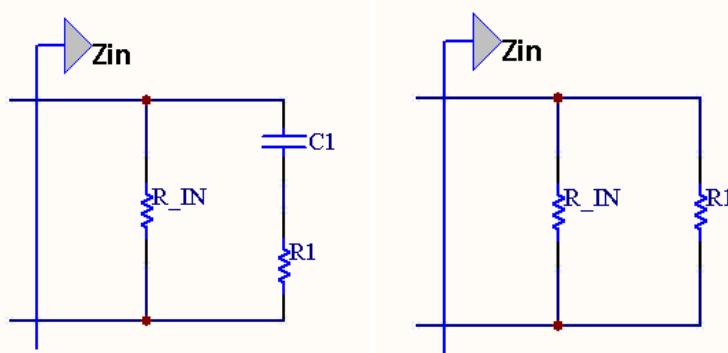


Figura 1.2: Impedancia de entrada del adaptador de señal (izquierda) e impedancia de entrada a las frecuencias de trabajo (derecha).

A partir de la figura 1.2, tenemos que:

$$Z_{in} = R_{IN} // R_1$$

Imponiendo una primera aproximación:

$$R_1 \gg R_{IN}$$

La ecuación anterior queda tal que:

$$Z_{in} \cong R_{IN} \cong 15\Omega$$

El siguiente paso sería calcular la red β que marcará la ganancia del AO, para lo cual partiremos de la condición que impusimos a la impedancia de entrada: $R_1 \gg R_{IN}$. Teniendo en cuenta que $R_{IN} = 15\Omega$, fijaremos un valor de $R_1 = 15K\Omega$ para así cumplir la aproximación.

Para la configuración con la que estamos trabajando la ganancia tendría la siguiente expresión:

$$|A_v| = \frac{R_2 + R_{POT}}{R_1}$$

Llaremos V_{mp3_MAX} a la máxima tensión de pico que nos puede proporcionar nuestro reproductor portátil (lógicamente, al máximo volumen). Según nuestras mediciones prácticas $V_{mp3_MAX} = 500mV$.

Por otra parte, la mínima ganancia se produciría cuando $R_{POT} = 0\Omega$. Esto es deseable que ocurra cuando el reproductor está conectado a nuestro sistema al máximo volumen, para que de esta forma, si bajamos el volumen podamos subir –mediante el potenciómetro- la ganancia: así podremos mantener una V_p constante a la salida de la etapa. Suponiendo que queremos una tensión de pico a la salida de la etapa de $V_{out} = 1,7V$ (apurando el margen dinámico), cuando a la entrada estamos inyectando V_{mp3_MAX} ($R_{POT} = 0\Omega$), R_2 ha de cumplir la siguiente condición:

$$\left| \frac{V_{out}}{V_{mp\ 3_MAX}} \right| = \frac{R_2}{R_1} \Rightarrow R_2 = R_1 \cdot \frac{V_{out}}{V_{mp\ 3_MAX}} = 15K\Omega \cdot \frac{1,7V}{500mV} = 51K\Omega$$

De tal manera que, gracias a estos valores de R_1 y R_2 , tenemos que la ganancia mínima de la etapa es:

$$|A_{vmin}| = \frac{R_2}{R_1} = \frac{51K\Omega}{15K\Omega} = 3,4$$

Usando un potenciómetro de $100K\Omega$, como hemos hecho, la ganancia máxima sería de:

$$|A_{vmax}| = \frac{R_2 + R_{\text{max POT}}}{R_1} = \frac{51K\Omega + 100K\Omega}{15K\Omega} = 10,066 \cong 10 \text{ (20dB)}$$

En la práctica, aunque el reproductor ofrezca una tensión de pico de $500mV$, dado el efecto de carga producido en esta primera etapa⁴, es necesario aumentar la ganancia del amplificador con el potenciómetro hasta adecuarse a las amplitudes de señal con las que queramos trabajar.

El último paso es calcular un valor para el condensador C_1 , objetivo que conseguimos usando el método de las constantes de tiempo (para frecuencias inferiores de corte):

$$w_L = \sum_{i=1}^n \frac{1}{\tau_i}$$

Aplicando la anterior ecuación a nuestro caso, es decir, un único condensador, obtenemos que su constante de tiempo para la f_c buscada (100Hz) sería:

$$\tau_1 = \frac{1}{w_L} = \frac{1}{2 \cdot \pi \cdot 100} = 0,0016s$$

Como la resistencia *vista* por el condensador, $R_C = (R_{IN} // R_g) + R_1 \cong R_1 \cong 15K\Omega$, su constante de tiempo será:

$$\tau_1 = R_C \cdot C_1 = R_1 \cdot C_1$$

De dónde podemos obtener fácilmente el valor del condensador:

$$C_1 = \frac{\tau_1}{R_1} = \frac{0,0016s}{15K\Omega} = 106,66nF \cong 100nF$$

Con este valor comercial para C_1 , recalculamos la frecuencia inferior de corte, para ver si se ajusta a nuestras exigencias:

$$\tau_1 = R_1 \cdot C_1 = 15K\Omega \cdot 100nF = 1,5ms$$

$$w_L = \frac{1}{\tau_1} = \frac{1}{1,5ms} \cong 666,67rad/s \Rightarrow f_L = \frac{w_L}{2\pi} = \frac{666,67rad}{2\pi} \cong 106,1Hz$$

Como se puede apreciar, la aproximación es buena.

⁴ Si hemos hecho una correcta adaptación de impedancias, obtendríamos a la entrada de nuestro sistema justo la mitad de amplitud de la que produce el reproductor *en vacío*.

1.4 Obtención de medidas y diagramas de Bode:

A continuación se incluyen las medidas prácticas de módulo y fase de la respuesta en frecuencia realizadas en el laboratorio. En la práctica, finalmente si fijó al máximo su ganancia a frecuencias medias para adecuar nuestra señal mensaje al resto de las etapas del transmisor. Puede comprobarse en la figura 1.3 que $20\log(A_{vmax}) \approx 20$.

f (Hz)	A _v	A _v (dB)	Fase (°)
1	0,079	-22,016	-90,000
10	0,960	-0,351	-90,000
20	1,829	5,243	-90,000
60	5,114	14,176	-116,638
70	5,409	14,663	-125,819
80	5,895	15,410	-126,202
90	6,381	16,098	-130,224
95	6,573	16,355	-133,474
98	6,662	16,473	-133,167
100	6,765	16,605	-133,456
105	6,905	16,784	-133,608
110	7,110	17,037	-135,313
115	7,391	17,374	-139,550
120	7,340	17,314	-139,603
130	7,583	17,597	-142,499
150	8,018	18,081	-146,835
180	8,453	18,540	-150,350
200	8,645	18,735	-154,032
250	8,926	19,013	-157,599
300	8,977	19,063	-161,822
400	9,182	19,258	-165,399
500	9,220	19,295	-168,641
1000	9,271	19,343	-173,347
2000	9,373	19,438	-176,715
5000	9,373	19,438	-180,000
10000	9,373	19,438	-182,815
50000	8,977	19,063	-195,280
100000	8,453	18,540	-210,552
300000	5,371	14,601	-247,849
500000	3,363	10,535	-270,000
1000000	1,419	3,042	-285,680
2000000	0,478	-6,407	-303,422
4000000	0,214	-13,410	-315,936

Tabla 1.1: Valores numéricos de módulo y fase del adaptador de señal para distintas frecuencias.

Obtenemos las frecuencias de corte superior e inferior:

$$f_{inf} = 97 \text{ Hz}; \quad f_{sup} = 210 \text{ KHz}$$

Y la ganancia a frecuencias medias:

$$A_{vmid} = 19.43 \text{ dB}$$

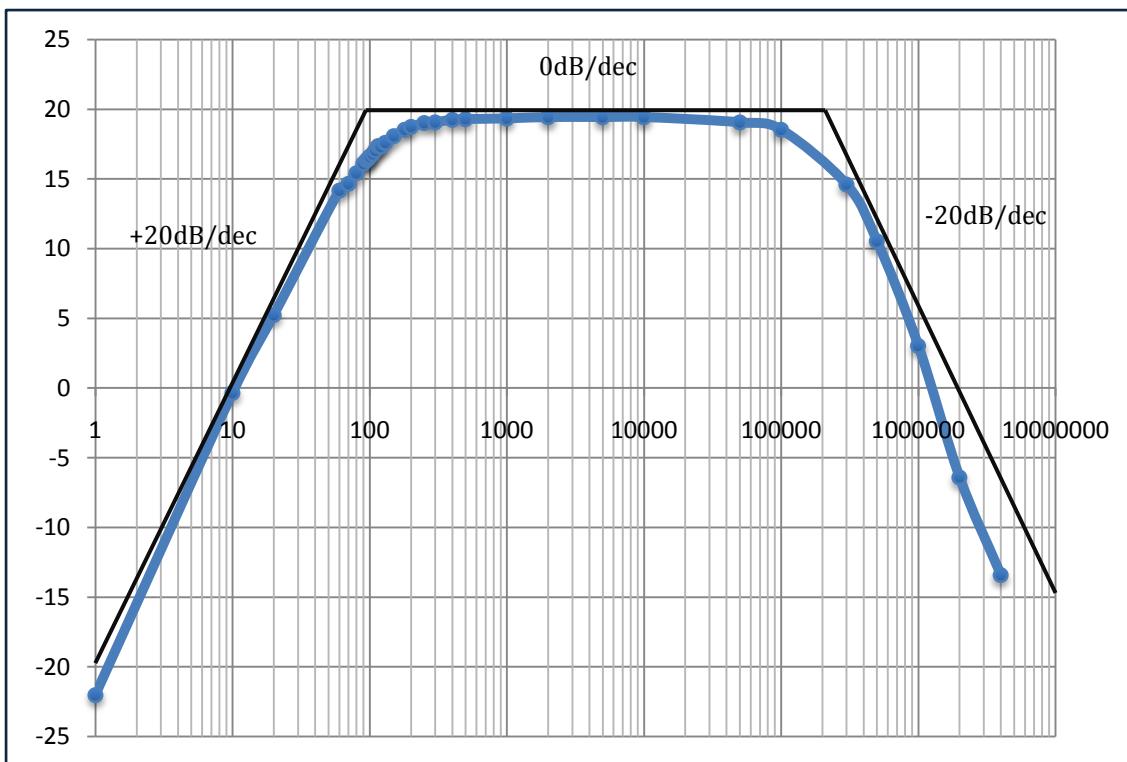


Figura 1.3: Módulo de la respuesta en frecuencia del adaptador de señal. Presenta una frecuencia de corte inferior de 97 Hz y una frecuencia de corte superior de 210 KHz, con 19.43dB de ganancia a frecuencias medias.

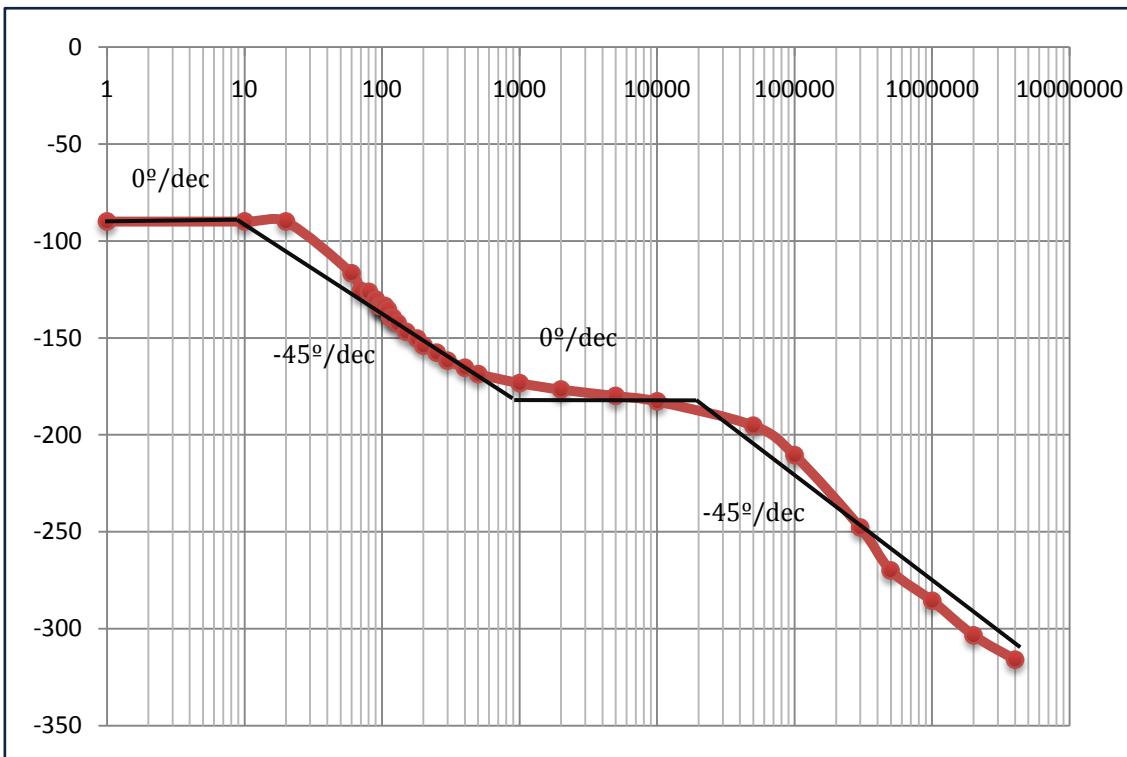


Figura 1.4: Fase de la respuesta en frecuencia del adaptador de señal. Comienza en -90° a baja frecuencia y 180° a frecuencias medias. Aunque no se puede medir, a muy alta frecuencia, vuelve a -90° (el equivalente a -440°).

1.5 Gráficas y capturas de osciloscopio:

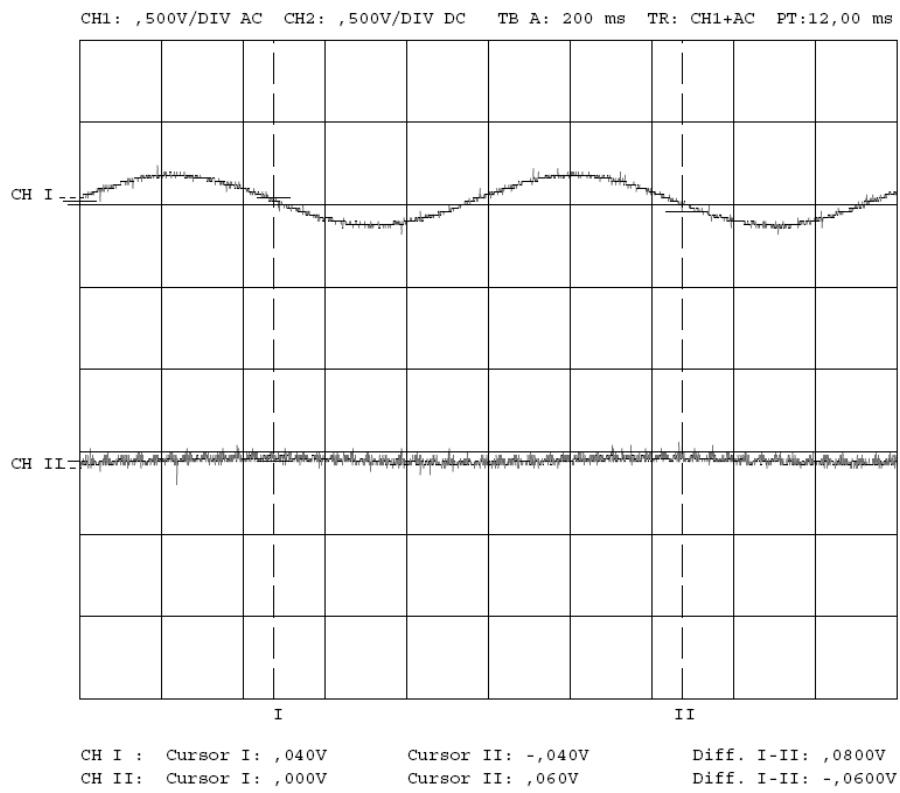


Figura 1.5: Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para un tono de 1Hz. Se puede comprobar la función Paso Alto que presenta la etapa.

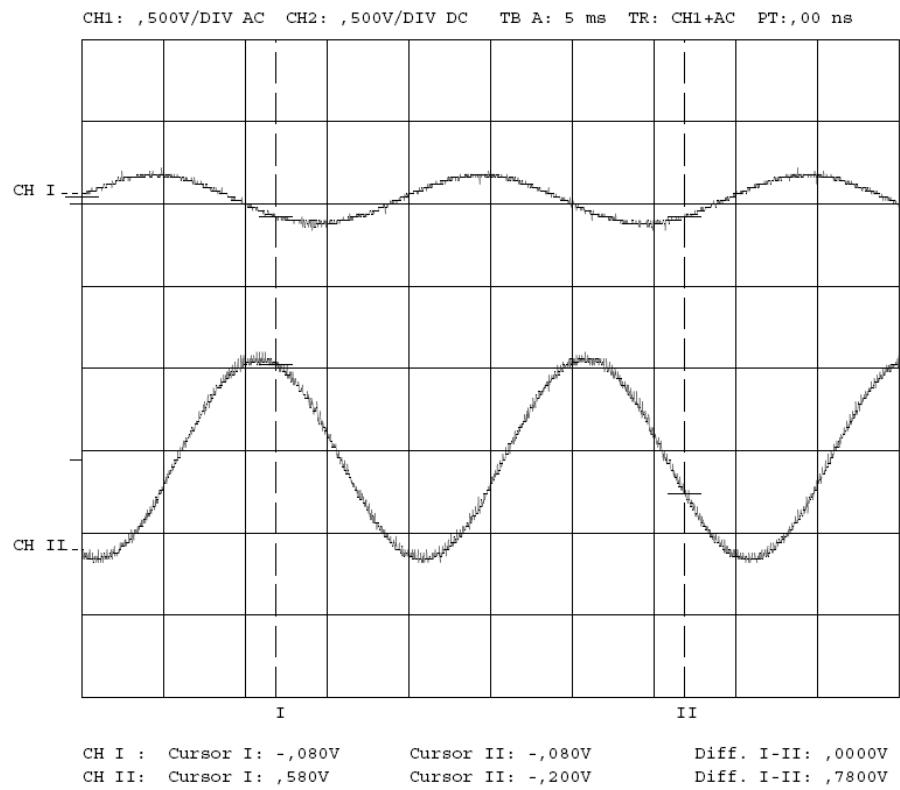


Figura 1.6: Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para un tono de 50Hz.

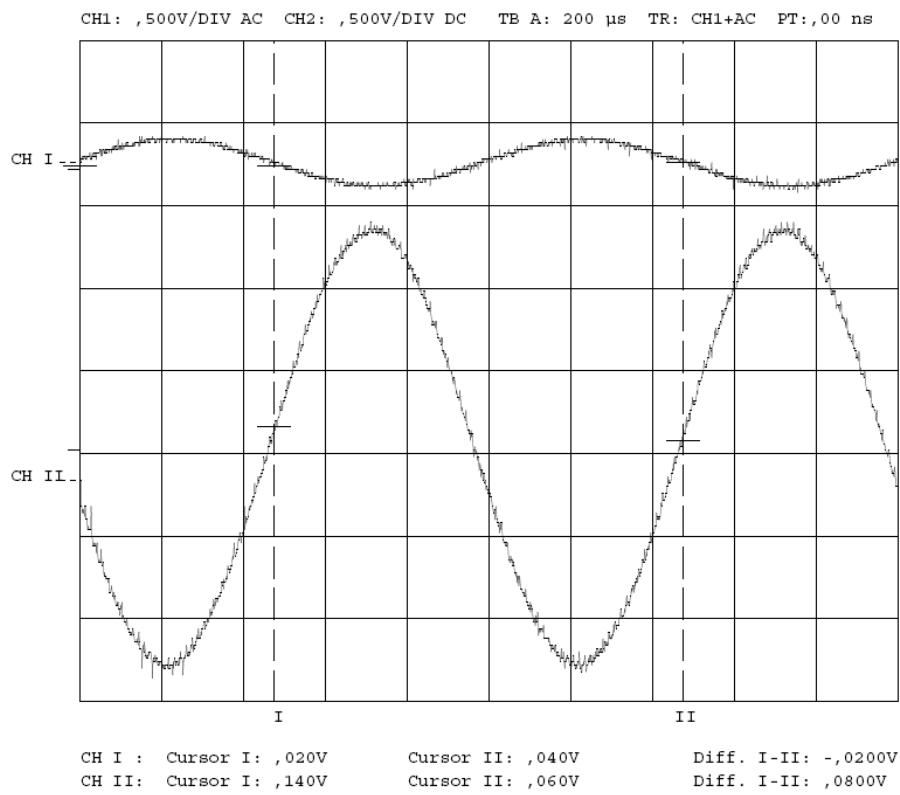


Figura 1.7: Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para un tono de 1Khz con ganancia 8.53 (18.62dB), antes del último ajuste.

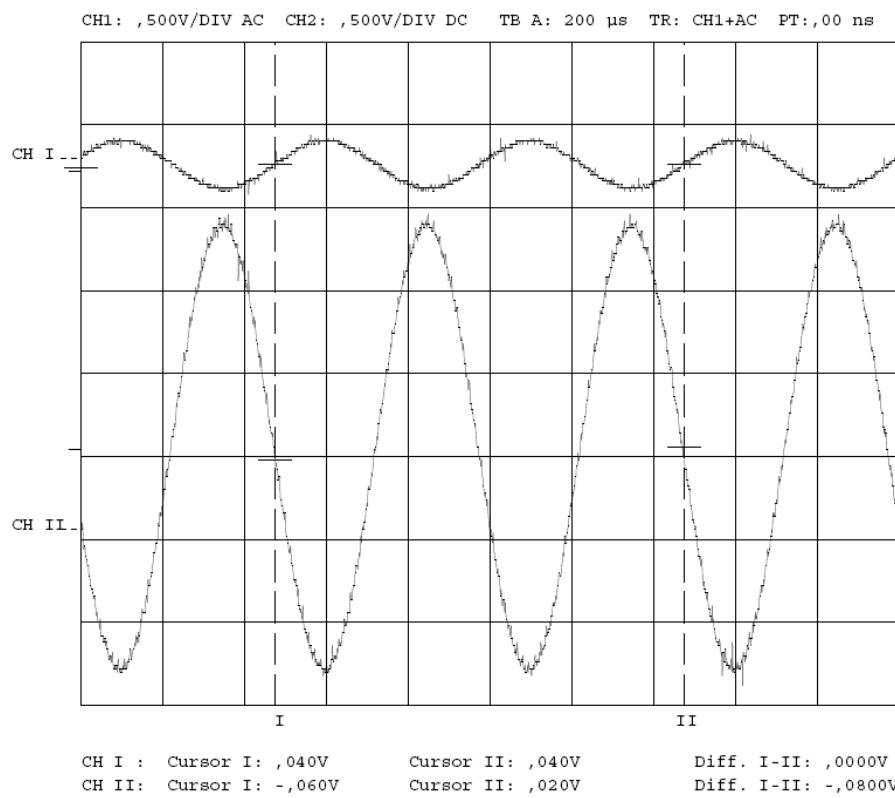


Figura 1.8: Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para una sinusoides a frecuencia máxima de trabajo (2Khz), con ganancia 8.61 (18.70dB), antes del último ajuste.

1.6 Simulación en Pspice™:

En esta etapa simularemos su respuesta en frecuencia (módulo y fase). Después lo verificaremos en régimen temporal para tonos de baja, media y alta frecuencia.

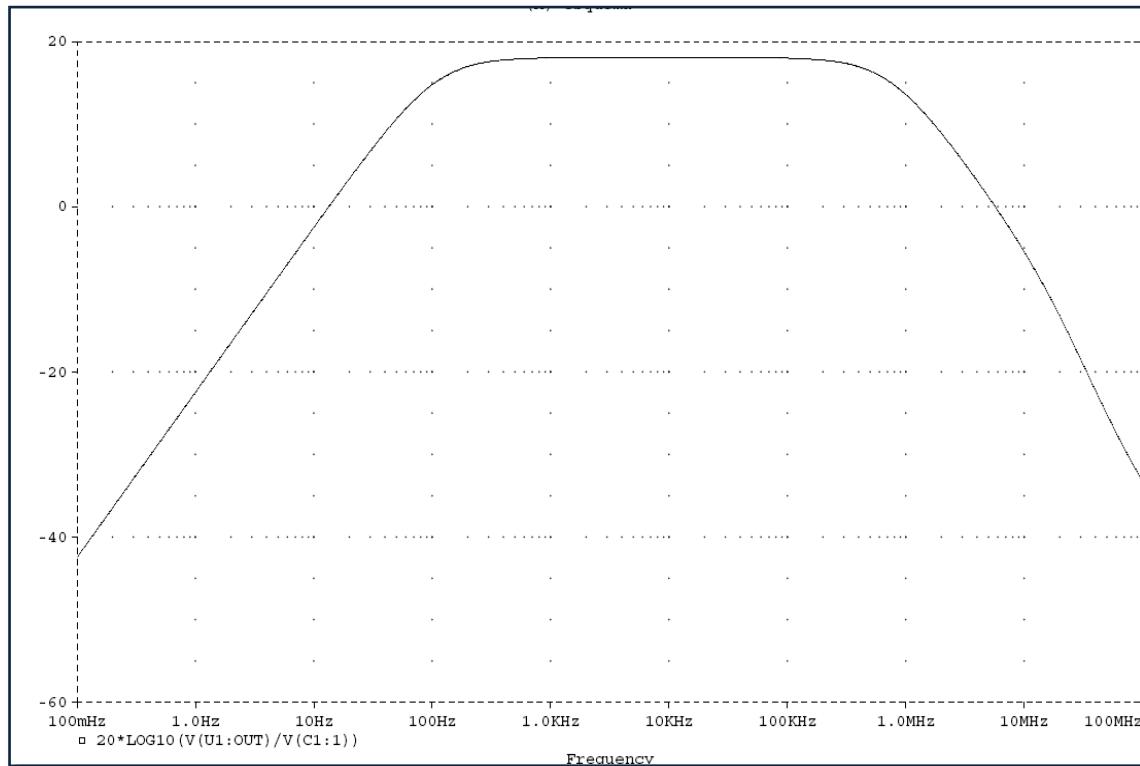


Figura 1.9: Módulo de la respuesta en frecuencia del adaptador de señal.

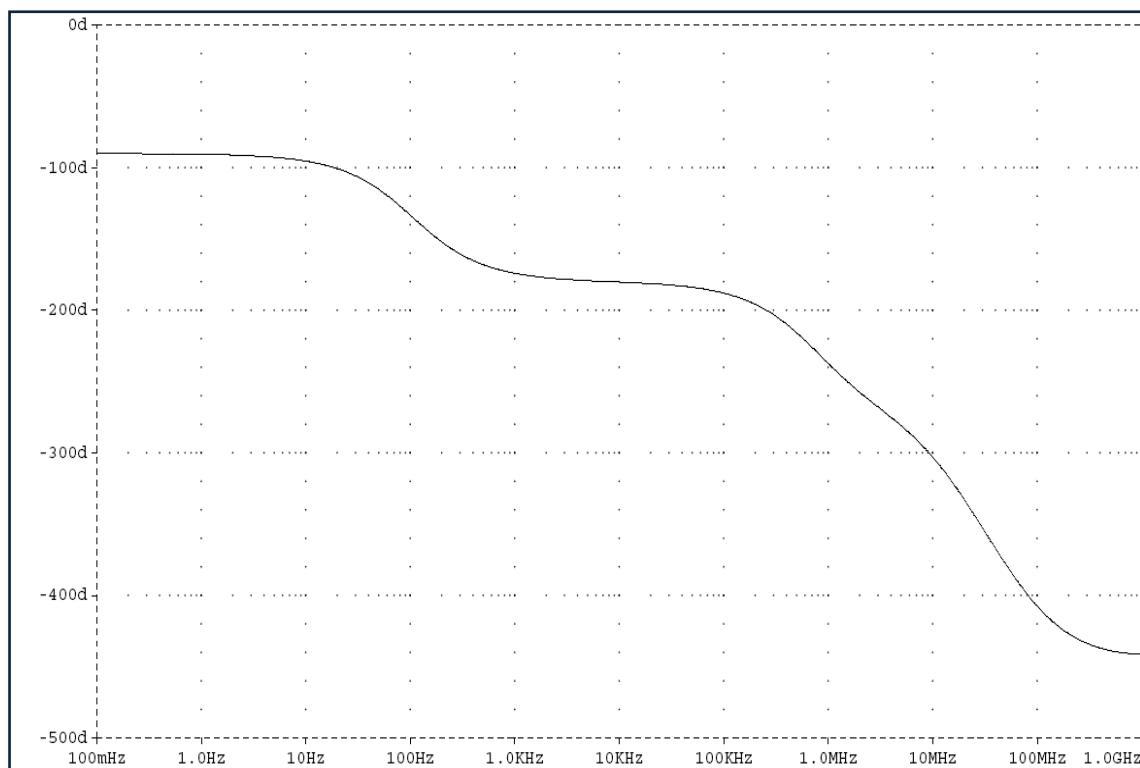


Figura 1.10: Fase de la respuesta en frecuencia del adaptador de señal.

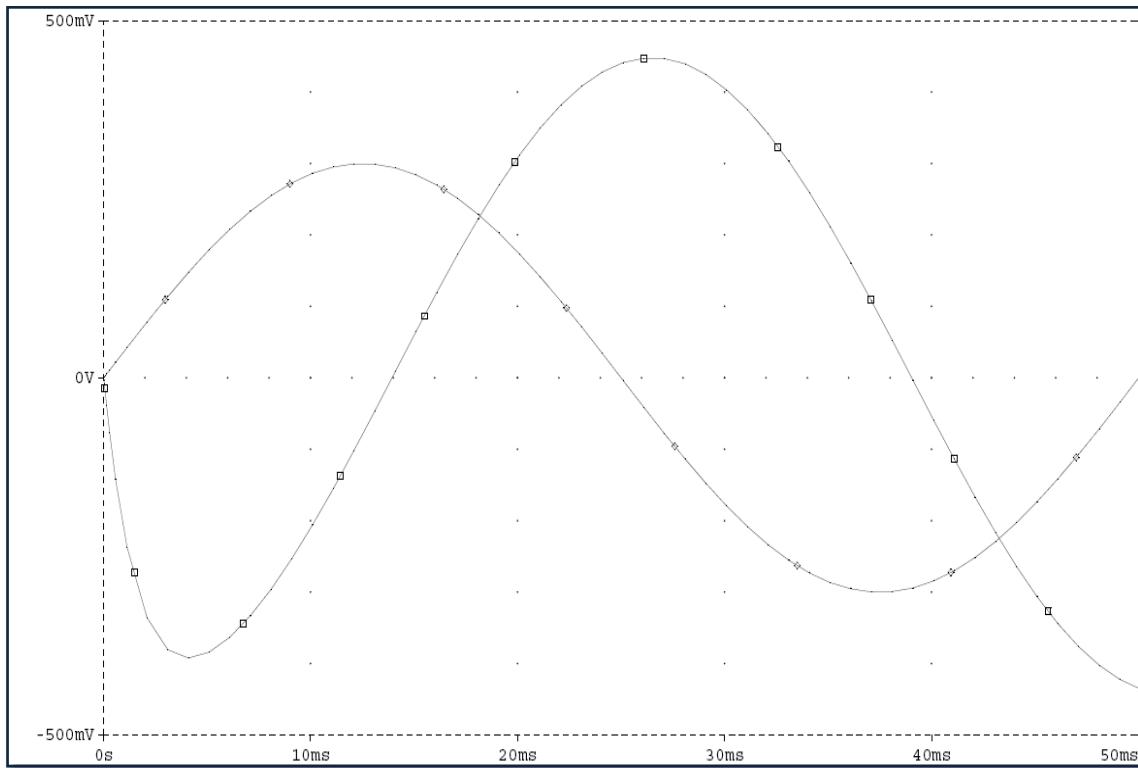


Figura 1.11: Tono de 20Hz y salida amplificada del adaptador. Se produce un desfase de -90° .

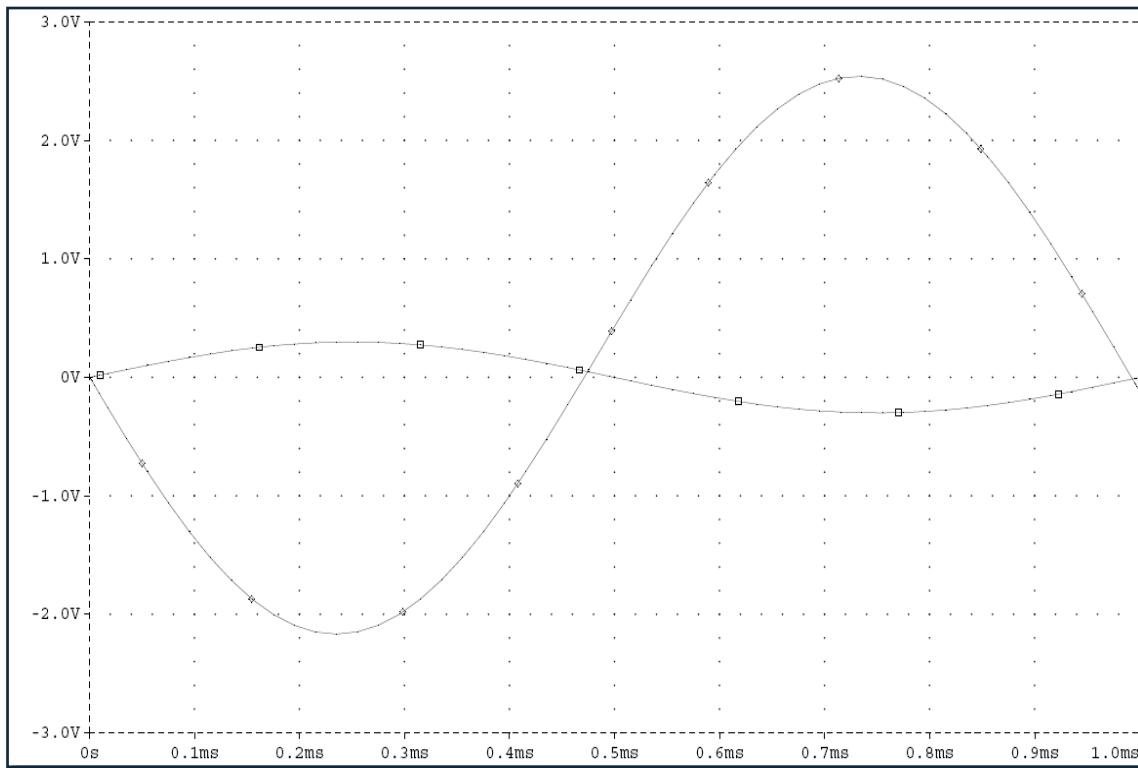


Figura 1.12: Tono de 1KHz y salida amplificada del adaptador. Se produce un desfase de -180° .

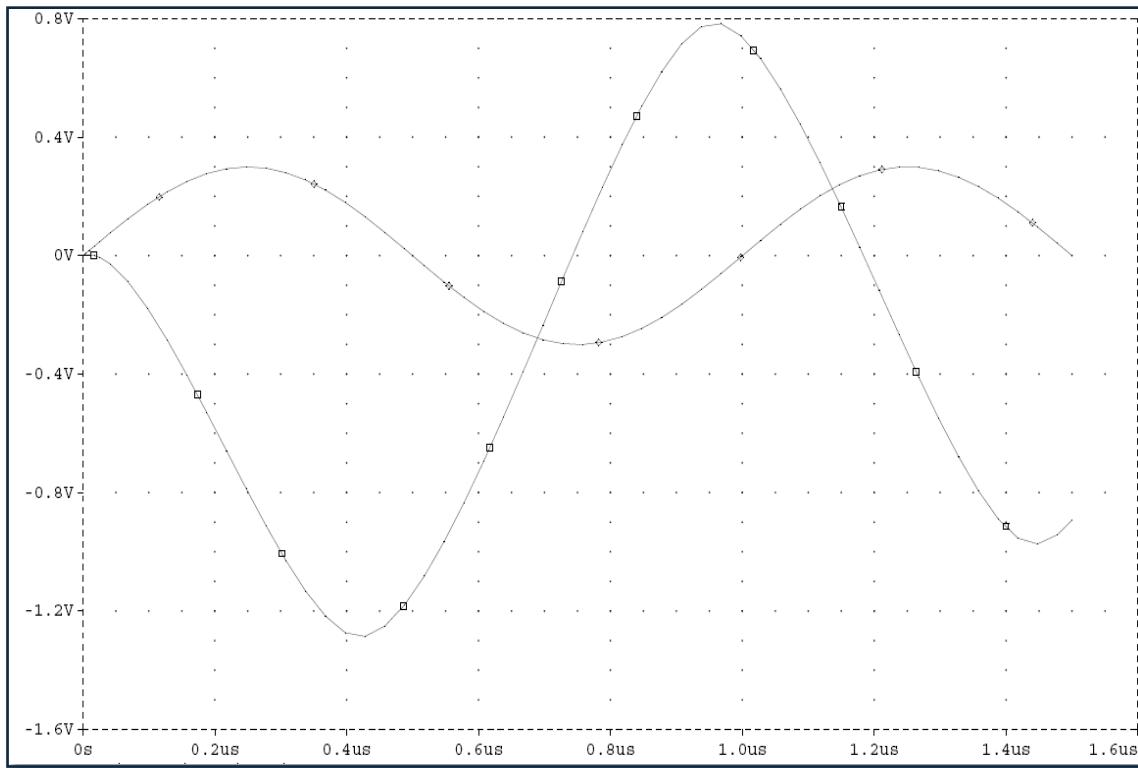


Figura 1.13: Tono de 1MHz y salida amplificada del adaptador. Se produce un desfase de -270° .

2. Filtrado Paso Bajo

2.1 Descripción del módulo:

Tras adaptar la señal de entrada a una tensión eléctrica adecuada a nuestro sistema, procedemos a **delimitar el ancho de banda** utilizado por cada uno de nuestros cuatro canales. Para ello utilizamos una célula Sallen-Key de segundo orden en configuración **Paso Bajo con frecuencia de corte 2 KHz**, más que suficiente para que la voz transmitida (y posteriormente recibida) sea inteligible. Este filtro lo que hace es atenuar (y en cierta medida, eliminar) las frecuencias superiores a los 2000 Hz; es decir, los tonos más agudos. En definitiva, esta etapa Sallen-Key es la responsable de que nuestro sistema no esté preparado para la reproducción de música en una calidad aceptable.

Este módulo, junto a la etapa anterior, conforma la banda espectral de uso⁵, comprendida entre 100Hz y 2000Hz.

2.2 Esquema circuital:

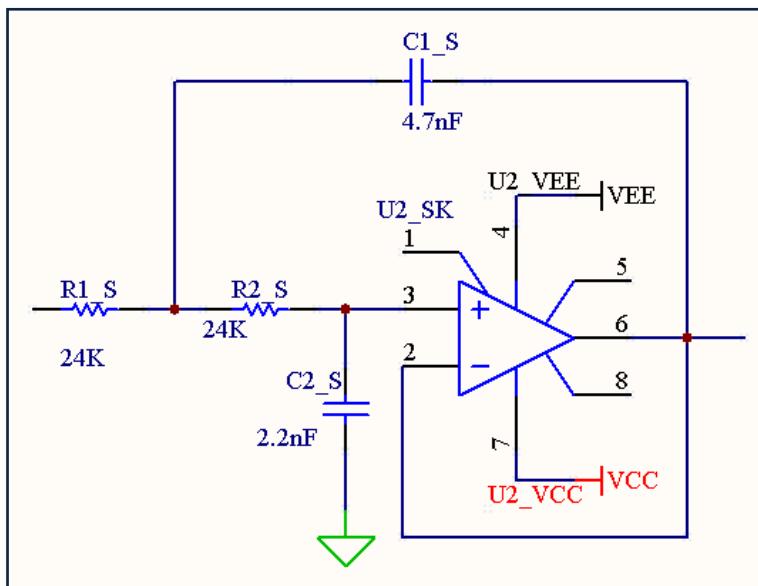


Figura 2.1: Filtro Paso Bajo (Sallen Key 2º orden)

2.3 Análisis teórico:

Tenemos que la función de transferencia (en términos de elementos circuitales) de este filtro en configuración Paso Bajo con ganancia unidad a frecuencias medias es la siguiente:

$$H(s) = \frac{1}{1 + C_2(R_1 + R_2)s + C_1 C_2 R_1 R_2 s^2}$$

Y en términos de frecuencia de corte f_0 y factor de calidad Q:

⁵ Diseñando en Banda Base, es decir, antes de la modulación de amplitud.

$$H(s) = \frac{1}{\frac{s^2}{w_0^2} + \frac{s}{w_0 Q} + 1}$$

Este filtro de segundo orden puede modelarse como valores múltiplos de m y n, es decir: $R_1=mR$, $R_2=R$, $C_1=nC$ y $C_2=C$. De esta manera los parámetros de importancia vienen dados por:

$$f_0 = \frac{1}{2\pi\sqrt{mn}RC} ; Q = \frac{\sqrt{mn}}{m+1}$$

Nuestro interés en este caso se centra en fijar un valor adecuado de la frecuencia de corte f_0 y el factor de calidad Q necesario para una respuesta maximalmente plana, es decir, $f_0 = 2000\text{Hz}$ y $Q = 1/\sqrt{2}$.

Para comenzar el diseño, fijamos un valor moderado de R.

$$R = 24\text{K}\Omega$$

$$\text{Calculamos } C, \text{ mediante la ecuación } C = \frac{1}{4\pi Q f_0 R}$$

$$C \approx 2.344 \text{ nF}$$

$$\text{Calculamos } n = 4Q^2$$

$$n = 2$$

Escogemos los valores comerciales de C y nC tal que C sea muy parecido al calculado y que el valor de n real sea mayor o igual al calculado.

$$C = 2.2\text{nF} ; nC = 2C = 4.7\text{nF}$$

Obtenemos el valor de k y m:

$$k = \frac{n}{Q^2} - 2 = 2$$

$$m = \frac{k + \sqrt{k^2 - 4}}{2} = 1$$

Finalmente el valor de resistencia R:

$$R = \frac{1}{2\pi\sqrt{mn}f_0 C} = 24,005 \text{ K}\Omega$$

Con lo cual ya podemos considerar los valores comerciales de R y mR, que serán respectivamente R_1 y R_2 .

$$R_1 = 24\text{K}\Omega; R_2 = 24\text{K}\Omega$$

Recalculamos los parámetros fijados, f_0 y Q:

$$f_0 = \frac{1}{2\pi\sqrt{mn}RC} = 2131 \text{ Hz}$$

$$Q = \frac{\sqrt{mn}}{m+1} = \frac{\sqrt{2}}{2} = \frac{1}{\sqrt{2}}$$

2.4 Obtención de medidas y diagramas de Bode:

Dibujamos los diagramas de Bode teóricos y procedemos a medir la respuesta en frecuencia del filtro (en módulo y fase). Después superponemos el comportamiento teórico y el comportamiento real en las gráficas que se muestran a continuación:

f (Hz)	Av	Av (dB)	Fase (º)
10	1	0,000	0
60	1	0,000	0
90	1	0,000	0
110	1	0,000	0
201	1	0,000	0
301	1	0,000	-2,29
600	1,05	0,424	-21,1
1000	1,15	1,214	-44,42
1400	1,1	0,828	-81,89
1500	1	0,000	-90
1600	0,95	-0,446	-101,48
1700	0,85	-1,412	-106,27
1800	0,775	-2,214	-115,85
1900	0,725	-2,793	-118,4
1950	0,7	-3,098	-121
2000	0,675	-3,414	-122,86
2100	0,6	-4,437	-126,87
2200	0,55	-5,193	-128,74
2300	0,4875	-6,241	-130,54
2400	0,45	-6,936	-133,95
2500	0,4125	-7,692	-135,58
3000	0,275	-11,213	-150
4000	0,15	-16,478	-156,43
11000	0,015	-36,478	-180
20000	0,0075	-42,499	-180

Tabla 2.1: Valores numéricos de módulo y fase del filtro Paso Bajo para distintas frecuencias.

Gracias a la definición de frecuencia de corte⁶, obtenemos que:

$$f_0 = 1950 \text{ Hz}$$

Para este filtro de segundo orden, podemos determinar su factor de calidad real comparando la ganancia lineal a la frecuencia de corte respecto a la ganancia en tensión continua.

$$Q = \frac{|A_v(f_0)|}{|A_v(0)|} = \frac{\frac{0.56}{0.8}}{\lim_{f \rightarrow 0} \frac{0.8}{0.8}} = 0.7 \approx \frac{1}{\sqrt{2}}$$

⁶ Frecuencia a la cual la ganancia desciende 3dB respecto a la ganancia a frecuencias medias, A_{vm}

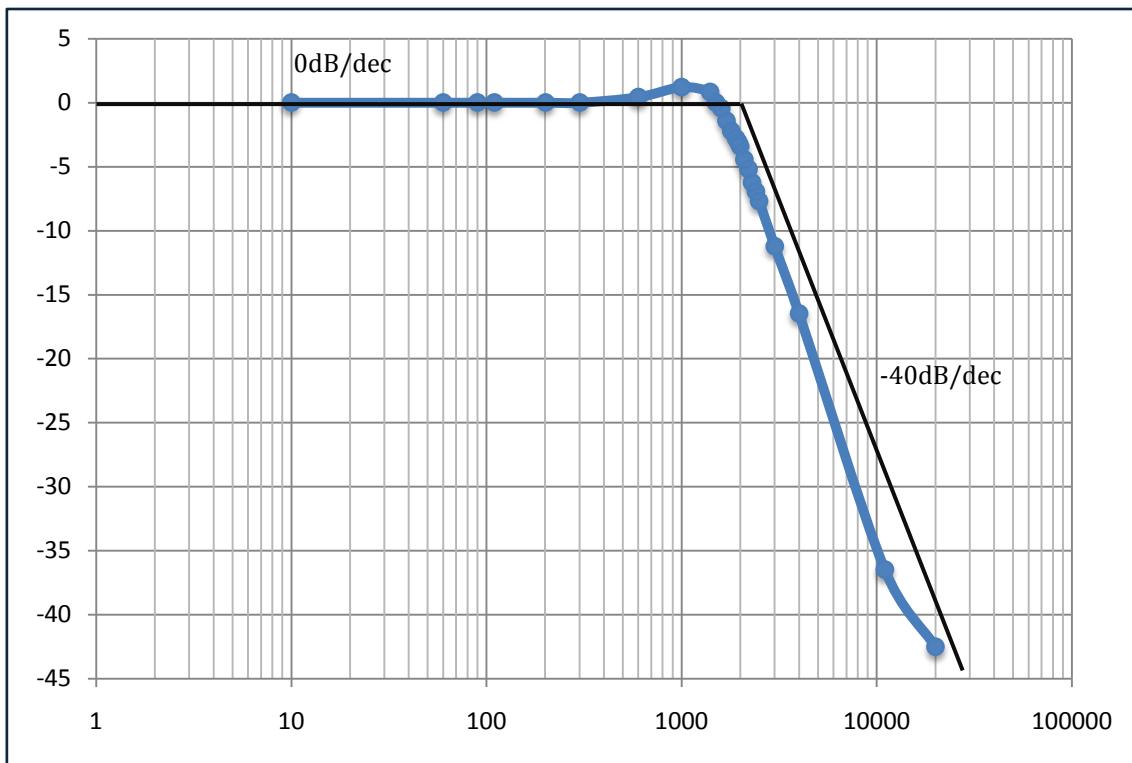


Figura 2.2: Módulo de la respuesta en frecuencia del Filtro Sallen Key con frecuencia de corte superior 2 KHz

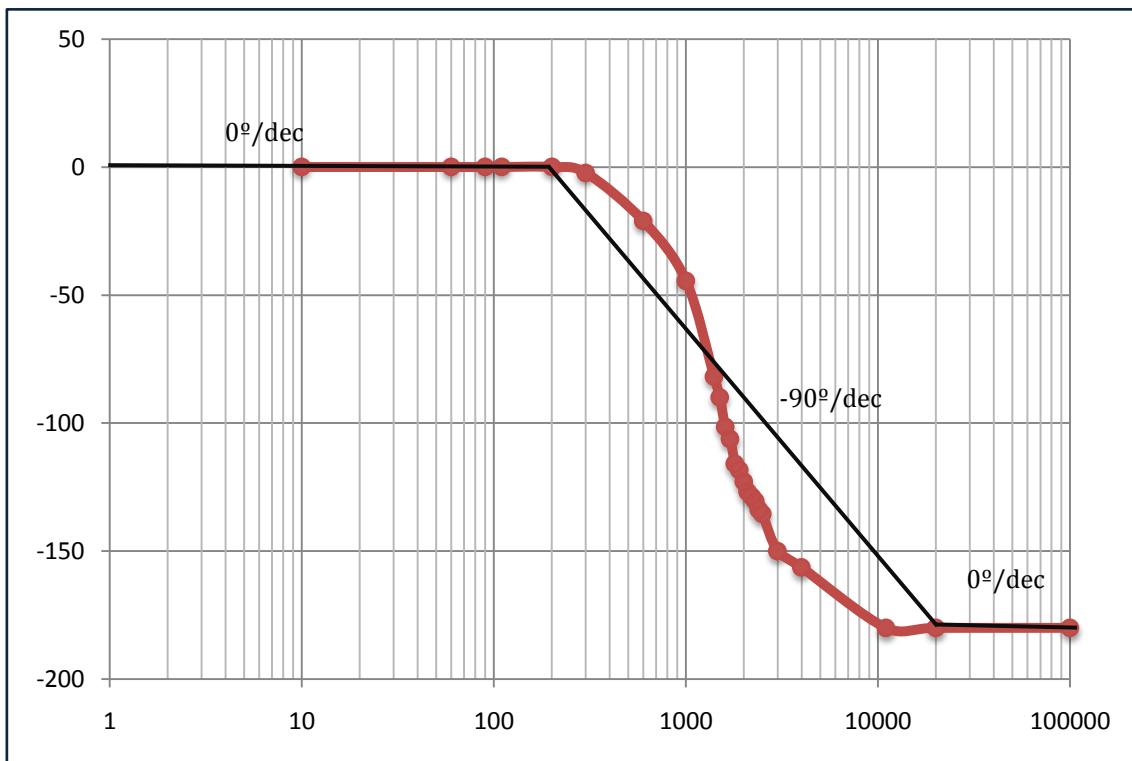


Figura 2.3: Fase de la respuesta en frecuencia del Filtro Sallen Key. Es de 0° a baja frecuencia, -90° a 1550 Hz (idealmente 2000 Hz) y -180° a alta frecuencia.

2.5 Gráficas y capturas de osciloscopio:

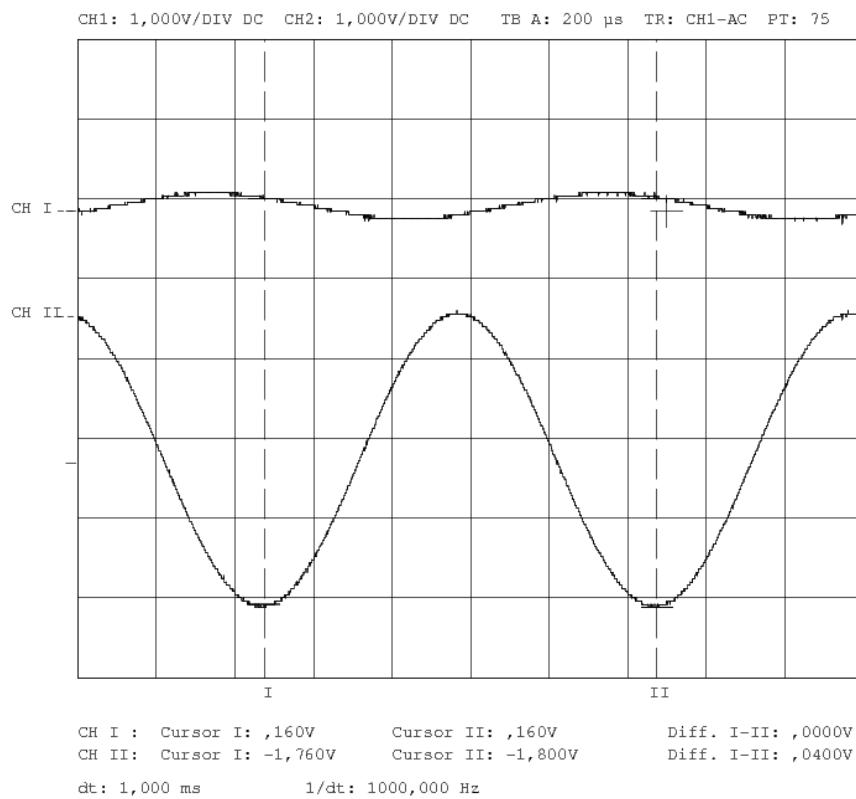


Figura 2.4: Entrada (arriba) y salida (abajo) del adaptador de señal más filtro Paso Bajo para una sinusode de baja frecuencia (para la misma deplexión).

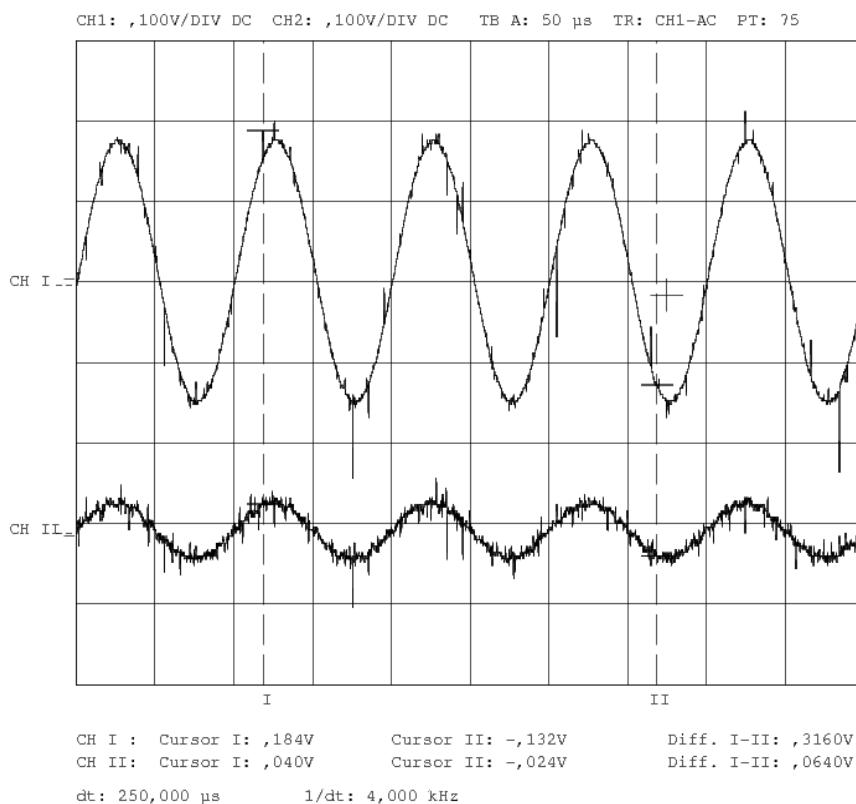


Figura 2.5: Entrada (arriba) y salida (abajo) del adaptador de señal más filtro Paso Bajo para una sinusode de 10Khz (con misma deplexión). Se puede apreciar la atenuación de la señal debido a la célula Shalen Key.

2.6 Simulación en Pspice™:

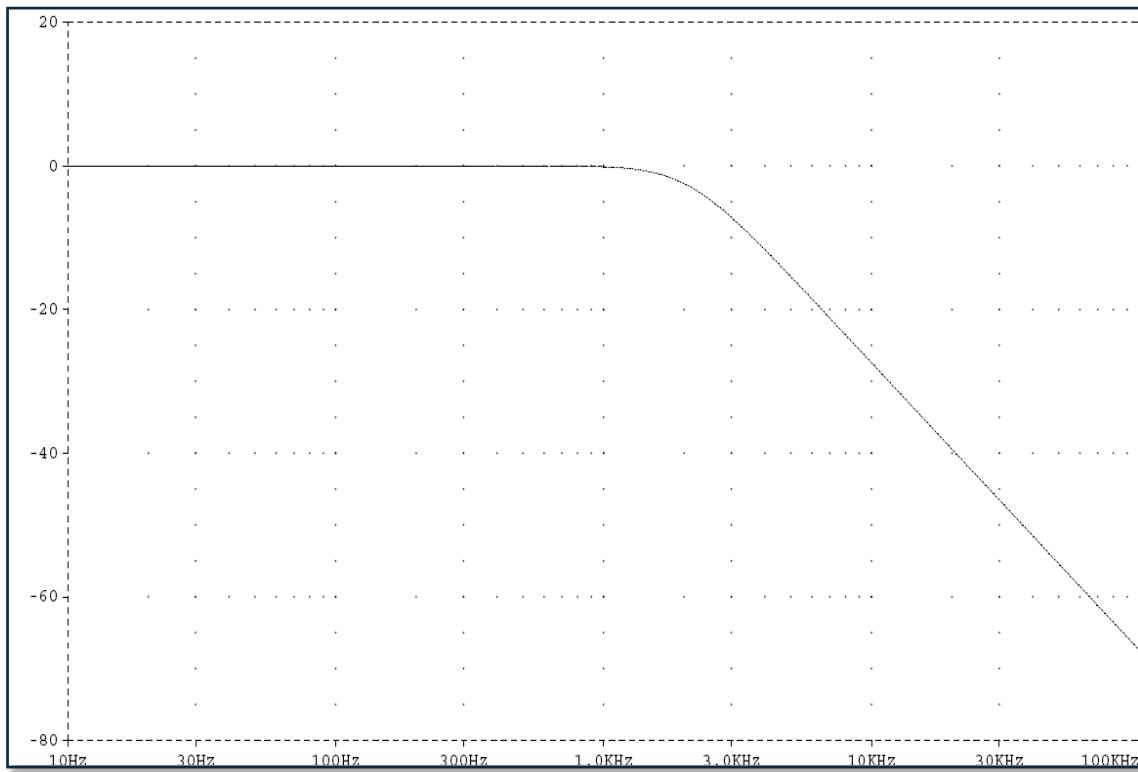


Figura 2.6: Módulo de la respuesta en frecuencia del filtro Sallen Key.

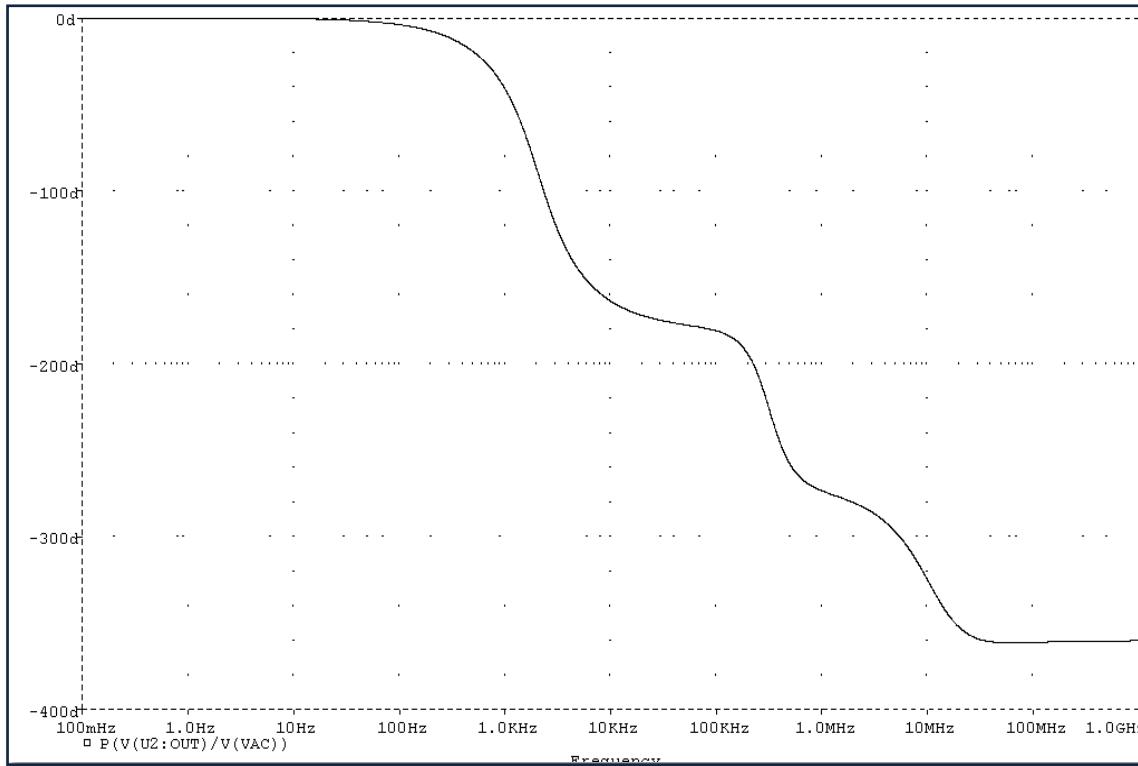


Figura 2.7: Fase de la respuesta en frecuencia del filtro Sallen Key.

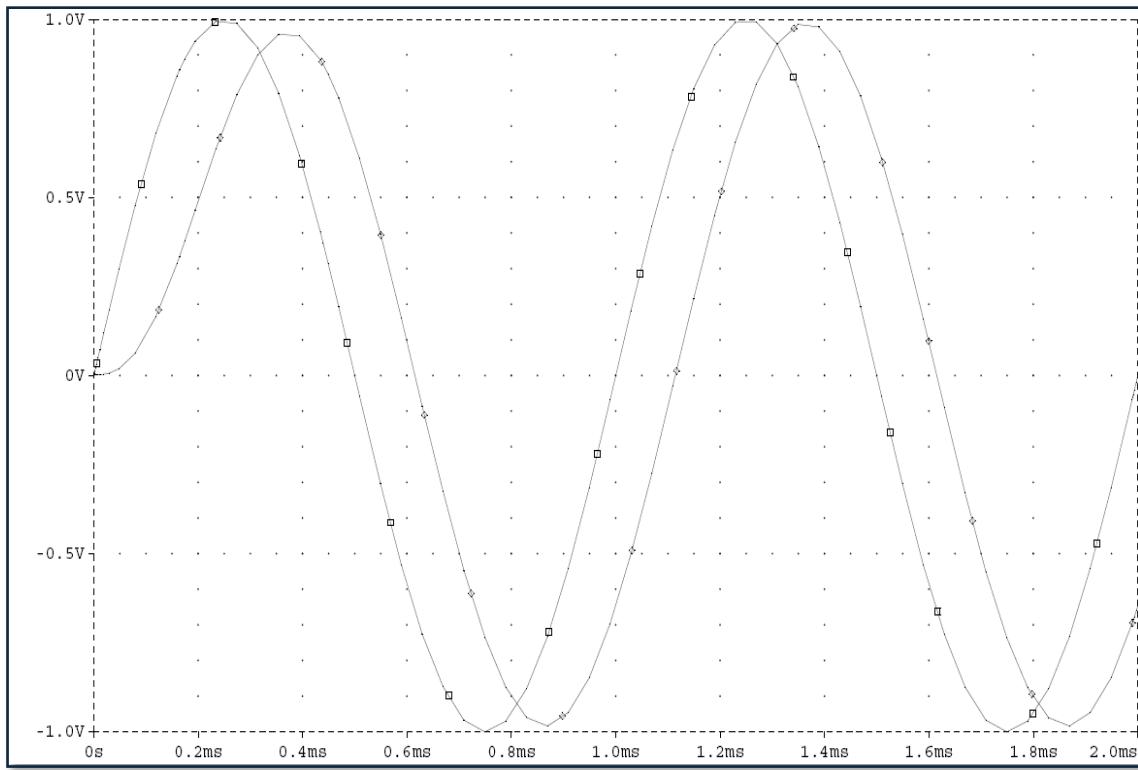


Figura 2.8: Tono de 1KHz y salida tras el filtro Sallen Key. Se produce un desfase apreciable.

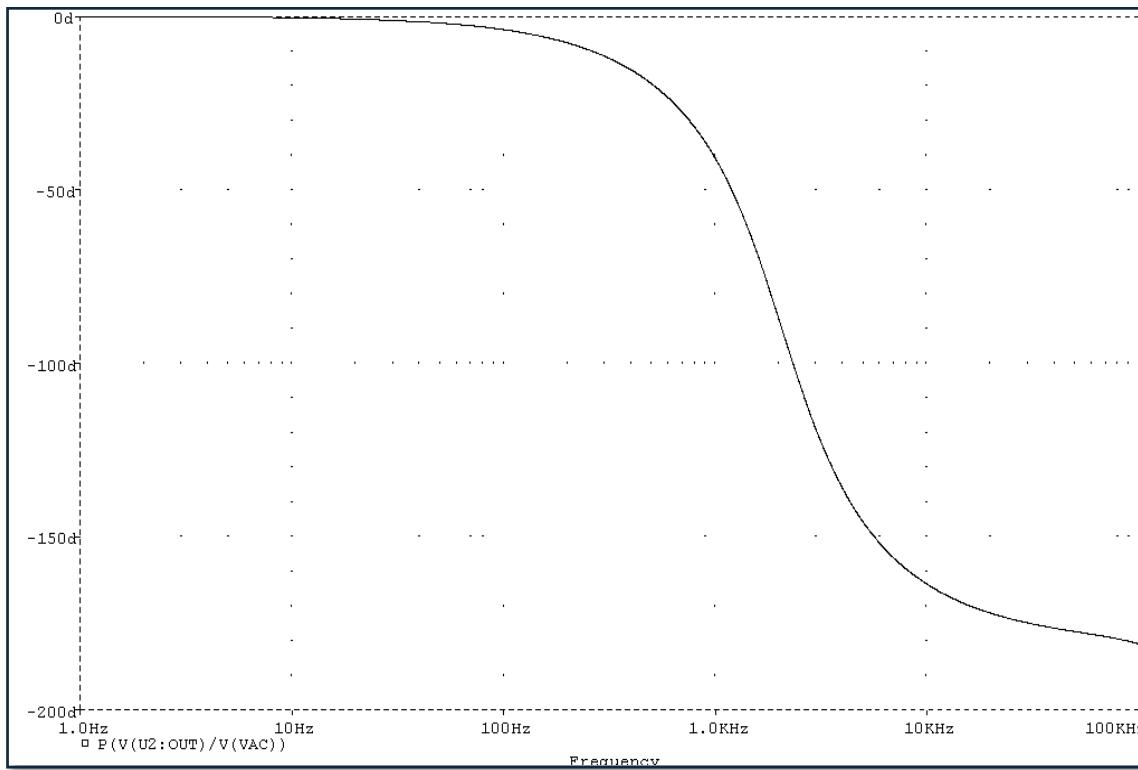


Figura 2.9: Fase de la respuesta en frecuencia para las medidas del laboratorio (hasta 100Khz aproximadamente).

3. Generador de portadoras

3.1 Descripción del módulo:

Para poder transmitir en *Modulación de Amplitud* –en adelante, AM- necesitamos mezclar (estrictamente, *multiplicar*) nuestra señal de audio con otra señal (*portadora*) a la frecuencia a la que queremos modular (que según las especificaciones, serán en 4 canales de 82Khz, 92Khz, 102Khz y 112Khz respectivamente). En nuestro caso, y por razones de simplicidad, la portadora será cuadrada, con un ciclo de trabajo del 50%. Este módulo será el encargado de **producir las cuatro portadoras necesarias**.

Para generar cada una de las cuatro señales cuadradas, disponemos de 4 redes distintas de realimentación para el Inversor *Trigger Schmidt* 74HC14; cada una con una constante de tiempo τ , ajustada para conseguir que el circuito se comporte como un oscilador a la frecuencia calculada. Para conseguir un ajuste perfecto de las frecuencias de las señales portadoras, la resistencia total de cada red RC de realimentación viene determinada por un resistor en serie con un potenciómetro. Este elemento de precisión nos permitirá hacer un ajuste fino y **obtener las frecuencias exactas**.

Para seleccionar cada una de las cuatro redes de realimentación y por tanto, cada una de las cuatro frecuencias disponibles, usamos un array de 4 microinterruptores.

Es importante mencionar que a la salida del 74HC14, la señal cuadrada generada puede no tener un ciclo de trabajo del 50%, lo cual sería inadecuado dada la forma empleada para *multiplicar* las señales moduladora y portadora (descrita en el apartado 5.1). Para solventar este problema, se ha optado por generar las señales cuadradas **al doble de frecuencia**, e introducirlas en un biestable D 74HC74 configurado como un tipo T⁷, para obtener una señal de frecuencia mitad y **garantizar un ciclo de trabajo del 50%**.

3.2 Esquema circuital:

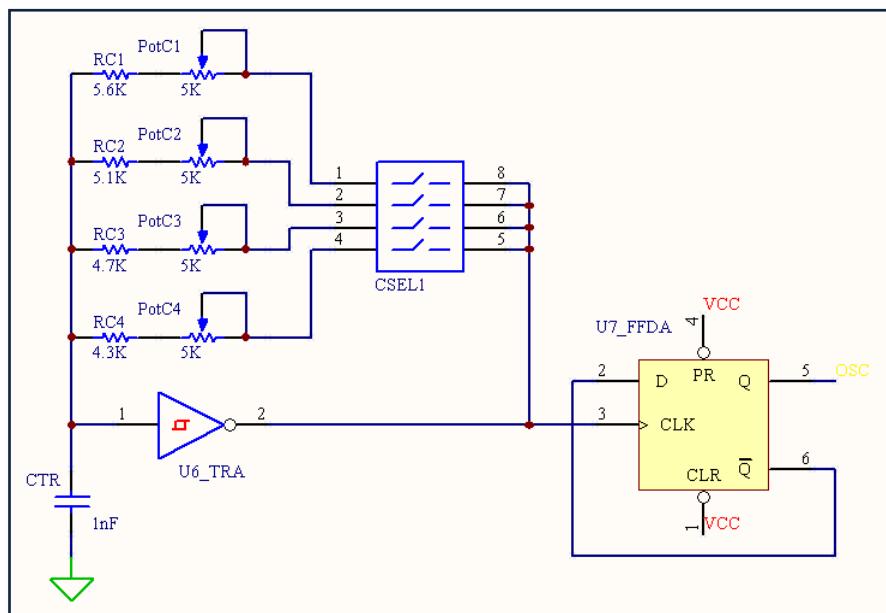


Figura 3.1: Generador de portadoras cuadradas.

⁷ Estrictamente hablando, utilizando la función *toggle* de los biestables tipo T.

3.3 Análisis teórico:

Necesitamos calcular la red RC del 74HC14 para obtener la señal cuadrada de *frecuencia doble* de cada canal. Para ello, buscamos en la documentación que facilita el fabricante⁸ las ecuaciones que describan el periodo de oscilación:

$$f \approx \frac{1}{RC \ln \frac{V_{T+}(V_{CC} - V_{T-})}{V_{T-}(V_{CC} - V_{T+})}}$$

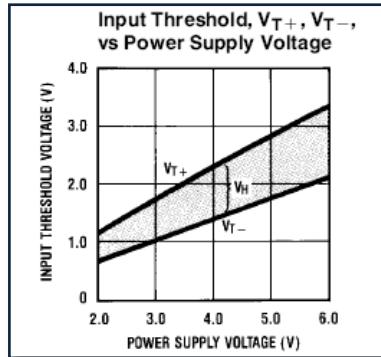


Figura 3.2: Rectas de V_{T+} y V_{T-} en función de la tensión de alimentación. Fuente: 74HC14 Datasheet, National Semiconductor.

Obtenemos de la gráfica que nos proporciona el fabricante los valores típicos de V_{T+} y V_{T-} , que son 2.8 y 1.8 respectivamente para nuestra alimentación de 5V.

$$\ln \frac{V_{T+}(V_{CC} - V_{T-})}{V_{T-}(V_{CC} - V_{T+})} = \ln \frac{2.8(5 - 1.8)}{1.8(5 - 2.8)} = 0.816$$

De esta forma, la ecuación que determina la frecuencia únicamente en función de la red RC es:

$$f \approx \frac{1}{0.816RC}$$

Ya que el condensador es común para los 4 canales, fijamos su valor en la ecuación, y determinaremos R a partir de las 4 *frecuencias dobles* de portadoras:

$$R_i \approx \frac{1}{0.816f_i C}, i \in \{1 \dots 4\}, C = 1nF$$

$$f_1 = 164Khz \Rightarrow R_1 = 7467 \Omega$$

$$f_2 = 184Khz \Rightarrow R_2 = 6655 \Omega$$

$$f_3 = 204Khz \Rightarrow R_3 = 6003 \Omega$$

$$f_4 = 224Khz \Rightarrow R_4 = 5467 \Omega$$

Este valor de resistencia lo implementamos con un resistor fijo (que será de al menos 1000Ω inferior al valor exacto) y otro variable. De esta manera obtendremos una resistencia equivalente idéntica a las calculadas. Escogemos valores comerciales para la resistencia fija:

⁸ Datasheet del 74HC74 de National Semiconductor disponible en la red.

$$R_{C1} = 5.6K\Omega, R_{C2} = 5.1K\Omega, R_{C3} = 4.7K\Omega, R_{C4} = 4.3K\Omega$$

Y calculamos cuánta resistencia debe añadir cada potenciómetro de 5K para llegar al valor exacto:

$$R_{POT1} = 1867\Omega, R_{POT2} = 1555\Omega, R_{POT3} = 1303\Omega, R_{POT4} = 1161\Omega$$

Una vez, hemos generado las señales cuadradas de *frecuencia doble*, utilizamos un biestable tipo D 74HC74 para obtener la frecuencia de portadora y garantizar el ciclo del 50%.

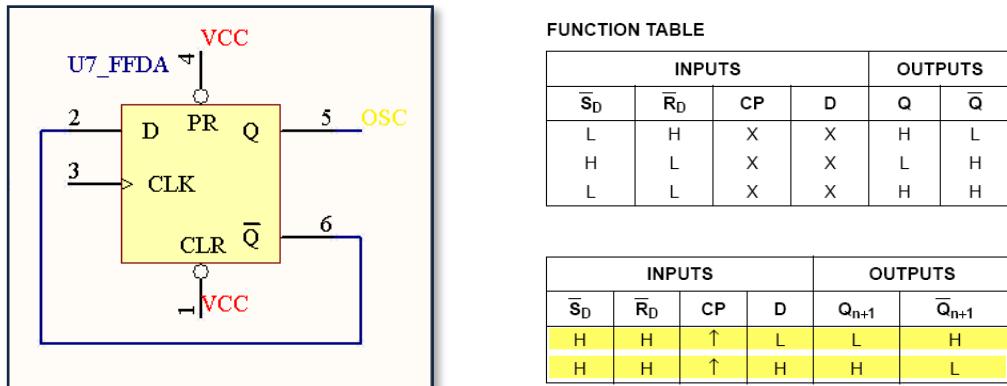


Figura 3.3: Biestable D (74HC74) y tabla de verdad con rango utilizado.

El comportamiento del 74HC74 en esta configuración se refleja en la figura 3.4 con reloj de ejemplo: a cada flanco de subida, se obtiene un valor en #Q (contrario al *valor lógico* de la señal en CLK) que es llevado a D y que se introduce al próximo flanco de subida. El resultado es una señal de reloj con el doble de periodo, es decir, la mitad de frecuencia (*frecuencia de portadora*).

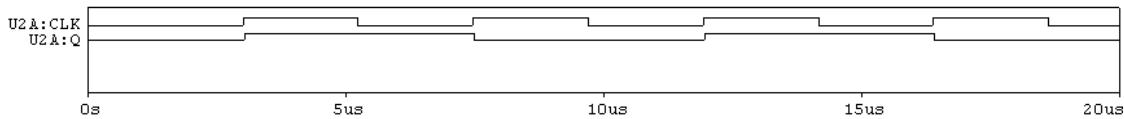


Figura 3.4: Cronograma de la función del 74HC74. Reloj de entrada (arriba) y salida Q a frecuencia doble (abajo).

3.4 Gráficas y capturas de osciloscopio:

A continuación dedicaremos algunas páginas para visualizar la generación de cada portadora para cada uno de los cuatro canales. En la primera pantalla, representaremos la tensión del condensador (entrada del 74HC14) junto a la señal cuadrada de *frecuencia doble*. En la segunda pantalla, se muestra el comportamiento del biestable tipo D tal y como hemos descrito en el apartado teórico anterior.

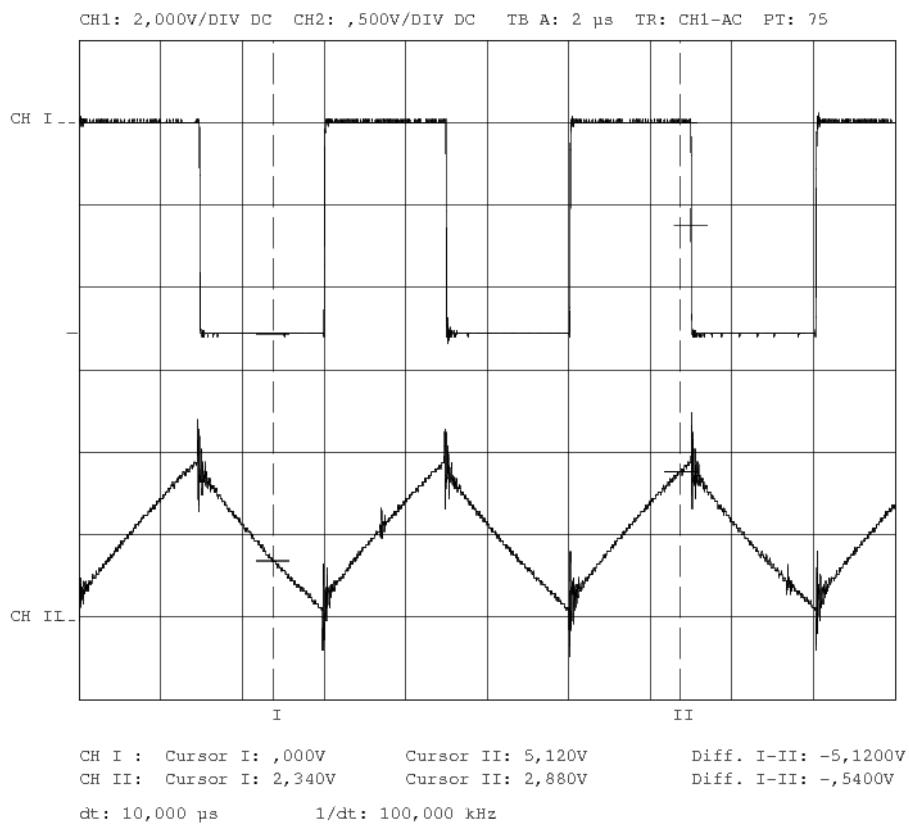


Figura 3.5: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 1.

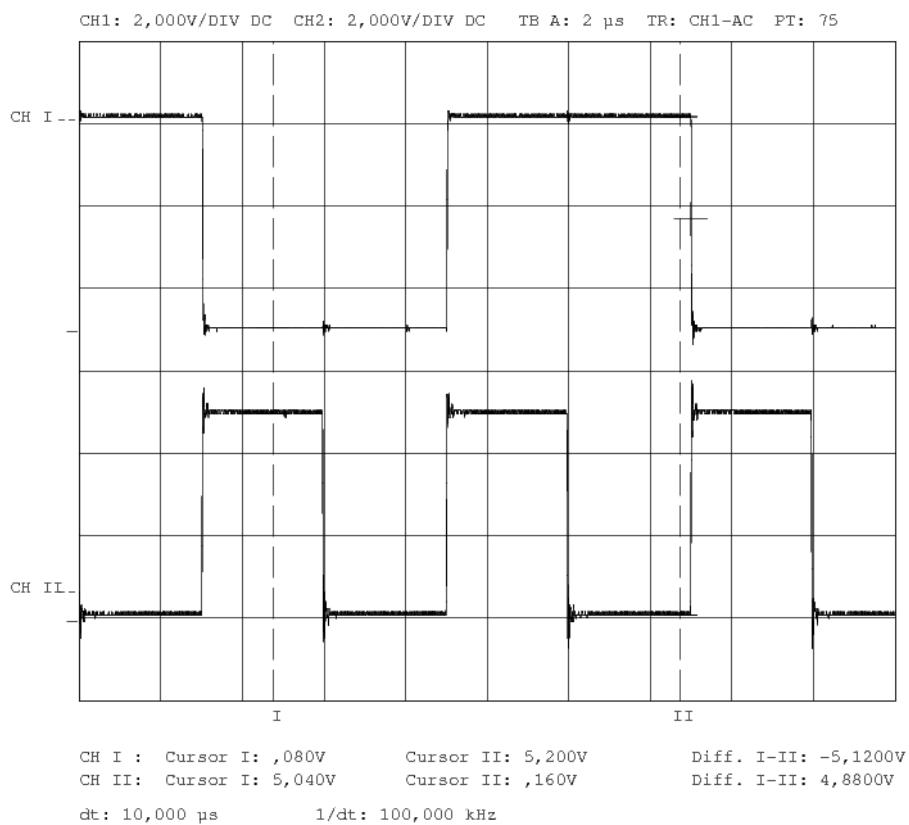


Figura 3.6: Salida del inversor histéresis 74HC14 (arriba) y portadora de 82Khz correspondiente al canal 1 a la salida del biestable tipo D 74HC74 (abajo).

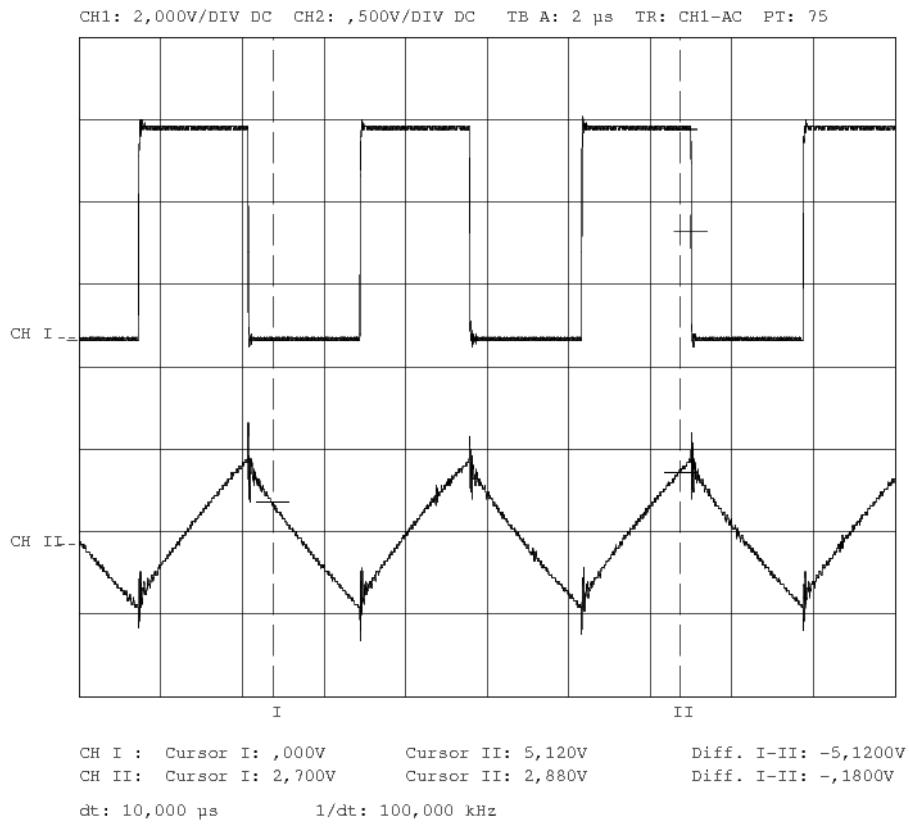


Figura 3.7: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 2.

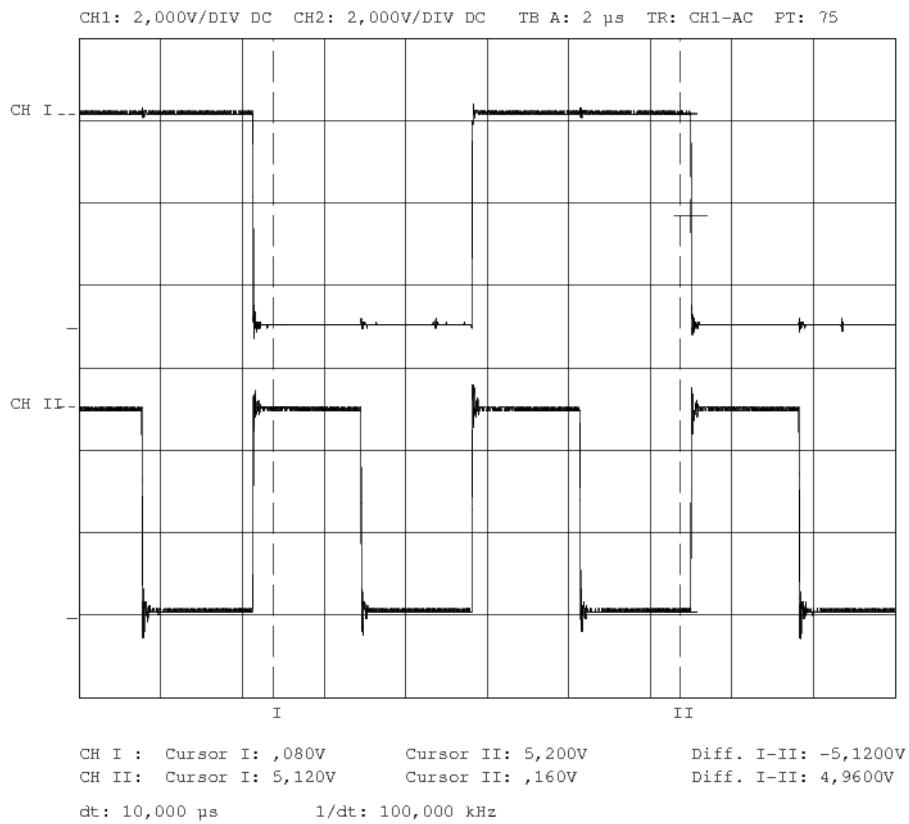


Figura 3.8: Salida del inversor histéresis 74HC14 (arriba) y portadora de 92Khz correspondiente al canal 2 a la salida del biestable tipo D 74HC74 (abajo).

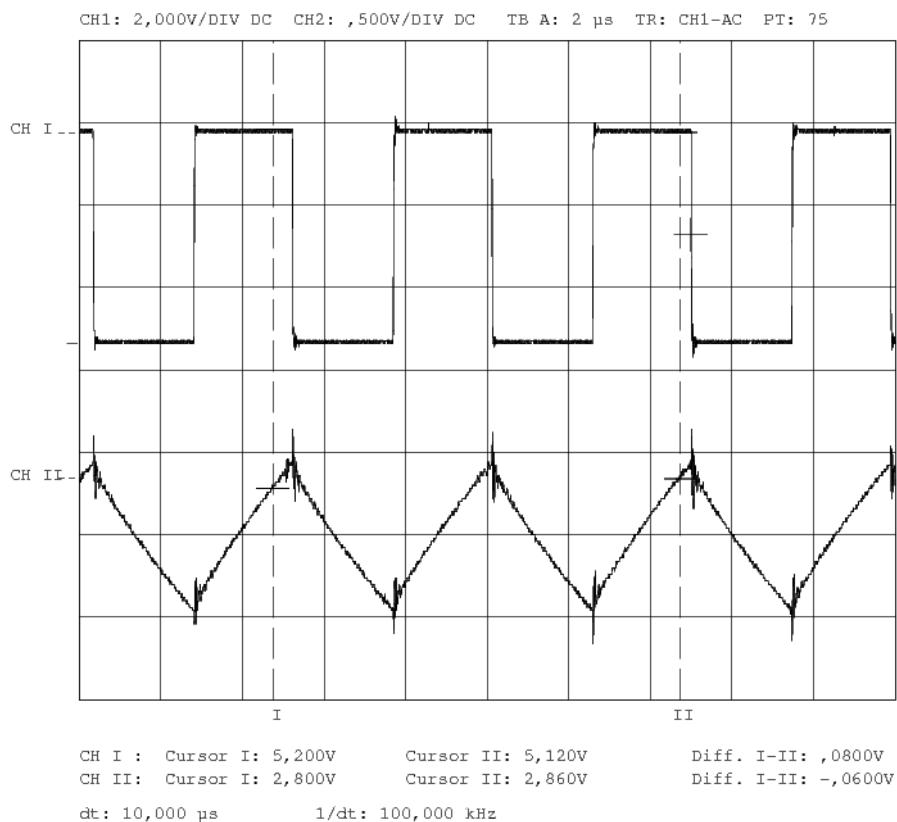


Figura 3.9: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 3.

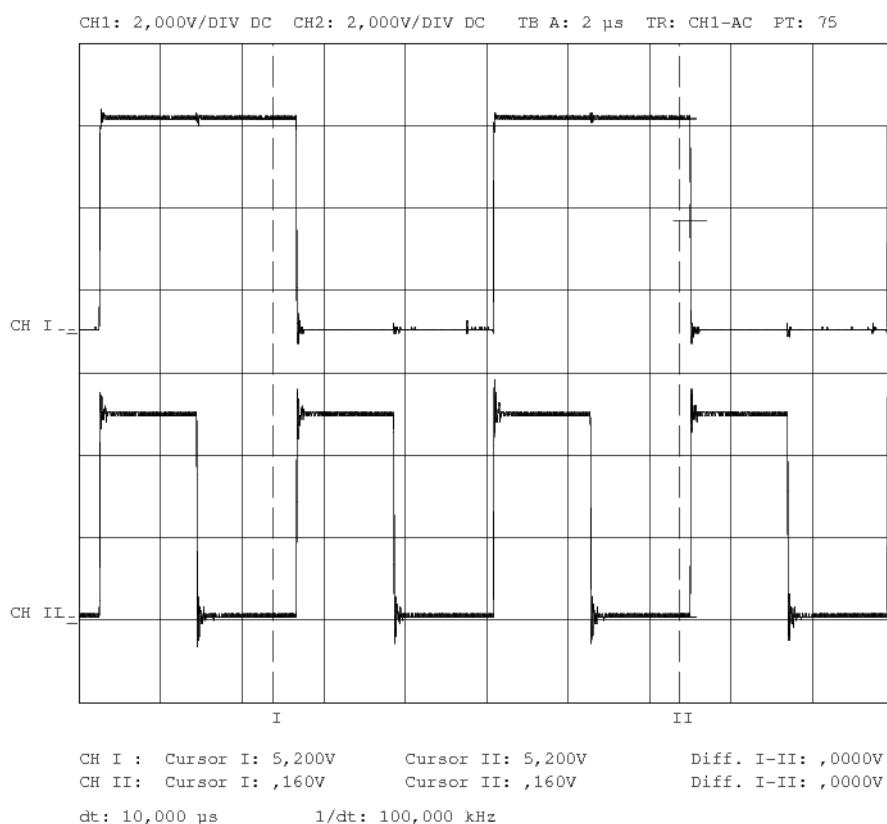


Figura 3.10: Salida del inversor histéresis 74HC14 (arriba) y portadora de 102Khz correspondiente al canal 3 a la salida del biestable tipo D 74HC74 (abajo).

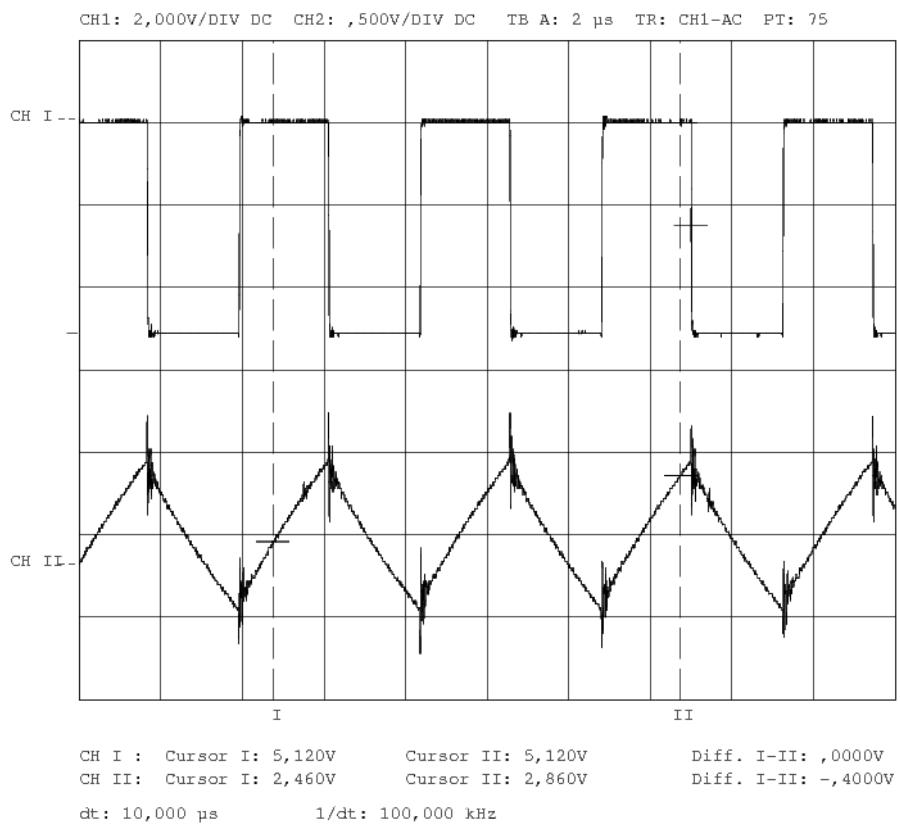


Figura 3.11: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 4.

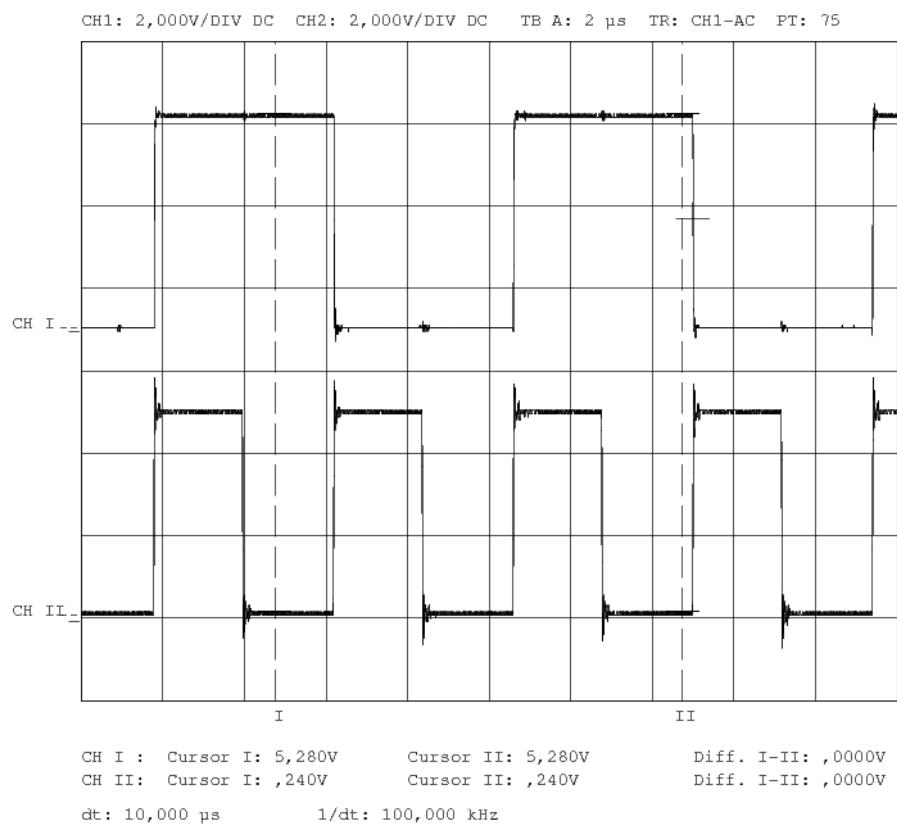


Figura 3.12: Salida del inversor histéresis 74HC14 (arriba) y portadora de 112Khz correspondiente al canal 4 a la salida del biestable tipo D 74HC74 (abajo).

2.5 Simulación en Pspice™:

Para simular la generación de portadoras, dibujamos el esquemático del inversor con su red RC independientemente para cada canal. La frecuencia de la señal cuadrada obtenida a la salida del 74HC14, la introducimos como *digstim*⁹ al biestable D, y mostramos su efecto en las imágenes que se muestran a continuación.

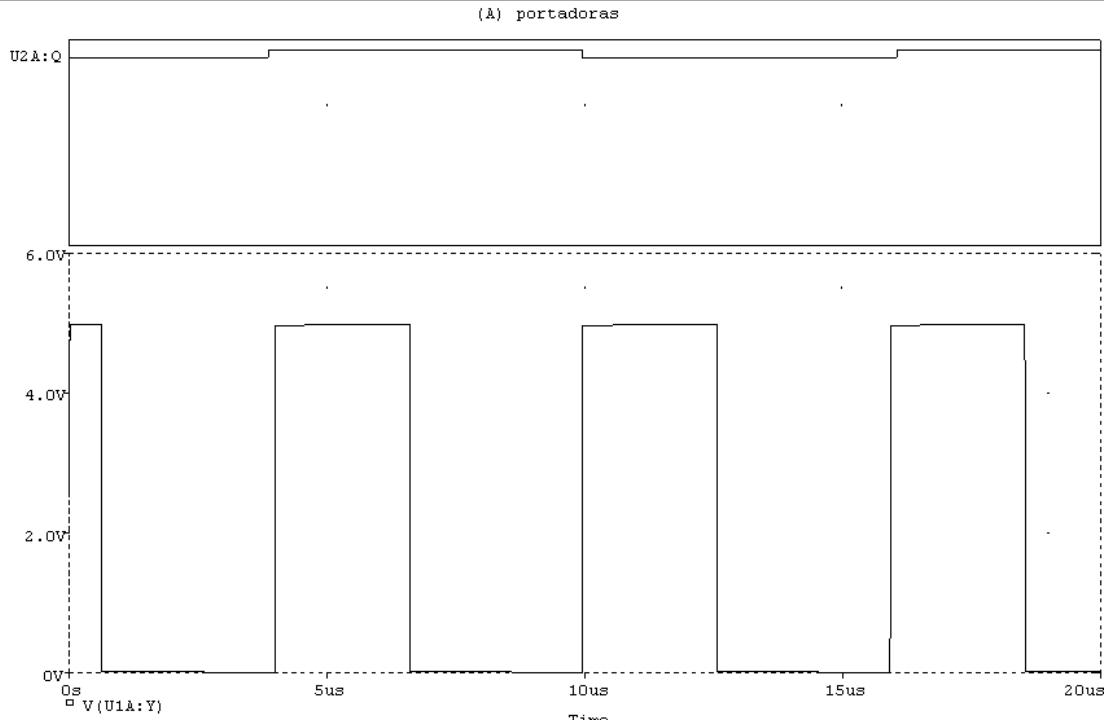


Figura 3.13: Señal cuadrada de 164Khz (abajo) y portadora a 82Khz (arriba) a la salida del 74HC74.

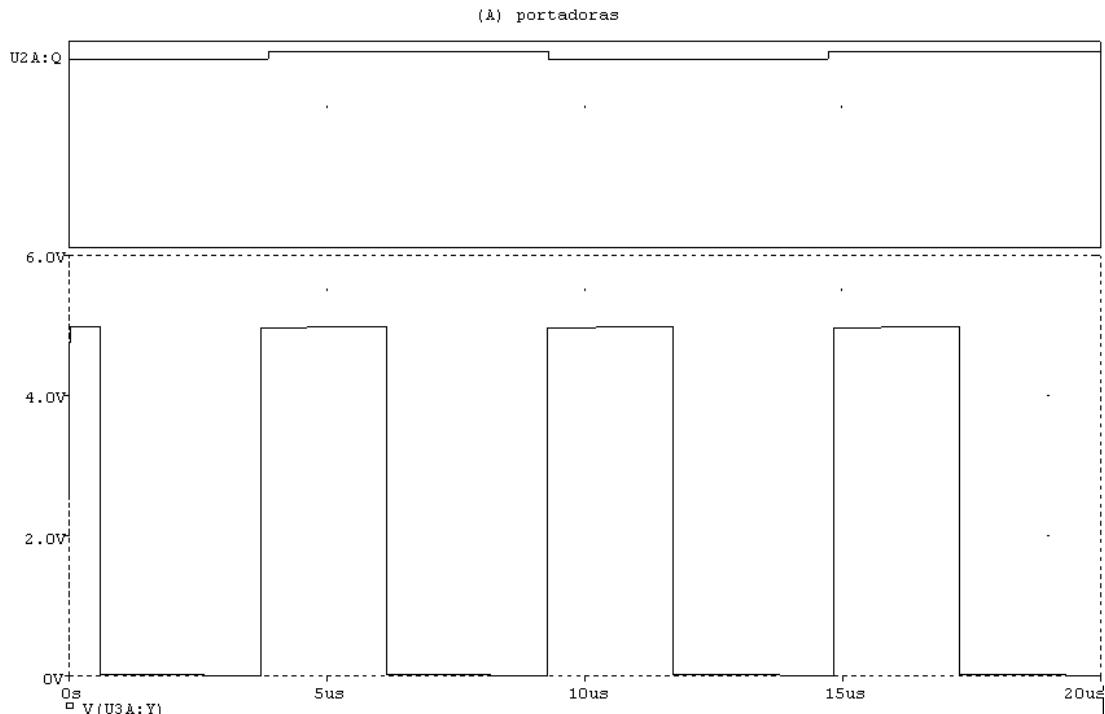


Figura 3.14: Señal cuadrada de 184Khz (abajo) y portadora a 92Khz (arriba) a la salida del 74HC74.

⁹ Digstim es el generador de impulsos digitales en Pspice™. La simulación no puede realizarse con una señal analógica como reloj, por lo que este elemento se hace imprescindible.

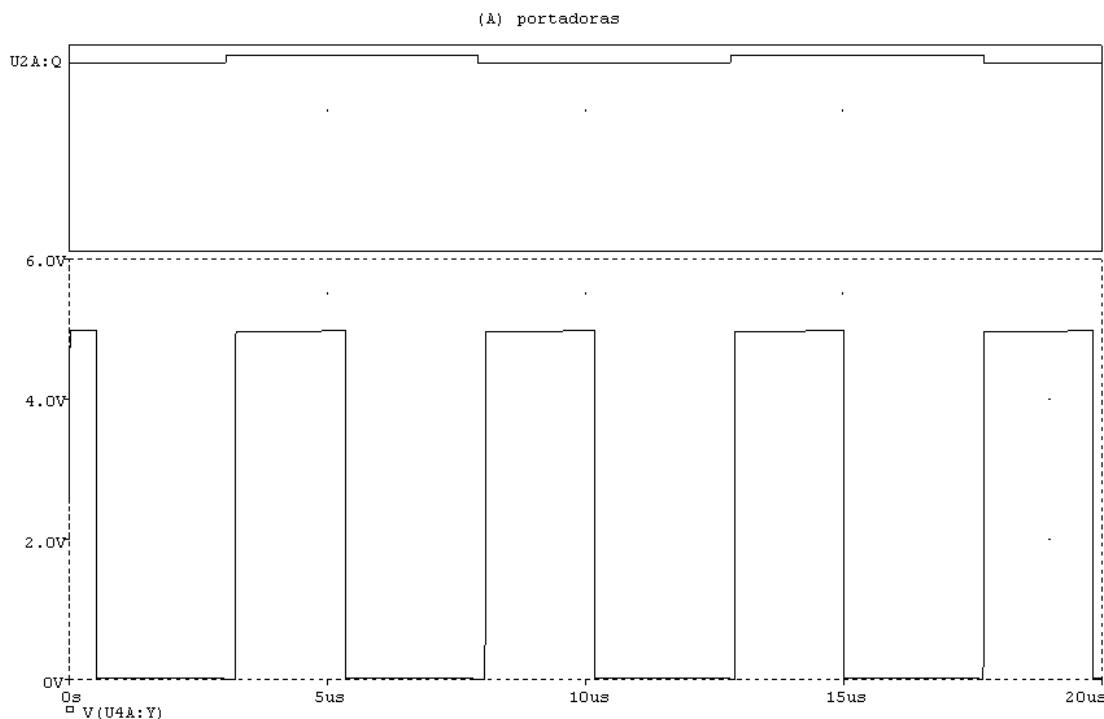


Figura 3.15: Señal cuadrada de 204Khz (abajo) y portadora a 102Khz (arriba) a la salida del 74HC74.

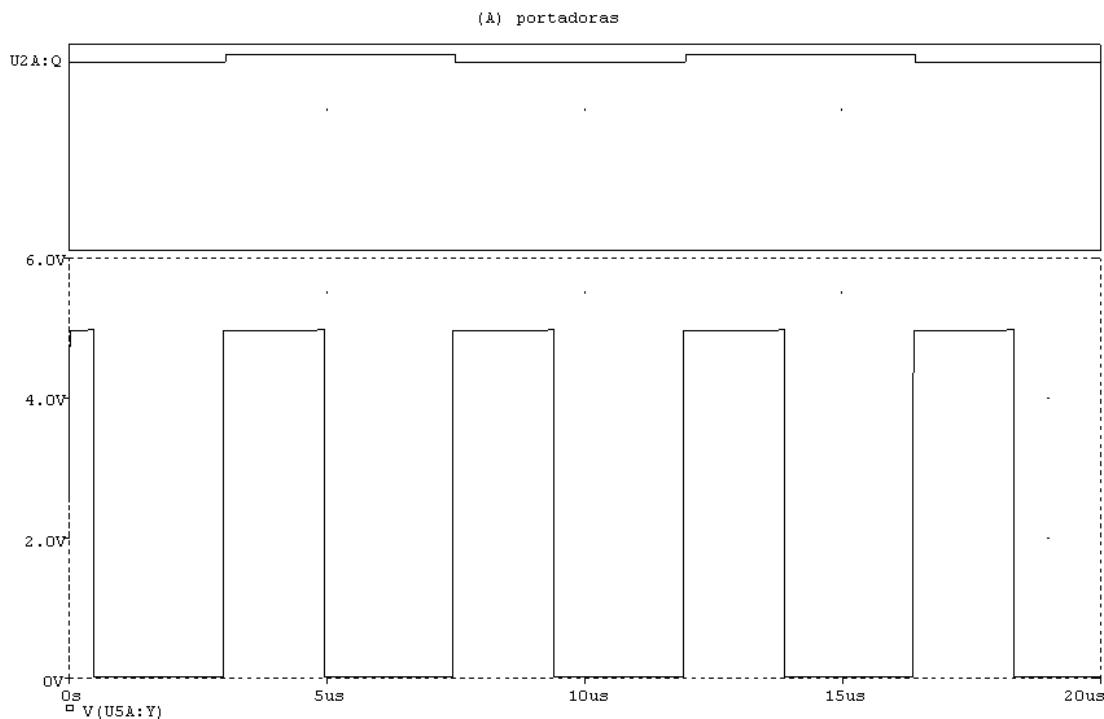


Figura 3.16: Señal cuadrada de 224Khz (abajo) y portadora a 112Khz (arriba) a la salida del 74HC74.

4. Sumador de offset

4.1 Descripción del módulo:

El objetivo de este módulo es que la señal modulada contenga un cierto nivel de la señal portadora, algo imprescindible para que se trate de una modulación AM.

De hecho, en un sistema AM bien diseñado debe cumplirse la siguiente condición:

$$A_c > A_m |x(t)|$$

Dónde A_c es la amplitud de la señal portadora y $A_m |x(t)|$ es la señal moduladora. Si aseguramos esta condición, mediante la inclusión de un nivel adecuado de portadora, estamos asegurando que la magnitud $A_c + A_m x(t)$ (amplitud de una señal modulada en AM) no pasa nunca por cero, evitando la *sobremodulación*. De estos efectos referidos al índice de modulación hablaremos más adelante en el apartado 15.

4.2 Esquema circuital:

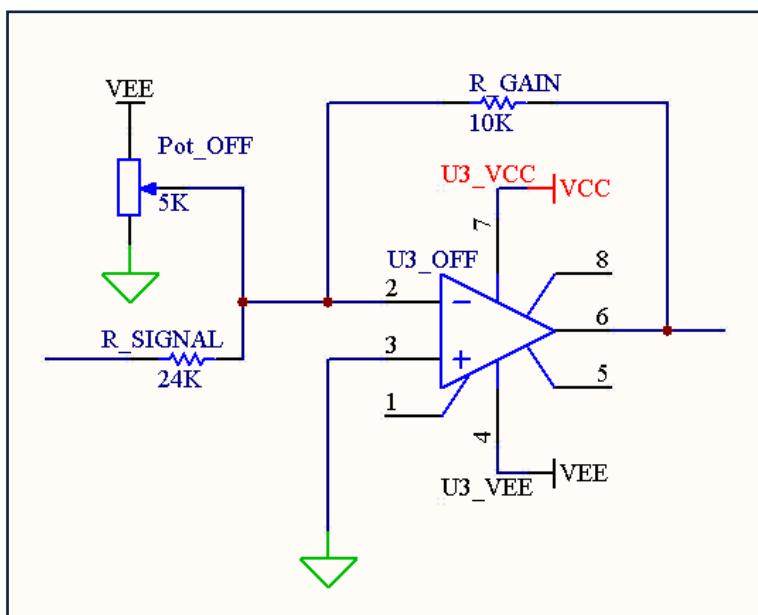


Figura 4.1: Sumador de tensión continua (offset)

4.3 Análisis teórico:

Para la realización de este módulo se ha escogido una configuración de Amplificador Operacional en *sumador-inversor*, cuya función de transferencia para dos señales de entrada (utilizando la nomenclatura del esquema circuital) es:

$$V_o = -R_{GAIN} \cdot \left(\frac{V_s}{R_{SIGNAL}} + \frac{V_{EE}}{R_{Pot_OFF}} \right)$$

Para el diseño del sistema se ha fijado un valor medio de R_{SIGNAL} , en nuestro caso 10KΩ, a partir de aquí se han seleccionado los valores adecuados para las resistencias

de entrada de cara a conseguir la amplificación¹⁰ deseada, que en el caso de la señal de entrada es:

$$\frac{V_o}{V_i} = -\frac{R_{GAIN}}{R_{SIGNAL}} = -\frac{10K\Omega}{24K\Omega} \cong -0,42$$

El nivel de continua que se inyecta vendría determinado de la siguiente forma:

$$V_{DC} = V_{EE} \cdot \frac{R_{GAIN}}{R_{Pot_OFF}}$$

Con lo que para los valores usados de $R_{Pot_OFF} = 50k\Omega$, R_{GAIN} y $V_{EE} = -5V$, se tendría que el nivel de continua inyectado sería:

$$V_{DC} \geq 1V$$

Donde fijaremos para nuestra modulación el **valor mínimo de offset**, 1V. Dadas las limitaciones por saturación en la alimentación del LF356, el valor máximo de continua inyectable no superaría nunca los 5V.

Respecto a la atenuación de la señal de entrada, conviene decir que uno de los aspectos de diseño valorados fue atenuarla -aproximadamente- a la mitad, ya que al inyectar continua, se aumenta el nivel de la señal y eso puede acarrear posteriores problemas con el margen dinámico a causa de saturaciones.

4.4 Obtención de medidas y diagramas de Bode:

Como se puede ver en los siguientes apartados de capturas de oscilloscopio (*apartado 4.5*) y simulaciones en Pspice™ (*apartado 4.6*), el comportamiento en frecuencia de este módulo es el que se puede esperar de la configuración usada con el LF356: respuesta constante durante un rango de frecuencias elevado¹¹. Es por esto que nos limitamos a observar el comportamiento del módulo para las señales habituales del sistema, sin ser necesario obtener un desarrollo exhaustivo de su respuesta en frecuencia.

En cualquier caso, una eventual medida práctica de esta célula *sumadora-inversora* da un resultado similar –es decir, respuesta plana- al ya expuesto en la *figuras 1.2 y 1.3* del *apartado 1.4* correspondiente al Adaptador de Señal (obviando el comportamiento Paso Banda).

¹⁰ En nuestro caso *atenuación*, debido a la configuración usada en el resto de módulos de la práctica.

¹¹ Entendemos por *elevado* mucho más rango de frecuencias que el de trabajo, incluso modulando.

4.5 Gráficas y capturas de osciloscopio:

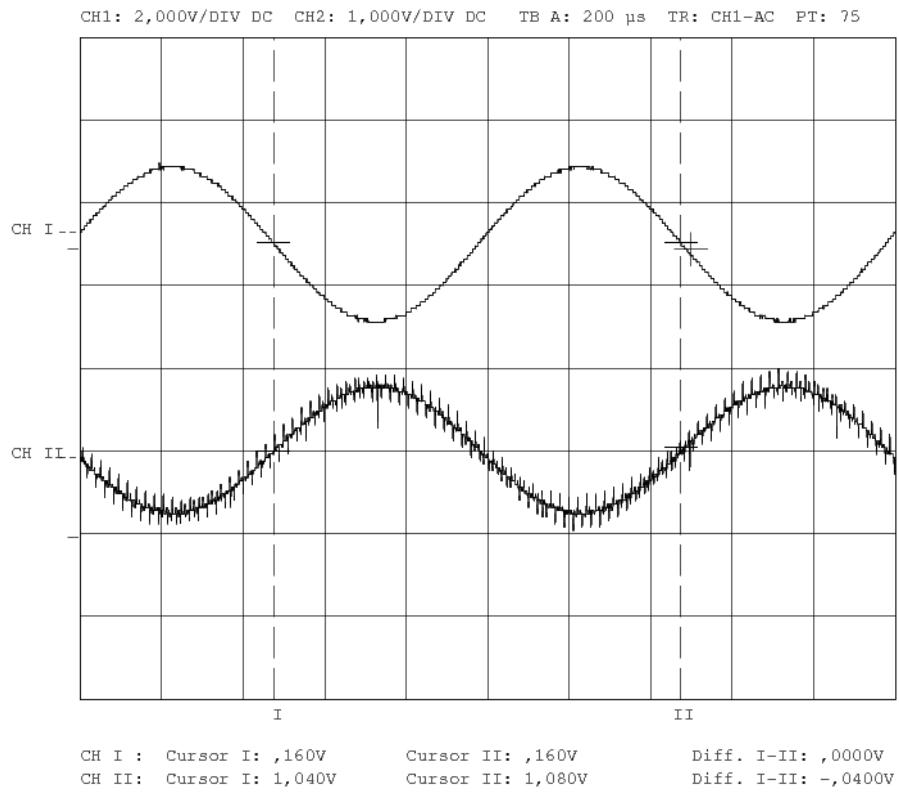


Figura 4.2: Entrada de $3.8V_{pp}$ (arriba) y componente AC de salida de $1.6V_{pp}$ (abajo) del sumador para una sinusoide a la frecuencia de trabajo.

4.6 Simulación en Pspice™:

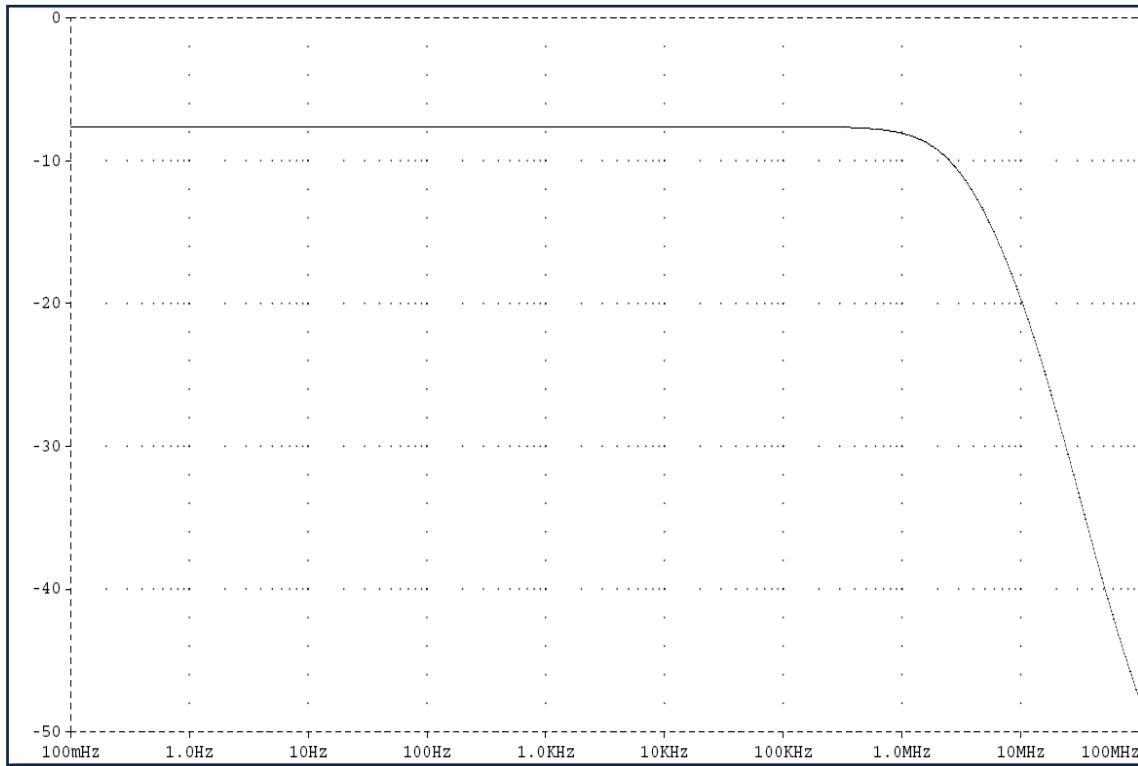


Figura 4.3: Módulo de la respuesta en frecuencia. Se mantiene constante para todas las frecuencias utilizadas en la práctica.

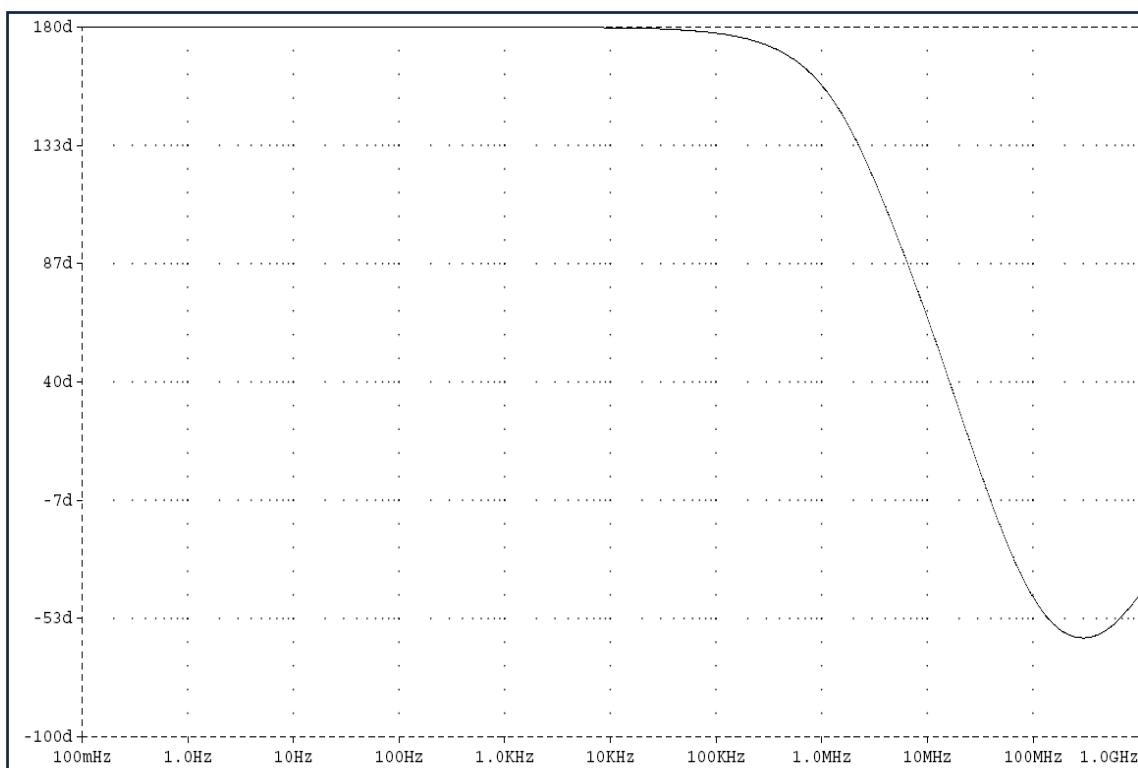


Figura 4.4: Fase de la respuesta en frecuencia. Se mantiene constante para todas las frecuencias utilizadas en la práctica.

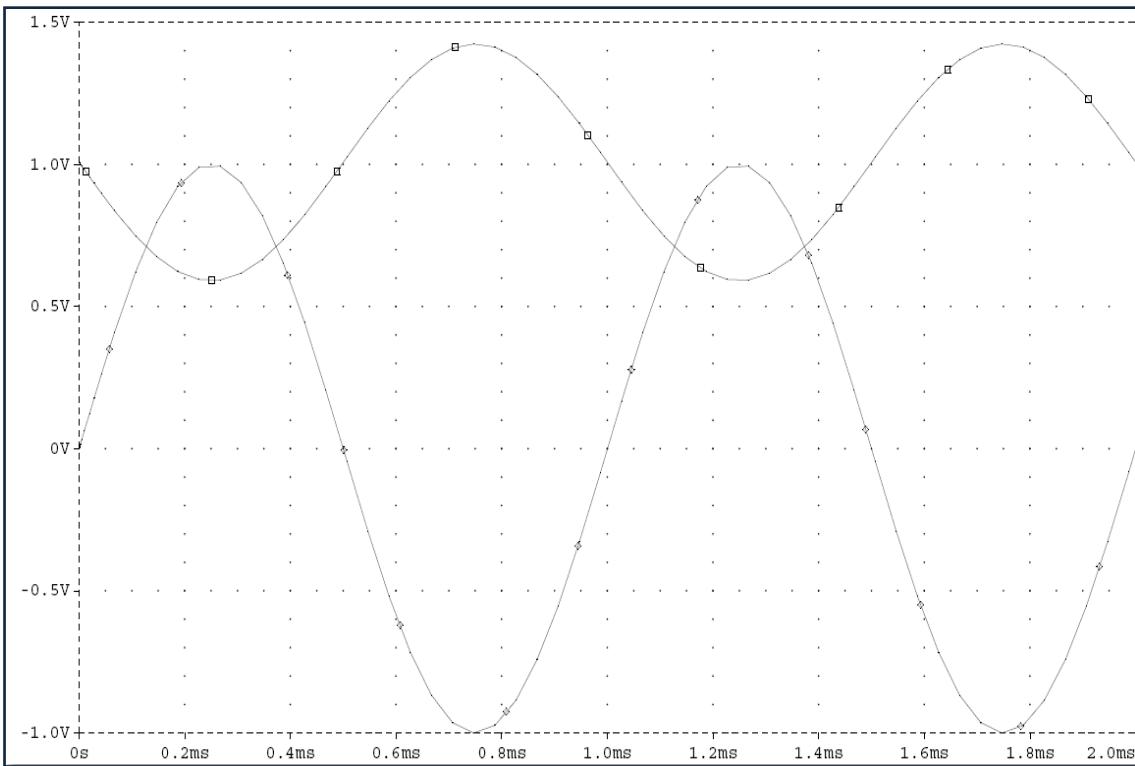


Figura 4.5: Tono de 1Khz (abajo) y salida con 1V de offset (arriba). Se produce una inversión de la señal (desfase de 180°).

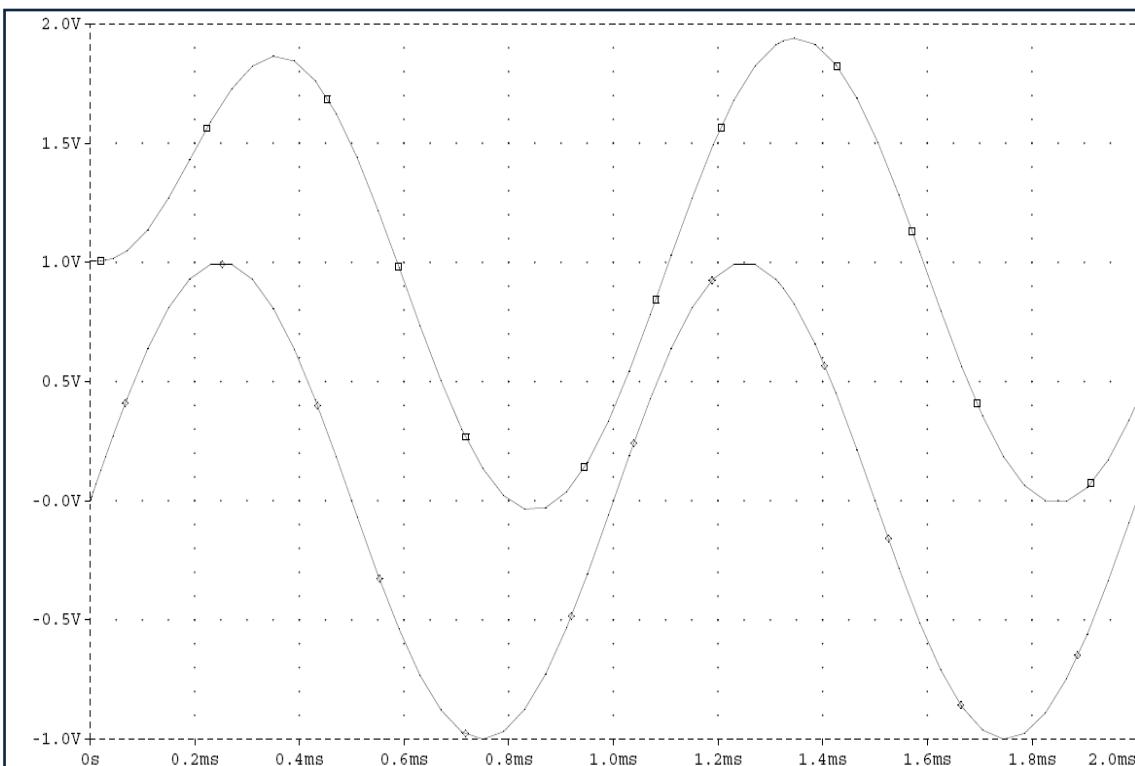


Figura 4.6: Entrada (abajo) de un tono de 1Khz al sistema y salida (arriba) del sumador de offset, justo antes de modular. La salida presenta la misma amplitud y 1V de continua, además de un desfase apreciable (resultado de las tres primeras etapas).

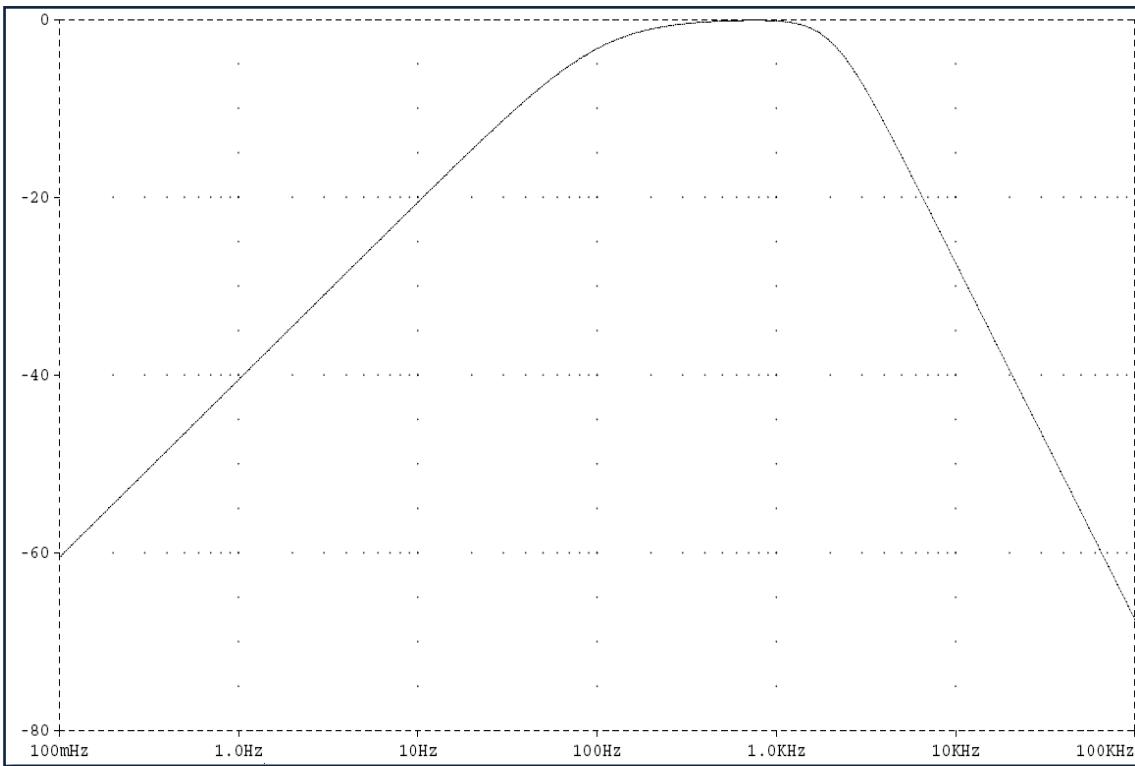


Figura 4.7: Módulo de la respuesta en frecuencia desde la etapa adaptadora de señal hasta el sumador de offset. Muestra la banda de trabajo para las señales de audio (100Hz – 2000Hz).

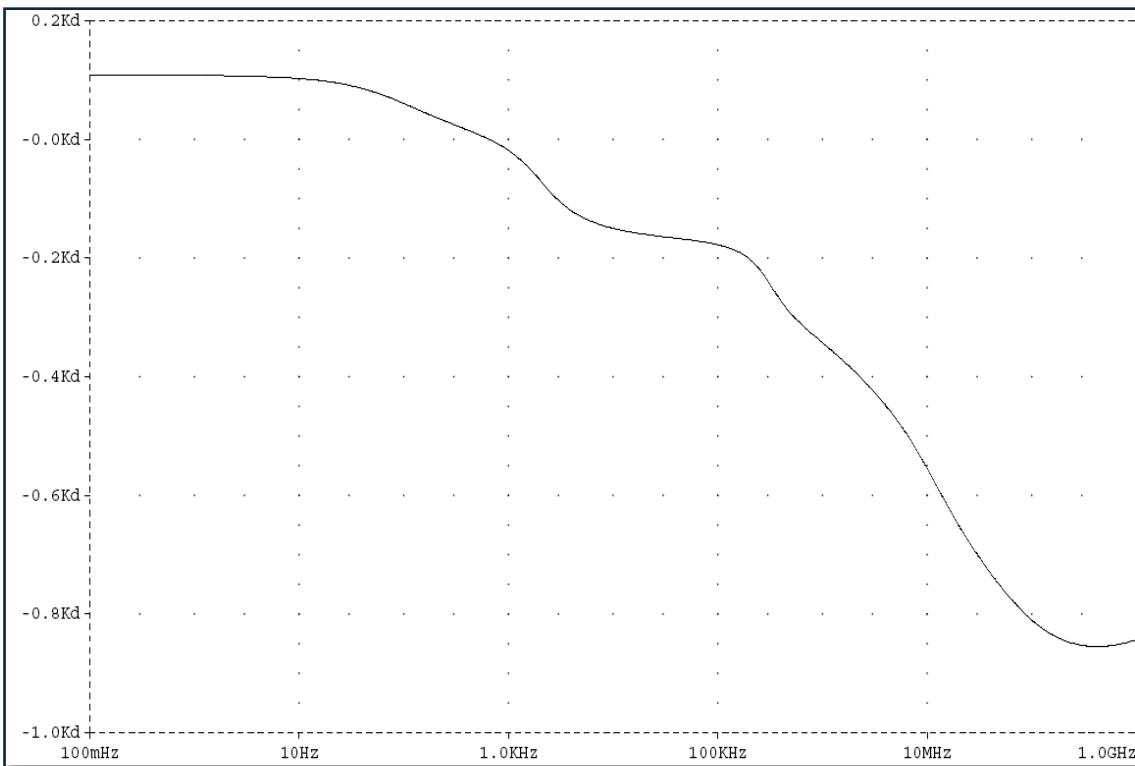


Figura 4.8: Fase de la respuesta en frecuencia de la etapa adaptadora de señal hasta el sumador de offset. Antes de modular, las señales a las frecuencias de trabajo tendrán un desfase comprendido entre 90° y -180° .



5. Mezclador

5.1 Descripción del módulo:

Este módulo tiene una función vital en el sistema, puesto que es el que se encarga de **multiplicar** las señales portadora y moduladora para, de este modo, crear una señal en AM apta para transmitirse por el medio apropiado.

Es importante remarcar que, usando este método de modulación, no estamos multiplicando señales estrictamente. De hecho, el usar portadoras cuadradas, nos permite utilizar esta técnica de modulación cuyo resultado –sólo para el caso de emplear señales cuadradas- es similar al de una multiplicación en sentido estricto (veremos con detalle este fenómeno en el *apartado 5.4*).

5.2 Esquema circuital:

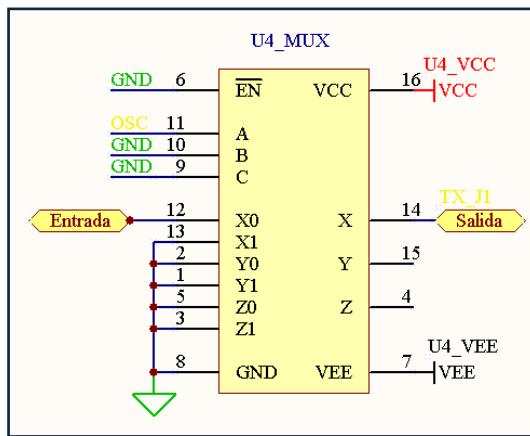


Figura 5.1: Multiplexor 74HC4053 con función de mezclador

5.3 Análisis teórico:

Para la ejecución de la tarea de modulación, el dispositivo escogido es el 74HC4053, un multiplexor analógico controlado de forma digital, cuya tabla de verdad y rango utilizado se puede observar en la *figura 5.2*.

Para conseguir el “efecto de multiplicación” de la portadora por la moduladora, lo que se hace es *muestrear* la señal moduladora a la frecuencia de la señal portadora. Dicho proceso se consigue insertando la señal moduladora por la entrada X0 del multiplexor y masa por la entrada X1. Por la entrada de control, inyectamos la señal portadora. De esta manera, lo que estamos consiguiendo es que cuando la portadora tenga un *1 lógico* dejamos pasar la señal moduladora, y cuando la portadora tenga un valor *0 lógico*, tendremos masa. Este efecto se puede observar con todo detalle en la *figura 5.4* y en adelante.

INPUT STATES				“ON” CHANNELS
ENABLE	S ₀	S ₁	S ₂	
L	L	L	L	C0, B0, A0
L	H	L	L	C0, B0, A1
L	L	H	L	C0, B1, A0
L	H	H	L	C0, B1, A1
L	L	L	H	C1, B0, A0
L	H	L	H	C1, B0, A1
L	L	H	H	C1, B1, A0
L	H	H	H	C1, B1, A1
H	X	X	X	None

Figura 5.2: Tabla de verdad del multiplexor 74HC4053

5.4 Gráficas y capturas de osciloscopio:

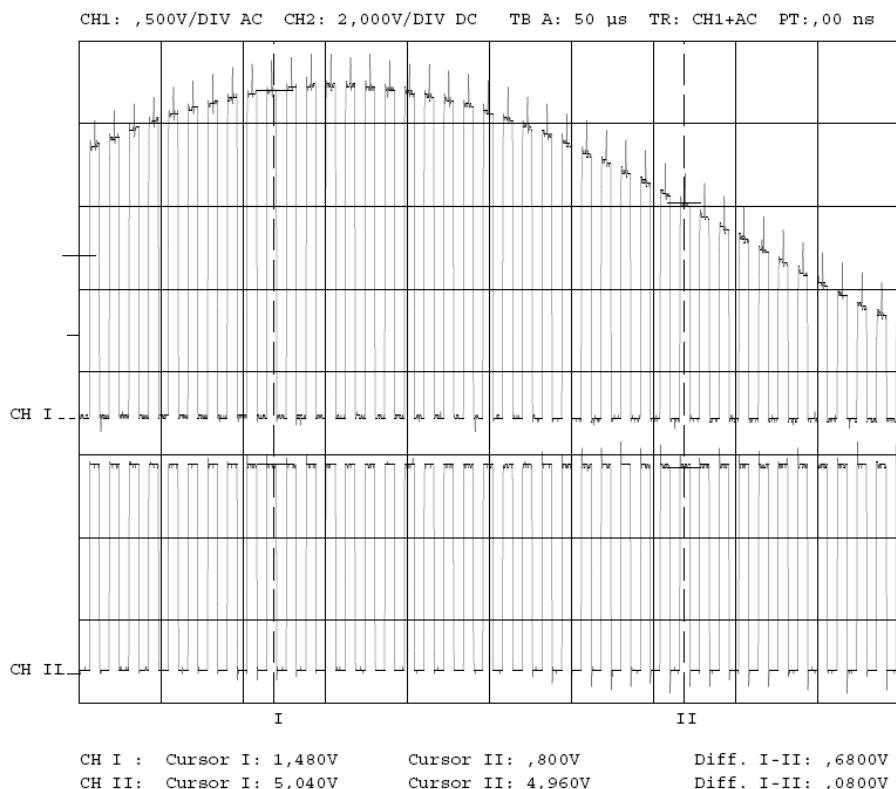


Figura 5.3: Salida (arriba) y portadora del canal 1 (abajo) de la etapa mezcladora. Se transmite por el canal 1.

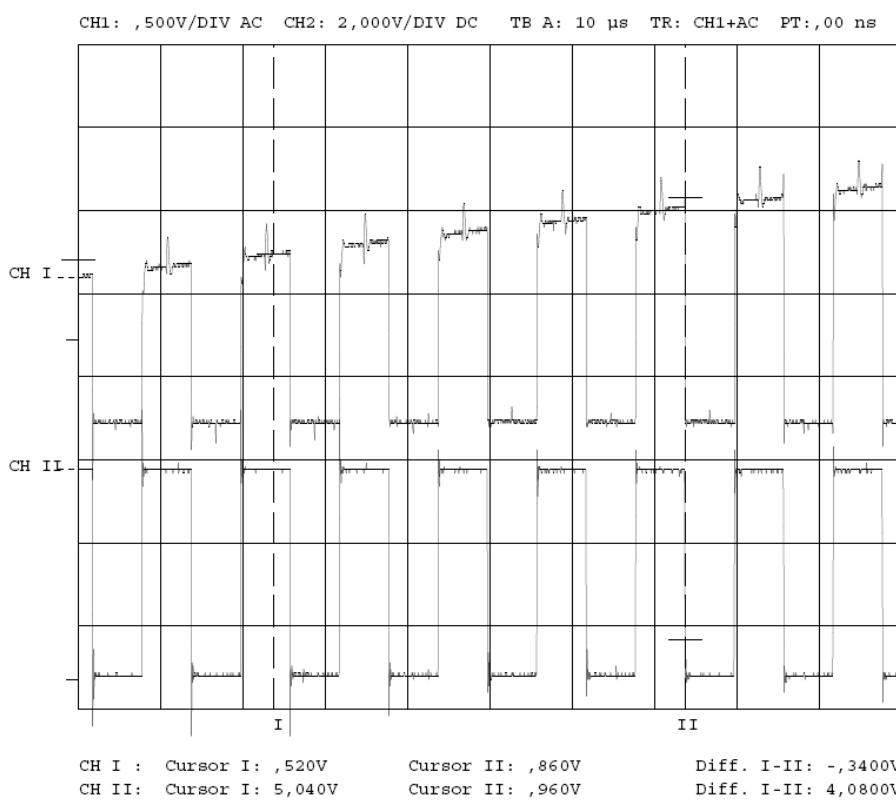


Figura 5.4: Detalle de la multiplicación de la portadora del canal 1 (abajo) por la señal de entrada (arriba).

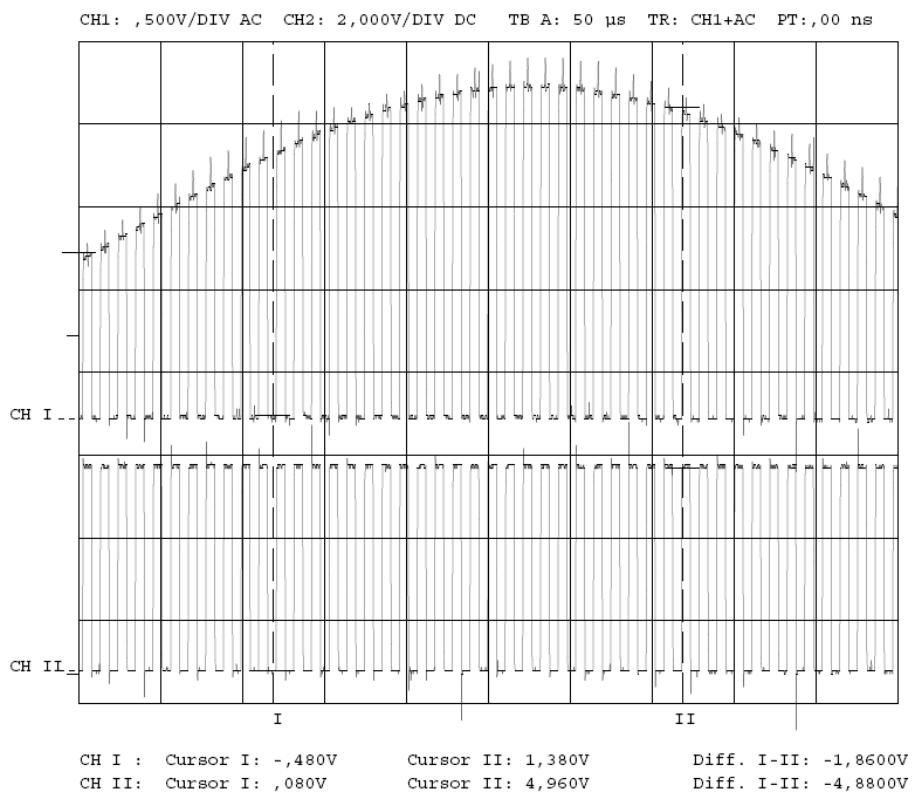


Figura 5.5: Salida (arriba) y portadora del canal 2 (abajo) de la etapa mezcladora. Se transmite por el canal 2.

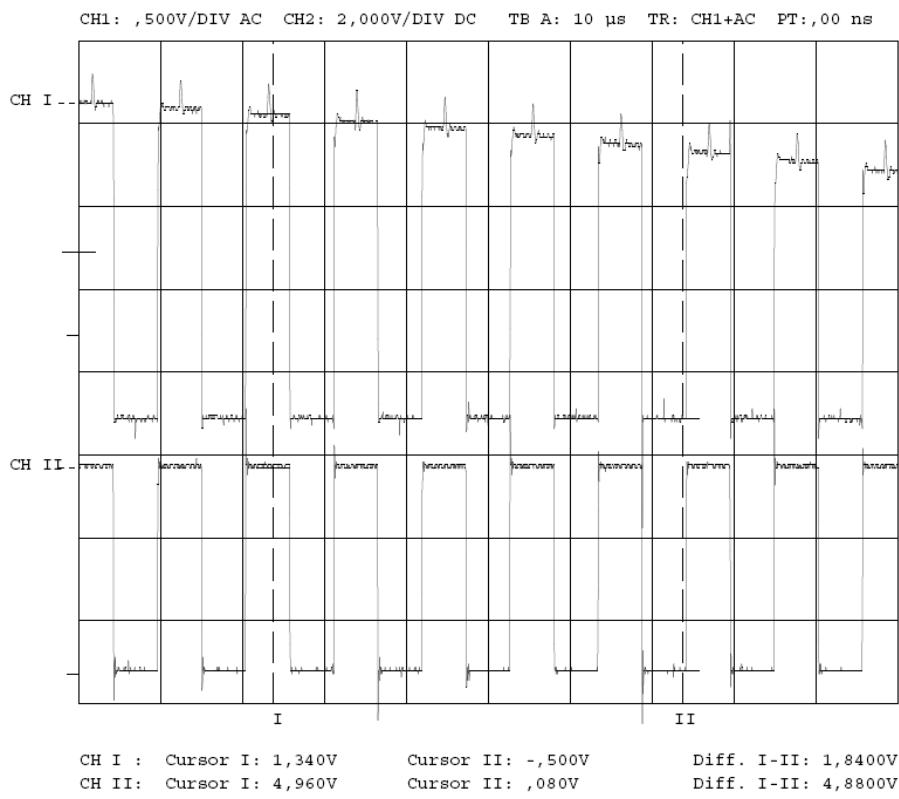


Figura 5.6: Detalle de la multiplicación de la portadora del canal 2 (abajo) por la señal de entrada (arriba).

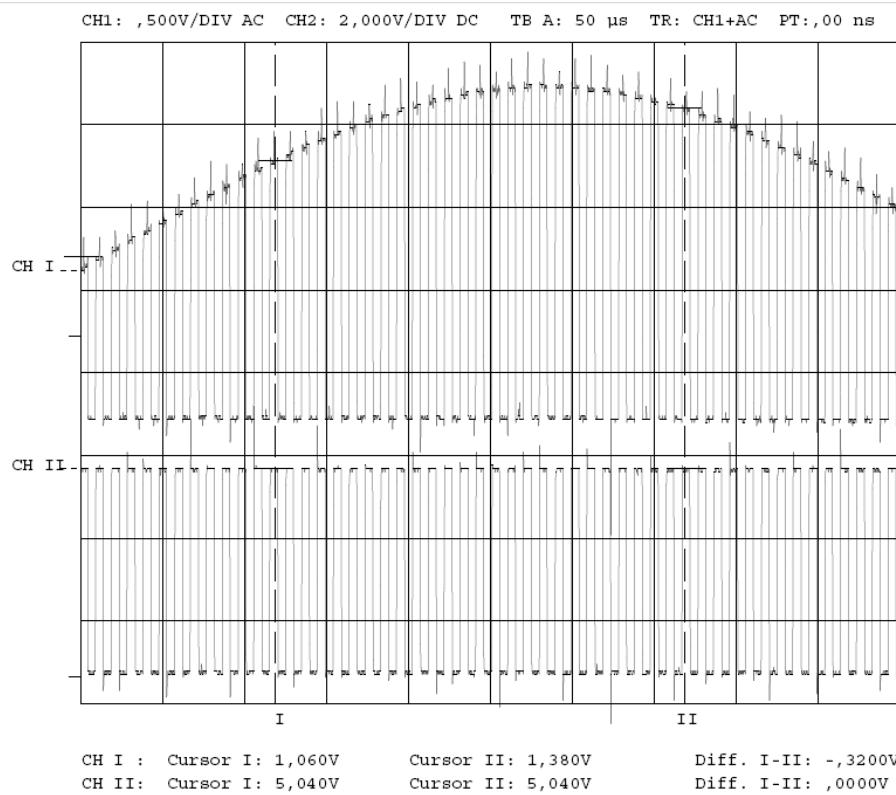


Figura 5.7: Salida (arriba) y portadora del canal 3 (abajo) de la etapa mezcladora. Se transmite por el canal 3.

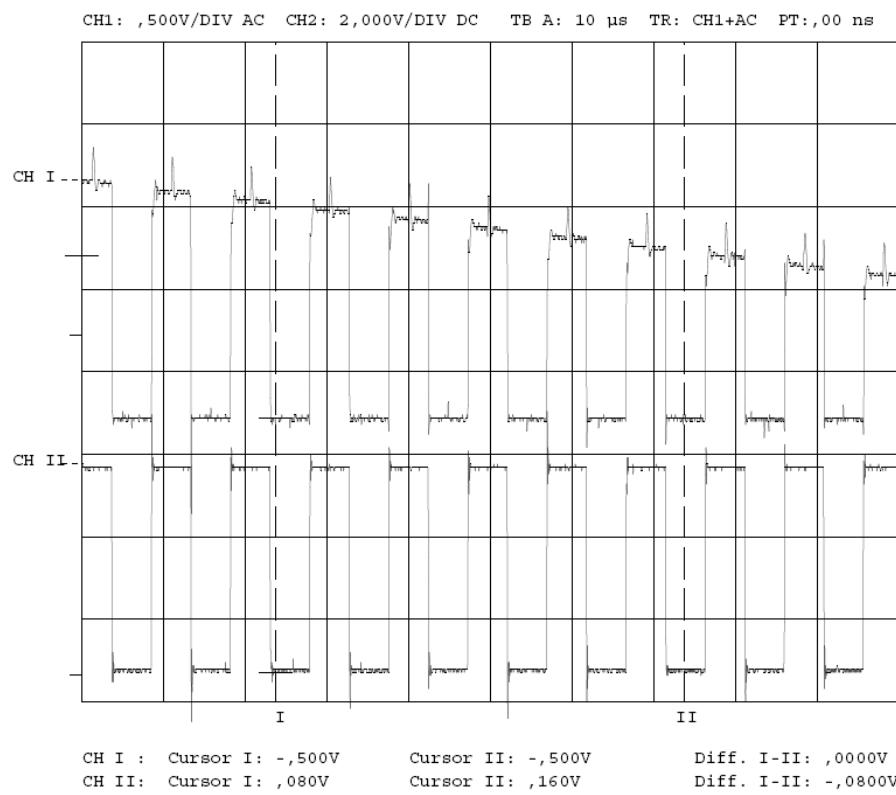


Figura 5.8: Detalle de la multiplicación de la portadora del canal 3 (abajo) por la señal de entrada (arriba).

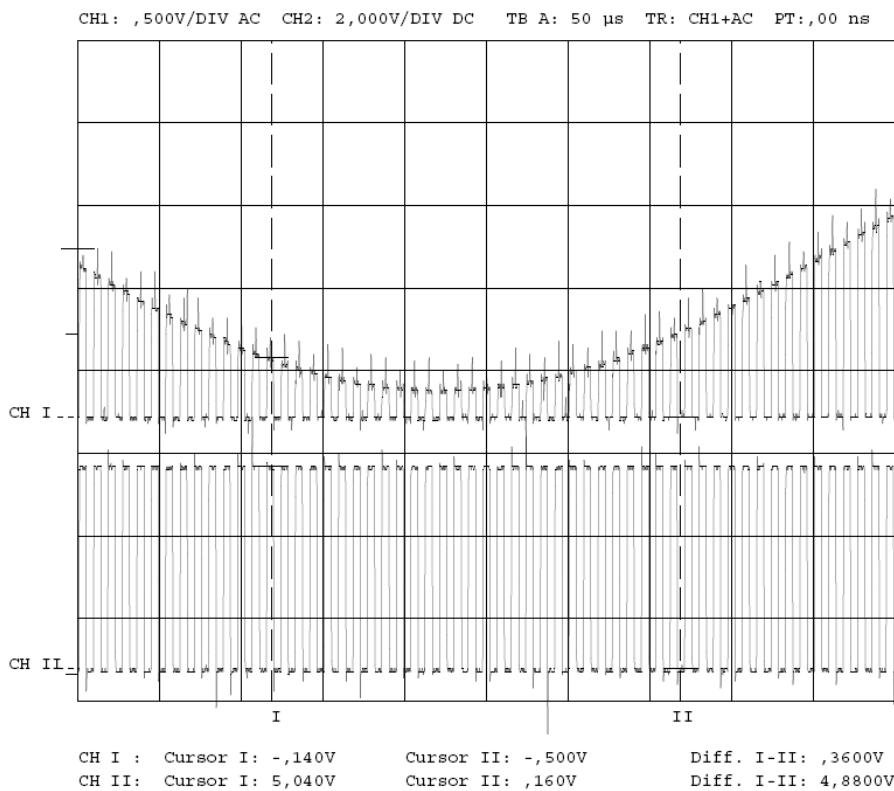


Figura 5.9: Salida (arriba) y portadora del canal 4 (abajo) de la etapa mezcladora. Se transmite por el canal 4.

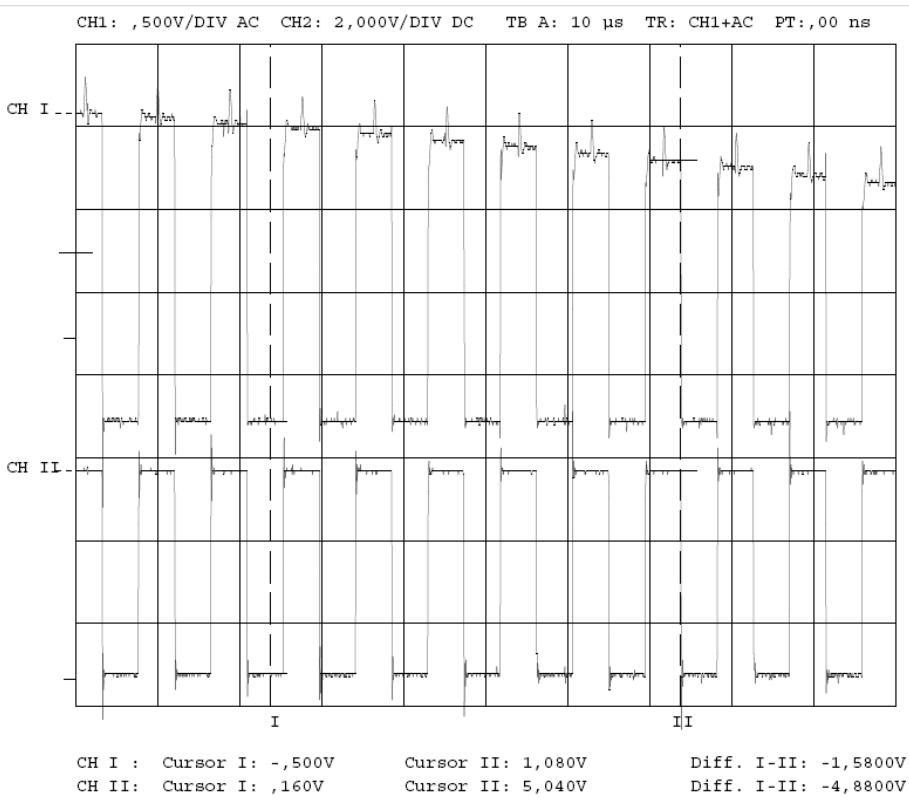


Figura 5.10: Detalle de la multiplicación de la portadora del canal 4 (abajo) por la señal de entrada (arriba).

6. Filtrado Paso Banda en transmisión

6.1 Descripción del módulo:

Una de las ventajas de modular con una señal cuadrada es, como acabamos de ver en el *apartado 5*, la simplicidad del proceso. Sin embargo, esta técnica presenta ciertos problemas, debido a la forma espectral de una señal cuadrada: concretamente sus múltiples réplicas a lo largo de la gama de frecuencias.

Cuando modulamos con una señal cuadrada, lo estamos haciendo asimismo con sus múltiples réplicas espectrales, que si bien son de mucha menor entidad, son problemáticas en cuanto al correcto funcionamiento del sistema. Es por esto que, antes de transmitir la señal modulada, nos aseguramos mediante el siguiente **filtro Paso Banda**, de transmitir únicamente el espectro que queremos que sea transmitido (réplicas centrales de los cuatro canales), resultando atenuadas el resto de frecuencias no deseadas (resto de réplicas de la portadora cuadrada).

6.2 Esquema circuitual:

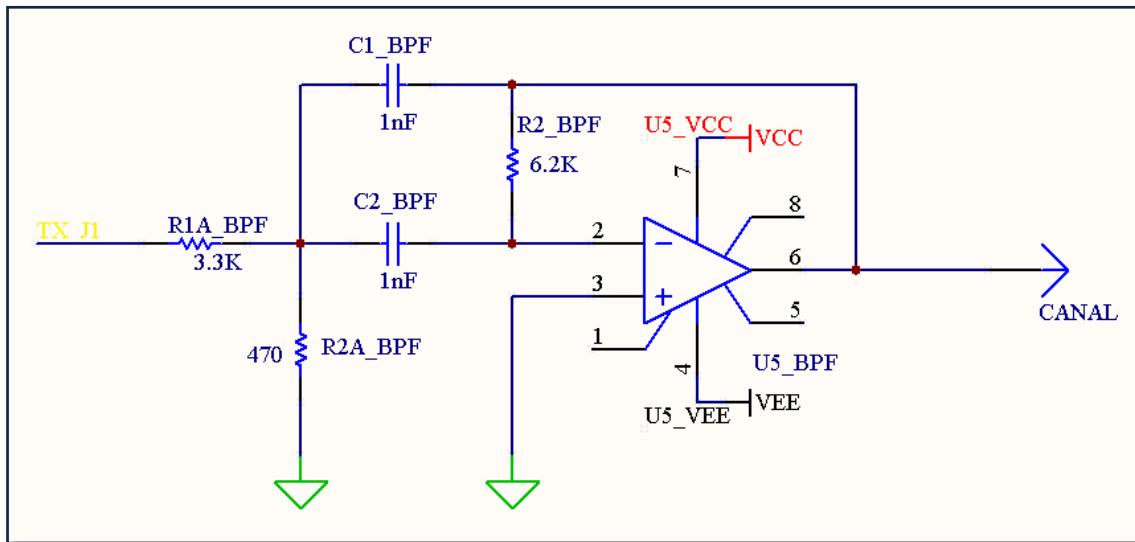


Figura 6.1: Filtro Paso Banda con frecuencia central 97Khz

6.3 Análisis teórico:

Según las especificaciones de diseño¹² del filtro, éste debe estar centrado en 97Khz, con ancho de banda de 50Khz. Ello implicaría un factor de calidad:

$$Q = \frac{f_0}{BW} = \frac{97Khz}{50Khz} = 1,94$$

Con lo que obtendríamos un filtro con una ganancia a frecuencias medias tal que:

$$H_0 = -2Q^2 = -2 \cdot 1,94^2 \cong -7,53$$

¹² Para que se puedan transmitir los cuatro canales de 4Khz que ocuparían espectro desde 80Khz hasta 114Khz.

Es decir, una ganancia de 7,53 en *unidades lineales*. Es más que probable que dicha ganancia sature¹³ el amplificador operacional LM356 del que consta la etapa, por lo que pareció apropiado **rebajar la ganancia a 1** (0 *decibelios*). Siguiendo la metodología presentada en los textos consultados¹⁴, situamos un **divisor resistivo** a la entrada del filtro, formado por R_{1A} y R_{1B} . De esta forma se asegura que no se saturará ni el A.O. de esta etapa ni el de ninguna otra (siempre que no se amplifique).

Para iniciar el cálculo de los componentes de este filtro, parece razonable empezar fijando un valor para los condensadores, $C_{1_BPF} = C_{2_BPF} = 1nF$. También sería válido un orden menor, 100pF, lo que conllevaría valores de resistencias más altos.

Partiendo del Q que tiene el filtro, la H_0 que hemos impuesto y el valor de C elegido, pasamos a calcular las resistencias necesarias:

$$R_{1A} = \frac{Q}{H_0 \omega_0 C} = \frac{1,94}{1 \cdot 2\pi \cdot 97Khz \cdot 1nF} \cong 3183\Omega$$

$$R_{1B} = \frac{R_{1A}}{\frac{2Q^2}{H_0} - 1} = \frac{3183\Omega}{\frac{2 \cdot 1,94^2}{1} - 1} \cong 487\Omega$$

Calculamos¹⁵ ahora R_1 , que servirá para el recálculo de los parámetros del filtro.

$$R_1 = \frac{1}{2\omega_0 QC} = \frac{1}{2 \cdot 2\pi \cdot 97Khz \cdot 1,94 \cdot 1nF} = 422\Omega$$

$$R_2 = \frac{2Q}{\omega_0 C} = \frac{2 \cdot 1,94}{2\pi \cdot 97Khz \cdot 1nF} = 6366\Omega$$

Con estos valores teóricos calculados, decidimos unos valores comerciales de resistencias:

$$R_{1A} = 3,3K\Omega, R_{1B} = 470\Omega, R_2 = 6,2K\Omega \text{ y } R_1 = 430\Omega$$

Recalculamos los parámetros característicos del filtro para ver si se sigue ciñendo –con los valores comerciales– a las especificaciones:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2} C} = \frac{1}{\sqrt{430\Omega \cdot 6,2K\Omega \cdot 1nF}} \cong 612,44 \frac{Krad}{s} \Rightarrow f_0 = \frac{\omega_0}{2\pi} \cong 97,47Khz$$

$$Q = \frac{1}{2} \sqrt{\frac{R_2}{R_1}} = \frac{1}{2} \sqrt{\frac{6,2K\Omega}{430\Omega}} = 1,89$$

La ganancia H_0 , dada la configuración con divisor resistivo, no es posible calcularla con total certeza, pero podemos hacer un pequeño razonamiento del que se desprenderá una aproximación de la ganancia final del conjunto:

¹³ Teniendo en cuenta las amplitudes que hemos manejado en etapas anteriores.

¹⁴ Ref. [1], página 142.

¹⁵ Ref. [1], páginas 141 y 142.

Como sabemos este filtro tiene una ganancia (en módulo) de 7,53 *unidades lineales*. Teniendo en cuenta el divisor a la entrada del filtro, y las resistencias que lo forman, tenemos que atenúa la señal en un factor $\frac{470}{3200}$. Por lo tanto la ganancia total del conjunto será:

$$|H'_0| = \left| \frac{470}{3200} \cdot (-7,53) \right| \cong 1,1$$

Que es justo la ganancia H_0 que esperábamos conseguir.

6.4 Obtención de medidas y diagramas de Bode:

Procedemos a medir la respuesta en frecuencia del filtro Paso Banda en módulo y fase, para ello tomamos valores en las regiones del espectro implicadas.

f (Hz)	V _{in} (V)	V _{out} (V)	A _v (dB)	Fase (°)
20000	1	0,102	-19,828	-90
50000	1	0,301	-10,429	-111,614
65000	1	0,448	-6,974	-121,125
70000	1	0,509	-5,866	-125,097
72000	1	0,546	-5,256	-127,510
74000	1	0,575	-4,807	-130,585
80000	1	0,672	-3,453	-139,356
90000	1	0,808	-1,852	-156,737
98000	1	0,873	-1,180	-173,126
100000	1	0,873	-1,180	-178,639
110000	1	0,821	-1,713	-200,014
115000	1	0,777	-2,192	-206,441
120000	1	0,719	-2,865	-212,004
122000	1	0,707	-3,012	-215,783
124000	1	0,678	-3,375	-217,635
126000	1	0,658	-3,635	-220,289
130000	1	0,625	-4,082	-222,633
135000	1	0,578	-4,761	-227,710
140000	1	0,534	-5,449	-230,179
150000	1	0,473	-6,503	-234,769
200000	1	0,291	-10,722	-246,348
500000	1	0,093	-20,630	-251,805
1000000	1	0,02	-33,979	-270

Tabla 6.1: Valores numéricos de módulo y fase del filtro Paso Banda para distintas frecuencias

Obtenemos la frecuencia central, donde la fase vale -180°:

$$f_c = 101 \text{ KHz}$$

Así como la frecuencia de corte superior e inferior:

$$f_{inf} = 77 \text{ KHz}; f_{sup} = 131 \text{ KHz}$$

Lo que nos determina el ancho de banda y el factor de calidad:

$$BW = f_{sup} - f_{inf} = 54 \text{ KHz}; Q = \frac{f_c}{BW} = \frac{101 \text{ KHz}}{54 \text{ KHz}} = 1.87$$

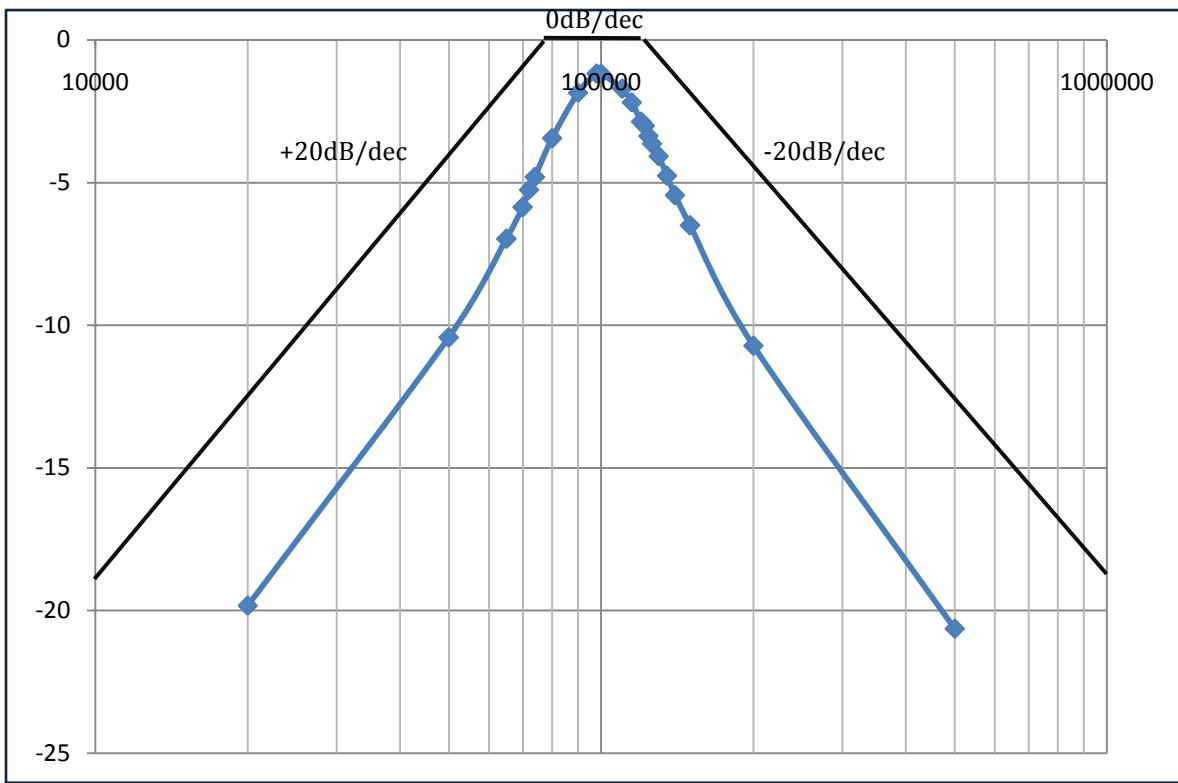


Figura 6.2: Módulo de la respuesta en frecuencia del filtro Paso Banda a frecuencia central 101Khz y ancho de banda 54Khz.

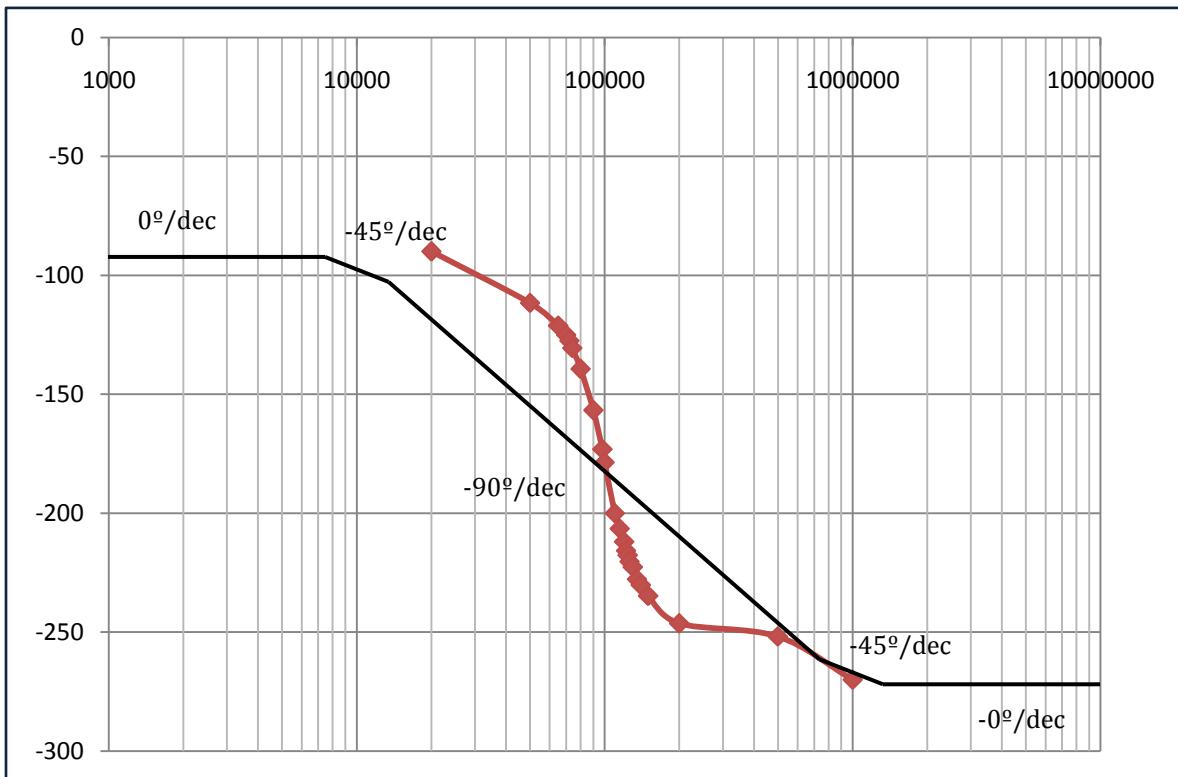


Figura 6.3: Fase de la respuesta en frecuencia del filtro Paso Banda. A la frecuencia central invierte la señal (-180°), a baja frecuencia presenta -90° y a alta frecuencia, -270°.

Como se observa en las medidas teóricas, el comportamiento se asemeja mucho al esperado según nuestros diagramas de Bode.

Se podría resaltar el hecho de que la ganancia es *ligeramente menor* que 1, cosa que por otra parte hemos visto sistemáticamente en el diseño de estos filtros paso banda de realimentación múltiple: la ganancia suele ser ligeramente menos que la que, en un principio, se había calculado.

6.5 Gráficas y capturas de osciloscopio:

A continuación se muestran las pantallas de osciloscopio que reflejan la transmisión AM habitual que realizará nuestro sistema (antes y después del filtro *Paso Banda*). Podemos visualizar como a la señal de entrada se le filtra la componente continua, y tenemos como resultado la transmisión a la frecuencia de portadora.

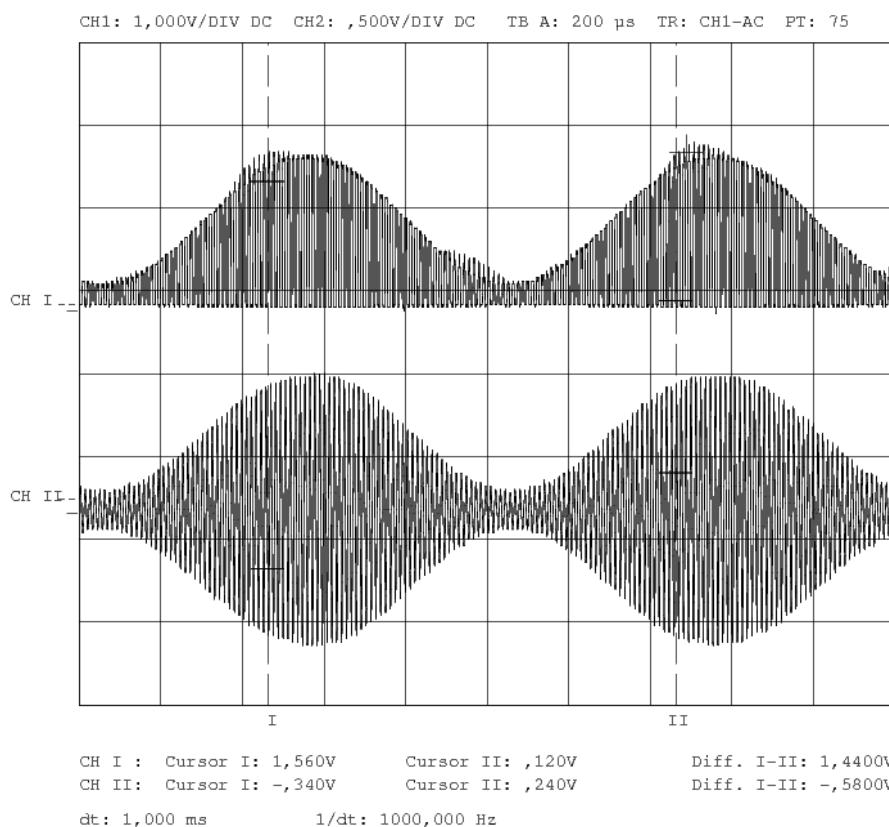


Figura 6.4: Entrada (arriba) tras el mezclador y salida (abajo) del filtro *Paso Banda*.

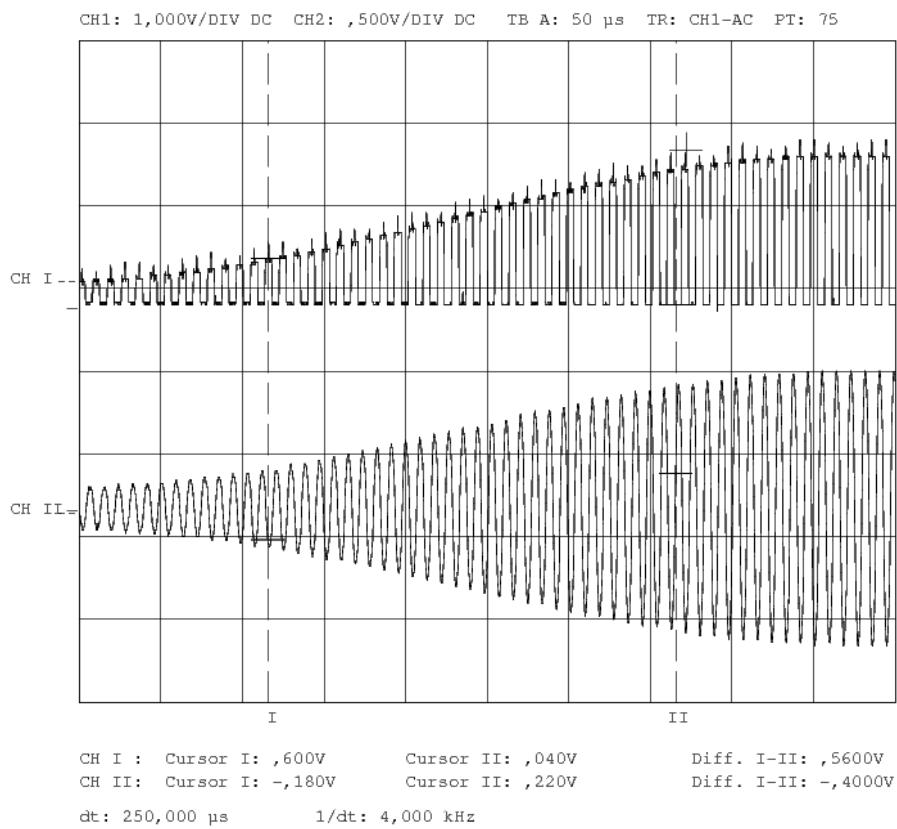


Figura 6.5: Detalle de las señales a la entrada (arriba) y a la salida (abajo) del filtro Paso Banda.

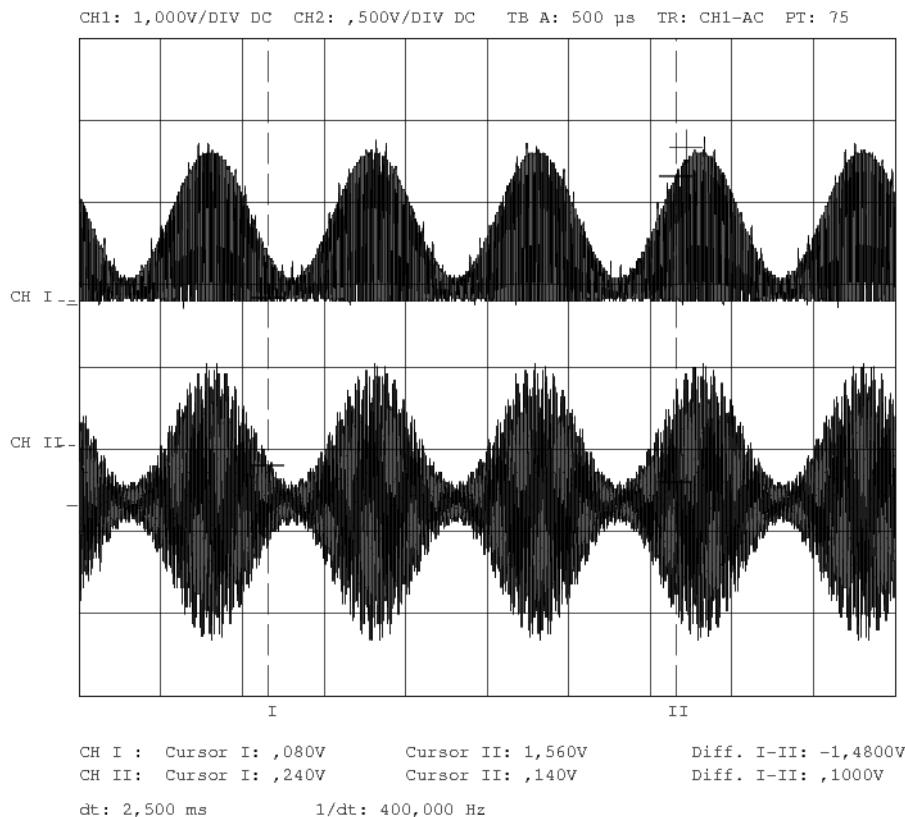


Figura 6.6: Extracto de cinco ciclos de una señal a la entrada (arriba) y salida (abajo) del filtro Paso Banda, transmitiendo en el canal 1.

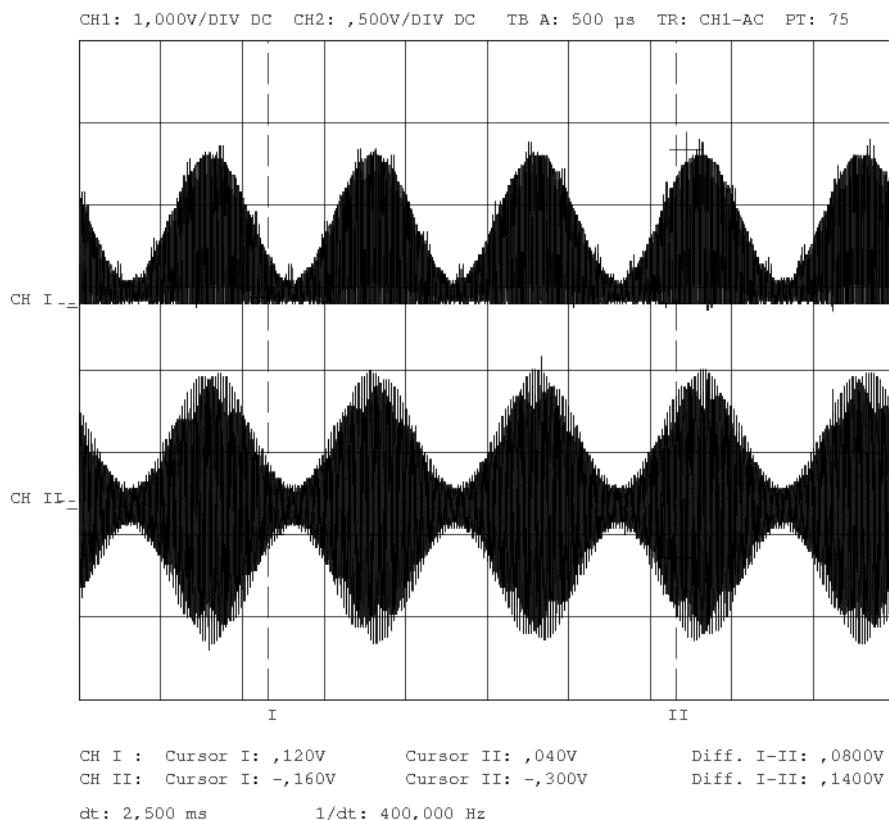


Figura 6.7: Extracto de cinco ciclos de una señal a la entrada (arriba) y salida (abajo) del filtro Paso Banda, transmitiendo en el canal 4.

6.6 Simulación en Pspice™:

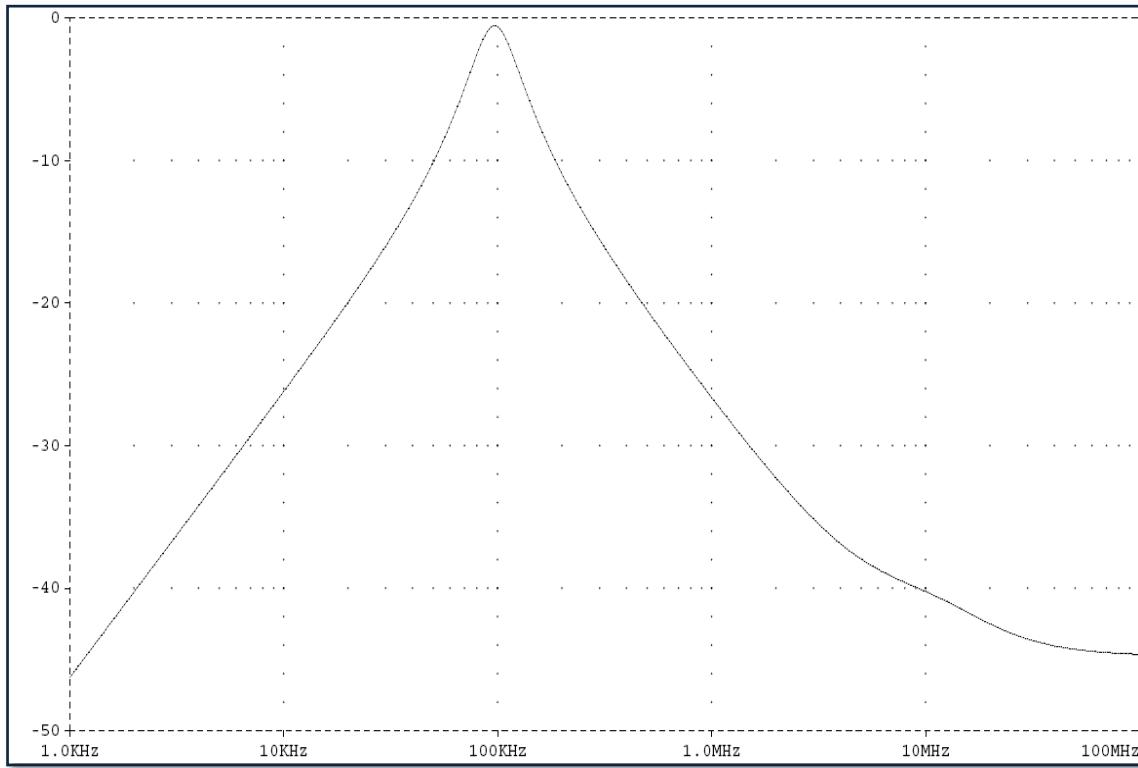


Figura 6.8: Módulo de la respuesta en frecuencia. Frecuencia central a 100Khz y ancho de banda.

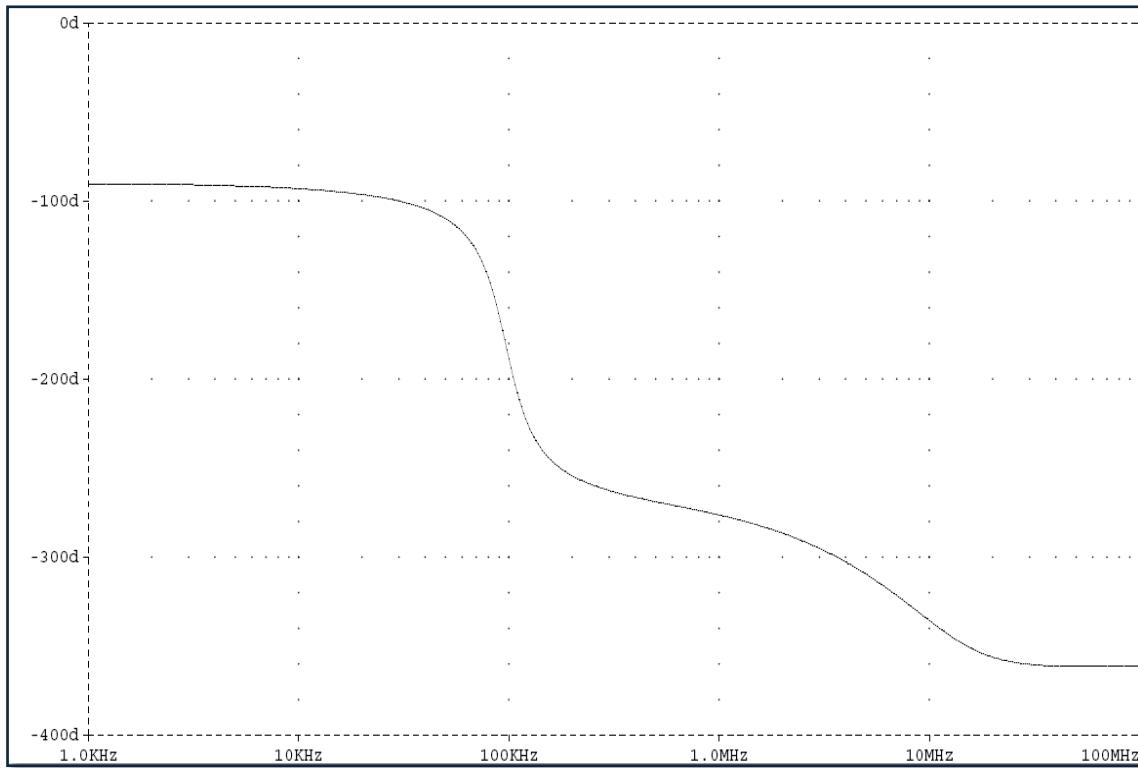


Figura 6.9: Fase de la respuesta en frecuencia. A la frecuencia central se produce una inversión de la señal (desfase de -180°).

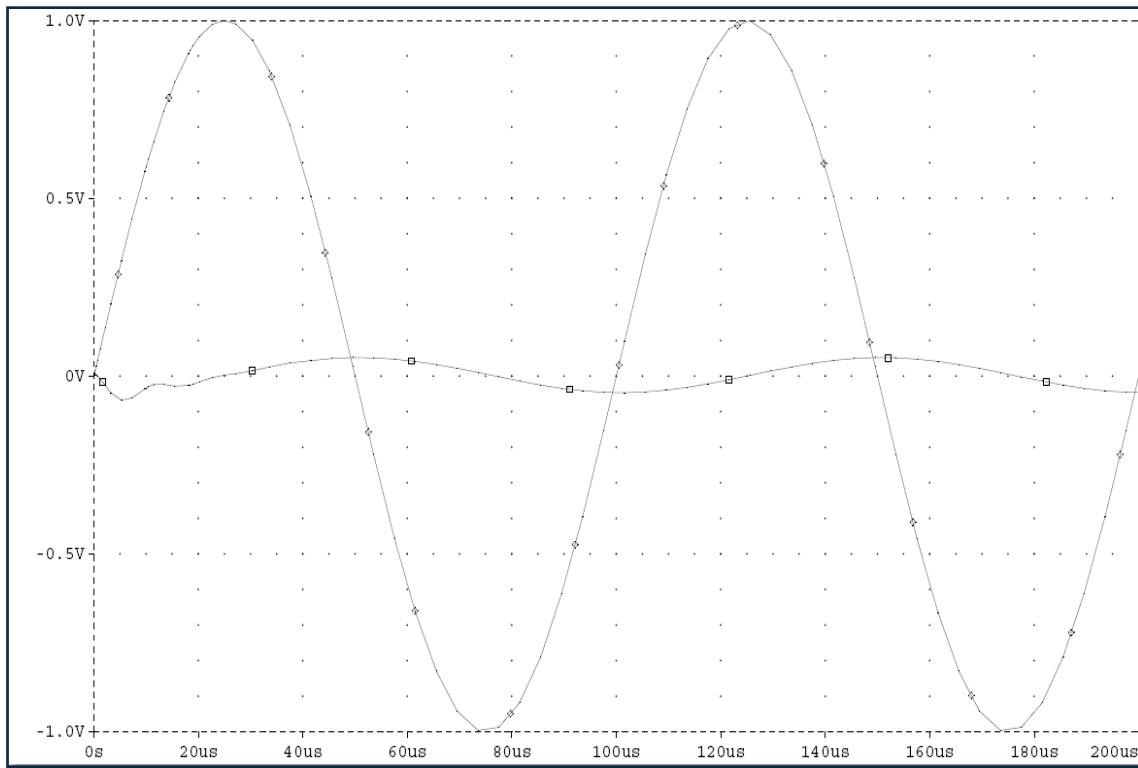


Figura 6.10: Tono de 10Khz (una década antes de la frecuencia central) y salida atenuada del filtro Paso Banda. Se produce un desfase de -90° .

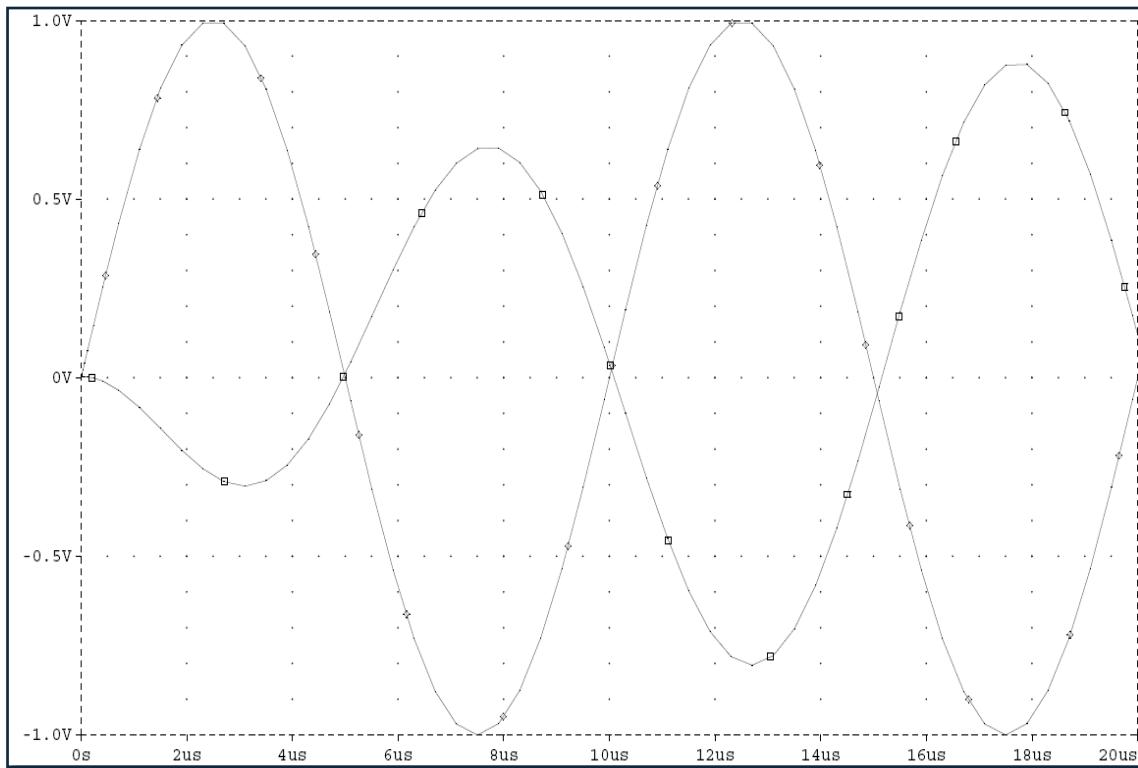


Figura 6.11: Tono de 100Khz (frecuencia central) y salida del filtro Paso Banda. Se produce una inversión de la señal (desfase de -180°).

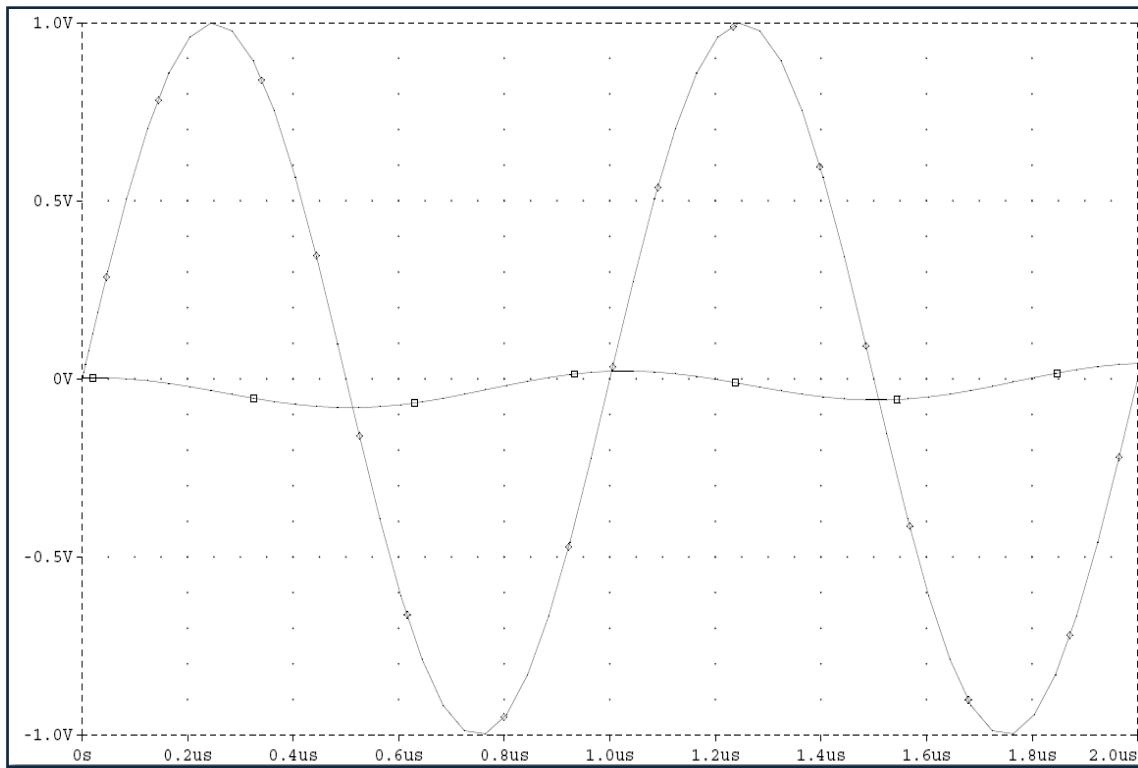


Figura 6.12: Tono de 1Mhz (una década después de la frecuencia central) y salida atenuada del filtro Paso Banda. Se produce desfase de -270° .



7. Índice de modulación

7.1 Descripción de la problemática:

Una de las características fundamentales de la modulación que hemos utilizado durante la práctica, la *Modulación de Amplitud*, es el **índice de modulación**, es decir, la relación entre amplitudes de *señal portadora* (idealmente sinusoidal $A_c \cos(\omega_c t)$) y *señal mensaje* $x(t)$. Veamos la ecuación de la AM que transmitimos por el canal:

$$y(t) = [A_c + A_c x(t)] \cos(\omega_c t)$$

Definiendo el índice de modulación m como la relación entre la amplitud de la señal mensaje respecto a la amplitud de la portadora:

$$m = \frac{A_x(t)}{A_c}$$

Tenemos la señal modulada¹⁶ en función de m :

$$y(t) = A_c [1 + mx_n(t)] \cos(\omega_c t)$$

El índice de modulación es un parámetro que expresa un porcentaje en *tanto por uno* y que representa **cuánta información transmitimos respecto a cuánta portadora enviamos**. Distinguimos tres casos principales:

- Enviamos poca información: la señal modulada tiene una forma más plana y el índice de modulación se aproxima a cero. Se gasta mucha potencia de portadora y se facilita la *recepción coherente*¹⁷.
- Enviamos tanta información como portadora: es el caso idóneo para una transmisión AM, con un índice de modulación $0.5 \leq m \leq 1$. Permite recibir mucha potencia de señal mensaje, y eso se percibe en la buena definición de la envolvente.
- Enviamos demasiada información: es el caso de la **sobremodulación**, donde la señal mensaje tiene *cruces por cero*, y se pierde parte de la forma original de $x(t)$. Se da para $m \geq 1$.

Estudiaremos lo que sucede en nuestro sistema para **distintos índices de modulación**, ya que las señales con las que se trabajará finalmente serán de amplitud variable (voz humana), y nos interesa conocer las limitaciones en cuanto a la transmisión (en términos de calidad). Ya estudiaremos en el apartado 17, último de la *Parte II* de este documento, el resultado de la sobremodulación en recepción.

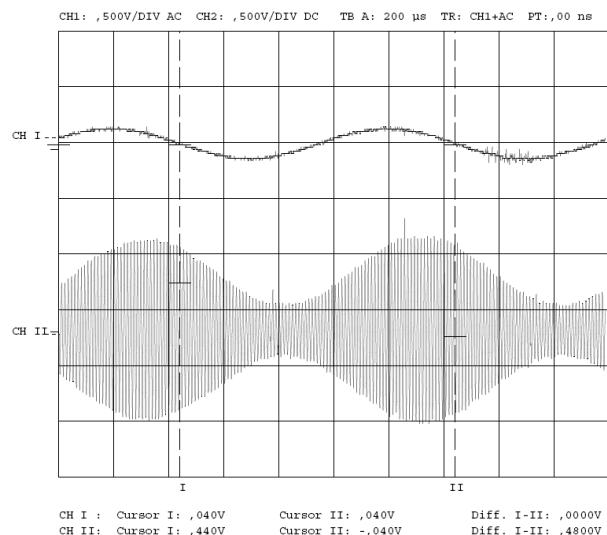


Figura 7.1: Transmisión de un tono con índice de modulación 68% ($m = 0.68$).

¹⁶ Dicha expresión es válida siempre que despreciamos las réplicas de nuestra portadora cuadrada.

¹⁷ Que no es objeto de esta práctica, aunque es bueno conocer las alternativas.

7.2 Pantallas de osciloscopio:

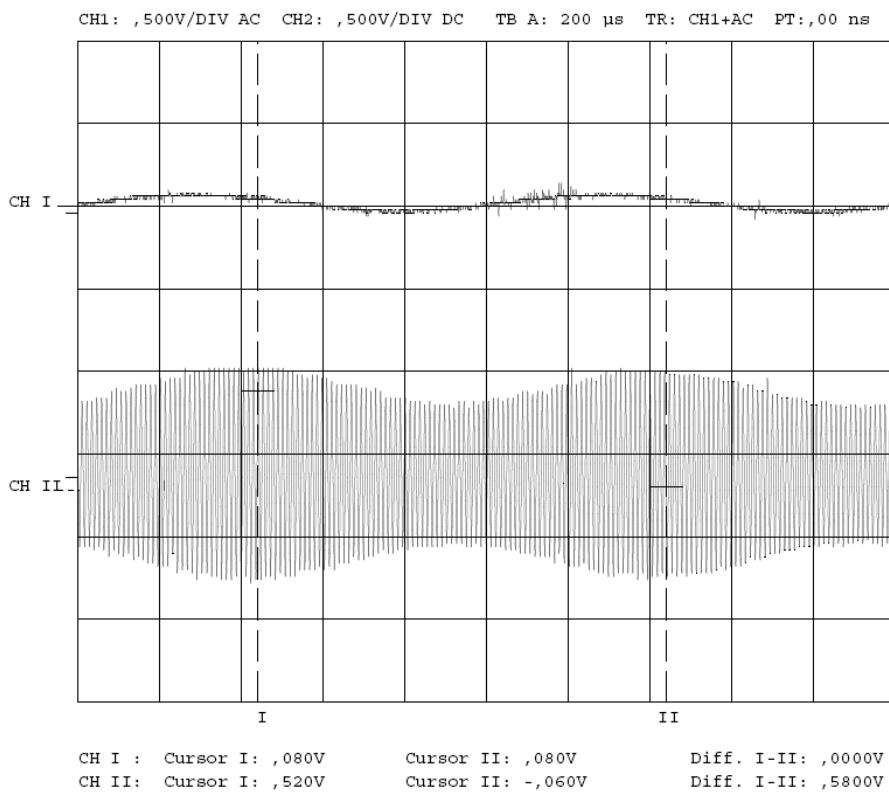


Figura 7.2: Modulación ligera: Transmisión de una sinusoides de $90mV_{pp}$ en Modulación de Amplitud. El índice de modulación es del 34% ($m = 0.34$).

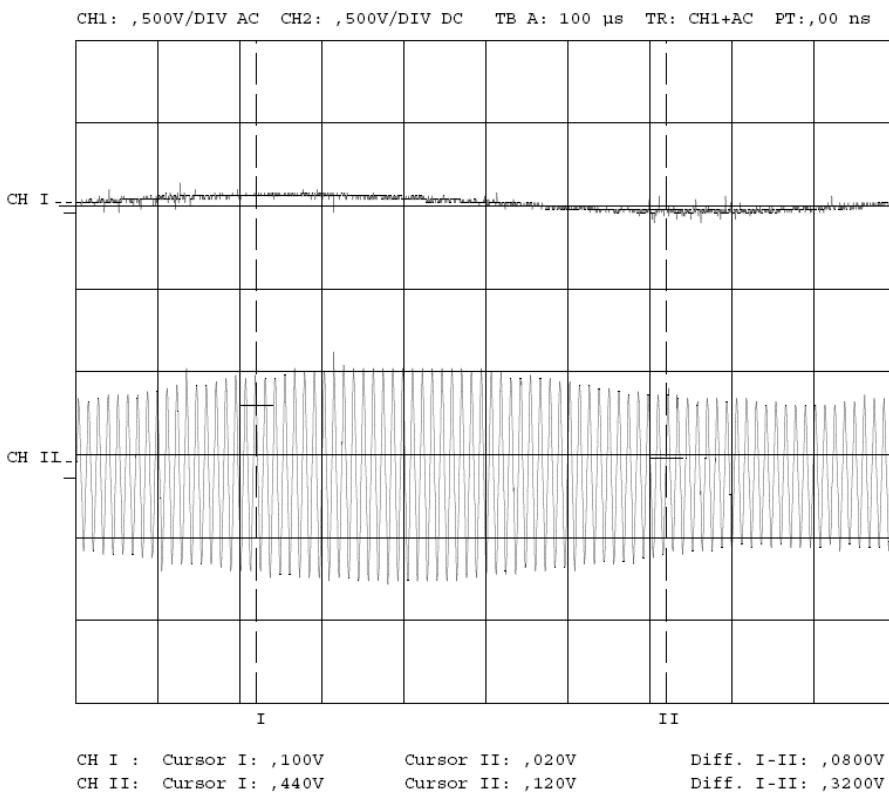


Figura 7.3: Detalle de la figura anterior.

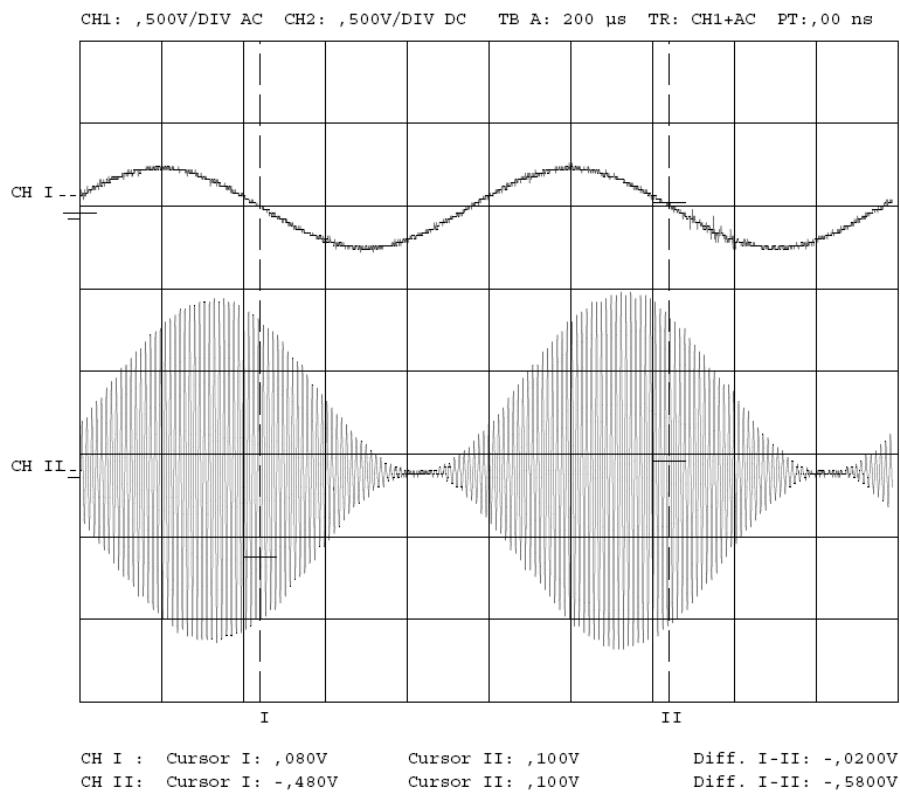


Figura 7.4: Máxima modulación: Transmisión de una sinusoid de $472 \text{ mV}_{\text{pp}}$ en Modulación de Amplitud. El índice de modulación es del 100% ($m = 1$).

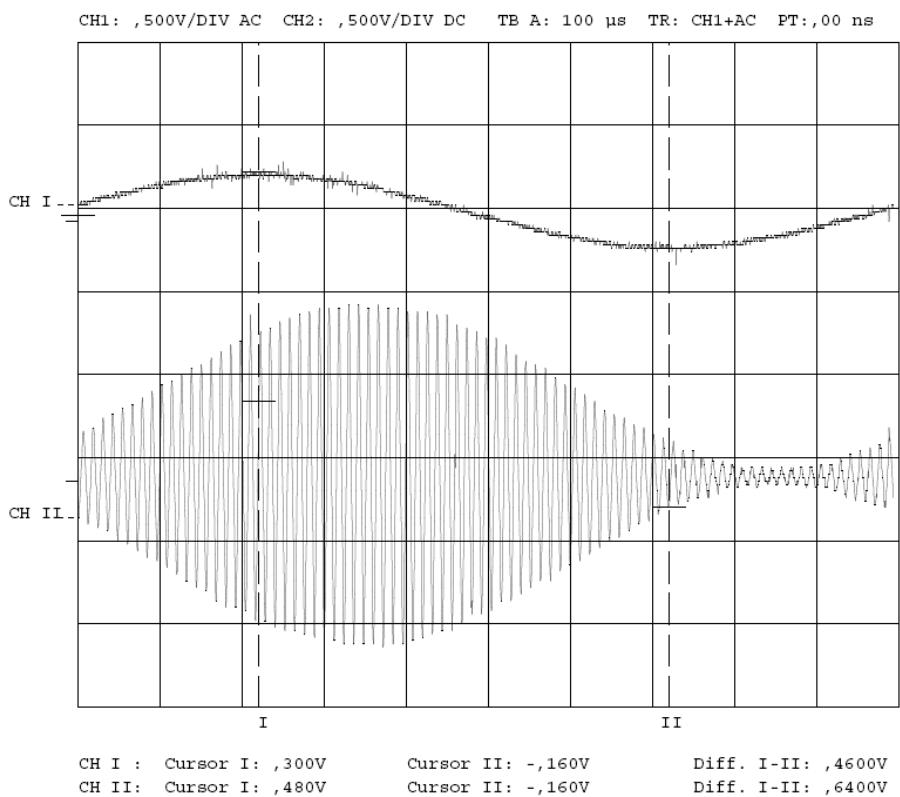


Figura 7.5: Detalle de la figura anterior reduciendo un 5% el índice de modulación ($m = 0.95$).

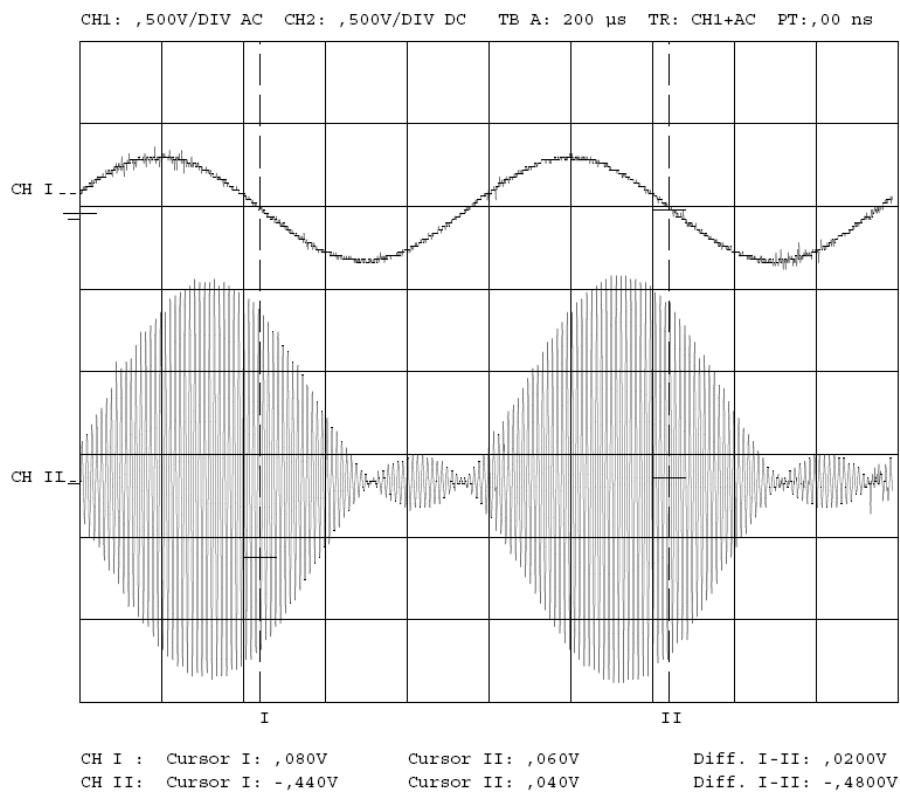


Figura 7.6: Sobremodulación: Transmisión de una sinusoide de $624 \text{ mV}_{\text{pp}}$ en Modulación de Amplitud. El índice de modulación es del 115% ($m = 1.15$). A la salida del receptor se empezará a producir distorsión.

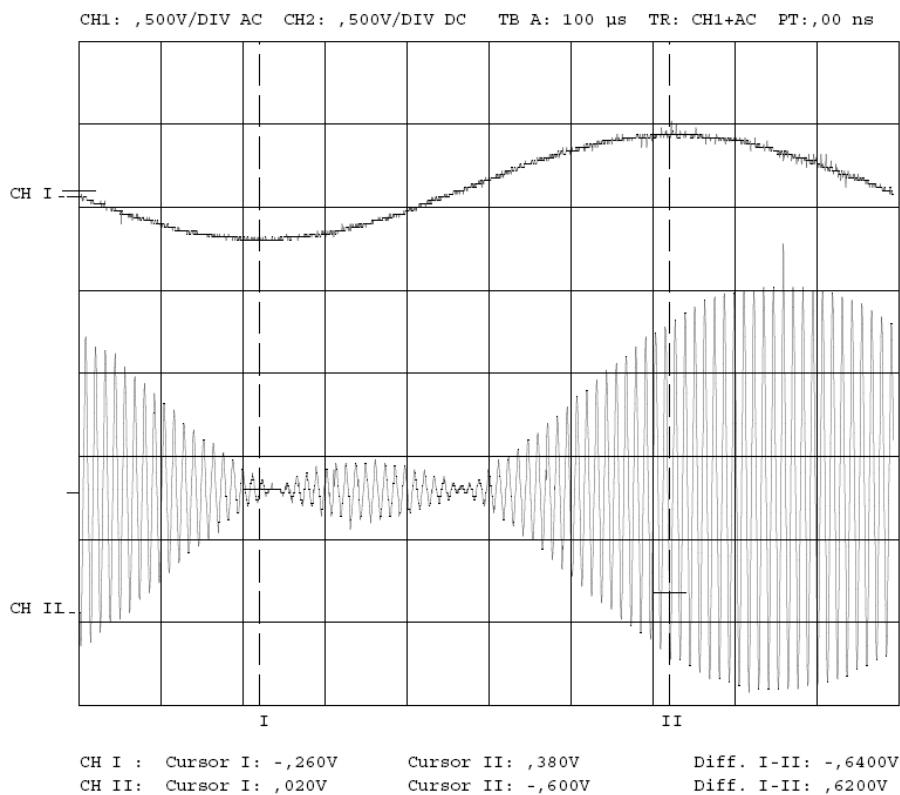


Figura 7.7: Detalle de la figura anterior.

Parte II: Receptor AM



8. Generación del Oscilador Local

8.1 Descripción del módulo:

Esta etapa es la encargada de **generar las portadoras** necesarias para que se realice la **recepción superheterodina** que ya explicamos en el *Fundamento teórico*. Se trata de conseguir en el receptor una demodulación a una *frecuencia intermedia F.I.* en vez de demodular a *Banda Base*. Para ello, se diseñan cuatro portadoras cuadradas (correspondientes a los cuatro canales de transmisión) para centrar la *banda de trabajo* a **F.I. = 18Khz**. Es por ello que recibe el nombre de *Oscilador Local*, muy común en sistemas AM, útil por ser ajustable a una *frecuencia intermedia*.

Tras esta breve explicación y, teniendo en cuenta que, transmitimos a las frecuencias de 82Khz, 92Khz, 102Khz y 112Khz (canales 1 a 4 respectivamente), las redes de realimentación del Trigger-Schmidt están ajustadas para que el dispositivo presente unas frecuencias de oscilación a su salida de 200Khz, 220Khz, 240Khz y 260Khz; y a la salida del biestable D en 100Khz, 110Khz, 120Khz y 130Khz respectivamente. De esta manera si emitimos, por ejemplo, en el canal 1 y sintonizamos el receptor nuevamente en el canal 1, vamos a tener la señal resultante centrada en dos frecuencias: $100\text{Khz} + 182\text{Khz} = \mathbf{182\text{Khz}}$ y $100\text{Khz} - 82\text{Khz} = \mathbf{18\text{Khz}}$, nuestra *F.I.* Igualmente para el resto de canales cuando se encuentran sintonizados.

Como se trata de portadoras cuadradas, además de una réplica en $f_{TX} + f_{portadora}$ (propia de cualquier receptor superheterodino), se producirán algunas más que se filtrarán mediante una cascada de filtros *Paso Banda* que se explica con más detalle en el *apartado 10*.

Otra de las diferencias de este módulo con el del transmisor, es que aquí las distintas frecuencias no se seleccionan mediante *microswitches* sino mediante un **multiplexor analógico controlado digitalmente** (74HC4052), cuyo funcionamiento se detalla en la *sección 8.3*.

8.2 Esquema circuital:

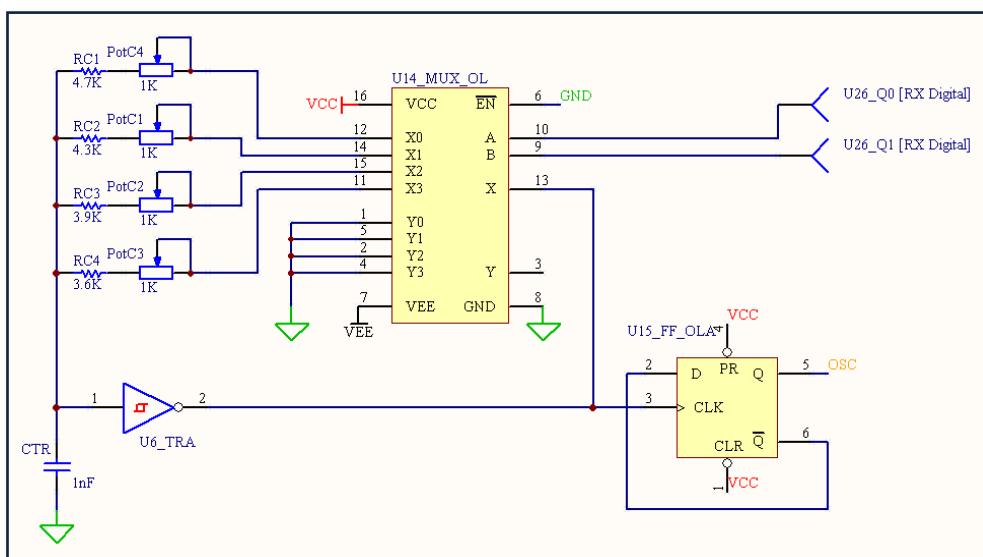


Figura 8.1: Generador de portadoras para el Oscilador Local. La selección de las mismas se realiza mediante entradas de control digitales.

8.3 Análisis teórico:

Ya obtuvimos en el *apartado 3*, en la generación de portadoras del emisor, la frecuencia de oscilación del 74HC14 con una red RC:

$$f \approx \frac{1}{RC \ln \frac{V_{T+}(V_{CC} - V_{T-})}{V_{T-}(V_{CC} - V_{T+})}}$$

También obtuvimos el valor de la constante siguiendo las gráficas del fabricante, como pudimos ver en la *figura 3.2*. Aprovechamos esas ecuaciones para hallar los nuevos valores de resistencias, esta vez en el *Oscilador Local*.

$$f \approx \frac{1}{0.816RC}$$

Ya que el condensador es común para los 4 canales, fijamos su valor en la ecuación, y determinamos R a partir de las 4 *frecuencias dobles* de portadoras:

$$R_i \approx \frac{1}{0.816f_i C}, i \in \{1 \dots 4\}, C = 1\text{nF}$$

$$f_1 = 200\text{Khz} \Rightarrow R_1 = 6123 \Omega$$

$$f_2 = 220\text{Khz} \Rightarrow R_2 = 5566 \Omega$$

$$f_3 = 240\text{Khz} \Rightarrow R_3 = 5102 \Omega$$

$$f_4 = 260\text{Khz} \Rightarrow R_4 = 4710 \Omega$$

Este valor de resistencia lo implementamos con un resistor fijo (que será de al menos 1000Ω inferior al valor exacto) y otro variable. De esta manera obtendremos una resistencia equivalente idéntica a las calculadas. Escogemos valores comerciales para la resistencia fija:

$$R_{C1} = 4.7K\Omega, R_{C2} = 4.3K\Omega, R_{C3} = 3.9K\Omega, R_{C4} = 3.6K\Omega$$

Y calculamos cuánta resistencia debe añadir cada potenciómetro de 5K para llegar al valor exacto:

$$R_{POT1} = 1423\Omega, R_{POT2} = 1266\Omega, R_{POT3} = 1202\Omega, R_{POT4} = 1110\Omega$$

Una vez, hemos generado las señales cuadradas de *frecuencia doble*, utilizamos un biestable tipo D 74HC74 para obtener la frecuencia de portadora y garantizar el ciclo del 50%.

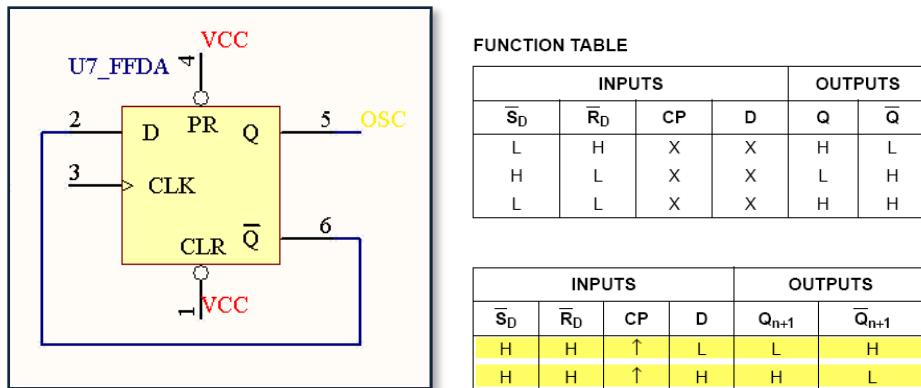
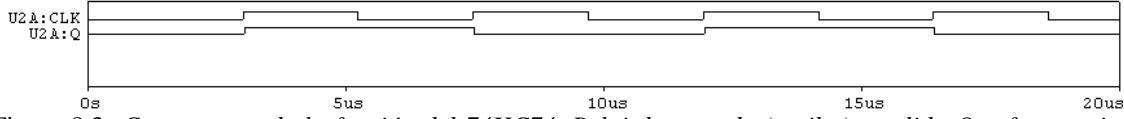


Figura 8.2: Biestable D (74HC74) y tabla de verdad con rango utilizado.

El comportamiento del 74HC74 en esta configuración se refleja en la *figura 8.2* con reloj de ejemplo: a cada flanco de subida, se obtiene un valor en #Q (contrario al *valor lógico* de la señal en CLK) que es llevado a D y que se introduce al próximo flanco de subida. El resultado es una señal de reloj con el doble de periodo, es decir, la mitad de frecuencia (*frecuencia de portadora*).



Es importante remarcar que la colocación de las portadoras **no será la misma que en el emisor**, sino que esta vez se situará el canal 4 antes que los demás. Esta configuración establece la **integración del sistema analógico con el subsistema digital**. Examinando la tabla de verdad del 74HC4052 en la *figura 8.4*, determinamos que las entradas de control vendrán dadas por los *números en BCD* que nos proporciona el subsistema digital.

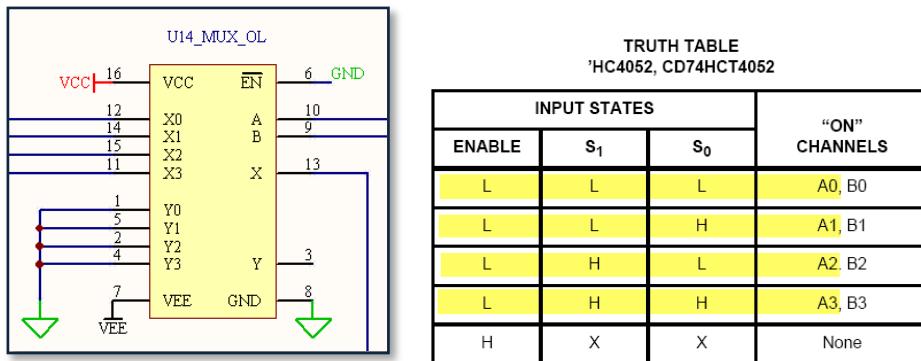


Figura 8.4: Multiplexor (74HC4052) de selección de portadora

Del subsistema digital, que se explicará con detenimiento en la *Parte III* de este documento, obtenemos lo siguiente:

$$\text{Canal 1} \Leftrightarrow D'1 \Leftrightarrow B'0001$$

$$\text{Canal 2} \Leftrightarrow D'2 \Leftrightarrow B'0010$$

$$\text{Canal 3} \Leftrightarrow D'3 \Leftrightarrow B'0011$$

$$\text{Canal 4} \Leftrightarrow D'4 \Leftrightarrow B'0100$$

Hemos representado en negrita los bits que usaremos como **señales de selección** para el 74HC4052, de esta manera queda justificada la colocación del canal 4 en la primera entrada del multiplexor (pin X₀).

8.4 Gráficas y capturas de osciloscopio:

A continuación dedicaremos algunas páginas para visualizar la generación de cada portadora para cada uno de los cuatro canales. En la primera pantalla, representaremos la tensión del condensador (entrada del 74HC14) junto a la señal cuadrada de *frecuencia doble*. En la segunda pantalla, se muestra el comportamiento del biestable tipo D tal y como hemos descrito en el apartado teórico anterior.

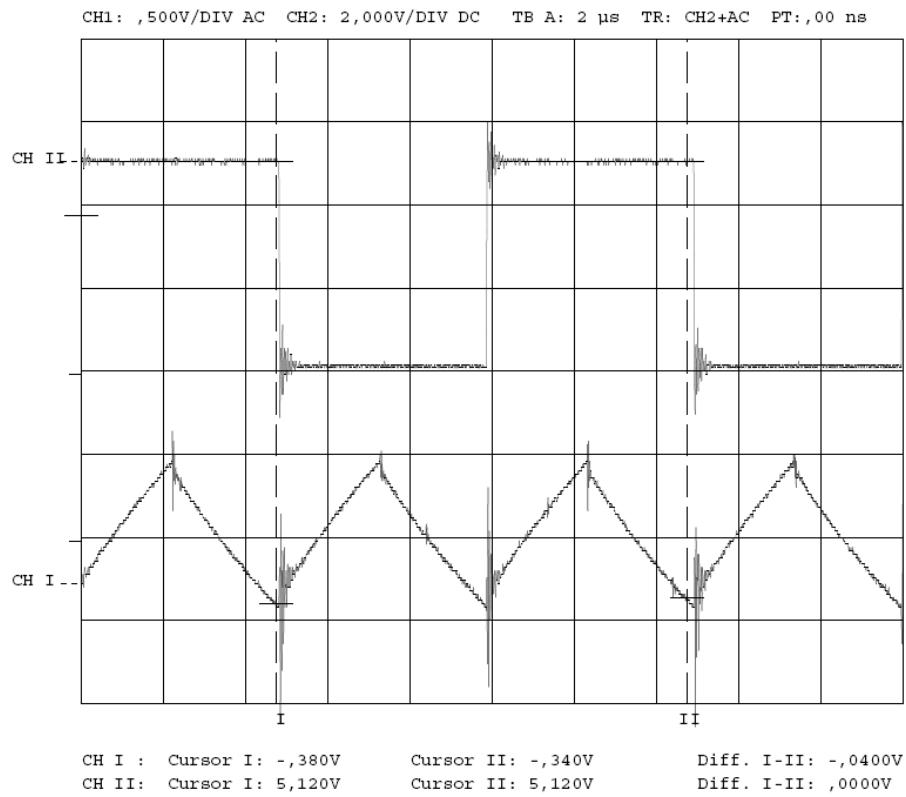


Figura 8.5: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 1.

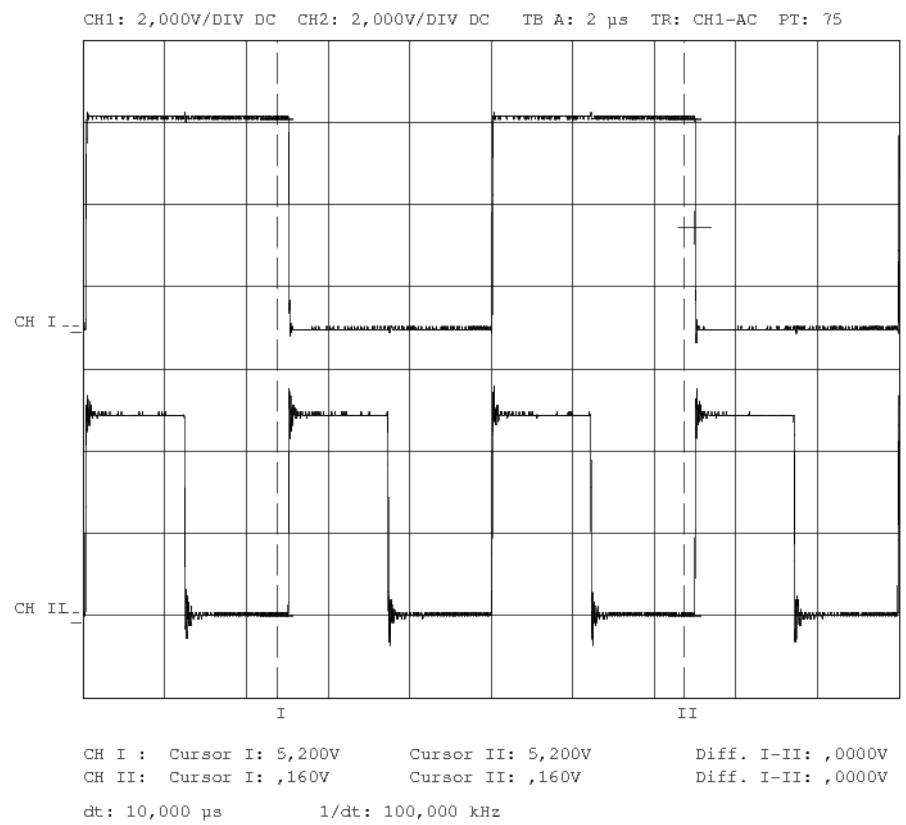


Figura 8.6: Salida del inversor histéresis 74HC14 (arriba) y portadora de 100Khz correspondiente al canal 1 a la salida del biestable tipo D 74HC74 (abajo).

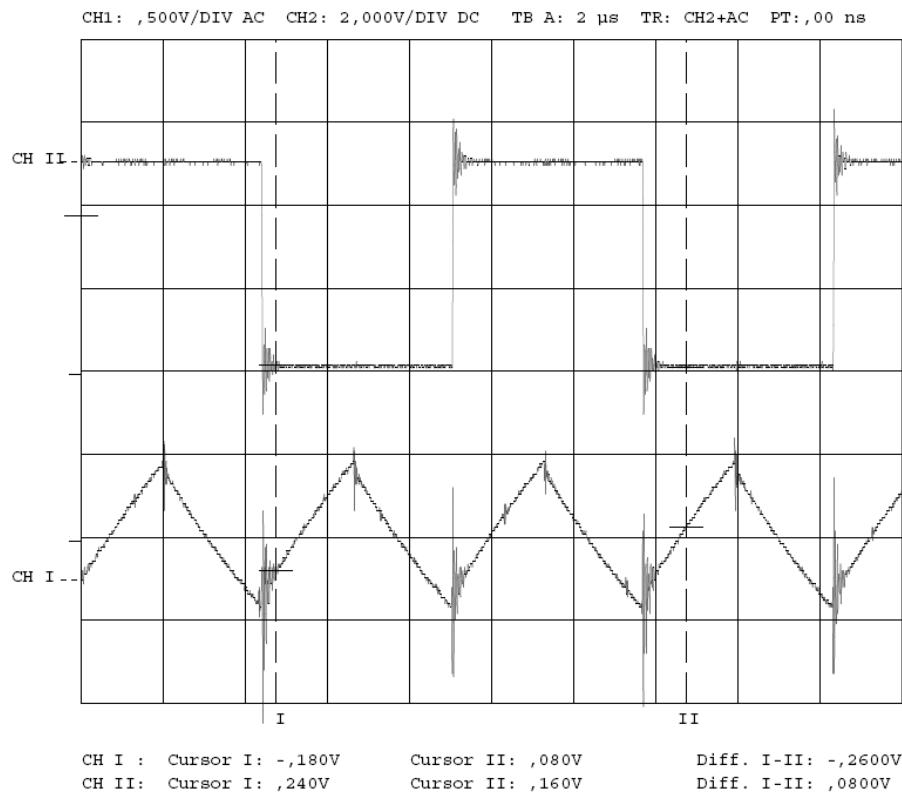


Figura 8.7: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 2.

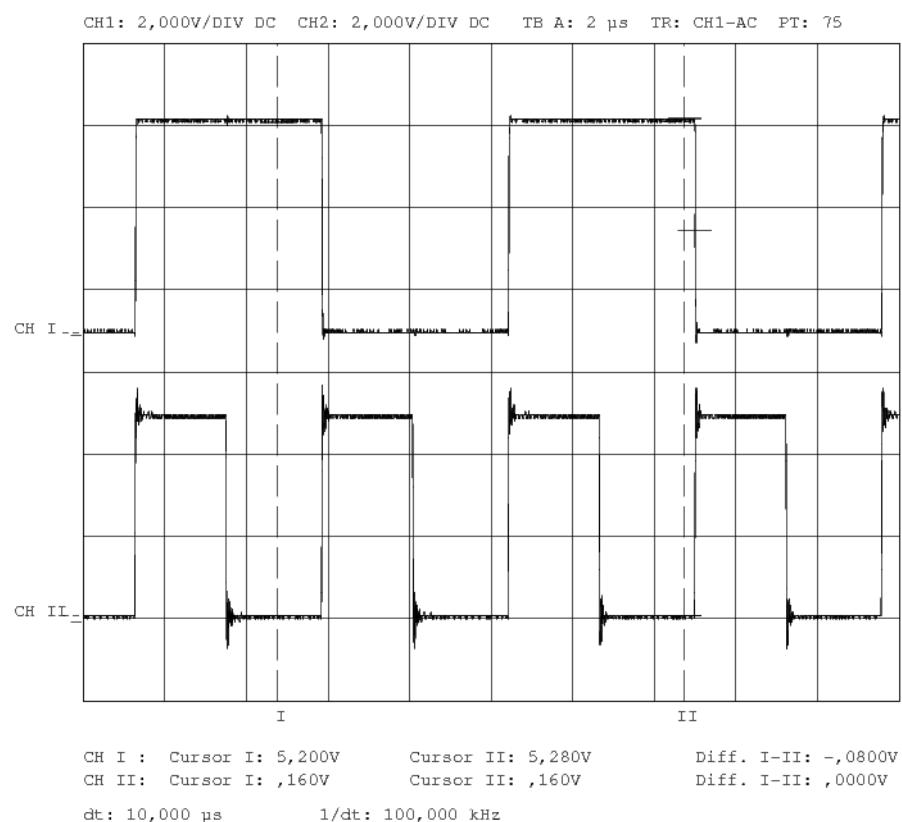


Figura 8.8: Salida del inversor histéresis 74HC14 (arriba) y portadora de 110Khz correspondiente al canal 2 a la salida del biestable tipo D 74HC74 (abajo).

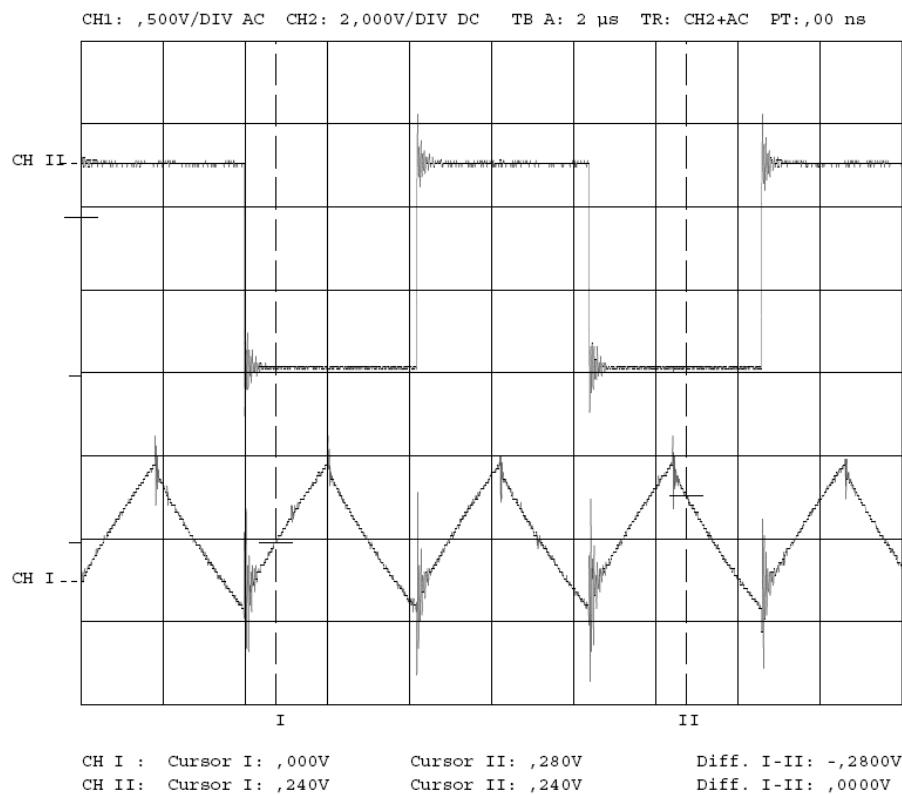


Figura 8.9: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 3.

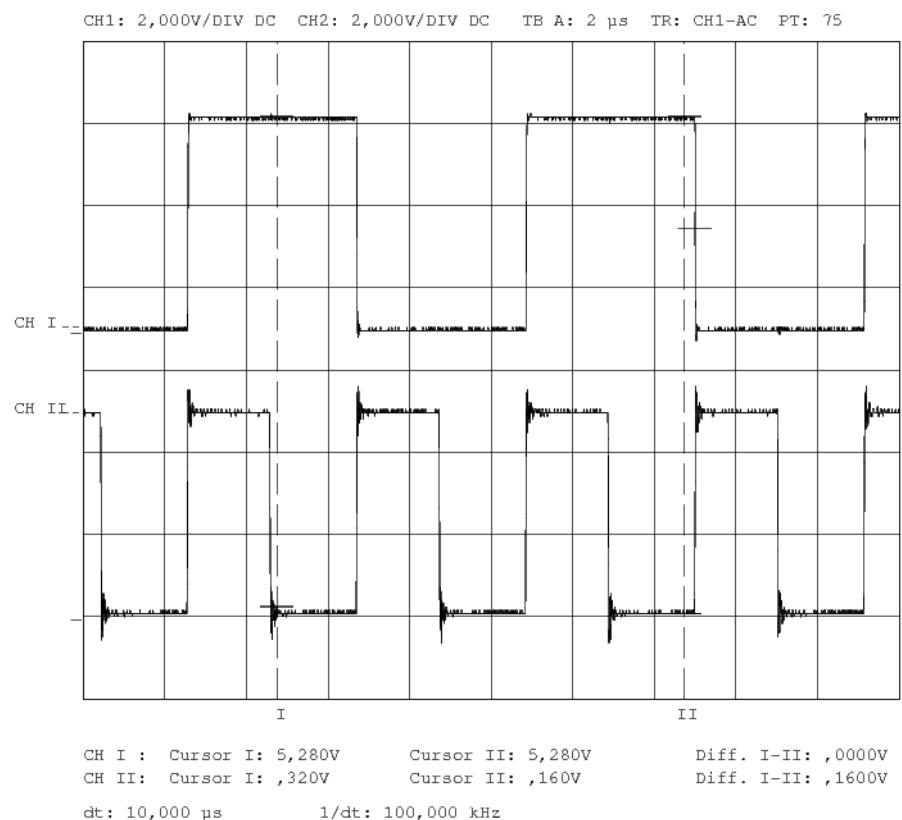


Figura 8.10: Salida del inversor histéresis 74HC14 (arriba) y portadora de 120Khz correspondiente al canal 3 a la salida del biestable tipo D 74HC74 (abajo).

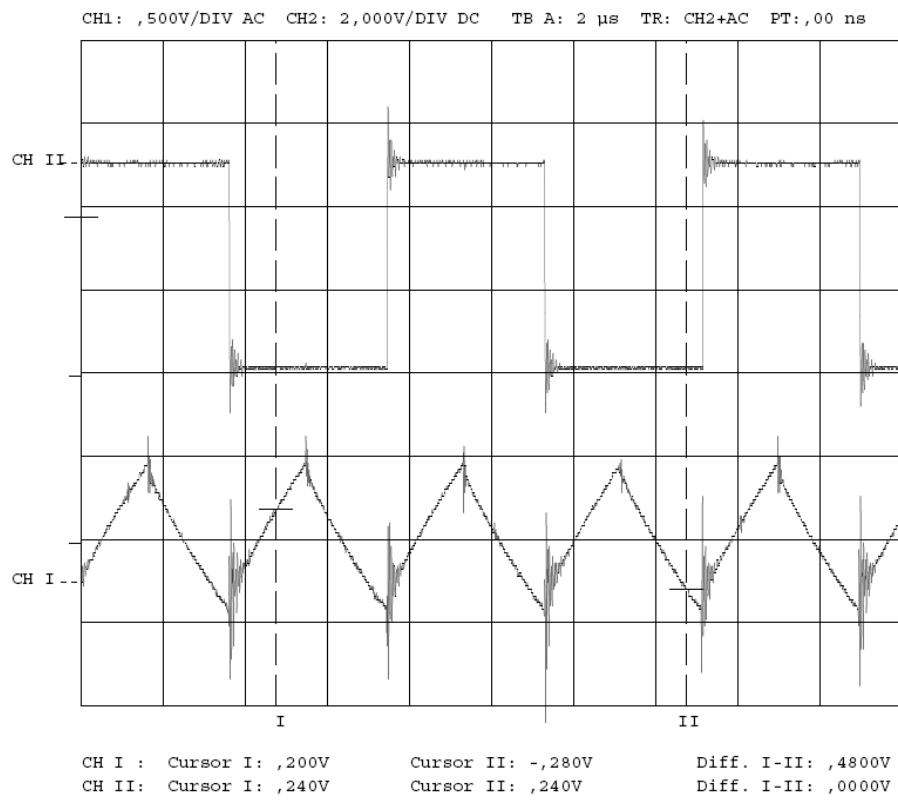


Figura 8.11: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 4.

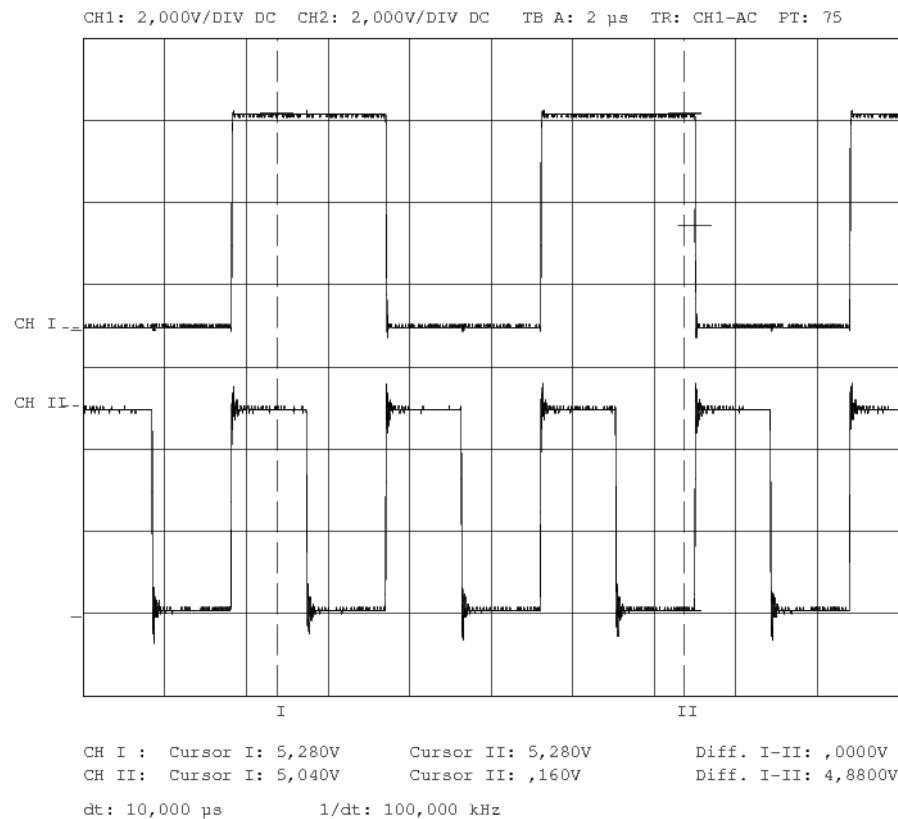


Figura 8.12: Salida del inversor histéresis 74HC14 (arriba) y portadora de 130Khz correspondiente al canal 4 a la salida del biestable tipo D 74HC74 (abajo).

9. Mezclador en recepción

9.1 Descripción del módulo:

Como ya se dijo en el *apartado 5.1 (parte I)*, este módulo consigue el **efecto de multiplicación de la moduladora por la portadora**. En este caso dicha multiplicación forma parte de un proceso de **demodulación superheterodina** (típico en sistemas de recepción AM). Concretamente, tras verse la señal transmitida multiplicada por la correspondiente señal cuadrada (generada en el *Oscilador Local*, explicado en el capítulo anterior) obtenemos dos señales, una centrada en $f_{OL} + f_{TX}$ y otra centrada en $f_{OL} - f_{TX}$. Esta última es la que nos interesa, la cual está centrada en $f = FI^{18}$ y será la que usemos durante el resto del proceso de demodulación.

Al igual que en el transmisor, se trata de un 74HC4053, cuyas conexiones se detallan a continuación en el *apartado 9.2*.

9.2 Esquema circuital:

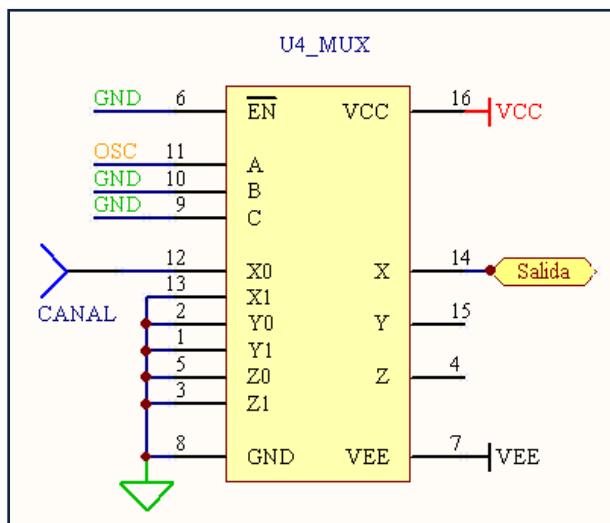


Figura 9.1: Multiplexor (74HC4053) con función de demodulador.

9.3 Análisis teórico:

Para la ejecución de la tarea de modulación, el dispositivo escogido es el 74HC4053, un multiplexor analógico controlado de forma digital, cuya tabla de verdad y rango utilizado se puede observar en la *figura 9.2*.

Para conseguir el “efecto de multiplicación” de la portadora por la moduladora, lo que se hace es *muestrear* la señal moduladora a la frecuencia de la señal portadora. Dicho proceso se consigue insertando la señal transmitida por la entrada X0 del multiplexor y masa por la entrada X1. Por la entrada de control del multiplexador, A, inyectamos la señal proveniente del *Oscilador Local* (OL), que estará correctamente sintonizado, para conseguir una demodulación a la *frecuencia intermedia*. De esta manera, lo que estamos consiguiendo es que cuando la portadora tenga un 1 lógico

¹⁸ Frecuencia intermedia de demodulación.

dejamos pasar la señal moduladora, y cuando la portadora tenga un valor *0 lógico*, a la salida tendremos masa. Este efecto se puede observar con todo detalle en la *figura 9.3* y siguientes.

INPUT STATES				“ON” CHANNELS
ENABLE	S ₀	S ₁	S ₂	
L	L	L	L	C0, B0, A0
L	H	L	L	C0, B0, A1
L	L	H	L	C0, B1, A0
L	H	H	L	C0, B1, A1
L	L	L	H	C1, B0, A0
L	H	L	H	C1, B0, A1
L	L	H	H	C1, B1, A0
L	H	H	H	C1, B1, A1
H	X	X	X	None

Figura 9.2: Tabla de verdad del multiplexor 74HC4053 y rango utilizado.

Para el correcto funcionamiento del modulo, y como se puede observar en la tabla de verdad (*figura 9.2*), es necesario poner las entradas de control no usadas (B y C) al valor *0 lógico*. Para evitar la intrusión de ruido, dejaremos el resto de entradas no usadas (Y_n y Z_n) conectadas a masa (*0 lógico*).

9.4 Gráficas y capturas de osciloscopio:

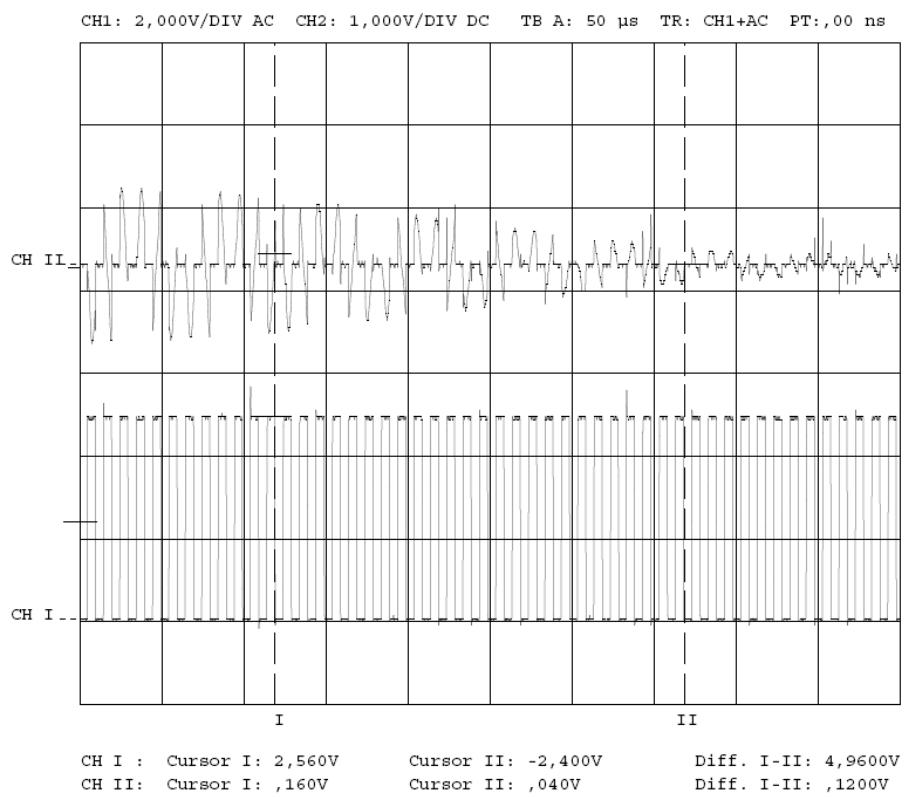


Figura 9.3: Salida (arriba) y portadora del canal 1 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 1.

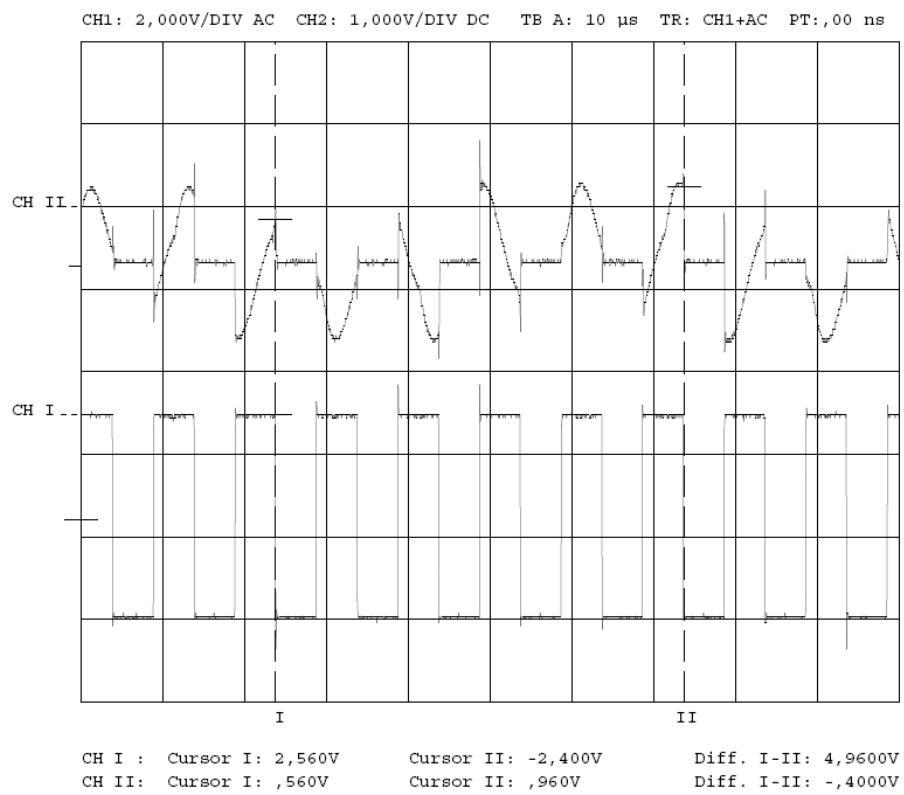


Figura 9.4: Detalle de la multiplicación en recepción de la portadora del canal 1 (abajo) por la señal de entrada (arriba).

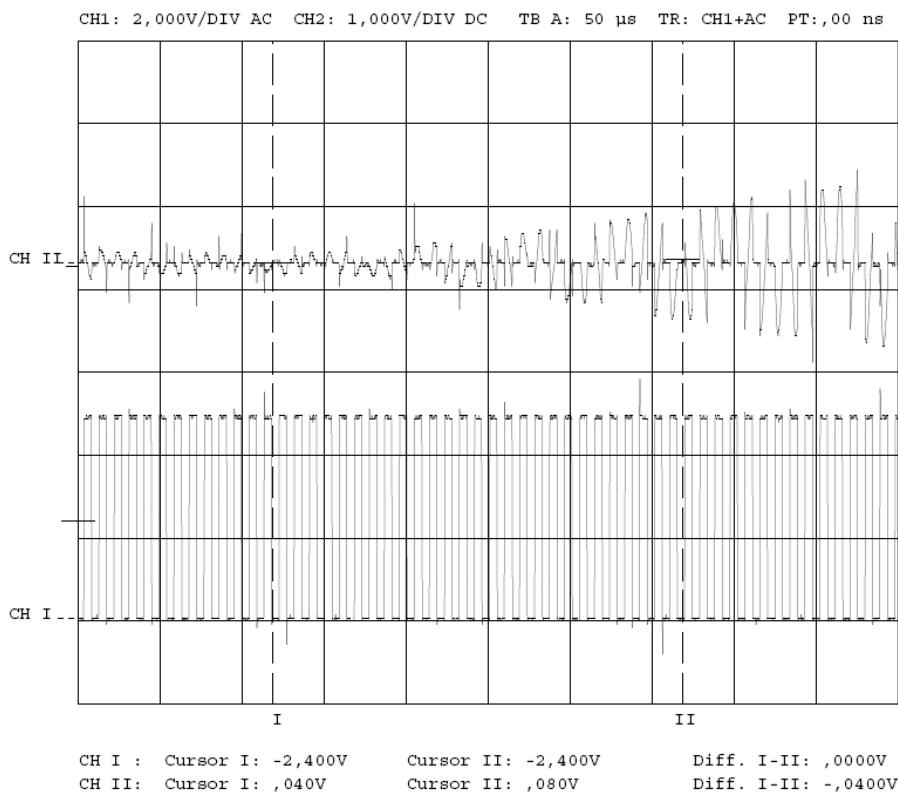


Figura 9.5: Salida (arriba) y portadora del canal 2 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 2.

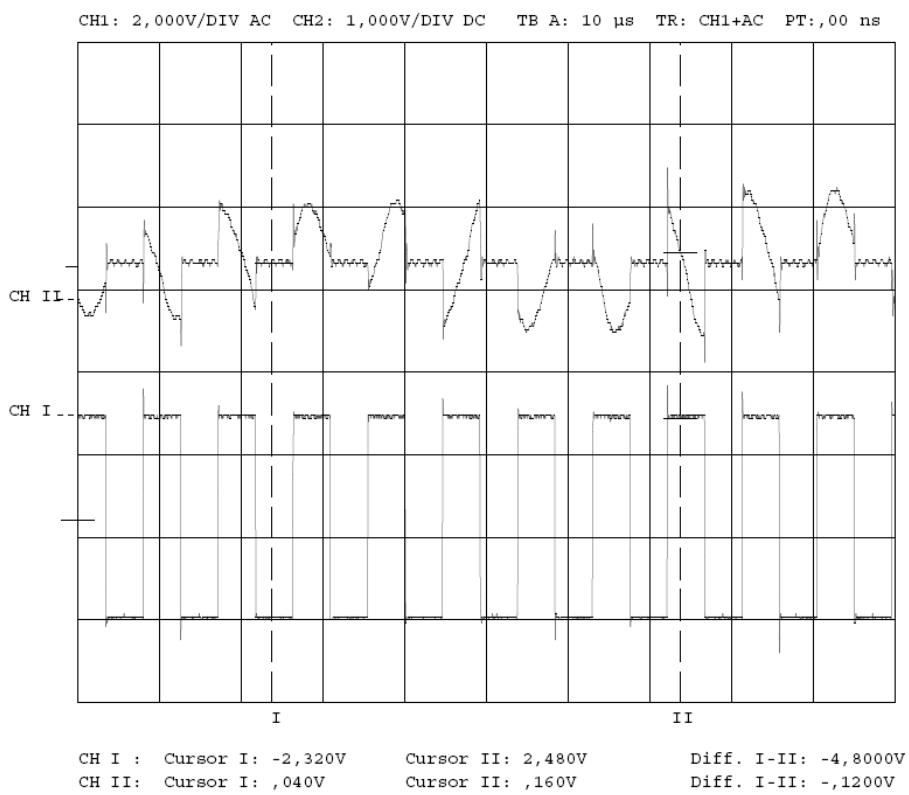


Figura 9.6: Detalle de la multiplicación en recepción de la portadora del canal 2 (abajo) por la señal de entrada (arriba).

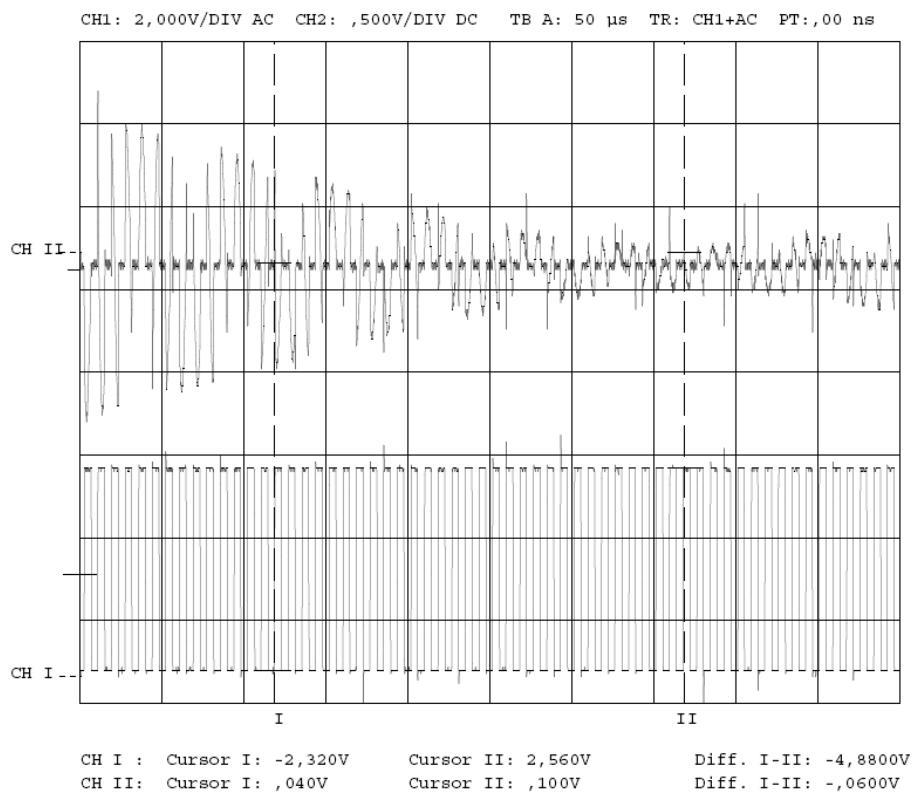


Figura 9.7: Salida (arriba) y portadora del canal 3 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 3.

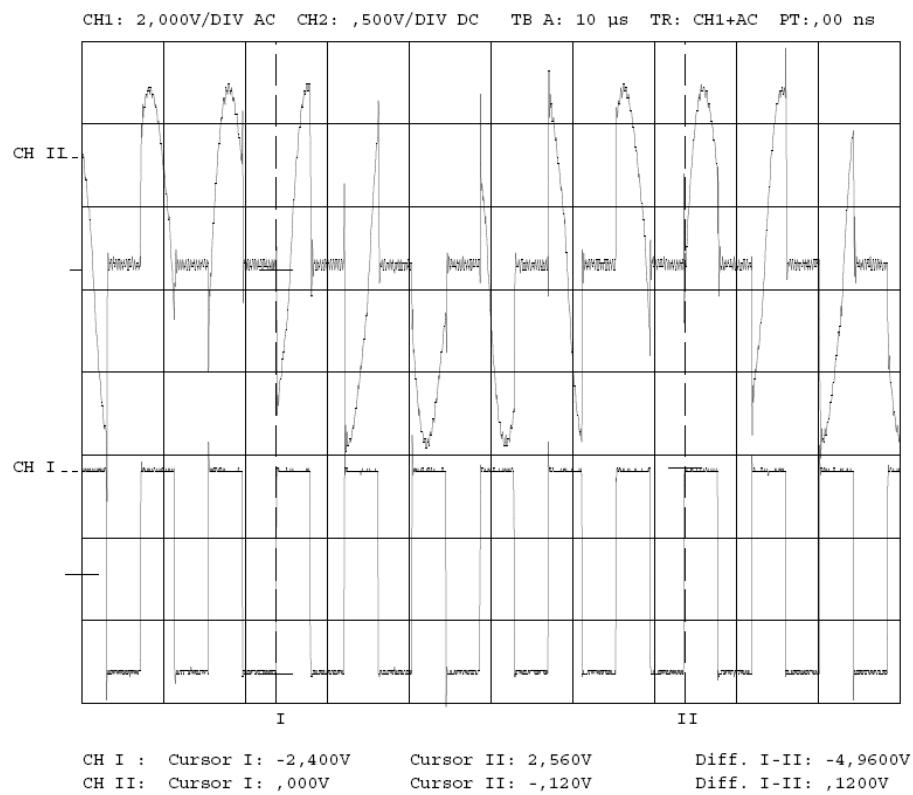


Figura 9.8: Detalle de la multiplicación en recepción de la portadora del canal 3 (abajo) por la señal de entrada (arriba).

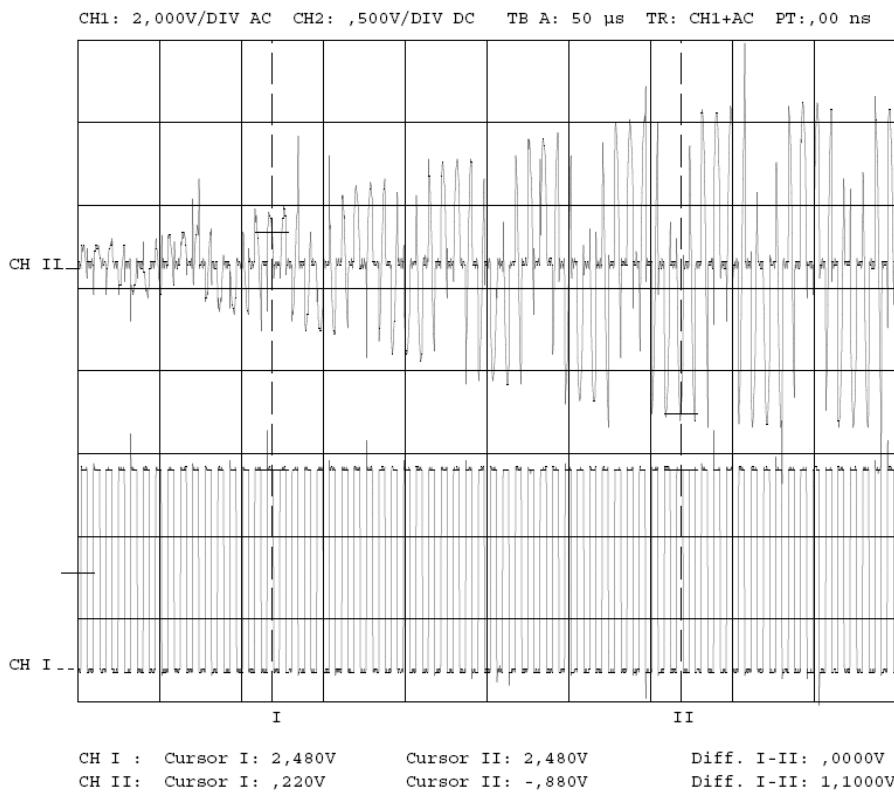


Figura 9.9: Salida (arriba) y portadora del canal 4 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 4.

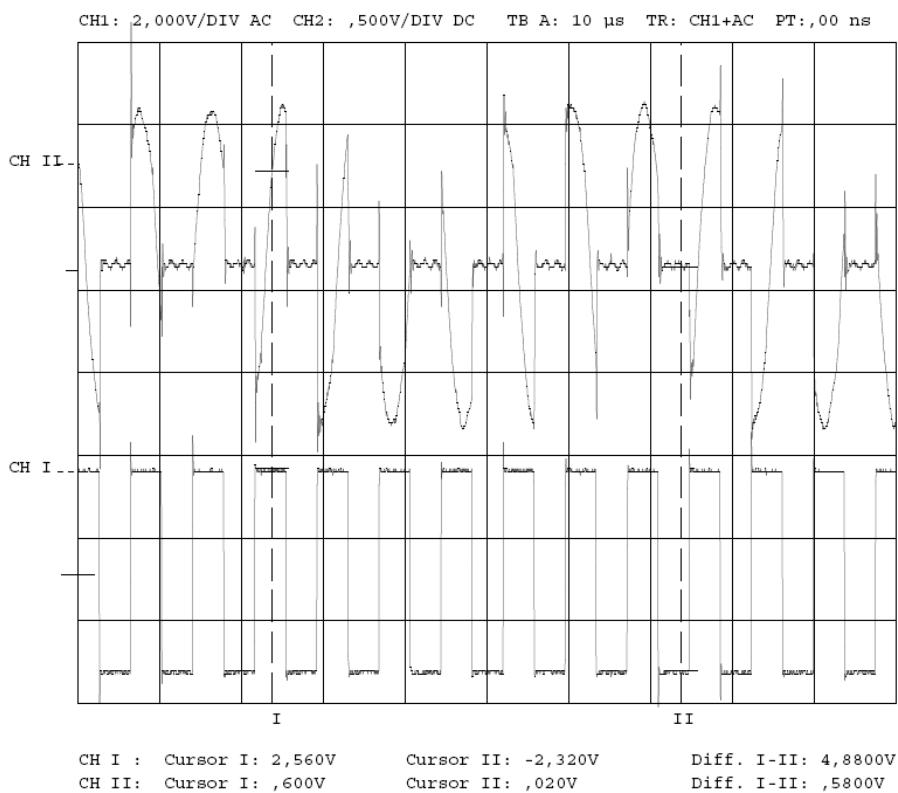


Figura 9.10: Detalle de la multiplicación en recepción de la portadora del canal 4 (abajo) por la señal de entrada (arriba).

10. Filtrado Paso Banda en recepción

10.1 Descripción del módulo:

La función de este módulo es esencial: **selecciona la banda del canal** recibida a la *frecuencia intermedia*, reduce el ruido entrante al sistema, y se encarga de **atenuar todas las réplicas espectrales** producidas por una portadora cuadrada.

Estamos ante un filtro bastante selectivo, centrado a la *frecuencia intermedia*, **18Khz** (tal y como se explicó en el fundamento teórico para la recepción superheterodina), con un ancho de banda de **4Khz** (ancho de banda de un canal).

El orden de este filtro deberá ser alto, y por ello se sitúan dos células Paso Banda en cascada. Los problemas de que este módulo no sea lo suficientemente selectivo, se explicarán más adelante en el último apartado de esta *Parte II*).

10.2 Esquema circuital:

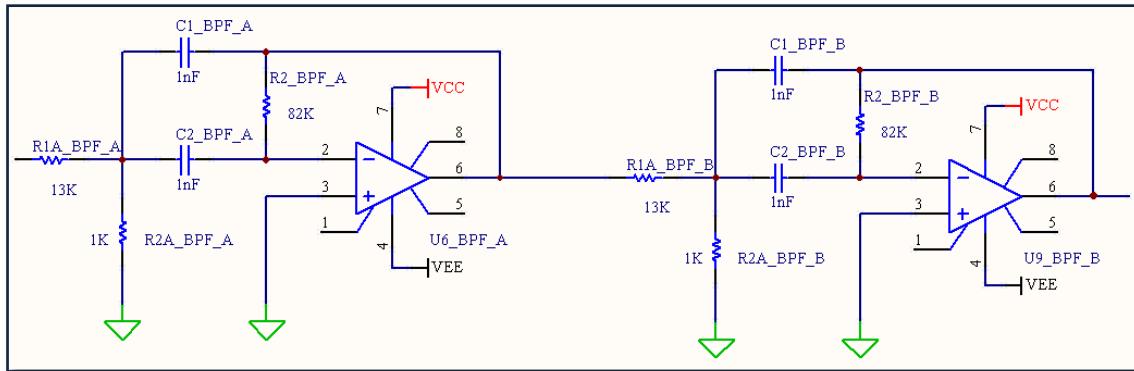


Figura 10.1: Cascada de filtros Paso Banda de frecuencia central y ancho de banda.

10.3 Análisis teórico:

En primer lugar, es importante mencionar que sólo se va a detallar el proceso de diseño para uno de los filtros, pues la siguiente *célula Paso Banda* es exactamente igual. En cualquier caso, en el próximo apartado se pueden encontrar las medidas prácticas realizadas (módulo y fase) de cada filtro de la cascada por separado, así como de la respuesta de ambos filtros juntos, conectados en cascada.

Según las especificaciones de diseño¹⁹ del filtro, éste debe estar centrado en 18Khz, con ancho de banda de 4Khz. Ello implicaría un factor de calidad:

$$Q = \frac{f_0}{BW} = \frac{18\text{Khz}}{4\text{Khz}} = 4,5$$

Con lo que obtendríamos un filtro con una ganancia a frecuencias medias tal que:

$$H_0 = -2Q^2 = -2 \cdot 4,5^2 \cong -40,5$$

¹⁹ Filtrar todas las frecuencias salvo la componente centrada en *FI* (18Khz) que se obtiene tras multiplicar la señal transmitida por las correspondientes del *OL*.

Es decir, una ganancia (en módulo) de 40,5 en *unidades lineales*. Es más que probable que dicha ganancia sature (teniendo en cuenta la señal con la que atacamos el módulo) los amplificadores operacionales LM356 de los que consta la etapa, por lo que pareció apropiado, en un primer momento, **rebajar la ganancia a 1** (0 decibelios).

Posteriormente apreciamos que una ganancia unidad (en la práctica, algo menor) no era adecuada para el proceso de demodulación, la señal con la que se atacaba a la siguiente etapa, los detectores de envolvente, **no era suficiente** (apenas unos pocos cientos de mV). Es por esto que se decidió dotar a cada filtro de una **ganancia teórica de 3 (en unidades lineales)**, con lo que tras la cascada obtenemos una ganancia total de 9, lo que es beneficioso porque la señal entregada al siguiente módulo es del orden de voltios.

Siguiendo la metodología presentada en los textos consultados²⁰, situamos un **divisor resistivo** a la entrada del filtro, formado por R_{1A} y R_{1B} . De esta forma se asegura que no se saturará ni el A.O. de esta etapa ni el de ninguna otra (siempre que no se amplifique).

Para iniciar el cálculo de los componentes de este filtro, parece razonable empezar fijando un valor para los condensadores, $C_{1_BPF} = C_{2_BPF} = 1nF$.

Partiendo del Q que tiene el filtro, la H_0 que hemos impuesto y el valor de C elegido, pasamos a calcular las resistencias necesarias:

$$R_{1A} = \frac{Q}{H_0 \omega_0 C} = \frac{4,5}{3 \cdot 2\pi \cdot 18Khz \cdot 1nF} \cong 13,262K\Omega$$

$$R_{1B} = \frac{R_{1A}}{\frac{2Q^2}{H_0} - 1} = \frac{13,262K\Omega}{\frac{2 \cdot 4,5^2}{3} - 1} \cong 1060\Omega$$

Calculamos²¹ ahora R_1 , que servirá para el recálculo de los parámetros del filtro.

$$R_1 = \frac{1}{2\omega_0 QC} = \frac{1}{2 \cdot 2\pi \cdot 18Khz \cdot 14,5 \cdot 1nF} = 982\Omega$$

$$R_2 = \frac{2Q}{\omega_0 C} = \frac{2 \cdot 4,5}{2\pi \cdot 18Khz \cdot 1nF} = 79,577K\Omega$$

Con estos valores teóricos calculados decidimos unos valores comerciales de resistencias:

$$R_{1A} = 13K\Omega, R_{1B} = 1K\Omega, R_2 = 82K\Omega \text{ y } R_1 = 1K\Omega$$

A partir de estos valores comerciales, recalculamos los parámetros característicos del filtro para ver si se sigue ciñendo –con los valores comerciales- a las especificaciones:

²⁰ Ref. [1], página 142.

²¹ Ref. [1], páginas 141 y 142.

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2} \cdot C} = \frac{1}{\sqrt{1K\Omega \cdot 82K\Omega \cdot 1nF}} \cong 110.431 \frac{rad}{s} \Rightarrow f_0 = \frac{\omega_0}{2\pi} \cong 17.575,72 KHz$$

$$Q = \frac{1}{2} \sqrt{\frac{R_2}{R_1}} = \frac{1}{2} \sqrt{\frac{82K\Omega}{1K\Omega}} = 4,53$$

La ganancia H_0 , dada la configuración con divisor resistivo usada, no es posible calcularla con total certeza, pero podemos hacer un pequeño razonamiento del que se desprenderá una aproximación de la ganancia final del conjunto:

Como sabemos este filtro tiene una ganancia (en módulo) de 40,5 unidades lineales. Teniendo en cuenta el divisor a la entrada del filtro, y las resistencias que lo forman tenemos que este atenúa la señal en un factor $\frac{1}{13}$. Por lo tanto la ganancia total del conjunto será:

$$|H'_0| = \left| \frac{1}{13} \cdot (-40,5) \right| \cong 3,12$$

Cifra que corresponde con el valor de H_0 esperado. En definitiva, nos encontramos ante una buena aproximación, por lo que implementamos el circuito de acuerdo a nuestras especificaciones (*figura 10.2*).

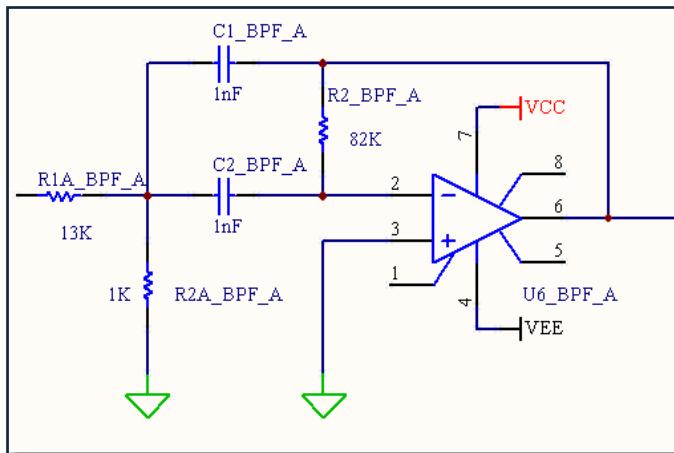


Figura 10.2: Filtro Paso Banda básico utilizado.

10.4 Obtención de medidas y diagramas de Bode:

A continuación se muestran los diagramas de Bode superpuestos con las respuestas medidas (ambos en módulo y fase). En primer lugar (*figuras 10.3* y *figura 10.4*) tenemos el comportamiento del **primer filtro de la cascada**, después el **segundo filtro** y finalmente la respuesta en frecuencia del **montaje en cascada**.

Para los tres módulos representados, se pueden observar dos medidas superpuestas: en azul claro el **primer diseño** de Paso Banda con ganancia 0 decibelios y en azul oscuro el **diseño actual**, con 10 decibelios aproximadamente. Puesto que sólo se diferencian en la ganancia a la *frecuencia intermedia*, la fase de la respuesta en frecuencia no varía.

f(Hz)	A _v BPF1(dB)	A _v BPF2(dB)	A _v cascada(dB)	Fase _{1,2} (°)	Fase _{cascada} (°)
1600	-15,090	-16,250		-90	180
5000	-11,341	-10,903	-21,481	-90	114,090
10000	-5,514	-4,642	-6,796	-104,070	126,341
14000	0,257	0,984	1,018	-118,955	138,991
15000	2,345	2,923	4,867	-127,814	149,902
16000	4,350	5,249	9,010	-137,933	78,573
17000	6,319	7,082	11,657	-156,796	70,250
18000	7,924	7,235	13,487	-172,241	52,653
18800	8,943	8,595	16,719	-175,584	5,064
19000	8,465	8,943	17,263	-203,079	-21,189
20000	7,568	8,399	16,975	-222,844	-46,322
20500	7,005	7,082	14,481	-226,054	-73,996
20800	6,444	6,021	12,653	-228,590	-76,982
21000	5,801	5,008	11,047	-231,906	-162,558
22000	4,297	3,464	7,604	-239,429	-148,997
25000	0,341	0,000	0,268	-247,518	-133,630
30000	-2,817	-3,324	-6,068	-253,740	-138,590
40000	-7,111	-6,878	-14,026	-262,307	-180
50000	-8,519	-8,613	-25,343	-270	-180
180000	-19,743	-15,442	-21,481	-270	180

Tabla 10.1: Valores numéricos de módulo y fase para los dos filtros Paso Banda, por separado y en cascada para distintas frecuencias

Obtenemos que para el primer filtro Paso Banda:

$$f_c = \mathbf{18.27 \text{ KHz}}; \quad f_{inf} = 16.83\text{Khz}; \quad f_{sup} = 20.94\text{Khz}$$

$$BW = f_{sup} - f_{inf} = \mathbf{4.11\text{Khz}}$$

$$Q = \frac{f_c}{BW} = \frac{18.27\text{Khz}}{4.11\text{Khz}} = \mathbf{4.44}$$

Para el segundo filtro:

$$f_c = \mathbf{18.85 \text{ KHz}}; \quad f_{inf} = 16.3\text{Khz}; \quad f_{sup} = 20.51\text{Khz}$$

$$BW = f_{sup} - f_{inf} = \mathbf{4.21\text{Khz}}$$

$$Q = \frac{f_c}{BW} = \frac{18.85\text{Khz}}{4.21\text{Khz}} = \mathbf{4.47}$$

Y para la unión en cascada de ambos:

$$f_c = \mathbf{18.07 \text{ KHz}}; \quad f_{inf} = 17.4\text{Khz}; \quad f_{sup} = 20.09\text{Khz}$$

$$BW = f_{sup} - f_{inf} = \mathbf{2.69\text{Khz}}$$

$$Q = \frac{f_c}{BW} = \frac{18.07\text{Khz}}{2.69\text{Khz}} = \mathbf{6.71}$$

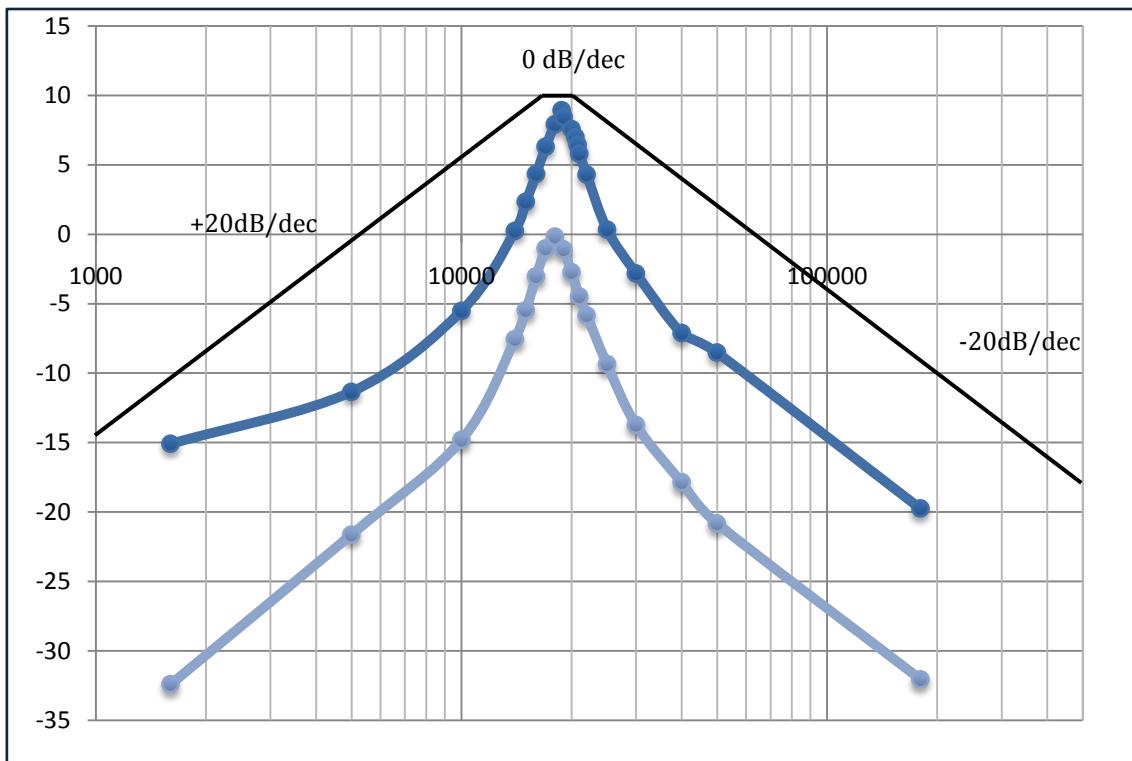


Figura 10.3: Módulo de la respuesta en frecuencia de la primera célula Paso Banda, con frecuencia central 18 KHz y 4 KHz de ancho de banda.

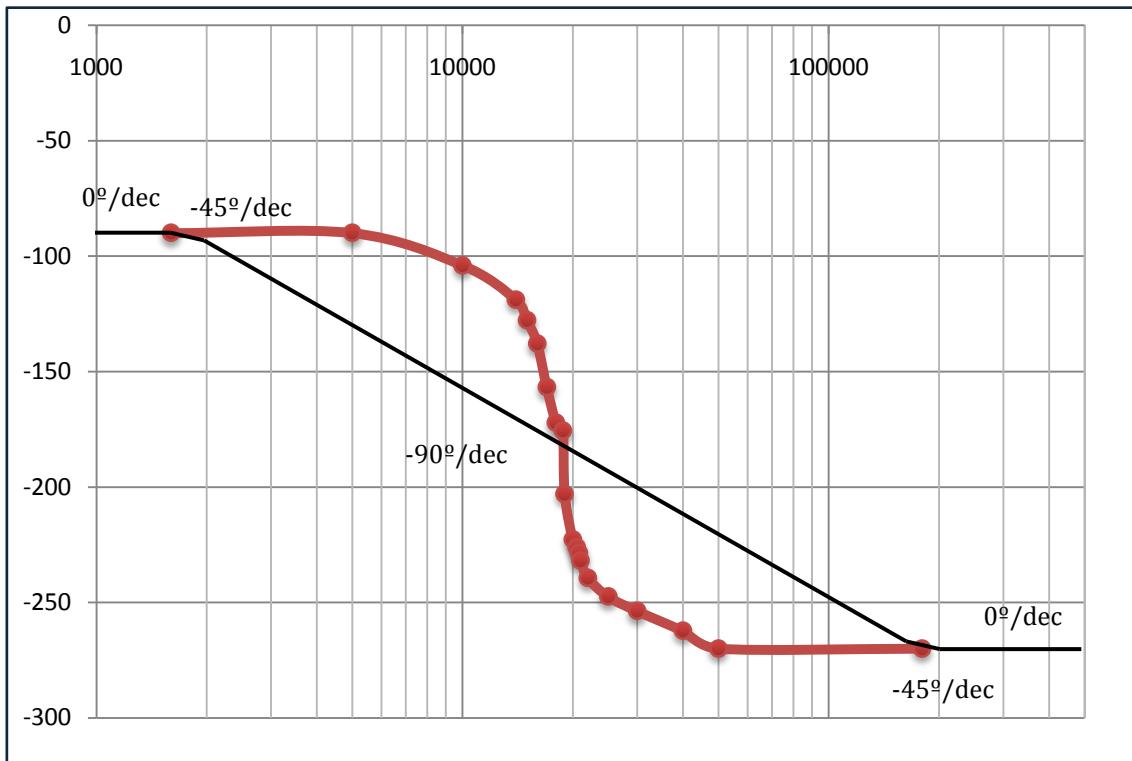


Figura 10.4: Fase de la respuesta en frecuencia de la primera célula Paso Banda. La fase comienza en -90° a baja frecuencia, 180° a la frecuencia central y -270° a alta frecuencia. Aunque no se puede medir, a muy alta frecuencia, no se produce desfase (el equivalente a -360°).

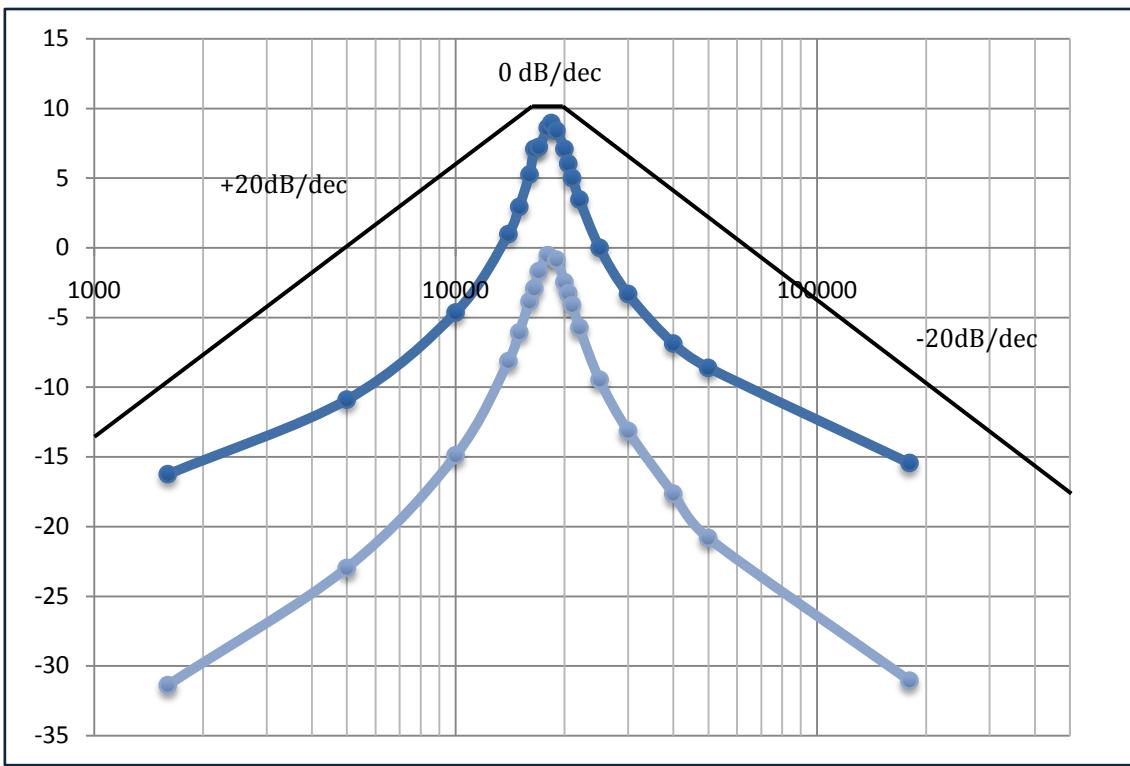


Figura 10.5: Módulo de la respuesta en frecuencia del la segunda célula Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda.

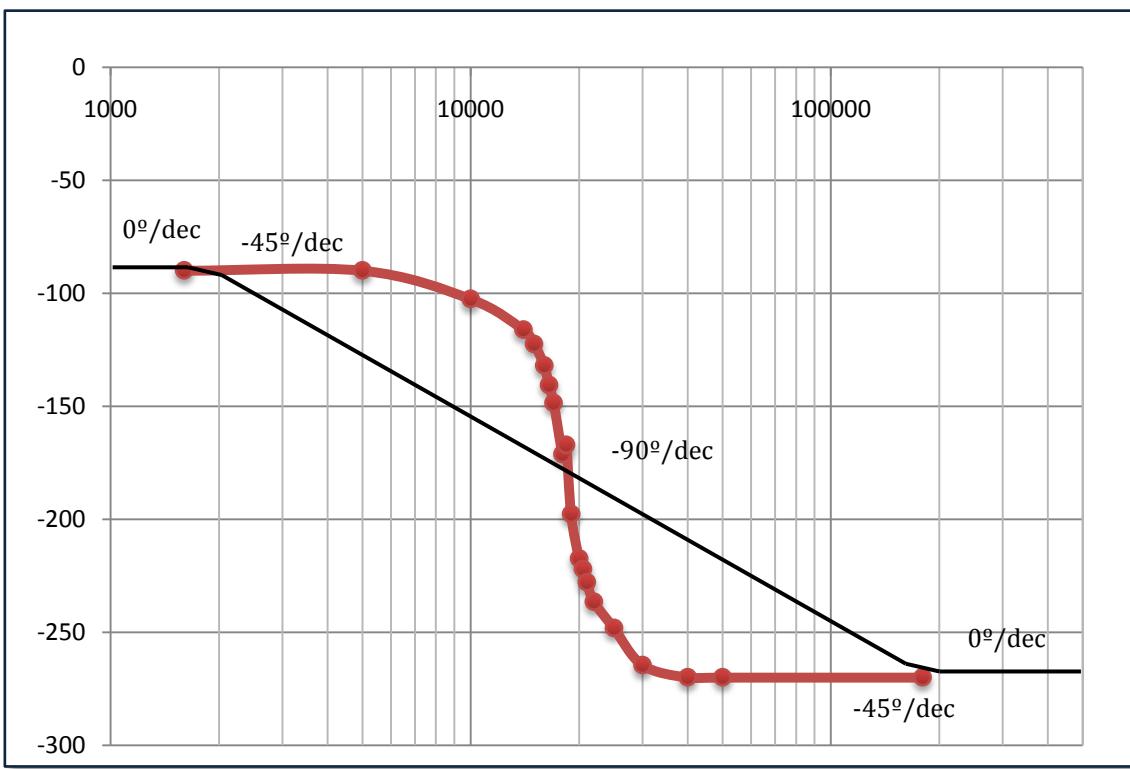


Figura 10.6: Fase de la respuesta en frecuencia del la segunda célula Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda.

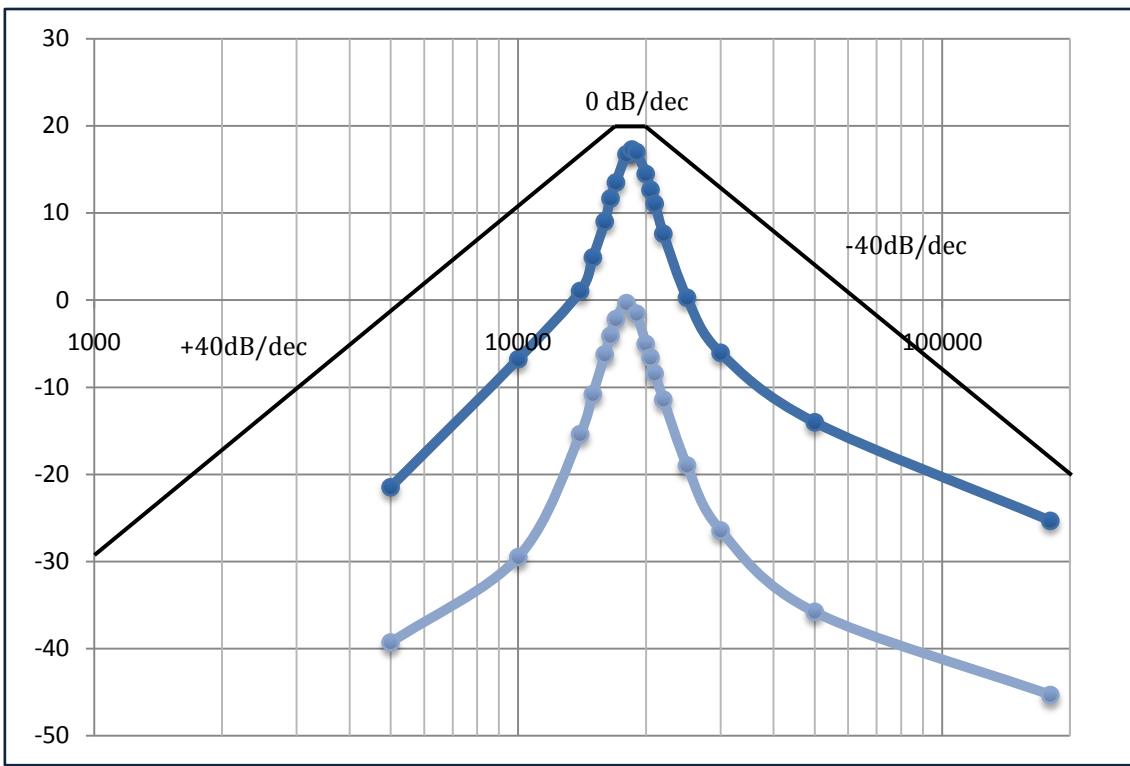


Figura 10.7: Módulo de la respuesta en frecuencia la cascada de filtros Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda. Se produce un aumento de ganancia y una mayor pendiente en la curva.

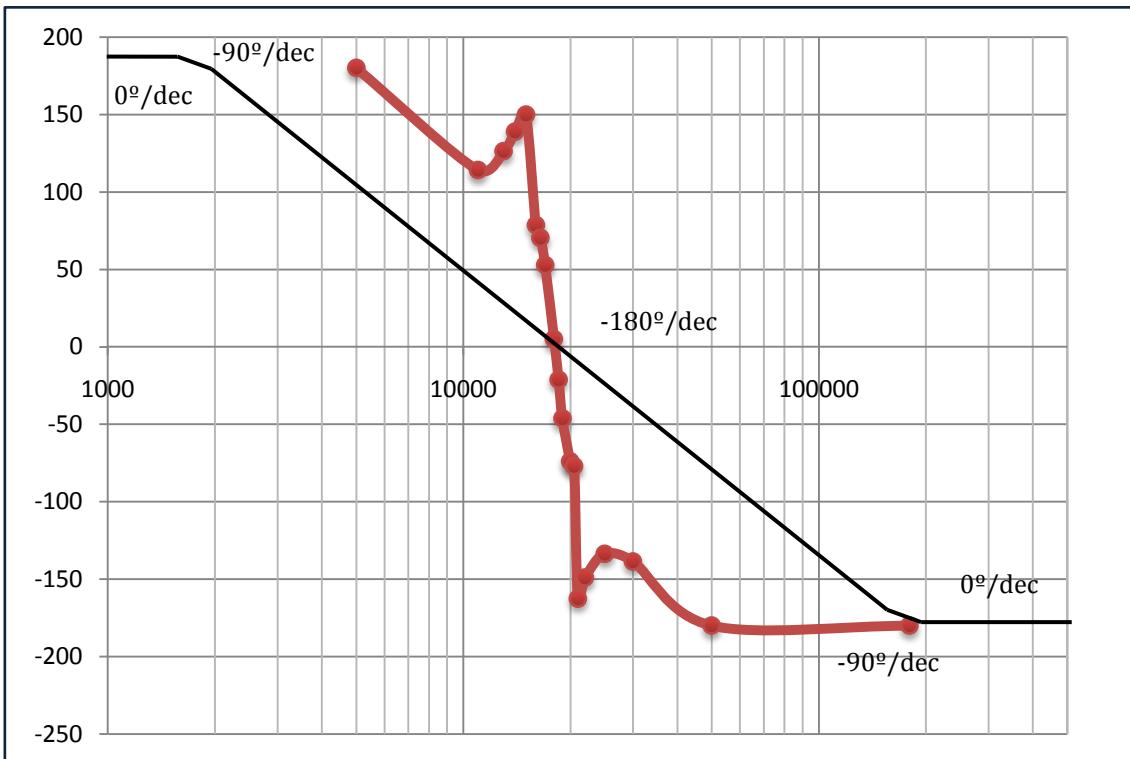


Figura 10.8: Fase de la respuesta en frecuencia del la cascada de filtros Paso Banda. A baja frecuencia presenta un desfase de 180°, a frecuencia central muy cercano a 0° y a alta frecuencia vuelve a -180°. A muy alta frecuencia la señal se sincronizará de nuevo (desfase 0°).

10.5 Gráficas y capturas de osciloscopio:

Hemos considerado apropiado adjuntar una serie de capturas de osciloscopio (para un tono) de la señal transmitida antes y después de su paso por la cascada de filtros. Se pueden apreciar como entran señales con componentes a múltiples frecuencias y a la salida de la etapa sólo tenemos señal con componente en 18Khz.

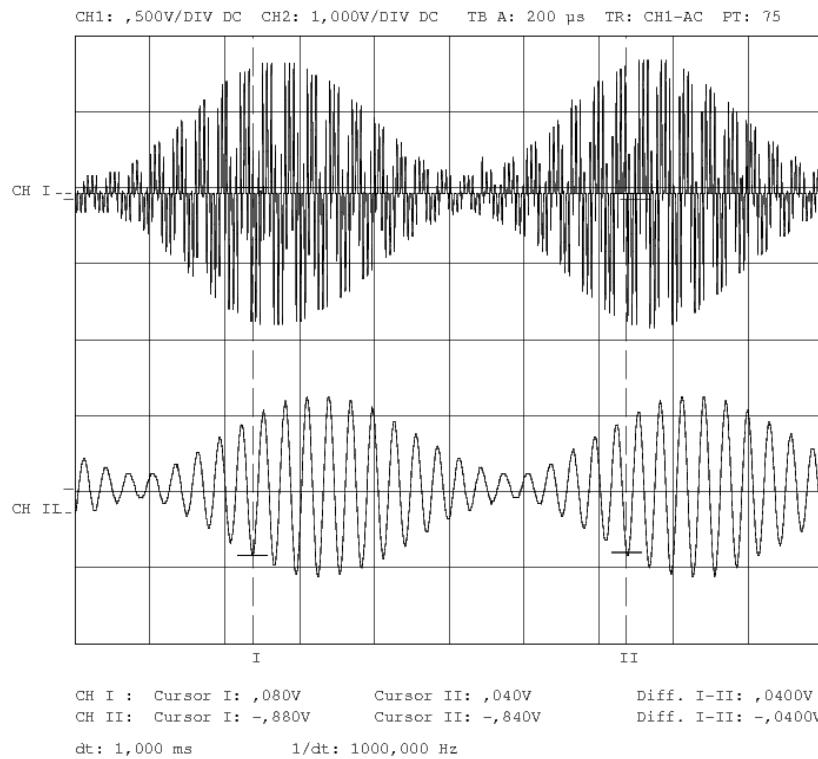


Figura 10.9: Señal demodulada y tras la cascada de filtros Paso Banda (canal 1).

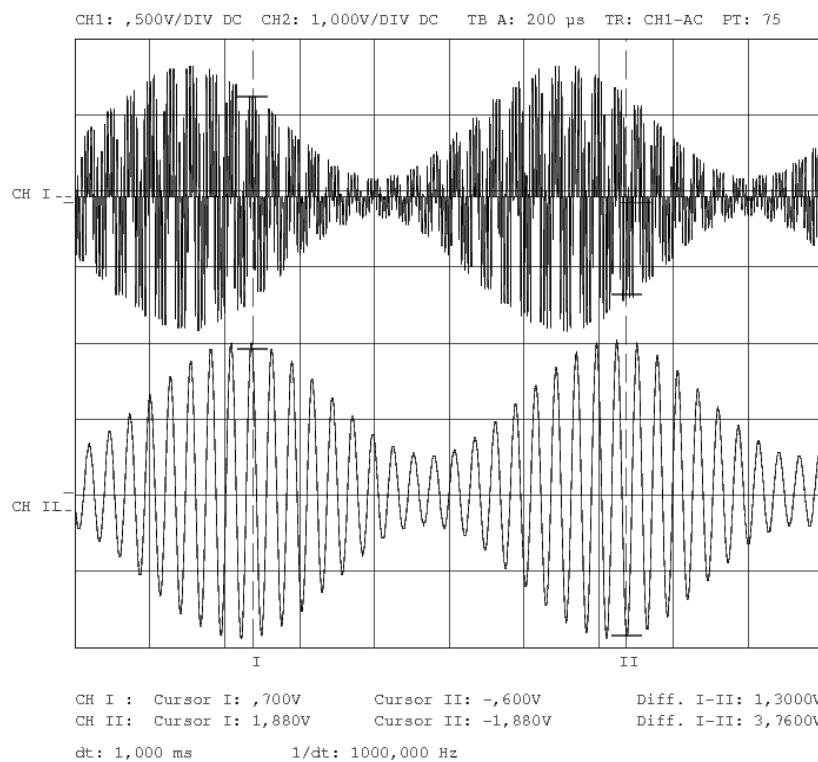


Figura 10.10: Señal demodulada y tras la cascada de filtros Paso Banda (canal 1).

10.6 Simulación en Pspice™:

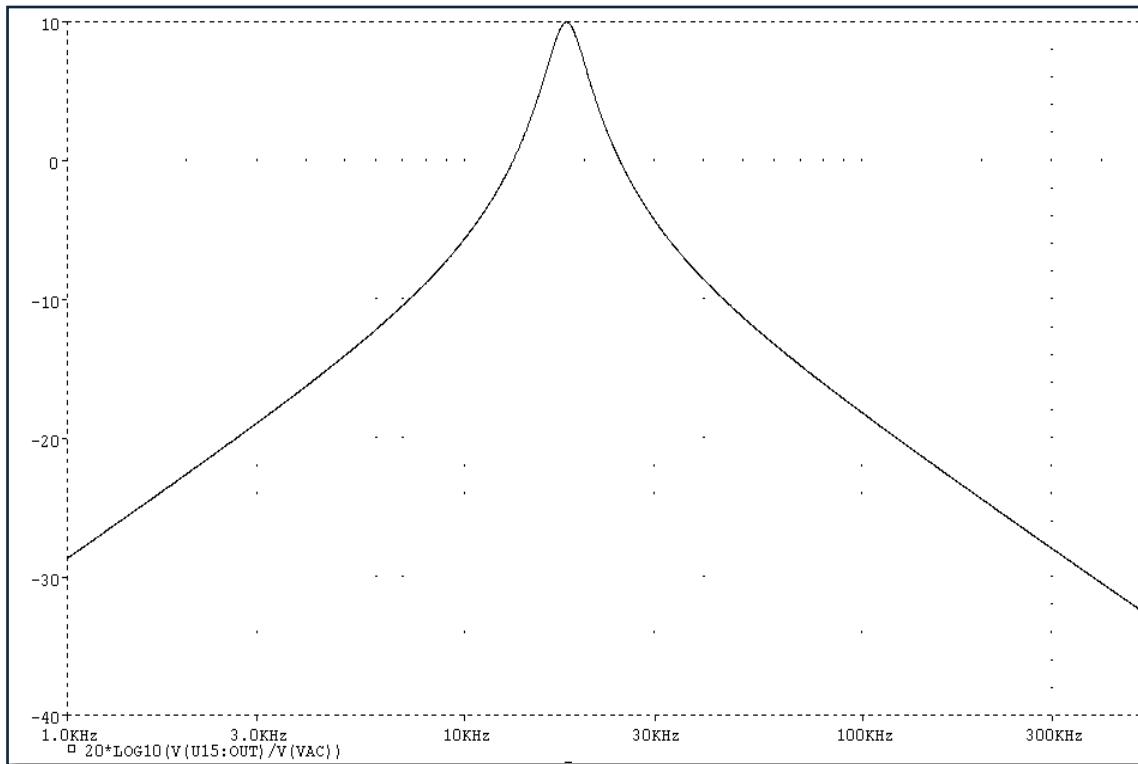


Figura 10.11: Módulo de la respuesta en frecuencia de una única célula Paso Banda. Se produce una caída a 20dB por década.

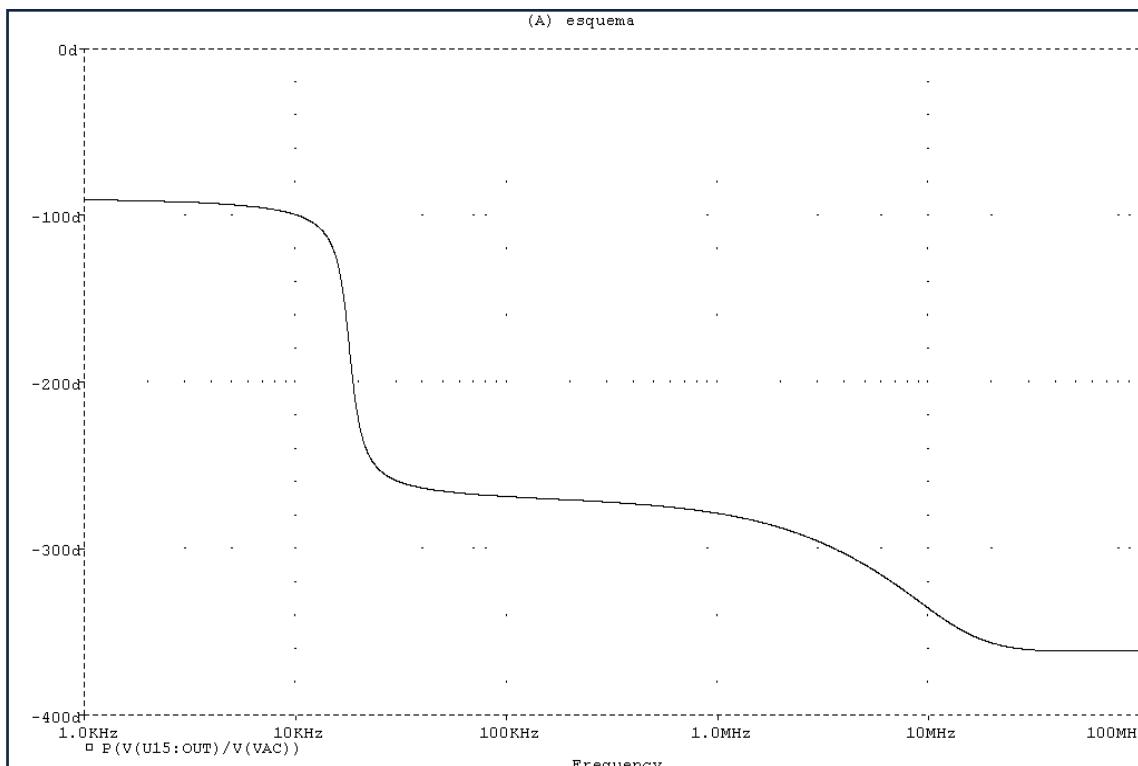


Figura 10.12: Fase de la respuesta en frecuencia de una única célula Paso Banda. A la frecuencia central, 18Khz, se produce un desfase de -180°.

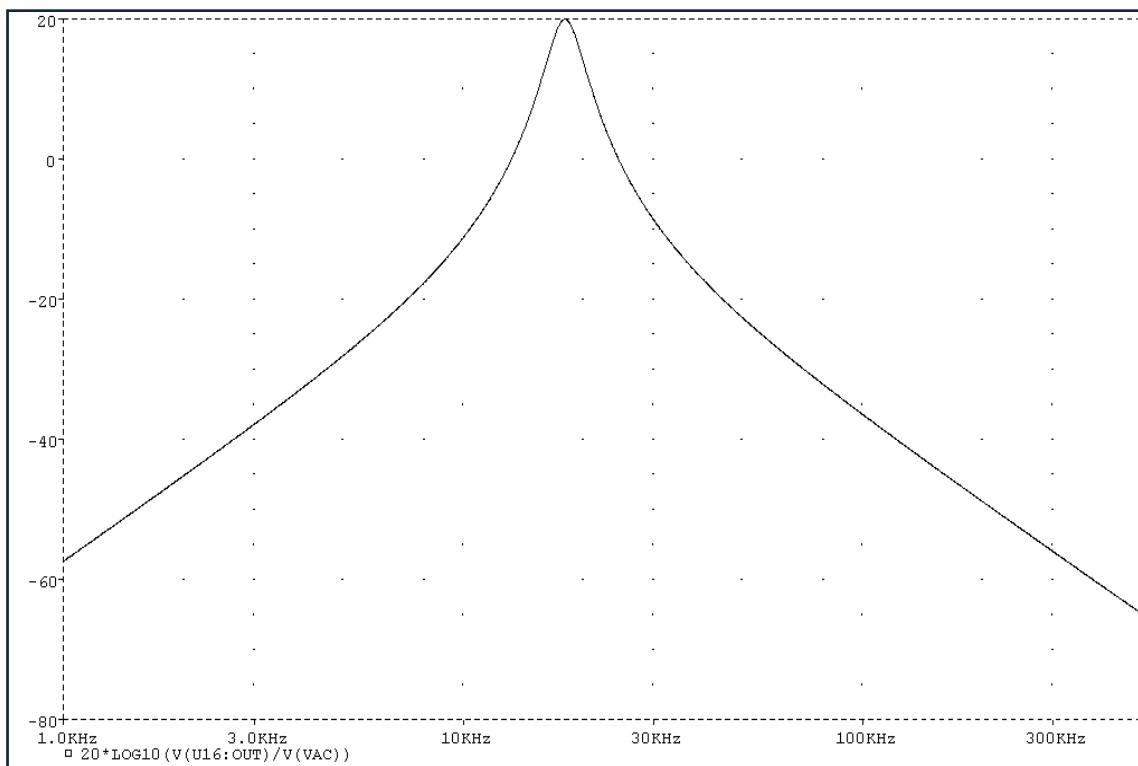


Figura 10.13: Módulo de la respuesta en frecuencia de la cascada de filtros Paso Banda. La ganancia cae a 40dB por década.

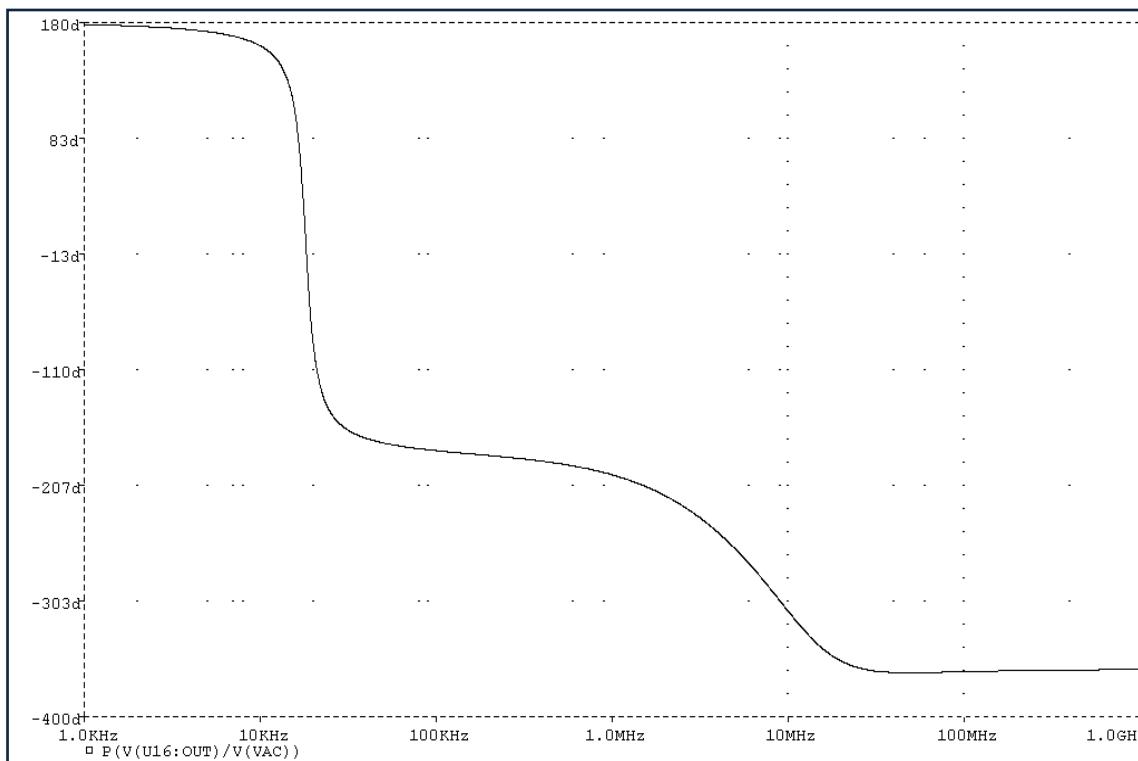


Figura 10.14: Fase de la respuesta en frecuencia de la cascada de filtros Paso Banda. A la frecuencia central, 18Khz, no se produce desfase (0°).

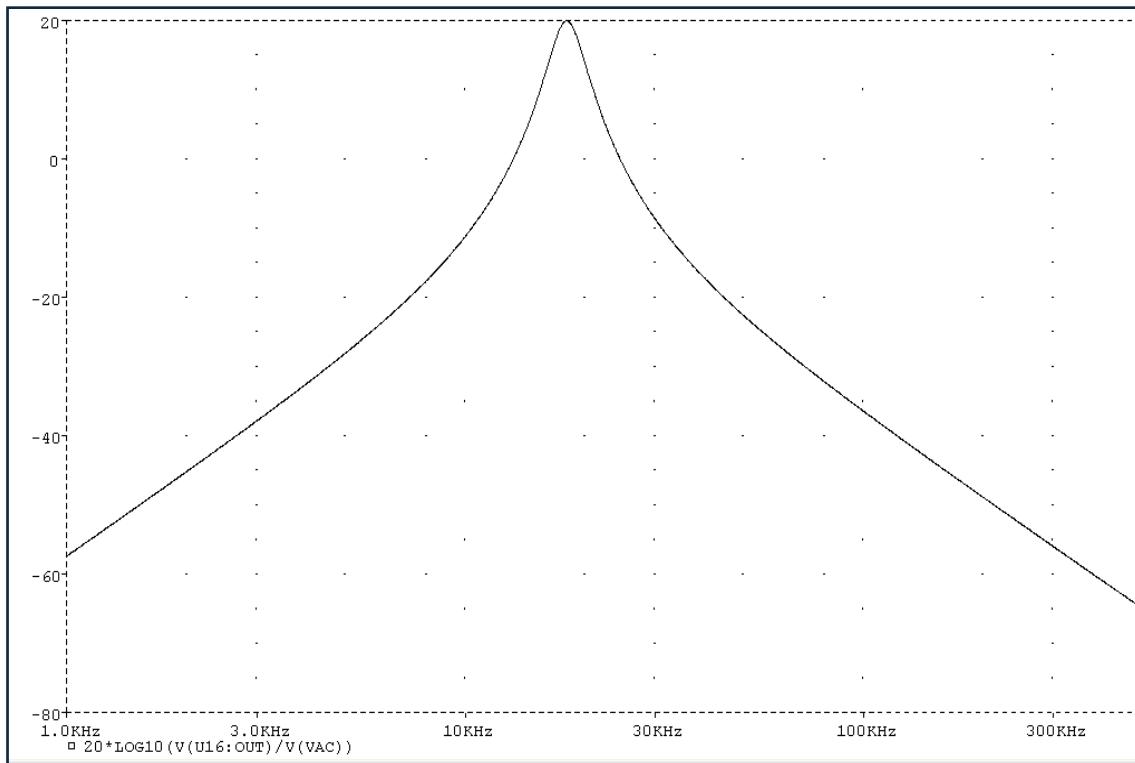


Figura 10.15: Detalle del módulo de la respuesta en frecuencia de la cascada de filtros Paso Banda. Se muestra el rango medido en la práctica.

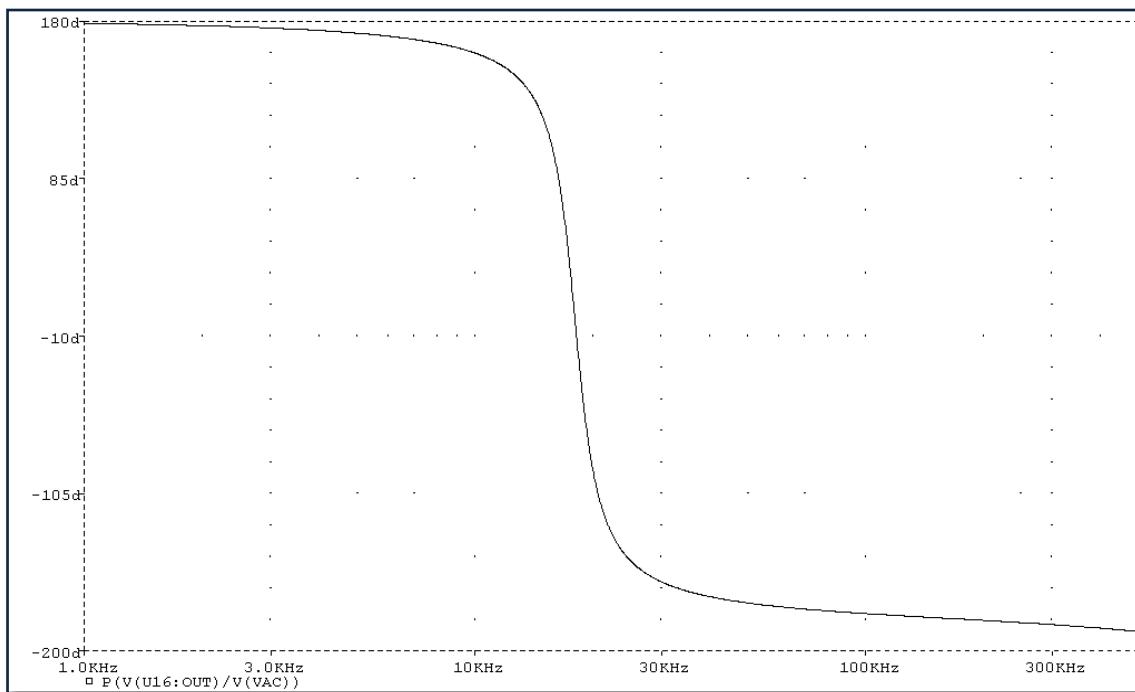
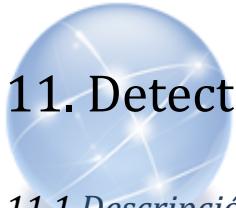


Figura 10.16: Detalle de la fase de la respuesta en frecuencia de la cascada de filtros Paso Banda. Se muestra el rango medido en la práctica



11. Detector de envolvente rápido

11.1 Descripción del módulo:

Este módulo tiene como función **detectar la envolvente** de la señal con recepción superheterodina a *frecuencia intermedia*. El proceso seguido es un **rectificado a media onda (ciclos positivos)**, para posteriormente filtrar y recuperar la señal moduladora original (con cierta componente DC). Como se puede observar en la *figura 11.1*, se ha optado por una configuración basada en un **rectificador de precisión**.

11.2 Esquema circuitual:

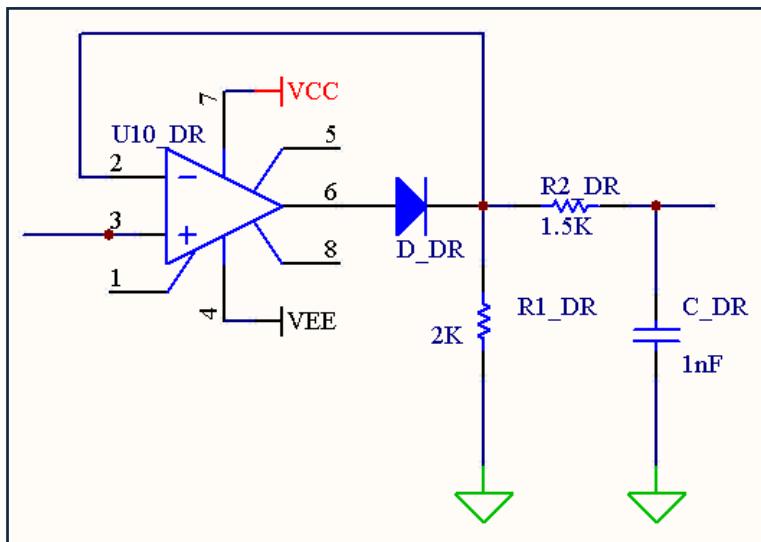


Figura 11.1: *Detector de envolvente rápido (rectificador de ciclos positivos).*

11.3 Análisis teórico:

La constante de tiempo τ del filtro, puede hallarse de la siguiente forma:

$$\frac{1}{f_{mod_max}} \gg RC \gg \frac{1}{f_{carr_mid}}$$

Dónde f_{mod_max} sería la máxima frecuencia que esperamos encontrar en la señal moduladora (2Khz) y $f_{carr_mid} = f_l = 18KHz$.

De la expresión anteriormente dicha y con los valores especificados, podemos obtener un valor de RC mediante una media geométrica:

$$RC = \sqrt[2]{\frac{1}{f_{mod_max}} \cdot \frac{1}{f_{carr_mid}}} = \sqrt[2]{\frac{1}{2KHz} \cdot \frac{1}{18KHz}} \cong 166,7 \mu S$$

Fijando $C = 1nF$, tenemos que:

$$R = \frac{166,7 \mu S}{1nF} \cong 166K\Omega$$

Llegados a este punto es necesario hacer una aclaración: dicho valor de R es el adecuado si se pretende que sea este módulo el que lleve a cabo el proceso de demodulación entero, el cual gráfica –y cualitativamente- sería como se muestra en la figura inferior.

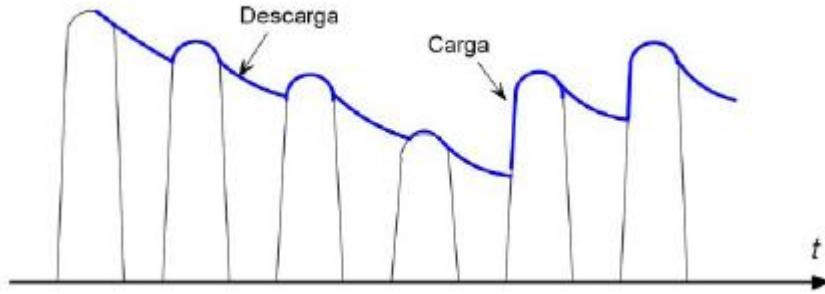


Figura 11.2: Esquema de funcionamiento de un detector de envolvente.

Sin embargo, teniendo en cuenta que el siguiente módulo es una célula SK paso bajo, se optó porque el presente módulo tuviera una función principalmente rectificadora, dejando la mayor parte de la extracción de la señal en banda base al módulo siguiente.

Es por este motivo que $R' = 1,5K\Omega$, dos órdenes inferior. Dicho valor fue obtenido de forma práctica, tomando medidas con el osciloscopio, comprobando que tras el proceso de rectificación se obtenía la señal esperada.

De hecho, comparando $\tau' = R'C = 1,5K\Omega \cdot 1nF = 1,5\mu S$ con el periodo de la señal de 18KHz ($18.000^{-1} = 55\mu S$), se puede observar que dicha señal no es filtrada, y por tanto, sólo es rectificada, como queríamos.

11.5 Gráficas y capturas de osciloscopio:

A continuación se pueden observar una serie de medidas prácticas realizadas con el osciloscopio, en las que mostramos el proceso de rectificación. (En el apartado próximo se podrá ver el proceso de detección de envolvente entero.)

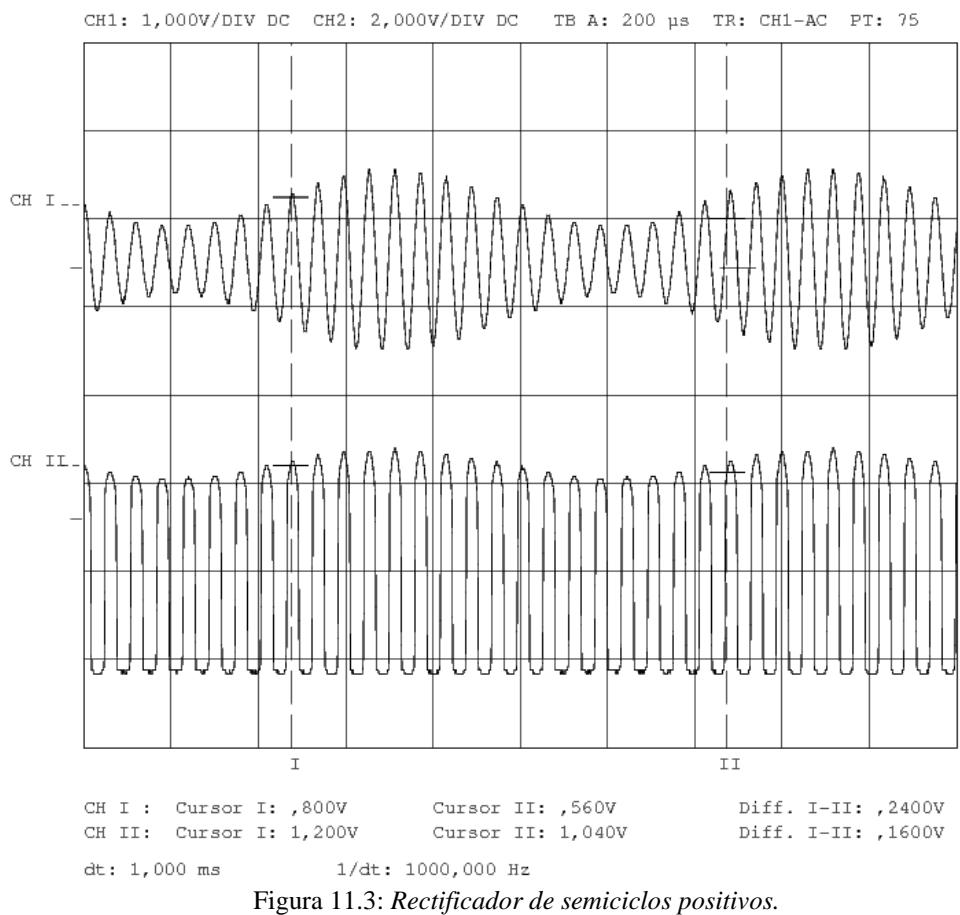


Figura 11.3: Rectificador de semiciclos positivos.

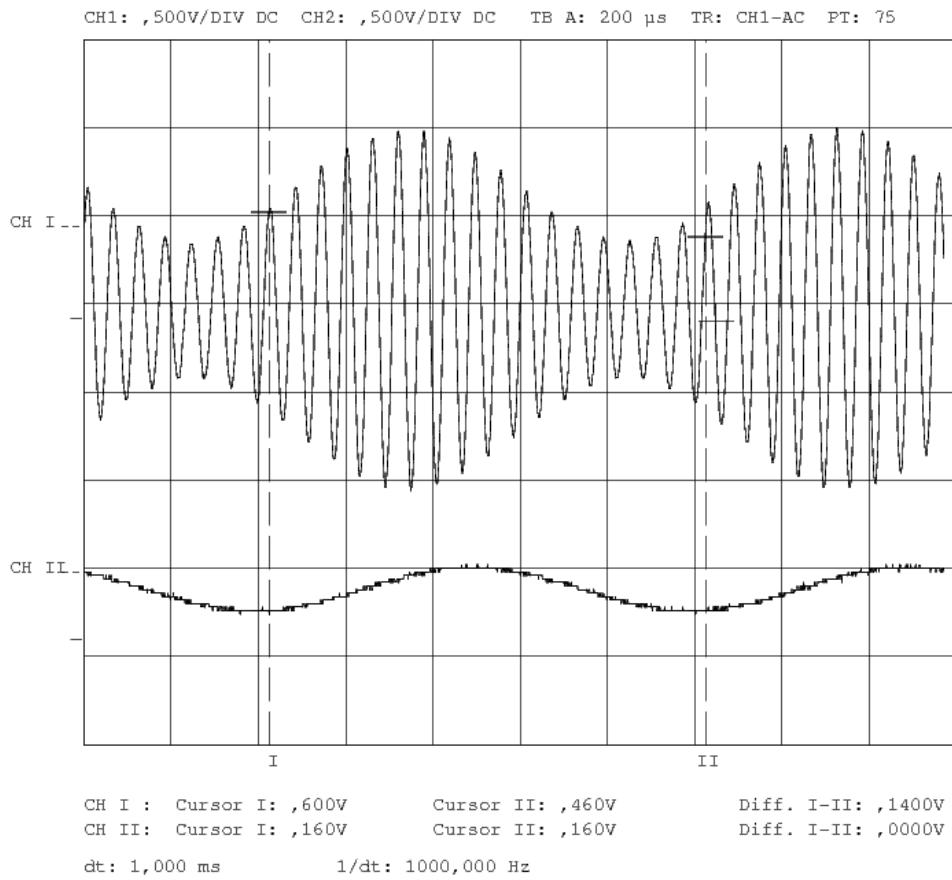


Figura 11.4: señal moduladora de 18 Khz, abajo su envolvente a la salida de esta etapa.

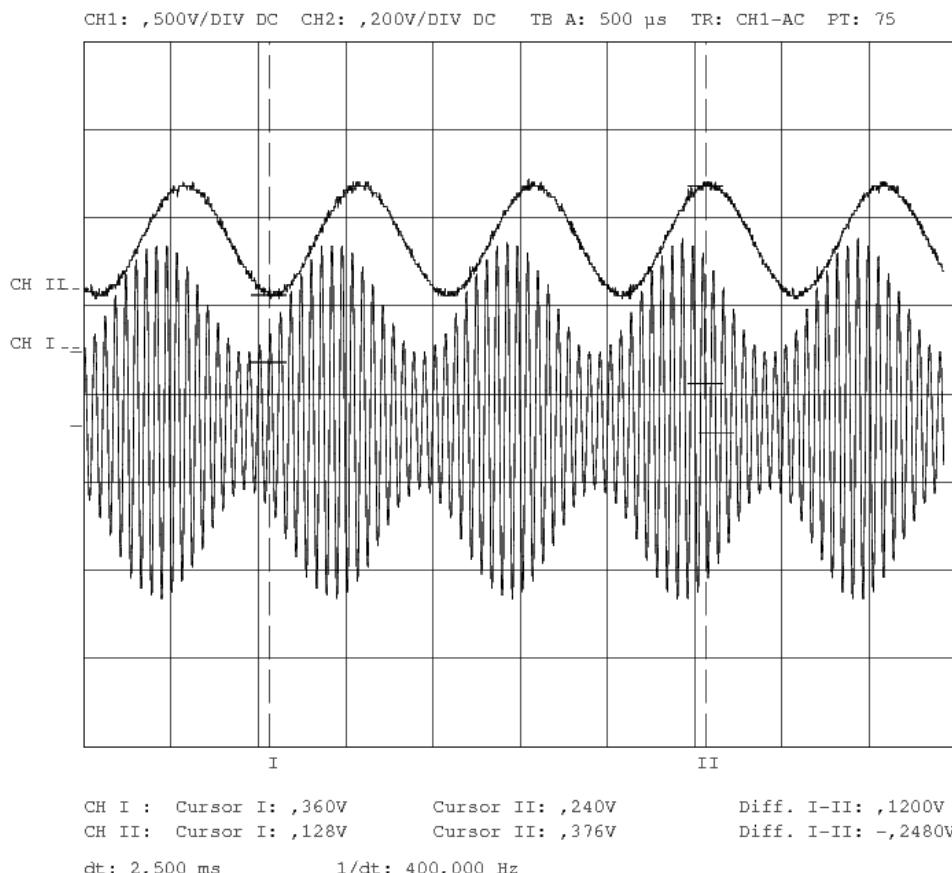


Figura 11.5: detalle de la señal moduladora de 18 Khz, y la detección de su envolvente, durante 5 ciclos.

12. Filtrado Paso Bajo en recepción

12.1 Descripción del módulo:

Tras rectificar la señal en el módulo anterior, aún tenemos varias componentes en frecuencia, de las cuales sólo nos interesan las componentes en banda base. Éste módulo se encarga de **filtrar toda la gama de frecuencias superiores a la banda de trabajo** antes de la modulación, es decir, audio con frecuencia de corte superior a 2Khz.

La configuración usada para implementar este filtro es idéntica a la utilizada en el transmisor AM (*apartado 2*).

12.2 Esquema circuital:

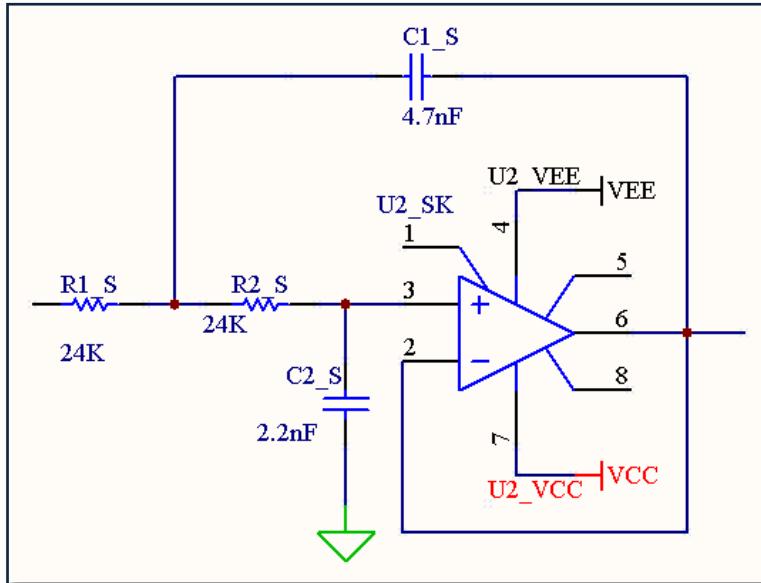


Figura 12.1: Filtro Paso Bajo (Shallen Key 2º orden).

12.3 Análisis teórico:

Debido a que este filtro *Paso Bajo* es idéntico al que se utilizó en el transmisor, omitimos escribir de nuevo las ecuaciones utilizadas. Únicamente recordaremos los parámetros característicos de esta etapa:

$$C = 2.2\text{nF} ; nC = 2C = 4.7\text{nF}$$

$$R_1 = 24\text{K}\Omega; R_2 = 24\text{K}\Omega$$

$$f_0 = \frac{1}{2\pi\sqrt{mn}RC} = 2131\text{ Hz}$$

$$Q = \frac{\sqrt{mn}}{m+1} = \frac{\sqrt{2}}{2} = \frac{1}{\sqrt{2}}$$

12.4 Obtención de medidas y diagramas de Bode:

A continuación se exponen las medidas realizadas sobre este filtro Paso Bajo. El resultado ha de ser prácticamente idéntico a los diagramas presentados en el *apartado 2.4*.

f (Hz)	A_v	A_v (dB)	Fase Φ
10	1,017	0	0
60	1,010	0	-2,886
90	1,008	0,070	-3,587
110	1,017	0,149	-4,359
201	1,027	0,235	-7,796
301	1,048	0,406	-12,675
600	1,119	0,977	-25,352
1000	1,22	1,727	-48,804
1400	1,07	0,588	-82,161
1500	1,01	0,086	-86,463
1600	0,916	-0,762	-90
1700	0,839	-1,525	-98,400
1800	0,778	-2,180	-102,349
1900	0,734	-2,686	-111,237
1950	0,730	-2,729	-120,914
1970	0,715	-2,912	-124,263
2000	0,661	-3,597	-124,112
2100	0,600	-4,431	-126,494
2200	0,534	-5,446	-132,376
2300	0,513	-5,794	-134,277
2400	0,476	-6,453	-139,329
2500	0,426	-7,411	-139,310
3000	0,295	-10,614	-147,785
4000	0,179	-14,940	-157,830
11000	0,042	-27,595	-180
20000	0,030	-30,603	-180

Tabla 12.1: Valores numéricos de módulo y fase del filtro Paso Bajo para distintas frecuencias.

Obtenemos la frecuencia de corte del filtro Paso Bajo:

$$f_0 = 1975 \text{ Hz}$$

Y al igual que hicimos con el filtro Sallen Key del transmisor (*apartado 2.4*), podemos determinar su factor de calidad real comparando la ganancia lineal a la frecuencia de corte respecto a la ganancia en tensión continua.

$$Q = \frac{|A_v(f_0)|}{|A_v(0)|} = \frac{\frac{0.66}{0.8}}{\lim_{f \rightarrow 0} \frac{0.8}{0.8}} = 0.82$$

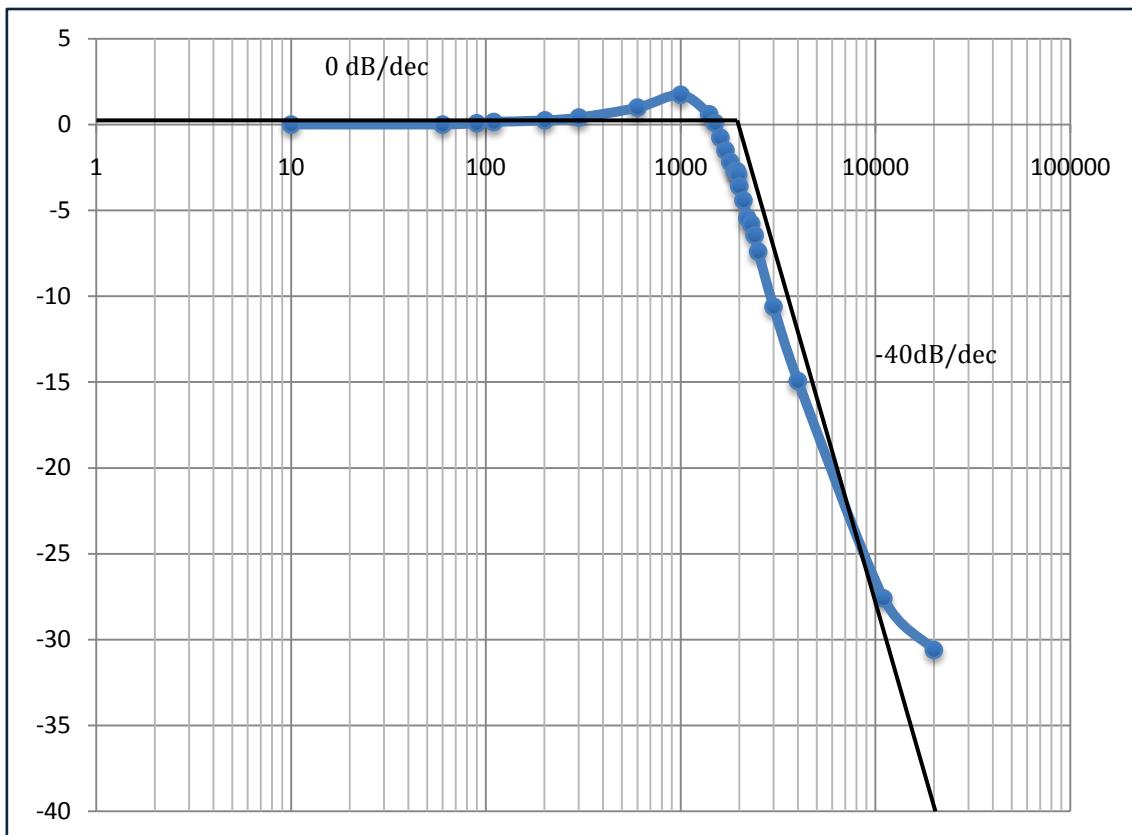


Figura 12.2: Módulo de la respuesta en frecuencia del Filtro Shallen Key a 2 khz

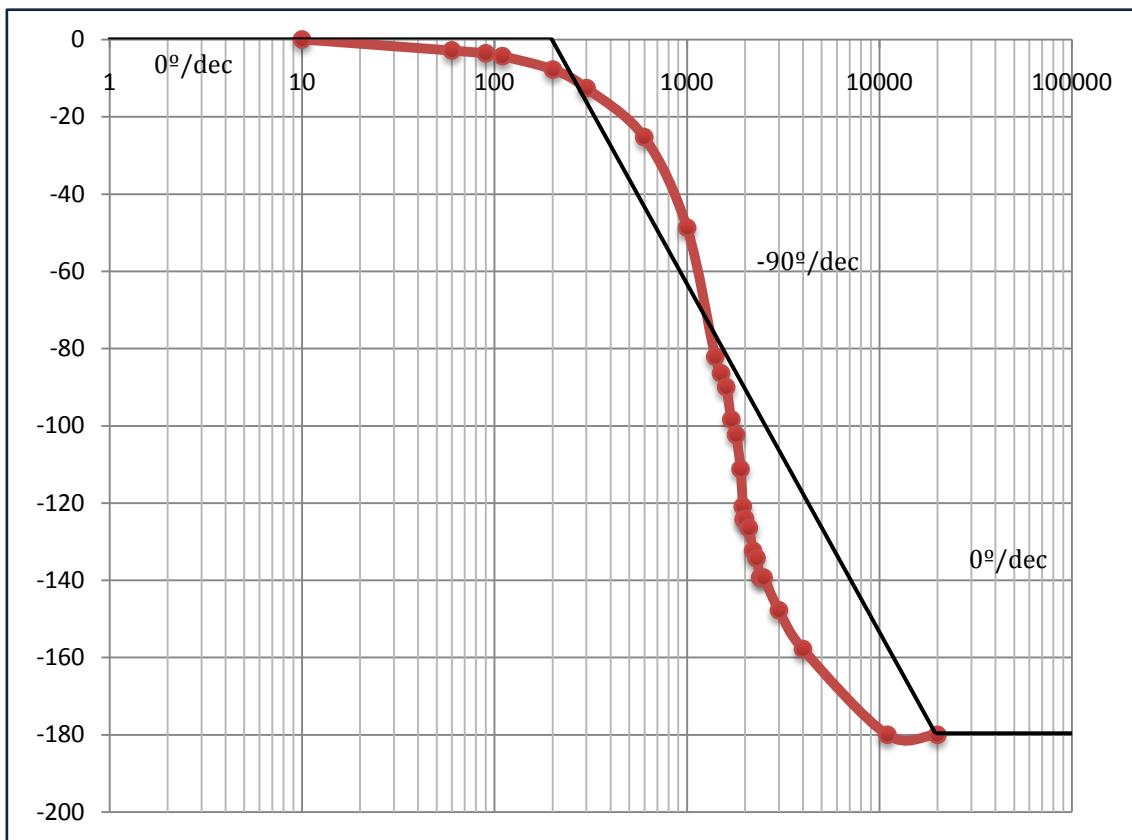


Figura 12.3: Fase de la respuesta en frecuencia del Filtro Shallen Key a 2 khz

12.5 Gráficas y capturas de osciloscopio:

En las siguientes figuras se mostrará la salida del detector de envolvente, y el efecto que produce un filtrado Paso Bajo: perdemos la componente a *frecuencia intermedia* y obtenemos la señal original.

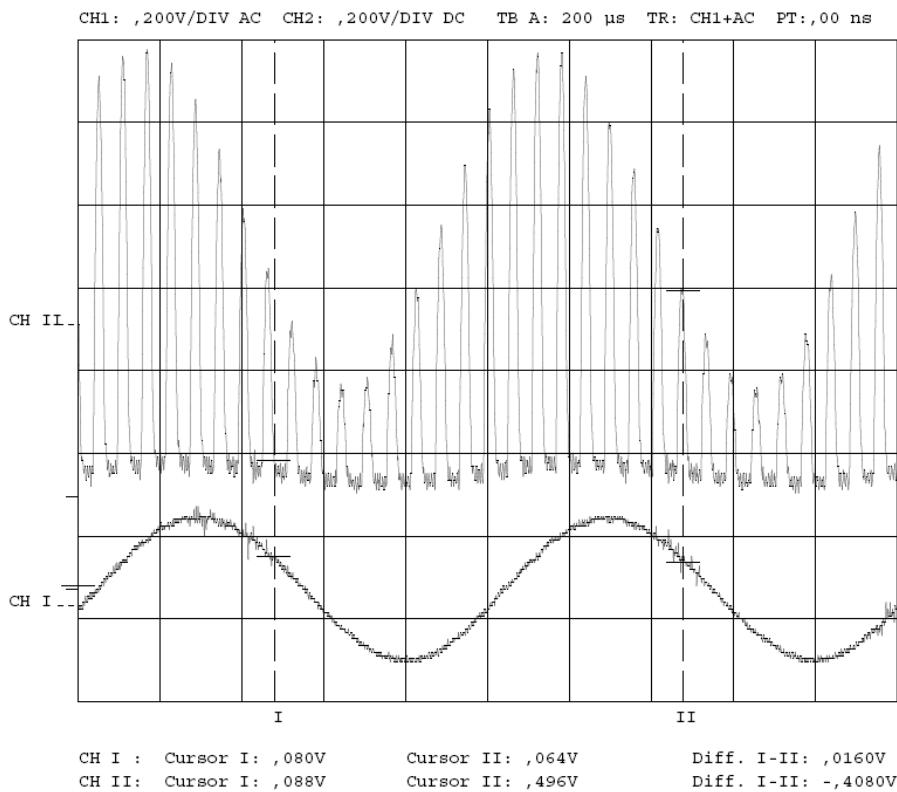


Figura 12.4: Salida del detector de envolvente rápido (arriba) y señal filtrada Paso Bajo (abajo) para una moduladora de 1Khz.

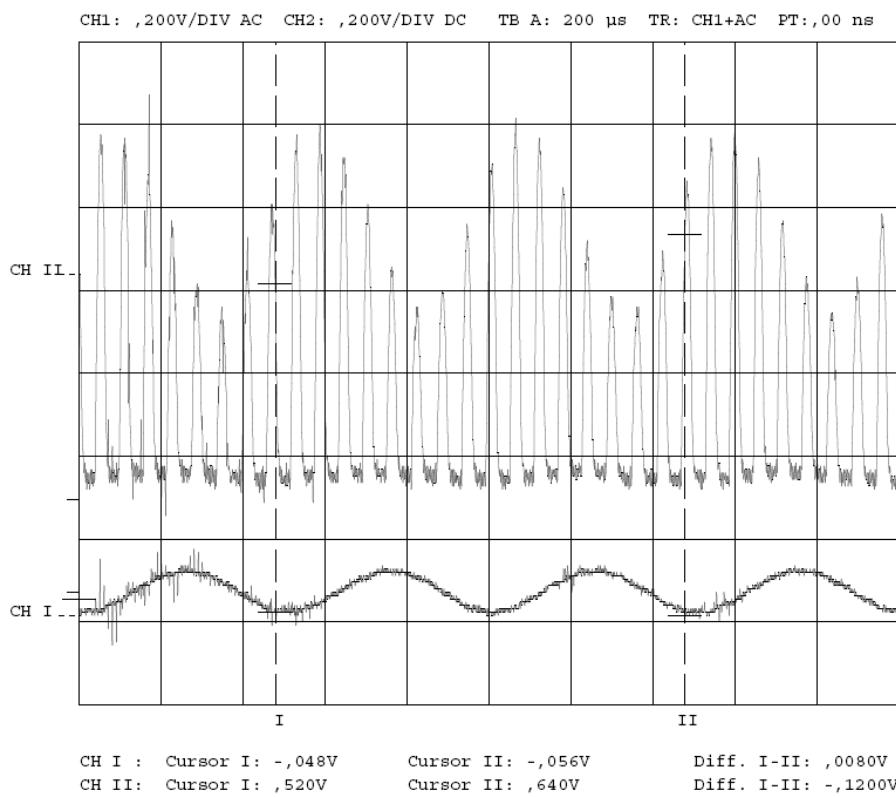


Figura 12.5: Salida del detector de envolvente rápida (arriba) y señal filtrada Paso Bajo (abajo) para una moduladora de 2Khz (máxima frecuencia de trabajo).

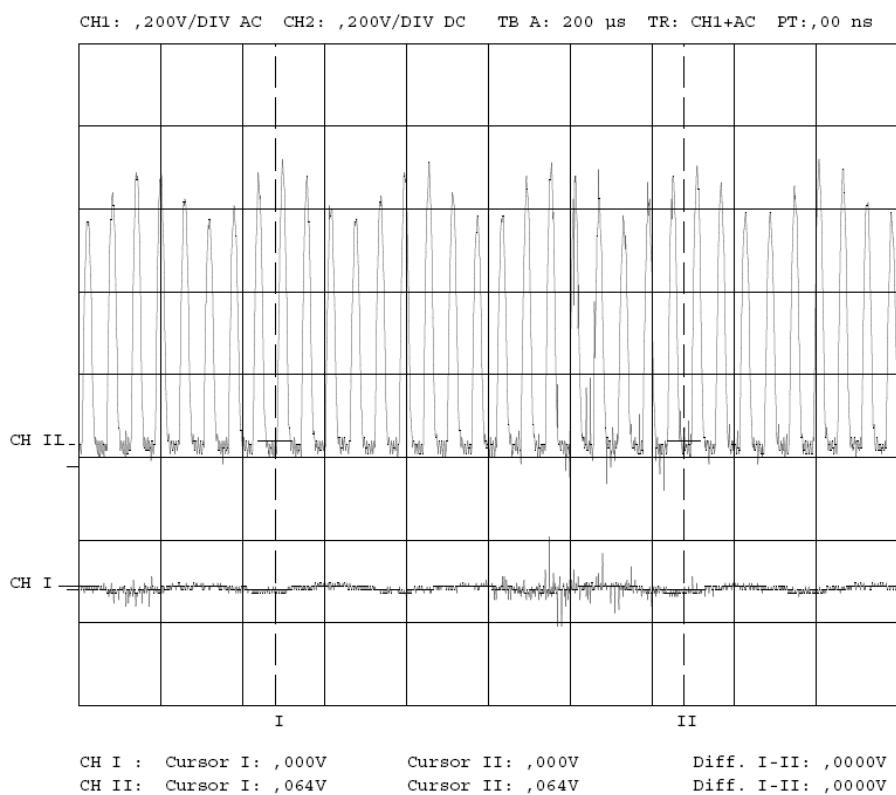


Figura 12.6: Salida del detector de envolvente rápida (arriba) y señal filtrada Paso Bajo (abajo) para una moduladora de 3Khz. Se puede apreciar una fuerte atenuación.

12.6 Simulación en Pspice™:

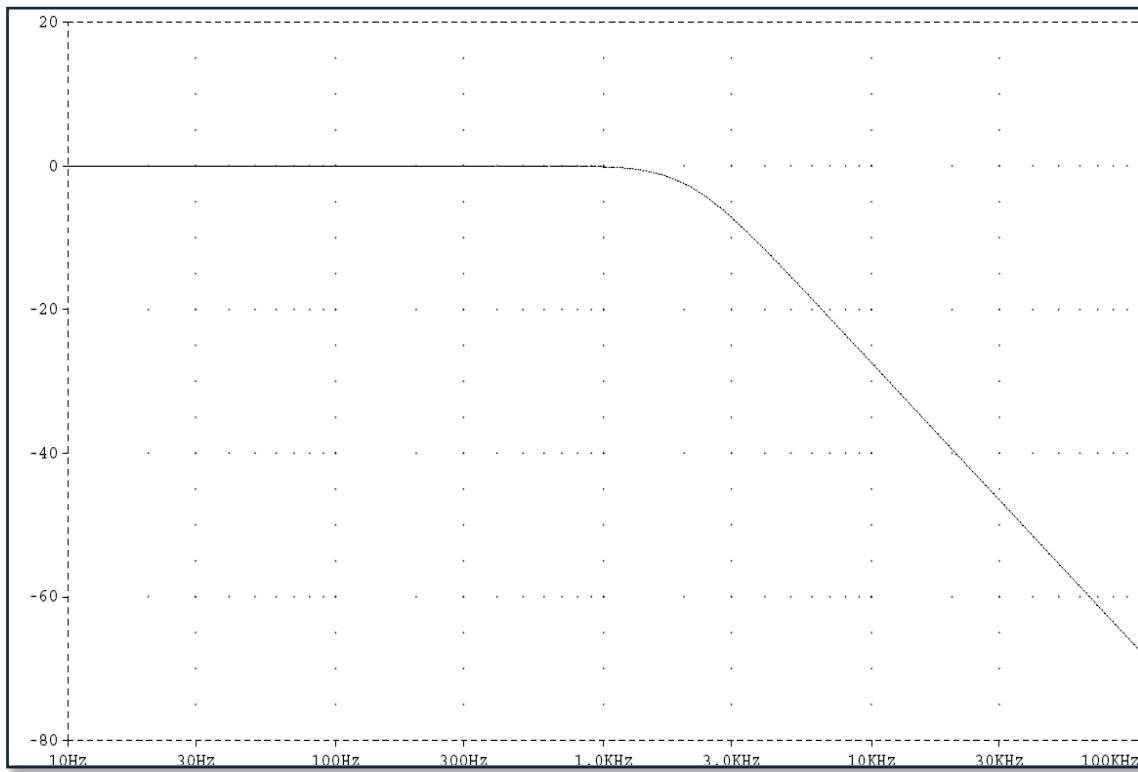


Figura 12.7: Módulo de la respuesta en frecuencia del filtro Sallen Key.

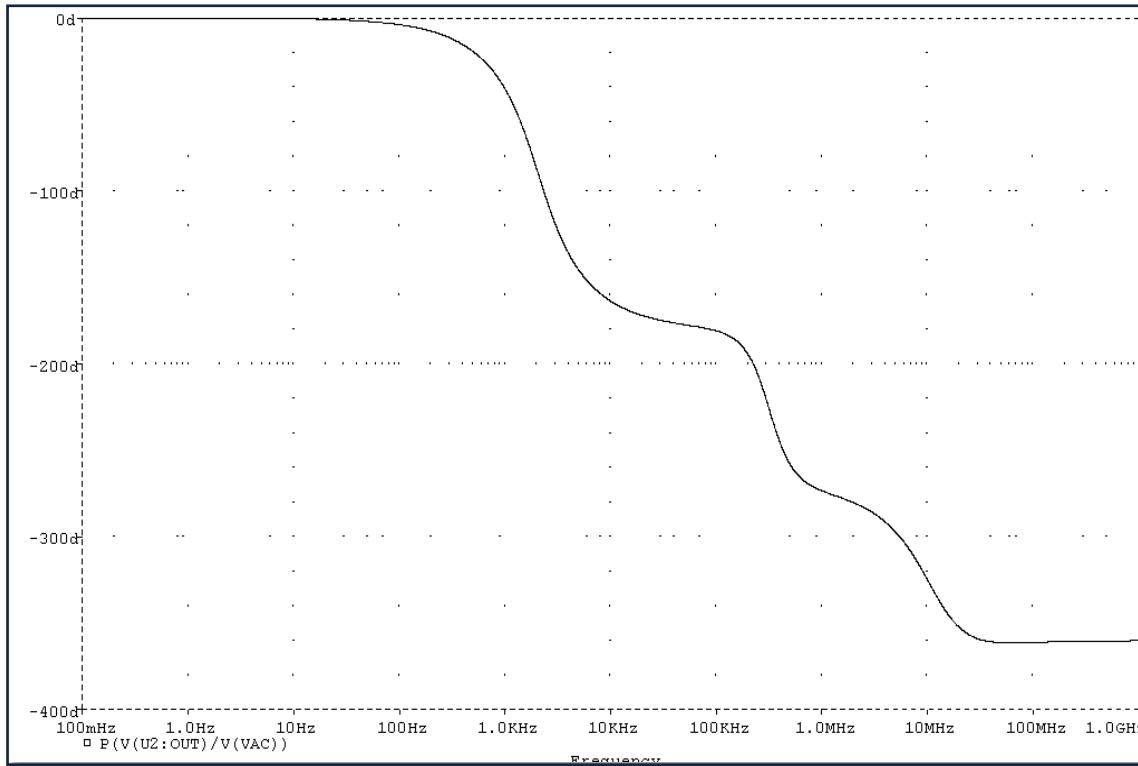


Figura 12.8: Fase de la respuesta en frecuencia del filtro Sallen Key.

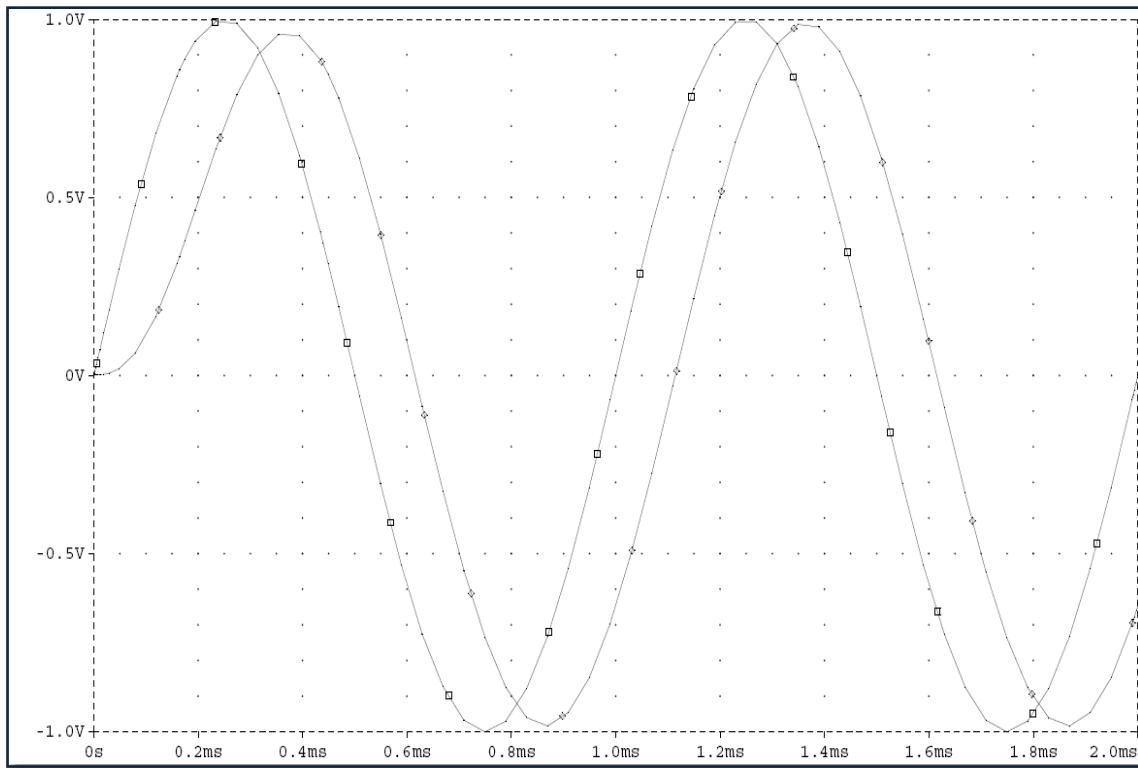


Figura 12.9: Tono de 1KHz y salida tras el filtro Sallen Key. Se produce un desfase apreciable.

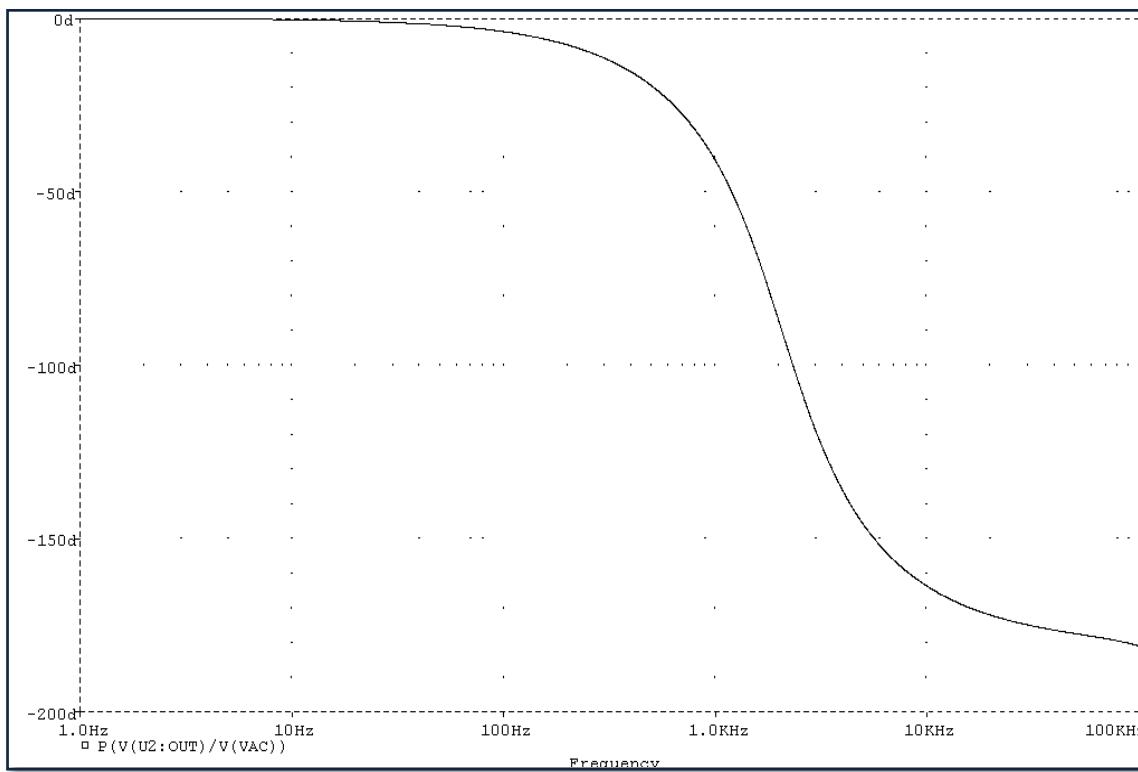


Figura 12.10: Fase de la respuesta en frecuencia para las medidas del laboratorio (hasta 100Khz aproximadamente).

13. Amplificador de potencia

13.1 Descripción del módulo:

Para acabar la recepción de la señal en el sistema analógico, introducimos una etapa amplificadora de potencia, la cual terminará de ofrecer el **nivel de amplitud adecuado** para un perfecto entendimiento de la voz transmitida. Este módulo además nos servirá como **adaptador de impedancias** entre la salida de nuestro sistema y la entrada a unos auriculares.

Sin la existencia de esta etapa, no sólo podríamos no escuchar con suficiente volumen el audio proveniente de la demodulación, sino que podríamos dañar el dispositivo que actúe de altavoz, pues generalmente no están preparados para ser conectados a cualquier impedancia de salida.

13.2 Esquema circuital:

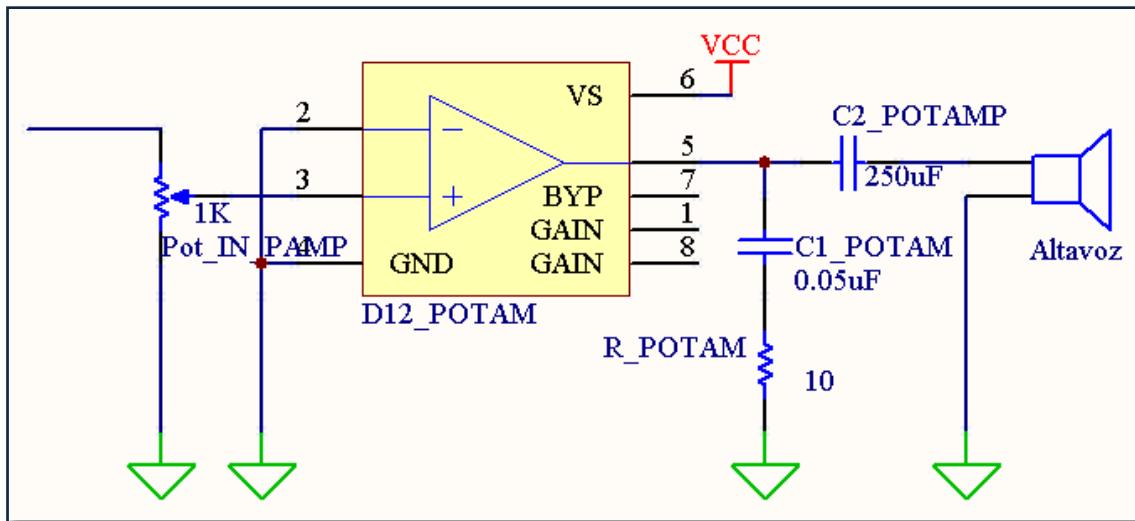


Figura 13.1: Amplificador de potencia.

13.3 Análisis teórico:

Para implementar este amplificador, consultamos la documentación ofrecida por el fabricante para el LM386. Obtuvo un montaje interesante capaz de producir una ganancia máxima de 20dB, controlada por un potenciómetro a la entrada que actúa de divisor de tensión. Además incluye dos condensadores (50nF y electrolítico de 250 μ F). El primero de ellos es el responsable de introducir un polo a alta frecuencia que provocará la caída de la ganancia A_{vmid} , y el segundo es el encargado de acoplar la etapa amplificadora a una resistencia de carga (impedancia de los auriculares).

Finalmente se reguló la ganancia a un valor apropiado según los niveles de amplitud habituales de nuestro sistema, evitando la saturación.

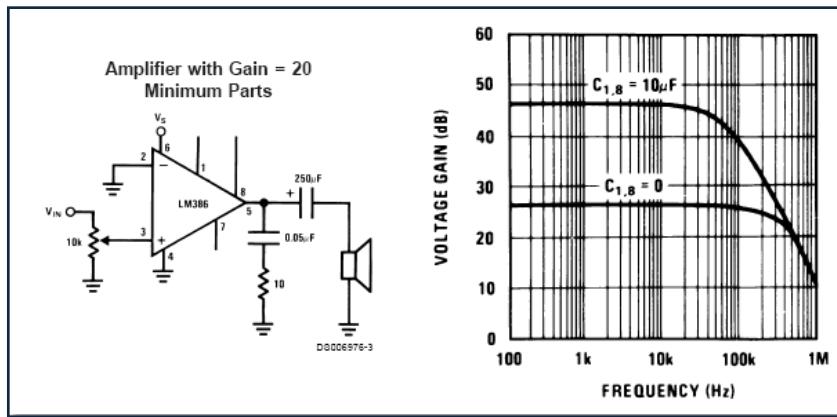


Figura 13.2: Esquema del amplificador de potencia y módulo de la respuesta en frecuencia. Fuente: Datasheet LM386 National Semiconductor.

13.4 Obtención de medidas y diagramas de Bode:

Procedemos a medir la respuesta en frecuencia (en módulo y fase) de esta etapa amplificadora de potencia:

$f(\text{Hz})$	A_v	$A_v (\text{dB})$	Fase ($^\circ$)
0	0,752	-2,476	
10	1,383	2,816	0
100	1,405	2,956	0
500	1,414	3,012	0
1000	1,414	3,012	0
2000	1,414	3,012	0
5000	1,414	3,012	0
10000	1,414	3,012	-1,262
20000	1,414	3,012	-2,399
100000	1,414	3,012	-10,021
200000	1,396	2,900	-20,906
300000	1,387	2,844	-49,275
350000	1,216	1,700	
380000	1,117	0,962	
400000	0,991	-0,079	
450000	0,829	-1,631	
1000000	0,278	-11,107	

Tabla 13.1: Valores numéricos de módulo y fase del amplificador de potencia para distintas frecuencias.

Como podemos comprobar en la figura 13.2, el comportamiento de este módulo es de tipo Paso Bajo, tal y como se especificaba en la documentación del LM386. Sin embargo, parámetro característico (frecuencia de corte) se ubica a tan alta frecuencia que es irrelevante para nuestro sistema analógico. A efectos prácticos, se considerará esta etapa con respuesta **módulo y fase constante**. La frecuencia de corte superior es:

$$f_{sup} \approx 390\text{Khz}$$

Y la ganancia a frecuencias medias:

$$A_{vmid} = 3.012 \text{ dB}$$

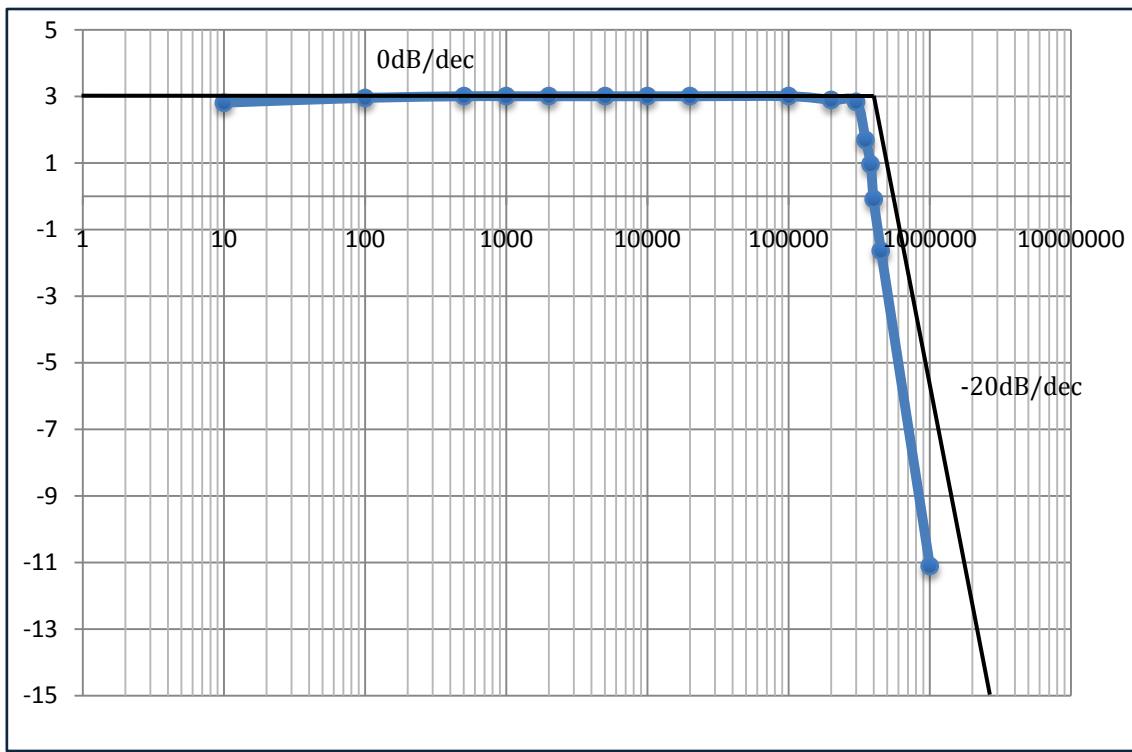


Figura 13.3: Módulo de la respuesta en frecuencia del amplificador de potencia. La ganancia a frecuencias medias cae 3dB a muy alta frecuencia, lo que no afecta al resto del sistema.

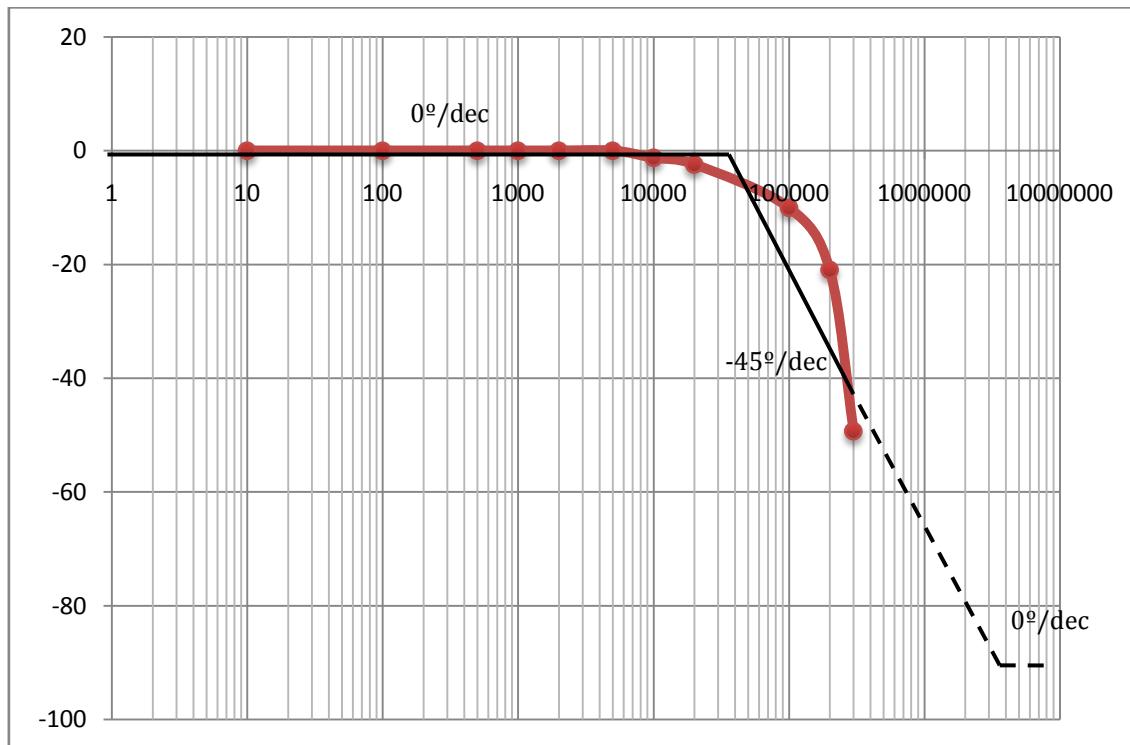


Figura 13.4: Fase de la respuesta en frecuencia del amplificador de potencia. La fase se mantiene constante (0°) en toda la banda de trabajo, y a muy alta frecuencia cae hasta un hipotético -90° .

13.5 Gráficas y capturas de osciloscopio:

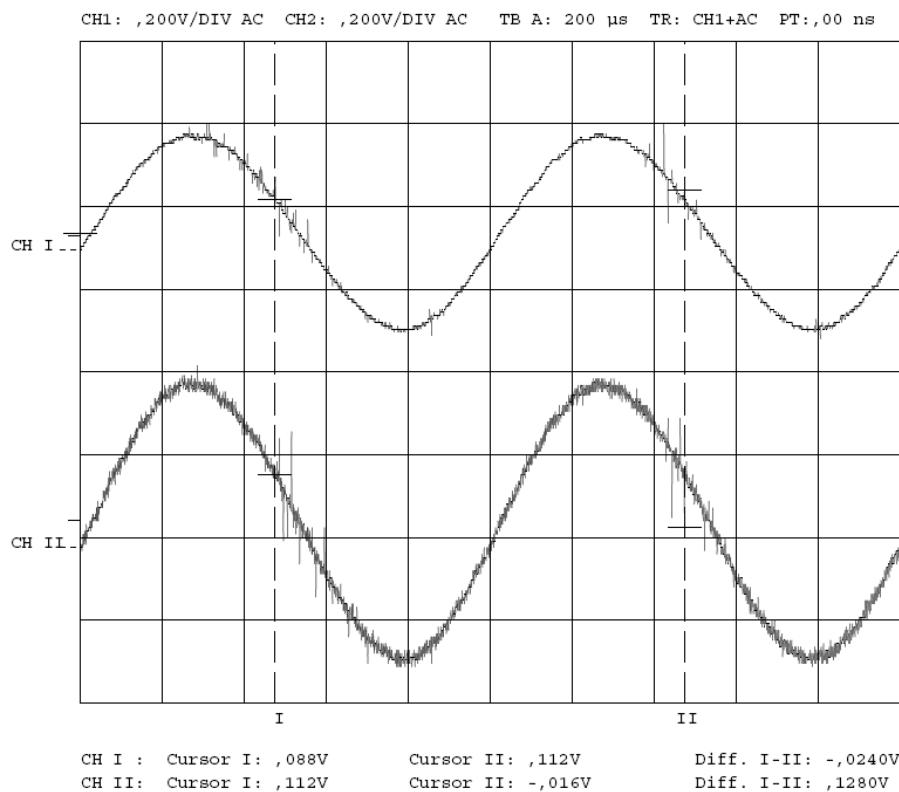


Figura 13.5: Entrada (arriba) de la envolvente de una señal moduladora de 1Khz al amplificador de potencia, y su correspondiente salida amplificada (abajo).

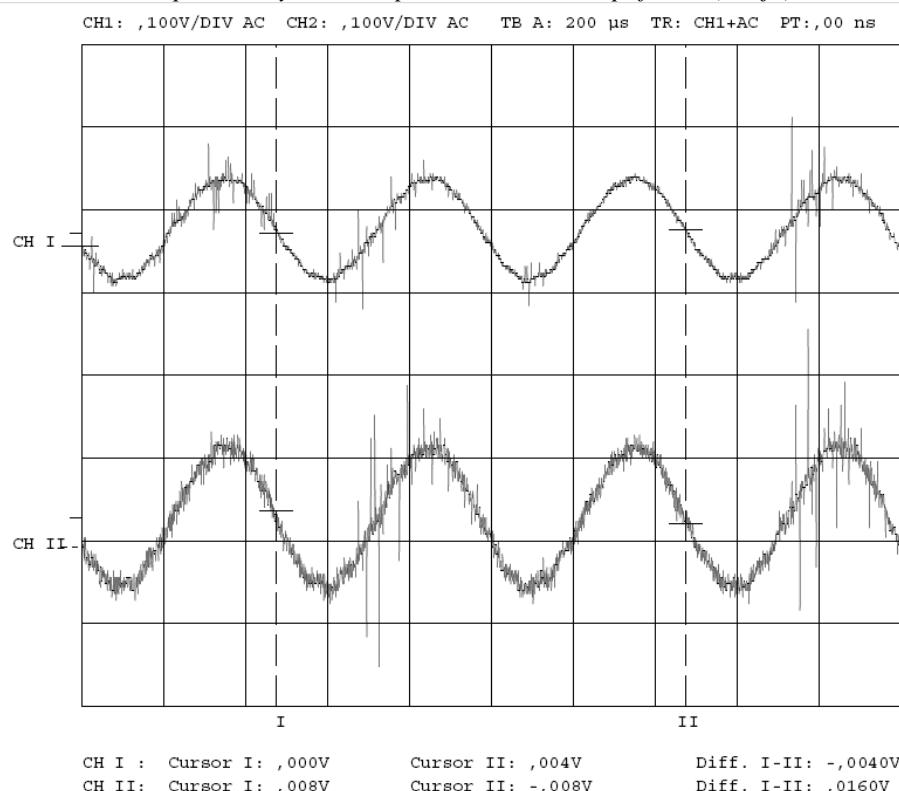


Figura 13.6: Entrada (arriba) de la envolvente de una señal moduladora de 2Khz al amplificador de potencia, y su correspondiente salida amplificada (abajo). Se puede apreciar el decremento de la relación Señal a Ruido (SNR) al estar al límite de la frecuencia de trabajo.

14. Detector de envolvente lento

14.1 Descripción del módulo:

Este módulo es el encargado de **detectar si hay señal** en el canal de recepción (estrictamente hablando detecta la **presencia de portadora**). La información obtenida se compara con una referencia para encender un **LED de detección de sintonía**.

El montaje es similar al del detector rápido de envolvente (un rectificador de media onda de precisión), salvo que en este módulo se rectifica la señal en sus **semiciclos negativos**. Asimismo la constante de tiempo de este circuito es bastante mayor que la del detector de envolvente rápido; esto es así porque en este módulo no importa obtener la forma de la señal, sino usar los semiciclos para **extraer un determinado nivel de tensión continua** en función de la cantidad de señal.

14.2 Esquema circuital:

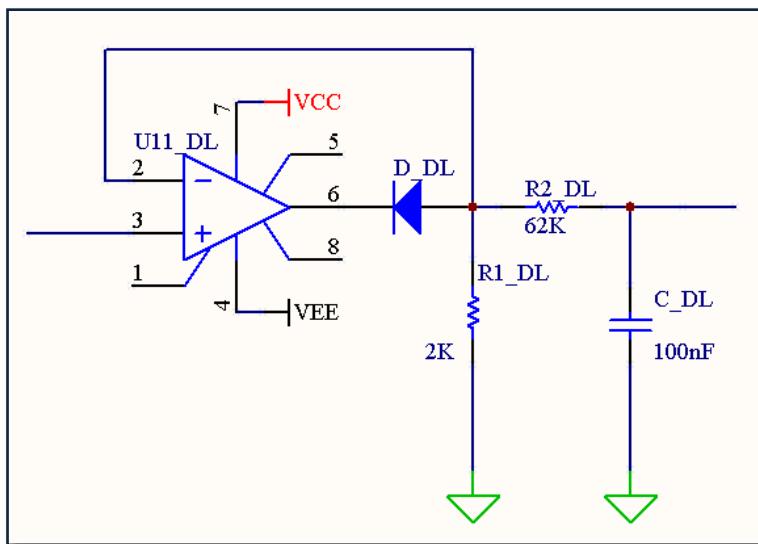


Figura 14.1: *Detector de envolvente lento. Rectifica los semiciclos negativos.*

14.3 Análisis teórico:

Uno de los primeros criterios de diseño con los que se trabajó fue que el rectificador de media onda, en vez de rectificar los *semiciclos positivos* de la señal, **rectificara los negativos**. En teoría, lo que se consigue con esto, es cargar más uniformemente la etapa anterior: en vez de tener a la salida los módulos rectificadores conectados en paralelo trabajando con los *semiciclos negativos*, configuramos un módulo funcionando para cada semiciclo de la señal (detectores rápido y lento).

Como posteriormente se decidió usar rectificadores de precisión de media onda²² en sustitución de los *rectificadores estándar*²³, la anterior condición dejaba de ser aplicable (la configuración rectificadora de precisión consta de –entre otros elementos– un A.O. que actúa como un buffer cuando el diodo conduce), puesto que ya no se carga

²² Ref. [1], página 423.

²³ Consistentes únicamente en una red RC con diodo.

en corriente la etapa anterior. De todas maneras la configuración –ya mencionada- de los diodos fue mantenida.

En cuanto a la red RC del presente rectificador, hay que mencionar que su constante de tiempo debe ser suficientemente grande como para eliminar todas las formas de señal existentes (todos los rizados), para obtener un nivel *aproximadamente de tensión continua* (proceso similar al de la *conversión AD-DC*, que hemos reflejado en la *figura 14.2*).

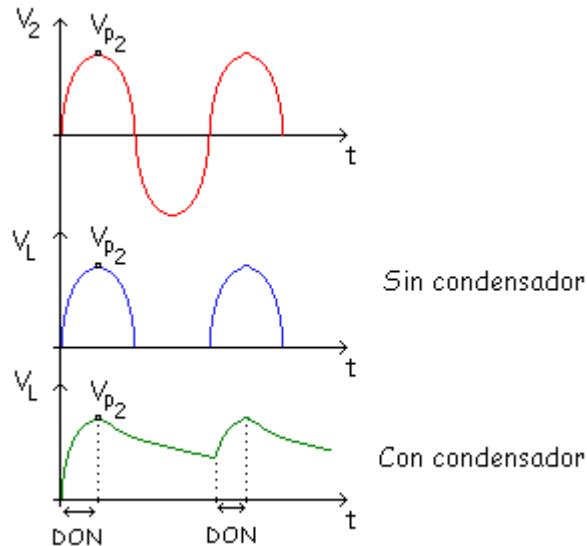


Figura 14.2: Señal de entrada (arriba), rectificada (centro), y filtrada (abajo) para extraer cierto nivel de continua.

Conforme más grande sea la constante de tiempo de la red RC, la última señal que aparece en la figura superior más se parecerá a una señal continua. En nuestro caso:

$$\tau \cong R_{2DL} \cdot C_{DL} = 62K\Omega \cdot 100pF = 6,2 \text{ ms}$$

Teniendo en cuenta que la máxima frecuencia de la señal moduladora rondará los 2000Hz , y por tanto $T = 2000^{-1} = 0,5 \text{ ms}$, podemos estar seguros de que nuestro detector de envolvente lento, será capaz de eliminar, tanto la portadora (recordemos, centrada en $FI=18\text{Khz}$) como la moduladora, mostrando a su salida un nivel de señal *cuasi-continuo* que usaremos para evaluar la detección de portadora (a continuación, apartado 15).

14.4 Gráficas y capturas de osciloscopio:

A continuación se muestran una serie de capturas de osciloscopio, que muestran tanto el proceso de rectificación (*figura 14.3*), como el proceso de *extracción de nivel de tensión continua* (*figura 14.4*).

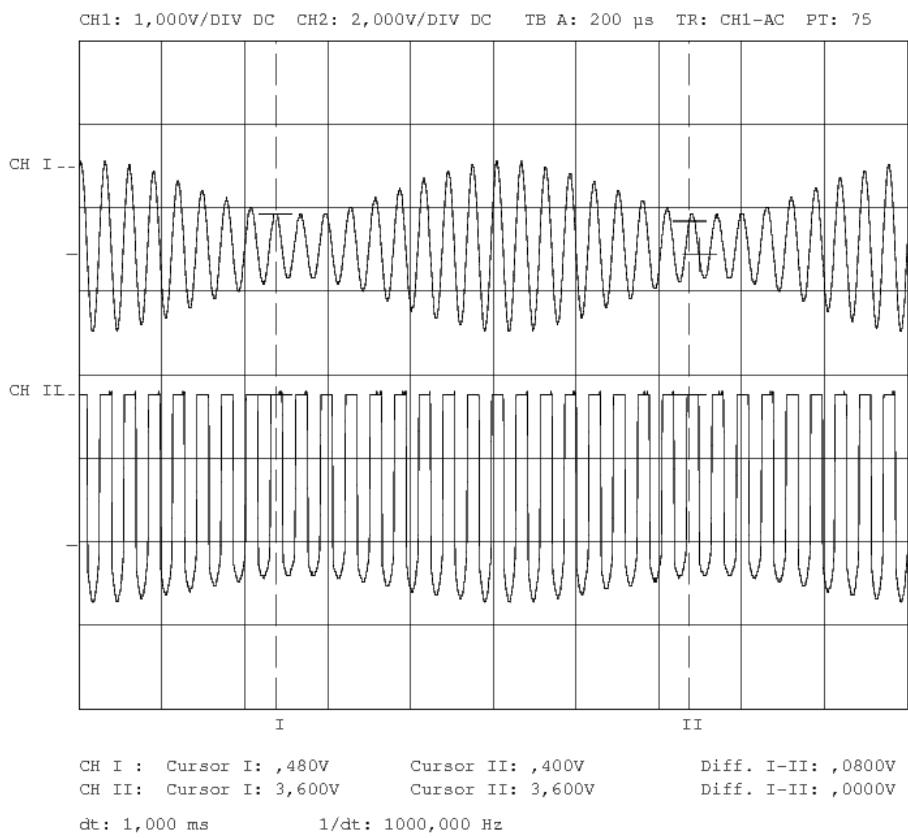


Figura 14.3: Señal de recepción superheterodina de 18 KHz (arriba) y rectificación de semiciclos negativos (abajo).

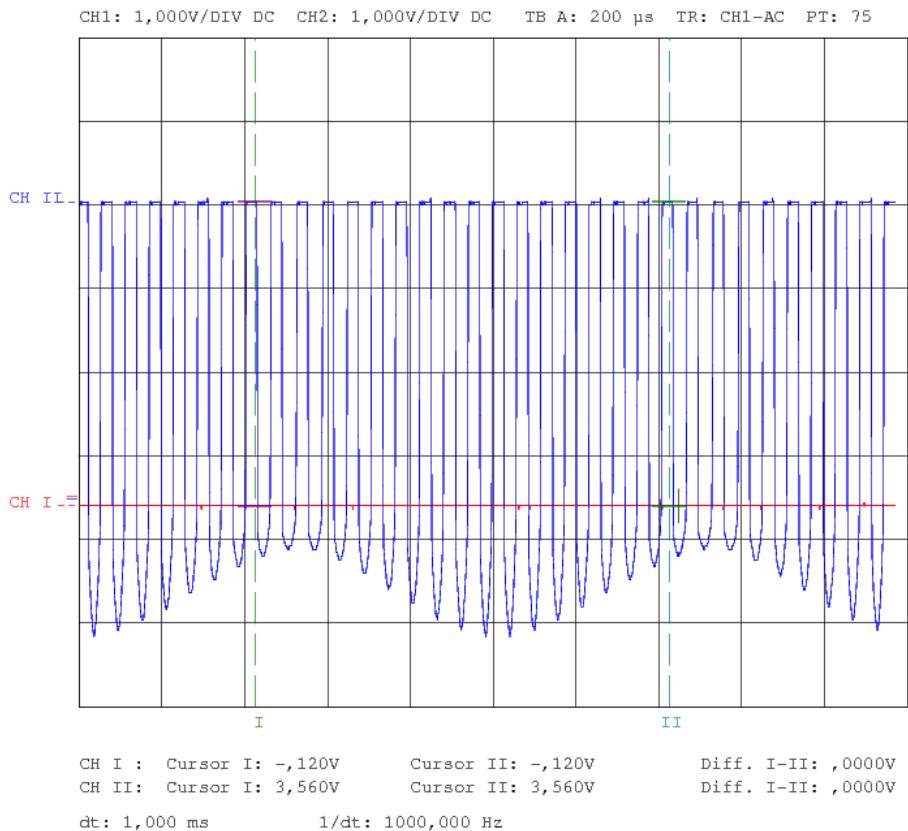


Figura 14.4: Señal a la salida del detector de envolvente lento junto a la tensión comparadora de nivel.

15. Comparador de nivel de portadora

15.1 Descripción del módulo:

El objetivo de esta etapa es encender un LED en función de que **se detecte sintonía en el canal de recepción**. Para ello se utiliza un montaje basado en el comparador LM311 y un **nivel de referencia prefijado**: de esta forma se genera una corriente en caso de superar el umbral y se enciende el LED de sintonía.

15.2 Esquema circuital:

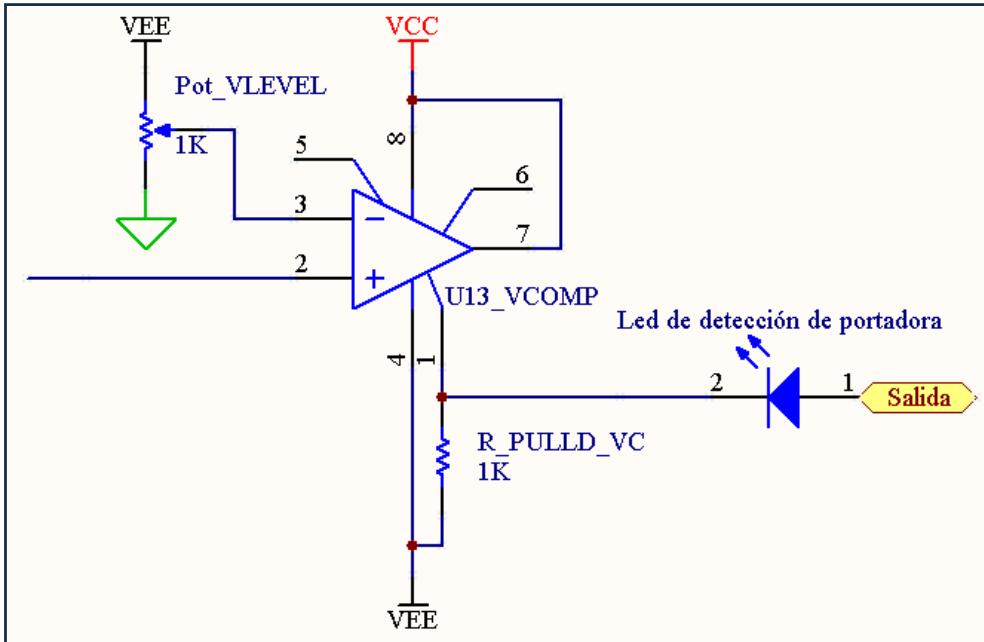


Figura 15.1: Detector de nivel de portadora con LED indicador.

15.3 Análisis teórico:

Para implementar este circuito comparador buscamos en la documentación facilitada por el fabricante: implementamos el montaje más adecuado para nuestro sistema: un comparador con alimentación simétrica y con referencia de tensión negativa (en el apartado anterior se utilizó un rectificador de semiciclos negativos, luego las tensiones obtenidas serán de valores negativos). Este circuito que se muestra marcado en la *figura 15.2*, incluye un resistor R_L no decisivo en el diseño del mismo, pues sólo afectará a la corriente de salida. Es por ello que escogemos un valor moderado de R_L ($1\text{K}\Omega$), suficiente para iluminar un LED.

Además utilizamos las gráficas proporcionadas por el fabricante para determinar el correcto funcionamiento de esta etapa. En la *figura 15.3* se puede visualizar la tensión a la salida de nuestro montaje, con la única diferencia de que se ha situado una referencia a masa. Cuando la tensión de entrada aumenta y se acerca a la referencia, produce a la salida V_{CC} . Sin embargo, cuando la tensión desciende y se acerca a la referencia, se produce a la salida V_{EE} . **Nuestra referencia es de -180mV y $R_L=1\text{K}\Omega$** , luego para tensiones inferiores a ese valor, se produce a la salida V_{EE} y se enciende el LED.

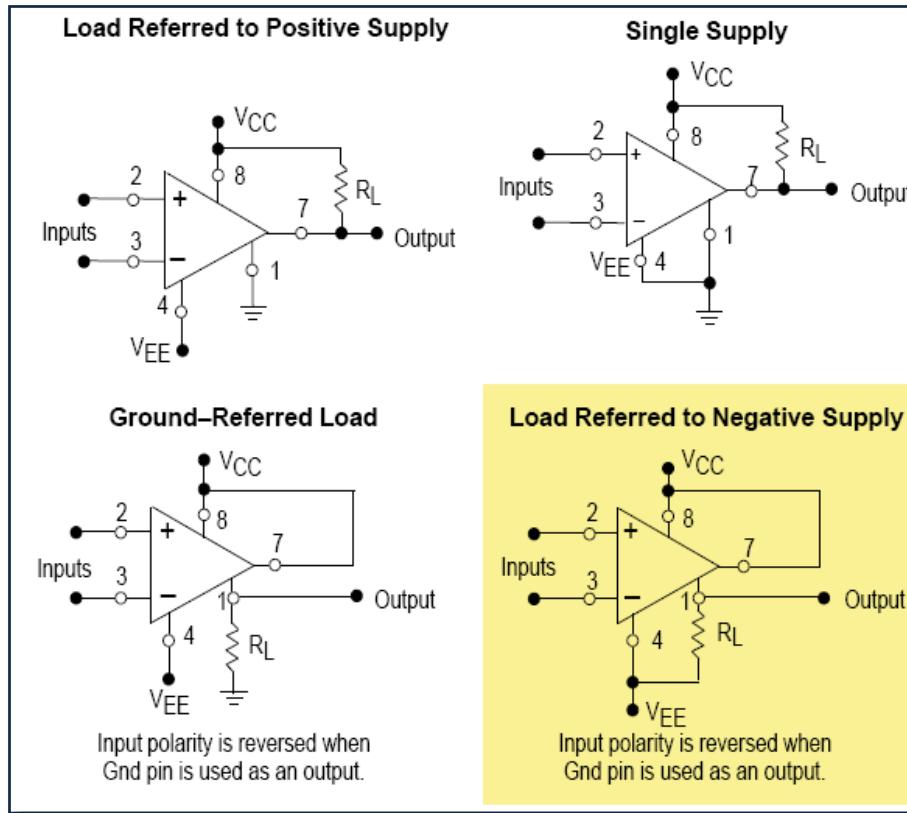


Figura 15.2: Implementaciones sugeridas por el fabricante para el LM311 y montaje utilizado.

Fuente: Datasheet LM211-LM311 Motorola.

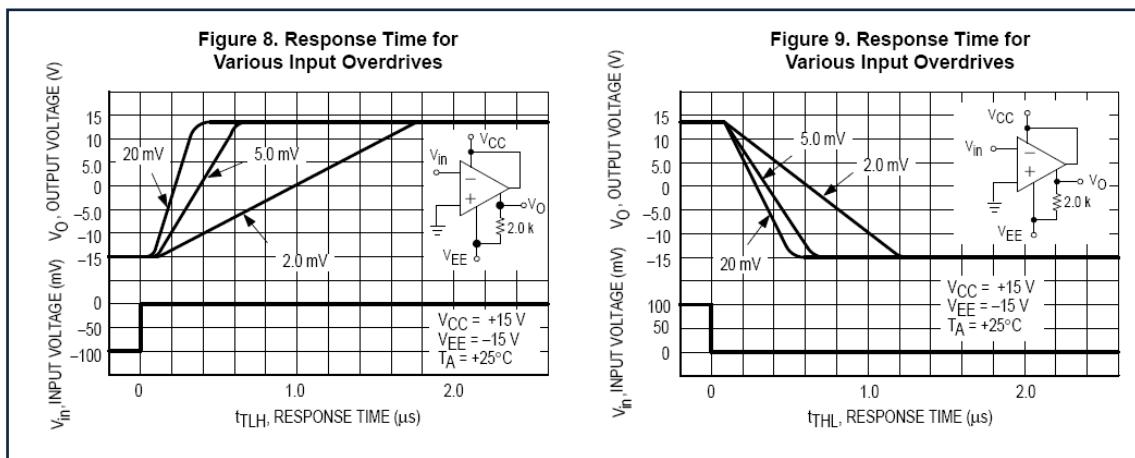


Figura 15.3: Gráficas de funcionamiento de esta etapa Se representa la tensión de entrada y salida en el dominio temporal. Fuente: Datasheet LM211-LM311 Motorola.

16. Resumen del sistema analógico

16.1 Esquemas circuitales:

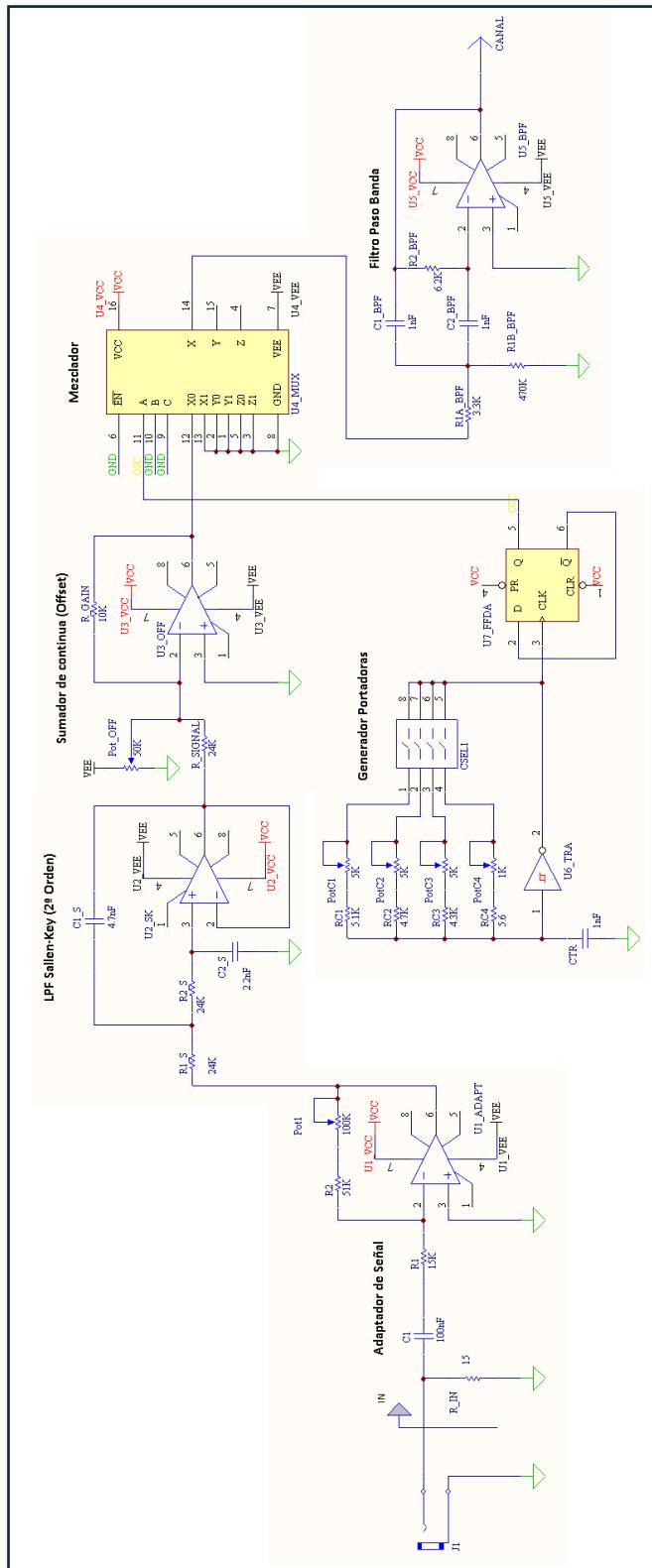


Figura 16.1: Esquema completo del transmisor. Adaptación de señal, filtrado Paso Bajo, modulación AM (4 posibles portadoras) y filtrado Paso Banda previo al canal.

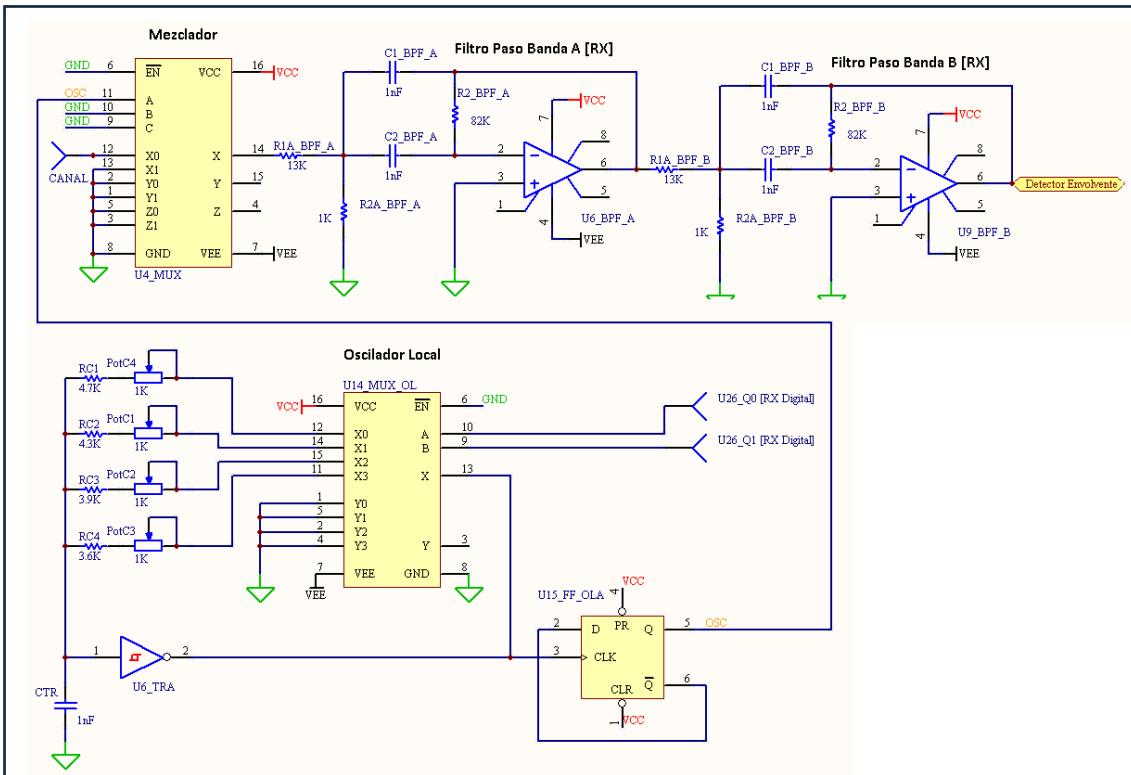


Figura 16.2: Primera parte del receptor: demodulación superheterodina con Oscilador Local, y doble filtrado Paso Banda.

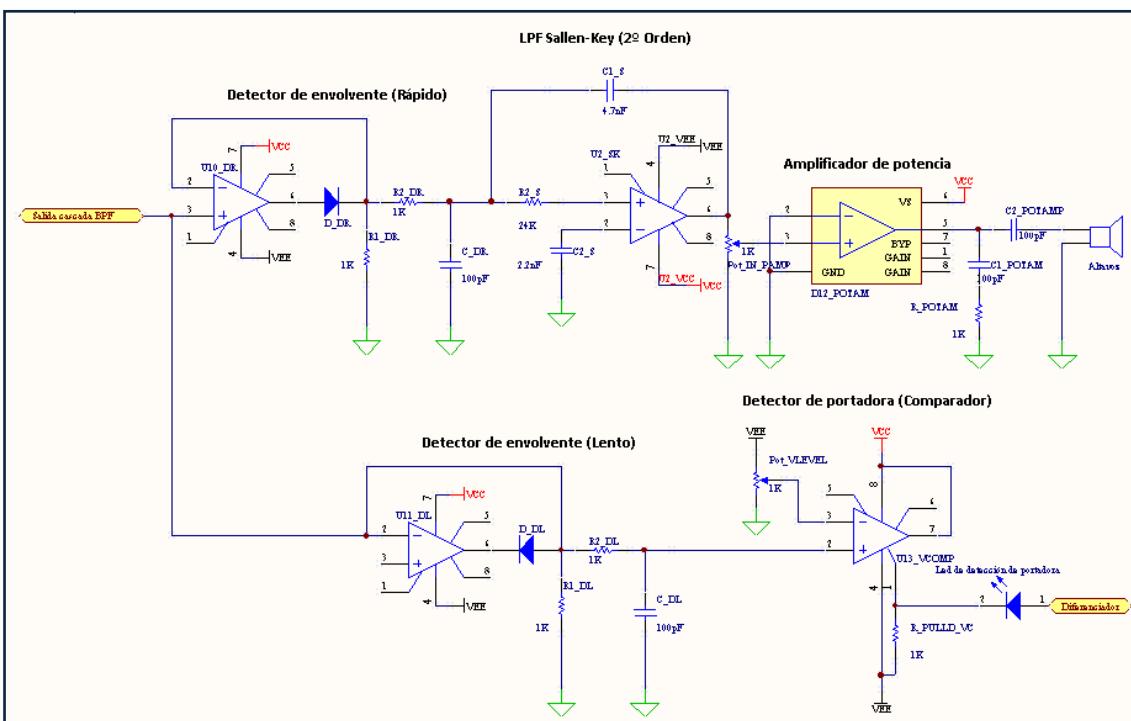


Figura 16.3: Segunda parte del receptor: detección de envolvente. Rectificación de ciclos positivos, filtrado y amplificación (arriba); rectificación de ciclos negativos y detección de portadora (abajo).

16.2 Gráficas y capturas de osciloscopio:

En el presente apartado vamos a mostrar los aspectos de mayor interés del **sistema analógico completo**, es decir, los efectos que las *portadoras cuadradas* producen en nuestra transmisión y recepción AM. Estamos hablando de la **intrusión** de señal cuando seleccionamos un canal en el receptor distinto del seleccionado en el transmisor. La explicación exhaustiva de este fenómeno se explicó en el apartado de *fundamento teórico y objetivos*, pero recordamos que se debía entre otras cosas, a la utilización de portadoras no sinusoidales y filtros Paso Banda simples.

En el primer gráfico, representamos la potencia de señal (realmente, ganancia) que recibimos al final de todo el sistema analógico en función de qué canal seleccionemos en el transmisor. Cada **color representa un esquema fijo de transmisión**, y en el eje de abcisas la selección del canal en recepción.

Se puede ver con claridad que cuando transmitimos voz en un canal, podemos escuchar esa misma voz a un volumen más bajo en el siguiente, mientras que en los restantes es imperceptible.

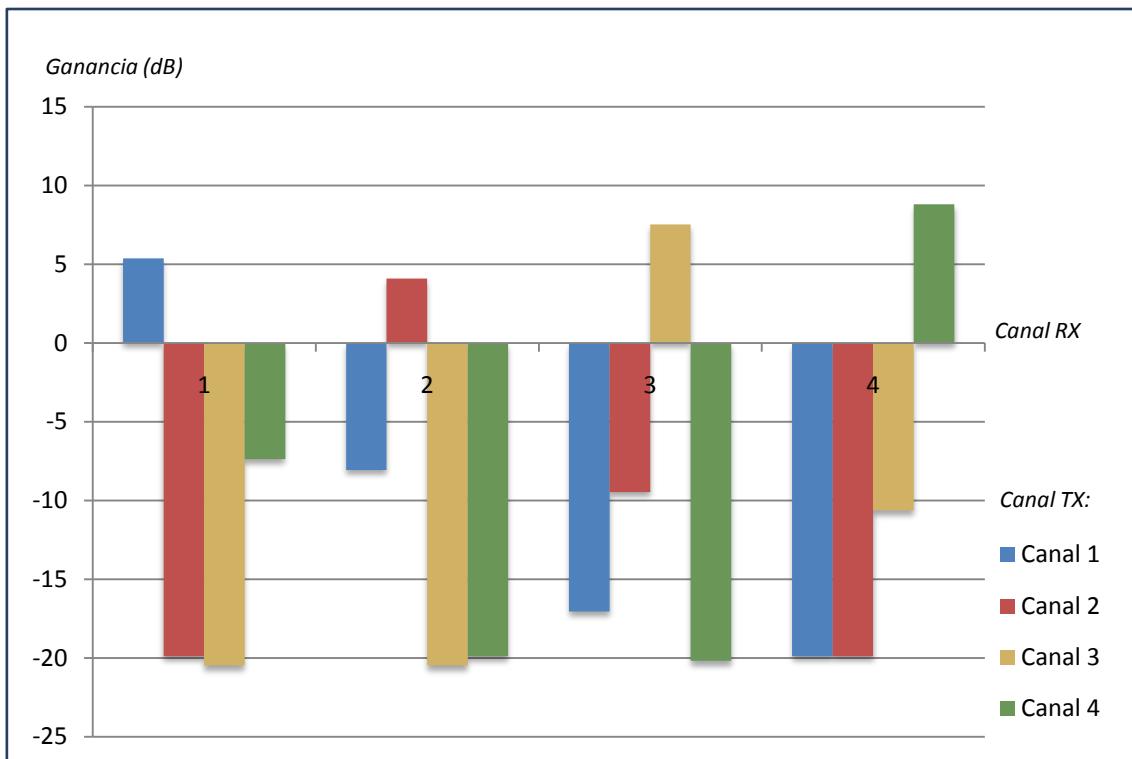


Figura 16.4: Diagrama de barras de la ganancia que sufre la señal de entrada en función del canal de transmisión y el canal de recepción.

A continuación reunimos en dos tablas la ganancia cuando transmitimos y recibimos en un mismo canal (*unidades lineales y decibelios*), y en las dos siguientes la atenuación cuando en el receptor seleccionamos otro canal (también en *unidades lineales y decibelios*). Hemos remarcado las atenuaciones más bajas, situaciones en las que se podrá escuchar la voz transmitida a *baja calidad*²⁴.

²⁴ Entendemos por *baja calidad* una potencia menor de señal, y por tanto, un decremento de la *SNR*.

	Canal 1	Canal 2	Canal 3	Canal 4
Canal 1	1.85			
Canal 2		1.6		
Canal 3			2.37	
Canal 4				2.75

Tabla 16.1: Ganancia (en unidades lineales) para los cuatro canales.

	Canal 1	Canal 2	Canal 3	Canal 4
Canal 1	5.37			
Canal 2		4.08		
Canal 3			7.52	
Canal 4				8.80

Tabla 16.2: Ganancia (en decibelios) para los cuatro canales.

	Canal 1	Canal 2	Canal 3	Canal 4
Canal 1		2.52	7.12	9.87
Canal 2	9.87		2.97	9.87
Canal 3	10.55	10.52		3.4
Canal 4	2.33	9.87	10.2	

Tabla 16.3: Atenuación (en unidades lineales) de los canales contiguos. Los canales con menor atenuación aparecen resaltados.

	Canal 1	Canal 2	Canal 3	Canal 4
Canal 1		8.05	17.05	19.89
Canal 2	19.88		9.46	19.88
Canal 3	20.46	20.42		10.62
Canal 4	7.36	19.88	20.17	

Tabla 16.4: Atenuación (en decibelios) de los canales contiguos. Los canales con menor atenuación aparecen resaltados.

Finalmente, incluimos la justificación de estas tablas con pantallas de osciloscopio que comparan la señal de entrada al sistema analógico (teniendo en cuenta el efecto de carga) con la salida. Las pruebas (las 16 combinaciones de canales en transmisión-recepción) se hicieron con un tono de 1000Hz, que está situado en la *banda de trabajo*.

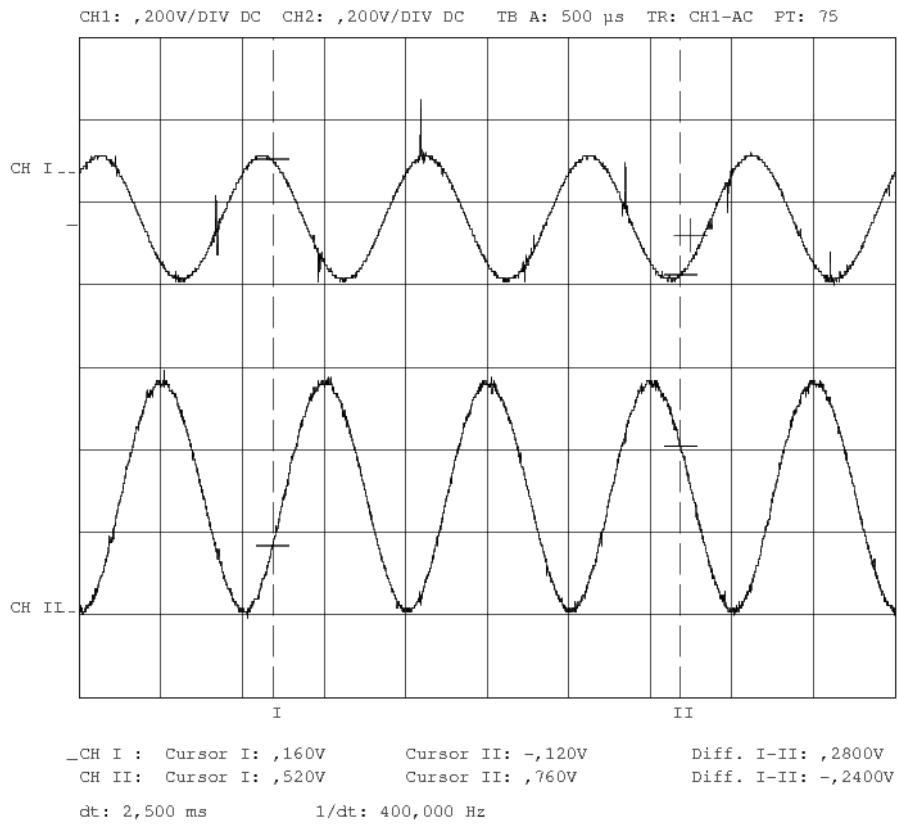


Figura 16.5: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por el mismo canal.

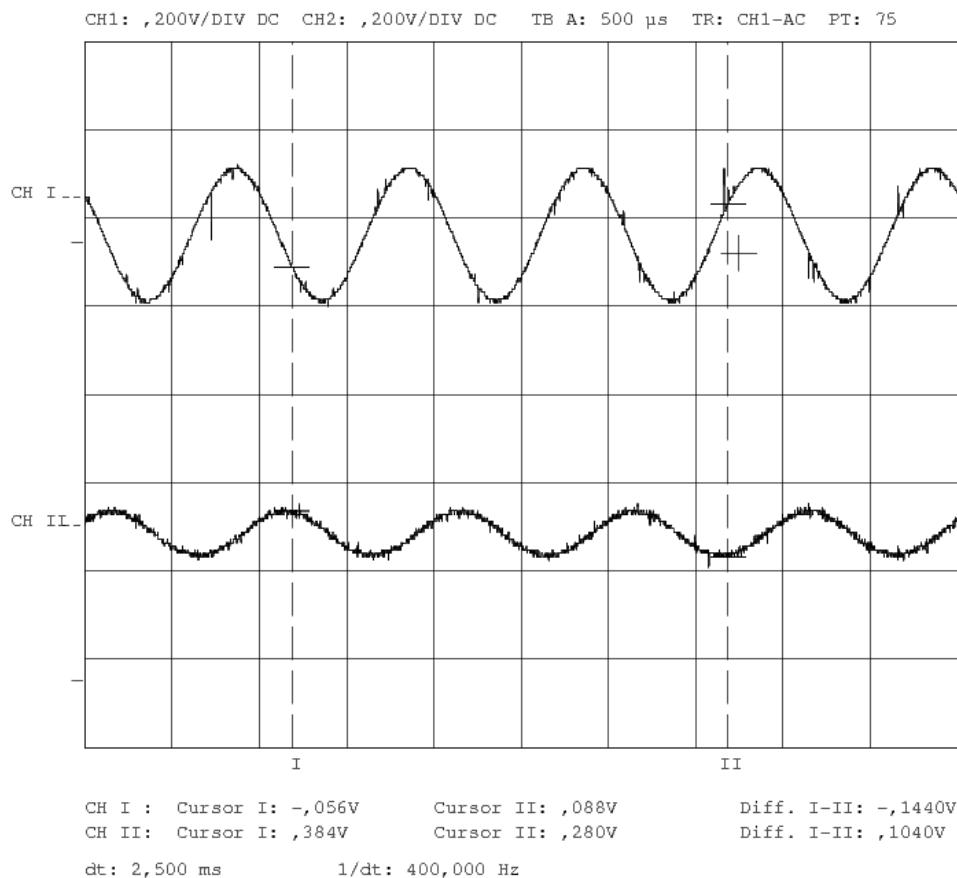


Figura 16.6: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por canal 2 (su réplica espectral).

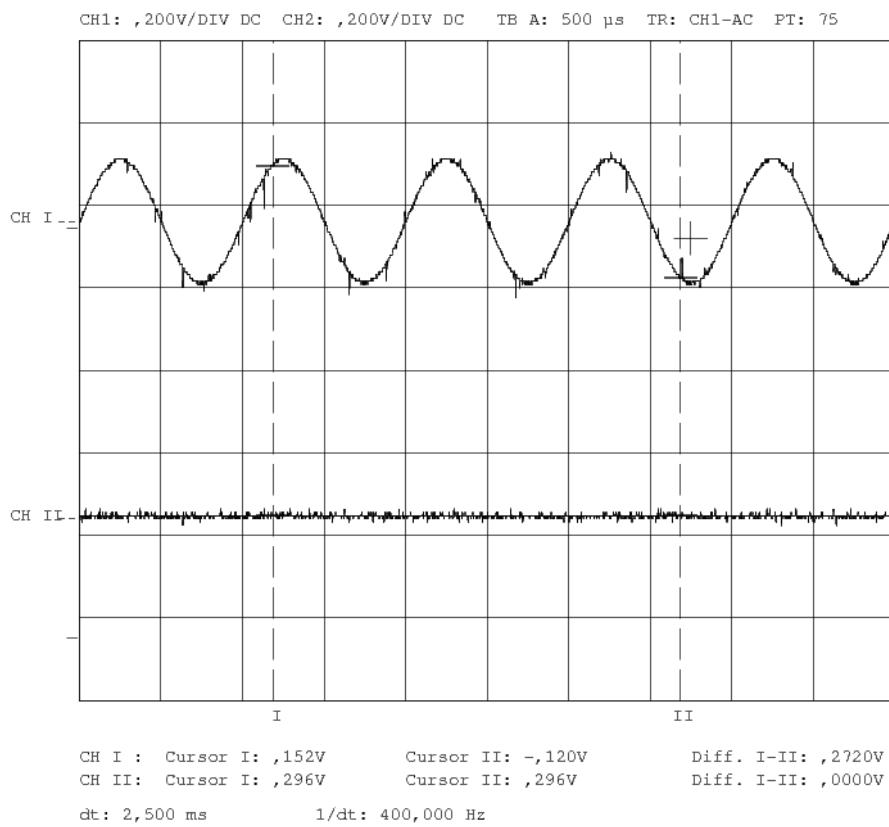


Figura 16.7: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por canal 3.

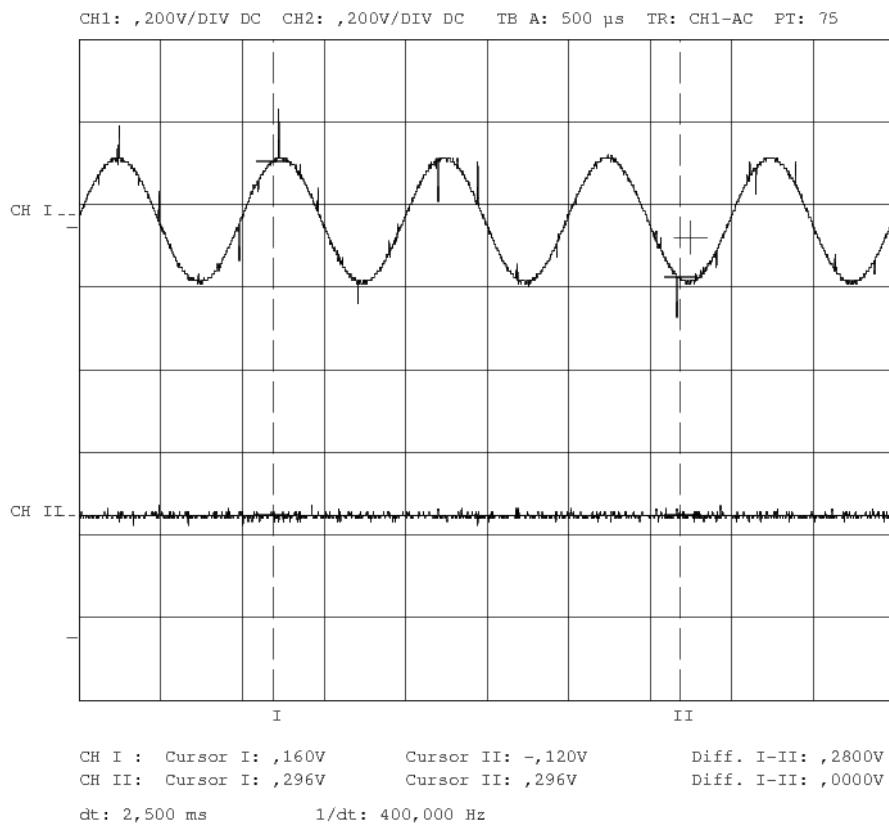


Figura 16.8: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por canal 4.

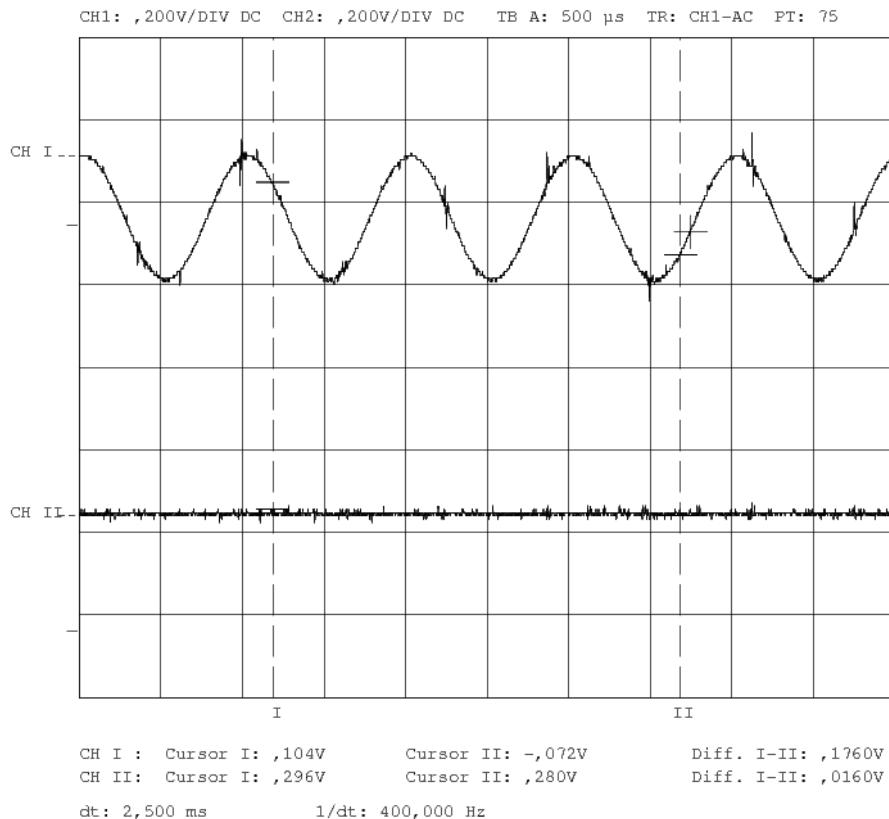


Figura 16.9: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por el canal 1.

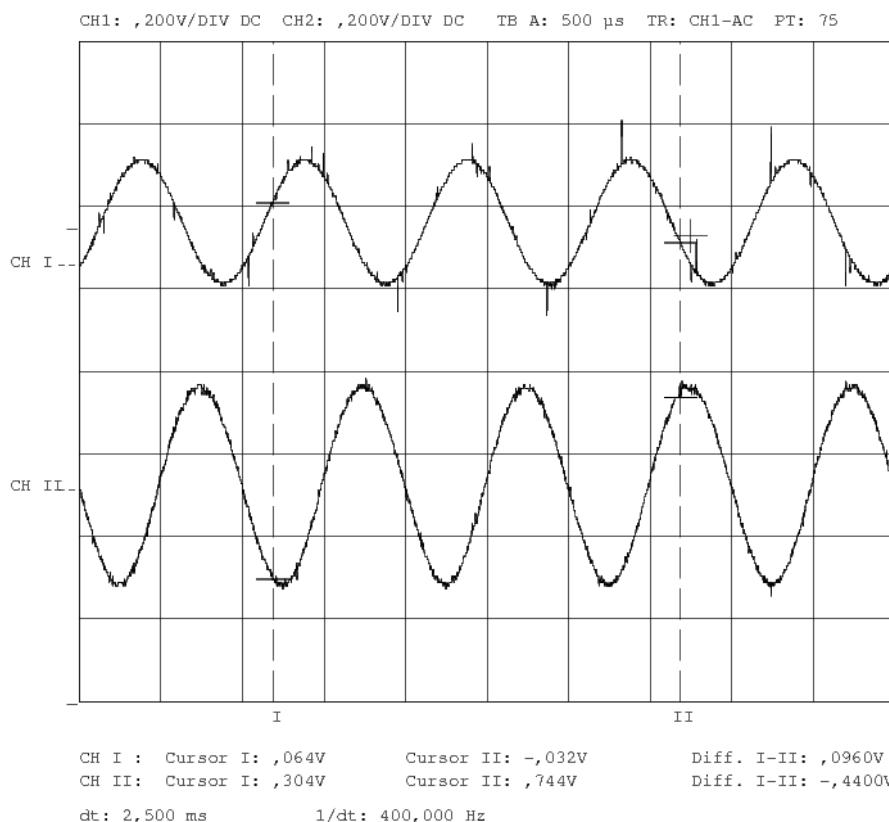


Figura 16.10: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por el mismo canal.

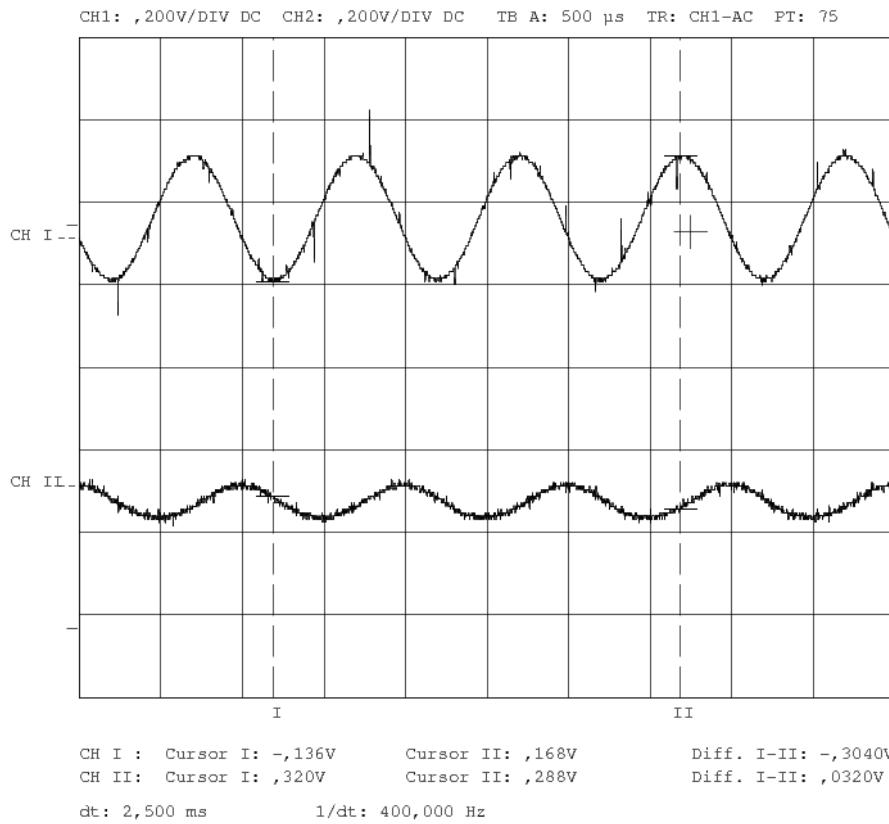


Figura 16.11: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por canal 3 (su réplica espectral).

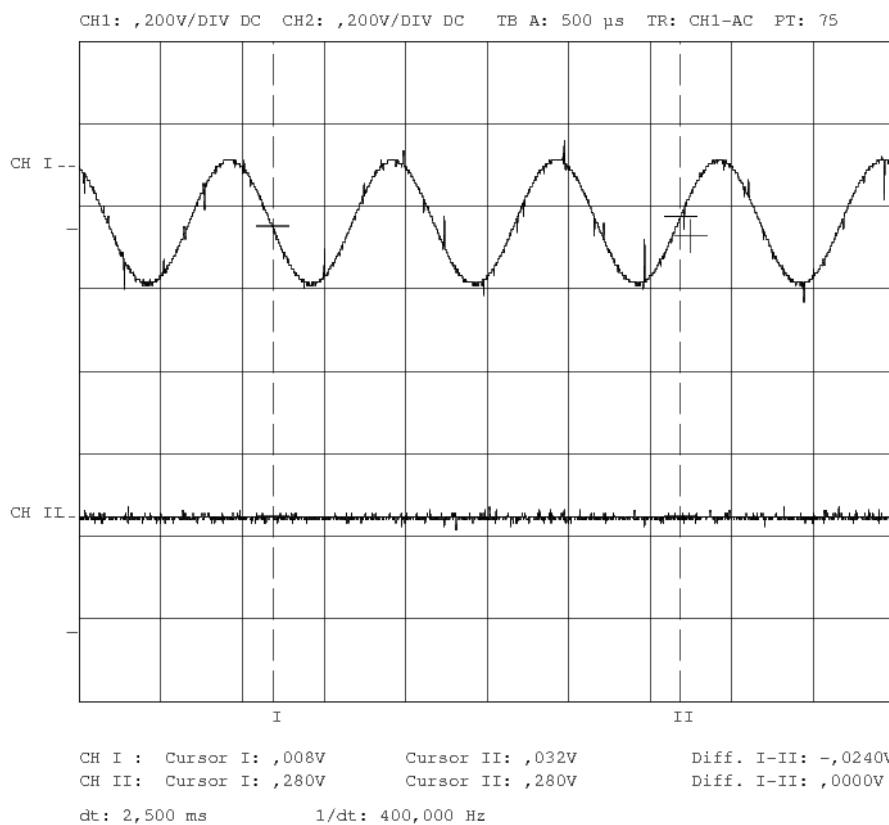


Figura 16.12: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por canal 4.

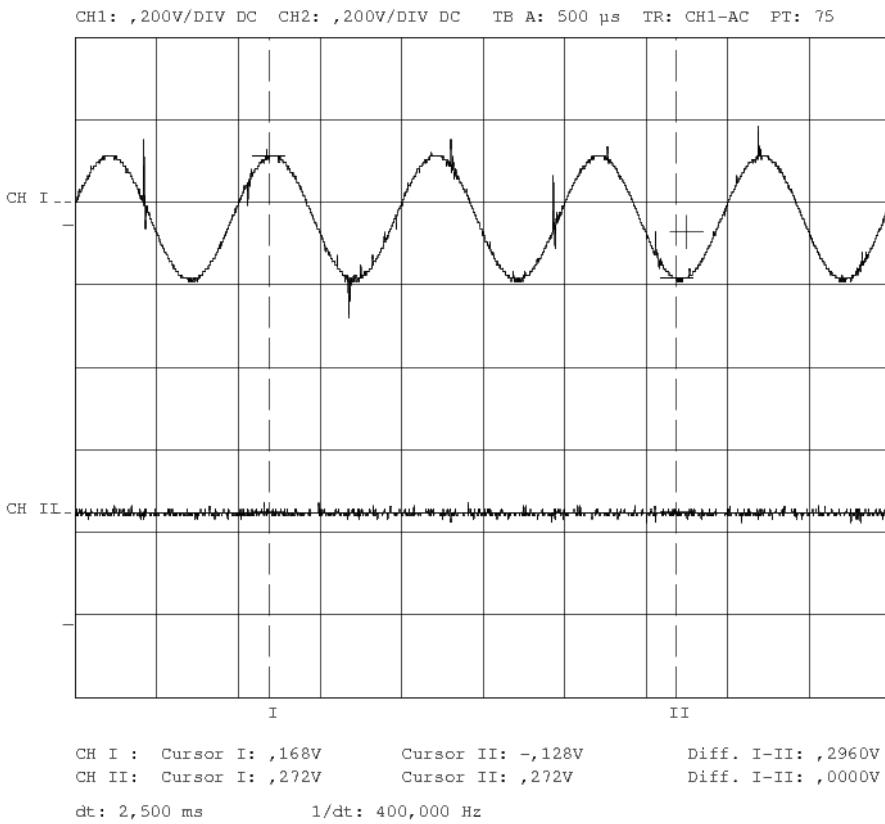


Figura 16.13: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por el canal 1.

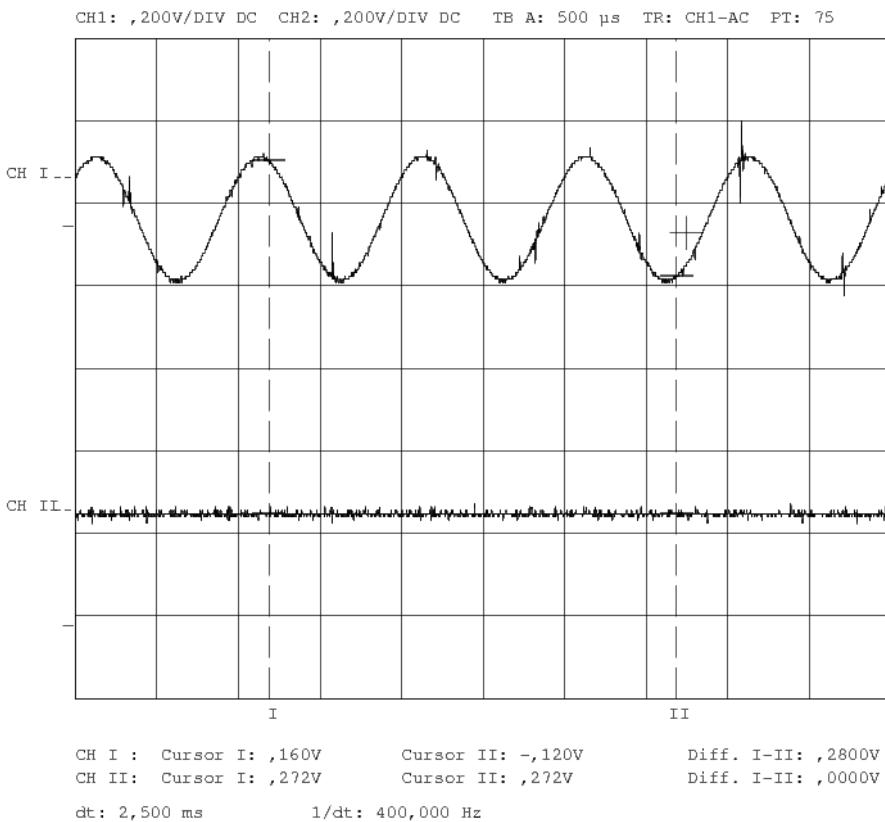


Figura 16.14: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por el canal 2.

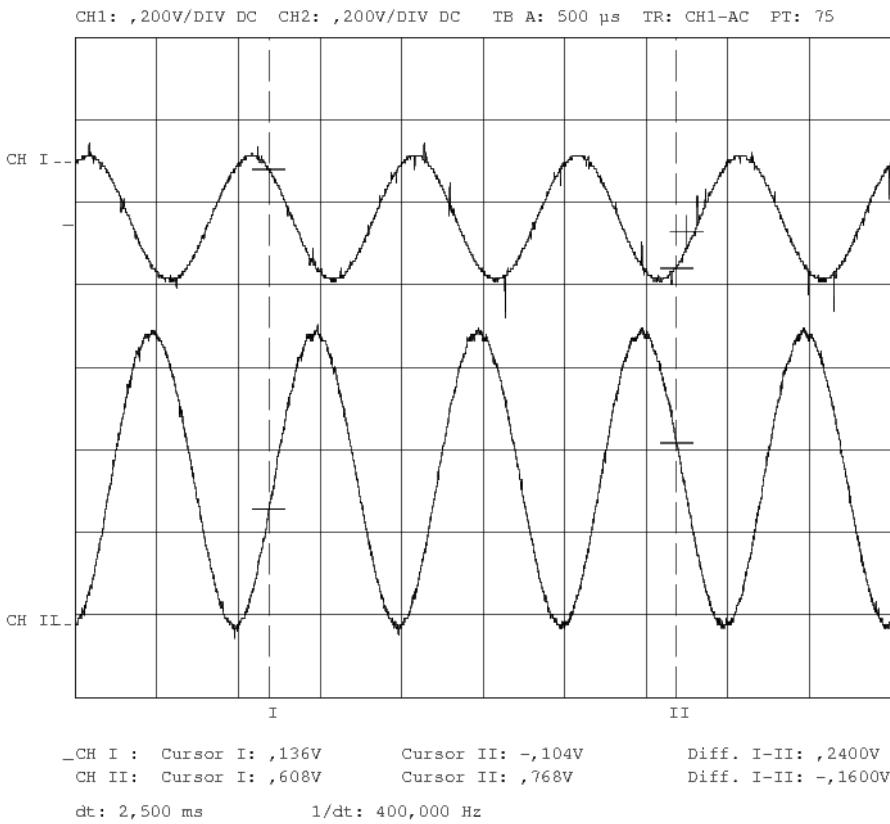


Figura 16.15: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por el mismo canal.

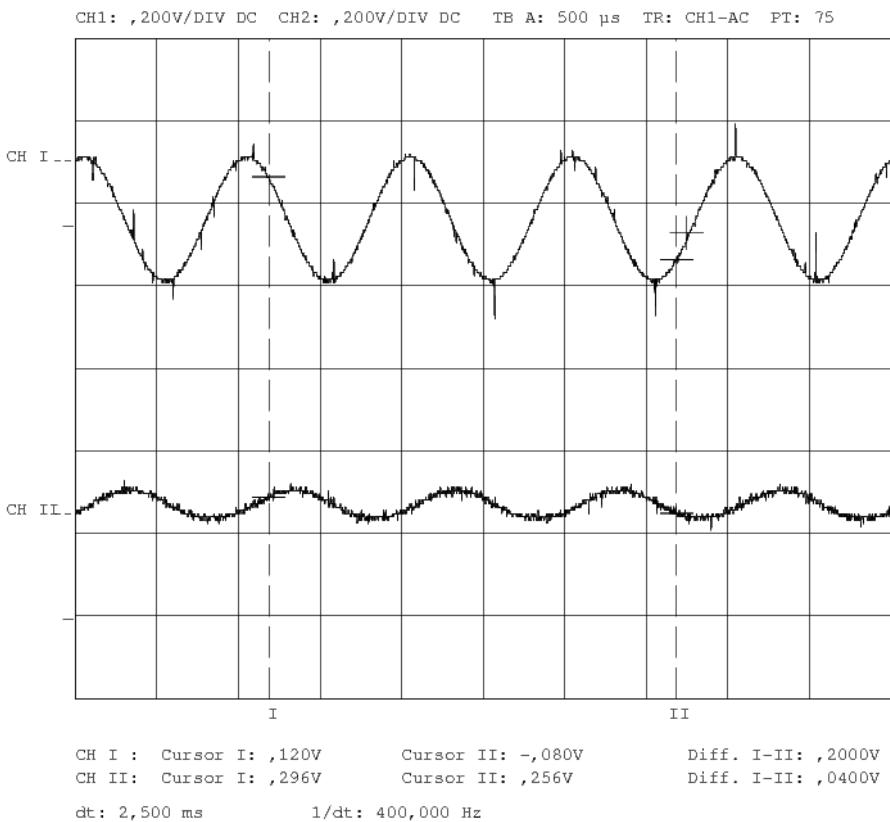


Figura 16.16: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por canal 4 (su réplica espectral).

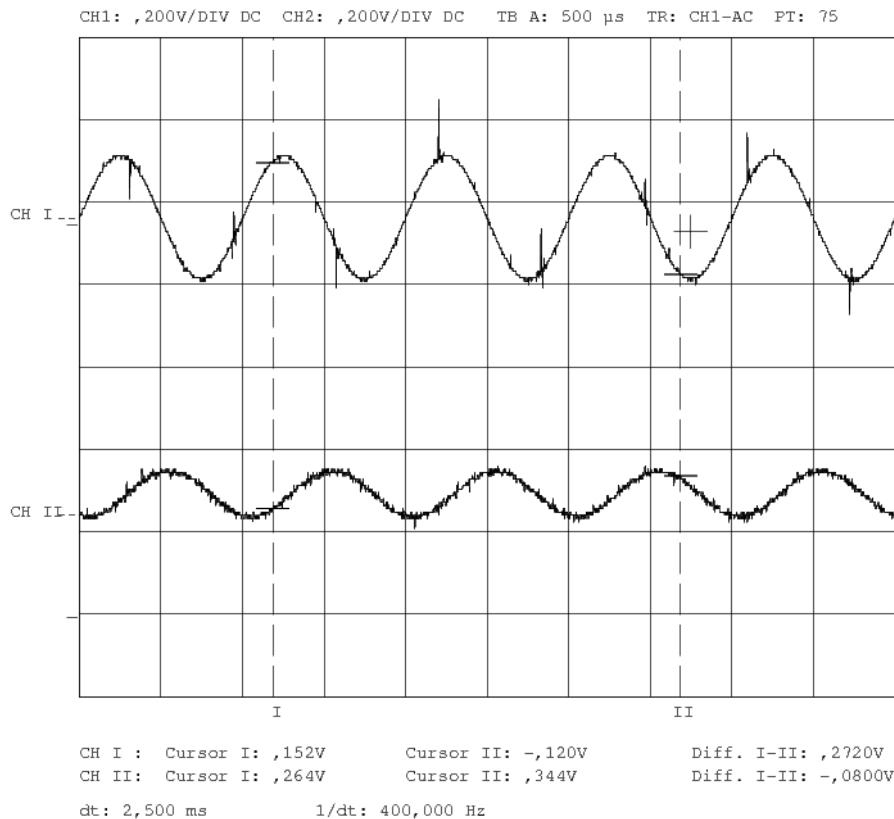


Figura 16.17: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por el canal 1 (su réplica espectral).

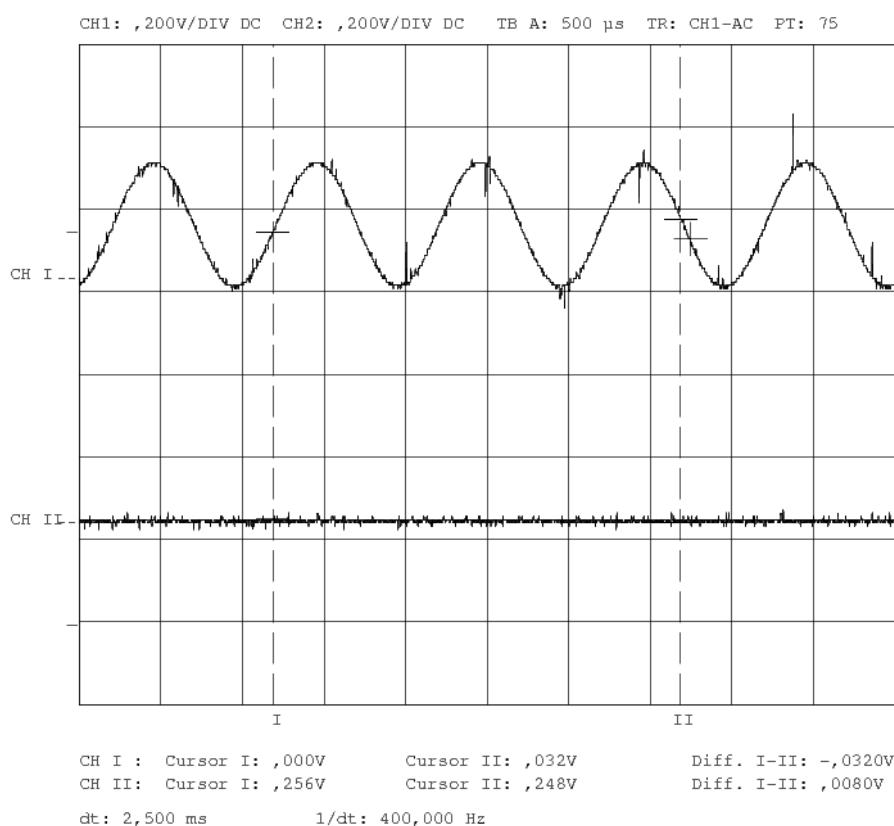


Figura 16.18: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por canal 2.

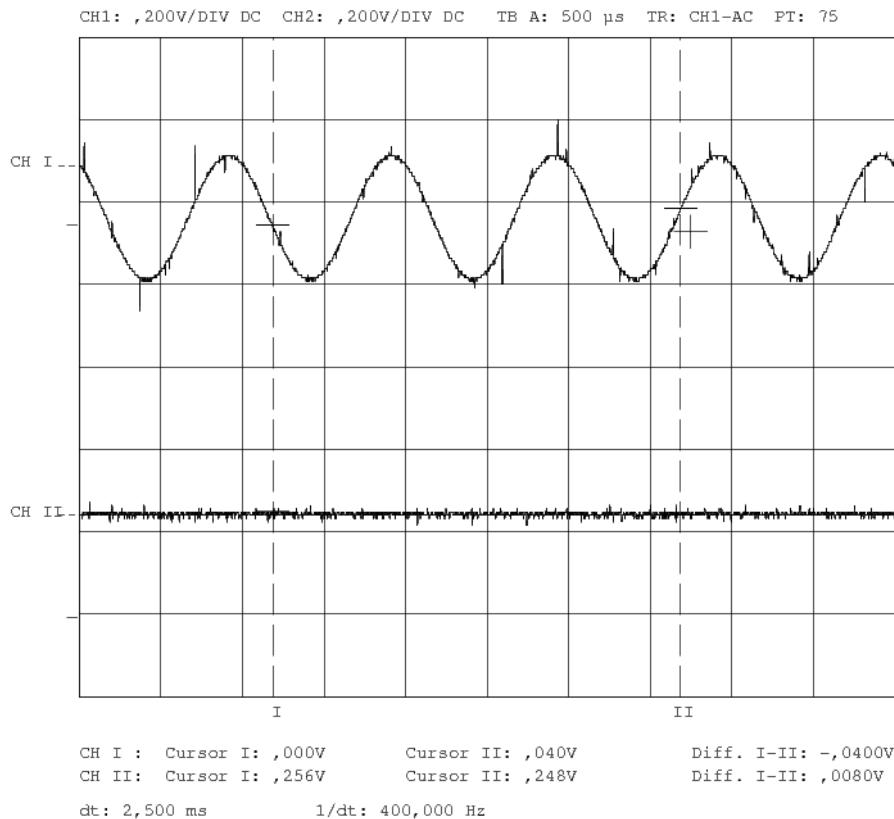


Figura 16.19: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por el canal 3.

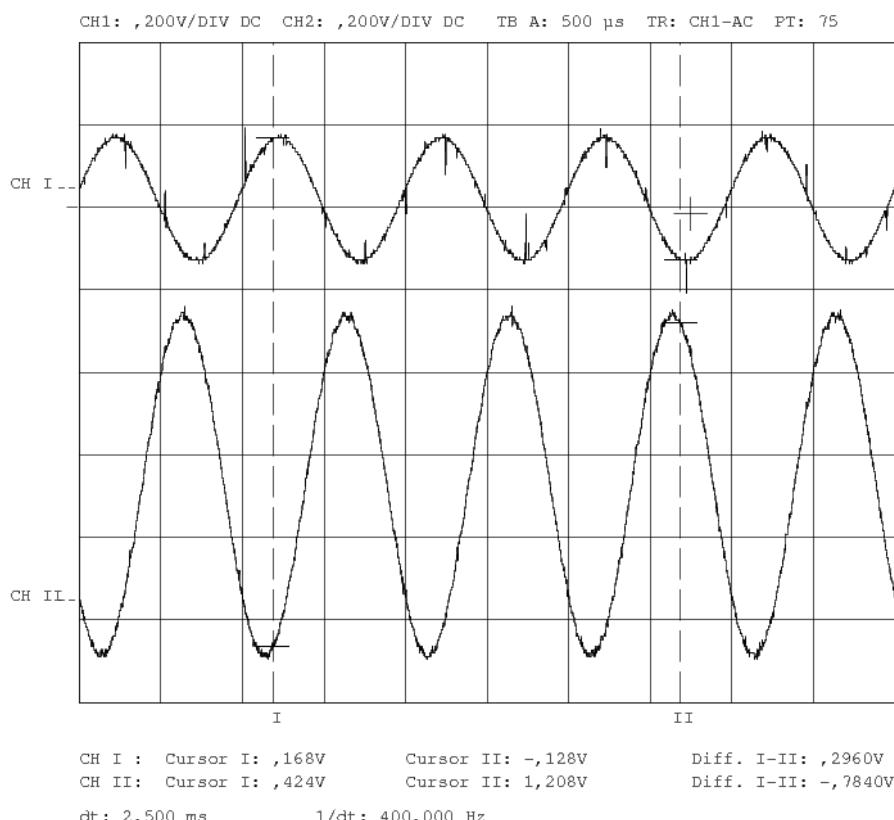


Figura 16.20: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por el mismo canal.

17. Efecto de la sobremodulación: distorsión

17.1 Descripción del problema:

El problema de la sobremodulación sobre la que hablamos en el apartado 7 de este documento, se refleja en recepción con la **distorsión de la señal original**. Es por ello que cuando superamos un valor de *índice de modulación* $m=1$ los cruces por cero de la *señal transmitida por el canal* impiden demodular con la fidelidad habitual. Sin embargo, esta distorsión se vería en continuo aumento, si no fuera porque las señales AM que discurren por el canal **se saturan** al superar su amplitud a poco menos de $5V_{\text{pico}}$. Debido a este efecto de **sobremodulación + saturación**, las señales que finalmente reproducimos tienen una **amplitud y distorsión máxima**.

Hemos querido representar este efecto en un gráfico que ilustre la curva de ganancia para **todo el sistema analógico**. Para valores de entrada pequeños, la ganancia presenta **linealidad** y recibimos con aproximadamente $A_{\text{mid}} = 33$. Conforme aumenta la amplitud a la entrada, la recta cae y se produce una etapa de distorsión. Finalmente la saturación en el canal impide que se reciban amplitudes mayores y la curva se estabiliza, mostrando una amplitud muy próxima a $1 V_{\text{pp}}$ para cualquier tensión a la entrada.

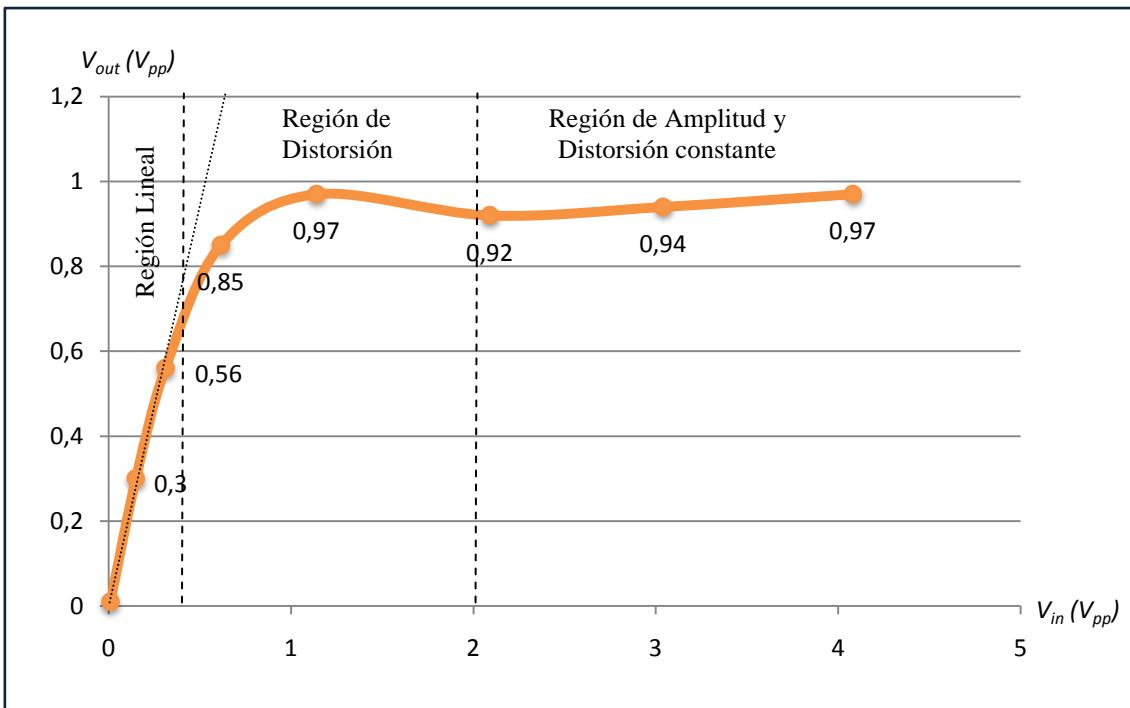


Figura 17.1: Curva de ganancia del canal 1. Se observa la región lineal (izquierda de la curva) y el valor asintótico ($1V_{\text{pp}}$) cuando la señal moduladora es de mayor voltaje.

17.2 Gráficas y capturas de osciloscopio:

Mostramos algunas pantallas de osciloscopio que corroboren el efecto de sobremodulación en recepción para estas tres zonas de la curva de ganancia. Para ello transmitimos tonos de diferentes amplitudes para poder visualizar fácilmente la deformación producida.

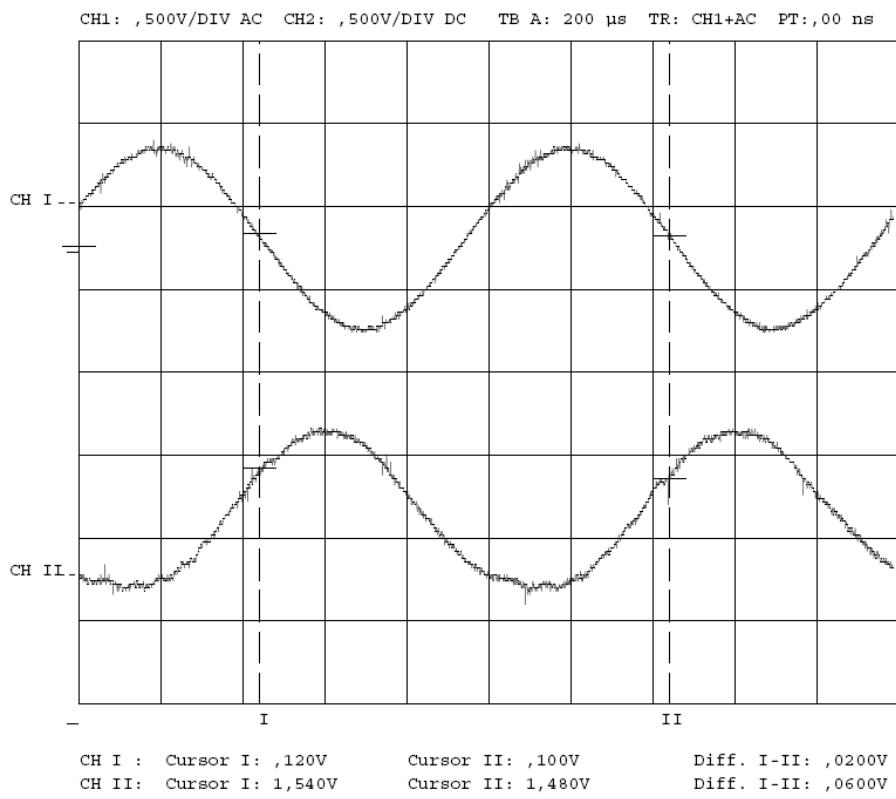


Figura 17.2: Entrada de un tono de 1Khz de 1.14 V_{pp} (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semiciclos negativos.

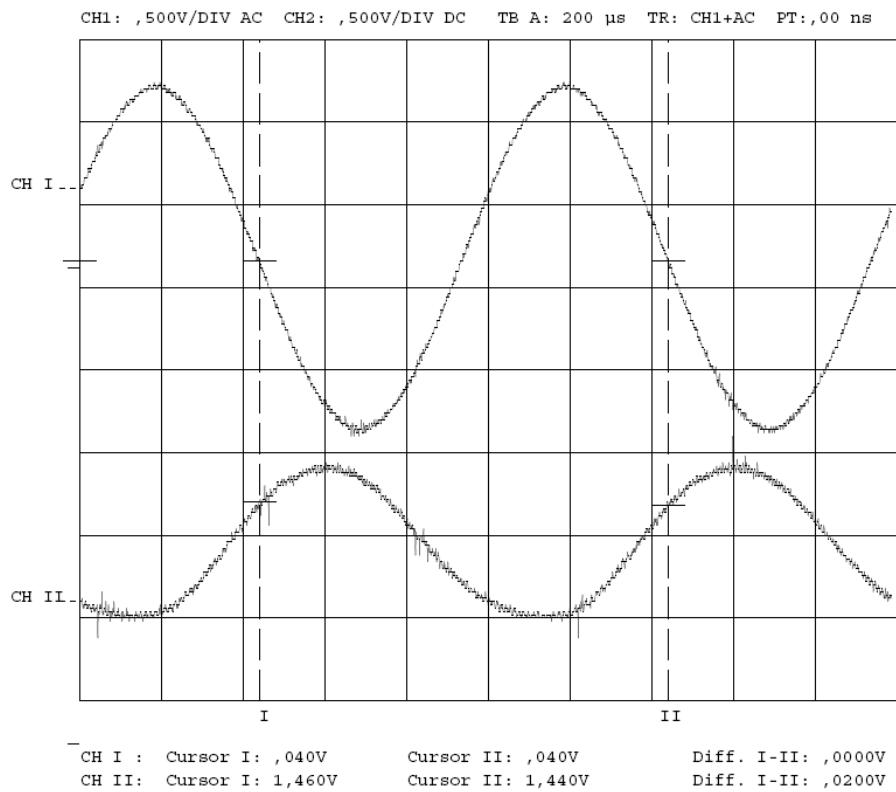


Figura 17.3: Entrada de un tono de 1Khz de 2.09 V_{pp} (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semiciclos negativos.

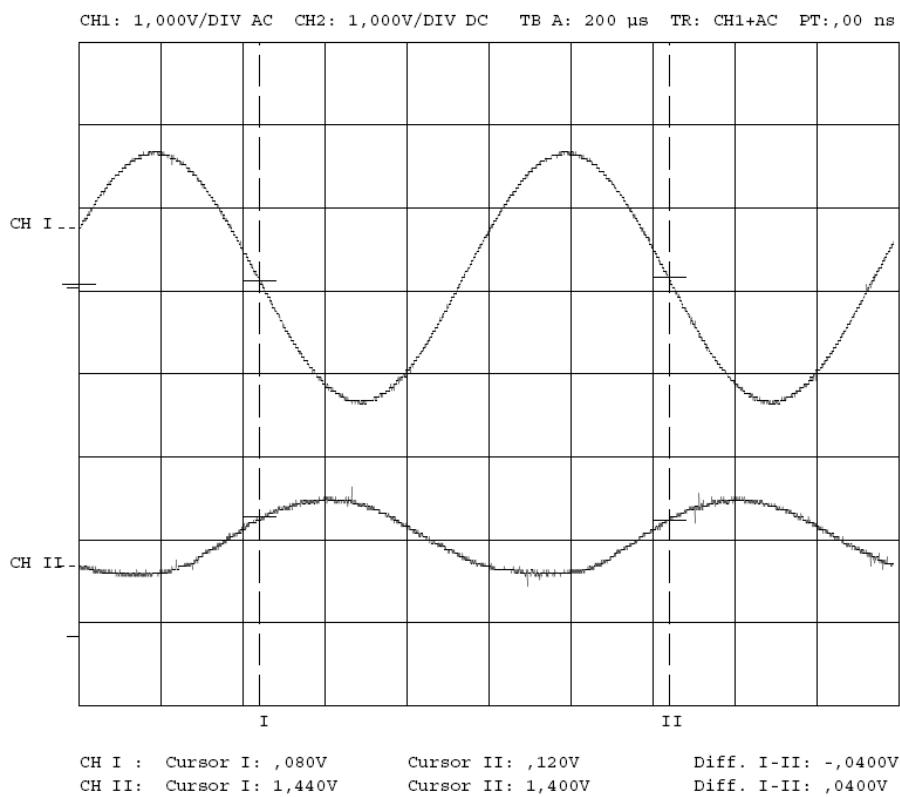


Figura 17.4: Entrada de un tono de 1Khz de 3 V_{pp} (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semiciclos negativos.

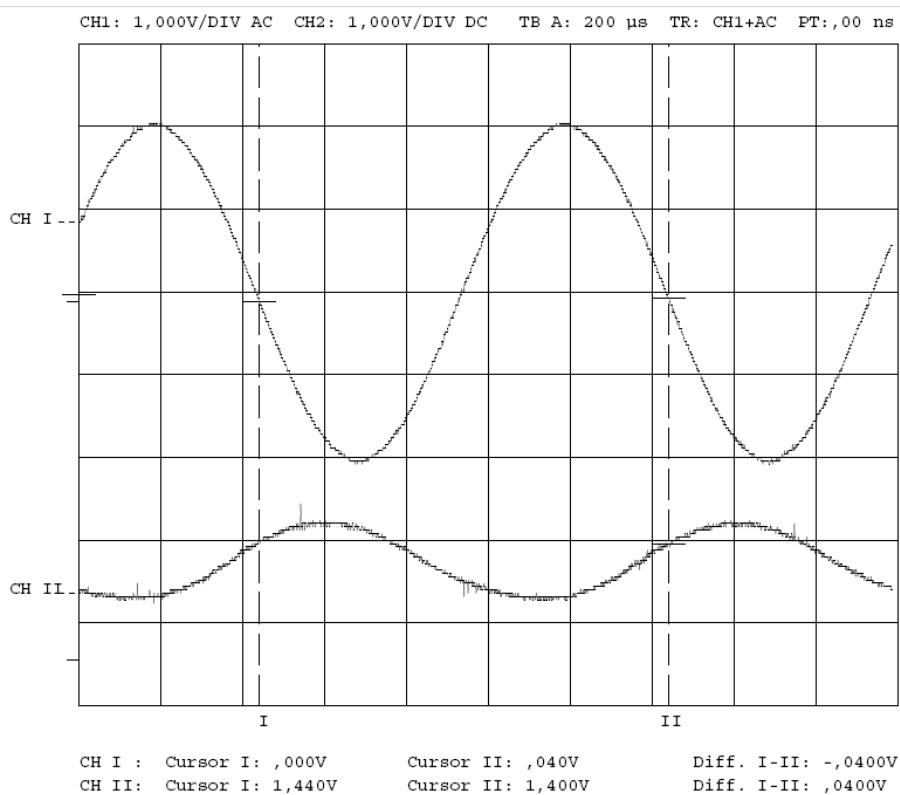


Figura 17.5: Entrada de un tono de 1Khz de 4 V_{pp} (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semiciclos negativos.

Parte III: Sistema Digital

18. Pulsadores y circuitos antirrebotes

18.1 Descripción del módulo:

Nuestro subsistema digital está gobernado por tres pulsadores: *Arriba*, *Abajo* y *Buscar*. Los botones *Arriba* y *Abajo* se utilizan en **modo manual**, para subir y bajar respectivamente el número del canal sintonizado en el receptor. El botón *Buscar* se utiliza para entrar en el **modo Búsqueda o Rastreo**, donde la subida y bajada de canal es automática.

Ya que estos pulsadores se activan al pulsar con el dedo, hemos de asegurar que generamos un pulso limpio (0 y 1 lógico) que active correctamente la función digital deseada. Para ello utilizamos el montaje mostrado en la figura 14.1. De esta forma garantizamos que todas las pulsaciones se **traducen a lógica digital** de una manera óptima (evitando los rebotes lógicos que provoca una pulsación irregular).

A la salida del 74HC14 la señal se encuentra invertida respecto al pulso de entrada, de manera que se producirá el flanco necesario *al dejar de pulsar el botón*.

18.2 Esquema circuitual:

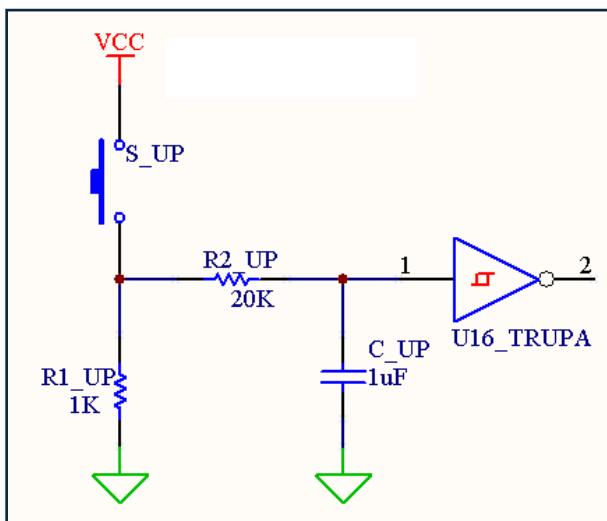


Figura 18.1: Circuitos antirrebote utilizado en los pulsadores ARRIBA y ABAJO.

18.2 Análisis teórico:

Siguiendo el esquema circuitual, tenemos lo siguiente: sin pulsar el botón (*Arriba* o *Abajo*) el condensador estará descargado, y la tensión en el pin 1 del 74HC14 será cero (*un 0 lógico*); por tanto, a su salida, en el pin 2, obtendremos un *1 lógico*, ya que actúa de inversor.

Mientras pulsemos el botón, conectaremos al circuito la tensión de alimentación. El condensador se carga y pasados unos instantes obtenemos una tensión de 5V a la entrada del inversor (*1 lógico*). Por tanto, a su salida obtenemos un *0 lógico*.

Cuando soltamos el botón, la situación vuelve al estado inicial (salida, *1 lógico*), produciéndose un flanco de subida al que le daremos uso en la etapa posterior.

Procedemos al cálculo de la *constante de tiempo* (τ) adecuada del condensador para que se cargue de forma adecuada a nuestras necesidades. Según la referencia bibliográfica²⁵ [2], los valores apropiados se encuentran en el rango de las pocas decenas de milisegundos.

Si bien queremos que sean iguales, necesitamos darnos cuenta de que en el circuito existen dos τ distintas. Una para cuando el pulsador no está pulsado:

$$\tau_1 = (R1 + R2) \cdot C$$

Otra para cuando el pulsador está siendo pulsado:

$$\tau_2 = R2 \cdot C$$

Para conseguir que $\tau_1 \approx \tau_2$, tenemos que introducir la siguiente condición:

$$R2 \gg R1$$

De esta manera, y fijando C a $1\mu F$ y τ_2 a $20mS$:

$$\tau_2 = 20mS = R2 \cdot C \Rightarrow R2 = \frac{20mS}{1\mu F} = 20K\Omega \Rightarrow R1 \approx 1K\Omega$$

Recalculando el valor de τ_1 :

$$\tau_1 = (R1 + R2) \cdot C = (1K\Omega + 20K\Omega) \cdot 1\mu F = 21K\Omega \cdot 1\mu F = 21mS \approx \tau_2$$

Vemos que se cumple la condición $\tau_1 \approx \tau_2$, luego implementamos este diseño.

²⁵ Ref. [2], Apartado referente a circuitos antirrebote.

18.3 Simulación en Pspice™:

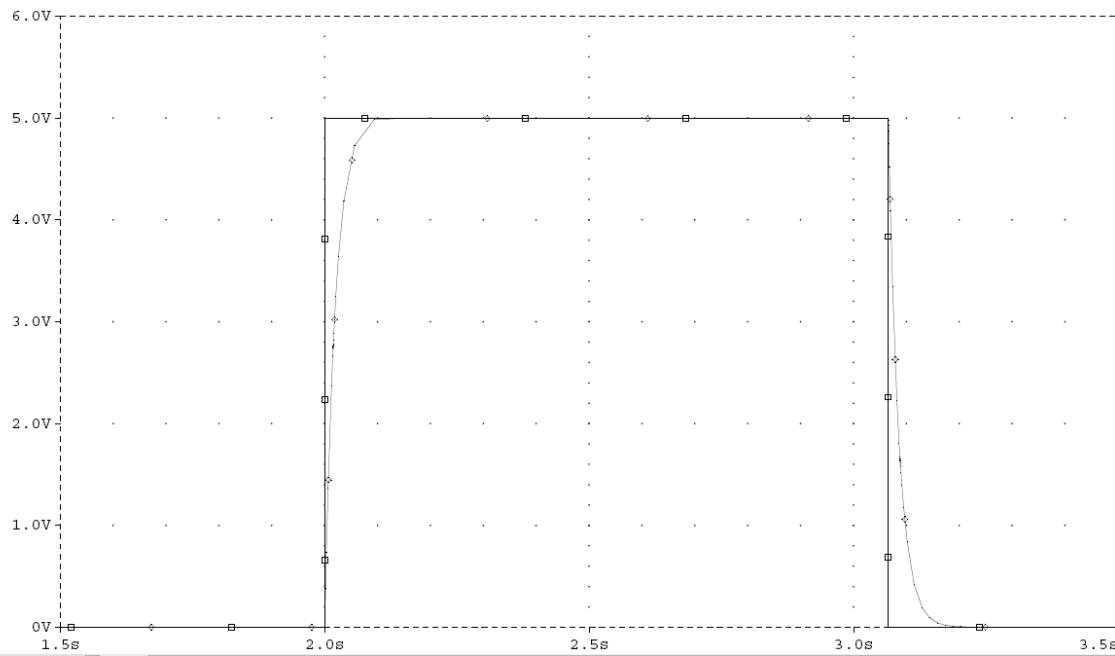


Figura 18.2: Señal generada tras pulsar el botón durante 1s y curva de tensión del condensador.

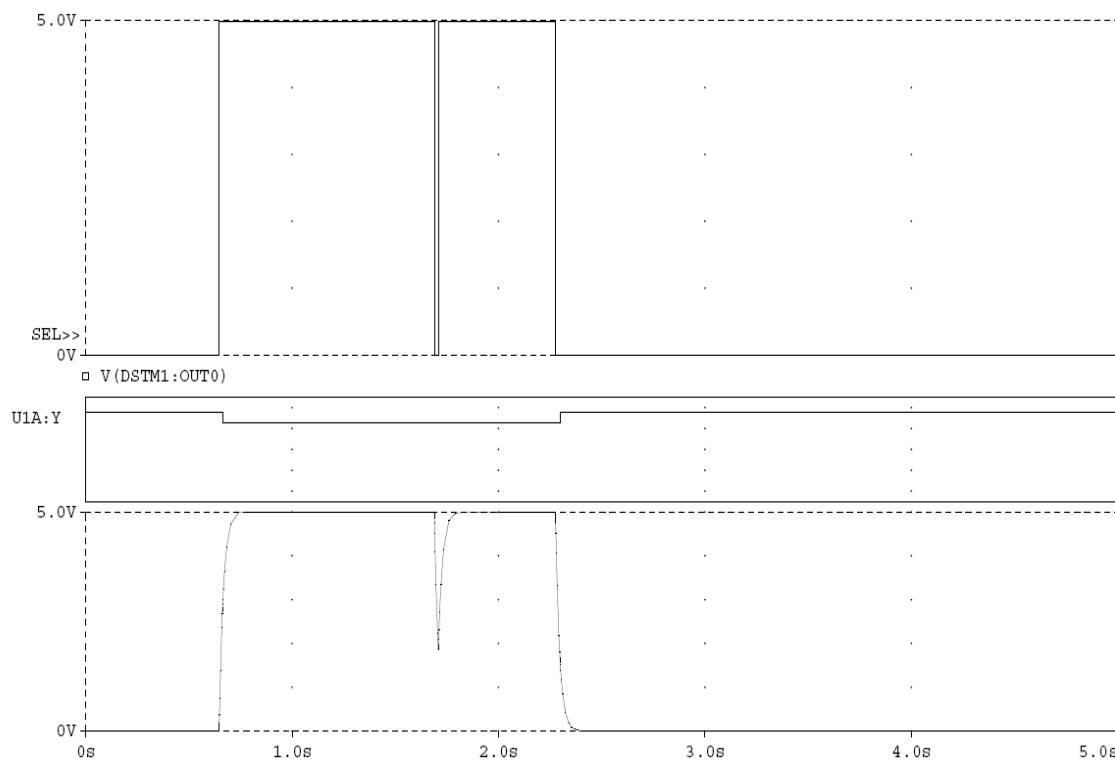


Figura 18.3: Señal generada por el pulsador (arriba) con un intervalo nulo de 0.02s; señal invertida a la salida del circuito antirrebote (centro) y tensión del condensador que repara el rebote (abajo).

19. Contador de número de canal y límites

19.1 Descripción del módulo:

Esta etapa es la encargada de establecer el correcto funcionamiento del *modo manual*. Está constituida por un contador 74HC193 que puede subir o bajar de 1 a 4 mediante los correspondientes pulsadores, y como salida, muestra el número de canal en notación BCD.

19.2 Esquema circuital:

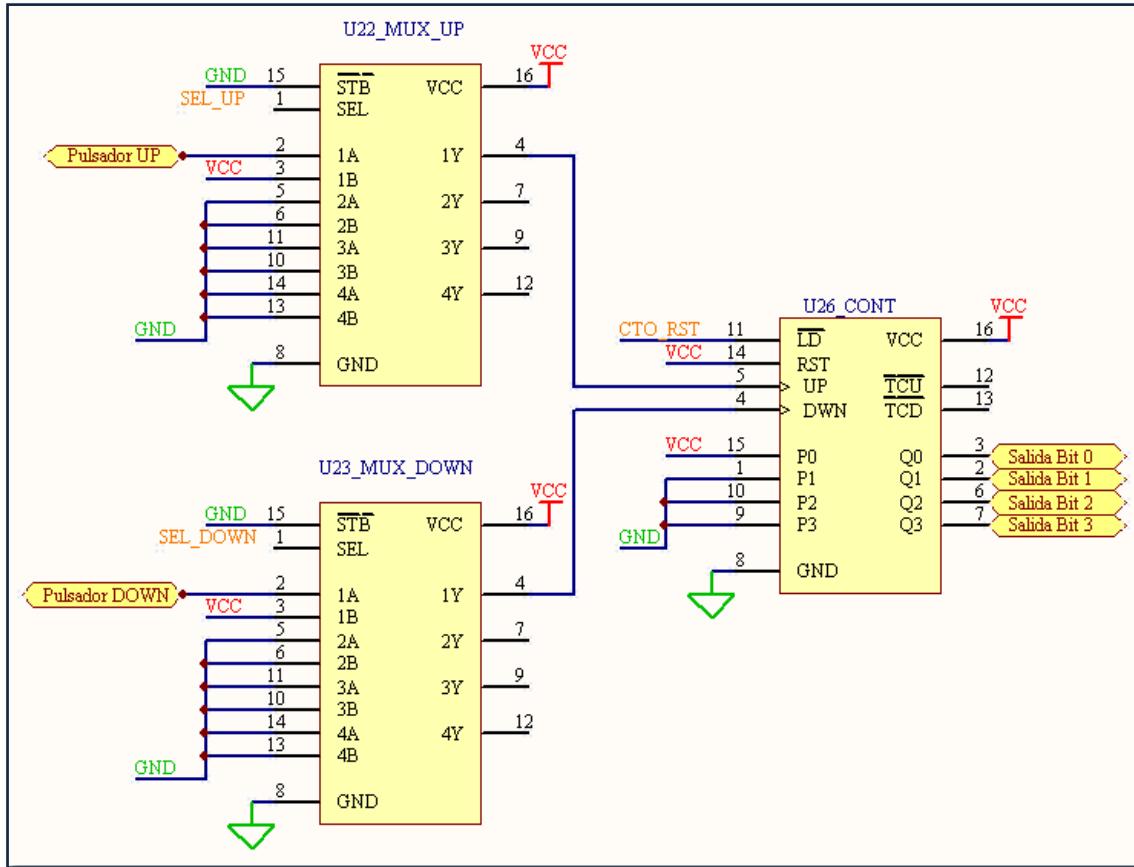


Figura 19.1: Sistema de cuenta del número de canal.

19.2 Análisis teórico:

El montaje consta de dos multiplexores 74HC157 independientes de 2 entradas cada uno. Las dos salidas apuntan a los pines *UP* y *DOWN* de un contador 74HC193, y éste muestra en sus salidas Q[3:0] el número en BCD.

El funcionamiento cada multiplexor es muy sencillo: recibe la señal del pulsador y la transmite al contador. En caso de que nos encontrremos en el límite de subida o de bajada, hay que **inhibir** el funcionamiento del multiplexor correspondiente: para ello situamos un *1 lógico* en la otra entrada, y por el pin de control introducimos la señal que nos indique si hemos llegado al límite (*1 lógico*) o si todavía no (*0 lógico*). Más adelante explicaremos el montaje de estos limitadores de cuenta.

FUNCTION TABLE

INPUTS				OUTPUT
\bar{E}	S	nI_0	nI_1	nY
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

pulsando
sin pulsar
límite

Figura 19.2: Tabla de verdad del 74HC157 y rango utilizado.

La explicación de que la segunda entrada de los multiplexores sea un **I lógico** se debe al modo de funcionamiento del 74HC193, ya que sus entradas de *UP* y *DOWN* son activas **a nivel bajo** y producen un incremento (o decremento) en la cuenta mediante flanco de subida. Es por ello que si no queremos que la cuenta suba o baje, debemos situar un **I lógico permanente** en esas entradas.

FUNCTION TABLE

OPERATING MODE	INPUTS								OUTPUTS					
	MR	#PL	CP <u>U</u>	CP <u>D</u>	D ₀	D ₁	D ₂	D ₃	Q ₀	Q ₁	Q ₂	Q ₃	$\bar{T}C_U$	$\bar{T}C_D$
reset (clear)	H	X	X	L	X	X	X	X	L	L	L	L	H	L
	H	X	X	H	X	X	X	X	L	L	L	L	H	H
parallel load	L	L	X	L	L	L	L	L	L	L	L	L	H	L
	L	L	X	H	L	L	L	L	L	L	L	L	H	H
	L	L	L	X	H	H	H	H	H	H	H	H	L	H
	L	L	H	X	H	H	H	H	H	H	H	H	H	H
count up	L	H	↑	H	X	X	X	X	count up			H ⁽²⁾	H	pulsando up
count down	L	H	H	↑	X	X	X	X	count down			H	H ⁽³⁾	

pulsando up
pulsando down

Figura 19.3: Tabla de verdad del 74HC193 y rango utilizado.

Situamos al nivel lógico correcto el resto de entradas (**MR**, #**PL**) para la zona de trabajo según la tabla de verdad del 74HC193, y en D[3:0] configuramos un 1 en *notación BCD*, que será el número predeterminado al encender la fuente de alimentación. El cómo situar este número inicial se realiza mediante el #**PL** (*Parallel Load*) y se explicará con detalle en el apartado 22 de “Circuitos de Reset”.

Procedemos a detallar la configuración de los **límites superior e inferior** de cuenta de canal:

Queremos que nuestro sistema sea capaz de contar de 1 a 4 (0001 a 0101 en *notación BCD*), y que no se contemplen los números fuera de ese rango. Por ello, usamos las salidas Q[3:0] del 74HC193 para aplicar la condición que nos indique si nos encontramos en **0001** (límite inferior) o **0100** (límite superior). El límite inferior se da cuando las salidas Q[2:1] son 0, mientras que el límite superior se da cuando son 0 las salidas Q[1:0].

FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	H
L	H	L
H	L	L
H	H	L

0001, límite inferior
0010, 0011
0100

Figura 19.4: Tabla de verdad de la puerta NOR 74HC02 para el límite inferior.

FUNCTION TABLE		
INPUTS		OUTPUT
nA	nB	nY
L	L	H
L	H	L
H	L	L
H	H	L

0100, límite superior
0001
0010
0011

Figura 19.5: Tabla de verdad de la puerta NOR 74HC02 para el límite superior.

Implementamos este montaje de límites mediante dos puertas NOR 74HC02 tal a las salidas adecuadas Q[2:1] y Q[1:0], obtendremos un *1 lógico* según se haya dado algún límite. Además, utilizando este montaje, la única forma de que se den los dos límites a la vez será cuando Q[2:0] sean 0, y eso corresponde al número decimal *cero*; se produciría un bloqueo del sistema (inhibida la subida y la bajada). El número cero **nunca aparece** en el sistema gracias a que siempre empezamos la cuenta en el número *uno* (apartado 22, Circuitos de Reset).

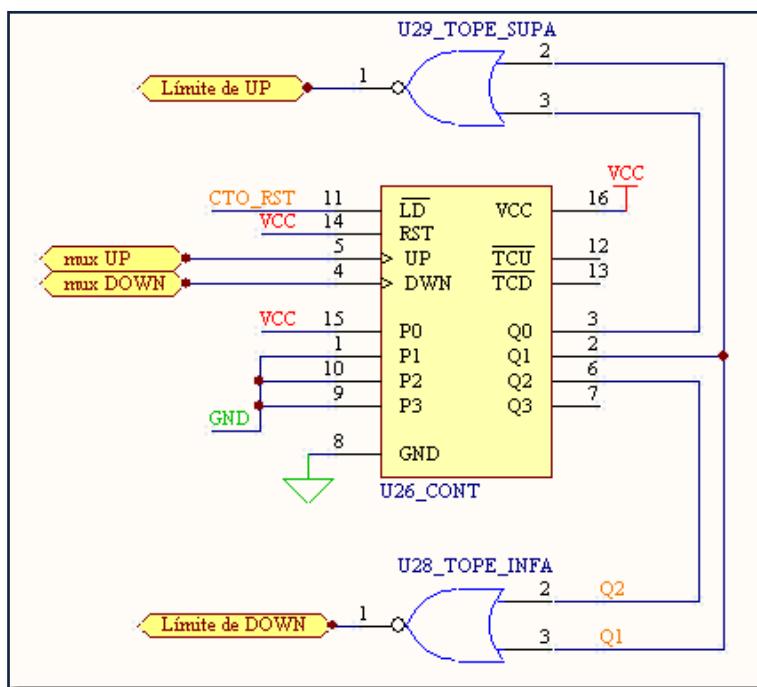


Figura 19.6: Condición de límites superiores para contar entre 1 y 4.

Estas salidas de las puertas NOR que nos indican si se ha producido algún límite en la cuenta, las usamos como señales de control de los dos multiplexores 74HC157 (pinos S de selección) de los que hemos hablado anteriormente.

20. Visualización en display

20.1 Descripción del módulo:

Esta etapa tiene como función convertir el número de canal (descrito en *notación BCD*) a *notación de 7 segmentos* para poder **representarlo en un display**.

20.2 Esquema circuital:

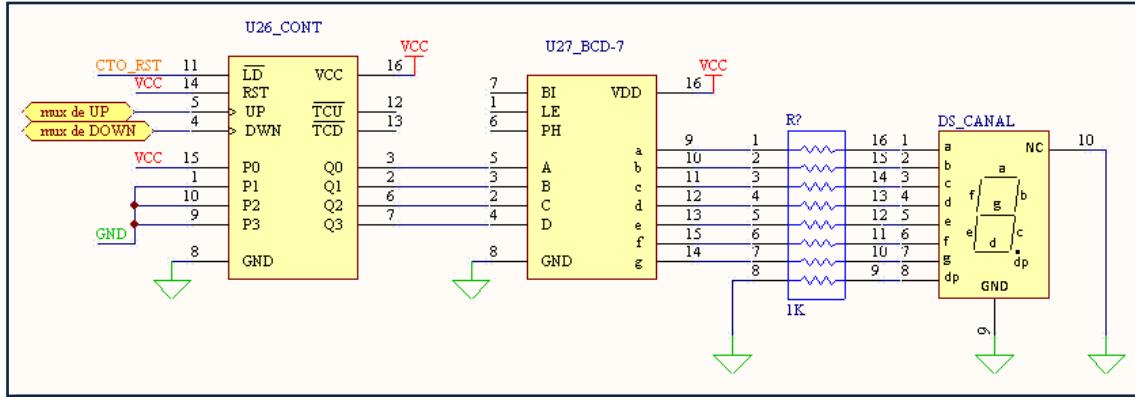


Figura 20.1: Conversión de la salida BCD del contador a display de 7 segmentos.

20.3 Análisis teórico:

Para la conversión del número en BCD a representación 7 segmentos se utiliza un conversor 74HC4543, en cuya tabla de verdad (*figura 20.2*) vemos la configuración necesaria de las entradas LD, BI y PH para su correcto funcionamiento.

FUNCTION TABLE

INPUTS							OUTPUTS							DISPLAY
LD	BI	PH ⁽¹⁾	D ₃	D ₂	D ₁	D ₀	Q _a	Q _b	Q _c	Q _d	Q _e	Q _f	Q _g	
X	H	L	X	X	X	X	L	L	L	L	L	L	L	blank
H	L	L	L	L	L	L	H	H	H	H	H	H	L	0
H	L	L	L	L	L	H	L	H	H	L	L	L	L	1
H	L	L	L	L	H	L	H	H	L	H	H	L	H	2
H	L	L	L	L	H	H	H	H	H	H	L	L	H	3
H	L	L	L	H	L	L	L	H	H	L	L	H	H	4
H	L	L	L	H	L	H	H	L	H	H	L	H	H	5
H	L	L	L	H	H	L	H	L	H	H	H	H	H	6
H	L	L	L	H	H	H	H	H	H	L	L	L	L	7
H	L	L	H	L	L	L	H	H	H	H	H	H	H	8
H	L	L	H	L	L	H	H	H	H	L	H	H	H	9
H	L	L	H	L	H	L	L	L	L	L	L	L	L	blank
H	L	L	H	L	H	H	L	L	L	L	L	L	L	blank
H	L	L	H	H	L	L	L	L	L	L	L	L	L	blank
H	L	L	H	H	H	L	L	L	L	L	L	L	L	blank
H	L	L	H	H	H	H	L	L	L	L	L	L	L	blank
L	L	L	X	X	X	X								(1)
as above		H	as above			inverse of above							as above	

Figura 20.2: Tabla de verdad del 74HC4543 y rango utilizado.

Las entradas D[3:1] del 74HC4543 serán las salidas Q[3:1] del 74HC193 tal y como se muestra en la *figura 20.1*. De esta manera conseguiremos excitar adecuadamente los LEDS *a,b...g* que componen el display.

Es importante situar entre el 74HC4543 y el display, un **array de resistencias** (de 220Ω cada una), con la finalidad de limitar la corriente entrante a cada LED rectangular. En caso de no ponerlas, estaríamos excitando cada segmento con *unos lógicos*, es decir, 5V, tensión con la que se pueden generar grandes corrientes, debido a la baja resistencia de los LEDs en estado *activo*. Sin el array el display podría estropearse.



21. Selección de canal, modo búsqueda

21.1 Descripción del módulo:

Esta etapa consiste en ampliar el modo *manual* para convertir que la subida y la bajada del número de canal sea **un proceso automático**. Este modo *Búsqueda* o *Rastreo* se activa pulsando el botón *Buscar*. A continuación, el sistema recorre de arriba a abajo los cuatro canales y se parará cuando encuentre sintonía (mejora del modo *Automático*, explicado en la *Parte IV* de este documento). En caso de querer volver al modo *manual*, simplemente hay que pulsar de nuevo *Buscar*. Un esquema simple del funcionamiento esencial de nuestro subsistema digital se puede contemplar en la figura que presentamos a continuación:

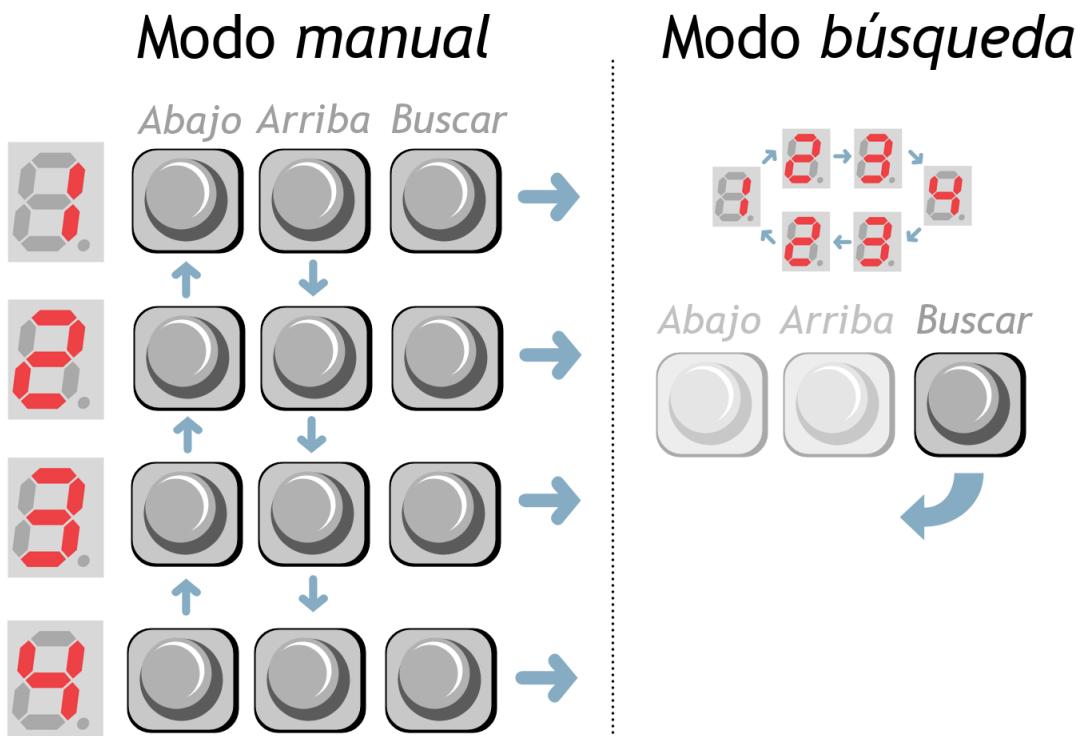


Figura 21.1: Esquema de funcionamiento y activación de los dos modos del subsistema digital.

21.2 Esquema circuital:

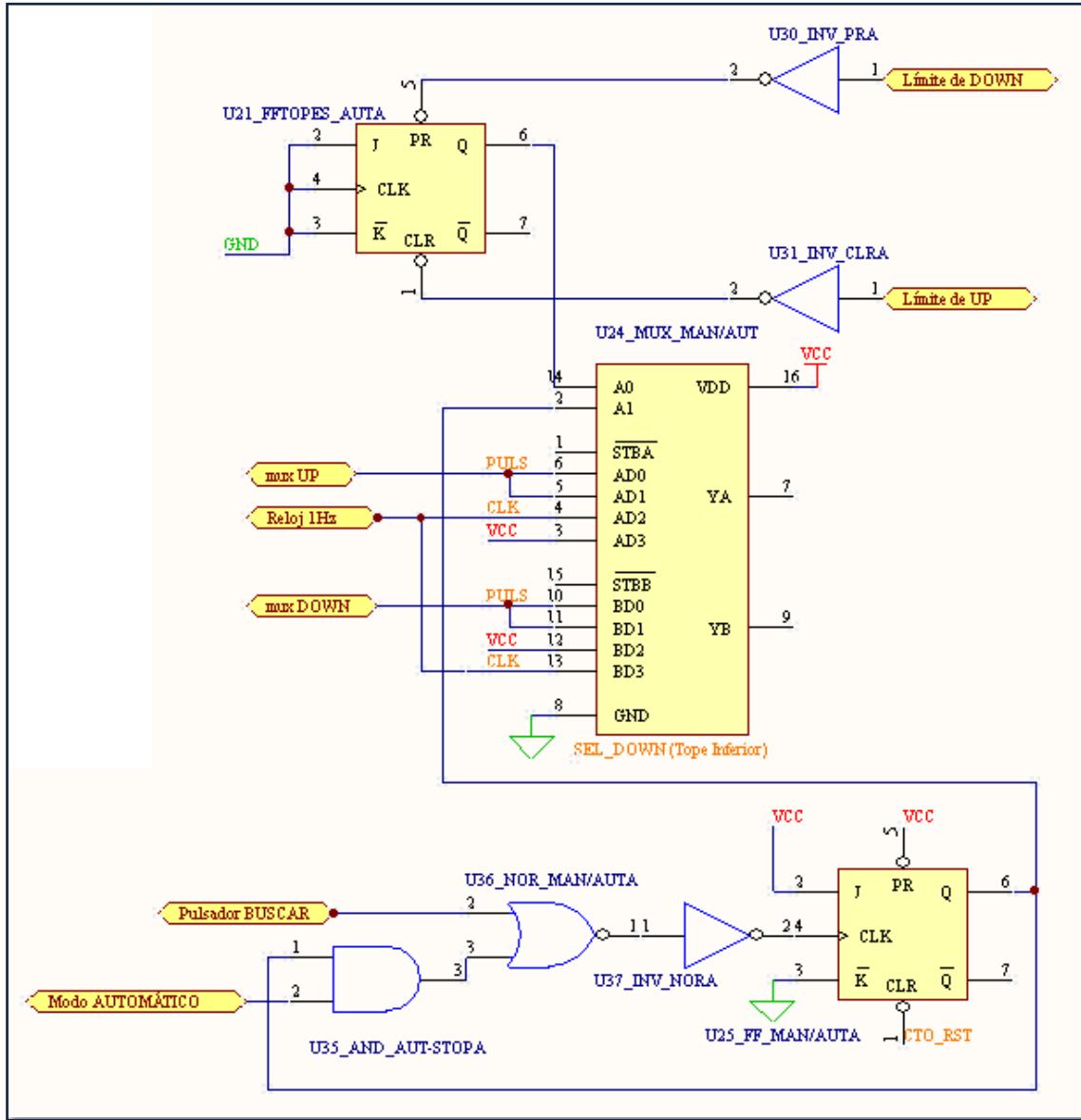


Figura 21.2: Multiplexor 74HC153 para seleccionar el modo manual o el modo búsqueda y la lógica necesaria para la conmutación.

21.3 Análisis teórico:

El botón *Buscar* es el tercer botón para controlar el subsistema digital, y como tal, ha de incluirse su **circuito antirrebotes** (mostrado en la figura 21.2). El cálculo de las constantes de tiempo de su condensador se realiza exactamente igual que en los circuitos antirrebotes realizados con anterioridad. La única diferencia es que esta vez se ha tomado especial cuidado en la colocación del flanco de subida (cambia el montaje).

Análogamente al apartado 18.2, pero con matices en las ecuaciones:

$$\tau_1 = R2 \cdot C$$

$$\tau_2 = (R1 + R2) \cdot C$$

Fijando, $C = 100nF$ obtenemos *constantes de tiempo* más pequeñas.

$$\tau_1 = R2 \cdot C = 20K\Omega \cdot 100nF = 2 \text{ ms}$$

$$\tau_2 = (R1 + R2) \cdot C = (1K\Omega + 20K\Omega) \cdot 100nF = 2.1 \text{ ms}$$

Y nuevamente se cumple que $\tau_1 \approx \tau_2$.

En el estado inicial, el botón *Buscar* no se encuentra pulsado y el condensador se carga en los primeros instantes de funcionamiento. De esta manera se introduce un *1 lógico* a la entrada del inversor de histéresis, obteniendo a su salida un *0 lógico*.

Pulsamos *Buscar*: estamos cerrando el circuito, y el condensador aprovecha el “camino” a masa para descargarse. Pasados unos instantes estamos introduciendo un *0 lógico* a la entrada del inversor, por tanto un *1 lógico* a su salida. En definitiva, nada más pulsar²⁶ se genera un **flanco de subida**.

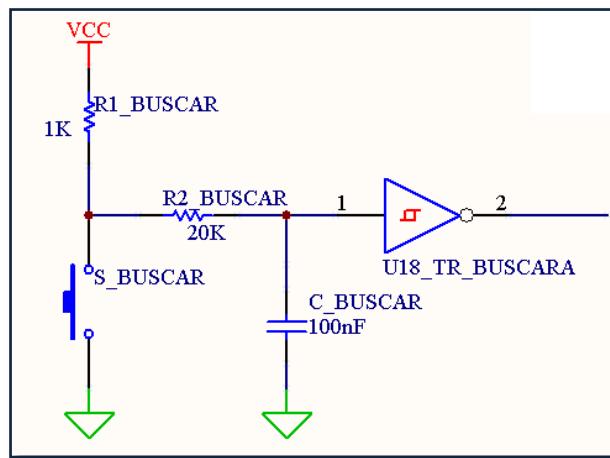


Figura 21.3: Circuito antirrebote del pulsador BUSCAR.

A continuación explicamos la lógica utilizada para **conmutar** entre los dos modos de nuestro sistema, el modo *manual* y el modo *búsqueda*.

Necesitamos controlar el 74HC153 con una señal que se mantenga a 0 (*manual*) o 1 (*búsqueda*) independientemente de que cambie el número de canal que se muestra. Esta función lógica la conseguimos mediante un biestable JK 74HC109 que actúe como biestable T; es decir, cada flanco de subida en su entrada de reloj, hace cambiar el valor de su salida Q (mientras no haya flanco lo mantiene). Justamente lo que exigen las especificaciones para el botón *Buscar*: pulsar una vez nos lleva al modo *Búsqueda*, pulsar otra vez vuelve al modo *manual*.

²⁶ Los anteriores circuitos antirrebotes estaban diseñados para que se hiciera la función lógica *al dejar de pulsar* el botón.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS	
	\bar{S}_D	\bar{R}_D	CP	J	\bar{K}	Q	\bar{Q}
asynchronous set	L	H	X	X	X	H	L
asynchronous reset	H	L	X	X	X	L	H
undetermined	L	L	X	X	X	H	H
toggle	H	H	↑	h	I	\bar{q}	q
load "0" (reset)	H	H	↑	I	I	L	H
load "1" (set)	H	H	↑	h	h	H	L
hold "no change"	H	H	↑	I	h	q	\bar{q}

estado inicial

función conmutar

Figura 21.4: Tabla de verdad del 74HC109.

Además de utilizar la función de conmutar del 74HC109, hemos de **prefijar su estado inicial**. Para ello situamos un *circuito de Reset* en #RD (explicado en el apartado 22, más adelante) que imponga $Q = 0$ (*manual*) al encender la alimentación. También conectamos #SD a 1 lógico para garantizar un correcto funcionamiento.

Precede al 74HC109 una lógica para implementar la mejora del modo *automático*: una puerta OR (NOR 74HC02 e inversor 74HC04) controla la parada del modo *búsqueda* en caso de que se vuelva a pulsar *Buscar* (especificación del enunciado) o en caso de que se **detecte automáticamente una portadora**.

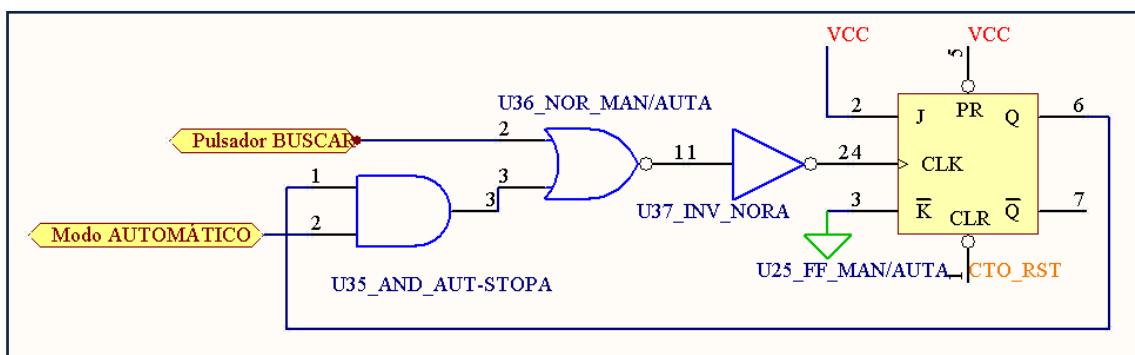


Figura 21.5: Circuito de conmutación del modo manual-búsqueda.

A su vez, el modo *automático* sólo funciona si estamos **buscando sintonía** (si estamos en modo *manual* no tiene sentido que el sistema se pare, porque ya estamos parados). Situamos una puerta AND (74HC08) que produzca el flanco de subida necesario para conmutar el 74HC109 si y sólo si estamos en modo *búsqueda* y detectamos portadora.

FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	L
L	H	L
H	L	L
H	H	H

no portadora, manual
no portadora, búsqueda
portadora, manual
portadora, búsqueda

Figura 21.6: Tabla de verdad de la puerta AND 74HC08.

FUNCTION TABLE

INPUTS		OUTPUT
nA	nB	nY
L	L	L
L	H	H
H	L	H
H	H	H

no se pulsa Buscar, no portadora
se pulsa Buscar, no portadora
no se pulsa Buscar, hay portadora

Figura 21.7: Tabla de verdad de la puerta AND 74HC08.

Suponiendo que nos encontramos en modo *búsqueda*, necesitamos elementos para controlar la subida y bajada automática de canal. En concreto, un reloj que produzca los flancos necesarios en las entradas *UP* y *DOWM* del 74HC193 y una lógica que commute entre subida y bajada una vez se alcancen los límites superior e inferior.

Utilizamos un montaje de reloj como se hizo en los generadores de portadoras (transmisor y receptor) en la parte analógica. Un inversor de histéresis con una red RC que genere una *señal cuadrada de 1 Hz*. La ecuación de la frecuencia es:

$$f \approx \frac{1}{0.816RC}$$

Fijando $C = 10\mu F$, obtenemos el valor de resistencia adecuado.

$$f_1 = 1\text{Hz} \Rightarrow R_1 = 122,47\text{ K}\Omega \xrightarrow{\text{valor comercial}} R_1 = 120\text{K}\Omega$$

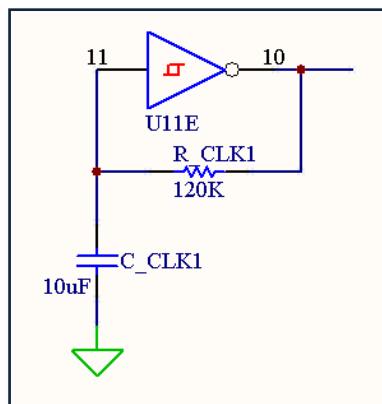


Figura 21.8: Reloj de 1 Hz del modo búsqueda.

Para la lógica de conmutación entre subida y bajada, utilizamos un 74HC109. Utilizaremos una configuración basada en los pines PR y CLR de la siguiente manera:

- Si hemos alcanzado el límite de DOWN (canal 1), configuramos PR=0 y CLR=1 para que Q = 0 y empecemos a subir.
- Si hemos alcanzado el límite de UP (canal 4), configuramos PR=1 y CLR=0 para que Q = 1 y empecemos a bajar.

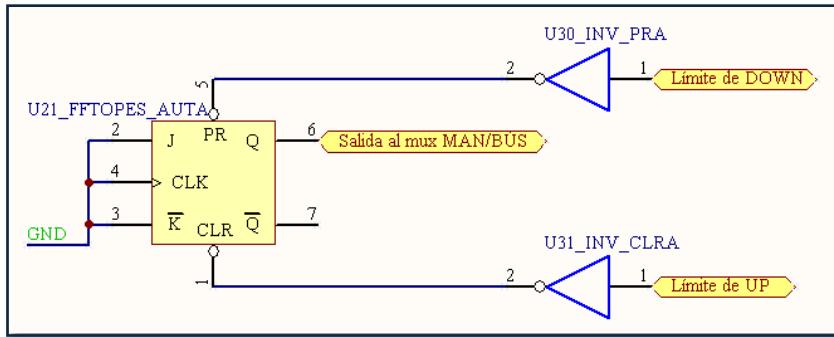


Figura 21.9: Circuito alternador de subida/bajada del modo búsqueda.

FUNCTION TABLE

OPERATING MODE	INPUTS					OUTPUTS	
	\bar{S}_D	\bar{R}_D	CP	J	\bar{K}	Q	\bar{Q}
asynchronous set	L	H	X	X	X	H	L
asynchronous reset	H	L	X	X	X	L	H
undetermined	L	L	X	X	X	H	H
toggle	H	H	↑	h	I	\bar{q}	q
load "0" (reset)	H	H	↑	I	I	L	H
load "1" (set)	H	H	↑	h	h	H	L
hold "no change"	H	H	↑	I	h	q	\bar{q}

límite up, empezar a bajar
 límite down, empezar a subir
 2 límites, estado imposible
 no límite, predeterminado subir

Figura 21.9: Tabla de verdad del 74HC109 y lógica utilizada (entradas $\#S_D$ y $\#R_D$).

Para ello fijamos el valor de J,K y CP y usamos como entradas a los pines R_D y S_D las **señales de límites invertidas**. De esta manera evitamos el estado *undetermined* de la tabla y fijamos el modo predeterminado de barrido: **subida**.

Finalmente conectamos toda esta lógica y el reloj a dos multiplexores de 4 entradas 74HC153: las dos primeras se asignan al modo *manual*, y las dos siguientes al modo *Búsqueda*. De manera que la primera lógica biestable que hemos descrito en este apartado es la señal de control A1 (comutar modo *manual/búsqueda*) y la segunda lógica biestable corresponde a la señal de control A0 (comutar *subiendo/bajando*).

Nótese observando la figura 21.10 la conexión de las entradas a los multiplexores, para que el *alternador Búsqueda* (comutar *subiendo/bajando*) sirva sólo en modo *Búsqueda*.

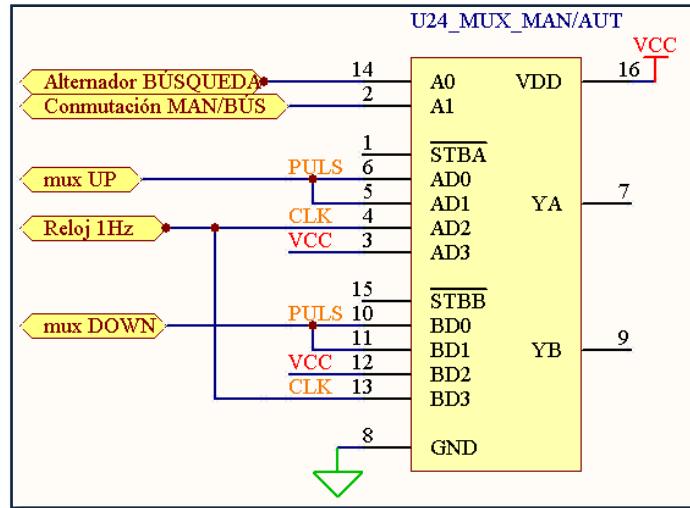


Figura 21.10: Multiplexor 74HC153 para seleccionar pulsación manual o pulsación por reloj.

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				OUTPUT ENABLE	OUTPUT
S ₀	S ₁	1l ₀	1l ₁	1l ₂	1l ₃	nE	1Y
X	X	X	X	X	X	H	L
(1)	L	L	L	X	X	L	L
(2)	L	L	H	X	X	L	H
(1)	H	L	X	L	X	L	L
(2)	H	L	X	H	X	L	H
(3)	L	H	X	X	L	L	L
(4)	L	H	X	X	H	L	H
(5)	H	H	X	X	X	L	L
(6)	H	H	X	X	X	L	H

- (1) Modo manual, sin pulsar Arriba
- (2) Modo manual, se pulsó arriba
- (3) Modo Búsqueda, estamos subiendo CLK=0
- (4) Modo Búsqueda, estamos subiendo CLK=1 (sube número)
- (5) No se da
- (6) Modo Búsqueda, estamos bajando

Figura 21.11: Tabla de verdad del 74HC153 para el primer multiplexor.

FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				OUTPUT ENABLE	OUTPUT
S ₀	S ₁	2l ₀	2l ₁	2l ₂	2l ₃	nE	2Y
X	X	X	X	X	X	H	L
(1)	L	L	L	X	X	L	L
(2)	L	L	H	X	X	L	H
(1)	H	L	X	L	X	L	L
(2)	H	L	X	H	X	L	H
(3)	L	H	X	X	L	L	L
(4)	L	H	X	X	H	X	H
(5)	H	H	X	X	X	L	L
(6)	H	H	X	X	X	H	H

- (1) Modo manual, sin pulsar
- (2) Modo manual, se pulsó
- (3) No se da
- (4) Modo Búsqueda, estamos subiendo
- (5) Modo Búsqueda, estamos bajando CLK=0
- (6) Modo Búsqueda, estamos bajando CLK=1 (baja número)

Figura 21.12: Tabla de verdad del 74HC153 para el segundo multiplexor.



22. Circuitos de Reset, condensadores de filtrado

22.1 Descripción del módulo:

Para el correcto funcionamiento de algunos de los circuitos utilizados en nuestro subsistema digital, necesitamos excitar determinadas entradas con circuitos que nos **garanticen un 0 lógico** nada más conectar la fuente. Dichos circuitos los implementamos con una red RC de tal forma que la tensión producida en el condensador sea 0V (se encuentra descargado), y transcurridos los instantes de carga, la tensión llegue a 5V (voltios de alimentación, *1 lógico*). Aprovechando este montaje, son dos las principales utilidades:

- Sobre la entrada #LD (*Pararell Load*) del contador 74HC193 (figura 19.1), hacemos un *Load* del primer número de canal, que en nuestro sistema es el 1. De esta forma evitamos que el display muestre el último canal utilizado, o que comience en 0 (situación de bloqueo que se explicó en apartado 19).
- Sobre la entrada CLR del 74HC109 (figura 21.5), para garantizar que el estado inicial de la salida Q es *0 lógico*, es decir, *modo manual* como el predeterminado.

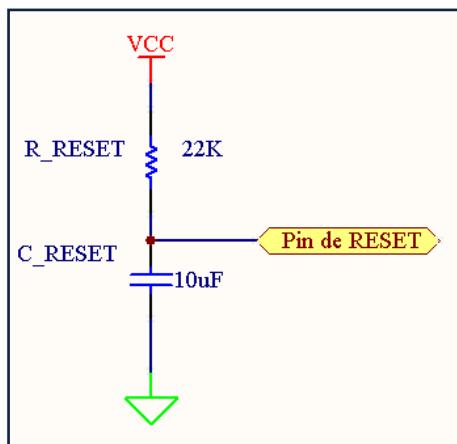


Figura 22.1: Circuito de Reset. Genera un 0 lógico con condensador descargado.

22.2 Análisis teórico:

Procedemos a realizar los cálculos de la carga del condensador:

La ecuación del nudo (pin de RESET) es la siguiente:

$$\frac{V_{cc} - v_{RST}(t)}{R} = C \frac{dv_{RST}(t)}{dt} \Rightarrow RC \frac{dv_{RST}(t)}{dt} + v_{RST}(t) = V_{cc}$$

Resolviendo la ecuación diferencial con la C.I. $v_{RST}(0) = 0$ obtenemos que:

$$v_{RST}(t) = V_{cc} \left(1 - e^{\frac{-t}{RC}} \right)$$

Calculamos el valor de t necesario para llegar al *1 lógico*²⁷

$$2.5 = 5 \left(1 - e^{\frac{-t}{RC}} \right) \Rightarrow \tau = RC \ln(2)$$

²⁷ Se considera un *1 lógico* tensiones mayores a 2.5V. Fuente: Datasheets de National Semiconductor.

Fijamos un valor de condensador $C = 10\mu F$ y un tiempo $\tau = 150ms$, obteniendo el valor de R:

$$R = \frac{\tau}{C \ln(2)} = 21,64 K\Omega$$

Ajustando un R comercial **R=22KΩ**, recalculamos el tiempo τ .

$$\tau = 22K\Omega \cdot 10\mu F \cdot \ln(2) = 152ms$$

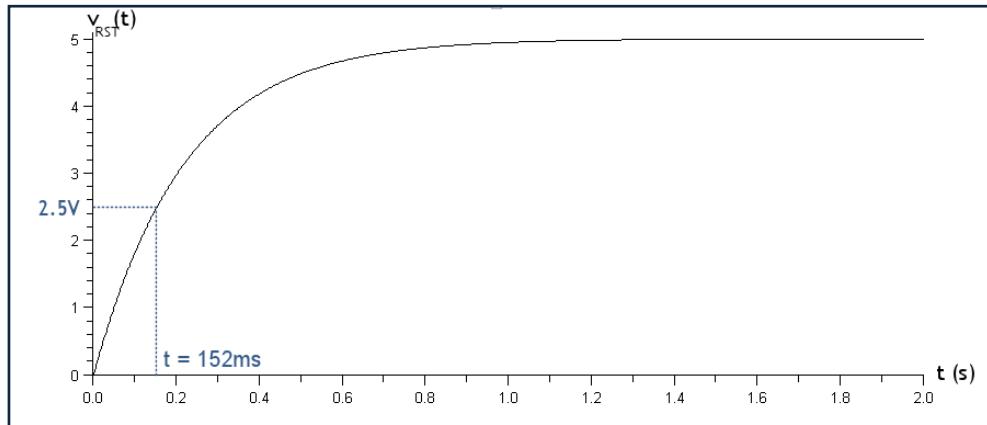


Figura 22.2: Curva de la carga del condensador con Maple10™ para $R=22K\Omega$ y $C=10\mu F$

22.3 Condensadores de filtrado:

Además de los circuitos de Reset explicados anteriormente, los circuitos integrados que hemos utilizado necesitan un filtrado en su alimentación positiva (y negativa, cuando exista). Para ello hemos utilizado condensadores de capacidad $100nF$.

Para la alimentación general de todo nuestro sistema, tanto analógico como digital, también se ha tenido en consideración su filtrado, por lo que conectamos en paralelo 3 condensadores de $470\mu F$, $100nF$ y $100pF$ para **filtrar las bajas, medias y altas frecuencias**, respectivamente.

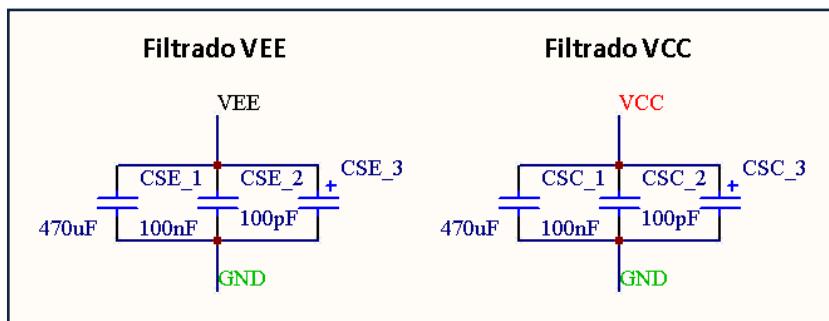
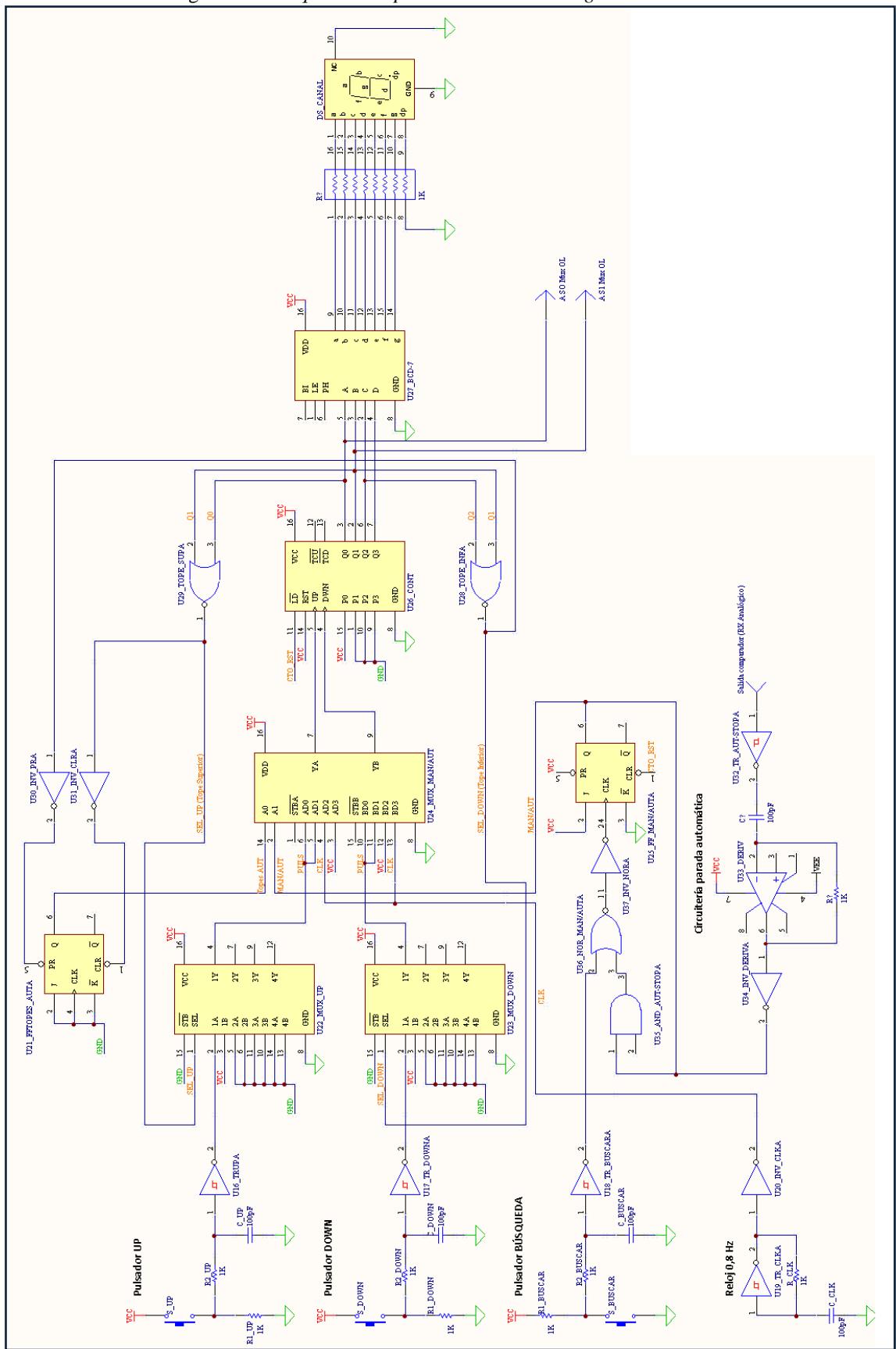


Figura 22.3: Filtrado de las alimentaciones positiva y negativa.

23. Resumen del sistema digital:

Figura 23.1: Esquema completo del subsistema digital.



Parte IV: Módulos de mejoras



24. Modo automático de selección de canal

24.1 Descripción de la mejora:

El objetivo de esta mejora es que el sistema **se pare automáticamente** cuando esté en *modo Búsqueda* y se detecte una sintonía.

Aunque su funcionamiento se explicará de forma más exhaustiva en el *apartado 17.3*, grosso modo podríamos decir que la información que se usa para parar la búsqueda es el **estado del LED de sintonía** (*apartado 15.2*). Esta información que nos proporciona el LED, se *transformará* a información digital, la cual será usada para *inhibir* el funcionamiento del *modo Búsqueda* (esta extensión del *modo Búsqueda* es la que hemos llamado *modo automático*).

Como se puede observar en las figuras del apartado siguiente, este módulo está compuesto de un inversor *Trigger-Schmidt* 74HC14, un amplificador operacional configurado como derivador, un inversor y algunas puertas lógicas.

24.2 Esquema circuital:

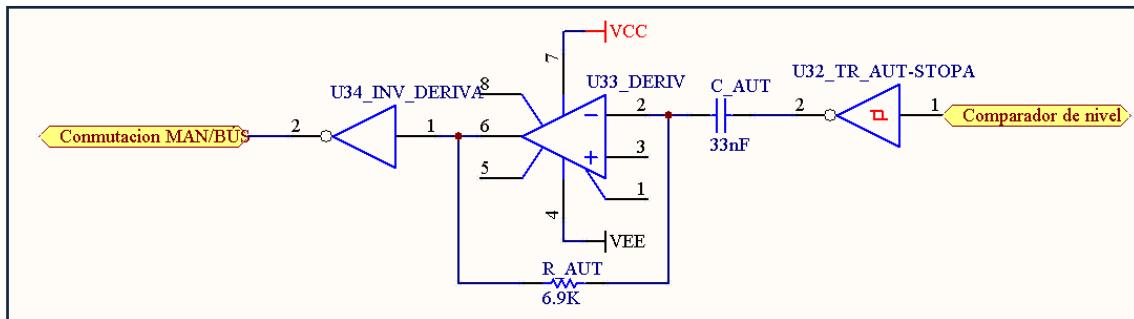


Figura 24.1: Circuito diferenciador. Obtiene un flanco al detectar portadora.

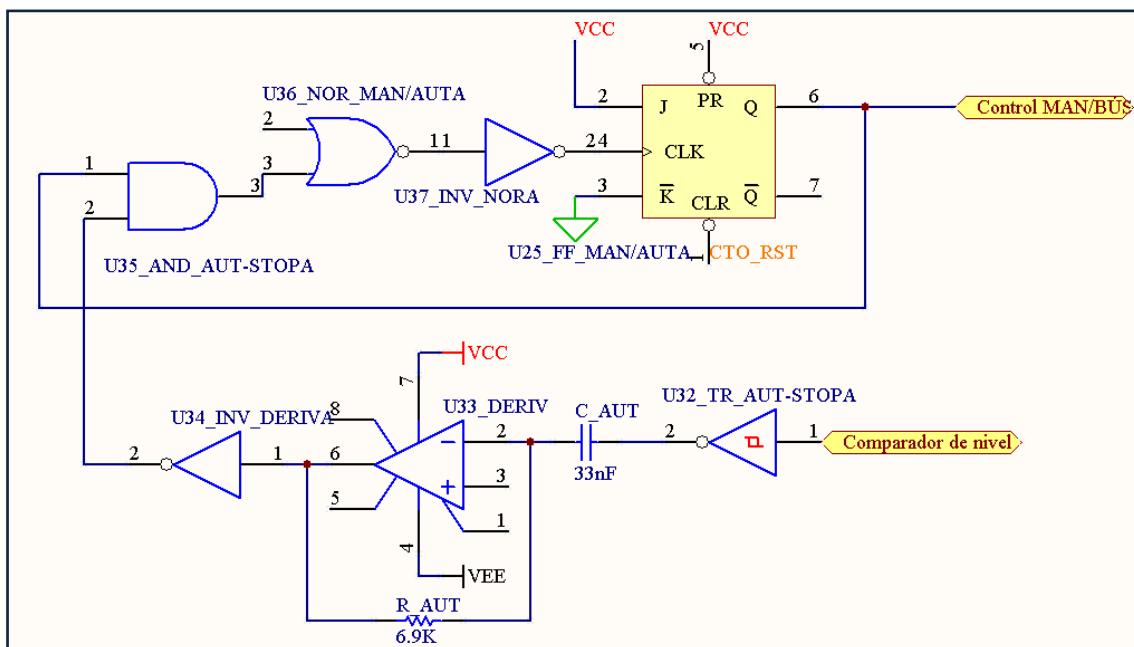


Figura 24.2: Esquema de integración del circuito diferenciador con el circuito de commutación MAN/BÚS.

24.3 Análisis teórico:

Sabemos que la ecuación de transferencia de un Amplificador Operacional en configuración diferenciadora es:

$$V_{out} = -RC \cdot \frac{dV_{in}}{dt} == -\tau \cdot \frac{dV_{in}}{dt}$$

Queremos que la *constante de tiempo* τ tenga un valor algo inferior a los milisegundos, suficiente para que se adecúe a las señales del LED de detección de portadora cuyo funcionamiento se explica en breve.

$$\tau = 230\mu s$$

Fijamos un valor de C comercial cualquiera, y calculamos R para obtener τ :

$$C = 33nF$$

$$R = \frac{\tau}{C} = \frac{250\mu s}{33nF} \approx 6969 \Omega$$

Aproximamos con un valor comercial cercano $R = 6900\Omega$ y recalculamos τ :

$$\tau = RC = 6900\Omega \cdot 33nF = 227\mu s$$

Ahora pensemos en el diodo de detección de portadora (comparador de nivel, *apartado 15*). Si tenemos portadora, el diodo se encenderá, es decir tendrá una tensión - superior a un valor V_V - cercana a 5V (está conectado a una salida *Open Drain* con una resistencia de pull-down de $1K\Omega$). Si está apagado la tensión en bornas del diodo será menor a V_V .

Si esta información la ponemos a la entrada del Trigger-Schmidt, a la salida lo que obtenemos son unos *valores lógicos normalizados*, en este caso, al ser también inversor, tendremos un *0 lógico* cuando el diodo está conduciendo y un *1 lógico* cuando no lo está.

Hasta ahora, lo que tenemos son señales, que varían entre dos niveles. Para convertir ésta en un pulso *muy estrecho*, usamos un derivador. Como el derivador es, a su vez, un inversor (recordemos su función de transferencia), cuando el LED se encienda, a la salida del derivador tendremos un pulso negativo (transición de *nivel alto* a *nivel bajo*).

Ponemos un inversor a la salida del derivador puesto que el inversor, tomará los pulsos negativos como si de un *0 lógico* se tratará, por tanto a la salida del inversor, tenemos un pulso positivo durante un pequeño instante de tiempo (Δt) cada vez que el LED comuta y se enciende. Cada vez que se apaga el LED, se generará un pulso de subida a la salida del Trigger-Schmidt, que a la salida del inversor se convertirá en un *0 lógico*.

Por otra parte (*figura 24.2*), queremos que el sistema de búsqueda automática se pare cuando **pulsamos el correspondiente pulsador ó cuando se detecta portadora**, de ahí el conjunto ***NOR*** a la entrada de reloj del biestable. Como el LED, y por tanto el derivador están constantemente funcionando, y sólo queremos que la parada automática sea efectiva cuando estamos en el *modo Buscar* necesitamos inhibir dichas señales cuando estamos en *modo Manual*. Si no lo hiciéramos podría saltar el modo automático cada vez que hubiera sintonía. En resumen: queremos que las señales provenientes del derivador se propaguen a la entrada de reloj del biestable **si y solo si** el modo automático **está activado**. De ahí la existencia de la puerta **AND**.

25. Diseño del transmisor en circuito impreso

25.1 Descripción de la mejora:

Esta mejora trata de tomar el diseño existente –hecho en placa de inserción– y realizarlo en una **placa de circuito impreso** (PCB por sus siglas en inglés, *Printed Circuit Board*).

Una de las motivaciones a la hora de embarcarse en un proyecto de este tipo es que resulta interesante desde el punto de vista académico más allá del meramente funcional. De hecho, es una forma de acercarse un poco más a las tecnologías usadas comercialmente, salvando las distancias, claro está.

De la realización de esta mejora hemos obtenido un *feedback* muy positivo en cuanto a conocimientos adquiridos. Para aprender el manejo del programa de CAD utilizado para realizar el PCB (Protel DXPTM) ha sido necesario **consultar numerosa documentación** de este software y en concreto, leer con bastante interés, un libro²⁸ especializado.

De cara a la correcta fabricación del PCB también ha sido necesario documentarse en cuanto a dimensiones adecuadas de *pads*, *pistas*, etc.

Se ha procurado, asimismo, ser cuidadosos con la topología de las pistas, especialmente las de alimentación, con mención especial a la **topología de la red de masa** (que se verá con más detalle en el *apartado 25.4*).

25.2 Esquema circuital:

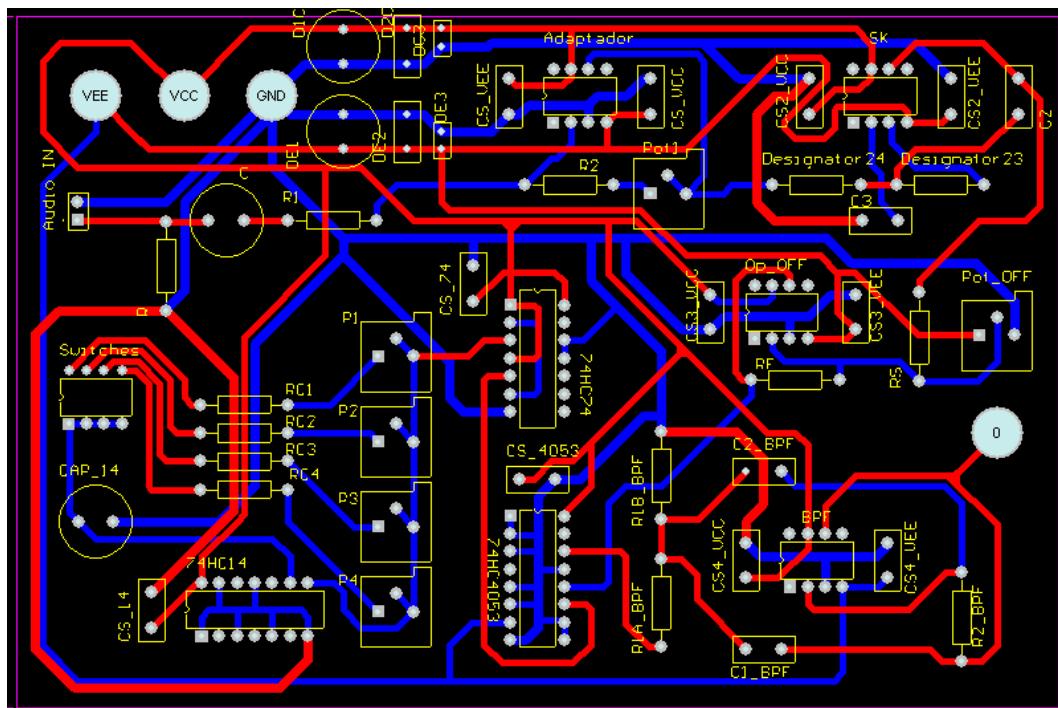


Figura 25.1: Esquema circuital del PCB a doble cara. Las pistas rojas representan la cara superior, las pistas azules la inferior.

²⁸ Diseño e ingeniería electrónica asistida con Protel DXP, de Manuel Torres y Miguel A. Torres, Ed Ra-Ma[®]

25.3 Proceso, criterios y tecnologías usadas el diseño:

El proceso diseño ha sido llevado a cabo de principio a fin –desde la realización del esquemático a la impresión de los fotolitos- con la herramienta de CAD Protel DXP™. Uno de los motivos determinantes por los que nos decidimos a utilizar dicho software fue el reto que suponía aprender a usar un programa de ámbito profesional, usado ampliamente en importantes multinacionales (*BAE Systems, BMW Motorsport*), lo cual es académicamente atractivo.

El diseño del PCB presenta las siguientes:

Diseño a **doble cara**, interconectadas usando los pines de los componentes electrónicos (no se usan vias).

- Topología en estrella para la red de masa.
- Ancho de pista de 50 mil.²⁹ para la red de masa.
- Ancho de pista de 35 mil. para el resto de las pistas.
- Diámetro interior para los *pads* de 35 mil. Diámetro exterior de 70 mil.
- Colocación manual de los componentes.
- Trazado manual de las pistas.
- No uso, en la medida de lo posible, de ángulos de 90° entre las pistas.
- No colocación de pistas demasiado juntas.

Como se puede observar, se ha omitido el uso de herramientas de *autoplacing* (colocación automática de los componentes sobre el PCB) o *autorouting* (ruteado automático de las pistas).

La colocación de los componentes de asemeja, en cierta medida, a la distribución de módulos presentada en las especificaciones de la práctica que tienen que ver con el transmisor. Esto es así, para facilitar la comprensión del circuito.

25.4 Figuras adicionales:

A continuación se pueden observar las vistas *renderizadas en 3D* del prototipo del PCB, antes de su fabricación. Esta vista tridimensional de la placa es una función del programa de CAD usado.

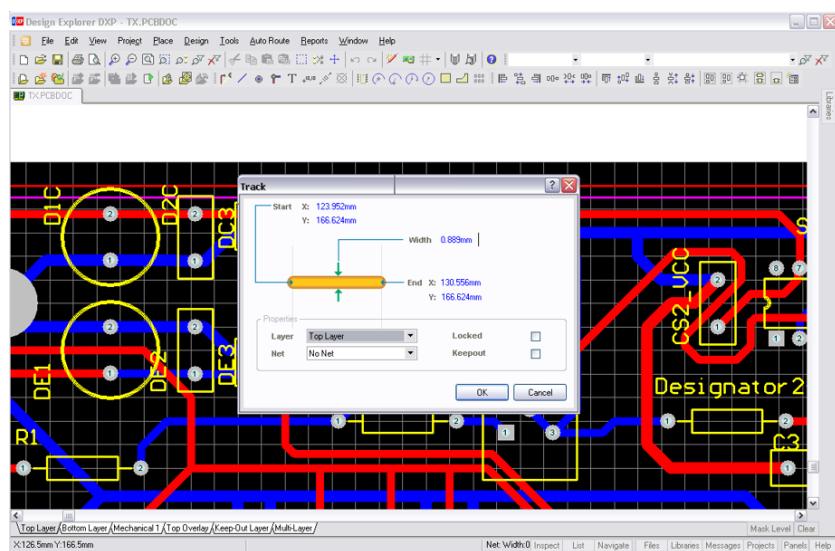


Figura 25.2: Entorno de trabajo con Protel DXP™

²⁹ Milésimas de pulgada.

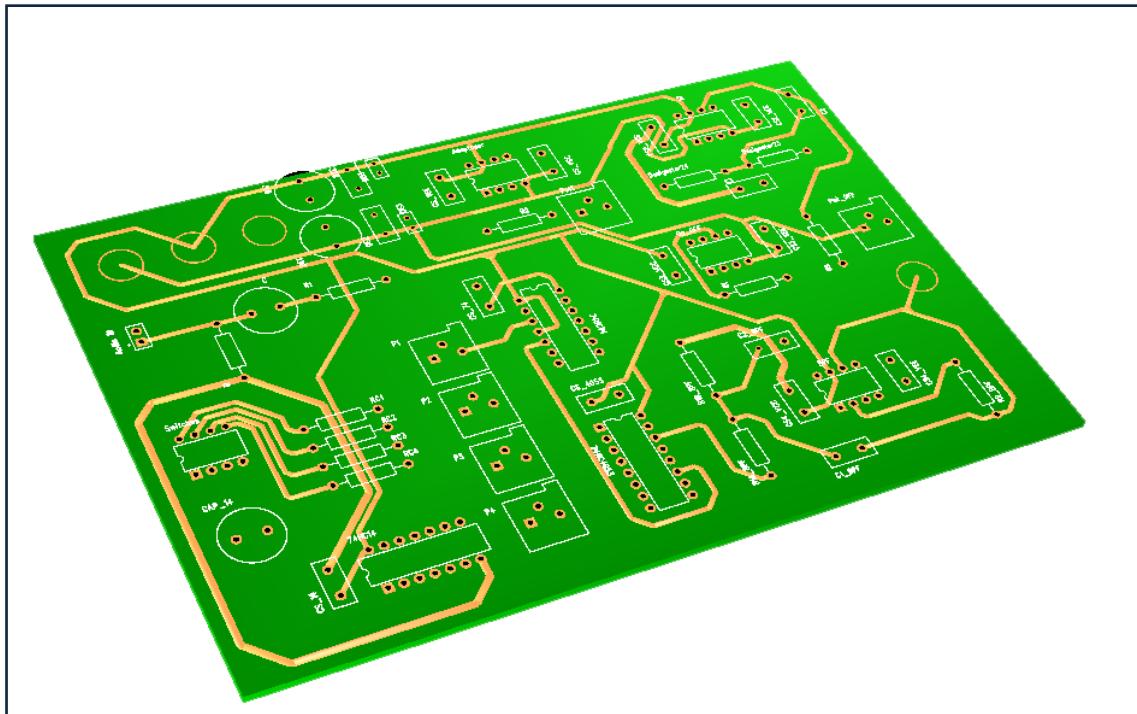


Figura 25.3: Diseño tridimensional del anverso del circuito impreso.

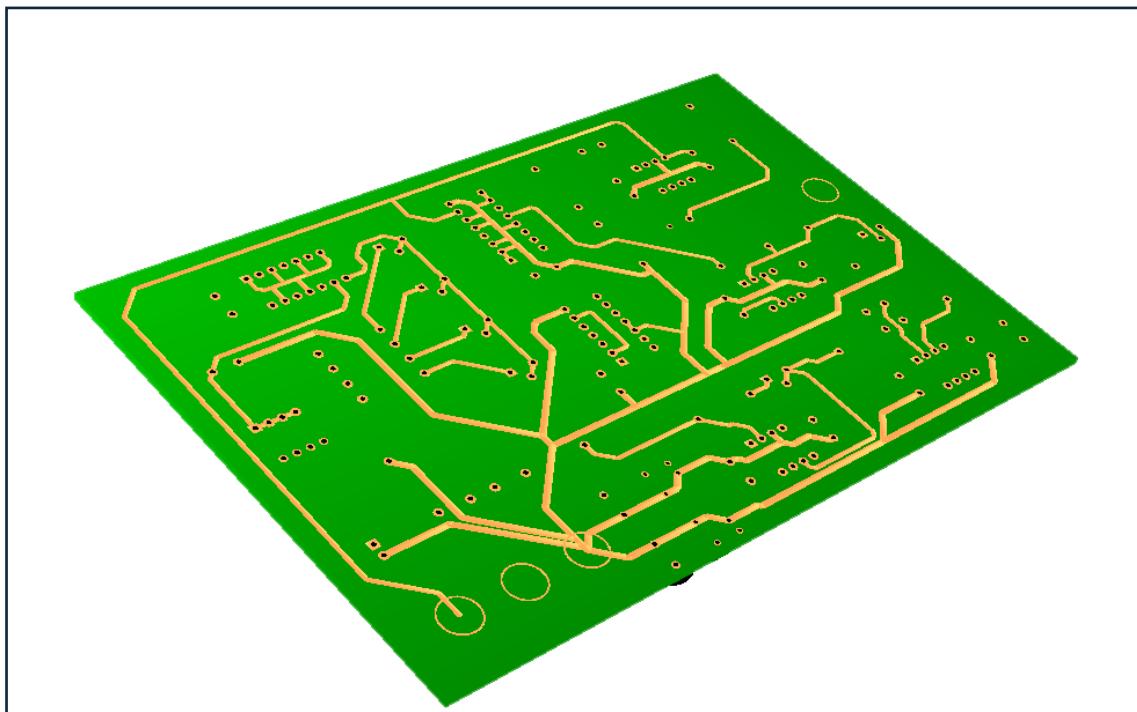


Figura 25.4: Diseño tridimensional del reverso del circuito impreso.



26. Sistema digital con el CPLD CoolRunner-II™

26.1 Descripción de la mejora:

Esta mejora trata de integrar la mayor parte posible de lógica digital en un dispositivo de lógica programable, concretamente en un **CPLD** Xilinx de la familia **CoolRunner-II**, montado sobre una placa Digilent XC2-XL. La elección de este dispositivo se debe simplemente a motivos de disponibilidad, aunque por otra parte *resultaba atractivo* trabajar sobre un dispositivo bastante común a nivel comercial, como puede ser este CPLD.

De hecho, una de las principales motivaciones para intentar llevar a término esta mejora –al igual que con el PCB– es el acercamiento que supone a las tecnologías usadas en el mundo de la *electrónica industrial*. Asimismo es la mejor forma de consolidar y poner en práctica ciertos conocimientos de **VHDL** aprendidos en la asignatura *Circuitos Electrónicos Digitales*, así como de obtener nuevos conocimientos técnicos en lo que al *entorno* de trabajo con este tipo de dispositivos se refiere: interfaces **JTAG**, trabajo con niveles lógicos distintos (**0V** y **3,3V**), etc.

Destacamos asimismo, el reto que ha supuesto aprender usar –a nivel básico– el entorno de desarrollo *Xilinx ISE WebPack 9.2i* y los problemas derivados de la conexión *PC ↔ CPLD* mediante el cable *Paralelo ↔ JTAG*.

26.2 Esquema circuital:



Figura 26.1: *CPLD de la familia Xilinx XC9500XL con CoolRunner-II™*

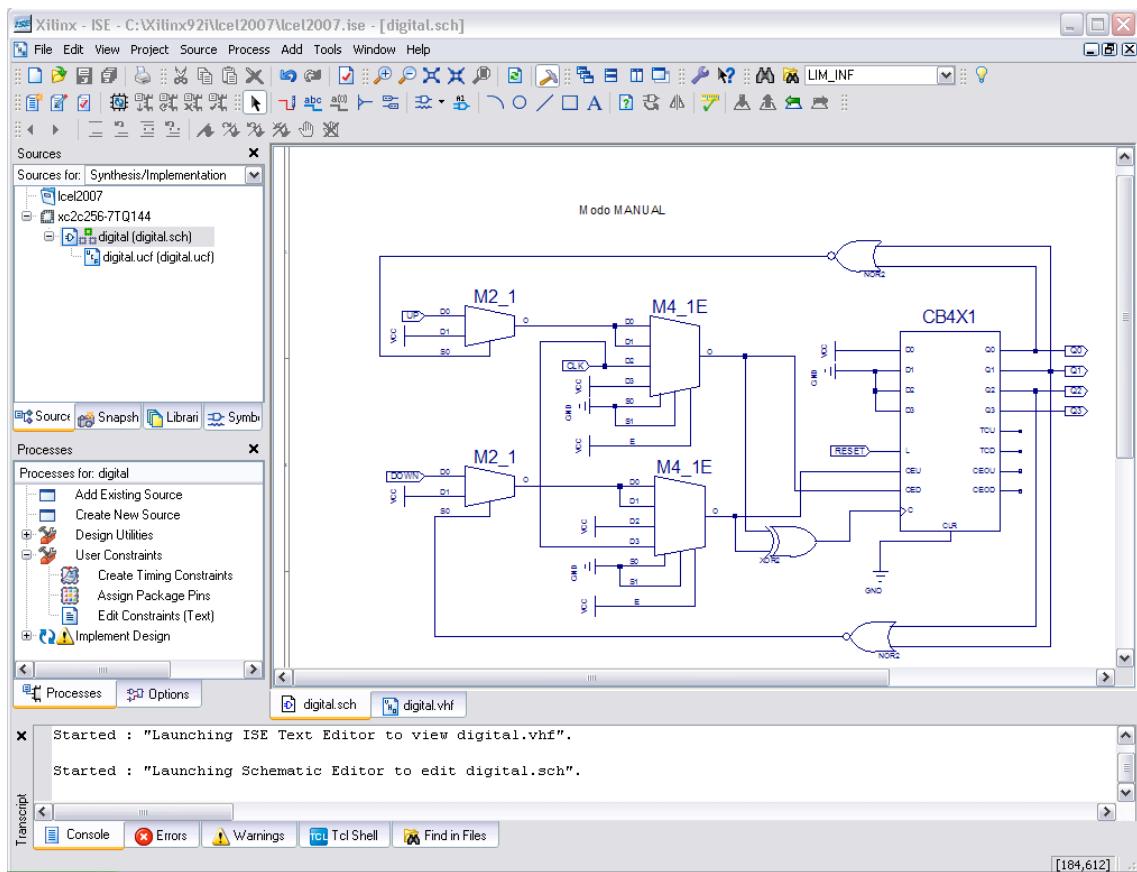


Figura 26.2: Captura del esquemático del modo manual con Xilinx ISE WebPack®

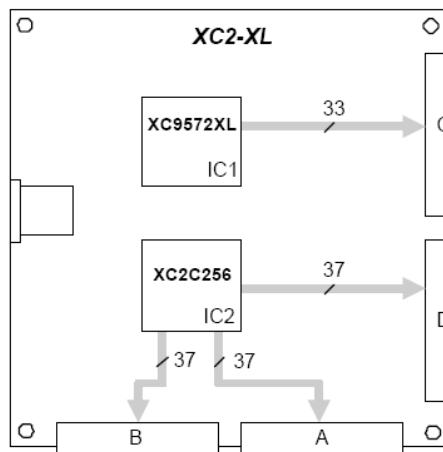
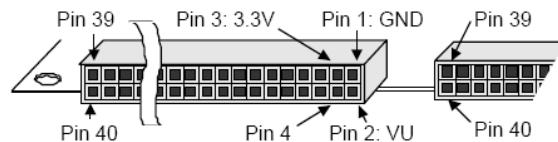


Figure 5. Expansion Connectors

Figura 26.3: Esquema de localización de pines del XC9572XL y XC2C256 en la placa XC2-XL. Fuente: Datasheet XC2-XL, Digilent, Inc.

Table 1. XC2-XL board expansion connector pinouts											
A connector (J3)			B connector (J4)			C connector (J5)			D connector (J6)		
Pin	Signal	CR2 pin	Pin	Signal	CR2 pin	Pin	Signal	XC95 pin	Pin	Signal	CR2 pin
1	GND	-	1	GND	-	1	GND	-	1	GND	-
2	VU	-	2	VU	-	2	VU	-	2	VU	-
3	VDD33	-	3	VDD33	-	3	VDD33	-	3	VDD33	-
4	A4	43	4	B4/GSR	143	4	C4/LD3	44	4	D4	91
5	A5	42	5	B5	142	5	C5	43	5	L5	88
6	A6	41	6	B6	140	6	C6	42	6	D6	87
7	A7	39	7	B7	139	7	C7	41	7	D7	86
8	A8	40	8	B8	138	8	C8	40	8	D8	85
9	XCCCLK	38	9	B9	137	9	C9	39	9	D9	83
10	A10	34	10	B10	136	10	C10	38	10	D10	82
11	A11	35	11	B11	135	11	C11	37	11	D11	81
12	A12	33	12	B12	134	12	C12	36	12	D12	80
13	A13	32	13	B13	133	13	C13	34	13	D13	79
14	A14	31	14	B14	132	14	C14/GSR	33	14	D14	78
15	A15	30	15	B15	131	15	C15	32	15	D15	77
16	A16	28	16	B16	130	16	C16	31	16	D16	76
17	A17	26	17	B17	129	17	C17	30	17	D17	75
18	A18	25	18	B18	128	18	C18	29	18	D18	74
19	A19	24	19	B19	126	19	C19	28	19	D19	71
20	A20	23	20	B20	125	20	C20	27	20	D20	70
21	A21	22	21	B21	124	21	C21	23	21	D21	69
22	A22	21	22	B22	121	22	C22	22	22	D22	68
23	A23	20	23	B23	120	23	C23	21	23	D23	66
24	A24	19	24	B24	119	24	C24	20	24	D24	64
25	A25	18	25	B25	118	25	C25	19	25	D25	61
26	A26	17	26	B26	117	26	C26	7	26	D26	60
27	A27	16	27	B27	116	27	C27		27	D27	59
28	A28	15	28	B28	115	28	C28		28	D28	58
29	A29	14	29	B29	114	29	C29		29	D29	57
30	A30	13	30	B30	113	30	C30	3	30	D30	56
31	A31	12	31	B31	112	31	C31	2	31	D31	54
32	A32	11	32	B32	111	32	XLCLK	1	32	D32	53
33	A33	10	33	B33	110	33	C33	18	33	D33	52
34	A34	9	34	B34	107	34	C34	16	34	D34	51
35	A35	7	35	B35	106	35	C35	14	35	D35	50
36	A36	6	36	B36	105	36	C36	13	36	D36	49
37	A37	5	37	B37	104	37	C37	12	37	D37	48
38	A38	4	38	B38	103	38	C38	8	38	D38	46
39	A39	3	39	B39	102	39	C39	6	39	D39	45
40	A40	2	40	B40	101	40	C40	5	40	D40	44

Figura 26.4: Tablas de localización de los pines del XC2C256 en la placa XC2-XL. Fuente: Datasheet XC2-XL, Digilent, Inc.

26.3.1 Código VHDL no incluido en el software:

Algunos de los módulos utilizados en el subsistema digital, como el Decodificador de BCD a 7 segmentos, no se encontraban en las librerías primitivas del software de programación del CPLD. Es por ello que nos vimos obligados a buscar información³⁰ para poder escribir su código VHDL funcional.

³⁰ Ref. [4], página 87.

Decodificador BCD a 7 segmentos:

Recibimos 4 bits de entrada en *notación BCD* y los transformamos a lógica de 7 segmentos para que ilumine los leds adecuados del display. La asignación de unos y ceros a la salida viene dado por la tabla de verdad³¹ del componente:

```

library ieee;
use ieee.std_logic_1164.all;
entity decodificador is port (
    A: in std_logic_vector(3 downto 0);
    d: out std_logic_vector(6 downto 0);
end decodificador;
architecture logica of decodificador is
begin
process (A) begin
    case A is
        when "0000" => d <= "0000001";
        when "0001" => d <= "1001111";
        when "0010" => d <= "0010010";
        when "0011" => d <= "0000110";
        when "0100" => d <= "1001100";
        when "0101" => d <= "0100100";
        when "0110" => d <= "0100000";
        when "0111" => d <= "0001110";
        when "1000" => d <= "0000000";
        when "1001" => d <= "0000100";
        when others => d <= "1111111";
    end case;
end process;
end logica;
```

³¹ Ref. [4], página 86, Tabla 3.5

26.3 Código VHDL del subsistema digital:

```

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;
entity AND6_MXILINX_digital is
    port ( I0 : in  std_logic;
           I1 : in  std_logic;
           I2 : in  std_logic;
           I3 : in  std_logic;
           I4 : in  std_logic;
           I5 : in  std_logic;
           O  : out  std_logic);
end AND6_MXILINX_digital;
architecture BEHAVIORAL of AND6_MXILINX_digital is
begin
    attribute BOX_TYPE : string ;
    signal I35 : std_logic;
    component AND3
        port ( I0 : in  std_logic;
               I1 : in  std_logic;
               I2 : in  std_logic;
               O  : out  std_logic);
    end component;
    attribute BOX_TYPE of AND3 : component is
    "BLACK_BOX";
    component AND4
        port ( I0 : in  std_logic;
               I1 : in  std_logic;
               I2 : in  std_logic;
               I3 : in  std_logic;
               O  : out  std_logic);
    end component;
    attribute BOX_TYPE of AND4 : component is
    "BLACK_BOX";
begin
    I_36_69 : AND3
        port map (I0=>I3,
                  I1=>I4,
                  I2=>I5,
                  O=>I35);
    I_36_85 : AND4
        port map (I0=>I0,
                  I1=>I1,
                  I2=>I2,
                  I3=>I35,
                  O=>O);
end BEHAVIORAL;

```

```

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;
entity AND7_MXILINX_digital is
    port ( I0 : in  std_logic;
           I1 : in  std_logic;
           I2 : in  std_logic;
           I3 : in  std_logic;
           I4 : in  std_logic;
           I5 : in  std_logic;
           I6 : in  std_logic;
           O  : out  std_logic);
end AND7_MXILINX_digital;
architecture BEHAVIORAL of AND7_MXILINX_digital is
begin
    attribute BOX_TYPE : string ;
    signal I36 : std_logic;
    component AND4
        port ( I0 : in  std_logic;
               I1 : in  std_logic;
               I2 : in  std_logic;
               I3 : in  std_logic;
               O  : out  std_logic);
    end component;
    attribute BOX_TYPE of AND4 : component is
    "BLACK_BOX";
    begin
        I_36_69 : AND4
            port map (I0=>I3,
                      I1=>I4,
                      I2=>I5,
                      I3=>I6,
                      O=>I36);
        I_36_85 : AND4
            port map (I0=>I0,
                      I1=>I1,
                      I2=>I2,
                      I3=>I36,
                      O=>O);
    end BEHAVIORAL;

```

```

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;
entity FDC_MXILINX_digital is
  port ( C : in std_logic;
         CLR : in std_logic;
         D : in std_logic;
         Q : out std_logic);
end FDC_MXILINX_digital;
architecture BEHAVIORAL of FDC_MXILINX_digital
is
  attribute BOX_TYPE : string ;
  signal XLXN_5 : std_logic;
  component GND
    port ( G : out std_logic);
  end component;
  attribute BOX_TYPE of GND : component is
"BLACK_BOX";
  component FDCP
    port ( C : in std_logic;
           CLR : in std_logic;
           D : in std_logic;
           PRE : in std_logic;
           Q : out std_logic);
  end component;
  attribute BOX_TYPE of FDCP : component is
"BLACK_BOX";
begin
  I_36_55 : GND
    port map (G=>XLXN_5);
  U0 : FDCP
    port map (C=>C,
              CLR=>CLR,
              D=>D,
              PRE=>XLXN_5,
              Q=>Q);
end BEHAVIORAL;

```

```

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;
entity CB4X1_MXILINX_digital is
  port ( C : in std_logic;
         CED : in std_logic;
         CEU : in std_logic;
         CLR : in std_logic;
         D0 : in std_logic;
         D1 : in std_logic;
         D2 : in std_logic;
         D3 : in std_logic;
         L : in std_logic;
         CEOD : out std_logic;
         CEOU : out std_logic;
         Q0 : out std_logic;
         Q1 : out std_logic;
         Q2 : out std_logic;
         Q3 : out std_logic;
         TCD : out std_logic;
         TCU : out std_logic);
end CB4X1_MXILINX_digital;
architecture BEHAVIORAL of CB4X1_MXILINX_digital
is
  attribute BOX_TYPE : string ;
  attribute HU_SET : string ;
  signal XLXN_1 : std_logic;
  signal XLXN_19 : std_logic;
  signal XLXN_20 : std_logic;
  signal XLXN_21 : std_logic;
  signal XLXN_22 : std_logic;
  signal XLXN_23 : std_logic;
  signal XLXN_24 : std_logic;
  signal XLXN_25 : std_logic;
  signal XLXN_26 : std_logic;
  signal XLXN_27 : std_logic;
  signal XLXN_28 : std_logic;
  signal XLXN_29 : std_logic;
  signal XLXN_30 : std_logic;
  signal XLXN_31 : std_logic;
  signal XLXN_32 : std_logic;
  signal XLXN_33 : std_logic;
  signal XLXN_34 : std_logic;
  signal XLXN_35 : std_logic;
  signal XLXN_36 : std_logic;
  signal XLXN_37 : std_logic;
  signal XLXN_38 : std_logic;
  signal XLXN_39 : std_logic;
  signal XLXN_40 : std_logic;

```

```

signal XLXN_41 : std_logic;
signal XLXN_42 : std_logic;
signal XLXN_43 : std_logic;
signal XLXN_44 : std_logic;
signal XLXN_45 : std_logic;
signal XLXN_46 : std_logic;
signal XLXN_47 : std_logic;
signal XLXN_48 : std_logic;
signal XLXN_49 : std_logic;
signal XLXN_50 : std_logic;
signal XLXN_51 : std_logic;
signal XLXN_52 : std_logic;
signal XLXN_53 : std_logic;
signal XLXN_54 : std_logic;
signal XLXN_55 : std_logic;
signal XLXN_56 : std_logic;
signal XLXN_57 : std_logic;
signal XLXN_58 : std_logic;
signal XLXN_59 : std_logic;
signal XLXN_60 : std_logic;
signal XLXN_61 : std_logic;
signal XLXN_62 : std_logic;
signal XLXN_63 : std_logic;
signal XLXN_64 : std_logic;
signal XLXN_65 : std_logic;
signal XLXN_66 : std_logic;
signal XLXN_67 : std_logic;
signal XLXN_68 : std_logic;
signal TCD_DUMMY : std_logic;
signal TCU_DUMMY : std_logic;
signal Q0_DUMMY : std_logic;
signal Q1_DUMMY : std_logic;
signal Q2_DUMMY : std_logic;
signal Q3_DUMMY : std_logic;
component AND2B1
    port ( I0 : in std_logic;
           I1 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of AND2B1 : component is
"BLACK_BOX";
component AND3B2
    port ( I0 : in std_logic;
           I1 : in std_logic;
           I2 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of AND3B2 : component is
"BLACK_BOX";
component OR3
    port ( I0 : in std_logic;
           I1 : in std_logic;
           I2 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of OR3 : component is
"BLACK_BOX";
component AND2
    port ( I0 : in std_logic;
           I1 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of AND2 : component is
"BLACK_BOX";
component XOR2
    port ( I0 : in std_logic;
           I1 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of XOR2 : component is
"BLACK_BOX";
component AND3B1
    port ( I0 : in std_logic;
           I1 : in std_logic;
           I2 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of AND3B1 : component is
"BLACK_BOX";
component AND4B3
    port ( I0 : in std_logic;
           I1 : in std_logic;
           I2 : in std_logic;
           I3 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of AND4B3 : component is
"BLACK_BOX";
component AND4B1
    port ( I0 : in std_logic;
           I1 : in std_logic;
           I2 : in std_logic;
           I3 : in std_logic;
           O : out std_logic);
end component;
attribute BOX_TYPE of AND4B1 : component is
"BLACK_BOX";
component AND5B4
    port ( I0 : in std_logic;
           I1 : in std_logic;
           I2 : in std_logic;
           I3 : in std_logic);
end component;

```

```

        I4 : in    std_logic;
        O  : out   std_logic);
      end component;

      attribute BOX_TYPE of AND5B4 : component is
      "BLACK_BOX";
      component AND6_MXILINX_digital
        port ( I0 : in    std_logic;
               I1 : in    std_logic;
               I2 : in    std_logic;
               I3 : in    std_logic;
               I4 : in    std_logic;
               I5 : in    std_logic;
               O  : out   std_logic);
      end component;
      component AND5B1
        port ( I0 : in    std_logic;
               I1 : in    std_logic;
               I2 : in    std_logic;
               I3 : in    std_logic;
               I4 : in    std_logic;
               O  : out   std_logic);
      end component;
      attribute BOX_TYPE of AND5B1 : component is
      "BLACK_BOX";
      component INV
        port ( I : in    std_logic;
               O : out   std_logic);
      end component;
      attribute BOX_TYPE of INV : component is
      "BLACK_BOX";
      component AND4
        port ( I0 : in    std_logic;
               I1 : in    std_logic;
               I2 : in    std_logic;
               I3 : in    std_logic;
               O  : out   std_logic);
      end component;
      attribute BOX_TYPE of AND4 : component is
      "BLACK_BOX";
      component AND7_MXILINX_digital
        port ( I0 : in    std_logic;
               I1 : in    std_logic;
               I2 : in    std_logic;
               I3 : in    std_logic;
               I4 : in    std_logic;
               I5 : in    std_logic;
               I6 : in    std_logic;
               O  : out   std_logic);
      end component;
      component NOR4
        port ( I0 : in    std_logic;
               I1 : in    std_logic;
               I2 : in    std_logic;
               I3 : in    std_logic;
               O  : out   std_logic);
      end component;
      attribute BOX_TYPE of NOR4 : component is
      "BLACK_BOX";
      component OR2
        port ( I0 : in    std_logic;
               I1 : in    std_logic;
               O  : out   std_logic);
      end component;
      attribute BOX_TYPE of OR2 : component is
      "BLACK_BOX";
      component GND
        port ( G : out   std_logic);
      end component;
      attribute BOX_TYPE of GND : component is
      "BLACK_BOX";
      component FDC_MXILINX_digital
        port ( C  : in    std_logic;
               CLR : in    std_logic;
               D   : in    std_logic;
               Q   : out   std_logic);
      end component;
      attribute HU_SET of I_36_199 : label is
      "I_36_199_7";
      attribute HU_SET of I_36_406 : label is
      "I_36_406_6";
      attribute HU_SET of I_36_408 : label is
      "I_36_408_5";
      attribute HU_SET of TCDINV : label is
      "TCDINV_2";
      attribute HU_SET of U0 : label is "U0_1";
      attribute HU_SET of U1 : label is "U1_0";
      attribute HU_SET of U2 : label is "U2_4";
      attribute HU_SET of U3 : label is "U3_3";
      begin
        Q0 <= Q0_DUMMY;
        Q1 <= Q1_DUMMY;
        Q2 <= Q2_DUMMY;
        Q3 <= Q3_DUMMY;
        TCD <= TCD_DUMMY;
        TCU <= TCU_DUMMY;
        I_36_91 : AND2B1
          port map (I0=>XLXN_48,
                    I1=>Q0_DUMMY,
                    O=>XLXN_68);
        I_36_92 : AND3B2
          port map (I0=>XLXN_48,
                    I1=>XLXN_36,
                    I2=>XLXN_35,
                    O=>XLXN_33);
      
```

```

I_36_93 : OR3
port map (I0=>XLXN_32,
           I1=>XLXN_33,
           I2=>XLXN_34,
           O=>XLXN_31);

I_36_94 : AND2
port map (I0=>D0,
           I1=>XLXN_48,
           O=>XLXN_32);

I_36_95 : AND2B1
port map (I0=>XLXN_48,
           I1=>XLXN_36,
           O=>XLXN_34);

I_36_97 : XOR2
port map (I0=>XLXN_68,
           I1=>XLXN_31,
           O=>XLXN_39);

I_36_122 : AND3B1
port map (I0=>XLXN_48,
           I1=>Q0_DUMMY,
           I2=>XLXN_36,
           O=>XLXN_29);

I_36_123 : AND4B3
port map (I0=>Q0_DUMMY,
           I1=>XLXN_48,
           I2=>XLXN_36,
           I3=>XLXN_35,
           O=>XLXN_30);

I_36_124 : OR3
port map (I0=>XLXN_28,
           I1=>XLXN_29,
           I2=>XLXN_30,
           O=>XLXN_27);

I_36_125 : AND2
port map (I0=>D1,
           I1=>XLXN_48,
           O=>XLXN_28);

I_36_126 : AND2B1
port map (I0=>XLXN_48,
           I1=>Q1_DUMMY,
           O=>XLXN_67);

I_36_128 : XOR2
port map (I0=>XLXN_67,
           I1=>XLXN_27,
           O=>XLXN_38);

I_36_161 : AND4B1
port map (I0=>XLXN_48,
           I1=>Q1_DUMMY,
           I2=>Q0_DUMMY,
           I3=>XLXN_36,
           O=>XLXN_25);

I_36_162 : AND5B4
port map (I0=>Q1_DUMMY,
           I1=>Q0_DUMMY,
           I2=>XLXN_48,
           I3=>XLXN_36,
           I4=>XLXN_35,
           O=>XLXN_26);

I_36_165 : OR3
port map (I0=>XLXN_24,
           I1=>XLXN_25,
           I2=>XLXN_26,
           O=>XLXN_23);

I_36_166 : AND2
port map (I0=>D2,
           I1=>XLXN_48,
           O=>XLXN_24);

I_36_167 : AND2B1
port map (I0=>XLXN_48,
           I1=>Q2_DUMMY,
           O=>XLXN_66);

I_36_168 : XOR2
port map (I0=>XLXN_66,
           I1=>XLXN_23,
           O=>XLXN_42);

I_36_199 : AND6_mxILINX_digital
port map (I0=>XLXN_60,
           I1=>XLXN_65,
           I2=>XLXN_64,
           I3=>XLXN_63,
           I4=>XLXN_62,
           I5=>XLXN_35,
           O=>XLXN_22);

I_36_200 : AND5B1
port map (I0=>XLXN_48,
           I1=>Q2_DUMMY,
           I2=>Q1_DUMMY,
           I3=>Q0_DUMMY,
           I4=>XLXN_36,
           O=>XLXN_21);

I_36_201 : INV
port map (I=>XLXN_36,
           O=>XLXN_62);

I_36_202 : OR3
port map (I0=>XLXN_20,
           I1=>XLXN_21,
           I2=>XLXN_22,
           O=>XLXN_19);

```

```

I_36_204 : AND2
    port map (I0=>D3,
               I1=>XLXN_48,
               O=>XLXN_20);
I_36_205 : AND2B1
    port map (I0=>XLXN_48,
               I1=>Q3_DUMMY,
               O=>XLXN_61);
I_36_206 : XOR2
    port map (I0=>XLXN_61,
               I1=>XLXN_19,
               O=>XLXN_41);
I_36_207 : INV
    port map (I=>XLXN_48,
               O=>XLXN_63);
I_36_208 : INV
    port map (I=>Q0_DUMMY,
               O=>XLXN_64);
I_36_209 : INV
    port map (I=>Q1_DUMMY,
               O=>XLXN_65);
I_36_210 : INV
    port map (I=>Q2_DUMMY,
               O=>XLXN_60);
I_36_400 : AND4
    port map (I0=>Q3_DUMMY,
               I1=>Q2_DUMMY,
               I2=>Q1_DUMMY,
               I3=>Q0_DUMMY,
               O=>TCU_DUMMY);
I_36_406 : AND7_MXILINX_digital
    port map (I0=>XLXN_55,
               I1=>XLXN_51,
               I2=>XLXN_56,
               I3=>XLXN_57,
               I4=>XLXN_58,
               I5=>XLXN_59,
               I6=>XLXN_54,
               O=>XLXN_44);
I_36_407 : INV
    port map (I=>XLXN_35,
               O=>XLXN_54);
I_36_408 : AND7_MXILINX_digital
    port map (I0=>XLXN_43,
               I1=>XLXN_52,
               I2=>XLXN_53,
               I3=>Q0_DUMMY,
               I4=>XLXN_49,
               I5=>XLXN_50,
               I6=>XLXN_35,
               O=>XLXN_46);
I_36_411 : INV
    port map (I=>XLXN_36,
               O=>XLXN_59);
I_36_412 : INV
    port map (I=>XLXN_48,
               O=>XLXN_58);
I_36_413 : INV
    port map (I=>Q0_DUMMY,
               O=>XLXN_57);
I_36_414 : INV
    port map (I=>Q1_DUMMY,
               O=>XLXN_56);
I_36_415 : INV
    port map (I=>Q2_DUMMY,
               O=>XLXN_51);
I_36_416 : INV
    port map (I=>XLXN_36,
               O=>XLXN_50);
I_36_417 : INV
    port map (I=>XLXN_48,
               O=>XLXN_49);
I_36_418 : INV
    port map (I=>Q3_DUMMY,
               O=>XLXN_55);
I_36_419 : INV
    port map (I=>Q1_DUMMY,
               O=>XLXN_53);
I_36_420 : INV
    port map (I=>Q2_DUMMY,
               O=>XLXN_52);
I_36_421 : INV
    port map (I=>Q3_DUMMY,
               O=>XLXN_43);
I_36_460 : AND5B4
    port map (I0=>D3,
               I1=>D2,
               I2=>D1,
               O=>XLXN_46);

```

```

I_3=>D0,
I4=>XLXN_48,
O=>XLXN_45);
TCDINV : FDC_MXILINX_digital
port map (C=>C,
CLR=>CLR,
D=>XLXN_40,
Q=>XLXN_1);

I_36_462 : AND3B1
port map (I0=>XLXN_48,
I1=>XLXN_36,
I2=>TCU_DUMMY,
O=>XLXN_47);
U0 : FDC_MXILINX_digital
port map (C=>C,
CLR=>CLR,
D=>XLXN_39,
Q=>Q0_DUMMY);

I_36_471 : NOR4
port map (I0=>XLXN_47,
I1=>XLXN_45,
I2=>XLXN_46,
I3=>XLXN_44,
O=>XLXN_40);
U1 : FDC_MXILINX_digital
port map (C=>C,
CLR=>CLR,
D=>XLXN_38,
Q=>Q1_DUMMY);

I_36_482 : AND2
port map (I0=>XLXN_36,
I1=>TCU_DUMMY,
O=>CEOUI);
U2 : FDC_MXILINX_digital
port map (C=>C,
CLR=>CLR,
D=>XLXN_42,
Q=>Q2_DUMMY);

I_36_483 : AND3B1
port map (I0=>XLXN_36,
I1=>XLXN_35,
I2=>TCD_DUMMY,
O=>CEOD);
U3 : FDC_MXILINX_digital
port map (C=>C,
CLR=>CLR,
D=>XLXN_41,
Q=>Q3_DUMMY);

I_36_488 : INV
port map (I=>XLXN_1,
O=>TCD_DUMMY);
end BEHAVIORAL;

I_36_497 : OR2
port map (I0=>XLXN_37,
I1=>L,
O=>XLXN_48);
library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;

I_36_506 : OR2
port map (I0=>XLXN_37,
I1=>CEU,
O=>XLXN_36);
entity M2_1E_MXILINX_digital is
port ( D0 : in std_logic;
D1 : in std_logic;
E : in std_logic;
S0 : in std_logic;
O : out std_logic);
end M2_1E_MXILINX_digital;

I_36_508 : OR2
port map (I0=>XLXN_37,
I1=>CED,
O=>XLXN_35);
architecture BEHAVIORAL of M2_1E_MXILINX_digital
is
attribute BOX_TYPE : string ;

```

```

signal M0 : std_logic;
use ieee.std_logic_1164.ALL;
signal M1 : std_logic;
use ieee.numeric_std.ALL;
component AND3
library UNISIM;
port ( I0 : in std_logic;
       I1 : in std_logic;
       I2 : in std_logic;
       O : out std_logic);
end component;
attribute BOX_TYPE of AND3 : component is
"BLACK_BOX";

component AND3B1
port ( I0 : in std_logic;
       I1 : in std_logic;
       I2 : in std_logic;
       O : out std_logic);
end component;
attribute BOX_TYPE of AND3B1 : component is
"BLACK_BOX";

component OR2
port ( I0 : in std_logic;
       I1 : in std_logic;
       O : out std_logic);
end component;
attribute BOX_TYPE of OR2 : component is
"BLACK_BOX";
begin
I_36_30 : AND3
port map (I0=>D1,
          I1=>E,
          I2=>S0,
          O=>M1);

I_36_31 : AND3B1
port map (I0=>S0,
          I1=>E,
          I2=>D0,
          O=>M0);

I_36_38 : OR2
port map (I0=>M1,
          I1=>M0,
          O=>O);
end BEHAVIORAL;
library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;
entity M2_1_MXILINX_digital is
port ( D0 : in std_logic;
       D1 : in std_logic;
       S0 : in std_logic;
       O : out std_logic);
end M2_1_MXILINX_digital;
architecture BEHAVIORAL of M2_1_MXILINX_digital is
attribute BOX_TYPE : string ;
signal M0 : std_logic;
signal M1 : std_logic;
component AND2B1
port ( I0 : in std_logic;
       I1 : in std_logic;
       O : out std_logic);
end component;
attribute BOX_TYPE of AND2B1 : component is
"BLACK_BOX";
component OR2
port ( I0 : in std_logic;
       I1 : in std_logic;
       O : out std_logic);
end component;
attribute BOX_TYPE of OR2 : component is
"BLACK_BOX";
component AND2
port ( I0 : in std_logic;
       I1 : in std_logic;
       O : out std_logic);
end component;
attribute BOX_TYPE of AND2 : component is
"BLACK_BOX";
begin
I_36_7 : AND2B1
port map (I0=>S0,
          I1=>D0,
          O=>M0);

I_36_8 : OR2
port map (I0=>M1,
          I1=>M0,
          O=>O);

```

```

I_36_9 : AND2
    port map (I0=>D1,
               I1=>S0,
               O=>M1);
end BEHAVIORAL;

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;

entity M4_1E_MXILINX_digital is
    port ( D0 : in  std_logic;
           D1 : in  std_logic;
           D2 : in  std_logic;
           D3 : in  std_logic;
           E  : in  std_logic;
           S0 : in  std_logic;
           S1 : in  std_logic;
           O  : out std_logic);
end M4_1E_MXILINX_digital;

architecture BEHAVIORAL of M4_1E_MXILINX_digital is
begin
    attribute HU_SET      : string ;
    signal M01 : std_logic;
    signal M23 : std_logic;
    component M2_1E_MXILINX_digital
        port ( D0 : in  std_logic;
               D1 : in  std_logic;
               E  : in  std_logic;
               S0 : in  std_logic;
               O  : out std_logic);
    end component;

    component M2_1_MXILINX_digital
        port ( D0 : in  std_logic;
               D1 : in  std_logic;
               S0 : in  std_logic;
               O  : out std_logic);
    end component;

    attribute HU_SET of U1 : label is "U1_10";
    attribute HU_SET of U2 : label is "U2_9";
    attribute HU_SET of U3 : label is "U3_8";
begin
    U1 : M2_1E_MXILINX_digital
        port map (D0=>D0,
                  D1=>D1,
                  E=>E,
                  S0=>S0,
                  O=>M01);

    U2 : M2_1E_MXILINX_digital
        port map (D0=>D2,
                  D1=>D3,
                  E=>E,
                  S0=>S0,
                  O=>M23);

    U3 : M2_1_MXILINX_digital
        port map (D0=>M01,
                  D1=>M23,
                  S0=>S1,
                  O=>O);
end BEHAVIORAL;

library ieee;
use ieee.std_logic_1164.ALL;
use ieee.numeric_std.ALL;
library UNISIM;
use UNISIM.Vcomponents.ALL;

entity digital is
    port ( CLK   : in  std_logic;
           DOWN  : in  std_logic;
           RESET : in  std_logic;
           UP    : in  std_logic;
           Q0    : out std_logic;
           Q1    : out std_logic;
           Q2    : out std_logic;
           Q3    : out std_logic);
end digital;

architecture BEHAVIORAL of digital is
begin
    attribute HU_SET      : string ;
    attribute BOX_TYPE    : string ;
    signal CONT_CLK     : std_logic;
    signal CONT_CLR      : std_logic;
    signal CONT_DOWN    : std_logic;
    signal CONT_D0       : std_logic;
    signal CONT_D123    : std_logic;
    signal CONT_UP       : std_logic;
    signal DOWN_D1      : std_logic;
end BEHAVIORAL;

```

```

signal LIM_INF    : std_logic;           end component;
signal LIM_SUP    : std_logic;
signal MODO1_S    : std_logic;
signal MODO2_S    : std_logic;
signal SAL_DOWN   : std_logic;
signal SAL_UP     : std_logic;
signal UP_D1      : std_logic;
signal XLXN_12    : std_logic;
signal XLXN_14    : std_logic;
signal XLXN_17    : std_logic;
signal XLXN_18    : std_logic;
signal Q0_DUMMY   : std_logic;
signal Q1_DUMMY   : std_logic;
signal Q2_DUMMY   : std_logic;
component CB4X1_MXILINX_digital
  port ( C      : in  std_logic;
         CED    : in  std_logic;
         CEU    : in  std_logic;
         CLR    : in  std_logic;
         D0     : in  std_logic;
         D1     : in  std_logic;
         D2     : in  std_logic;
         D3     : in  std_logic;
         L      : in  std_logic;
         CEOD   : out std_logic;
         CEOU   : out std_logic;
         Q0     : out std_logic;
         Q1     : out std_logic;
         Q2     : out std_logic;
         Q3     : out std_logic;
         TCD    : out std_logic;
         TCU    : out std_logic);
end component;

component GND
  port ( G : out std_logic);
end component;
attribute BOX_TYPE of GND : component is "BLACK_BOX";

component VCC
  port ( P : out std_logic);
end component;
attribute BOX_TYPE of VCC : component is "BLACK_BOX";

component M2_1_MXILINX_digital
  port ( D0 : in  std_logic;
         D1 : in  std_logic;
         S0 : in  std_logic;
         O  : out std_logic);
end component;
component M4_1E_MXILINX_digital
  port ( D0 : in  std_logic;
         D1 : in  std_logic;
         D2 : in  std_logic;
         D3 : in  std_logic;
         E  : in  std_logic;
         S0 : in  std_logic;
         S1 : in  std_logic;
         O  : out std_logic);
end component;
component NOR2
  port ( I0 : in  std_logic;
         I1 : in  std_logic;
         O  : out std_logic);
end component;
attribute BOX_TYPE of NOR2 : component is "BLACK_BOX";
component XOR2
  port ( IO : in  std_logic;
         I1 : in  std_logic;
         O  : out std_logic);
end component;
attribute BOX_TYPE of XOR2 : component is "BLACK_BOX";
attribute HU_SET of CONTADOR : label is "CONTADOR_15";
attribute HU_SET of MUX_DOWN : label is "MUX_DOWN_12";
attribute HU_SET of MUX_MODO1 : label is "MUX_MODO1_13";
attribute HU_SET of MUX_MODO2 : label is "MUX_MODO2_14";
attribute HU_SET of MUX_UP : label is "MUX_UP_11";
begin
  Q0 <= Q0_DUMMY;
  Q1 <= Q1_DUMMY;
  Q2 <= Q2_DUMMY;
  CONTADOR : CB4X1_MXILINX_digital
    port map (C=>CONT_CLK,
              CED=>CONT_DOWN,
              CEU=>CONT_UP,
              CLR=>CONT_CLR,
              D0=>CONT_D0,
              D1=>CONT_D123,
              D2=>CONT_D123,
              D3=>CONT_D123,
              L=>RESET,

```

```

CEOD=>open,
CEOUI=>open,
Q0=>Q0_DUMMY,
Q1=>Q1_DUMMY,
Q2=>Q2_DUMMY,
Q3=>Q3,
TCD=>open,
TCU=>open);

CONT_GND : GND
port map (G=>CONT_CLR);

CONT_VCC : VCC
port map (P=>CONT_D0);

ENABLE1 : VCC
port map (P=>XLXN_17);

ENABLE2 : VCC
port map (P=>XLXN_18);

LOAD_GND : GND
port map (G=>CONT_D123);

MODO1_GND : GND
port map (G=>MODO1_S);

MODO2_GND : GND
port map (G=>MODO2_S);

MUX_DOWN : M2_1_MXILINX_digital
port map (D0=>DOWN,
D1=>DOWN_D1,
S0=>LIM_INF,
O=>SAL_DOWN);

MUX_DOWN1 : VCC
port map (P=>DOWN_D1);

MUX_MODOVCC : VCC
port map (P=>XLXN_12);

MUX_MODO1 : M4_1E_MXILINX_digital
port map (D0=>SAL_UP,
D1=>SAL_UP,

```

D2=>CLK,
D3=>XLXN_12,
E=>XLXN_17,
S0=>MODO1_S,
S1=>MODO1_S,
O=>CONT_DOWN);

```

MUX_MODO2 : M4_1E_MXILINX_digital
port map (D0=>SAL_DOWN,
D1=>SAL_DOWN,
D2=>XLXN_14,
D3=>CLK,
E=>XLXN_18,
S0=>MODO2_S,
S1=>MODO2_S,
O=>CONT_UP);

MUX_UP : M2_1_MXILINX_digital
port map (D0=>UP,
D1=>UP_D1,
S0=>LIM_SUP,
O=>SAL_UP);

MUX_UP1 : VCC
port map (P=>UP_D1);

NOR0 : NOR2
port map (I0=>Q0_DUMMY,
I1=>Q1_DUMMY,
O=>LIM_SUP);

NOR1 : NOR2
port map (I0=>Q1_DUMMY,
I1=>Q2_DUMMY,
O=>LIM_INF);

XLXI_10 : VCC
port map (P=>XLXN_14);

XOR1 : XOR2
port map (I0=>CONT_UP,
I1=>CONT_DOWN,
O=>CONT_CLK);

end

```

BEHAVIORAL;

27. Esquemáticos de la simulación en PSPICE™

A continuación adjuntamos los esquemáticos utilizados con el software PSPICE™ con los que hicimos las simulaciones de cada apartado: es importante conocer con qué elementos circuitales se produjeron las curvas en el dominio del tiempo y de la frecuencia.

27.1 Alimentación del sistema:

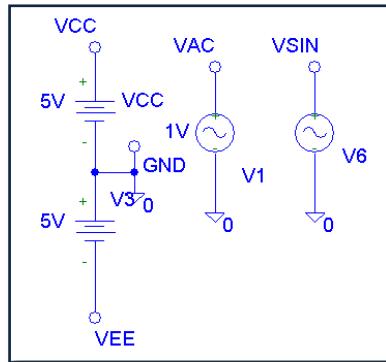


Figura 27.1: Alimentación del sistema en PSPICE™.

27.2 Adaptador de señal:

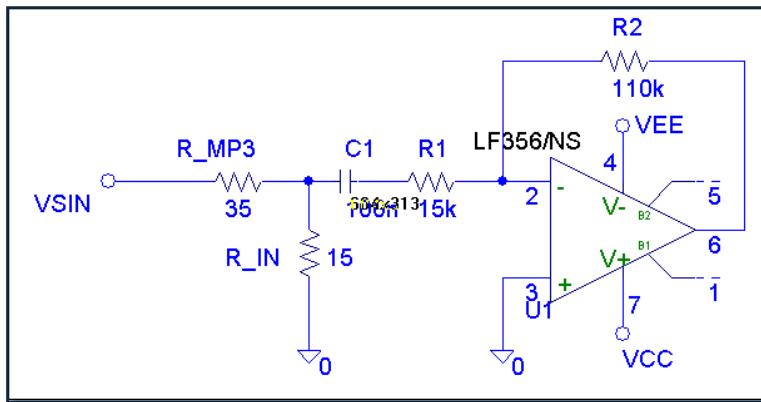


Figura 27.2: Esquemático del adaptador de señal en PSPICE™.

27.3 Filtro Sallen-Key Paso Bajo:

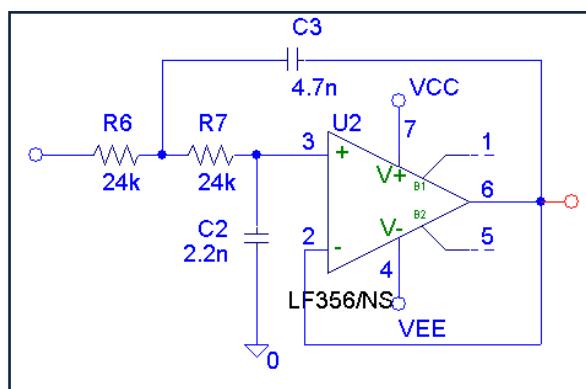


Figura 27.3: Esquemático del filtro Sallen-Key Paso Bajo en PSPICE™.

27.4 Generador de portadoras:

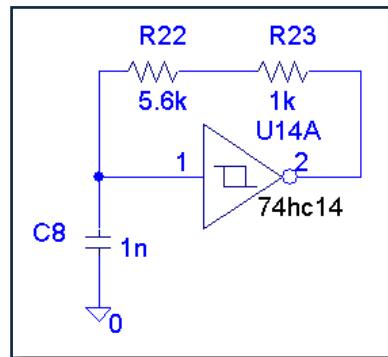


Figura 27.4: Esquemático de un generador de portadora cuadrada en PSPICE™.

27.5 Sumador de offset:

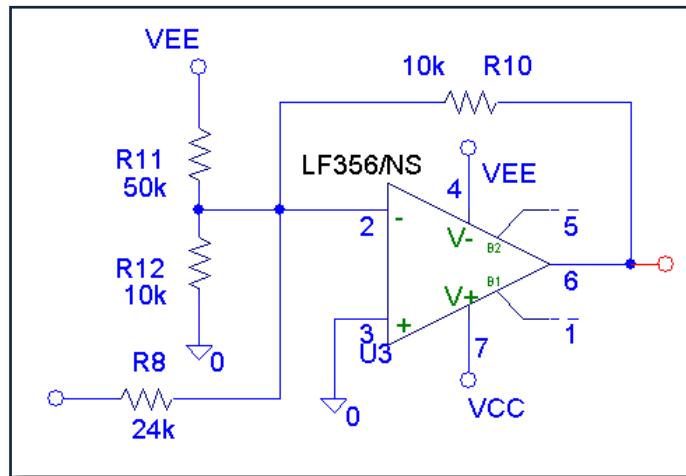


Figura 27.5: Esquemático del sumador de offset en PSPICE™.

27.6 Filtro Paso Banda en transmisión:

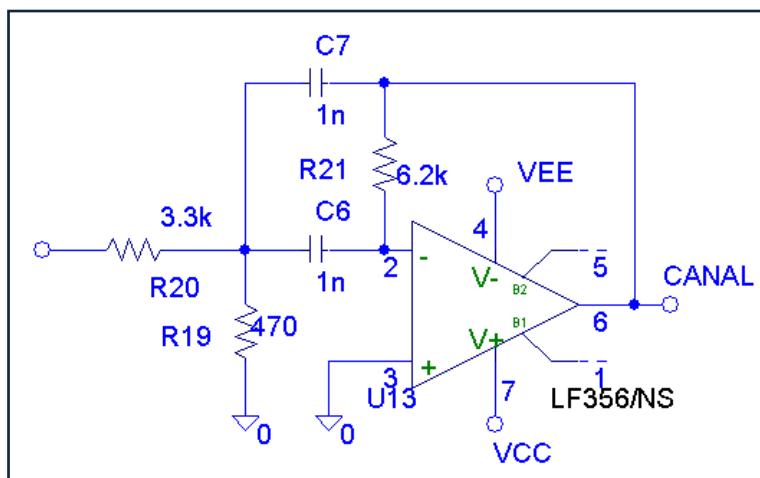


Figura 27.6: Esquemático del filtro Paso Banda en PSPICE™.

27.7 Cascada de Filtros Paso Banda en recepción:

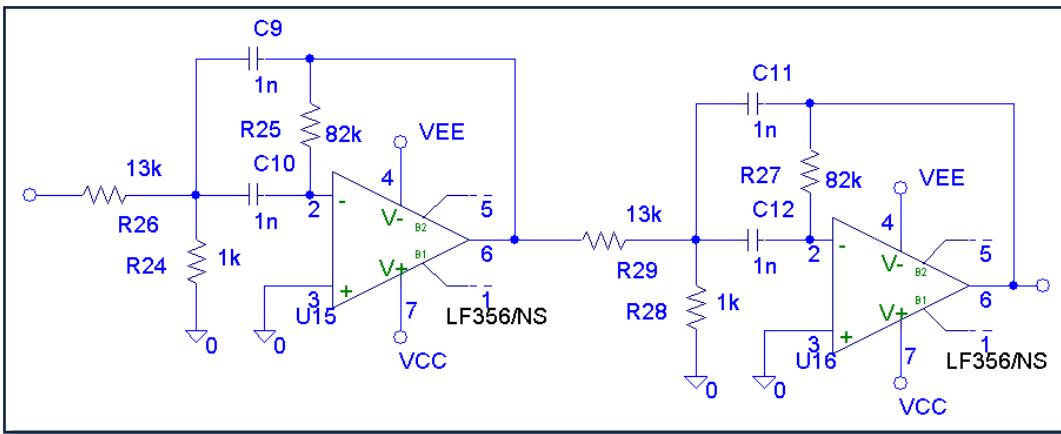


Figura 27.7: Esquemático de la cascada de filtros Paso Banda en PSPICE™.

27.8 Circuitos antirrebotes:

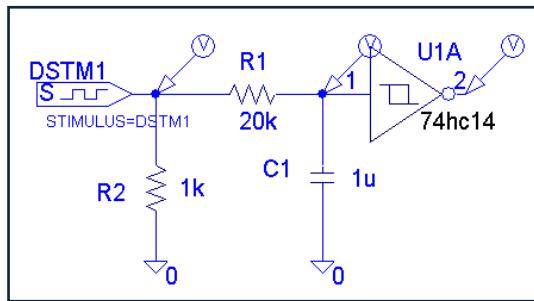


Figura 27.8: Esquemático de un circuito antirrebote con pulso de entrada en PSPICE™.

28. Mejoras en la interfaz digital

28.1 LED de parpadeo (bajo consumo) en modo automático:

Esta *mejora simple* consiste en utilizar un modo de visualización distinto cuando utilizamos el modo *Búsqueda*: en las especificaciones, se sugiere un LED para detección de portadora, y otro LED para la activación del modo automático. Hemos querido dar una apariencia dinámica a este último diodo, así que este módulo, representado en la figura 28.1, activa un LED **que se enciende de manera intermitente**. De esta forma se pretende mostrar al usuario una “estética *Searching...*”

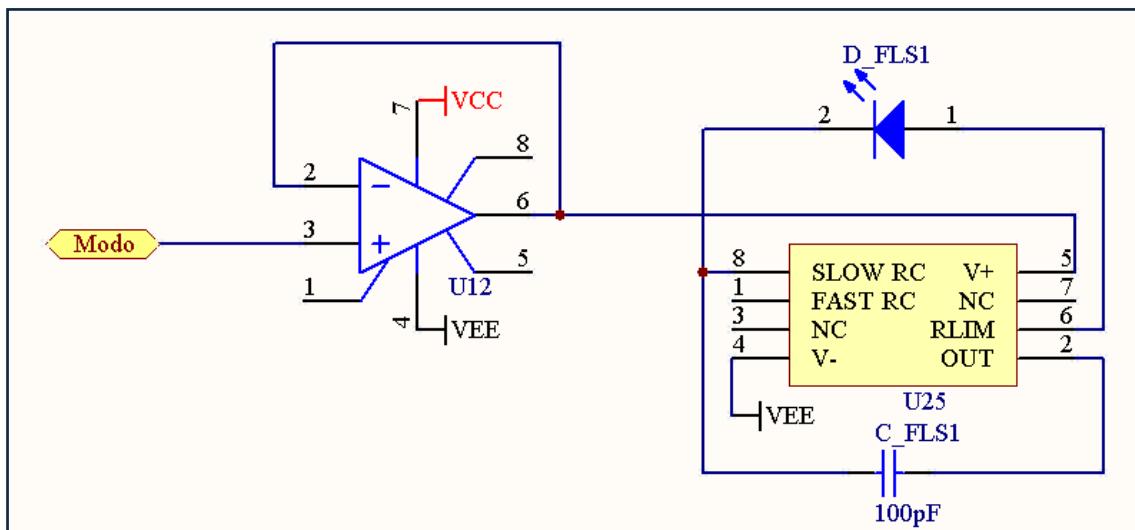


Figura 28.1.1: Etapa búfer (izquierda) y sistema de LED-parpadeo (derecha) que se activa sólo en modo automático.

28.1.1 Análisis teórico:

Para la implementación de este módulo, buscamos información³² acerca de un circuito oscilador que nos permitiera generar el **parpadeo de un LED**. En las especificaciones del LM3909, encontramos un montaje de muy bajo consumo que se adecuaba a nuestras necesidades. En el esquemático de la figura 28.1.2 podemos ver las conexiones, sobre las que tuvimos que tener en cuenta un par de cambios:

- **Nuestra tensión de alimentación es mayor**, lo que incrementará la corriente que circule por el diodo. Sin embargo, aunque la gráfica que acompaña en la figura 28.1.2 no represente los 5V, la curva no es lineal, y podemos garantizar que no se producirán corrientes superiores a los 10mA. No será necesario establecer ninguna medida adicional.
- En el *Datasheet* se utiliza un condensador de 300μF que produce aproximadamente una intermitencia de 1Hz. Utilizamos el valor comercial de **C=470μF** para producir un parpadeo más lento.

Además, **añadimos un búfer** implementado con un LF356, que activará la **alimentación de este dispositivo** a partir del valor digital del pin *MODO* (salida Q, figura 21.5). El objetivo de este búfer es **aislar en corriente** la etapa digital con esta mejora, para prevenir efectos de carga que pudiera producir el LM3909 sobre el subsistema digital.

³² Catálogos de circuitos integrados de fabricantes como National Semiconductor.

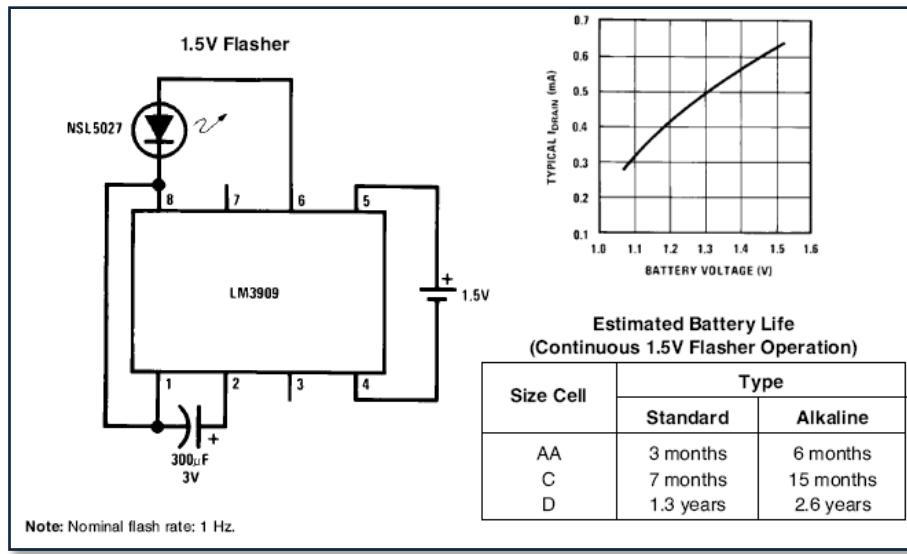


Figura 28.1.2: Montaje de bajo consumo para el LM3909. Fuente: Datasheet LM3909 National Semiconductor.

28.2 Visualización de números naturales de canal:

Esta *mejora simple* pretende configurar los números de canal de una manera natural, contándolos del 1 al 4, en vez de usar una numeración digital 0 (canal 1) a 3 (canal 4). Para ello se implementó un montaje del contador 74HC193 que cubriera este diseño: el número inicial que se carga con un *Parallel Load* se conecta a las entradas P[3:0], y establecemos los límites en 1 y 4 mediante dos puertas NOR que ya introducimos en la *Parte III*. Detallamos los números de canal en notación *BCD*:

$$\text{Canal 1} \Leftrightarrow Q[3:0] = 0001$$

$$\text{Canal 2} \Leftrightarrow Q[3:0] = 0010$$

$$\text{Canal 3} \Leftrightarrow Q[3:0] = 0011$$

$$\text{Canal 4} \Leftrightarrow Q[3:0] = 0100$$

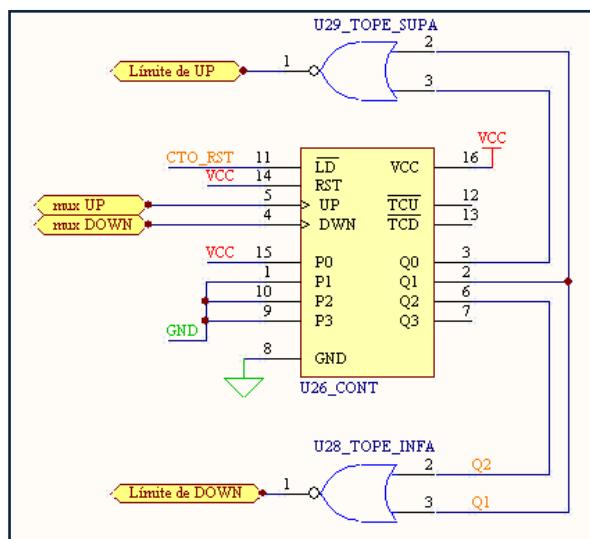


Figura 28.2.1: Condición de límites superiores, para contar entre 1 y 4.

La secuencia producida en el *modo manual* se puede ver en la figura 29.2.2, representada en el display de 7 segmentos.

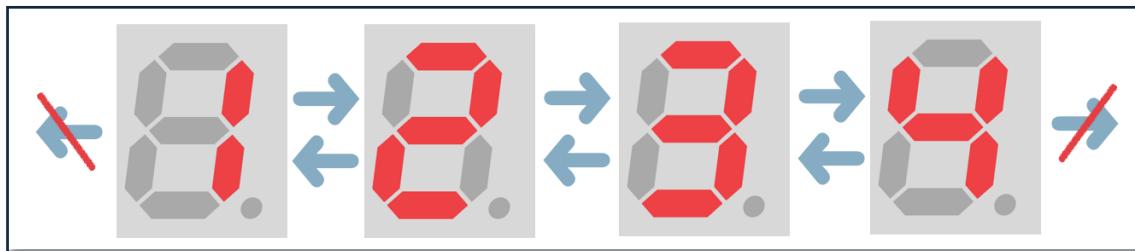


Figura 28.2.2: *Posibilidades de visualización. Los canales se numeran del 1 al 4, no pudiendo pasar al 0 o al 5*

28.3 Recorrido alternante en modo búsquedas:

El sistema de cuenta más fácil de diseñar en el *modo Búsqueda* sería incrementar o decrementar los números de canal hasta que el sistema vuelva al *modo manual* (se pare), reseteando el 74HC193 cada vez que se alcanzara el límite superior.

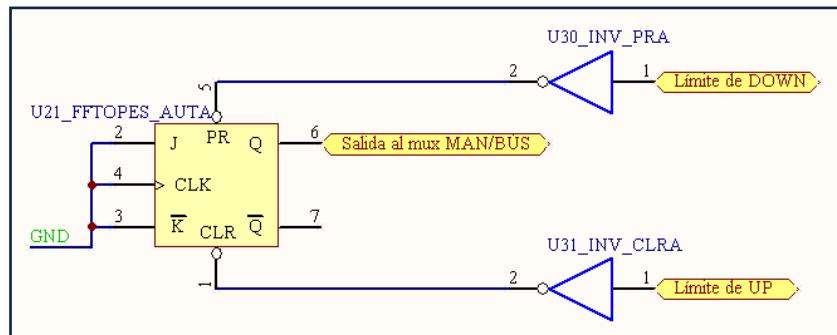


Figura 28.3.1: Circuito alternador de subida/bajada del modo búsqueda.

Sin embargo, hemos querido mejorar el *modo Búsqueda* realizando un **barrido de canales** siguiendo un bucle alternante, primero se incrementa el número de canal hasta llegar al límite superior (canal 4), y después se decrementa hasta volver al límite inferior. La visualización de esta secuencia queda reflejada en las *figuras 28.3.2* y *28.3.3*.

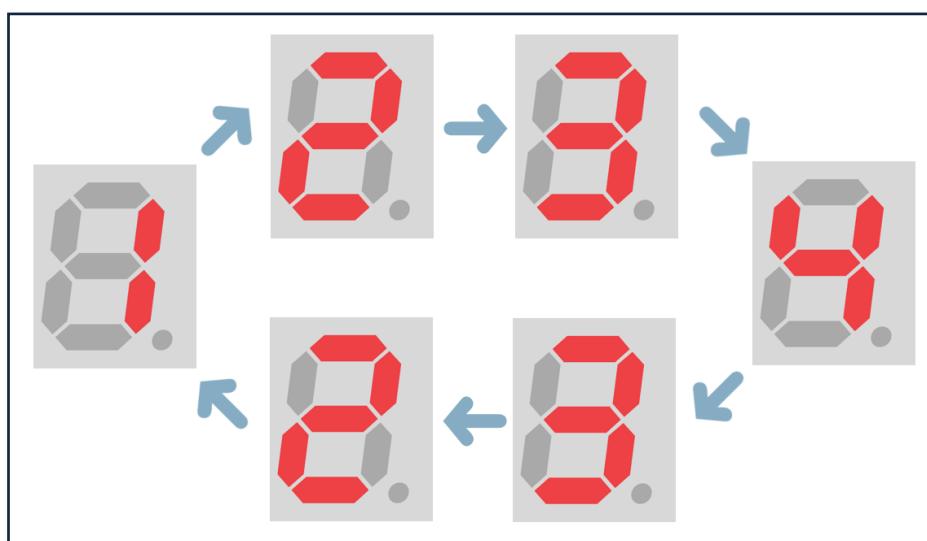


Figura 28.3.2: Bucle numérico que se sigue en modo búsqueda. Nótese que al pulsar “Buscar” en los estados 2 y 3 podemos estar en dos sitios distintos del bucle. Este ciclo tiene memoria debido al biestable JK (74HC109).

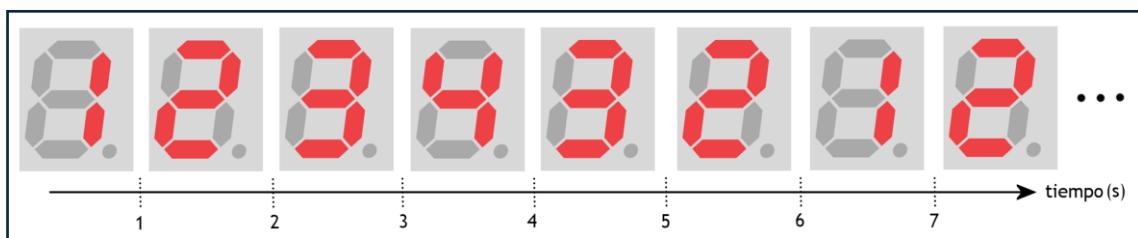


Figura 28.3.3: Ejemplo de funcionamiento del modo búsqueda si lo activamos en el canal 1. Se recorre hacia arriba hasta el canal 4 y luego recorre hacia abajo para volver al 1.



29. Ecualizador Gráfico

29.1 Descripción de la mejora:

Con esta mejora se pretende implementar un **ecualizador gráfico simplificado**, con tres columnas luminosas que representan la **potencia de la señal**. Cada una de ellas se ilumina según la amplitud de la señal a su frecuencia central: 1000Hz , 2000Hz y 3000Hz respectivamente. El esquema visual de funcionamiento puede verse en la *figura 29.1*.

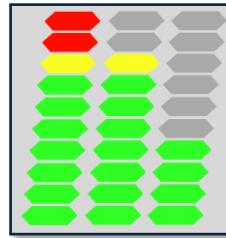


Figura 29.1: Esquema de un ecualizador gráfico a 3 frecuencias.

29.2 Análisis teórico:

Para el montaje del ecualizador, buscamos información en internet para encontrar un **excitador de LEDs** en función de la amplitud de una señal. El dispositivo elegido fue el LM3914, y una configuración proporcionada por el fabricante adaptado a nuestro sistema:

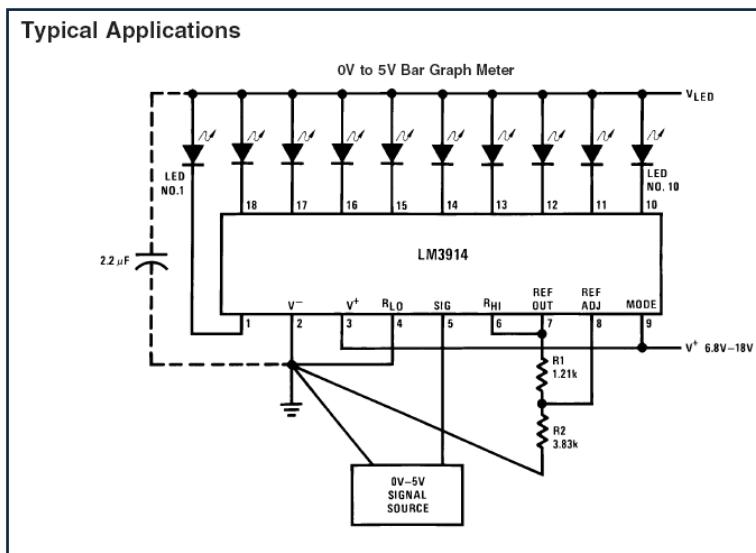


Figura 29.2: Aplicación típica para el LM3914 sobre el control de 10 diodos LED. Fuente: National Semiconductor

Sabiendo además, que las ecuaciones que determinan una tensión de referencia para iluminar los LEDs son:

$$V_{REF} = 1.25 \left(1 + \frac{R_2}{R_1} \right)$$

$$I_{LED} \cong \frac{12.5}{R_1}$$

Situamos un potenciómetro en lugar de R_1 y R_2 sin resistencia en serie, para controlar la tensión de referencia V_{REF} desde el valor mínimo $V_{REF}=1.25V$ hasta el máximo que será $V_{REF}=1.25(1+R_{MAX})$, donde R_{MAX} es la mayor resistencia ofrecida por el potenciómetro.

Por lo general no querremos ajustar el nivel de referencia a un valor muy alto, ya que no conseguiríamos que todos los LEDs se encendieran ni proporcionando la máxima potencia de señal a nuestro sistema.

Además, es importante fijar una V_{LED} en el ramal de diodos para que las corrientes que circulen por cada uno no sean excesivamente grandes. Por ello situamos una resistencia de 100Ω entre el ramal de diodos y la alimentación positiva como medida de protección.

Implementamos tres arrays de LEDs como acabamos de describir, cada uno de ellos precedido de un filtro Paso Banda a frecuencias centrales 1000Hz, 2000Hz y 3000Hz. De esta forma tendremos tres columnas que muestren la “cantidad” de la señal a la **frecuencia de trabajo**, a la **frecuencia límite** y a **alta frecuencia**³³.

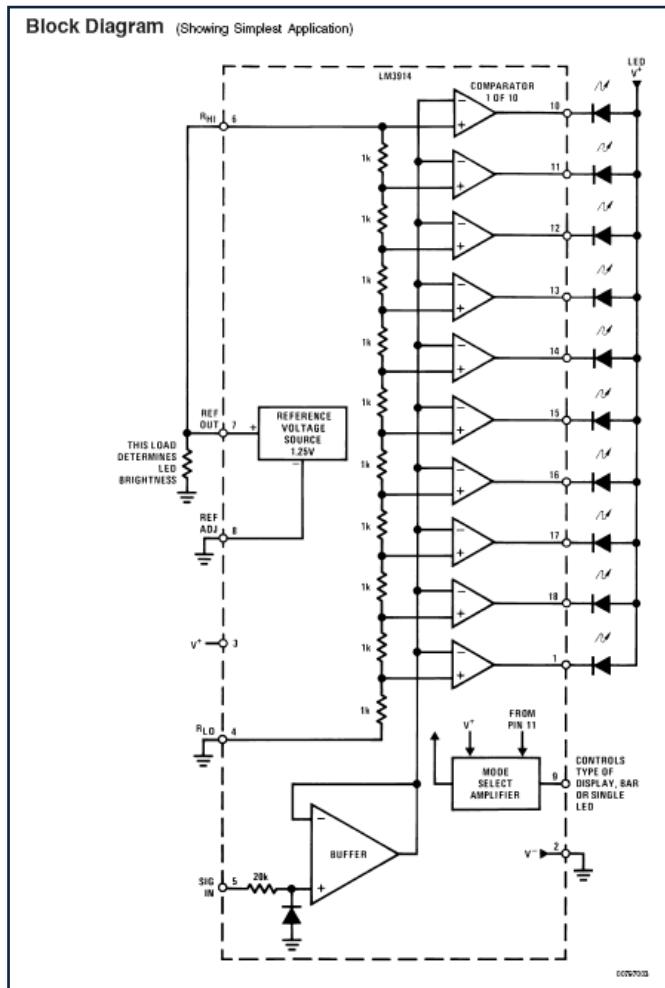


Figura 29.3: Estructura interna del LM3914. Se compone de 10 amplificadores operacionales que actúan como comparadores de un cierto nivel de señal. Fuente: National Semiconductor.

³³ Entendiendo como alta frecuencia la que nuestro sistema no contempla en transmisión (se transmite una banda de 2Khz).

El cálculo de los tres filtros *Paso Banda* se realiza de manera análoga a los BPF del *apartado 6* y *apartado 10*:

- Cálculo del primer filtro *Paso Banda* a 1000Hz:

$$Q = \frac{f_0}{BW} = \frac{1000\text{Hz}}{500\text{Hz}} = 2$$

$$H_0 = -2Q^2 = -2 \cdot 2^2 \cong -8$$

Fijamos un valor de **C=10nF**:

$$R_1 = \frac{1}{2\omega_0 Q C} = \frac{1}{2 \cdot 2\pi \cdot 1\text{Khz} \cdot 2 \cdot 10\text{nF}} \cong 3978,87\Omega$$

$$R_2 = \frac{2Q}{\omega_0 C} = \frac{2 \cdot 2}{2\pi \cdot 1\text{Khz} \cdot 10\text{nF}} \cong 63,662\text{K}\Omega$$

Los valores comerciales para este filtro son:

$$R_1 = 3,9\text{K}\Omega \text{ y } R_2 = 63\text{K}\Omega$$

Recalculamos la frecuencia central y el factor de calidad:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2} \cdot C} = \frac{1}{\sqrt{3,9\text{K}\Omega \cdot 63\text{K}\Omega} \cdot 10\text{nF}} \cong 6379,65 \frac{\text{rad}}{\text{s}} \Rightarrow f_0 = \frac{\omega_0}{2\pi} \cong 1015\text{Hz}$$

$$Q = \frac{1}{2} \sqrt{\frac{R_2}{R_1}} = \frac{1}{2} \sqrt{\frac{63\text{K}\Omega}{3900\Omega}} = 2,01$$

- Cálculo del segundo filtro *Paso Banda* a 2000Hz:

$$Q = \frac{f_0}{BW} = \frac{2000\text{Hz}}{500\text{Hz}} = 4$$

$$H_0 = -2Q^2 = -2 \cdot 4^2 \cong -32$$

Fijamos un valor de **C=10nF**:

$$R_{1A} = \frac{Q}{H_0 \omega_0 C} = \frac{4}{8 \cdot 2\pi \cdot 2000\text{Hz} \cdot 10\text{nF}} \cong 3978,9\Omega$$

$$R_{1B} = \frac{R_{1A}}{\frac{2Q^2}{H_0} - 1} = \frac{3978,9\Omega}{\frac{2 \cdot 4^2}{8} - 1} \cong 1326,3\Omega$$

$$R_1 = \frac{1}{2\omega_0 Q C} = \frac{1}{2 \cdot 2\pi \cdot 2Khz \cdot 4 \cdot 10nF} = 994,72\Omega$$

$$R_2 = \frac{2Q}{\omega_0 C} = \frac{2 \cdot 4}{2\pi \cdot 2Khz \cdot 10nF} = 63K\Omega$$

Los valores comerciales para este filtro son:

$$R_{1A} = 3,9K\Omega, R_{1B} = 1300\Omega, R_2 = 63K\Omega \text{ y } R_1 = 1000\Omega$$

Recalculamos la frecuencia central y el factor de calidad:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 \cdot C}} = \frac{1}{\sqrt{1K\Omega \cdot 63K\Omega \cdot 10nF}} \cong 12598,82 \frac{rad}{s} \Rightarrow f_0 = \frac{\omega_0}{2\pi} \cong 2005,16Hz$$

$$Q = \frac{1}{2} \sqrt{\frac{R_2}{R_1}} = \frac{1}{2} \sqrt{\frac{63K\Omega}{1K\Omega}} = 3,97$$

$$|H'_0| = \left| \frac{1,3K\Omega}{3,9K\Omega} \cdot (-32) \right| \cong 10,6$$

- Cálculo del tercer filtro *Paso Banda* a 3000Hz:

$$Q = \frac{f_0}{BW} = \frac{3000Hz}{1000Hz} = 3$$

$$H_0 = -2Q^2 = -2 \cdot 4^2 \cong -18$$

Fijamos un valor de **C=10nF**:

$$R_{1A} = \frac{Q}{H_0 \omega_0 C} = \frac{1,94}{8 \cdot 2\pi \cdot 3000Hz \cdot 10nF} \cong 1989,44\Omega$$

$$R_{1B} = \frac{R_{1A}}{\frac{2Q^2}{H_0} - 1} = \frac{1989,44\Omega}{\frac{2 \cdot 3^2}{8} - 1} \cong 1591,55\Omega$$

$$R_1 = \frac{1}{2\omega_0 Q C} = \frac{1}{2 \cdot 2\pi \cdot 3Khz \cdot 3 \cdot 10nF} = 884,19\Omega$$

$$R_2 = \frac{2Q}{\omega_0 C} = \frac{2 \cdot 3}{2\pi \cdot 3Khz \cdot 10nF} = 31,83K\Omega$$

Los valores comerciales para este filtro son:

$$R_{1A} = 2K\Omega, R_{1B} = 1,6K\Omega, R_2 = 33K\Omega \text{ y } R_1 = 910\Omega$$

Recalculamos la frecuencia central y el factor de calidad:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2} \cdot C} = \frac{1}{\sqrt{910\Omega \cdot 33K\Omega \cdot 10nF}} \cong 18248,3 \frac{rad}{s} \Rightarrow f_0 = \frac{\omega_0}{2\pi} \cong 2904,31Hz$$

$$Q = \frac{1}{2} \sqrt{\frac{R_2}{R_1}} = \frac{1}{2} \sqrt{\frac{33K\Omega}{910\Omega}} = 3,01$$

$$|H'_0| = \left| \frac{1,6K\Omega}{2K\Omega} \cdot (-18) \right| \cong 14$$

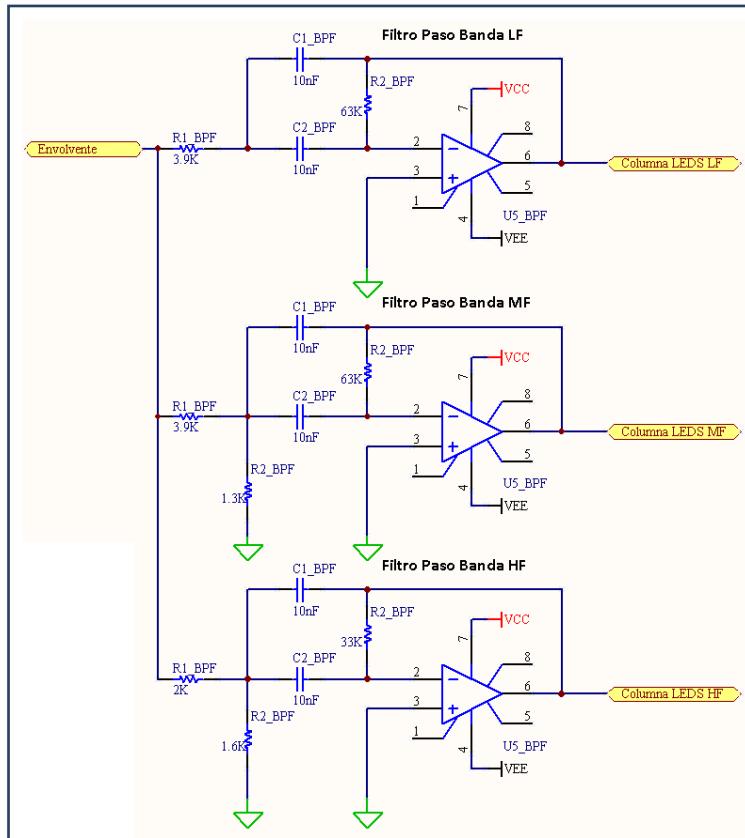


Figura 29.4: Filtros Paso Banda para cada columna del ecualizador: están centrados a Baja, Media y Alta frecuencia relativa (1000Hz, 2000Hz, 3000Hz).

El aspecto del circuito para una columna de LEDs a una determinada frecuencia de señal sería el mostrado en la *figura 29.5*.

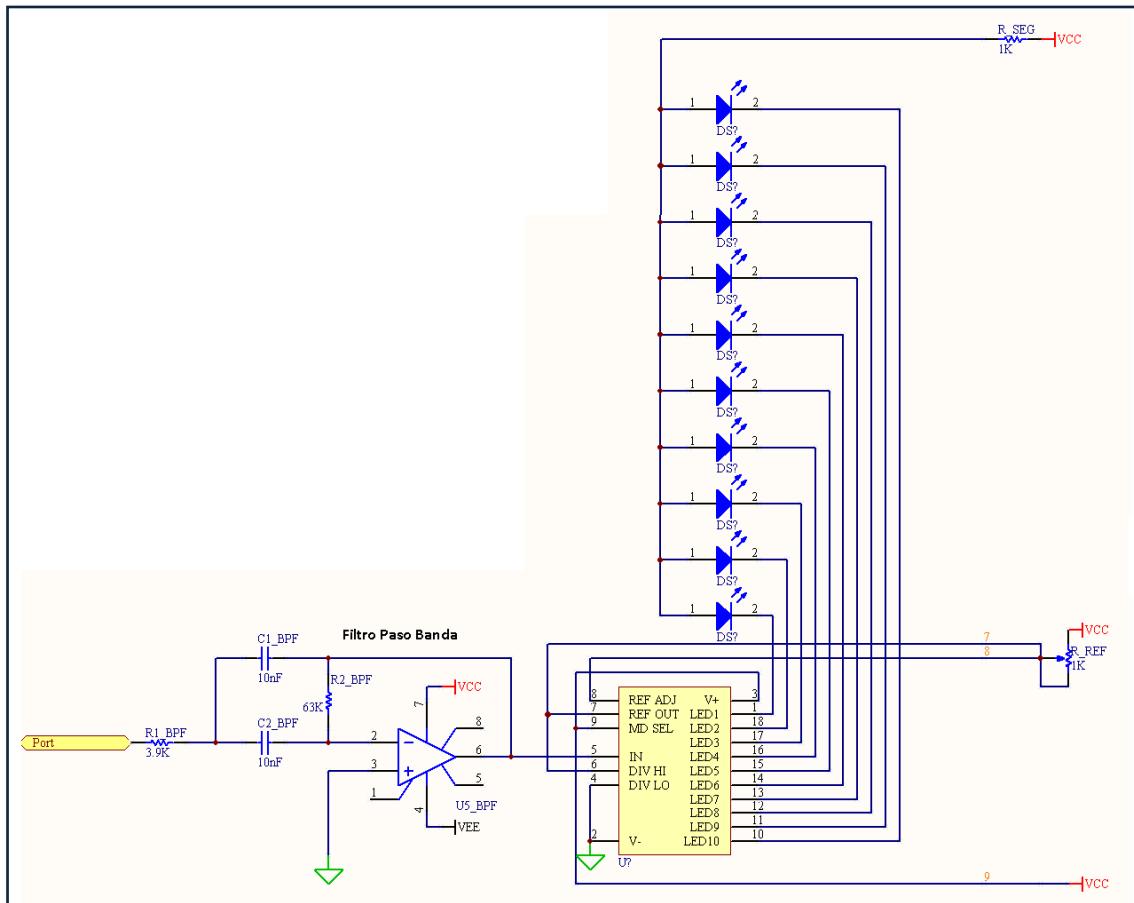


Figura 29.5: Esquema completo de un ramal de 10 diodos LED que se encienden según la potencia de la señal a la frecuencia determinada por el filtro Paso Banda.

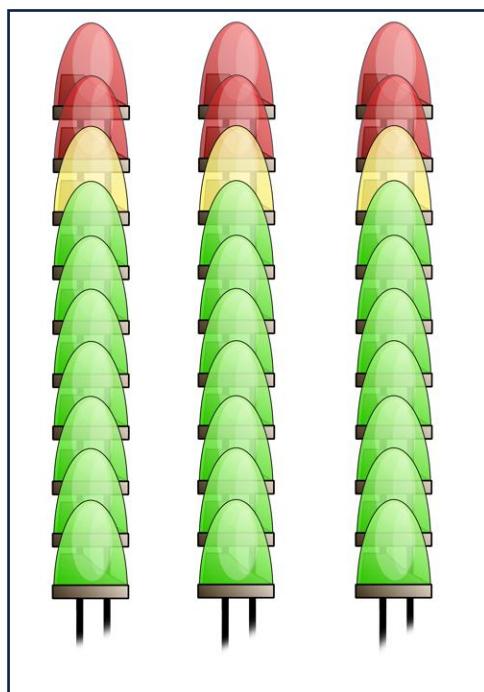


Figura 29.6: Dibujo de la colocación real de los LED del ecualizador.

Finalmente incluimos el montaje completo de la mejora del ecualizador gráfico, representado en la figura que se muestra a continuación:

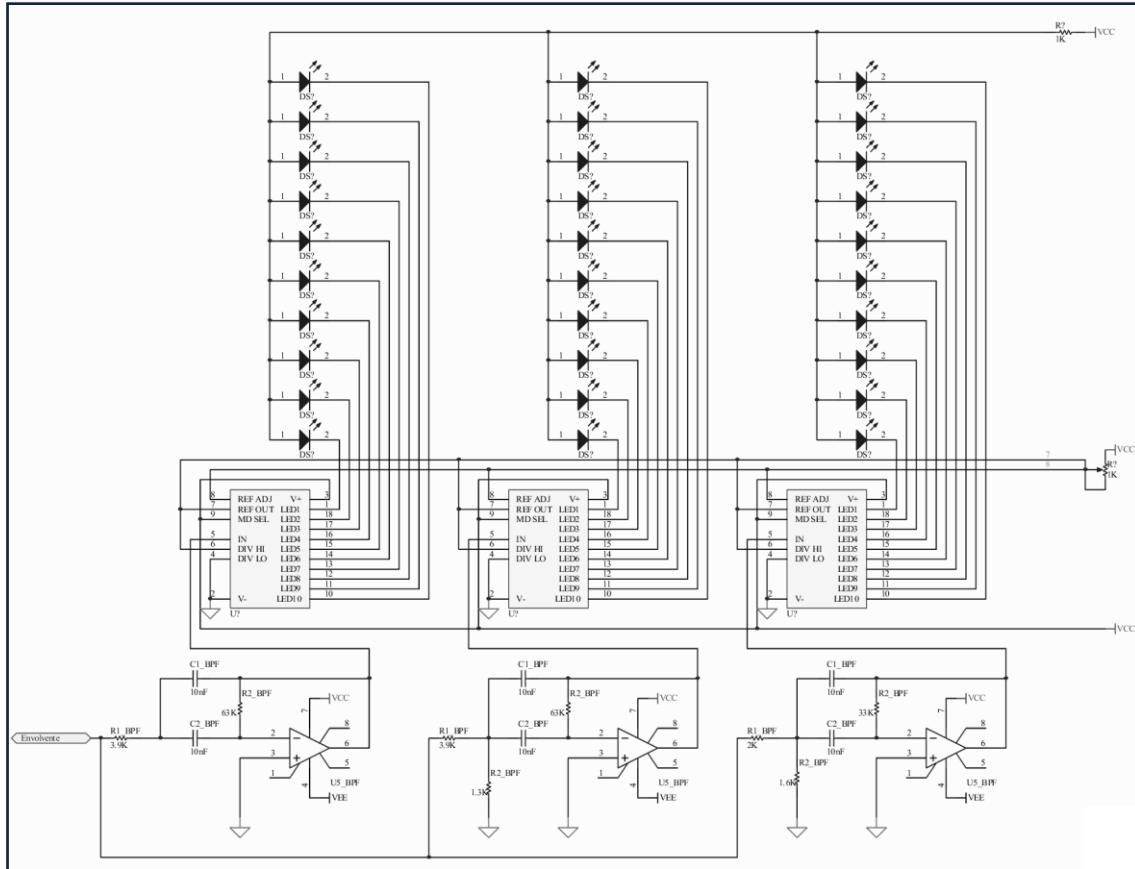


Figura 29.7: Esquema circuital completo de la mejora: ecualizador a tres bandas de frecuencia.

Anexos

Anexo A: relación de figuras del documento

II. Fundamento teórico y objetivos de la práctica:

- Figura a: *Esquema del Transmisor de la práctica.*
- Figura b: *Esquema del Receptor de la práctica.*

1. Adaptador de señal:

- Figura 1.1: *Adaptador de señal.*
- Figura 1.2: *Impedancia de entrada del adaptador de señal (izquierda) e impedancia de entrada a las frecuencias de trabajo (derecha).*
- Figura 1.3: *Módulo de la respuesta en frecuencia del adaptador de señal. Presenta una frecuencia de corte inferior de 97 Hz y una frecuencia de corte superior de 210 KHz, con 19.43dB de ganancia a frecuencias medias.*
- Figura 1.4: *Fase de la respuesta en frecuencia del adaptador de señal. Comienza en -90° a baja frecuencia y 180° a frecuencias medias. Aunque no se puede medir, a muy alta frecuencia, vuelve a -90° (el equivalente a -440°).*
- Figura 1.5: *Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para un tono de 1Hz. Se puede comprobar la función Paso Alto que presenta la etapa.*
- Figura 1.6: *Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para un tono de 50Hz.*
- Figura 1.7: *Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para un tono de 1Khz con ganancia 8.53 (18.62dB), antes del último ajuste.*
- Figura 1.8: *Entrada (arriba) y salida (abajo) del adaptador con misma deplexión para una sinusoida a frecuencia máxima de trabajo (2Khz), con ganancia 8.61 (18.70dB), antes del último ajuste.*
- Figura 1.9: *Módulo de la respuesta en frecuencia del adaptador de señal.*
- Figura 1.10: *Fase de la respuesta en frecuencia del adaptador de señal.*
- Figura 1.11: *Tono de 20Hz y salida amplificada del adaptador. Se produce un desfase de -90°.*
- Figura 1.12: *Tono de 1KHz y salida amplificada del adaptador. Se produce un desfase de -180°.*
- Figura 1.13: *Tono de 1MHz y salida amplificada del adaptador. Se produce un desfase de -270°.*

2. Filtrado Paso Bajo:

- Figura 2.1: *Filtro Paso Bajo (Sallen Key 2º orden).*
- Figura 2.2: *Módulo de la respuesta en frecuencia del Filtro Sallen Key con frecuencia de corte superior 2 KHz*
- Figura 2.3: *Fase de la respuesta en frecuencia del Filtro Sallen Key. Es de 0° a baja frecuencia, -90° a 1550 Hz (idealmente 2000 Hz) y -180° a alta frecuencia.*
- Figura 2.4: *Entrada (arriba) y salida (abajo) del adaptador de señal más filtro Paso Bajo para una sinusoida de baja frecuencia (para la misma deplexión).*
- Figura 2.5: *Entrada (arriba) y salida (abajo) del adaptador de señal más filtro Paso Bajo para una sinusoida de 10Khz (con misma deplexión). Se puede apreciar la atenuación de la señal debido a la célula Shallen Key.*
- Figura 2.6: *Módulo de la respuesta en frecuencia del filtro Sallen Key.*
- Figura 2.7: *Fase de la respuesta en frecuencia del filtro Sallen Key.*
- Figura 2.8: *Tono de 1KHz y salida tras el filtro Sallen Key. Se produce un desfase apreciable.*
- Figura 2.9: *Fase de la respuesta en frecuencia para las medidas del laboratorio (hasta 100Khz aproximadamente).*

3. Generador de portadoras:

- Figura 3.1: *Generador de portadoras cuadradas.*
- Figura 3.2: *Rectas de V_{T+} y V_{T-} en función de la tensión de alimentación. Fuente: 74HC14 Datasheet, National Semiconductor.*
- Figura 3.3: *Biestable D (74HC74) y tabla de verdad con rango utilizado.*

- Figura 3.4: Cronograma de la función del 74HC74. Reloj de entrada (arriba) y salida Q a frecuencia doble (abajo).
- Figura 3.5: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 1.
- Figura 3.6: Salida del inversor histéresis 74HC14 (arriba) y portadora de 82Khz correspondiente al canal 1 a la salida del biestable tipo D 74HC74 (abajo).
- Figura 3.7: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 2.
- Figura 3.8: Salida del inversor histéresis 74HC14 (arriba) y portadora de 92Khz correspondiente al canal 2 a la salida del biestable tipo D 74HC74 (abajo).
- Figura 3.9: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 3.
- Figura 3.10: Salida del inversor histéresis 74HC14 (arriba) y portadora de 102Khz correspondiente al canal 3 a la salida del biestable tipo D 74HC74 (abajo).
- Figura 3.11: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 4.
- Figura 3.12: Salida del inversor histéresis 74HC14 (arriba) y portadora de 112Khz correspondiente al canal 4 a la salida del biestable tipo D 74HC74 (abajo).
- Figura 3.13: Señal cuadrada de 164Khz (abajo) y portadora a 82Khz (arriba) a la salida del 74HC74.
- Figura 3.14: Señal cuadrada de 184Khz (abajo) y portadora a 92Khz (arriba) a la salida del 74HC74.
- Figura 3.15: Señal cuadrada de 204Khz (abajo) y portadora a 102Khz (arriba) a la salida del 74HC74.
- Figura 3.16: Señal cuadrada de 224Khz (abajo) y portadora a 112Khz (arriba) a la salida del 74HC74.

4. Sumador de offset:

- Figura 4.1: Sumador de tensión continua (offset).
- Figura 4.2: Entrada de $3.8V_{pp}$ (arriba) y componente AC de salida de $1.6V_{pp}$ (abajo) del sumador para una sinusoida a la frecuencia de trabajo.
- Figura 4.3: Módulo de la respuesta en frecuencia. Se mantiene constante para todas las frecuencias utilizadas en la práctica.
- Figura 4.4: Fase de la respuesta en frecuencia. Se mantiene constante para todas las frecuencias utilizadas en la práctica.
- Figura 4.5: Tono de 1Khz (abajo) y salida con 1V de offset (arriba). Se produce una inversión de la señal (desfase de 180°).
- Figura 4.6: Entrada (abajo) de un tono de 1Khz al sistema y salida (arriba) del sumador de offset, justo antes de modular. La salida presenta la misma amplitud y 1V de continua, además de un desfase apreciable (resultado de las tres primeras etapas).
- Figura 4.7: Módulo de la respuesta en frecuencia desde la etapa adaptadora de señal hasta el sumador de offset. Muestra la banda de trabajo para las señales de audio (100Hz – 2000Hz).
- Figura 4.8: Fase de la respuesta en frecuencia de la etapa adaptadora de señal hasta el sumador de offset. Antes de modular, las señales a las frecuencias de trabajo tendrán un desfase comprendido entre 90° y -180° .

5. Mezclador:

- Figura 5.1: Multiplexor 74HC4053 con función de mezclador.
- Figura 5.2: Tabla de verdad del multiplexor 74HC4053
- Figura 5.3: Salida (arriba) y portadora del canal 1 (abajo) de la etapa mezcladora. Se transmite por el canal 1.
- Figura 5.4: Detalle de la multiplicación de la portadora del canal 1 (abajo) por la señal de entrada (arriba).
- Figura 5.5: Salida (arriba) y portadora del canal 2 (abajo) de la etapa mezcladora. Se transmite por el canal 2.
- Figura 5.6: Detalle de la multiplicación de la portadora del canal 2 (abajo) por la señal de entrada (arriba).

- Figura 5.7: Salida (arriba) y portadora del canal 3 (abajo) de la etapa mezcladora. Se transmite por el canal 3.
- Figura 5.8: Detalle de la multiplicación de la portadora del canal 3 (abajo) por la señal de entrada (arriba).
- Figura 5.9: Salida (arriba) y portadora del canal 4 (abajo) de la etapa mezcladora. Se transmite por el canal 4.
- Figura 5.10: Detalle de la multiplicación de la portadora del canal 4 (abajo) por la señal de entrada (arriba).

6. Filtrado Paso Banda en transmisión:

- Figura 6.1: Filtro Paso Banda con frecuencia central 97Khz.
- Figura 6.2: Módulo de la respuesta en frecuencia del filtro Paso Banda a frecuencia central 101Khz y ancho de banda 54Khz.
- Figura 6.3: Fase de la respuesta en frecuencia del filtro Paso Banda. A la frecuencia central invierte la señal (-180°), a baja frecuencia presenta -90° y a alta frecuencia, -270°.
- Figura 6.4: Entrada (arriba) tras el mezclador y salida (abajo) del filtro Paso Banda.
- Figura 6.5: Detalle de las señales a la entrada (arriba) y a la salida (abajo) del filtro Paso Banda
- Figura 6.6: Extracto de cinco ciclos de una señal a la entrada (arriba) y salida (abajo) del filtro Paso Banda, transmitiendo en el canal 1.
- Figura 6.7: Extracto de cinco ciclos de una señal a la entrada (arriba) y salida (abajo) del filtro Paso Banda, transmitiendo en el canal 4.
- Figura 6.8: Módulo de la respuesta en frecuencia. Frecuencia central a 100Khz y ancho de banda.
- Figura 6.9: Fase de la respuesta en frecuencia. A la frecuencia central se produce una inversión de la señal (desfase de -180°).
- Figura 6.10: Tono de 10Khz (una década antes de la frecuencia central) y salida atenuada del filtro Paso Banda. Se produce un desfase de -90°.
- Figura 6.11: Tono de 100Khz (frecuencia central) y salida del filtro Paso Banda. Se produce una inversión de la señal (desfase de -180°).
- Figura 6.12: Tono de 1Mhz (una década después de la frecuencia central) y salida atenuada del filtro Paso Banda. Se produce desfase de -270°.

7. Índice de modulación:

- Figura 7.1: Transmisión de un tono con índice de modulación 68% ($m = 0.68$).
- Figura 7.2: Modulación ligera: Transmisión de una sinusoides de $90mV_{pp}$ en Modulación de Amplitud. El índice de modulación es del 34% ($m = 0.34$).
- Figura 7.3: Detalle de la figura anterior.
- Figura 7.4: Máxima modulación: Transmisión de una sinusoides de $472 mV_{pp}$ en Modulación de Amplitud. El índice de modulación es del 100% ($m = 1$).
- Figura 7.5: Detalle de la figura anterior reduciendo un 5% el índice de modulación ($m = 0.95$).
- Figura 7.6: Sobremodulación: Transmisión de una sinusoides de $624 mV_{pp}$ en Modulación de Amplitud. El índice de modulación es del 115% ($m = 1.15$). A la salida del receptor se empezará a producir distorsión.
- Figura 7.7: Detalle de la figura anterior.

8. Generación del Oscilador Local:

- Figura 8.1: Generador de portadoras para el Oscilador Local. La selección de las mismas se realiza mediante entradas de control digitales.
- Figura 8.2: Multiplexor (74HC4052) de selección de portadora y tabla de verdad.
- Figura 8.3: Biestable D (74HC74) y tabla de verdad con rango utilizado.
- Figura 8.4: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 1.
- Figura 8.5: Salida del inversor histéresis 74HC14 (arriba) y portadora de 100Khz correspondiente al canal 1 a la salida del biestable tipo D 74HC74 (abajo).

- Figura 8.6: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 2.
- Figura 8.7: Salida del inversor histéresis 74HC14 (arriba) y portadora de 110Khz correspondiente al canal 2 a la salida del biestable tipo D 74HC74 (abajo).
- Figura 8.8: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 3.
- Figura 8.9: Salida del inversor histéresis 74HC14 (arriba) y portadora de 120Khz correspondiente al canal 3 a la salida del biestable tipo D 74HC74 (abajo).
- Figura 8.10: Salida del inversor de histéresis 74HC14 (arriba) y tensión del condensador CTR (abajo) para el canal 4.
- Figura 8.11: Salida del inversor histéresis 74HC14 (arriba) y portadora de 130Khz correspondiente al canal 4 a la salida del biestable tipo D 74HC74 (abajo).

9. Mezclador en recepción:

- Figura 9.1: Multiplexor (74HC4053) con función de demodulador.
- Figura 9.2: Tabla de verdad del multiplexor 74HC4053 y rango utilizado.
- Figura 9.3: Salida (arriba) y portadora del canal 1 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 1.
- Figura 9.4: Detalle de la multiplicación en recepción de la portadora del canal 1 (abajo) por la señal de entrada (arriba).
- Figura 9.5: Salida (arriba) y portadora del canal 2 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 2.
- Figura 9.6: Detalle de la multiplicación en recepción de la portadora del canal 2 (abajo) por la señal de entrada (arriba).
- Figura 9.7: Salida (arriba) y portadora del canal 3 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 3.
- Figura 9.8: Detalle de la multiplicación en recepción de la portadora del canal 3 (abajo) por la señal de entrada (arriba).
- Figura 9.9: Salida (arriba) y portadora del canal 4 (abajo) de la etapa mezcladora en recepción. Se transmite por el canal 4.
- Figura 9.10: Detalle de la multiplicación en recepción de la portadora del canal 4 (abajo) por la señal de entrada (arriba).

10. Filtrado Paso Banda en recepción:

- Figura 10.1: Cascada de filtros Paso Banda de frecuencia central f y ancho de banda.
- Figura 10.2: Filtro Paso Banda básico utilizado.
- Figura 10.3: Módulo de la respuesta en frecuencia del la primera célula Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda.
- Figura 10.4: Fase de la respuesta en frecuencia de la primera célula Paso Banda. La fase comienza en -90° a baja frecuencia, 180° a la frecuencia central y -270° a alta frecuencia. Aunque no se puede medir, a muy alta frecuencia, no se produce desfase (el equivalente a -360°).
- Figura 10.5: Módulo de la respuesta en frecuencia del la segunda célula Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda.
- Figura 10.6: Fase de la respuesta en frecuencia del la segunda célula Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda.
- Figura 10.7: Módulo de la respuesta en frecuencia la cascada de filtros Paso Banda, con frecuencia central 18 Khz y 4 Khz de ancho de banda. Se produce un aumento de ganancia y una mayor pendiente en la curva.
- Figura 10.8: Fase de la respuesta en frecuencia del la cascada de filtros Paso Banda. A baja frecuencia presenta un desfase de 180°, a frecuencia central muy cercano a 0° y a alta frecuencia vuelve a -180°. A muy alta frecuencia la señal se sincronizará de nuevo (desfase 0°).
- Figura 10.9: Señal demodulada y tras la cascada de filtros Paso Banda (canal 1).
- Figura 10.10: Señal demodulada y tras la cascada de filtros Paso Banda (canal 1).
- Figura 10.11: Módulo de la respuesta en frecuencia de una única célula Paso Banda. Se produce una caída a 20dB por década.

- Figura 10.12: Fase de la respuesta en frecuencia de una única célula Paso Banda. A la frecuencia central, 18Khz, se produce un desfase de -180°.
- Figura 10.13: Módulo de la respuesta en frecuencia de la cascada de filtros Paso Banda. La ganancia cae a 40dB por década.
- Figura 10.14: Fase de la respuesta en frecuencia de la cascada de filtros Paso Banda. A la frecuencia central, 18Khz, no se produce desfase (0°).
- Figura 10.15: Detalle del módulo de la respuesta en frecuencia de la cascada de filtros Paso Banda. Se muestra el rango medido en la práctica.
- Figura 10.16: Detalle de la fase de la respuesta en frecuencia de la cascada de filtros Paso Banda. Se muestra el rango medido en la práctica

11. Detector de envolvente rápido:

- Figura 11.1: Detector de envolvente rápido (rectificador de ciclos positivos).
- Figura 11.2: Esquema de funcionamiento de un detector de envolvente.
- Figura 11.3: Rectificador de semiciclos positivos.
- Figura 11.4: señal moduladora de 18 KHz, abajo su envolvente a la salida de esta etapa.
- Figura 11.5: detalle de la señal moduladora de 18 KHz, y la detección de su envolvente, durante 5 ciclos.

12. Filtrado Paso Bajo:

- Figura 12.1: Filtro Paso Bajo (Shallen Key 2º orden).
- Figura 12.2: Módulo de la respuesta en frecuencia del Filtro Shallen Key a 2 khz
- Figura 12.3: Fase de la respuesta en frecuencia del Filtro Shallen Key a 2 khz
- Figura 12.4: Salida del detector de envolvente rápido (arriba) y señal filtrada Paso Bajo (abajo) para una moduladora de 1Khz.
- Figura 12.5: Salida del detector de envolvente rápido (arriba) y señal filtrada Paso Bajo (abajo) para una moduladora de 2Khz (máxima frecuencia de trabajo).
- Figura 12.6: Salida del detector de envolvente rápido (arriba) y señal filtrada Paso Bajo (abajo) para una moduladora de 3Khz. Se puede apreciar una fuerte atenuación.
- Figura 12.7: Módulo de la respuesta en frecuencia del filtro Sallen Key.
- Figura 12.8: Fase de la respuesta en frecuencia del filtro Sallen Key.
- Figura 12.9: Tono de 1KHz y salida tras el filtro Sallen Key. Se produce un desfase apreciable.
- Figura 12.10: Fase de la respuesta en frecuencia para las medidas del laboratorio (hasta 100Khz aproximadamente).

13. Amplificador de potencia:

- Figura13.1: Amplificador de potencia.
- Figura 13.2: Esquema del amplificador de potencia y módulo de la respuesta en frecuencia. Fuente: Datasheet LM386 National Semiconductor.
- Figura 13.3: Módulo de la respuesta en frecuencia del amplificador de potencia. La ganancia a frecuencias medias cae 3dB a muy alta frecuencia, lo que no afecta al resto del sistema.
- Figura 13.4: Fase de la respuesta en frecuencia del amplificador de potencia. La fase se mantiene constante (0°) en toda la banda de trabajo, y a muy alta frecuencia cae hasta un hipotético -90°.
- Figura 13.5: Entrada (arriba) de la envolvente de una señal moduladora de 1Khz al amplificador de potencia, y su correspondiente salida amplificada (abajo).
- Figura 13.6: Entrada (arriba) de la envolvente de una señal moduladora de 2Khz al amplificador de potencia, y su correspondiente salida amplificada (abajo). Se puede apreciar el decremento de la relación Señal a Ruido (SNR) al estar al límite de la frecuencia de trabajo.

14. Detector de envolvente lento:

- Figura 14.1: Detector de envolvente lento. Rectifica los semiciclos negativos.

- Figura 14.2: Señal de entrada (arriba), rectificada (centro), y filtrada (abajo) para extraer cierto nivel de continua.
- Figura 14.3: Señal de recepción superheterodina de 18 KHz (arriba) y rectificación de semiciclos negativos (abajo).
- Figura 14.4: Señal a la salida del detector de envolvente lento junto a la tensión comparadora de nivel.

15. Comparador de nivel de portadora:

- Figura 15.1: Detector de nivel de portadora con LED indicador.
- Figura 15.2: Implementaciones sugeridas por el fabricante para el LM311 y montaje utilizado. Fuente: Datasheet LM211-LM311 Motorola.
- Figura 15.3: Gráficas de funcionamiento de esta etapa Se representa la tensión de entrada y salida en el dominio temporal. Fuente: Datasheet LM211-LM311 Motorola.

16. Resumen del sistema analógico:

- Figura 16.1: Esquema completo del transmisor. Adaptación de señal, filtrado Paso Bajo, modulación AM (4 posibles portadoras) y filtrado Paso Banda previo al canal.
- Figura 16.2: Primera parte del receptor: demodulación superheterodina con Oscilador Local, y doble filtrado Paso Banda.
- Figura 16.3: Segunda parte del receptor: detección de envolvente. Rectificación de ciclos positivos, filtrado y amplificación (arriba); rectificación de ciclos negativos y detección de portadora (abajo).
- Figura 16.4: Diagrama de barras de la ganancia que sufre la señal de entrada en función del canal de transmisión y el canal de recepción.
- Figura 16.5: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por el mismo canal.
- Figura 16.6: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por canal 2 (su réplica espectral).
- Figura 16.7: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por canal 3.
- Figura 16.8: Entrada de un tono de 1Khz (arriba) transmitido por el canal 1 y salida del sistema (abajo) recibiendo por canal 4.
- Figura 16.9: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por el canal 1.
- Figura 16.10: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por el mismo canal.
- Figura 16.11: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por canal 3 (su réplica espectral).
- Figura 16.12: Entrada de un tono de 1Khz (arriba) transmitido por el canal 2 y salida del sistema (abajo) recibiendo por canal 4.
- Figura 16.13: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por el canal 1.
- Figura 16.14: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por el canal 2.
- Figura 16.15: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por el mismo canal.
- Figura 16.16: Entrada de un tono de 1Khz (arriba) transmitido por el canal 3 y salida del sistema (abajo) recibiendo por canal 4 (su réplica espectral).
- Figura 16.17: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por el canal 1 (su réplica espectral).
- Figura 16.18: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por canal 2.
- Figura 16.19: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por el canal 3.
- Figura 16.20: Entrada de un tono de 1Khz (arriba) transmitido por el canal 4 y salida del sistema (abajo) recibiendo por el mismo canal.

17. Efecto de la sobremodulación: distorsión:

- Figura 17.1: Curva de ganancia del canal 1. Se observa la región lineal (izquierda de la curva) y el valor asintótico ($1V_{pp}$) cuando la señal moduladora es de mayor voltaje.
- Figura 17.2: Entrada de un tono de 1Khz de $1.14 V_{pp}$ (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semicírculos negativos.
- Figura 17.3: Entrada de un tono de 1Khz de $2.09 V_{pp}$ (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semicírculos negativos.
- Figura 17.4: Entrada de un tono de 1Khz de $3 V_{pp}$ (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semicírculos negativos.
- Figura 17.5: Entrada de un tono de 1Khz de $4 V_{pp}$ (arriba) y salida del sistema analógico (abajo) con misma deplexión. Se percibe una distorsión en los semicírculos negativos.

18. Pulsadores y circuitos antirrebotes:

- Figura 18.1: Circuitos antirrebote utilizado en los pulsadores ARRIBA y ABAJO.
- Figura 18.2: Señal generada tras pulsar el botón durante $1s$ y curva de tensión del condensador.
- Figura 18.3: Señal generada por el pulsador (arriba) con un intervalo nulo de $0.02s$; señal invertida a la salida del circuito antirrebote (centro) y tensión del condensador que repara el rebote (abajo).

19. Contador de número de canal y límites:

- Figura 19.1: Sistema de cuenta del número de canal.
- Figura 19.2: Tabla de verdad del 74HC157 y rango utilizado.
- Figura 19.3: Tabla de verdad del 74HC193 y rango utilizado.
- Figura 19.4: Tabla de verdad de la puerta NOR 74HC02 para el límite inferior.
- Figura 19.5: Tabla de verdad de la puerta NOR 74HC02 para el límite superior.
- Figura 19.6: Condición de límites superiores para contar entre 1 y 4.

20. Visualización en display:

- Figura 20.1: Conversión de la salida BCD del contador a display de 7 segmentos.
- Figura 20.2: Tabla de verdad del 74HC4543 y rango utilizado.

21. Selección del canal, modo búsqueda:

- Figura 21.1: Esquema de funcionamiento y activación de los dos modos del subsistema digital.
- Figura 21.2: Multiplexor 74HC153 para seleccionar el modo manual o el modo búsqueda y la lógica necesaria para la conmutación.
- Figura 21.3: Circuito antirrebote del pulsador BUSCAR.
- Figura 21.4: Tabla de verdad del 74HC109.
- Figura 21.5: Circuito de conmutación del modo manual-búsqueda.
- Figura 21.6: Tabla de verdad de la puerta AND 74HC08.
- Figura 21.7: Tabla de verdad de la puerta AND 74HC08.
- Figura 21.8: Reloj de $1 Hz$ del modo búsqueda.
- Figura 21.9: Circuito alternador de subida/bajada del modo búsqueda.
- Figura 21.9: Tabla de verdad del 74HC109 y lógica utilizada (entradas $\#S_D$ y $\#R_D$).
- Figura 21.10: Multiplexor 74HC153 para seleccionar pulsación manual o pulsación por reloj.
- Figura 21.11: Tabla de verdad del 74HC153 para el primer multiplexor.
- Figura 21.12: Tabla de verdad del 74HC153 para el segundo multiplexor.

22. Circuitos de Reset, condensadores de filtrado:

- Figura 22.1: Circuito de Reset. Genera un 0 lógico con condensador descargado.

- Figura 22.2: Curva de la carga del condensador con Maple10™ para $R=22K\Omega$ y $C=10\mu F$
- Figura 22.3: Filtrado de las alimentaciones positiva y negativa.

23. Resumen del sistema digital:

- Figura 23.1: Esquema completo del subsistema digital

24. Modo automático de selección de canal:

- Figura 24.1: Circuito diferenciador. Obtiene un flanco al detectar portadora.
- Figura 24.2: Esquema de integración del circuito diferenciador con el circuito de conmutación MAN/BÚS.

25. Diseño del transmisor en circuito impreso:

- Figura 25.1: Esquema circuital del PCB a doble cara. Las pistas rojas representan la cara superior, las pistas azules la inferior.
- Figura 25.2: Entorno de trabajo con Protel DXP™
- Figura 25.3: Diseño tridimensional del anverso del circuito impreso.
- Figura 25.4: Diseño tridimensional del reverso del circuito impreso.

26. Sistema digital con el CPLD CoolRunner-II™:

- Figura 26.1: CPLD de la familia Xilinx XC9500XL con CoolRunner-II™
- Figura 26.2: Captura del esquemático del modo manual con Xilinx ISE WebPack®
- Figura 26.3: Esquema de localización de pines del XC9572XL y XC2C256 en la placa XC2-XL. Fuente: Datasheet XC2-XL, Digilent, Inc
- Figura 26.4: Tablas de localización de los pines del XC2C256 en la placa XC2-XL. Fuente: Datasheet XC2-XL, Digilent, Inc

27. Esquemáticos de la simulación en PSPICE™:

- Figura 27.1: Alimentación del sistema en PSPICE™.
- Figura 27.2: Esquemático del adaptador de señal en PSPICE™.
- Figura 27.3: Esquemático del filtro Sallen-Key Paso Bajo en PSPICE™.
- Figura 27.4: Esquemático de un generador de portadora cuadrada en PSPICE™.
- Figura 27.5: Esquemático del sumador de offset en PSPICE™.
- Figura 27.6: Esquemático del filtro Paso Banda en PSPICE™.
- Figura 27.7: Esquemático de la cascada de filtros Paso Banda en PSPICE™.
- Figura 27.8: Esquemático de un circuito antirrebote con pulso de entrada en PSPICE™.

28. Mejoras en la interfaz digital:

- Figura 28.1.1: Etapa búfer (izquierda) y sistema de LED-parpadeo (derecha) que se activa sólo en modo automático.
- Figura 28.1.2: Montaje de bajo consumo para el LM3909. Fuente: Datasheet LM3909 National Semiconductor.
- Figura 28.2.1: Condición de límites superiores, para contar entre 1 y 4.
- Figura 28.2.2: Posibilidades de visualización. Los canales se numeran del 1 al 4, no pudiendo pasar al 0 o al 5
- Figura 28.3.1: Circuito alternador de subida/bajada del modo búsqueda.

- Figura 28.3.2: *Bucle numérico que se sigue en modo búsqueda. Nótese que al pulsar “Buscar” en los estados 2 y 3 podemos estar en dos sitios distintos del bucle. Este ciclo tiene memoria debido al biestable JK (74HC109).*
- Figura 28.3.3: *Ejemplo de funcionamiento del modo búsqueda si lo activamos en el canal 1. Se recorre hacia arriba hasta el canal 4 y luego recorre hacia abajo para volver al 1.*

29. Ecualizador Grafico:

- Figura 29.1: *Esquema de un ecualizador gráfico a 3 frecuencias.*
- Figura 29.2: *Aplicación típica para el LM3914 sobre el control de 10 diodos LED.*
Fuente: National Semiconductor
- Figura 29.3: *Estructura interna del LM3914. Se compone de 10 amplificadores operacionales que actúan como comparadores de un cierto nivel de señal.*
Fuente: National Semiconductor.
- Figura 29.4: *Filtros Paso Banda para cada columna del ecualizador: están centrados a Baja, Media y Alta frecuencia relativa (1000Hz, 2000Hz, 3000Hz).*
- Figura 29.5: *Esquema completo de un ramal de 10 diodos LED que se encienden según la potencia de la señal a la frecuencia determinada por el filtro Paso Banda.*
- Figura 29.6: *Dibujo de la colocación real de los LED del ecualizador.*
- Figura 29.7: *Esquema circuital completo de la mejora: ecualizador a tres bandas de frecuencia.*

Anexo B: relación de tablas del documento

1. Adaptador de señal:

- Tabla 1.1: *Valores numéricos de módulo y fase del adaptador de señal para distintas frecuencias.*

2. Filtrado Paso Bajo:

- Tabla 2.1: *Valores numéricos de módulo y fase del filtro Paso Bajo para distintas frecuencias.*

6. Filtrado Paso Banda en transmisión:

- Tabla 6.1: *Valores numéricos de módulo y fase del filtro Paso Banda para distintas frecuencias*

10. Filtrado Paso Banda en recepción:

- Tabla 10.1: *Valores numéricos de módulo y fase para los dos filtros Paso Banda, por separado y en cascada para distintas frecuencias*

12. Filtrado Paso Bajo:

- Tabla 12.1: *Valores numéricos de módulo y fase del filtro Paso Bajo para distintas frecuencias.*

13. Amplificador de potencia:

- Tabla 13.1: *Valores numéricos de módulo y fase del amplificador de potencia para distintas frecuencias.*

14. Resumen del sistema analógico:

- Tabla 16.1: *Ganancia (en unidades lineales) para los cuatro canales.*
- Tabla 16.2: *Ganancia (en decibelios) para los cuatro canales.*
- Tabla 16.3: *Atenuación (en unidades lineales) de los canales contiguos. Los canales con menor atenuación aparecen resaltados.*
- Tabla 16.4: *Atenuación (en decibelios) de los canales contiguos. Los canales con menor atenuación aparecen resaltados.*

Anexo C: referencias de consulta

- [1] *Diseño con amplificadores operacionales y circuitos integrados analógicos*: Sergio Franco, 3^a edición, McGraw-Hill, 2002.
- [2] *Aspectos prácticos de diseño y medida en Laboratorios de Electrónica*: Javier Ferreiros López, Javier Macías Guarasa, Juan Manuel Montero Martínez y otros autores, 2^a edición.
- [3] *Diseño e ingeniería electrónica asistida con Protel DXP*: Manuel Torres y Miguel A. Torres, Editorial Ra-Ma.
- [4] *VHDL : el arte de programar sistemas digitales*: David G. Maxinez, Ed. Patria Cultural, 2002.

Anexo D: terminología utilizada (orden alfabético)

- **AM**: Amplitude Modulation, Modulación de Amplitud.
- **BPF**: Band Pass Filter. Filtro Paso Banda.
- **Datasheet**: Hoja de características (de un componente electrónico).
- **FI**: Frecuencia intermedia (recepción superheterodina).
- **Frecuencia de trabajo**: de 100Hz a 2000Hz.
- **LPF**: Low Pass Filter. Filtro Paso Bajo.
- **Notación BCD**: Representación binaria de 4bits para números decimales.
- **Offset**: Componente continua de señal.
- **Q**: Factor de calidad (de un filtro).
- **SNR**: Signal to Noise Relation. Relación señal a ruido.
- **W**: Ancho de banda (generalmente de un filtro).

Anexo E: circuitos integrados utilizados (orden numérico)

- **74HC02**: Puerta NOR de 2 entradas.
- **74HC04**: Inversor digital.
- **74HC06**: Puerta AND de 2 entradas.
- **74HC109**: Flip-Flop tipo JK.
- **74HC14**: Inversor de histéresis Schmitt Trigger.
- **74HC153**: 2 Multiplexores digitales de 4 entradas.
- **74HC157**: 4 Multiplexores digitales de 2 entradas.
- **74HC193**: Contador síncrono de 4 bits.
- **74HC74**: Flip-Flop tipo D.
- **74HC4053**: 4 Multiplexores de 2 entradas.
- **74HC4053**: 2 Multiplexores de 4 entradas.
- **LF353**: 2 Amplificadores Operacionales.
- **LF356**: Amplificador Operacional.
- **LM386**: Amplificador de Potencia.
- **LM3909**: Excitador de LED intermitente.
- **LM3914**: Excitador de display de barra/punto.