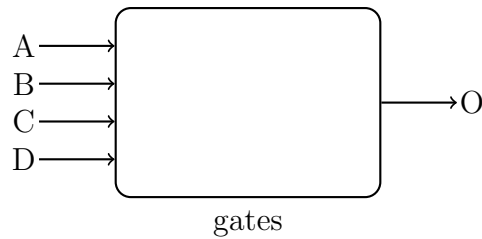


Basic Gates

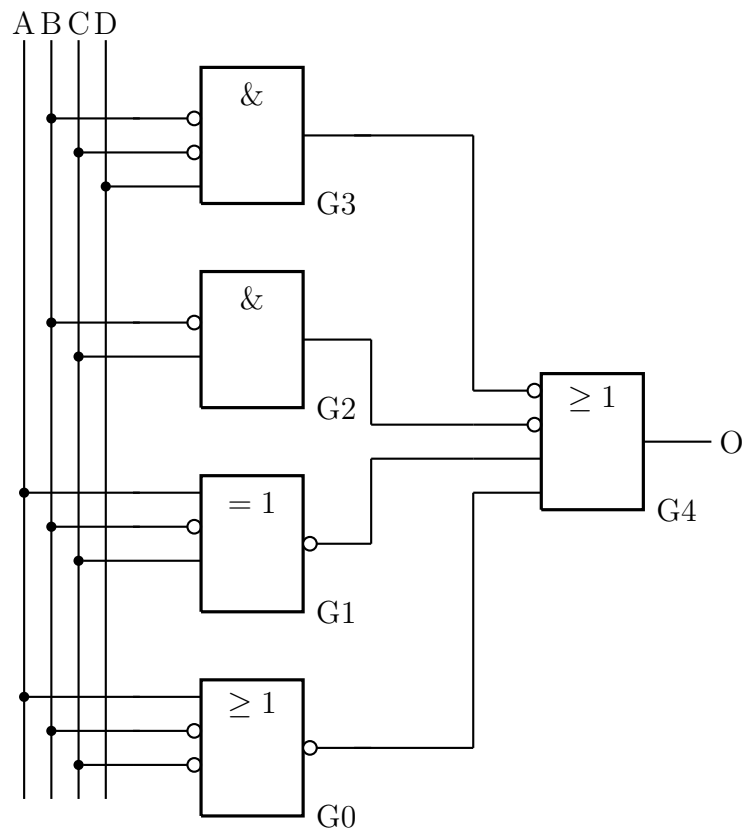
Ihre Aufgabe ist es, das Verhalten einer Entity namens „gates“ zu programmieren. Die Entity ist in der angehängten Datei „gates.vhdl“ deklariert und hat folgende Eigenschaften:

- Eingänge: A, B, C, D vom Typ `std_logic`
- Ausgänge: O vom Typ `std_logic`



Verändern Sie die Datei „gates.vhdl“ nicht!

Die Entity „gates“ soll sich entsprechend dem folgenden Netzwerk verhalten:



Dieses Verhalten muss in der angehängten Daten „gates_beh.vhdl“ programmiert werden.

Sie können die in VHDL vordefinierten Entities zur Lösung der Aufgabe verwenden. Benützen Sie dazu die vorhandenen IEEE 1164 Logikgatter, um das geforderte Netzwerk zu konstruieren. Es stehen Ihnen 6 verschiedene Gatter-Entities zur Verfügung: AND[N], NAND[N], OR[N], NOR[N], XOR[N], XNOR[N], wobei [N] der Anzahl an Eingängen entspricht. Die Eingänge sind mit I1..I[N] beschriftet und der einzelne Ausgang mit O.

Ein Beispiel: Ein NAND Gatter mit 3 Eingängen heißt NAND3 und besitzt die Eingänge I1, I2 und I3 und den Ausgang O. Die benötigten Programmpakete zur Benutzung dieser Entities sind bereits in der Datei „gates_beh.vhdl“ importiert.

Um Ihre Lösung abzugeben, senden Sie ein E-Mail mit dem Betreff “Result Task 1“ und Ihrer Datei „gates_beh.vhdl“ an vhdl-mc+e384@tuwien.ac.at.

Viel Erfolg und möge die Macht mit Ihnen sein!