

LOONGSON

龙芯 7A2000 独显桥片

数据手册

V1.2

2025 年 06 月

龙芯中科技股份有限公司

自主决定命运, 创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

阅读指南

《龙芯 7A2000 独显桥片数据手册》主要介绍龙芯 7A2000 独显桥片接口结构，特性，电气规范，以及硬件设计指导。

目 录

图目录	IV
表目录	V
附录目录	VI
1. 简介	1
1.1 技术指标	1
1.2 典型应用	2
1.2.1 单路应用	2
1.2.2 双路应用	3
1.3 订购信息	4
1.4 术语	4
1.5 文档约定	4
1.5.1 引脚信号命名	4
1.5.2 数值表示	5
1.5.3 寄存器域	5
2. 接口信号	6
2.1 信号类型定义	6
2.2 接口信号说明	6
2.2.1 HT 接口	6
2.2.2 PCIE 接口	8
2.2.3 显存接口	9
2.2.4 网络接口	9
2.2.5 SATA 接口	10
2.2.6 VGA 接口	10
2.2.7 HDMI 接口	11
2.2.8 USB 接口	11
2.2.9 HDA 接口	12
2.2.10 SPI 接口	12
2.2.11 LPC 接口	12
2.2.12 I2C 接口	13
2.2.13 UART 接口	13
2.2.14 PWM 接口	13
2.2.15 GPIO 接口	13
2.2.16 RTC 信号	14
2.2.17 电源管理接口	14
2.2.18 时钟信号	15
2.2.19 芯片配置接口	15
2.2.20 中断接口	16

2.2.21 JTAG 接口	17
2.2.22 引脚复用表	17
3. 功能及接口说明	20
3.1 HT 接口	20
3.2 PCIE 接口	20
3.3 GPU	20
3.4 显示接口	20
3.5 显存接口	21
3.6 USB 接口	21
3.7 SATA 接口	21
3.8 网络接口	22
3.9 HDA 接口	22
3.10 I2S 接口	22
3.11 SPI 接口	22
3.12 LPC 接口	23
3.13 UART 接口	23
3.14 CAN	23
3.15 I2C 接口	23
3.16 PWM	24
3.17 HPET	24
3.18 RTC	24
3.19 ACPI 接口	24
3.20 GPIO 接口	25
3.21 JTAG 接口	25
4. 时钟	26
4.1 时钟内部框图	26
4.2 芯片时钟介绍	26
4.3 时钟功能描述	27
4.4 频率配置	28
5. 电源管理 ACPI	29
5.1 电源域	29
5.2 功能描述	29
6. 热设计	30
6.1 热参数	30
6.2 焊接温度及焊接曲线	30
7. 电气特性	32
7.1 最大额定工作条件	32
7.2 工作电源	33
7.3 典型应用功耗	34
7.4 电源时序	36
7.4.1 使能 ACPI_EN	36

7.4.2 不使能 ACPI_EN	43
8. 封装信息	46
8.1 封装尺寸	46
8.2 信号位置分布	47
8.3 芯片引脚排布	47
9. 产品标识	48
附录 A: 芯片引脚排布图	49
修订记录	55

图目录

图 1-1	龙芯 7A2000 顶层结构图	1
图 1-2	单路应用示意图	3
图 1-3	双路应用示意图	3
图 4-1	芯片时钟结构图	26
图 6-1	焊接回流曲线	31
图 7-1	冷启动上电时序（RTC 掉电）	36
图 7-2	热复位时序图	38
图 7-3	S0 到 S3 及 S3 到 S0 时序图	40
图 7-4	S0 到 S4/S5 及 S4/5 到 S0 状态时序图	41
图 7-5	不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）	43
图 7-6	不使能 ACPI 功能时的热复位时序图	44
图 8-1	封装尺寸	47
图 8-2	信号引脚分布总览（顶视图）	47
图 9-1	产品标识	48

表目录

表 1-1	龙芯 7A2000 芯片分级	4
表 1-2	术语和缩略语表	4
表 2-1	信号类型说明	6
表 2-2	HT 接口	6
表 2-3	PCIE 接口	8
表 2-4	显存接口	9
表 2-5	网络接口	9
表 2-6	SATA 接口	10
表 2-7	VGA 接口	10
表 2-8	HDMI 接口	11
表 2-9	USB 接口	11
表 2-10	HDA 接口	12
表 2-11	SPI 接口	12
表 2-12	LPC 接口	12
表 2-13	I2C 接口	13
表 2-14	ART 接口	13
表 2-15	PWM 接口	13
表 2-16	GPIO 接口	13
表 2-17	RTC 接口	14
表 2-18	电源管理接口	14
表 2-19	时钟信号	15
表 2-20	芯片配置接口	15
表 2-21	中断接口	16
表 2-22	JTAG 接口	17
表 2-23	引脚复用表	17
表 4-1	桥片时钟输入	27
表 4-2	桥片时钟输出	27
表 6-1	龙芯 7A2000 的热阻参数	30
表 6-2	回流焊接温度分类表	30
表 7-1	芯片绝对最大额定电压	32
表 7-2	工作电源要求	33
表 7-3	典型应用功耗	34
表 7-4	上电时序要求(示例)	37
表 7-5	热复位时序约束	39
表 7-6	S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束	42
表 7-7	不使能 ACPI 功能时的上电时序要求	44
表 7-8	不使能 ACPI 功能时的热复位时序约束	45

附录目录

图 A - 1 芯片引脚排布 1/4（顶视图，从左至右）	51
图 A - 2 芯片引脚排布 2/4（顶视图，从左至右）	52
图 A - 3 芯片引脚排布 3/4（顶视图，从左至右）	53
图 A - 4 芯片引脚排布 4/4（顶视图，从左至右）	54

1. 简介

龙芯 7A2000 型处理器独显桥片（后文也简称为 7A2000）是龙芯 7A1000 的升级产品。该芯片通过 HT 高速总线接口与龙芯 3 号系列处理器相连，内部集成 GPU、DC、DDR4 显存控制器，以及 PCIE3.0、SATA3.0、USB3.0、GMAC、HDMI、I2C、UART、GPIO 等接口，可为龙芯处理器提供丰富的南北桥功能。

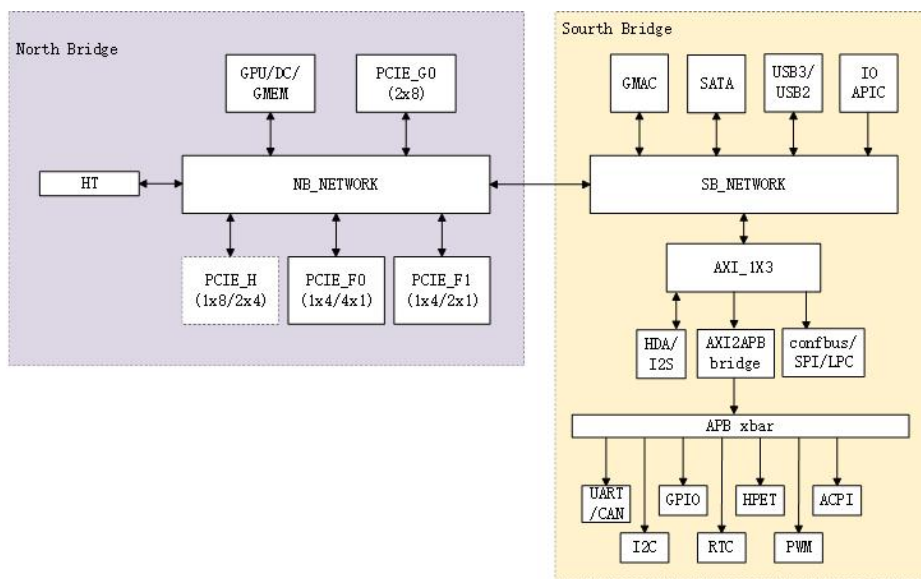


图 1-1 龙芯 7A2000 顶层结构图

1.1 技术指标

7A2000 芯片主要特性

- 16 位 HT 3.0 接口
- 3D GPU
- 支持双路显示
- 32 位 DDR4 显存控制器
- 3 个 x8 PCIE 3.0 接口；其中一个可拆分为 2 个独立 PCIE x4 接口^a
- 1 个 x4 PCIE 3.0 接口；可拆分为 4 个独立 PCIE x1 2.0 接口
- 1 个 x4 PCIE 3.0 接口；可拆分为 2 个独立 PCIE x1 2.0 接口
- 4 个 SATA 3.0
- 最多 4 个 USB 3.0，最多 12 个 USB2.0

- 1 个千兆网口
- HDA/I2S
- RTC/HPET 模块
- 1 个全功能 UART 控制器
- 4 个 CAN 控制器
- 6 个 I2C 控制器
- 1 个 LPC 控制器
- 1 个 SPI 控制器，支持 QSPI
- GPIO 接口
- ACPI 规范
- 内置温度传感器
- 采用 FC-BGA 封装

注 a: BC 版本商业级/工业级芯片的两个 x8 可以作为 x16 使用

1.2 典型应用

1.2.1 单路应用

将 7A2000 通过 HT 接口与 3A 系列处理器相连，7A2000 的 HT3.0 总线频率为 3.2GHz，通过 16 位总线与 3A 系列处理器连接。

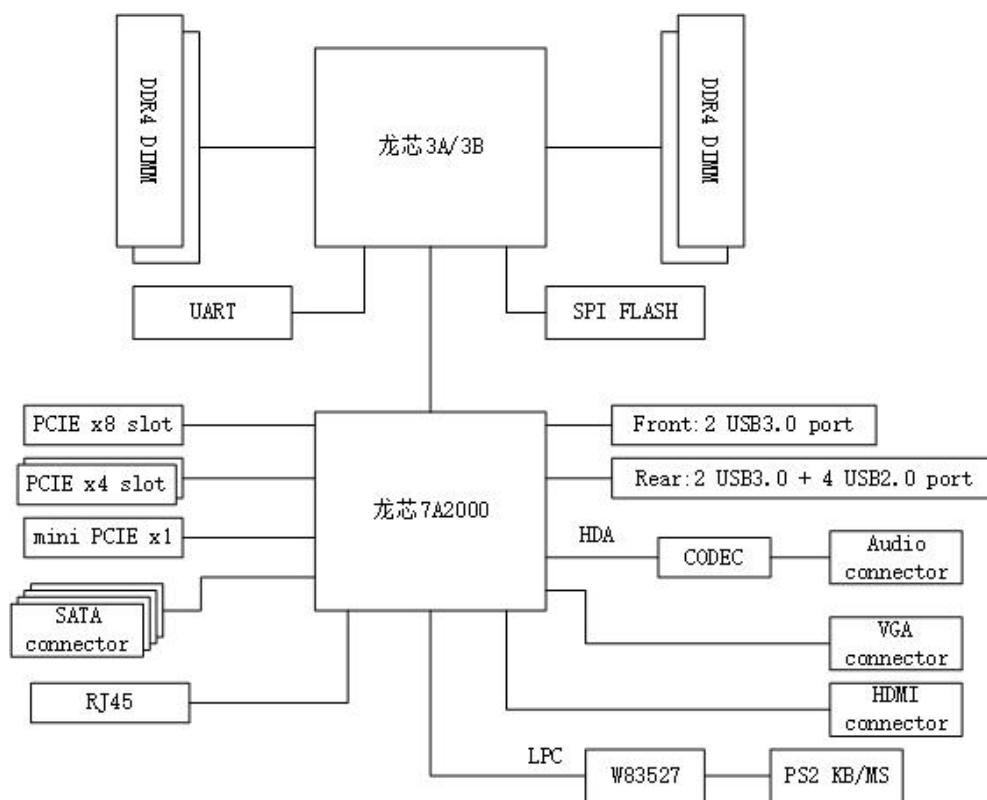


图 1-2 单路应用示意图

1.2.2 双路应用

典型的双路应用如图 1-3 所示，由两个龙芯 3A/3B 处理器和两个 7A2000 组成，其中两个处理器通过 HT 连接，每个处理器分别通过 HT 接口与一个 7A2000 连接。

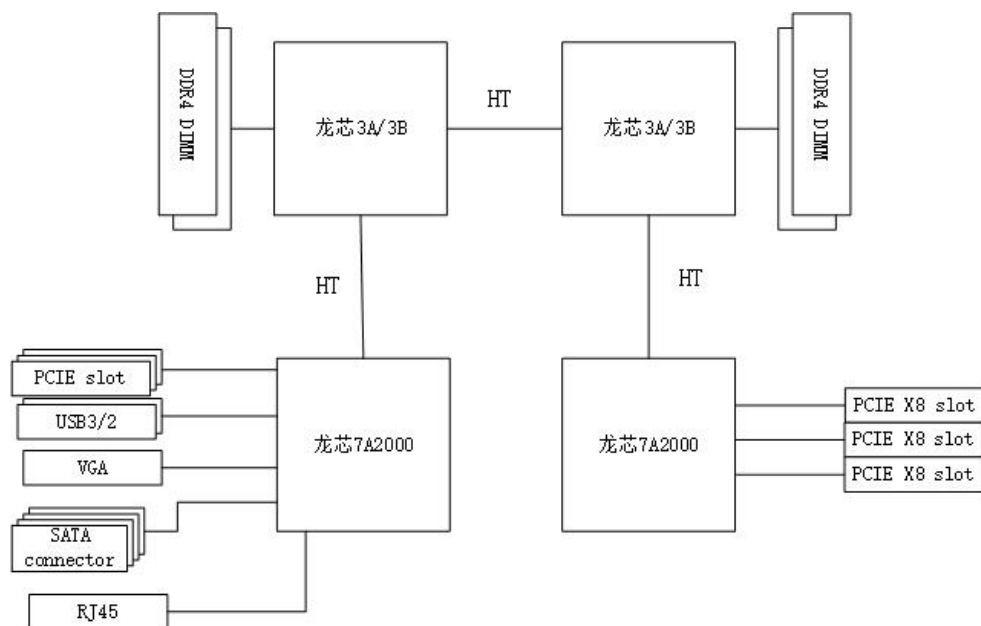


图 1-3 双路应用示意图

1.3 订购信息

表 1-1 龙芯 7A2000 芯片分级

芯片型号	封装	工作温度(壳温)	质量等级
LS7A2000	塑封	0℃-70℃	商业级
LS7A2000-i	塑封	-40℃-85℃	工业级

1.4 术语

表 1-2 术语和缩略语表

术语	描述	备注
UEFI	Unified Extensible Firmware Interface	
RGMI	Reduced Gigabit Media Independent Interface	
LPC	Low Pin Count	
GPIO	General-purpose input/output	
ACPI	Advanced Configuration and Power Management Interface	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDAudio	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIe	Peripheral Component Interconnect express	
DIMM	Dual Inline Memory Module	
UDIMM	Unbuffered Dual Inline Memory Module	
SODIMM	Small Outline Dual Inline Memory Module	
RDIMM	Registered Dual Inline Memory Modules	
LRDIMM	Load-Reduced Dual Inline Memory Modules	
EJTAG	Joint Test Action Group for mips	
JTAG	Joint Test Action Group	

1.5 文档约定

1.5.1 引脚信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，高有效信号则不带 n。

1.5.2 数值表示

16 进制数表示为 'hxxx', 2 进制数表示为 'bxx', 其它数字为 10 进制。功能相同但标号有别的引脚使用方括号加数字范围的形式简写 (如 DDR_DQ0, DDR_DQ1, ...DDR_DQ31 简写成 DDR_DQ[31:0])。类似地, 寄存器域也采用这种表示方式。

1.5.3 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 chip_config0.uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。

2. 接口信号

本节对桥片的信号进行说明。

2.1 信号类型定义

表 2-1 信号类型说明

信号类型	说明
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出

2.2 接口信号说明

- 1) “-”在复位状态栏中代表输入信号或无需关心；在上下拉栏中代表片内未实现上下拉。
- 2) 对于上下拉的电阻阻值，除了 HT 的几个信号单独说明了阻值要求外，其他所有阻值都为 50K Ω 。
- 3) 关于引脚在不使用时的情况，已经在描述里进行说明，没有说明的信号都可以浮空。
- 4) 除特殊情况外(如 VGA)，差分信号合并进行说明，以 P/N 分别代表正/负端。
- 5) 引脚复用配置寄存器的相关配置详见用户手册。

2.2.1 HT 接口

表 2-2 HT 接口

信号名称	类型	复位状态	描述	电源	上下拉
HT_REXT_IO_LO	I	`h0	HT 参考电阻，通过一个 1Kohm(1%)的电阻接地	VDDE_HT_SB	-
HT_CLKP/N	I	-	HT 通道差分时钟输入	VDDA-HTPLL	-
HT_LO_POWEROK	OD	`h1	当 HT_8X2 无效时为 HT 总线 PowerOK 信号， 当 HT_8X2 有效时为 HT_Lo 总线 PowerOK 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω	VDDE_HT_SB	上拉
HT_LO_RSTn	OD	`h0	当 HT_8X2 无效时为 HT 总线 Resetn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Resetn 信号，	VDDE_HT_SB	上拉

			工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω		
HT_LO_LDT_STOPn	OD	`h1	当 HT_8X2 无效时为 HT 总线 Ldt_Stopn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Stopn 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω （不使用时下拉到地）	VDDE_HT_SB	上拉
HT_LO_LDT_REQn	OD	`h1	当 HT_8X2 无效时为 HT 总线 Ldt_Reqn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Reqn 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω	VDDE_HT_SB	上拉
HT_HI_POWEROK	OD	`h1	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 PowerOK 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω	VDDE_HT_SB	上拉
HT_HI_RSTn	OD	`h0	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Resetn 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω	VDDE_HT_SB	上拉
HT_HI_LDT_STOPn	OD	`h1	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Stopn 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω （不使用时下拉到地）	VDDE_HT_SB	上拉
HT_HI_LDT_REQn	OD	`h1	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Reqn 信号， 工作在 3.3V 时，电阻值范围 10~100K Ω ；工作在 1.8V 时，电阻值最大 50K Ω	VDDE_HT_SB	上拉
HT_TX_CAD[15:00]P/N	0	‘h0000	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线 当 HT_8X2 有效时： [07:00]位为 HT_Lo 总线发送数据命令总线 [15:08]位为 HT_Hi 总线发送数据命令总线	VDDP_HT_TX	-
HT_TX_CTL[1:0]P/N	0	‘h0	当 HT_8X2 无效时： [0]位为 HT 总线发送控制信号 [1]位无效 当 HT_8X2 有效时： [0]位为 HT_Lo 总线发送控制信号 [1]位为 HT_Hi 总线发送控制信号	VDDP_HT_TX	-
HT_TX_CLK[1:0]P/N	0	‘h0	当 HT_8X2 无效时，该总线为 HT 总线发送时钟总线 当 HT_8X2 有效时： [0]位为 HT_Lo 总线发送时钟信号 [1]位为 HT_Hi 总线发送时钟信号	VDDP_HT_TX	-
HT_RX_CAD[15:00]P/N	I	-	当 HT_8X2 无效时，该总线为 HT 总线接收数据命令总线 当 HT_8X2 有效时：	VDDP_HT_RX	-

			[07:00]位为 HT_Lo 总线接收数据命令总线 [15:08]位为 HT_Hi 总线接收数据命令总线		
HT_RX_CTL[1:0]P/N	I	-	当 HT_8X2 无效时： [0]位为 HT 总线接收控制信号 [1]位无效。 当 HT_8X2 有效时 [0]位为 HT_Lo 总线接收控制信号 [1]位为 HT_Hi 总线接收控制信号	VDDP_HT_RX	-
HT_RX_CLK[1:0]P/N	I	-	当 HT_8X2 无效时，该总线为 HT 总线接收时钟总线 当 HT_8X2 有效时： [0]位为 HT_Lo 总线接收时钟信号， [1]位为 HT_Hi 总线接收时钟信号。	VDDP_HT_RX	-

2.2.2 PCIE 接口

表 2-3 PCIE 接口

信号名称	类型	复位状态	描述	电源	上下拉
PCIE_GO_TX[15:0]P/N	DIFF OUT	‘h0000	PCIE 差分数据输出	VDDP_PCIE	-
PCIE_GO_RX[15:0]P/N	DIFF IN	-	PCIE 差分数据输入	VDDP_PCIE	-
PCIE_GO_REFRES[3:0]	I	-	PCIE G0 外部参考电阻，通过 487ohm(+/-1%) 连接至 VDDP_PCIE 电源，可不接	VDDP_PCIE	-
PCIE_GO_RSTN	0	‘h0	PCIE G0 复位输出	VDDE_SOC	-
PCIE_H_TX[7:0]P/N	DIFF OUT	‘h00	PCIE 差分数据输出	VDDP_PCIE	-
PCIE_H_RX[7:0]P/N	DIFF IN	-	PCIE 差分数据输入	VDDP_PCIE	-
PCIE_H_REFRES[1:0]	I	-	PCIE H 外部参考电阻，通过 487ohm(+/-1%) 连接至 VDDP_PCIE 电源，可不接	VDDP_PCIE	-
PCIE_H_RSTN	0	‘h0	PCIE 复位	VDDE_SOC	-
PCIE_F0_TX[3:0]P/N	DIFF OUT	‘h0	PCIE 差分数据输出	VDDP_PCIE	-
PCIE_F0_RX[3:0]P/N	DIFF IN	-	PCIE 差分数据输入	VDDP_PCIE	-
PCIE_F0_REFRES	I	-	PCIE F0 外部参考电阻，通过 487ohm(+/-1%) 连接至 VDDP_PCIE 电源，可不接	VDDP_PCIE	-
PCIE_F0_RSTN	0	‘h0	PCIE 复位	VDDE_SOC	-
PCIE_F1_TX[3:0]P/N	DIFF OUT	‘h0	PCIE 差分数据输出，2X1 模式下仅 LANE0/1 可用	VDDP_PCIE	-
PCIE_F1_RX[3:0]P/N	DIFF IN	-	PCIE 差分数据输入，2X1 模式下仅 LANE0/1 可用	VDDP_PCIE	-
PCIE_F1_REFRES	I	-	PCIE F1 外部参考电阻，通过 487ohm(+/-1%) 连接至 VDDP_PCIE 电源，可不接	VDDP_PCIE	-

PCIE_F1_RSTN	0	‘h0	PCIE 复位	VDDE_SOC	—
PCIE_REFRES	I	—	PCIE 共享参考电阻，通过 487ohm(+/-1%) 连接至 VDDP_PCIE 电源，必须连接	VDDP_PCIE	
PCIE_REFCLK_OUT[7:0] P/N	DIFF OUT	—	PCIE 100MHz 差分时钟输出	VDDP_PCIE	—

2.2.3 显存接口

表 2-4 显存接口

信号名称	类型	复位状态	描述	电源	上下拉
GMEM_DQ[31:0]	I/O	‘hx	显存数据信号	VDDP_MEM	—
GMEM_DQS[3:0]P/N	DIFF I/O	‘hx	显存数据选通信号	VDDP_MEM	—
NC_GMEM_DQSN[5:4]	I/O	‘hx	显存数据选通信号 4,5 负极，板级悬空处理	VDDP_MEM	—
GMEM_DMON_DQSP4	I/O	‘hx	显存数据屏蔽信号 0	VDDP_MEM	—
GMEM_DM1N_DQSP5	I/O	‘hx	显存数据屏蔽信号 1	VDDP_MEM	—
GMEM_DM2N_DQSP6	I/O	‘hx	显存数据屏蔽信号 2	VDDP_MEM	—
GMEM_DM3N_DQSP7	I/O	‘hx	显存数据屏蔽信号 3	VDDP_MEM	—
GMEM_A[13:0]	0	‘hx	显存地址信号	VDDP_MEM	—
GMEM_BA[1:0]	0	‘hx	显存 Bank 地址信号	VDDP_MEM	—
GMEM_BG[1:0]	0	‘hx	显存 BankGroup 地址信号	VDDP_MEM	—
GMEM_ACT	0	‘hx	显存行激活信号，低有效	VDDP_MEM	—
GMEM_ALERT	I	—	显存出错警告信号，低有效	VDDP_MEM	—
GMEM_WEn	0	‘hx	显存写使能信号	VDDP_MEM	—
GMEM_CASn	0	‘hx	显存列选信号	VDDP_MEM	—
GMEM_RASn	0	‘hx	显存行选信号	VDDP_MEM	—
GMEM_SCSn[1:0]	0	‘hx	显存片选信号	VDDP_MEM	—
GMEM_CKE[1:0]	0	‘hx	显存 CKE 信号	VDDP_MEM	—
GMEM_CKP/N	DIFF 0	‘hx	显存时钟信号	VDDP_MEM	—
GMEM_ODT[1:0]	0	‘hx	显存 ODT 信号	VDDP_MEM	—
GMEM_PAR	0	‘hx	显存命令地址奇偶校验信号	VDDP_MEM	—
GMEM_RESETn	0	‘hx	显存复位信号	VDDP_MEM	—
GMEM_COMP_REXT	I/O	‘h0	显存外部参考电阻，通过一个 240ohm(1%) 的电阻连接至地	VDDP_MEM	—

2.2.4 网络接口

表 2-5 网络接口

信号名称	类型	复位状态	描述	电源	上下拉
GMAC1_TX_CLK	0	‘hx	GMAC 通道 1 发送时钟。保留，不可使用。	VDDE_RSM	—
GMAC1_TCTL	0	‘hx	GMAC 通道 1 发送控制。保留，不可使用。	VDDE_RSM	—
GMAC1_TXD[3:0]	0	‘hx	GMAC 通道 1 发送数据。保留，不可使用。	VDDE_RSM	—
GMAC1_RX_CLK	I	—	GMAC 通道 1 接收时钟。保留，不可使用。	VDDE_RSM	—
GMAC1_RCTL	I	—	GMAC 通道 1 接收控制。保留，不可使用。	VDDE_RSM	—
GMAC1_RXD[3:0]	I	—	GMAC 通道 1 接收数据。保留，不可使用。	VDDE_RSM	—
GMAC1_MDCK	0	‘hx	GMAC 通道 1 接口时钟。保留，不可使用。	VDDE_RSM	—
GMAC1_MDIO	I/OD	‘hx	GMAC 通道 1 接口数据。保留，不可使用。	VDDE_RSM	—
TX_A_P/N	I/O	‘hx	双绞线 A 差分端口	VDDP_GNET_AB	—
TX_B_P/N	I/O	‘hx	双绞线 B 差分端口	VDDP_GNET_AB	—
TX_C_P/N	I/O	‘hx	双绞线 C 差分端口	VDDP_GNET_CD	—
TX_D_P/N	I/O	‘hx	双绞线 D 差分端口	VDDP_GNET_CD	—
REXT	I/O	—	外接参考电阻 5Kohm+/- 1%，必须连接	—	—
GMACO_LED_1KB	0	‘hx	千兆网工作状态指示灯，高有效	VDDE_RSM	—
GMACO_LED_100B	0	‘hx	十/百兆网工作状态指示灯，高有效，可根据需要通过软件配置增加千兆网工作状态	VDDE_RSM	—
GMACO_LED_ACTIVE	0	‘hx	网络收发包状态指示，高有效	VDDE_RSM	—

2.2.5 SATA 接口

表 2-6 SATA 接口

信号名称	类型	复位状态	描述	电源	上下拉
SATA_REFRES	I	—	SATA 外部参考电阻输入，通过 487ohm(+/-1%) 电阻连至 VDDP_U3S_RX，必须连接	VDDP_U3S_RX	—
SATA[3:0]_TXP/N	DIFF OUT	‘h0	SATA 差分数据输出	VDDP_U3S_TX	—
SATA[3:0]_RXP/N	DIFF IN	—	SATA 差分数据输入	VDDP_U3S_RX	—
SATA_LEDn	OC	‘h0	SATA 工作状态，低表示有数据传输	VDDE_SOC	—
SATA_REFCLKP/M	DIFF IN	—	SATA 参考 25MHz 差分时钟端输入，当选择 USB 参考差分时钟时可不接	TBD	—

2.2.6 VGA 接口

表 2-7 VGA 接口

信号名称	类型	复位状态	描述	电源	上下拉
VGA_ROUTP	0	‘h1	VGA R 通道正端口	VDD_MISC	—
VGA_ROUTN	0	‘h0	VGA R 通道负端口，不使用可接地	VDD_MISC	—
VGA_GOUTP	0	‘h1	VGA G 通道正端口	VDD_MISC	—

VGA_GOUTN	0	‘h0	VGA G 通道负端口，不使用可接地	VDD_MISC	—
VGA_BOUTP	0	‘h1	VGA B 通道正端口	VDD_MISC	—
VGA_BOUTN	0	‘h0	VGA B 通道负端口，不使用可接地	VDD_MISC	—
VGA_REXTP	0	—	外部电阻接在该引脚和 REXTN 之间，可用 2.27K Ω 到 4.54K Ω ，取决于电流要求（参考值为 2.87K Ω ）	VDD_MISC	—
VGA_REXTN	I	—		VDD_MISC	—
VGA_HSYNC	0	‘h0	VGA 行同步	VDDE_SOC	—
VGA_VSYNC	0	‘h0	VGA 场同步	VDDE_SOC	—
VGA_VREF	IO	—	外接 1.204V 电压，默认可不接		—

2.2.7 HDMI 接口

表 2-8 HDMI 接口

信号名称	类型	复位状态	描述	电源	上下拉
HDMI0_TX[2:0]P/N	DIFF OUT	‘h1	HDMI0 通道数据差分输出	VDDE_SOC	—
HDMI0_CKP/N	DIFF OUT	—	HDMI0 通道时钟输出	VDDE_SOC	—
HDMI0_BIAS	I/O	—	HDMI0 通道偏置电压-通过 240 欧姆电阻上拉到 VDDP_HDMI_PLL 电源，最大电流 22mA	VDDP_HDMI_PLL	—
HDMI0_HOTPLUG	I	—	HDMI0 通道热插拔检测，插入设备时为高	VDDE_SOC	下拉
HDMI0_I2C_SCL	OC	‘h0	HDMI0 通道 I2C 串行时钟	VDDE_SOC	—
HDMI0_I2C_SDA	OC	‘h0	HDMI0 通道 I2C 串行数据	VDDE_SOC	—
HDMI1_TX[2:0]P/N	DIFF OUT	‘h1	HDMI1 通道数据差分输出	VDDE_SOC	—
HDMI1_CKP/N	DIFF OUT	—	HDMI1 通道时钟差分输出	VDDE_SOC	—
HDMI1_BIAS	I/O	—	HDMI1 通道偏置电压-通过 240 欧姆电阻上拉到 VDDP_HDMI_PLL 电源，最大电流 22mA	VDDP_HDMI_PLL	—
HDMI1_HOTPLUG	I	—	HDMI1 通道热插拔检测，插入设备时为高	VDDE_SOC	下拉
HDMI1_I2C_SCL	OC	‘h0	HDMI1 通道 I2C 串行时钟	VDDE_SOC	—
HDMI1_I2C_SDA	OC	‘h0	HDMI1 通道 I2C 串行数据	VDDE_SOC	—

2.2.8 USB 接口

表 2-9 USB 接口

信号名称	类型	复位状态	描述	电源	上下拉
USB2_REFRES[3:0]	I	‘h0	通过 3Kohm \pm 1% 电阻下拉至地	—	—
USB2_D[11:0]P/M	I/O	‘h000	USB2 数据线，低 4 位与 USB3 数据线组合成 USB3 接口	VDDE_RSM	—
USB_OC[3:0]	I	—	USB 过流检测输入，该信号为高有效。该引脚与 USB 控制器的对应关系可通过软件配置。	VDDE_RSM	—
USB3_REFRES	I	‘h1	USB3 外部参考电阻输入，通过 487ohm \pm (+/-1%) 电阻连至	VDDP_U3S_RX	—

			VDDP_U3S_RX		
USB_REFCLKP/N	DIFF IN	-	USB 参考差分时钟端输入 (25MHz)	VDDP_U3S_RX	-
USB3_TX[3:0]P/N	DIFF OUT	-	USB3 端口差分发送数据端	VDDP_U3S_TX	-
USB3_RX[3:0]P/N	DIFF IN	-	USB3 端口差分接收数据端	VDDP_U3S_RX	-

注：USB2_DP/M[3:0]和USB3 端口不支持唤醒功能，只有USB2_DP/M[11:4]八组接口支持

2.2.9 HDA 接口

表 2-10 HDA 接口

信号名称	类型	复位状态	描述	电源	上下拉
HDA_BCLK	I/O	-	HDA BITCLK 输出	VDDE_SOC	-
HDA_SDIO	I	-	HDA/I2S 数据输入，连接第一个 codec	VDDE_SOC	-
HDA_SDI1	I	-	HDA 数据输入，连接第二个 codec	VDDE_SOC	-
HDA_SDI2	I	-	HDA 数据输入，连接第三个 codec	VDDE_SOC	-
HDA_SDO	O	'h0	HDA 数据输出	VDDE_SOC	-
HDA_SYNC	O	'h0	HDA 同步	VDDE_SOC	-
HDA_RESETh	O	'h0	HDA/I2S 复位	VDDE_SOC	-

2.2.10 SPI 接口

表 2-11 SPI 接口

信号名称	类型	复位状态	描述	电源	上下拉
SPI_SCK	O	-	SPI master 输出时钟信号	VDDE_SOC	-
SPI_SDO	O	'hx	SPI master 输出数据信号	VDDE_SOC	上拉
SPI_SDI	I	'h0	SPI master 输入数据信号	VDDE_SOC	上拉
SPI_CSn[3:0]	O	'h1	单/双线模式：SPI slave 片选信号 四线模式： SPI_CSn[1:0]为片选信号； SPI_CSn[2]为 SPI_WPn； SPI_CSn[3]为 SPI_HOLDn；	VDDE_SOC	-

注：SPI_CSn0 片选必须连接一个外部 flash，容量不小于 128KB，用于主板存储 ROM 使用。

2.2.11 LPC 接口

表 2-12 LPC 接口

信号名称	类型	复位状态	描述	电源	上下拉
LPC_LAD[3:0]	I/O	'h0	LPC 复用的命令、地址、数据信号线	VDDE_SOC	上拉
LPC_LFRAMEN	I/O	'hx	LPC 总线帧起始、结束信号	VDDE_SOC	-
LPC_SERIRQ	I/O	-	LPC 总线 serial IRQ 信号，用于传输串行中断信号	VDDE_SOC	上拉

LPC_RESETN	0	‘hx	LPC 总线复位信号	VDDE_SOC	–
LPC_CLKOUT	0	–	LPC 33MHz 时钟输出	VDDE_SOC	–

2.2.12 I2C 接口

表 2-13 I2C 接口

信号名称	类型	复位状态	描述	电源	上下拉
I2C[1:0]_SCL	OC	‘h0	I2C 串行时钟	VDDE_SOC	–
I2C[1:0]_SDA	OC	‘h0	I2C 串行数据	VDDE_SOC	–

2.2.13 UART 接口

表 2-14 UART 接口

信号名称	类型	复位状态	描述	电源	上下拉
UART_TXD	0	‘h1	UART0 数据发送	VDDE_SOC	–
UART_RXD	I	–	UART0 数据接收	VDDE_SOC	–
UART_RTS	0	‘h1	UART0 请求发送信号	VDDE_SOC	–
UART_CTS	I	–	UART0 清发送信号	VDDE_SOC	–
UART_DTR	0	‘h1	UART0 数据终端就绪信号	VDDE_SOC	–
UART_DSR	I	–	UART0 数据设置就绪信号	VDDE_SOC	–
UART_RI	I	‘h1	UART0 铃流指示信号	VDDE_SOC	–
UART_DCD	I	–	UART0 数据载波检测信号	VDDE_SOC	–

2.2.14 PWM 接口

表 2-15 PWM 接口

信号名称	类型	复位状态	描述	电源	上下拉
PWM[3:0]	I/O	‘h0	PWM 脉冲输入输出	VDDE_SOC	–

2.2.15 GPIO 接口

表 2-16 GPIO 接口

信号名称	类型	复位状态	描述	电源	上下拉
GPIO00	I/O	–	通用输入输出接口 0	VDDE_SOC	–
GPIO27	I/O	–	通用输入输出接口 27	VDDE_SOC	–

注：

1. 以上仅列举了两个专用 GPIO 接口，复用的 GPIO 接口参见 2.2.22 节。

2. 该 GPIO 接口与 ACPI_GPIO 互相独立。

2.2.16 RTC 信号

表 2-17 RTC 接口

信号名称	类型	复位状态	描述	电源	上下拉
RTC_XI	I	-	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入 (使用晶体时，必须使用；使用晶振时，必须使用)	VDD_RTC	-
RTC_XO	O	-	32.768KHz 晶体输出 (使用晶体时，必须使用；使用晶振时，可不接)	VDD_RTC	-

2.2.17 电源管理接口

表 2-18 电源管理接口

信号名称	类型	复位状态	描述	电源	上下拉
ACPI_EN	I	-	ACPI 使能 0：不使能 ACPI 功能，此时除了复位信号 (ACPI_SYSRSTn) 外，其他电源管理信号无效； 1：使能 ACPI 功能； (板级必须控制，可根据需要设置为 0 或者 1)	VDDE_ACPI	上拉
ACPI_SYSRSTn	I	-	系统复位，低有效。 (必须按照时序要求进行控制)	VDDE_ACPI	-
ACPI_WAKEN	I	-	PCIE 唤醒，低有效。 (不使用时上拉处理)	VDDE_ACPI	-
ACPI_SUSSTATn	O	'h1	低功耗状态，低有效 (不使用时可不接)	VDDE_ACPI	上拉
ACPI_S3n	O	'h1	S3 状态，低有效。 (不使用时可不接)	VDDE_ACPI	上拉
ACPI_S4n	O	'h1	S4 状态，低有效。 (不使用时可不接)	VDDE_ACPI	上拉
ACPI_S5n	O	'h1	S5 状态，低有效。 (不使用时可不接)	VDDE_ACPI	上拉
ACPI_PLTRSTn	O	'h1	平台复位，低有效。 (建议板级使用该复位信号，ACPI_EN 为 0 时该信号仅 受 ACPI_SYSRSTn 控制)	VDDE_ACPI	上拉
ACPI_PWRBTNn	I	-	电源开关，低有效。 (不使用时上拉处理)	VDDE_ACPI	-
ACPI_PWROK	I	-	电源有效，指示最后一级电源上电成功，高有效。 (不使用时上拉处理)	VDDE_ACPI	-
ACPI_VSBGATE	O	'h1	主电源和 standby 电源切换控制信号 (不使用时可不接)	VDDE_ACPI	-

ACPI_GPIO[15:00]	I/O	-	ACPI 域 GPIO 端口，用作 GPE 功能，具有唤醒和中断功能，中断类型包括电平/边沿/双沿，极性可设置（不使用时可不接）	VDDE_ACPI	-
ACPI_RSMRSTn	I	-	ACPI 域复位信号，低有效（必须按照时序要求进行控制）	VDDE_ACPI	-
SYS_D0TESTn	I	-	测试模式设置，低有效。功能模式下必须上拉。（不使用时上拉处理）	VDDE_ACPI	-

注：参见电源管理和复位时序。

2.2.18 时钟信号

表 2-19 时钟信号

信号名称	类型	复位状态	描述	电源	上下拉
SYS_CLKIN	I	-	桥片 100 MHz 主参考时钟 (当系统时钟选择 HT 的差分参考时钟时，可不接)	VDDE_HT_SB	-
SYS_TESTCLK	I	-	测试时钟输入 (功能模式下，必须下拉)	VDDE_SOC	-
CLKOUT_100M	O	'hx	100 MHz 单端时钟输出	VDDE_HT_SB	-
CLKOUT_33M	O	'h0	33.3 MHz 单端时钟输出	VDDE_SOC	-
CLKOUT_25M	O	'hx	25 MHz 单端时钟输出	VDDE_SOC	-
CLKOUT_FLEX	O	'hx	系统时钟输出，频率可配置	VDDE_SOC	-

2.2.19 芯片配置接口

表 2-20 芯片配置接口

信号名称	类型	复位状态	描述	电源	上下拉
PCIE_BRIDGE	I/O	-	系统 PCIE 桥模式选择输入， 0=HT 桥片模式, 1=PCIE 桥片模式	VDDE_SOC	下拉
CLKSEL[08:00]	I/O	-	CLKSEL[1:0]：内部 PLL(除 HT PLL)时钟配置 00：由软件对时钟频率进行配置； 01：硬件配置 1； 10：硬件配置 0； 11：内部 PLL bypass，仅用于调试 CLKSEL[3:2]：HT 控制器分频设置 00：8 分频 01：4 分频 10：保留 11：1 分频 CLKSEL[5:4]：HT PLL VCO 频率配置	VDDE_SOC	CLKSEL[0]：下拉 CLKSEL[1]：下拉 CLKSEL[2]：下拉 CLKSEL[3]：下拉 CLKSEL[4]：上拉 CLKSEL[5]：下拉 CLKSEL[6]：下拉 CLKSEL[7]：上拉 CLKSEL[8]：下拉

			00: VCO 频率 1.6GHz 01: VCO 频率 3.2GHz 10: VCO 频率 1.2GHz 11: VCO 频率 2.4GHz CLKSEL[6]: 保留 CLKSEL[7]: HT 频率配置模式选择 (必须控制) 0: 软件配置, 这种情况下 CLKSEL[5:2]不起作用 1: 硬件配置 CLKSEL[8]: 系统参考时钟选择 (必须控制) 0: 使用 SYS_CLKIN 1: 使用 HT PHY 参考时钟 HT_CLKP/n		
HT_8X2	I	-	HT 8x2 模式设置, 必须配置成 0	VDDE_SOC	下拉
HT_GEN3	I	-	HT GEN3 模式设置, 必须配置成 0, 板级可不接	VDDE_SOC	下拉
DUAL_BRIDGE	I	-	系统双桥模式使能 0: 禁用 PCIE F0 桥模式 1: 使能 PCIE F0 桥模式	VDDE_SOC	下拉
HTCLK_SEL0	I	-	HT 外部差分参考时钟频率选择 0: 100MHz 1: 200MHz (HT 输入差分时钟不使用时可不接)	VDDE_SOC	下拉
HTCLK_SEL1	I	-	HT 参考时钟选择 0: 选择外部差分参考时钟 1: 选择 SYS_CLKIN (必须控制)	VDDE_SOC	下拉
PRG_CLKSEL	I	-	PRG 参考时钟选择 0: 选择 USB3 输出的 25MHz 参考时钟 1: 选择 PCIE_REFCLKINP/N 作为参考时钟 (不选择 PCIE_REFCLKINP/N 作为参考时钟时可不接)	VDDE_SOC	下拉
USBCLKSEL	I	-	USB 参考时钟选择 0: USB 参考时钟为 25MHz 晶体 1: USB 参考时钟为 25MHz 差分输入 (必须控制)	VDDE_ACPI	-

2.2.20 中断接口

表 2-21 中断接口

信号名称	类型	复位状态	描述	电源	上下拉
INTN0	0	'h1	系统中断输出 0	VDDE_SOC	-
INTN1	0	'h1	系统中断输出 1	VDDE_SOC	-

2.2.21 JTAG 接口

表 2-22 JTAG 接口

信号名称	类型	复位状态	描述	电源	上下拉
TCK	I	–	JTAG 时钟	VDDE_SOC	下拉
TDI	I	–	JTAG 数据输入	VDDE_SOC	–
TMS	I	–	JTAG 模式	VDDE_SOC	–
TRSTN	I	–	JTAG 复位, 需下拉	VDDE_SOC	下拉
TDO	O	‘h0	JTAG 数据输出	VDDE_SOC	–

2.2.22 引脚复用表

模块级的功能复用关系如下表所示：

表 2-23 引脚复用表

功能 0	功能 1	功能 2	功能 3	功能 4	复用控制
CLKOUT_33M	GPI001				见注 1
CLKOUT_25M	GPI002				见注 1
CLKOUT_FLEX	GPI003				见注 1
CLKSEL00	GPI046				见注 4
CLKSEL01	GPI047				
CLKSEL02	GPI048				
CLKSEL03	GPI049				
CLKSEL04	GPI050				
CLKSEL05	GPI051				
CLKSEL06	GPI052				
CLKSEL07	GPI053				
PCIE_BRIDGE	GPI054				
HT8x2	GPI055				见注 2
HTGEN3	GPI056				
DUAL_BRIDGE	GPI057				见注 4
HDA_BCLK	GPI019	I2S_BCLK			见注 3
HDA_RESETh	GPI021	I2S_LR			
HDA_SDI0	GPI023	I2S_DI			
HDA_SDO	GPI022	I2S_DO			
HDA_SYNC	GPI020	I2S_MCLK			
HDA_SDI1	GPI024				见注 3
HDA_SDI2	GPI025				

I2C0_SCL	GPI008				见注 2
I2C0_SDA	GPI009				
I2C1_SCL	GPI010				见注 2
I2C1_SDA	GPI011				
LPC_LAD0	GPI040				见注 2
LPC_LAD1	GPI041				
LPC_LAD2	GPI042				
LPC_LAD3	GPI043				
LPC_LFRAMEN	GPI045				
LPC_SERIRQ	GPI044				
SATA_LEDn	GPI026				见注 1
SPI_CS _n 0	GPI012		I2C4_SCL		见注 2
SPI_CS _n 1	GPI013		I2C4_SDA		
SPI_CS _n 2	GPI014	SPI_WP _n	I2C5_SCL		见注 2
SPI_CS _n 3	GPI015	SPI_HOLD _n	I2C5_SDA		
SPI_SDI	GPI016				见注 2
SPI_SDO	GPI017				
SPI_SCK	GPI018				
PWM0	GPI004				见注 1
PWM1	GPI005				见注 1
PWM2	GPI006				见注 1
PWM3	GPI007				见注 1
UART_DCD	GPI032	UART3_RXD	I2C2_SCL	CAN3_RX	见注 2
UART_RI	GPI033	UART3_TXD	I2C2_SDA	CAN3_TX	
UART_DSR	GPI034	UART2_RXD	I2C3_SCL	CAN2_RX	见注 2
UART_DTR	GPI035	UART2_TXD	I2C3_SDA	CAN2_TX	
UART_CTS	GPI036	UART1_RXD		CAN1_RX	见注 2
UART_RTS	GPI037	UART1_TXD		CAN1_TX	
UART_RXD	GPI038	UART0_RXD		CAN0_RX	见注 2
UART_TXD	GPI039	UART0_TXD		CAN0_TX	
USB_OC0	GPI028				见注 1
USB_OC1	GPI029				见注 1
USB_OC2	GPI030				见注 1
USB_OC3	GPI031				见注 1

注：

1. 引脚功能可单独配置。
2. 引脚功能不可单独配置，合并单元格内的引脚功能需同时配置。
3. HDA 相关引脚，当配置为 HDA 模式时，所有引脚都工作在 HDA 模式，即使在 HDA 模式下不使用引脚 HDA_SDI1/2，它们也无法作为其他功能使用；当配置为 I2S 模式时，引脚 HDA_SDI1/2 可以作为 GPIO 功能使用。

4. 芯片配置相关引脚，在 boot 阶段作为芯片配置输入引脚，系统启动后，工作在 GPIO 输出模式。（注意：当作为 GPIO 输入使用时需保证不影响 boot 阶段的配置）。

3. 功能及接口说明

3.1 HT 接口

- 16 位 HT3.0 接口

3.2 PCIE 接口

- 兼容 PCIE 3.0
- 32 个 lane，3 个 x8 接口^b，2 个 x4 接口
- 1 个 x8 接口可配置为 2 个 x4 接口独立使用
- 其中 1 个 x4 接口可配置为 4 个 x1 接口独立使用
- 另外 1 个 x4 接口可配置为 2 个 x1 接口独立使用
- 输出 8 路 PCIE 差分参考时钟
- 支持极性反转
- 支持线序反转(注：PCIE_G0 在 1X16 模式下支持，2X8 模式下仅 PORT1 支持，PORT0 不支持；PCIE_H 在 1X8 模式下支持，2X4 模式下仅 PORT1 支持，PORT0 不支持。PCIE_F0 和 PCIE_F1 在 1X4 模式下支持。)

注 b：BC 版本商业级/工业级芯片的 PCIE_G0 高低 8 位可组成 x16 接口

3.3 GPU

- 集成一路 DMA
- 集成 MMU
- 支持 4x MSAA
- 支持内存压缩
- 支持动态功耗管理

3.4 显示接口

- 两路 HDMI 接口，一路 VGA 接口

- VGA 显示内容与 HDMI0 相同
- 两路独立硬件光标
- 伽玛校正
- 输出抖动
- 支持 1080p@60Hz
- 支持线性显示缓冲
- 上电序列控制
- 低功耗管理

3.5 显存接口

- 32 位 DDR4 显存控制器，接口最大速率 DDR4-2400Mbps.
- 最大显存容量 16GB
- 显存通道可配置为 32/16 位

3.6 USB 接口

- 采用 OHCI、EHCI 和 XHCI 协议
- 4 个独立的 USB3.0 HOST 端口
- 最多 12 个 USB2.0 HOST 端口
- 兼容 USB1.1、USB2.0 和 USB3.0
- 最高传输速度可达 5Gbps
- USB3.0 接口支持极性反转

3.7 SATA 接口

- 4 个独立 SATA3.0 端口
- 支持 SATA 1.5Gbps、3Gbps 和 6Gbps 的传输
- 兼容串行 ATA 3.3 规范和 AHCI 1.3.1 规范
- 低功耗设计
- 支持极性反转

3.8 网络接口

- 10/100/1000Mbps 自适应以太网
- 兼容 IEEE 802.3
- 支持全双工^c
- Timestamp 功能
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除
- 支持网络 S3 唤醒

注 c: BC 版本芯片支持全/半双工

3.9 HDA 接口

- 支持 16、18 和 20 位采样精度，支持可变速率
- 最高采样频率 192KHz
- 7.1 频道环绕立体声输出
- 三路音频输入

3.10 I2S 接口

- 支持 master 模式下 I2S 输入
- 支持 master 模式下 I2S 输出
- 支持 8、16、18、20、24、32 位宽
- 支持单声道和立体声道音频数据
- 支持 (16、22.05、32、44.1、48)KHz 采样频率
- 支持 DMA 传输模式

3.11 SPI 接口

- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持

- 支持到 4 个的变长字节传输
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式
- 支持 QSPI

3.12 LPC 接口

- 符合 LPC1.1 规范
- 扩展支持 TPM 协议
- 支持 Serialized IRQ 规范，提供 17 个中断源

3.13 UART 接口

- 1 个全功能 UART 和流控 TXD, RXD, CTS, RTS, DSR, DTR, DCD, RI
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统
- 可配置为 4 个两线串口 (TXD, RXD)

3.14 CAN

- 符合 CAN2.0 规范
- 四路 CAN 接口
- 支持中断

3.15 I2C 接口

- 集成 6 个 I2C 接口
- 兼容 SMBUS (100Kbps)
- 与 PHILIPS I2C 标准相兼容

- 履行双向同步串行协议
- 主从设备支持
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

3.16 PWM

- 4 路 32 位可配置 PWM 定时器
- 支持定时器功能
- 支持计数器功能
- 支持防死区发生控制

3.17 HPET

- 支持 1 个周期性中断
- 支持 2 个非周期性中断

3.18 RTC

- 计时精确到 1 微秒
- 可产生 3 个定时中断
- 支持定时开关机功能

3.19 ACPI 接口

- USB/GMAC 可 S3 唤醒
- 来电可自动启动

- 支持 S0, S3, S4, S5 状态

3.20 GPIO 接口

- 2 个专用 GPIO 引脚，56 个复用 GPIO 引脚
- 输入中断功能
- 中断极性、触发类型可设置

3.21 JTAG 接口

- JTAG 测试接口

4. 时钟

4.1 时钟内部框图

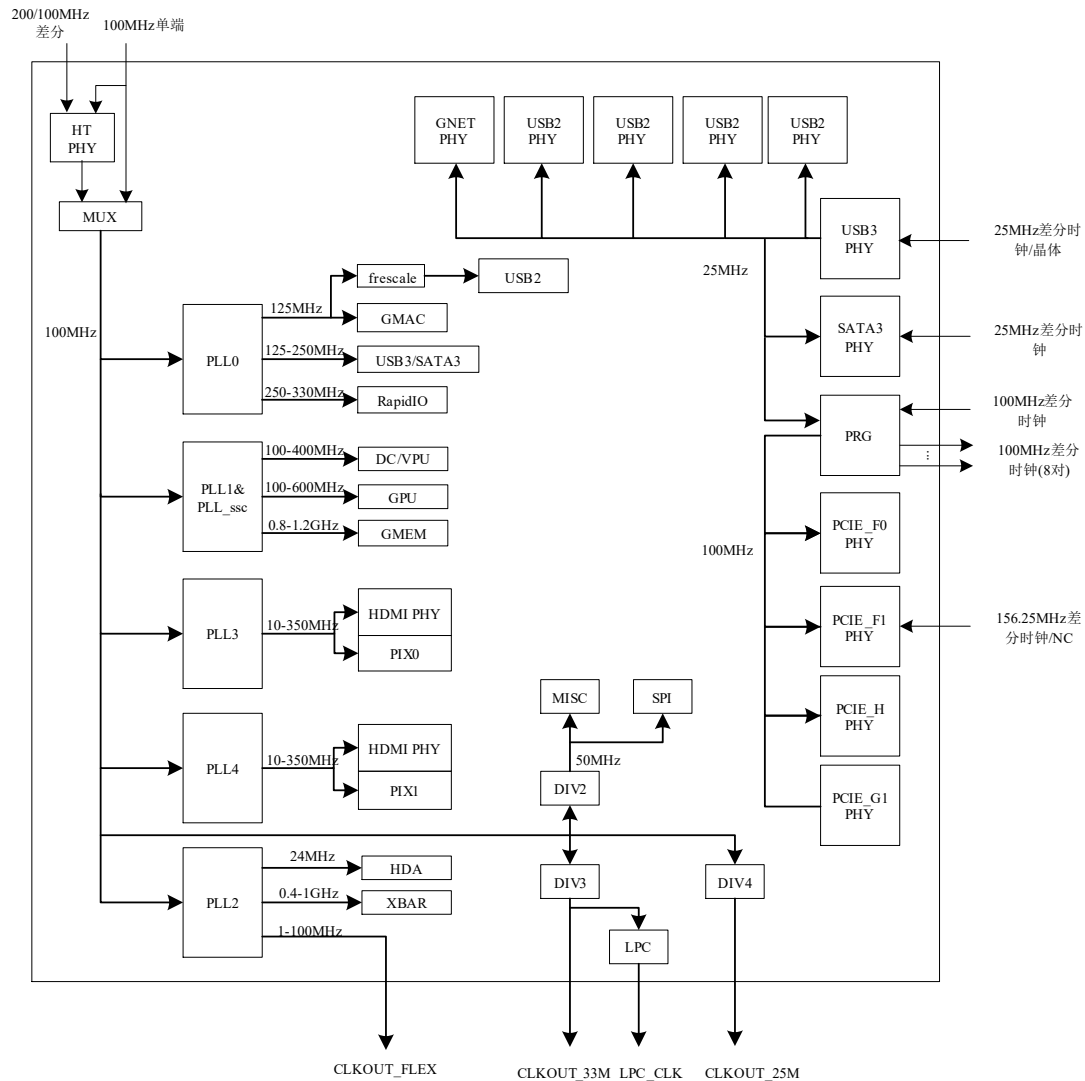


图 4-1 芯片时钟结构图

4.2 芯片时钟介绍

桥片的系统时钟有两种选择方式，一种是选择单端输入时钟 SYS_CLKIN，另一种是选择 HT 的差分输入时钟，选择信号为 CLKSEL8。无论哪种方式，必须保证系统时钟的频率为 100MHz，所以当选择 HT 的差分输入时钟时，需要根据差分时钟的频率对系统配置信号 HTCLK_SEL0 进行设置。

除系统时钟外，还需要一个 32.768KHz 的时钟作为 RTC 时钟。其他参考时钟的描述如下。

表 4-1 桥片时钟输入

时钟	频率	说明	电平标准
SYSCLK	100MHz	桥片 100 MHz 主参考时钟	LVMOS-1V8/LVMOS-3V3
RTC_XI	32.768KHz	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入	-
RTC_XO	32.768KHz	32.768KHz 晶体输出	-
SYS_TESTCLK	-	功能模式下，必须下拉	-
HT_CLKP/N	100/200 MHz	HT 差分参考时钟，当 HT 使用内部参考时钟时，可不接	LVDS
PCIE_REFCLKINP/N	100MHz	PCIE 差分参考时钟，当 PCIE 使用 USB 的参考时钟时可不接	LP-HCSL
RAPIDIO_REFCLKIN_P/N	-	保留，可不接	-
USB3_REFCLKP/N	25MHz	USB 差分参考时钟，可接 25MHz 晶体或者晶振。当不使用 USB3/2 和 GMAC0 并且 PCIE 和 SATA 不使用该时钟时可以不接	LP-HCSL
SATA_REFCLKP/N	25MHz	SATA 差分参考时钟，电平标准为 LP-HCSL。当 SATA 使用 USB 的参考时钟时可不接	LP-HCSL

注：晶体参考时钟 (RTC_XI/XO) 必须保留，否则影响正常开机以及会导致软件访问电源管理模块的寄存器时死机。

表 4-2 桥片时钟输出

时钟	频率	说明	电平标准
CLKOUT_33M	33.3MHz	33.3 MHz 单端时钟输出	-
CLKOUT_100M	100 MHz	100 MHz 单端时钟输出	LVMOS-1V8/LVCMO-3V3
CLKOUT_25M	25 MHz	25 MHz 单端时钟输出	-
CLKOUT_FLEX	可变	频率可变单端时钟输出	-
LPC_CLKOUTOUT	33.3MHz	LPC 接口输出参考时钟	-
PCIE_REFCLK_OUT0P/N	100MHz	第 0 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT1P/N	100MHz	第 1 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT2P/N	100MHz	第 2 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT3P/N	100MHz	第 3 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT4P/N	100MHz	第 4 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT5P/N	100MHz	第 5 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT6P/N	100MHz	第 6 路 PCIE 输出参考时钟	LP-HCSL
PCIE_REFCLK_OUT7P/N	100MHz	第 7 路 PCIE 输出参考时钟	LP-HCSL

注：CLKOUT_33M、CLKOUT_25M 和 CLKOUT_FLEX 引脚可复用为 GPIO 功能。

4.3 时钟功能描述

桥片内部包含了多个 PLL 和时钟分频模块，用于产生桥片需要的各个时钟。

桥片内部包含 6 个 PLL，其中每个 PLL 最多可以提供 3 个时钟输出。这 6 个 PLL 的用途

分别为：一个设备 PLL，产生 USB/SATA、GMAC 控制器的时钟；一个图形 PLL 用于产生 GPU、DC 以及显存的时钟；针对这个 PLL，额外提供一个支持展频功能 (SSC) 的 PLL 作为备份；一个系统 PLL 用于产生内部总线、HDA BITCLK、CLKOUT_FLEX 的时钟；两个 PIX PLL 用于产生两个独立的像素时钟，以支持双路独立显示。

4.4 频率配置

参考用户手册。

5. 电源管理 ACPI

5.1 电源域

所有电源域清单请参见第 7.2 节。

5.2 功能描述

桥片电源管理模块提供系统功耗管理功能。支持 Advanced Configuration and Power Interface, Version 4.0a(ACPI)，提供相应的功耗管理功能。

系统休眠与唤醒，支持 ACPI S3（待机到内存），ACPI S4（待机到硬盘），ACPI S5（软关机），并且支持电源失效检测和自动系统恢复。支持多种唤醒方式（USB S3 唤醒，GMAC S3 唤醒，电源开关等）。

集成一个看门狗。在使能 ACPI 情况下可使能看门狗，最大定时时间约 82s。

6. 热设计

6.1 热参数

表 6-1 龙芯 7A2000 的热阻参数

热阻	典型值
芯片整体热阻 $R_{总}$	1.638°C/W
芯片基底热阻 $R_{th (J-B)}$	1.337°C/W
芯片硅片热阻 $R_{th (J-C)}$	0.301°C/W

6.2 焊接温度及焊接曲线

表 6-2 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3° C/second max.
Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (t _s)	60-180 seconds
Time maintained above	Temperature (T _L)	217 ° C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245° C
Time within 5° C of actual Peak Temperature (t _p) ²		20-40 seconds
Ramp-down Rate		6 ° C/second max.
Time 25° C to Peak Temperature		8 minutes max.

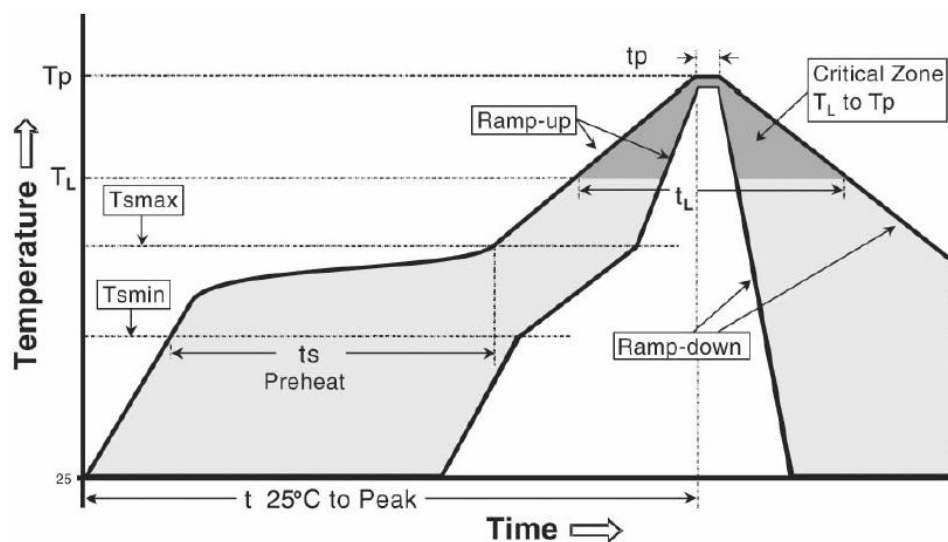


图 6-1 焊接回流曲线

7. 电气特性

7.1 最大额定工作条件

表 7-1 芯片绝对最大额定电压

电源域	电源	描述	电压 (V)	
			Min	Max
RTC	VDD_RTC	RTC 域电源	-0.3	3.3
ACPI	VDD_ACPI	ACPI 域核心电源	-0.3	1.1
	VDDE_ACPI	ACPI 域 IO 电源	-0.3	3.6
RSM	VDD_RSM	RESUME 域核心电源, 包括 USB2/3 控制器, GMAC 控制器/PHY1.0V 供电	-0.3	1.3
	VDDE_RSM	RESUME 域 IO 电源	-0.3	3.6
	VDDP_RSM	GMAC PHY 及 USB2 PHY 1.8V 供电	-0.3	1.9
	VDDP_GNET_AB	GMAC PHY Channel A/B 3.3V 供电	-0.3	3.6
	VDDP_GNET_CD	GMAC PHY Channel C/D 3.3V 供电	-0.3	3.6
	VDDP_U3S_TX	USB3/SATA PHY 1.8V 供电	-0.3	1.9
	VDDP_U3S_RX	USB3/SATA PHY1.0V 供电	-0.3	1.1
	VDDP_USB2_L	USB2 PHY 0.9V 供电	-0.3	1.1
SOC	VDD_SOC	SOC 域核心电源	-0.3	1.1
	VDDE_SOC	SOC 域 IO 电源 (包括 HDMI 的 3v3 电)	-0.3	3.6
	VDD_MISC	VGA、OTP 和温度传感器电源	-0.3	1.9
	VDDE_HT_SB	HT 边带信号以及参考时钟电源	-0.3	1.9
	VDDP_HDMI_PLL	HDMI 1.8V 电源	-0.3	1.9
	VDDP_HDMI_BIAS	HDMI 1.8V 偏置电源	-0.3	1.9
	VDDP_HDMI_L	HDMI 低压供电	-0.3	0.945
	VDDP_PRG	PRG 电源	-0.3	1.9
	VDD_MEM	DDR PHY 核心电源	-0.3	1.1
	VDDP_MEM	DDR IO 电源 (DDR4 模式)	-0.3	1.3
		DDR IO 电源 (DDR3 模式)	-0.3	1.65
	VDDP_HT_TX	HT PHY TX 电源	-0.3	1.3
	VDDP_HT_RX	HT PHY RX 电源	-0.3	1.3
	VDDP_PCIE	PCIE3 PHY 电源	-0.3	1.1
	VDDA_SSCPLL	展频 PLL 模拟电源	-0.3	1.9
	VDDD_SSCPLL	展频 PLL 数字电源	-0.3	1.1
	VDD_PLL0	PLL0 电源	-0.3	1.4
	VDD_PLL1	PLL1 电源	-0.3	1.4
	VDD_PLL2	PLL2 电源	-0.3	1.4

	VDD_PLL3	PLL3 电源	-0.3	1.4
	VDD_PLL4	PLL4 电源	-0.3	1.4
	VDDA_HTPLL	HT PLL 模拟电源	-0.3	1.4
	VDDD_HTPLL	HT PLL 数字电源	-0.3	1.4

7.2 工作电源

表 7-2 工作电源要求

电源域	电源	描述	电压(V)			最大电流 ^a (壳温 85°)
			Min	Typ	Max	
RTC	VDD_RTC	RTC 域电源	2.4	3	3.3	5uA
ACPI	VDD_ACPI	ACPI 域核心电源	0.95	1.0	1.05	15mA
	VDDE_ACPI	ACPI 域 IO 电源	3.135	3.3	3.465	3mA
RSM	VDD_RSM	RESUME 域核心电源, 包括 USB2/3 控制器, GMAC 控制器/PHY1.0V 供电	1.15	1.2	1.25	0.9A
	VDDP_U3S_RX	USB3/SATA PHY1.0V 供电	0.95	1.0	1.05	
	VDDE_RSM	RESUME 域 IO 电源	3.135	3.3	3.465	250mA
	VDDP_GNET_AB	GMAC PHY Channel A/B 3.3V 供电	3.135	3.3	3.465	
	VDDP_GNET_CD	GMAC PHY Channel C/D 3.3V 供电	3.135	3.3	3.465	
	VDDP_RSM	GMAC PHY 及 USB2 PHY 1.8V 供电	1.75	1.8	1.85	280mA
	VDDP_U3S_TX	USB3/SATA PHY 1.8V 供电	1.75	1.8	1.85	
	VDDP_USB2_L	USB2 PHY 0.9V 供电	0.855	0.9	0.945	35mA
SOC	VDD_SOC	SOC 域核心电源	0.95	1.0	1.05	8.5A
	VDD_MEM	DDR PHY 核心电源	0.95	1.0	1.05	
	VDDE_SOC	SOC 域 IO 电源(包括 HDMI 的 3v3 电)	3.135	3.3	3.465	300mA
	VDD_MISC	VGA、OTP 和温度传感器电源	1.75	1.8	1.85	150mA
	VDDE_HT_SB	HT 边带信号以及参考时钟电源	1.75	1.8	1.85	
	VDDP_HDMI_PLL	HDMI 1.8V PLL 电源	1.75	1.8	1.85	10uA
	VDDP_HDMI_BIAS	HDMI 1.8V 偏置电源	1.75	1.8	1.85	1mA
	VDDP_HDMI_L	HDMI 低压供电	0.855	0.9	0.945	20mA
	VDDP_PRG	PRG 电源	1.75	1.8	1.85	80mA
	VDDP_MEM	DDR IO 电源(DDR3 模式)	1.45	1.5	1.55	1A
		DDR IO 电源(DDR4 模式)	1.15	1.2	1.25	
	VDDP_HT_TX	HT PHY TX 电源	1.15	1.2	1.25	
	VDDP_HT_RX	HT PHY RX 电源	1.15	1.2	1.25	
	VDDP_PCIE	PCIE3 PHY 电源	0.95	1.0	1.05	2.8A
	VDDA_SSCPLL	展频 PLL 模拟电源	1.75	1.8	1.85	10mA
	VDDD_SSCPLL	展频 PLL 数字电源	0.95	1.0	1.05	TBD
	VDD_PLLO	PLLO 电源	1.28	1.3	1.32	100mA

	VDD_PLL1	PLL1 电源	1.28	1.3	1.32	
	VDD_PLL2	PLL2 电源	1.28	1.3	1.32	
	VDD_PLL3	PLL3 电源	1.28	1.3	1.32	
	VDD_PLL4	PLL4 电源	1.28	1.3	1.32	
	VDDA-HTPLL	HT PLL 模拟电源	1.28	1.3	1.32	30mA
	VDDD-HTPLL	HT PLL 数字电源	1.28	1.3	1.32	
GND	VSS_RTC	RTC 域地	-	0	-	-
	VSS	芯片地	-	0	-	-
	VSS_PLL0	PLL0 地	-	0	-	-
	VSS_PLL1	PLL1 地	-	0	-	-
	VSS_PLL2	PLL2 地	-	0	-	-
	VSS_PLL3	PLL3 地	-	0	-	-
	VSS_PLL4	PLL4 地	-	0	-	-
	VSSA_SSCPLL	展频 PLL 模拟地	-	0	-	-
	VSSD_SSCPLL	展频 PLL 数字地	-	0	-	-
	VSSA-HTPLL	HT PLL 模拟地	-	0	-	-
	VSSD-HTPLL	HT PLL 数字地	-	0	-	-

注:合并的项为对应电源的电流总和。

7.3 典型应用功耗

表 7-3 典型应用功耗

电源	Idle(85°) (W)	高负载(85°) (W)	Idle(25°) (W)	高负载(25°) (W)
VDD_RTC	0.000003	0.000003	0.000003	0.000003
VDD_ACPI	0.007825	0.00805	0.006625	0.006625
VDDE_ACPI	0.0066	0.006518	0.0066	0.0066
VDD_RSM	0.7075	0.7425	0.555	0.5675
VDDP_U3S_RX				
VDDE_RSM	0.651	0.745	0.449	0.65
VDDP_GNET_AB				
VDDP_GNET_CD				
VDDP_RSM	0.4005	0.396	0.3735	0.423
VDDP_U3S_TX				
VDDP_USB2_L	0.02268	0.017213	0.021622	0.016358
VDD_SOC	5.323	7.788	3	5.38
VDDE_SOC	0.07128	0.07128	0.072848	0.07293
VDD_MISC	0.21	0.207	0.202	0.197

VDDE_HT_SB				
VDDP_HDMI_PLL	0.000009	0.00001	0.000005	0.000005
VDDP_HDMI_BIAS	0.00126	0.00126	0.00063	0.000855
VDDP_HDMI_L	0.006975	0.007335	0.0054	0.00549
VDDP_PRG	0.07875	0.07875	0.09	0.08625
VDDP_MEM	0.729	0.771	0.687	0.687
VDDP_HT_TX				
VDDP_HT_RX				
VDDP_PCIE	2.3325	2.5375	2.165	2.205
VDDA_SSCPLL	0.01206	0.01206	0.01188	0.011925
VDDD_SSCPLL	TBD	TBD	TBD	TBD
VDD_PLL0	0.0525	0.0525	0.045	0.0475
VDD_PLL1				
VDD_PLL2				
VDD_PLL3				
VDD_PLL4				
VDDA-HTPLL	0.0228	0.02328	0.02088	0.02127
VDDD-HTPLL				
总功耗	10.63624	13.465257	7.712993	10.385311

注：

1. 合并的项为对应电源的功耗总和。
2. 测试时外接设备包括 1 个 PCIe4 raid 卡(3.0)，1 个 PCIe8 网卡(3.0)，1 个 PCIe8 显卡(3.0)，2 个 USB3.0 U 盘，4 个 USB2.0 U 盘，1 路千兆网络，3 个 SATA3.0 硬盘。
3. Idle 代表系统空闲时的功耗。
4. 高负载代表以上各路设备都在高负载使用状态。

7.4 电源时序

7.4.1 使能 ACPI_EN

● 冷启动上电时序

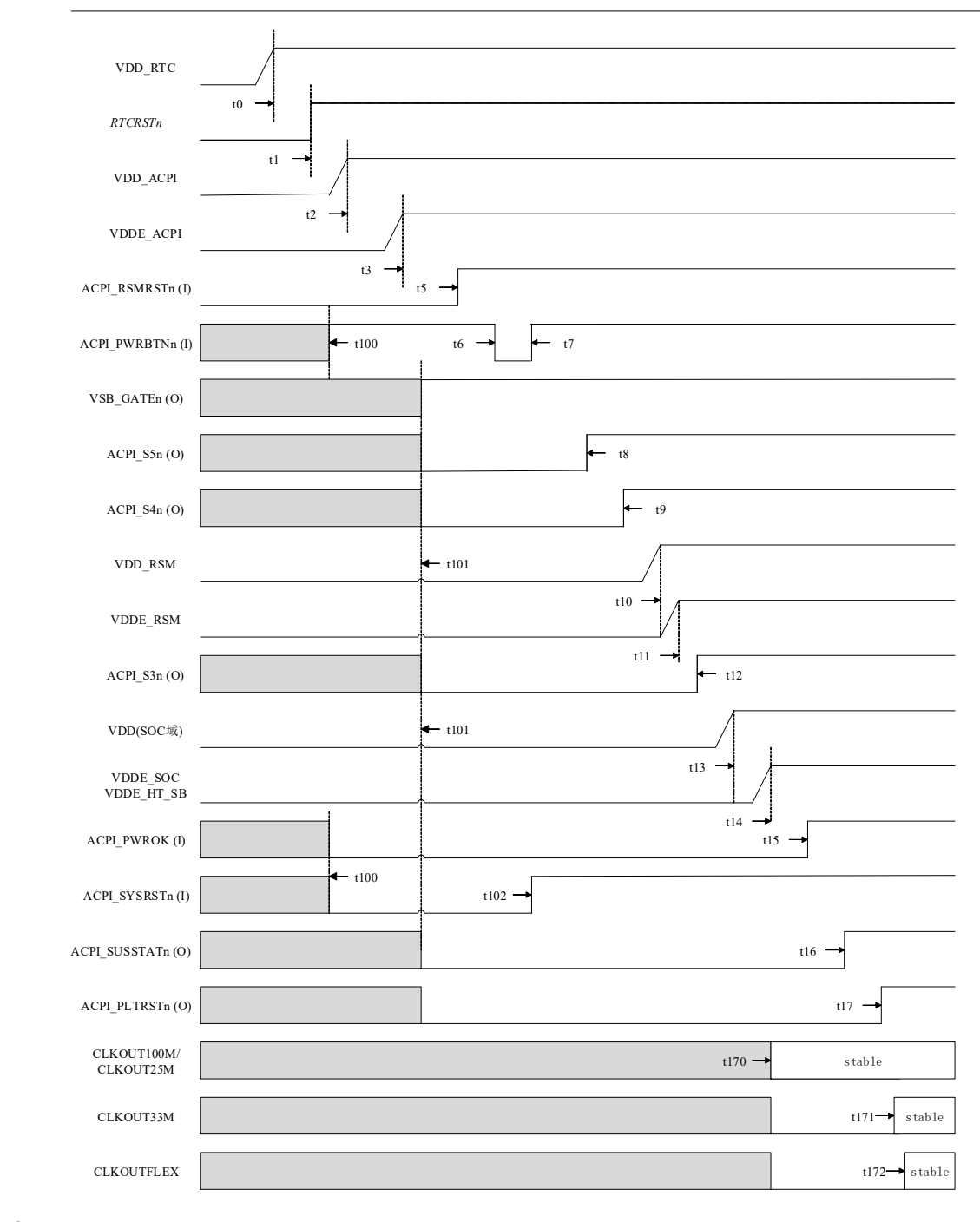


图 7-1 冷启动上电时序（RTC 掉电）

注:

1. RSM 域内的 VDDP_*电源 (包括 VDDP_RSM, VDDP_GNET_AB, VDDP_GNET_CD, VDDP_U3S_TX, VDDP_U3S_RX, VDDP_USB2_L) 时序可根据需要选择与 VDD_RSM 或者 VDDE_RSM 相同
2. VDD(SOC 域)包括: VDD_SOC, VDD_MISC, VDD_MEM, VDDA_SSCPLL, VDDD_SSCPLL, VDD_PLL0, VDD_PLL1, VDD_PLL2, VDD_PLL3, VDD_PLL4, VDDA_HTPLL, VDDD_HTPLL
3. SOC 域内的 VDDP_*电源 (包括 VDDP_HDMI_PLL, VDDP_HDMI_BIAS, VDDP_HDMI_L, VDDP_PRG, VDDP_MEM, VDDP_HT_TX, VDDP_HT_RX, VDDP_PCIE) 时序可根据需要选择与 VDD_SOC 或者 VDDE_SOC 相同
4. 上图中 VDD_ACPI 和 VDDE_ACPI 的时序可根据需要进行交换, 即 VDDE_ACPI 可早于 VDD_ACPI 上电, 但是二者不可同时上电
5. 上图中 VDD_RSM 和 VDDE_RSM 的时序可根据需要进行交换, 即 VDDE_RSM 可早于 VDD_RSM 上电, 但是二者不可同时上电
6. 上图中 VDD_SOC 和 VDDE_SOC 的时序可根据需要进行交换, 即 VDDE_SOC 可早于 VDD_SOC 上电, 但是二者不可同时上电
7. 表 7-4 对时序的描述对应图 7-1, 与上述注解不一致的描述以上述注解为准

表 7-4 上电时序要求(示例)

标记符	参数	需求	说明
t0	VDD_RTC 电源稳定时刻		
t1	片内 RTCRSTn 解复位时刻	$t1 - t0 \approx 1s$	片内 RTCRSTn 在 RTC 电源稳定之后解复位
t2	VDD_ACPI 电源稳定时刻	见 t3	
t3	VDDE_ACPI 电源上电时刻	$t3 - t2 > 10\mu s$	VDD_ACPI 要先于 VDDE_ACPI 供电
t5	ACPI_RSMRSTn 解复位时刻	$t5 - t3 > 5ms$ $t5 - t0 > 4s$	ACPI_RSMRSTn 需要在 RTC 和 ACPI 域电源稳定之后解复位
t6	ACPI_PWRBTNn 按钮按下(信号变低)时刻	$t6 - t5 > 60 \mu s$	ACPI_PWRBTNn 信号在 ACPI_RSMRSTn 解复位之后起作用
t7	ACPI_PWRBTNn 按钮释放(信号变高)时刻	$t7 - t6 > 20ms$	ACPI_PWRBTNn 有效需要保持低电平的时间大于 20ms
t8	ACPI_S5n 状态退出时刻	$t8 - t7 \approx 150\mu s$	在 ACPI_PWRBTNn 退出之后, ACPI_S5n 状态才会退出
t9	ACPI_S4n 状态退出时刻	$t9 - t8 \approx 150\mu s$	ACPI_S4n 在 ACPI_S5n 退出之后退出
t10	VDD_RSM 供电稳定时刻		
t11	VDDE_RSM 供电稳定时刻	$t11 - t10 > 10\mu s$	VDD_RSM 要先于 VDDE_RSM 供电
t12	ACPI_S3n 状态退出时刻	$t12 - t9 \approx 60\mu s$	ACPI_S3n 在 ACPI_S4n 退出之后退出
t13	VDD(SOC 域)供电稳定时刻		
t14	VDDE_SOC 供电稳定时刻	$t14 - t13 > 10\mu s$	VDD(SOC 域)供电要先于 VDDE_SOC 供电
t15	ACPI_PWROK 信号有效时刻	$t15 - t14 > 0$	ACPI_PWROK 信号必须在所有电源稳定之后有效
t16	ACPI_SUSSTATn 状态退出时刻	$t16 - t15 \approx 7.8 \text{ ms}$	ACPI_SUSSTATn 在 PWROK 之后退出
t17	ACPI_PLTRSTn 解复位时刻	$t17 - t16 \approx 30\mu s$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 退出之后退出

t170	输出时钟 CLKOUT100M/25M 稳定时刻	$t170 - t14 > 0$	输出 CLKOUT100M/25M 时钟在 VDDE_SOC 上电稳定后输出
t171	输出时钟 CLKOUT_33M 稳定时刻	$t171 - t17 < 60\mu s$	输出 CLKOUT_33M 时钟有效时刻不晚于 ACPI_PLTRSTn 之后 60us
t172	输出时钟 CLKOUT_FLEX 稳定时刻	$t172 - t17 > 0$	输出时钟 CLKOUT_FLEX 稳定时刻取决于软件配置时机
t100	ACPI_PWRBTn/ PWROK/SYSRSTn 信号有效时刻	$t5 - t100 > 60\mu s$	ACPI_PWRBTn/PWROK/SYSRSTn 输入信号需要在 ACPI_RSMRSTn 解复位之前有效
t101	ACPI_VSBGATEn/ACPI_S3n/S4n/S5n/ PLTRSTn 信号有效时刻	$t101 - t3 < 60\mu s$	ACPI_VSBGATEn/ACPI_S3n/S4n/S5n/PLTRSTn 在 VDDE_ACPI 电源稳定之后 60us 内输出有效

注：冷启动时，ACPI_SYSRSTn 信号不需要复位，系统自动进行复位。

热复位时序

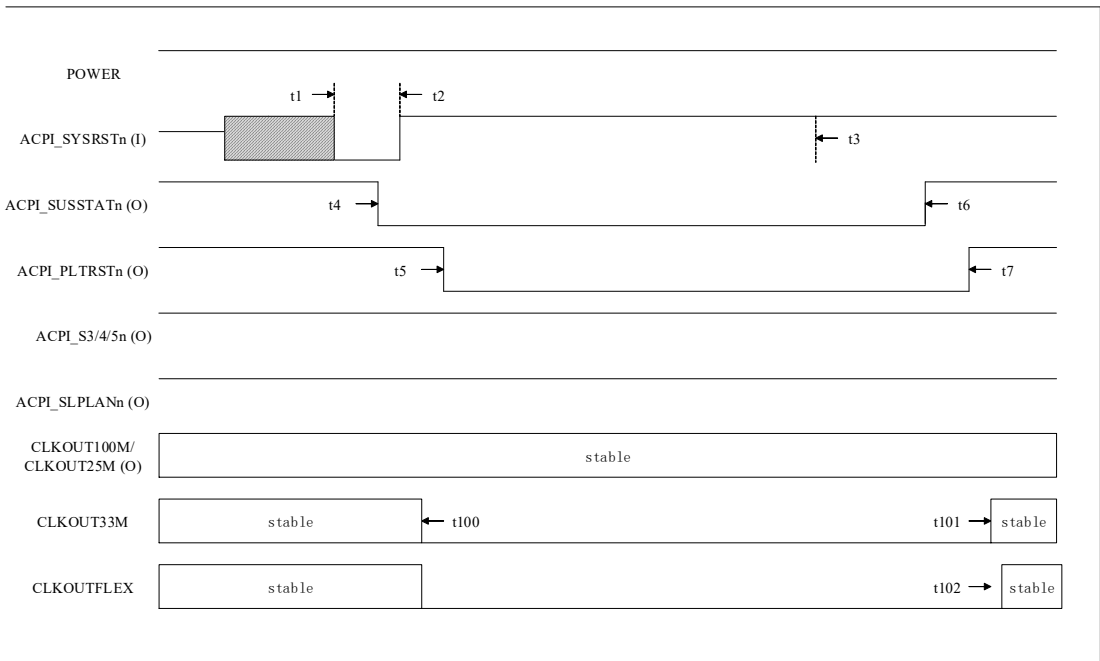


图 7-2 热复位时序图

注：POWER 包括所有的供电。

表 7-5 热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1\text{ms}$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	ACPI_SYSRSTn 保持为高的时间	$t3 - t2 > 16\text{ms}$	ACPI_SYSRSTn 变为高电平之后保持一段时间，系统才开始复位
t4	ACPI_SUSSTATn 变低的时刻	$t4 - t1 \approx 120\mu\text{s}$	ACPI_SUSSTATn 在 ACPI_SYSRSTn 变低 90us 后也变低
t5	ACPI_PLTRSTn 变低的时刻	$t5 - t4 \approx 90\mu\text{s}$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 变低之后 90us 变低
t6	ACPI_SUSSTATn 变高的时刻	$t6 - t4 > 6\text{ms}$	ACPI_SUSSTATn 保持复位的时间大于 6ms
t7	ACPI_PLTRSTn 变高的时刻	$t7 - t6 \approx 30\mu\text{s}$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 之后 30us 变高
t100	输出时钟 CLKOUT_33M/CLKOUT_FLEX 无效时刻	$t100 - t4 > 0$ $t100 - t5 < 0$	时钟无效时刻在 ACPI_SUSSTATn 变低之后，在 ACPI_PLTRSTn 变低之前
t101	输出时钟 CLKOUT_33M 稳定时刻	$t101 - t7 < 60\mu\text{s}$	输出时钟 CLKOUT_33M 有效时刻不晚于 ACPI_PLTRSTn 之后 60us
t102	输出时钟 CLKOUT_FLEX 稳定时刻	$t102 - t7 > 0$	输出时钟 CLKOUT_FLEX 稳定时刻取决于软件配置时机

S0 到 S3 及 S3 到 S0 状态时序图

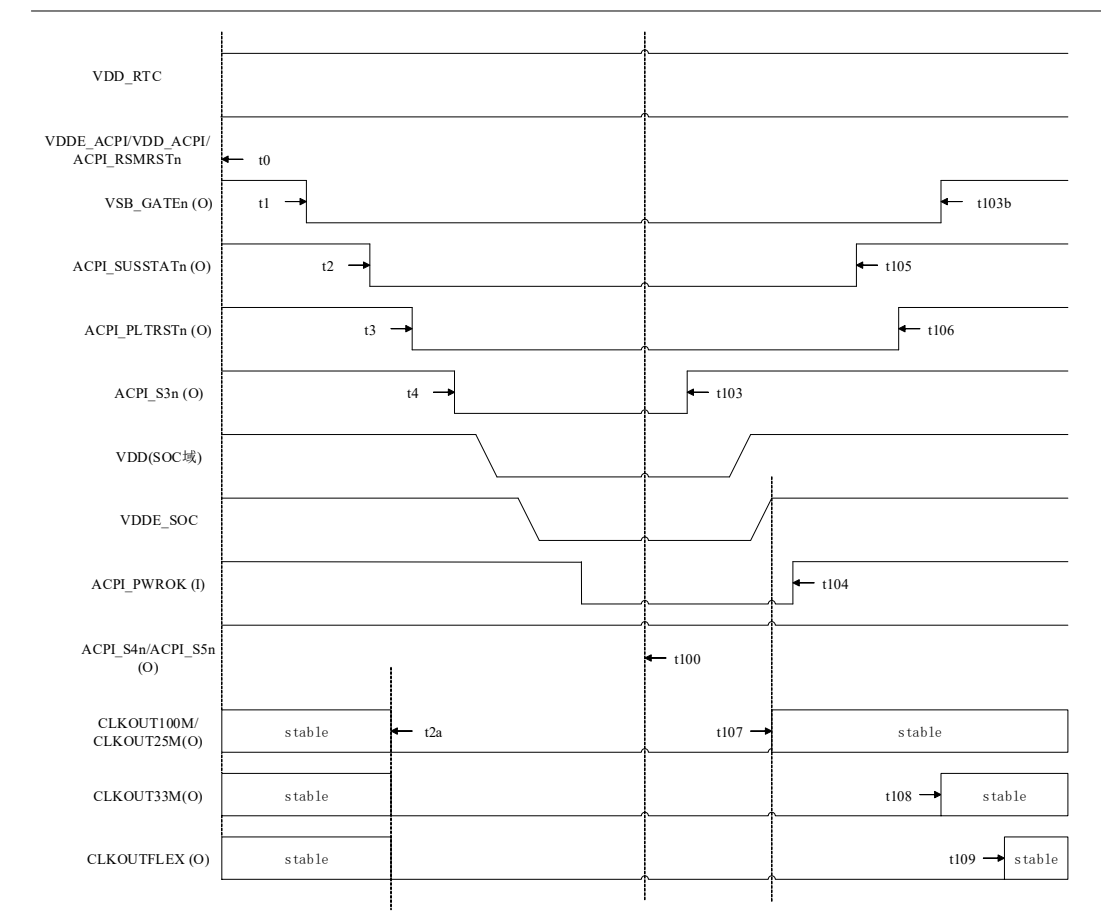


图 7-3 S0 到 S3 及 S3 到 S0 时序图

S0 到 S4/S5 及 S4/S5 到 S0 状态时序

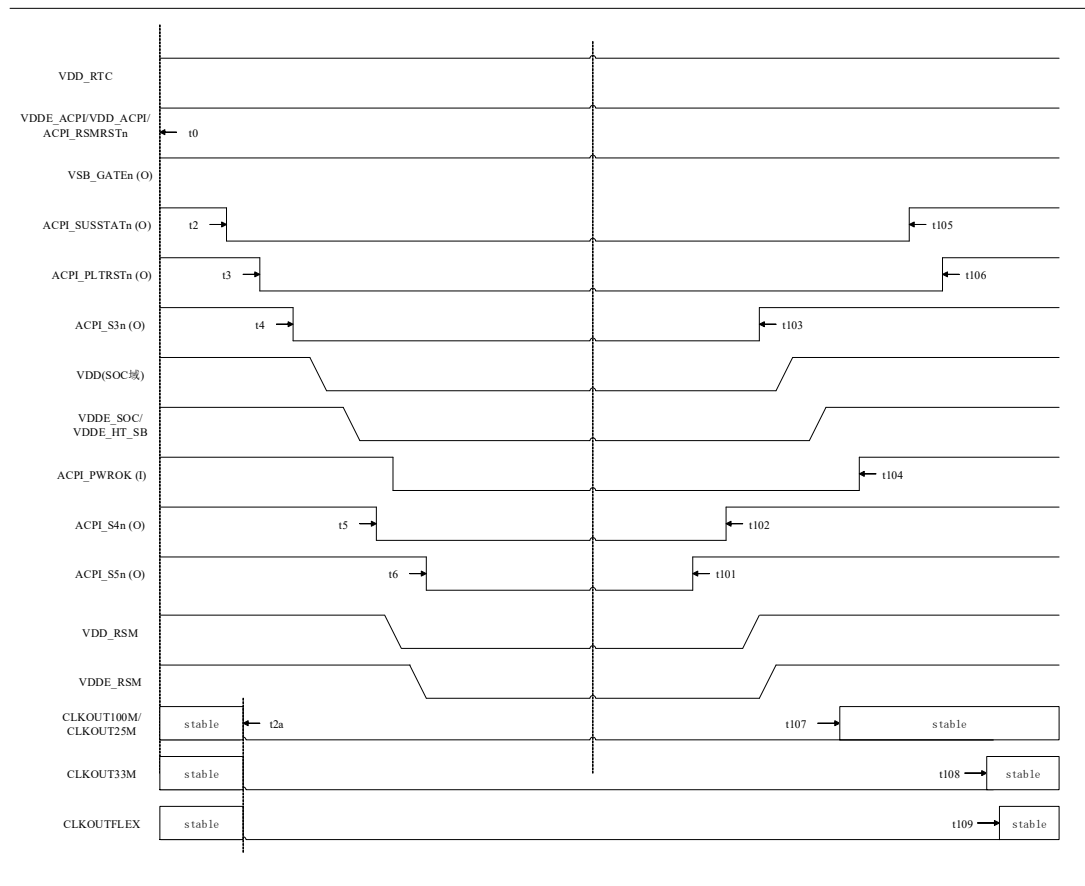


图 7-4 S0 到 S4/S5 及 S4/S5 到 S0 状态时序图

注（图 7-3、图 7-4）：

1. 表中未列出的 ACPI 相关信号（PWRBTNn/SYSRSTn 等）默认为高电平。
2. 唤醒事件包括：电源按钮、复位按钮、USB、GMAC 等。
3. 可以使用 S3n 来控制 SOC 域的上电。
4. 可以使用 ACPI_VSBGATE 来控制 dual 电的切换。

注：

1. RSM 域内的 VDDP_*电源（包括 VDDP_RSM, VDDP_GNET_AB, VDDP_GNET_CD, VDDP_U3S_TX, VDDP_U3S_RX, VDDP_USB2_L）时序可根据需要选择与 VDD_RSM 或者 VDDE_RSM 相同
2. VDD(SOC 域)包括：VDD_SOC, VDD_MISC, VDD_MEM, VDDA_SSCPLL, VDD_SSCPLL, VDD_PLL0, VDD_PLL1, VDD_PLL2, VDD_PLL3, VDD_PLL4, VDDA_HTPPLL, VDD_HTPPLL
3. SOC 域内的 VDDP_*电源（包括 VDDP_HDMI_PLL, VDDP_HDMI_BIAS, VDDP_HDMI_L, VDDP_PRG, VDDP_MEM, VDDP_HT_TX, VDDP_HT_RX, VDDP_PCIE）时序可根据需要选择与 VDD_SOC 或者 VDDE_SOC 相同
4. 上图中 VDD ACPI 和 VDDE ACPI 的时序可根据需要进行交换，即 VDDE ACPI 可早于 VDD ACPI 上电，但是二者不可同时上电
5. 上图中 VDD_RSM 和 VDDE_RSM 的时序可根据需要进行交换，即 VDDE_RSM 可早于 VDD_RSM 上电，但是二者不可同时上电
6. 上图中 VDD_SOC 和 VDDE_SOC 的时序可根据需要进行交换，即 VDDE_SOC 可早于 VDD_SOC 上电，但是二者不可同时上电

7. 表 7-6 对时序的描述对应图 7-4，与上述注解不一致的描述以上述注解为准

表 7-6 S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束

标记符	参数	需求	说明
t0	软件发起进入低功耗状态的时刻		
t1	ACPI_VSBGATE 变低时刻	$t1 - t0 \approx 120\mu s$	ACPI_VSBGATE 在发起低功耗状态 120us 变低
t2	ACPI_SUSSTATn 状态进入时刻	$t2 - t1 > T_{dndly}$	ACPI_SUSSTAT 在 ACPI_VSBGATE 有效之后变低，这个时间间隔软件可配。可选的时间长度 (T_{dndly}) 有：31.25ms、62.5ms、125ms、250ms。
t2a	输出时钟无效时刻	$t2a - t2 > 0$ $t3 - t2a > 0$	输出时钟在 ACPI_SUSSTATn 变低之后 ACPI_PLTRSTn 变低之前无效
t3	ACPI_PLTRSTn 复位时刻	$t3 - t2 \approx 90\mu s$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 复位之后复位
t4	ACPI_S3n 状态进入时刻	$t4 - t3 \approx 30\mu s$	ACPI_S3n 在 ACPI_PLTRSTn 复位之后进入
t5	ACPI_S4n 状态进入时刻	$t5 - t4 \approx 60\mu s$	ACPI_S4n 在 ACPI_S3n 进入之后进入
t6	ACPI_S5n 状态进入时刻	$t6 - t5 \approx 30\mu s$	ACPI_S5n 在 ACPI_S4n 进入之后进入
t100	低功耗状态退出唤醒时刻		
t101	ACPI_S5n 状态退出时刻	$t101 - t100 \approx 150\mu s$	S5n 在唤醒时刻 120us 退出
t102	ACPI_S4n 状态退出时刻	$t102 - t101 \approx 30\mu s$ $t102 - t5 > 0$	S4n 在 S5n 退出之后退出 S4n 保持为有效时间由软件配置决定
t103	ACPI_S3n 状态退出时刻	$t103 - t102 \approx 60\mu s$ $t103 - t4 > 0$	S3n 在 S4n 退出之后退出 S4n 保持为有效时间由软件配置决定
		$t103 - t100 \approx 360\mu s$	S3n 在唤醒事件后退出
t103b	ACPI_VSBGATE 变高时刻	$t103b - t103 > T_{updly}$	ACPI_VSBGATE 在 S3n 退出一段时间之后变高，这个时间间隔软件可配。可选的时间长度 (T_{updly}) 有：125ms、250ms、500ms、1s。
t104	ACPI_PWROK 有效时刻		ACPI_PWROK 需要在所有电源稳定之后有效
t105	ACPI_SUSSTATn 状态退出时刻	$t105 - t104 > 7.8ms$	ACPI_SUSSTATn 在 ACPI_PWROK 有效之后退出
t106	ACPI_PLTRSTn 解复位时刻	$t106 - t105 \approx 30\mu s$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 退出之后解复位
t2a	输出时钟 CLKOUT100M/CLKOUT_33M/ CLKOUT25M/CLKOUT_FLEX 无效时刻		时钟无效时刻在 ACPI_SUSSTATn 变低之后，在 ACPI_PLTRSTn 变低之前

t107	输出时钟 CLKOUT100M/25M 稳定时刻		输出 CLKOUT100M/25M 时钟在 VDDE_SOC 上电稳定后输出
t108	输出时钟 CLKOUT_33M 稳定时刻	$t108 - t106 < 60\mu s$	输出时钟有效时刻不晚于 ACPI_PLTRSTn 之后 60us
t109	输出时钟 CLKOUT_FLEX 稳定时刻		输出时钟 CLKOUT_FLEX 稳定时刻取决于软件配置时机

7.4.2 不使能 ACPI_EN

冷启动上电时序（不使能 ACPI）

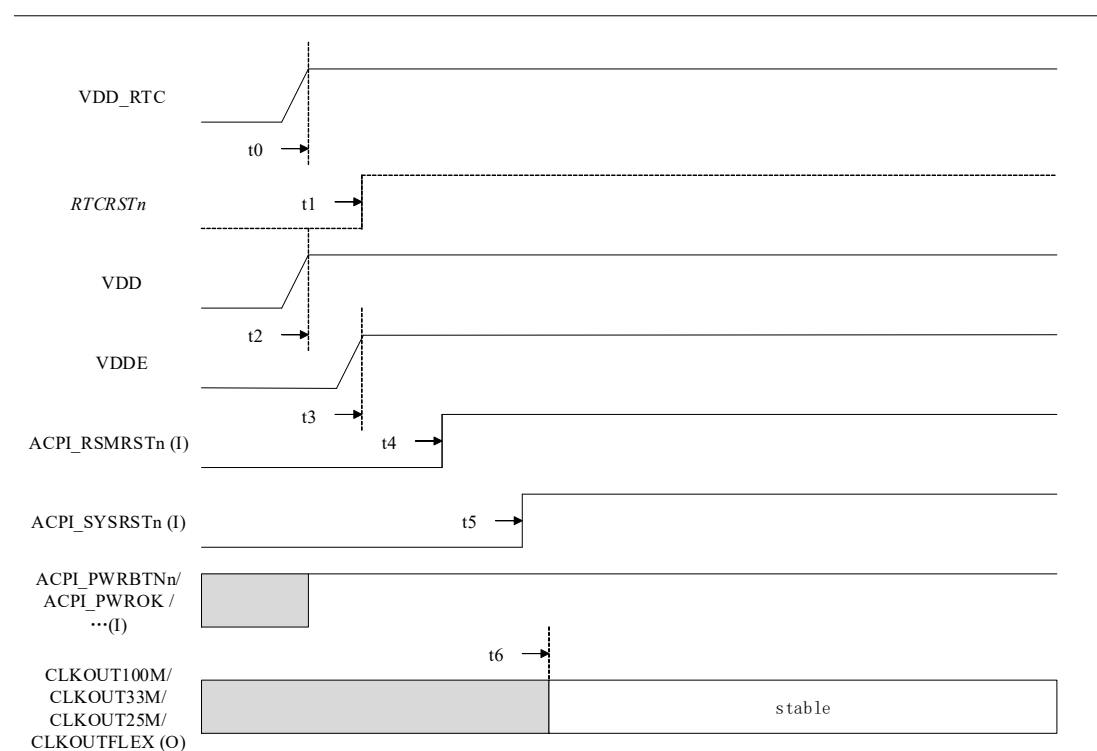


图 7-5 不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）

注：

1. VDD 包括：

VDD_ACPI, VDD_RSM, VDDP_RSM, VDDP_GNET_AB, VDDP_GNET_CD, VDDP_U3S_TX, VDDP_U3S_RX, VDDP_USB2_L, VDD_SOC, VDD_MISC, VDDP_HDMI_PLL, VDDP_HDMI_BIAS, VDDP_HDMI_L, VDDP_PRG, VDD_MEM, VDDP_MEM, VDDP_HT_TX, VDDP_HT_RX, VDDP_PCIE, VDDA_SSCPLL, VDDD_SSCPLL, VDD_PLL0, VDD_PLL1, VDD_PLL2, VDD_PLL3, VDD_PLL4, VDDA_HTPLL, VDDD_HTPLL

2. VDDE 包括：

VDDE_ACPI, VDDE_RSM, VDDE_SOC, VDDE_HT_SB

3. 上述 VDD 和 VDDE 的时序可根据需要进行交换，即 VDDE 可早于 VDD 上电，但是二者不可同时上电

4. ACPI 相关的除电源复位信号外的其他输入信号拉高
5. 在 ACPI_EN 不使能的情况下，桥片的 ACPI_SYSRSTn 信号没有去抖动功能，需主板提供去抖动电路。
6. 表 7-7 对时序的描述对应图 7-5，与上述注解不一致的描述以上述注解为准

表 7-7 不使能 ACPI 功能时的上电时序要求

标记符	参数	需求	说明
t0	VDD_RTC 电源稳定时刻		
t1	内部 RTCRSTn 解复位时刻	$t1 - t0 \approx 1s$	RTCRSTn 需要在 RTC 电源稳定之后解复位
t2	VDD 电源上电时刻	$t2 - t0 \geq 0$	RTC 电源要先于 VDD 电源供电
t3	VDDE 电源稳定时刻	$t3 - t2 \geq 10\mu s$	Core 电源要先于 I/O 电源供电
t4	ACPI_RSMRSTn 解复位时刻	$t4 - t3 > 5ms$ $t4 - t0 > 4s$	ACPI_RSMRSTn 需要在所有 VDDE 电源稳定之后解复位 ACPI_RSMRSTn 需要在 RTC 电源稳定 4s 之后解复位
t5	ACPI_SYSRSTn 解复位时刻	$t5 - t4 > 5ms$	ACPI_SYSRSTn 需要在 ACPI_RSMRSTn 解复位之后解复位
t6	输出时钟稳定时刻	$t6 - t5 < 10\mu s$	输出时钟的稳定时刻不晚于 ACPI_SYSRSTn 解复位后 10 μs ，其中 CLKOUT_FLEX 输出稳定时刻由软件决定

热复位时序（不使能 ACPI）

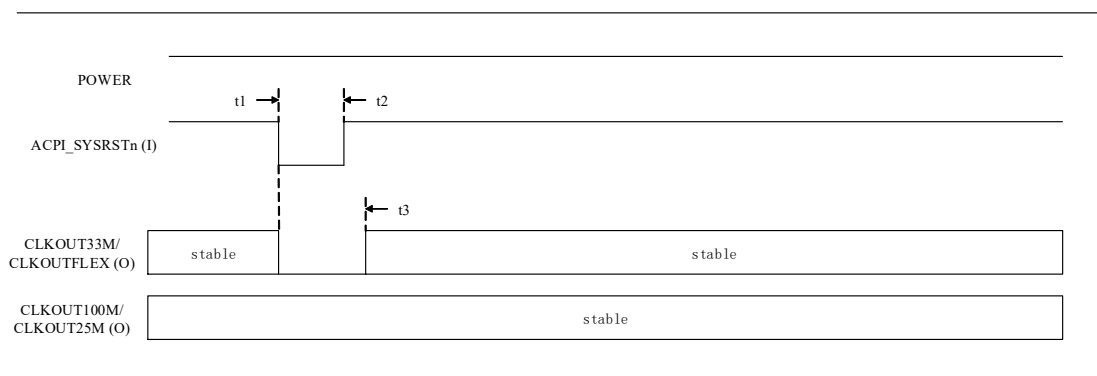


图 7-6 不使能 ACPI 功能时的热复位时序图

注：POWER 包括所有的供电。

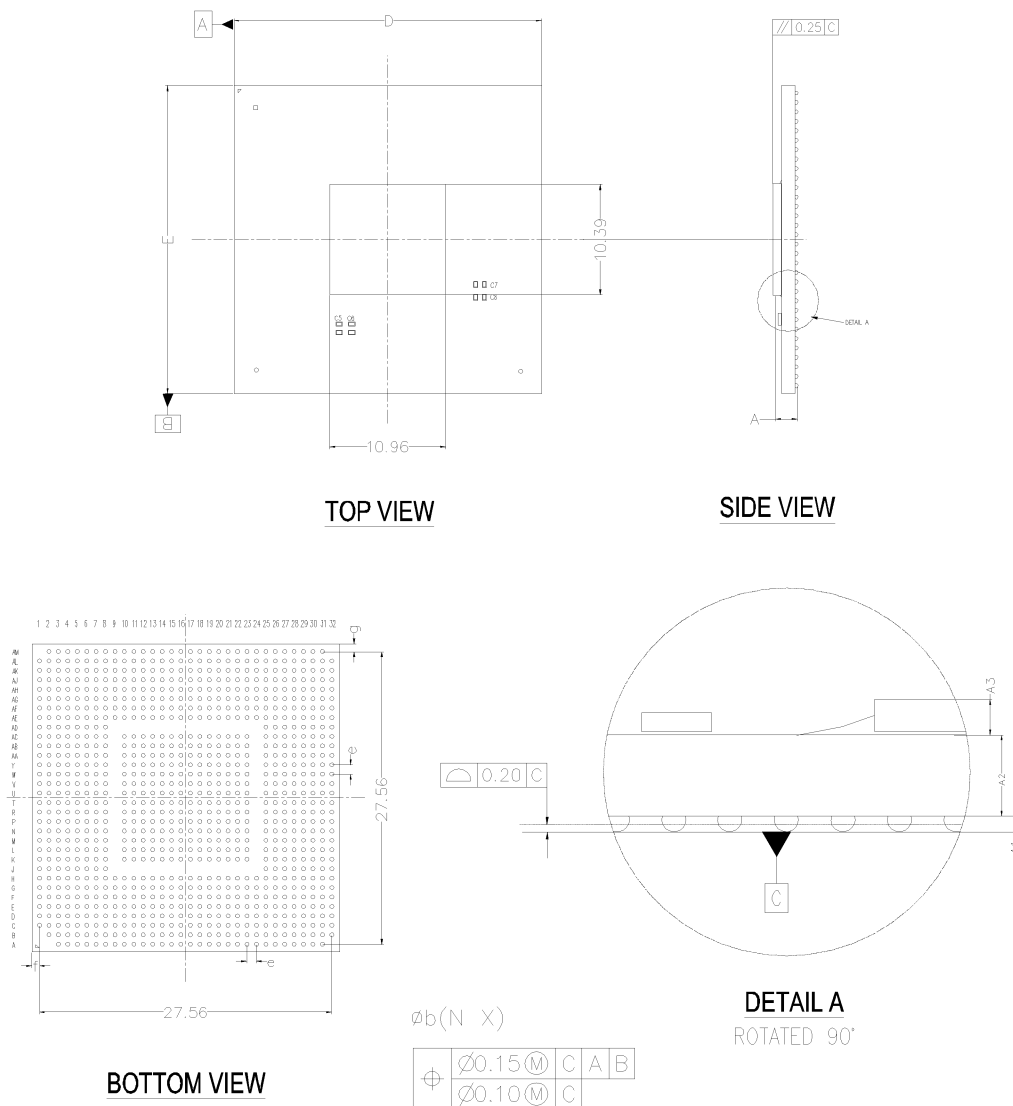
表 7-8 不使能 ACPI 功能时的热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1\text{ms}$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	CLKOUT_33M/CLKOUT_FLEX 稳定时刻	$t3 - t2 < 10\mu\text{s}$	输出时钟的稳定时刻不晚于 ACPI_SYSRSTn 解复位后 10 μs ，其中 CLKOUT_FLEX 输出稳定时刻由软件决定

8. 封装信息

8.1 封装尺寸

芯片采用 FCBGA-958 封装，封装大小为 29mmX29mm。详细封装尺寸如下图所示。



9. 产品标识

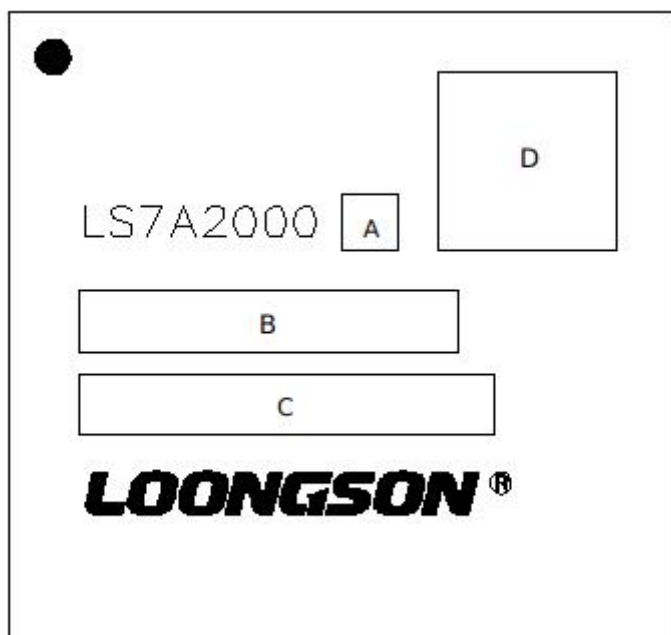


图 9-1 产品标识

每一器件应标志下列内容：

- a) 定位点：●；
- b) 第一行：LS7A2000；A 区域是型号补充信息：空白（商业级），-i（工业级）；
- c) 第二行：B 区域是厂商信息一；
- d) 第三行：C 区域是厂商信息二；
- e) 第四行：LOONGSON®，厂商信息三；
- f) D 区域是二维码（右上角）：与 C 区域信息相同；

附录 A：芯片引脚排布图

	1	2	3	4	5	6	7	8	
A			VSS	HT_CLKP	VSS	HT_TX_CAD06N	VSS	HT_TX_CAD04N	A
B		VSS	HDMI1_TX1P	HT_CLKN	HT_TX_CAD07N	HT_TX_CAD06P	HT_TX_CAD05N	HT_TX_CAD04P	B
C	VSS	HDMI1_TX0P	HDMI1_TX1N	HDMI1_TX2P	HT_TX_CAD07P	VSS	HT_TX_CAD05P	VSS	C
D	REXT	HDMI1_TX0N	VSS	HDMI1_TX2N	VSS	HT_TX_CAD14N	VSS	HT_TX_CAD12N	D
E	RTC_XI	RTC_X0	HDMI1_I2C_SCL	HDMI1_CKN	HT_TX_CAD15N	HT_TX_CAD14P	HT_TX_CAD13N	HT_TX_CAD12P	E
F	TX_D_N	TX_D_P	VSS	HDMI1_CKP	HT_TX_CAD15P	VSS	HT_TX_CAD13P	VSS	F
G	TX_C_N	TX_C_P	VSS	HDMI1_I2C_SDA	HDMI1_HOTPLUG	VSS	GMAC1_RX_CLK	GMAC1_RXD1	G
H	TX_B_N	TX_B_P	VSS	GMAC1_RCTL	GMAC1_RXD2	VSS	GMAC1_MDIO	GMAC1_MDCK	H
J	TX_A_N	TX_A_P	VSS	USB2_REFRES0	USB2_REFRES1	VSS	GMAC0_LED_1KB	GMAC0_LED_100B	J
K	USB2_D10M	USB2_D10P	VSS	USB2_D11M	USB2_D11P	VSS	VGA_GOUTP	VGA_GOUTN	K
L	USB2_D08M	USB2_D08P	VSS	USB2_D09M	USB2_D09P	VSS	VGA_REXTP	VGA_REXTN	L
M	USB2_D06M	USB2_D06P	VSS	USB2_D07M	USB2_D07P	VSS	VGA_BOUTP	VGA_BOUTN	M
N	USB2_D04M	USB2_D04P	VSS	USB2_D05M	USB2_D05P	VSS	VGA_ROUTP	VGA_ROUTN	N
P	USB2_D02M	USB2_D02P	VSS	USB2_D03M	USB2_D03P	VSS	VGA_VSYNC	VGA_HSYNC	P
R	USB2_D00M	USB2_D00P	VSS	USB2_D01M	USB2_D01P	VSS	VGA_VREF	VSS	R
T	VSS	USB3_RX3N	USB3_RX3P	VSS	USB3_TX3N	USB3_TX3P	USB_OC0	USB_OC2	T
U	USB3_RX2N	USB3_RX2P	VSS	USB3_TX2N	USB3_TX2P	VSS	USB_OC1	USB_OC3	U
V	VSS	USB3_RX1N	USB3_RX1P	VSS	USB3_TX1N	USB3_TX1P	USB2_REFRES2	USB2_REFRES3	V
W	USB3_RX0N	USB3_RX0P	VSS	USB3_TX0N	USB3_TX0P	VSS	USB3_REFRES	VSS	W
Y	VSS	SATA0_RXN	SATA0_RXP	VSS	SATA0_TXN	SATA0_TXP	USB_REFCLKN	USB_REFCLKP	Y
AA	SATA1_RXN	SATA1_RXP	VSS	SATA1_TXN	SATA1_TXP	VSS	SATA_REFCLKM	SATA_REFCLKP	AA
AB	VSS	SATA2_RXN	SATA2_RXP	VSS	SATA2_TXN	SATA2_TXP	SATA_REFRES	SATA_LEDN	AB
AC	SATA3_RXN	SATA3_RXP	VSS	SATA3_TXN	SATA3_TXP	VSS	HDA_SD11	HDA_SD10	AC
AD	VSS	PCIE_REFCLK_OUT4N	PCIE_REFCLK_OUT4P	VSS	PCIE_REFCLK_OUT3N	PCIE_REFCLK_OUT3P	HDA_SD12	HDA_RESETn	AD
AE	PCIE_REFCLK_OUT0N	PCIE_REFCLK_OUT0P	PCIE_REFCLK_OUT1N	PCIE_REFCLK_OUT1P	PCIE_H_REFRES0	VSS	PCIE_REFCLK_OUT2P	HDA_SDO	AE
AF	PCIE_GO_TX00P	VSS	PCIE_REFCLKIN_N	PCIE_REFCLKIN_P	VSS	PCIE_H_REFRES1	PCIE_REFCLK_OUT2N	VSS	AF
AG	PCIE_GO_TX00N	PCIE_GO_TX01P	VSS	PCIE_GO_TX03P	VSS	PCIE_GO_TX05P	VSS	PCIE_GO_TX07P	AG
AH	VSS	PCIE_GO_TX01N	PCIE_GO_TX02P	PCIE_GO_TX03N	PCIE_GO_TX04P	PCIE_GO_TX05N	PCIE_GO_TX06P	PCIE_GO_TX07N	AH
AJ	PCIE_GO_RX00P	VSS	PCIE_GO_TX02N	VSS	PCIE_GO_TX04N	VSS	PCIE_GO_TX06N	VSS	AJ
AK	PCIE_GO_RX00N	PCIE_GO_RX01P	VSS	PCIE_GO_RX03P	VSS	PCIE_GO_RX05P	VSS	PCIE_GO_RX07P	AK
AL	VSS	PCIE_GO_RX01N	PCIE_GO_RX02P	PCIE_GO_RX03N	PCIE_GO_RX04P	PCIE_GO_RX05N	PCIE_GO_RX06P	PCIE_GO_RX07N	AL
AM		VSS	PCIE_GO_RX02N	VSS	PCIE_GO_RX04N	VSS	PCIE_GO_RX06N	VSS	AM

图 A - 1 芯片引脚排布 1/4（顶视图，从左至右）

	9	10	11	12	13	14	15	16	
A	VSS	HT_TX_CAD02N	VSS	HT_TX_CAD00N	VSS	HT_TX_CTL0N	VSS	HT_RX_CAD06N	A
B	HT_TX_CAD03N	HT_TX_CAD02P	HT_TX_CAD01N	HT_TX_CAD00P	HT_TX_CLK0N	HT_TX_CTL0P	HT_RX_CAD07N	HT_RX_CAD06P	B
C	HT_TX_CAD03P	VSS	HT_TX_CAD01P	VSS	HT_TX_CLK0P	VSS	HT_RX_CAD07P	VSS	C
D	VSS	HT_TX_CAD10N	VSS	HT_TX_CAD08N	VSS	HT_TX_CTL1N	VSS	HT_RX_CAD14N	D
E	HT_TX_CAD11N	HT_TX_CAD10P	HT_TX_CAD09N	HT_TX_CAD08P	HT_TX_CLK1N	HT_TX_CTL1P	HT_RX_CAD15N	HT_RX_CAD14P	E
F	HT_TX_CAD11P	VSS	HT_TX_CAD09P	VSS	HT_TX_CLK1P	VSS	HT_RX_CAD15P	VSS	F
G	GMAC1_RXD0	GMACO_LED_ACTIVE	GMAC1_TXD0	GMAC1_TXD1	GMAC1_TX_CLK	HT_8X2	HT_HI_LDT_STOP n	HT_HI_POWEROK	G
H	GMAC1_RXD3	VSS	GMAC1_TXD2	GMAC1_TXD3	GMAC1_TCTL	VSS	HT_LO_LDT_STOP n	HT_LO_POWEROK	H
J									J
K		HDMI1_BIAS	VDDP_HDMI_L	HDMI0_CKN	HDMI0_TX0N	HDMI0_TX1N	HDMI0_TX2N	VDDD_SSCPLL	K
L		VSS	VDDP_HDMI_L	HDMI0_CKP	HDMI0_TX0P	HDMI0_TX1P	HDMI0_TX2P	VSSD_SSCPLL	L
M		VDDP_HDMI_PLL	VDDP_HDMI_BIAS	VSS	HDMI0_HOTPLUG	HDMI0_BIAS	HDMI0_I2C_SCL	HDMI0_I2C_SDA	M
N		VSS	VDD_RTC	VDD_MISC	VSS	VDD_SOC	VSS	VDD_SOC	N
P		VDDE ACPI	VSS_RTC	VSS	VDD_RSM	VSS	VDD_SOC	VSS	P
R		VDDP_GNET_CD	VDD ACPI	VDDP_USB2_L	VSS	VDD_SOC	VSS	VDD_SOC	R
T		VDDP_GNET_AB	VDDP_RSM	VSS	VDD_SOC	VSS	VDD_SOC	VSS	T
U		VDDE_RSM	VSS	VDDP_RSM	VSS	VDD_SOC	VSS	VDD_SOC	U
V		VSS	VDDP_U3S_TX	VSS	VDD_SOC	VSS	VDD_SOC	VSS	V
W		VDDP_U3S_RX	VSS	VDDP_U3S_TX	VSS	VDD_SOC	VSS	VDD_SOC	W
Y		VSS	VDDP_U3S_RX	VSS	VDD_SOC	VSS	VDD_SOC	VDDP_PCIE	Y
AA		VDDP_U3S_RX	VSS	VSS	VSS	VSS	VSS	VSS	AA
AB		VSS	VDDP_PCIE	VSS	VDDP_PCIE	VSS	VDDP_PCIE	VSS	AB
AC		VDDP_PCIE	VSS	VDDP_PCIE	VSS	VDDP_PCIE	VSS	VDDP_PCIE	AC
AD									AD
AE	HDA_SYNC	PCIE_REFRES	PCIE_GO_REFRES0	PCIE_GO_REFRES1	PCIE_GO_REFRES2	PCIE_REFCLK_OUT5N	PCIE_REFCLK_OUT5P	PCIE_F0_REFRES	AE
AF	HDA_BCLK	VSS	PCIE_H_RSTN	VSS	PCIE_GO_REFRES3	VSS	PCIE_F0_RSTN	VSS	AF
AG	VSS	PCIE_GO_TX09P	VSS	PCIE_GO_TX11P	VSS	PCIE_GO_TX13P	VSS	PCIE_GO_TX15P	AG
AH	PCIE_GO_TX08P	PCIE_GO_TX09N	PCIE_GO_TX10P	PCIE_GO_TX11N	PCIE_GO_TX12P	PCIE_GO_TX13N	PCIE_GO_TX14P	PCIE_GO_TX15N	AH
AJ	PCIE_GO_TX08N	VSS	PCIE_GO_TX10N	VSS	PCIE_GO_TX12N	VSS	PCIE_GO_TX14N	VSS	AJ
AK	VSS	PCIE_GO_RX09P	VSS	PCIE_GO_RX11P	VSS	PCIE_GO_RX13P	VSS	PCIE_GO_RX15P	AK
AL	PCIE_GO_RX08P	PCIE_GO_RX09N	PCIE_GO_RX10P	PCIE_GO_RX11N	PCIE_GO_RX12P	PCIE_GO_RX13N	PCIE_GO_RX14P	PCIE_GO_RX15N	AL
AM	PCIE_GO_RX08N	VSS	PCIE_GO_RX10N	VSS	PCIE_GO_RX12N	VSS	PCIE_GO_RX14N	VSS	AM

图 A - 2 芯片引脚排布 2/4（顶视图，从左至右）

	17	18	19	20	21	22	23	24	
A	VSS	HT_RX_CAD04N	VSS	HT_RX_CAD02N	VSS	HT_RX_CAD00N	VSS	HT_RX_CTL0N	A
B	HT_RX_CAD05N	HT_RX_CAD04P	HT_RX_CAD03N	HT_RX_CAD02P	HT_RX_CAD01N	HT_RX_CAD00P	HT_RX_CLK0N	HT_RX_CTL0P	B
C	HT_RX_CAD05P	VSS	HT_RX_CAD03P	VSS	HT_RX_CAD01P	VSS	HT_RX_CLK0P	VSS	C
D	VSS	HT_RX_CAD12N	VSS	HT_RX_CAD10N	VSS	HT_RX_CAD08N	VSS	HT_RX_CTL1N	D
E	HT_RX_CAD13N	HT_RX_CAD12P	HT_RX_CAD11N	HT_RX_CAD10P	HT_RX_CAD09N	HT_RX_CAD08P	HT_RX_CLK1N	HT_RX_CTL1P	E
F	HT_RX_CAD13P	VSS	HT_RX_CAD11P	VSS	HT_RX_CAD09P	VSS	HT_RX_CLK1P	VSS	F
G	HT_HI_RSTn	HT_HI_LDT_REQn	HT_REXT_IO_LO	VSS	PWM0	PWM2	TDI	TMS	G
H	HT_LO_RSTn	HT_LO_LDT_REQn	HT_GEN3	PWM1	PWM3	TCK	TDO	TRSTN	H
J									J
K	VDDA_HTPLL	VDDD_HTPLL	VDDP_HT_RX	VDDP_HT_RX	VSS	VDDP_HT_TX	VDDP_HT_TX		K
L	VSSA_HTPLL	VSSD_HTPLL	VDDP_HT_RX	VDDP_HT_RX	VSS	VDDP_HT_TX	VDDP_HT_TX		L
M	VSSA_SSCPLL	VDDA_SSCPLL	NC_GMEM_DQSN5	NC_GMEM_DQSN4	VDD_SOC	VSS	VDD_SOC		M
N	VSS	VDD_SOC	VSS	VDD_SOC	VSS	VDD_MEM	VSS		N
P	VDD_SOC	VSS	VDD_SOC	VSS	VDD_MEM	VSS	VDD_MEM		P
R	VSS	VDD_SOC	VSS	VDD_SOC	VSS	VDD_MEM	VSS		R
T	VDD_SOC	VSS	VDD_SOC	VSS	VDD_MEM	VSS	VDD_MEM		T
U	VSS	VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC	VDDE_HT_SB		U
V	VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC	VSS	VDDE_SOC		V
W	VSS	VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC	VDDE_SOC		W
Y	VDD_SOC	VDDP_PCIE	VDD_SOC	VSS	VDD_SOC	VSS	VDD_SOC		Y
AA	VSS	VSS	VSS	VSS	VSS	VSS	VSS		AA
AB	VDDP_PCIE	VSS	ACPI_GPI014	ACPI_GPI011	ACPI_GPI008	ACPI_GPI012	VSS_PLL0		AB
AC	VSS	VDDP_PRG	ACPI_GPI010	ACPI_GPI013	ACPI_GPI009	ACPI_GPI015	VDD_PLL0		AC
AD									AD
AE	PCIE_F1_REFRES	PCIE_BRIDGE	PCIE_F1_RSTN	INTN1	CLKSEL01	CLKSEL03	CLKSEL02	CLKSEL05	AE
AF	PCIE_GO_RSTN	VSS	INTN0	VSS	CLKSEL04	VSS	CLKSEL00	VSS	AF
AG	VSS	PCIE_H_TX1P	VSS	PCIE_H_TX3P	VSS	PCIE_H_TX5P	VSS	PCIE_H_TX7P	AG
AH	PCIE_H_TX0P	PCIE_H_TX1N	PCIE_H_TX2P	PCIE_H_TX3N	PCIE_H_TX4P	PCIE_H_TX5N	PCIE_H_TX6P	PCIE_H_TX7N	AH
AJ	PCIE_H_TX0N	VSS	PCIE_H_TX2N	VSS	PCIE_H_TX4N	VSS	PCIE_H_TX6N	VSS	AJ
AK	VSS	PCIE_H_RX1P	VSS	PCIE_H_RX3P	VSS	PCIE_H_RX5P	VSS	PCIE_H_RX7P	AK
AL	PCIE_H_RX0P	PCIE_H_RX1N	PCIE_H_RX2P	PCIE_H_RX3N	PCIE_H_RX4P	PCIE_H_RX5N	PCIE_H_RX6P	PCIE_H_RX7N	AL
AM	PCIE_H_RX0N	VSS	PCIE_H_RX2N	VSS	PCIE_H_RX4N	VSS	PCIE_H_RX6N	VSS	AM

图 A - 3 芯片引脚排布 3/4（顶视图，从左至右）

	25	26	27	28	29	30	31	32	
A	VSS	GMEM_A08	VSS	GMEM_A10	GMEM_BG1	GMEM_CKP	VSS		A
B	GMEM_PAR	GMEM_A00	GMEM_A06	GMEM_BG0	GMEM_WEN	GMEM_CKN	VDDP_MEM	VSS	B
C	GMEM_A02	GMEM_A09	GMEM_BA0	GMEM_A12	GMEM_ALERTN	GMEM_BA1	VDDP_MEM	VSS	C
D	VSS	GMEM_A07	GMEM_A03	GMEM_RASN	VSS	GMEM_CASN	GMEM_DQ15	GMEM_DQ13	D
E	GMEM_A11	GMEM_A01	VSS	GMEM_ODT0	GMEM_ACTN	GMEM_DQ09	GMEM_DQ11	VSS	E
F	VDDP_MEM	GMEM_A13	GMEM_A04	VSS	GMEM_CKE0	VSS	GMEM_DQS1N	GMEM_DQS1P	F
G	VSS	GMEM_A05	VSS	GMEM_DQ01	GMEM_DMON_DQSP4	GMEM_DQ10	GMEM_DQ08	VSS	G
H	VDDP_MEM	GMEM_RESETN	GMEM_SCSN0	GMEM_DQ05	GMEM_DQ03	VSS	GMEM_DQ12	GMEM_DQ14	H
J	VDDP_MEM	GMEM_DQ07	VSS	GMEM_DQSON	GMEM_DQSOP	GMEM_DM1N_DQSP5	GMEM_DQ31	VSS	J
K	VSS	GMEM_DQ02	GMEM_DQ00	GMEM_SCSN1	GMEM_DQ06	VSS	GMEM_DQ29	GMEM_DQ25	K
L	GMEM_CKE1	GMEM_DQ04	VSS	GMEM_DM2N_DQS P6	GMEM_DQ17	GMEM_DQ27	GMEM_DQS3N	VSS	L
M	VSS	GMEM_COMP_REXT	GMEM_ODT1	GMEM_DQ19	GMEM_DQ21	VSS	GMEM_DQS3P	GMEM_DQ26	M
N	I2C0_SCL	I2C0_SDA	VSS	GMEM_DQ18	GMEM_DQ23	GMEM_DQ24	GMEM_DQ28	VSS	N
P	VSS	GMEM_DQ20	GMEM_DQ16	GMEM_DQS2N	GMEM_DQS2P	VSS	GMEM_DQ30	GMEM_DM3N_DQS P7	P
R	VSS_PLL4	VDD_PLL4	VSS	GMEM_DQ22	ACPI_EN	I2C1_SCL	I2C1_SDA	VSS	R
T	VDD_PLL3	ACPI_GPI001	ACPI_GPI002	ACPI_GPI005	ACPI_SYSRSTn	ACPI_PWROK	ACPI_WAKEN	ACPI_RSMRSTn	T
U	VSS_PLL3	ACPI_GPI003	ACPI_GPI004	ACPI_GPI000	ACPI_PWRBTNn	VSS	ACPI_VSBGATE	HTCLK_SEL0	U
V	VDD_PLL2	ACPI_GPI007	VSS	ACPI_GPI006	ACPI_SUSSTATn	ACPI_S4n	LPC_RESETN	HTCLK_SEL1	V
W	VSS_PLL2	VSS_PLL1	VDD_PLL1	ACPI_PLTRSTn	LPC_LAD3	LPC_LAD0	LPC_LAD2	VSS	W
Y	VSS	UART_DSR	ACPI_S3n	ACPI_S5n	VSS	LPC_LAD1	PRG_CLKSEL	USBCLKSEL	Y
AA	UART_RTS	UART_CTS	VSS	UART_DTR	LPC_SERIRQ	LPC_CLKOUT	SYS_DOTESTn	CLKSEL08	AA
AB	UART_RI	UART_DCD	DUAL_BRIDGE	SPI_CSn2	SPI_SDO	LPC_LFRAMEN	SYS_TESTCLK	SYSCLK	AB
AC	UART_RXD	UART_TXD	VSS	GPIO27	GPIO00	RAPIDIO_REFCLKIN_P	RAPIDIO_REFCLKIN_N	VSS	AC
AD	VSS	SPI_SCK	SPI_CSn3	SPI_CSn1	SPI_CSn0	VSS	PCIE_REFCLK_OUT7P	PCIE_REFCLK_OUT7N	AD
AE	CLKSEL06	CLKSEL07	SPI_SDI	VSS	VSS	PCIE_REFCLK_OUT6P	PCIE_REFCLK_OUT6N	VSS	AE
AF	CLKOUT_FLEX	VSS	CLKOUT_25M	CLKOUT_100M	CLKOUT_33M	VSS	VSS	PCIE_F1_TX3P	AF
AG	VSS	PCIE_F0_TX1P	VSS	PCIE_F0_TX3P	VSS	PCIE_F1_TX1P	PCIE_F1_TX2P	PCIE_F1_TX3N	AG
AH	PCIE_F0_TX0P	PCIE_F0_TX1N	PCIE_F0_TX2P	PCIE_F0_TX3N	PCIE_F1_TX0P	PCIE_F1_TX1N	PCIE_F1_TX2N	VSS	AH
AJ	PCIE_F0_TX0N	VSS	PCIE_F0_TX2N	VSS	PCIE_F1_TX0N	VSS	VSS	PCIE_F1_RX3P	AJ

AK	VSS	PCIE_F0_RX1P	VSS	PCIE_F0_RX3P	VSS	PCIE_F1_RX1P	PCIE_F1_RX2P	PCIE_F1_RX3N	AK
AL	PCIE_F0_RX0P	PCIE_F0_RX1N	PCIE_F0_RX2P	PCIE_F0_RX3N	PCIE_F1_RX0P	PCIE_F1_RX1N	PCIE_F1_RX2N	VSS	AL
AM	PCIE_F0_RX0N	VSS	PCIE_F0_RX2N	VSS	PCIE_F1_RX0N	VSS	VSS		AM

图 A - 4 芯片引脚排布 4/4（顶视图，从左至右）

修订记录

版本号	更新内容
V1.0	第一版
V1.1	更改芯片名称为龙芯 7A2000 独显桥片 1.3 节增加新的质量等级 2.2.7 节修正部分描述 2.2.13 节修正接口类型 2.2.19 节修改部分描述格式 2.2.22 节增加 I2C4/5 的复用 3.2 节增加线序反转的说明 3.19 节明确 USB 和 GMAC 唤醒为 S3 唤醒 7.1 和 7.2 节更新电气特性 7.4 节更正部分描述和时序图 8.2 节更新引脚分布总览图(引脚定义未改)
V1.2	信号名称统一 1.1 节和 3.2 节更新 PCIE 接口描述 2.2.13 节修正 UART 部分信号的类型 2.2.18 节和 4.2 节 SYS_TESTCLK 描述更新 2.2.22 节更新 DUAL_BRIDGE 的注解 3.8 节更新网络接口半双工功能描述 第 8 章图片更新为矢量图

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱: service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826