

龙芯 7A1000 桥片

数据手册

V1.4

2020 年 3 月

龙芯中科技大学有限公司

自主决定命运，创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

版权声明

本文档版权归龙芯中科技术有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本文档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

阅读指南

《龙芯 7A1000 桥片数据手册》主要介绍桥片接口结构，特性，电气规范，以及硬件设计指导。主要供 BIOS 和 PCB 设计人员使用。

修订历史

文档更新记录	文档名:	龙芯 7A1000 桥片数据手册
	版本号:	V1.4
	创建人:	芯片研发部
	创建日期:	2020-03-29

更新历史

版本号	更新内容	更新日期
1. 0	初版发布	2018-02-26
1. 1	第 2.7 节, 更正时钟信号中对输出时钟的描述; 第 2 章, 补充相关说明; 第 3 章, 修订相关说明; 第 4 章, 修订功能描述; 第 7.6 节, 补充不使能 ACPI 时的相关时序, 并补充输出时钟的时序; 第 8 章, 补充焊接特性; 第 10 章, 补充硬件设计规范。	2018-03-12
1. 2	第 2.17 节, 纠正 ACPI_EN 信号功能描述的错误, 补充对 BATLOWn 信号的说明; 第 2.24 节, 增加对引脚集成上下拉电阻的说明; 第 4.8 节, 补充对 PCIE 复用方式及对应控制端口的说明; 第 7.6.1 节, 补充不使能 WOL 时, SLPLANn 信号的时序; 第 2.22 和 7.3 节, 更正 PLL 相关电源电压为 1.25V, 补充 DDR_VREF 和 RTC_3V 的电流范围. 其它错误修订。	2018-05-28
1. 3	第 2.3 节, 修订对 PCIE_*_PRSNTn 引脚的说明。 第 4.8 节, 增加 PCIE 接口的相关说明。 第 10.3 节, 增加主板接口选择要求。	2018-09-07
1. 4	第 1.3 节, 增加芯片分级 第 2.18 节, 修改时钟描述 第 2.22 节, 修订 RTC_3V 电压值 第 2 章, 将 SATA_LEDn、I2C 和 GMAC0/1_MDIO 接口属性进行修改 第 3.1 节, 修改时钟描述 第 3.3 节, 删除时钟结构图 第 4.2 节, 增加 1600x1200 分辨率的支持 第 4.8 节, 修改 PCIE 控制器描述, 增加 PCIE lane reverse 支持的描述 第 6 章, 增加 DIE 位置信息 第 7.3 节, 修订 RTC_3V 电压值 第 7.4 节, 增加 PCIE、SATA 和 HT 的时钟规范 第 8.2 节, 增加扣合力指标 第 9 章, 增加订货信息	2020-03-29



技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：service@loongson.cn

问题反馈网址：<http://bugs.loongnix.org/>

目 录

目 录.....	6
图目录.....	9
表目录.....	10
1 引言.....	11
1.1 文档说明.....	11
1.2 桥片主要功能.....	12
1.3 芯片分级.....	13
2 信号定义.....	15
2.1 接口信号块图.....	16
2.2 HT 接口.....	17
2.3 PCIE 接口.....	18
2.4 DVO 接口.....	19
2.5 DDR3 显存接口.....	20
2.6 GMAC 接口.....	20
2.7 SATA 接口.....	20
2.8 USB 接口.....	20
2.9 HDA 接口与 AC97 接口.....	21
2.10 SPI 接口.....	21
2.11 LPC 接口.....	21
2.12 I2C 接口.....	21
2.13 UART 接口.....	21
2.14 PWM 接口.....	22
2.15 GPIO 接口.....	22
2.16 RTC 信号.....	22
2.17 电源管理接口.....	22
2.18 时钟信号.....	23
2.19 中断接口.....	23
2.20 芯片配置接口.....	24
2.21 JTAG 接口.....	24
2.22 电源地信号.....	24
2.23 引脚复用表.....	25
2.24 引脚集成上下拉.....	26
2.25 主板需提供的上下拉.....	28

3	时钟	29
3.1	桥片时钟	29
3.2	时钟相关配置引脚	30
3.3	时钟功能描述	30
4	功能描述	31
4.1	图形处理器	31
4.2	显示控制器	31
4.3	DDR3 SDRAM 显存接口描述	31
4.4	DVO 显示接口	31
4.5	GMAC 控制器	31
4.6	USB 控制器	31
4.7	SATA 控制器	31
4.8	PCIE 控制器	31
4.9	LPC 接口	32
4.10	SPI 控制器	32
4.11	电源管理	32
4.12	GPIO	32
4.13	UART 控制器	32
4.14	I2C 控制器	32
4.15	PWM	32
4.16	RTC	32
4.17	HDA 控制器	32
4.18	AC97 控制器	32
5	引脚定义	33
5.1	引脚排列图	33
5.2	引脚排列表	38
6	封装尺寸	45
7	电气特性	46
7.1	热特性	46
7.2	绝对最大额定值	46
7.3	工作电源	47
7.4	DC 特性	48
7.5	AC 特性	51
7.6	电源管理和复位时序	51
7.6.1	使能 ACPI_EN	51

7.6.2	不使能 ACPI_EN.....	57
8	焊接和扣合力特性.....	60
8.1	焊接特性.....	60
8.2	扣合力.....	60
9	订货信息.....	61
9.1	LS7A1000.....	61
9.2	LS7A1000-I.....	61
10	不使用接口处理.....	63
11	硬件设计规范.....	64
11.1	显示接口 I2C 连接方式.....	64
11.2	显示器热插拔.....	64
11.3	接口选择.....	64
11.4	主板存储 ROM.....	64

图目录

图 2-1. 桥片信号框图.....	16
图 5-1. 芯片引脚排布总览（顶视图）.....	33
图 5-2. 芯片引脚排布 1/6（顶视图，从左至右）.....	33
图 5-3. 芯片引脚排布 2/6（顶视图，从左至右）.....	34
图 5-4. 芯片引脚排布 3/6（顶视图，从左至右）.....	35
图 5-5. 芯片引脚排布 4/6（顶视图，从左至右）.....	36
图 5-6. 芯片引脚排布 5/6（顶视图，从左至右）.....	37
图 5-7. 芯片引脚排布 6/6（顶视图，从左至右）.....	38
图 6-1. 封装尺寸.....	45
图 6-2. DIE 位置.....	45
图 7-1. 冷启动上电时序（RTC 掉电）.....	51
图 7-2. 热复位时序图.....	54
图 7-3. S0 到 S3 及 S3 到 S0 时序图.....	55
图 7-4. S0 到 S4/S5 及 S4/5 到 S0 状态时序图.....	56
图 7-5. 不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）.....	58
图 7-6. 不使能 ACPI 功能时的热复位时序图.....	59
图 8-1. 焊接回流曲线.....	60

表目录

表 2-1. 引脚复用表.....	25
表 2-2. 引脚集成的上下拉.....	26
表 3-1. 桥片时钟输入.....	29
表 3-2. 桥片时钟输出.....	29
表 3-3. 桥片时钟相关配置引脚及说明.....	30
表 5-1. 芯片引脚排列 1/6 (按照信号名称排列)	38
表 5-2. 芯片引脚排列 2/6 (按照信号名称排列)	39
表 5-3. 芯片引脚排列 3/6 (按照信号名称排列)	40
表 5-4. 芯片引脚排列 4/6 (按照信号名称排列)	41
表 5-5. 芯片引脚排列 5/6 (按照信号名称排列)	42
表 5-6. 芯片引脚排列 6/6 (按照信号名称排列)	43
表 7-1. 芯片温度限额.....	46
表 7-2. 芯片功耗.....	46
表 7-3. 芯片绝对最大额定电压.....	46
表 7-4. 推荐的工作电压.....	47
表 7-5. 环境温度 20°C 下测得的芯片电流.....	48
表 7-6. 单端信号 DC 特性.....	48
表 7-7 输入单端参考时钟 DC 特性.....	49
表 7-8 输入单端参考时钟 DC 特性.....	49
表 7-9 输入单端参考时钟 DC 特性.....	50
表 7-10 SATA 差分参考时钟特性.....	50
表 7-11 PCIE 差分参考时钟特性.....	50
表 7-12 HT 差分参考时钟特性.....	50
表 7-13. 上电时序要求.....	52
表 7-14 热复位时序约束.....	54
表 7-15 S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束.....	56
表 7-16 不使能 ACPI 功能时的上电时序要求.....	58
表 7-17 不使能 ACPI 功能时的热复位时序约束.....	59
表 8-1. 回流焊接温度分类表.....	60

1 引言

龙芯 7A1000 桥片（后文简称为桥片）是龙芯的第一款专用桥片组产品，目标是替代 AMD RS780+SB710 桥片组，为龙芯处理器提供南北桥功能。桥片通过 HT 高速总线接口与龙芯 3 号系列处理器相连，内部集成 GPU、DisplayController、DDR3 SDRAM 显存控制器，以及 PCIE、SATA、USB、GMAC、I2C、UART、GPIO 等接口。

桥片主要特性

- 16 位 HT 3.0 接口
- 支持双路桥片模式
- 2D/3D GPU
- 显示控制器，支持双路 DVO 显示
- 16 位 DDR3 显存控制器
- 3 个 x8 PCIE 2.0 接口，每个 x8 接口都可以拆分为 2 个独立的 x4 接口
- 2 个 x4 PCIE 2.0 接口，可以拆分为 6 个独立 x1 接口
- 3 个 SATA 2.0 接口
- 6 个 USB 2.0 接口
- 2 个 RGMII 千兆网接口
- HDA/AC97 可配置接口
- 集成高级中断控制器
- 支持 RTC
- 支持 HPET
- UART 接口
- I2C 接口
- LPC 接口
- SPI 接口
- GPIO 接口
- 支持 ACPI 规范
- 支持 JTAG 边界扫描

1.1 文档说明

第 1 节为引言，对本桥片的特性和功能进行概述。

第 2 节为信号定义，对本桥片的所有引脚进行说明，并对引脚复用、上下拉进行说明。

第 3 节介绍桥片时钟结构，对桥片的时钟进行描述，并详细介绍时钟相关的硬件配置和软件使用方法。

第 4 节为功能描述，对桥片的各个接口功能进行简要说明。

第 5 节介绍桥片的引脚位置定义。

第 6 节给出桥片的封装尺寸。

第 7 节介绍桥片的电气特性，包括热特性、绝对最大额定电压、工作电源、DC 特性、电

源管理和复位时序等。

第 8 节描述焊接特性。

第 9 节为订货信息。

第 10 节给出对未使用到的引脚的处理方法。

第 11 节给出硬件设计规范。

1.2 桥片主要功能

HT 接口

桥片通过 HT 接口和处理器连接，兼容 HT3.0 协议，接口频率支持 200/400/800/1600/2000MHz，接口宽度支持 8/16 位模式。除了作为单路桥片使用外，还可配置为双路桥片模式，支持直接和两个处理器进行数据传输。

图形处理

内部集成 GPU、显示控制器以及显存接口。GPU 支持 OpenGL ES2.0 和 OpenGL ES 1.1；支持 OpenVG，通过了 Futuremark 认证，支持 BitBLT 和 Stretch BLT、矩形填充、硬件画线、色字体渲染、YUV 色域空间转换、高质量缩放等功能。显示控制器支持双路 DVO 信号输出，并支持硬件光标、伽玛校正、输出抖动等功能。显存接口采用 16 位 DDR3 SDRAM 接口，最高数据速率 1333 Mbps。

PCIE 接口

兼容 PCIE 2.0 协议，总共包含 32 个数据链路，在每个数据方向上最高支持 5Gbps 的数据速率（双向共 10Gbps），总共包含了 12 个 PCIE 控制器。32 个数据链路可分为 3 个 x8 接口和 2 个 x4 接口；其中每个 x8 接口可配置为 2 个 x4 接口独立使用；两个 x4 接口中，1 个可配置为 4 个 x1 接口独立使用，另外 1 个可配置为 2 个 x1 接口独立使用。

SATA 控制器

集成 3 个 SATA 接口，每个接口最高支持 3 Gb/s 的数据速率，兼容 SATA 2.6 协议。SATA 控制器兼容 AHCI 1.1 规范。支持状态指示灯。

USB 控制器

集成 6 个 USB 主接口，支持 USB 2.0 协议，最高传输速度可达 480 Mbps，并兼容 USB 1.1 协议。支持过流检测。

GMAC 控制器

集成两路 10/100/1000Mbps 自适应以太网 MAC 控制器，兼容 IEEE 802.3，通过 RGMII 接口连接外置的 GMAC PHY 芯片，半双工/全双工自适应，支持 Timestamp 功能，支持网络唤醒。

HDA 控制器

支持 16、18 和 20 位采样精度，支持可变速率，采样率最高达 192KHz，支持 7.1 频道环绕立体声输出，支持三路音频输入。

SPI 控制器

集成 SPI 主控制器，支持标准读、连续地址读、快速读、双路 I/O 等读模式。

UART

集成 1 个全功能 UART 控制器，全双工异步数据接收/发送，16 位可编程时钟计数器，支持接收超时检测，可配置为 4 个两线串口(TXD/RXD)。

I2C 总线

与 I2C 标准兼容，工作在主设备模式，支持 7 位寻址和 10 位寻址模式。

PWM

四路 PWM 输出，内部包含 32 位计数器，支持脉冲生成及检测。

HPET

兼容 HPET 规范，支持 64 位计数器时间戳功能，支持 32 位定时器，支持 1 个周期性中断和 2 个非周期性中断。

RTC

计时精确到 0.1 秒，可产生 3 个计时中断，支持定时开机功能。

中断控制器

内部集成的中断控制器最多支持 64 个中断源，支持双路中断输出，支持软件设置中断，可配置触发模式，支持智能中断分发。

ACPI 功耗管理

支持系统休眠唤醒功能，支持 USB/GMAC 唤醒，支持上电启动。

GPIO

1 个专用 GPIO 引脚，56 个复用 GPIO 引脚，支持输入中断功能。

1.3 芯片分级

龙芯 7A1000 分有两个版本，不同版本芯片针对的工作环境有所不同，不可相互替换。芯片在错误的工作环境下，可能会引起工作异常或使用寿命问题。在选用前必须明确对应的芯片分级。

不同版本的说明如下：

芯片标识	质量等级	工作温度(壳温)
LS7A1000	商业级	0-70°C
LS7A1000-I	工业级	-40-85°C

2 信号定义

本节对桥片的信号进行说明。



2.1 接口信号块图

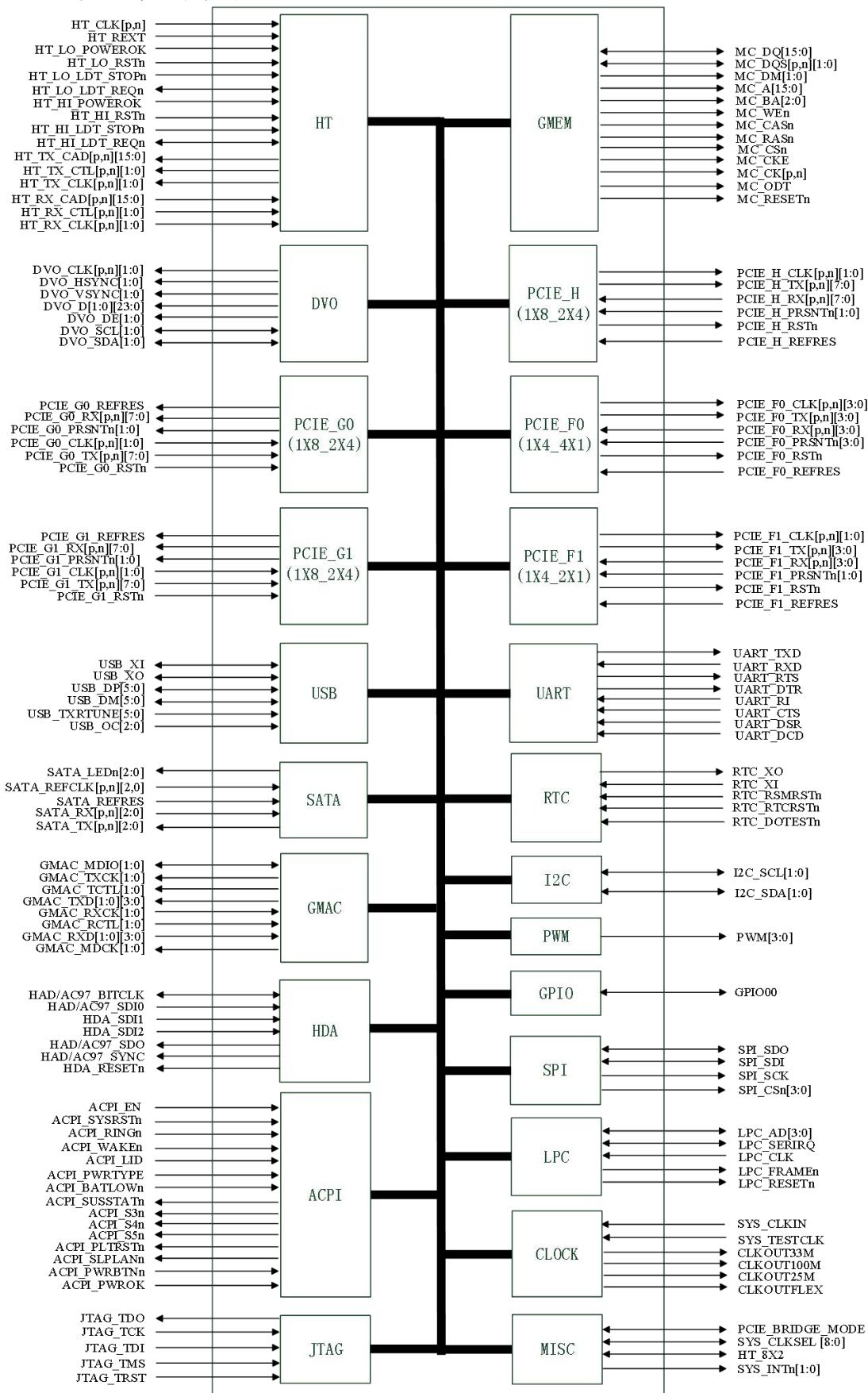


图 2-1. 桥片信号框图

2.2 HT 接口

	类型	描述	电源
HT_RXT	I	HT 参考电阻，通过一个 1Kohm(1%)的电阻接地。	
HT_8X2	I/O	HT 模式控制 0: 将 HT 作为 16 位总线使用，此时只有 HT 控制器 0 有效。 1: 将 HT 分为两个 8 位总线使用，HT_Lo 与 HT_Hi 分别控制低 8 位和高 8 位	IO_3V3
HT_LO_POWEROK	I/O	当 HT_8X2 无效时为 HT 总线 PowerOK 信号， 当 HT_8X2 有效时为 HT_Lo 总线 PowerOK 信号。	IO_3V3
HT_LO_RSTn	I/O	当 HT_8X2 无效时为 HT 总线 Resetn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Resetn 信号。	IO_3V3
HT_LO_LDT_STOPn	I/O	当 HT_8X2 无效时为 HT 总线 Ldt_Stopn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Stopn 信号。	IO_3V3
HT_LO_LDT_REQn	I/O	当 HT_8X2 无效时为 HT 总线 Ldt_Reqn 信号， 当 HT_8X2 有效时为 HT_Lo 总线 Ldt_Reqn 信号。	IO_3V3
HT_HI_POWEROK	I/O	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 PowerOK 信号。	IO_3V3
HT_HI_RSTn	I/O	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Resetn 信号。	IO_3V3
HT_HI_LDT_STOPn	I/O	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Stopn 信号。	IO_3V3
HT_HI_LDT_REQn	I/O	当 HT_8X2 无效时该信号无效， 当 HT_8X2 有效时为 HT_Hi 总线 Ldt_Reqn 信号。	IO_3V3
HT_TX_CADp[15:0]	O	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线发送数据命令总线， [15:8]位为 HT_Hi 总线发送数据命令总线。	-
HT_TX_CADn[15:0]	O	当 HT_8X2 无效时，该总线为 HT 总线发送数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线发送数据命令总线， [15:8]位为 HT_Hi 总线发送数据命令总线。	-
HT_TX_CTLp[1:0]	O	当 HT_8X2 无效时， [0]位为 HT 总线发送控制信号， [1]位无效。 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送控制信号， [1]位为 HT_Hi 总线发送控制信号。	-
HT_TX_CTLn[1:0]	O	当 HT_8X2 无效时， [0]位为 HT 总线发送控制信号， [1]位无效。 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送控制信号， [1]位为 HT_Hi 总线发送控制信号。	-
HT_TX_CLKp[1:0]	O	当 HT_8X2 无效时，该总线为 HT 总线发送时钟总线，	-



		当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送时钟信号， [1]位为 HT_Hi 总线发送时钟信号。	
HT_RX_CLKn[1:0]	O	当 HT_8X2 无效时，该总线为 HT 总线发送时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线发送时钟信号， [1]位为 HT_Hi 总线发送时钟信号。	-
HT_RX_CADp[15:0]	I	当 HT_8X2 无效时，该总线为 HT 总线接收数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线接收数据命令总线， [15:8]位为 HT_Hi 总线接收数据命令总线。	-
HT_RX_CADn[15:0]	I	当 HT_8X2 无效时，该总线为 HT 总线接收数据命令总线， 当 HT_8X2 有效时， [7:0]位为 HT_Lo 总线接收数据命令总线， [15:8]位为 HT_Hi 总线接收数据命令总线。	-
HT_RX_CTLp[1:0]	I	当 HT_8X2 无效时， [0]位为 HT 总线接收控制信号， [1]位无效。 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收控制信号， [1]位为 HT_Hi 总线接收控制信号。	-
HT_RX_CTLn[1:0]	I	当 HT_8X2 无效时， [0]位为 HT 总线接收控制信号， [1]位无效。 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收控制信号， [1]位为 HT_Hi 总线接收控制信号。	-
HT_RX_CLKn[1:0]	I	当 HT_8X2 无效时，该总线为 HT 总线接收时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收时钟信号， [1]位为 HT_Hi 总线接收时钟信号。	-
HT_RX_CLKp[1:0]	I	当 HT_8X2 无效时，该总线为 HT 总线接收时钟总线， 当 HT_8X2 有效时， [0]位为 HT_Lo 总线接收时钟信号， [1]位为 HT_Hi 总线接收时钟信号。	-

2.3 PCIE 接口

信号名称	类型	描述	电源
PCIE_G0_TXp[7:0]	DIFF OUT	PCIE 差分数据输出	-
PCIE_G0_TXn[7:0]	DIFF IN	PCIE 差分数据输入	-
PCIE_G0_RXp[7:0]	A	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地	-
PCIE_G0_RXn[7:0]	I	PCIE 控制器使能控制，低有效。	IO_3V3



PCIE_G0_RSTn	O	PCIE 复位	IO_3V3
PCIE_G1_TXp[7:0]	DIFF OUT	PCIE 差分数据输出	-
PCIE_G1_RXp[7:0]	DIFF IN	PCIE 差分数据输入	-
PCIE_G1_REFRES	A	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地	-
PCIE_G1_PRSNTn[1:0]	I	PCIE 控制器使能控制，低有效。	IO_3V3
PCIE_G1_RSTn	O	PCIE 复位	IO_3V3
PCIE_H_TXp[7:0]	DIFF OUT	PCIE 差分数据输出	-
PCIE_H_RXp[7:0]	DIFF IN	PCIE 差分数据输入	-
PCIE_H_REFRES	A	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地	-
PCIE_H_PRSNTn[1:0]	I	PCIE 控制器使能控制，低有效。	IO_3V3
PCIE_H_RSTn	O	PCIE 复位	IO_3V3
PCIE_F0_TXp[3:0]	DIFF OUT	PCIE 差分数据输出	-
PCIE_F0_RXp[3:0]	DIFF IN	PCIE 差分数据输入	-
PCIE_F0_REFRES	A	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地	-
PCIE_F0_PRSNTn[3:0]	I	PCIE 控制器使能控制，低有效。	IO_3V3
PCIE_F0_RSTn	O	PCIE 复位	IO_3V3
PCIE_F1_TXp[3:0]	DIFF OUT	PCIE 差分数据输出	-
PCIE_F1_RXp[3:0]	DIFF IN	PCIE 差分数据输入	-
PCIE_F1_REFRES	A	外部参考电阻，通过一个 200ohm(1%)的电阻连接至地	-
PCIE_F1_PRSNTn[1:0]	I	PCIE 控制器使能控制，低有效。	IO_3V3
PCIE_F1_RSTn	O	PCIE 复位	IO_3V3

注：PCIE_G0/G1/H/F0/F1_RSTn 这五个信号的 PCIE 复位输出时序相同，用户可选择其中一个任意一个信号作为 PCIE 设备的复位信号使用，也可以选择对应的信号分别作为 PCIE 设备的复位信号使用。

2.4 DVO 接口

信号名称	类型	描述	电源
DVO0/1_CLKp	O	DVO 时钟输出，正沿（单端全摆幅信号）	IO_3V3
DVO0/1_CLKn	O	DVO 时钟输出，负沿（单端全摆幅信号），一般不使用。	IO_3V3
DVO0/1_HSYNC	O	DVO 水平同步	IO_3V3
DVO0/1_VSYNC	O	DVO 垂直同步	IO_3V3
DVO0/1_DE	O	DVO 数据有效	IO_3V3
DVO0/1_D[23:0]	O	DVO 显示数据	IO_3V3
DVO0/1_SCL	I/O	DVO I2C 串行时钟	IO_3V3
DVO0/1_SDA	I/O	DVO I2C 串行数据	IO_3V3



注：

1. DVO接口的数据位DVO_D[23:0]分别对应RGB888，即：DVO_D[23:16]对应RGB信号的R[7:0]，DVO_D[15:8]对应RGB信号的G[7:0]，DVO_D[7:0]对应RGB信号的B[7:0]。当使用的转换芯片的RGB信号宽度小于8位时，必须使用桥片输出信号的高位数据。比如转换芯片的格式为RGB565，则需要使用桥片的DVO_D[23:19]连接R，使用DVO_D[15:10]连接G，使用DVO_D[7:3]连接B。
2. 板卡必须使用DVO_SCL/SDA引脚连接PHY转换芯片和显示器接口。参见[显示接口I2C连接方式](#)。

2.5 DDR3 显存接口

信号名称	类型	描述	电源
MC_DQ[15:0]	I/O	DDR3 SDRAM 数据信号	DDR_VDDE
MC_DQSp/n[1:0]	DIFF I/O	DDR3 SDRAM 数据选通信号	DDR_VDDE
MC_DM[1:0]	O	DDR3 SDRAM 数据屏蔽信号	DDR_VDDE
MC_A[15:0]	O	DDR3 SDRAM 地址信号	DDR_VDDE
MC_BA[2:0]	O	DDR3 SDRAM Bank 地址信号	DDR_VDDE
MC_WEn	O	DDR3 SDRAM 写使能信号	DDR_VDDE
MC_CASn	O	DDR3 SDRAM 列选信号	DDR_VDDE
MC_RASn	O	DDR3 SDRAM 行选信号	DDR_VDDE
MC_CSn	O	DDR3 SDRAM 片选信号	DDR_VDDE
MC_CKE	O	DDR3 SDRAM CKE 信号	DDR_VDDE
MC_CKp/n	DIFF O	DDR3 SDRAM 时钟信号	DDR_VDDE
MC_ODT	O	DDR3 SDRAM ODT 信号	DDR_VDDE
MC_RESETn	O	DDR3 SDRAM 复位信号	DDR_VDDE
MC_REXT	I	DDR3 外部参考电阻，通过一个 240ohm(1%)的电阻连接至地	DDR_VDDE

2.6 GMAC 接口

信号名称	类型	复用类型	电源
GMAC0/1_TXCK	O	RGMII 发送时钟	GMAC_VDDE
GMAC0/1_TCTL	O	RGMII 发送控制	GMAC_VDDE
GMAC0/1_RXD[3:0]	O	RGMII 发送数据	GMAC_VDDE
GMAC0/1_RXCK	I	RGMII 接收时钟	GMAC_VDDE
GMAC0/1_RCTL	I	RGMII 接收控制	GMAC_VDDE
GMAC0/1_RXD[3:0]	I	RGMII 接收数据	GMAC_VDDE
GMAC0/1_MDCK	O	SMA 接口时钟	GMAC_VDDE
GMAC0/1_MDIO	I/OD	SMA 接口数据	GMAC_VDDE

2.7 SATA 接口

信号名称	类型	描述	电源
SATA_REFRES	A	外部参考电阻，通过一个 200ohm(1%)的电阻连接到地	-
SATA_TXp[2:0] SATA_TXn[2:0]	DIFF OUT	SATA 差分数据输出	-
SATA_RXp[2:0] SATA_RXn[2:0]	DIFF IN	SATA 差分数据输入	-
SATA_LEDn[2:0]	OD	SATA 工作状态，低表示有数据传输	IO_3V3

2.8 USB 接口

信号名称	类型	描述	电源



USB[5:0]_TXRTUNE	A	参考电阻，通过一个 200ohm(1%)的电阻连接到地	-
USB[5:0]_DP	I/O	USB D+	-
USB[5:0]_DM	I/O	USB D-	-
USB[2:0]_OC	I	USB 过流检测输入，该信号为高有效。两个 USB 接口共用一个，其中 USB0_OC 对应 USB0/1；USB1_OC 对应 USB2/3；USB2_OC 对应 USB4/5。	ACPI_3V3

2.9 HDA 接口与 AC97 接口

信号名称	类型	描述	电源
HDA_BITCLK	I/O	HDA BITCLK 输出；AC97 BITCLK 输入	IO_3V3
HDA_SDI0	I	HDA/AC97 数据输入，连接第一个 codec	IO_3V3
HDA_SDI1	I	HDA 数据输入，连接第二个 codec	IO_3V3
HDA_SDI2	I	HDA 数据输入，连接第三个 codec	IO_3V3
HDA_SDO	O	HDA/AC97 数据输出	IO_3V3
HDA_SYNC	O	HDA/AC97 同步	IO_3V3
HDA_RESETn	O	HDA/AC97 复位	IO_3V3

2.10 SPI 接口

信号名称	类型	描述	电源
SPI_SCK	O	SPI master 输出时钟信号	IO_3V3
SPI_SDO	I/O	SPI master 输出数据信号	IO_3V3
SPI_SDI	I/O	SPI master 输入数据信号	IO_3V3
SPI_CSn0	O	SPI slave 片选信号	IO_3V3
SPI_CSn1	O	SPI slave 片选信号	IO_3V3
SPI_CSn2	O	SPI slave 片选信号	IO_3V3
SPI_CSn3	O	SPI slave 片选信号	IO_3V3

注：

1. SPI_CSn0片选必须连接一个外部flash，容量不小于128KB，用于主板存储ROM使用。
2. 如果板卡需要支持显示器检测功能，需要使用SPI_CSn2和SPI_CSn3（复用为GPIO功能）作为DVO0和DVO1通道的显示器中断输入引脚使用。

2.11 LPC 接口

信号名称	类型	描述	电源
LPC_AD[3:0]	I/O	LPC 复用的命令、地址、数据信号线	IO_3V3
LPC_FRAMEn	O	LPC 总线帧起始、结束信号	IO_3V3
LPC_SERIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	IO_3V3
LPC_RESETn	O	LPC 总线复位信号	IO_3V3

2.12 I2C 接口

信号名称	类型	描述	电源
I2C[1:0]_SCL	O	I2C 串行时钟	IO_3V3
I2C[1:0]_SDA	I/O	I2C 串行数据	IO_3V3

2.13 UART 接口

信号名称	类型	描述	电源
UART_TXD	I/O	UART 数据发送	IO_3V3
UART_RXD	I/O	UART 数据接收	IO_3V3
UART_RTS	I/O	8 线全功能串口信号/UART1 数据发送	IO_3V3
UART_CTS	I/O	8 线全功能串口信号/UART1 数据接收	IO_3V3
UART_DTR	I/O	8 线全功能串口信号/UART2 数据发送	IO_3V3



UART_DSR	I/O	8 线全功能串口信号/UART2 数据接收	IO_3V3
UART_RI	I/O	8 线全功能串口信号/UART3 数据发送	IO_3V3
UART_DCD	I/O	8 线全功能串口信号/UART3 数据接收	IO_3V3

2.14 PWM 接口

信号名称	类型	描述	电源
PWM[3:0]	O	PWM 输出	IO_3V3

2.15 GPIO 接口

下表仅列出专用的 1 个 GPIO 引脚信号，其他 GPIO 为复用信号，参考引脚复用表。默认情况下 GPIO0 为输出状态且输出高电平，GPIO0 位于 RSM 电压域。

信号名称	类型	描述	电源
GPIO0	I/O	通用输入输出	ACPI_3V3

2.16 RTC 信号

信号名称	类型	描述	电源
RTC_XI	I	32.768KHz 晶体输入	RTC_3V
RTC_XO	O	32.768KHz 晶体输出	RTC_3V
RTC_DOTESTn	I	测试模式使能 0: 测试模式 1: 功能模式	RTC_3V
RTC_RSMRSTn	I	RSM 域复位, 低有效	RTC_3V
RTC_RSTn	I	RTC 域复位, 低有效	RTC_3V

2.17 电源管理接口

信号名称	类型	描述	电源
ACPI_EN	I	ACPI 使能 0: 不使能 ACPI 功能, 此时除了复位信号 (ACPI_SYSRSTn) 外, 其他电源管理信号无效; 1: 使能 ACPI 功能;	ACPI_3V3
ACPI_SYSRSTn	I	系统复位, 低有效。	ACPI_3V3
ACPI_RINGn	I	振铃唤醒, 低有效。	ACPI_3V3
ACPI_WAKEn	I	PCIE 唤醒, 低有效。	ACPI_3V3
ACPI_LID	I	屏盖状态 0: 屏盖关闭; 1: 屏盖打开。	ACPI_3V3
ACPI_PWRTYPE	I	供电类型指示信号 0: 电池供电; 1: 交流电源供电。	ACPI_3V3
ACPI_BATLOWn	I	电量低指示 (包括电池供电和电源供电, 该信号的准确含义是 PWRLOWn), 低有效。 在工作状态下, 为低时可以产生中断; 在关机状态下, 为低时无法开机; 在低功耗状态下, 为低时无法唤醒。	ACPI_3V3
ACPI_SUSSTATn	O	低功耗状态, 低有效。	ACPI_3V3
ACPI_S3n	O	S3 状态, 低有效。	ACPI_3V3
ACPI_S4n	O	S4 状态, 低有效。	ACPI_3V3
ACPI_S5n	O	S5 状态, 低有效。	ACPI_3V3
ACPI_PLTRSTn	O	平台复位, 低有效。	ACPI_3V3
ACPI_SLPLANn	O	网络电源关闭, 低有效。	ACPI_3V3



ACPI_PWRBTNn	I	电源开关，低有效。	ACPI_3V3
ACPI_PWROK	I	电源有效，指示最后一级电源上电成功，高有效。	ACPI_3V3
VSB_GATEn	O	主电源和 standby 电源切换控制信号	ACPI_3V3

注：参见[电源管理和复位时序](#)。

2.18 时钟信号

信号名称	类型	描述	电源
CLKIN	I	桥片 100 MHz 主参考时钟	IO_3V3
TESTCLK	I	测试时钟输入，保留，通过 10Kohm 电阻接地	IO_3V3
LPC_CLKIN	I	LPC 33MHz 参考时钟，不使用 LPC 接口时，可不接	IO_3V3
CLKOUT100M ³	O	100 MHz 单端时钟输出。可以作为龙芯 3 号处理器的 HT 参考时钟使用。	IO_3V3
CLKOUT33M ³	O	33.3 MHz 单端时钟输出。可以作为龙芯 3 号处理器的内存 PLL 参考时钟使用。	IO_3V3
CLKOUT25M ³	O	25 MHz 单端时钟输出。可以作为龙芯 3 号处理器的 core PLL 参考时钟使用。	ACPI_3V3
CLKOUTFLEX ³	O	频率可变单端时钟输出。默认为 100 MHz。	ACPI_3V3
HTCLKp/n	I	HT 200 MHz 差分参考时钟，当 HT 使用内部参考时钟时，可不接	-
PCIE_F0_CLKINp/n	I	PCIE_F0 100 MHz 差分参考时钟，当控制器使用内部参考时钟时，可不接	-
PCIE_F1_CLKINp/n	I	PCIE_F1 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接	-
PCIE_H_CLKINp/n	I	PCIE_H 100 MHz 差分参考时钟，建议板级常连此时钟	-
PCIE_G0_CLKINp/n	I	PCIE_G0 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接	-
PCIE_G1_CLKINp/n	I	PCIE_G1 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接	-
SATA0_CLKINp/n	I	SATA0 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接	-
SATA1_CLKINp/n	I	SATA1 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接	-
SATA2_CLKINp/n	I	SATA2 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接	-
USB_XI	I	保留，通过 10Kohm 电阻接地。	-
USB_CLKIN ²	I	USB 12 MHz 单端时钟输入	-

注：

1. 不使用的输入参考时钟可以不提供，但需通过10Kohm的电阻接地。
2. 对于USB模块的参考时钟USB_CLKIN，当不使用USB接口唤醒功能时，可不接，此时需将引脚通过10Kohm的电阻接地；否则必须提供一个12MHz的板上时钟，注意板上时钟的电压幅值应为2.5V。
3. 如果处理器使用桥片的输出时钟作为参考时钟使用，需注意桥片输出时钟有效时刻的相关时序，参见[电源管理和复位时序](#)。

2.19 中断接口

信号名称	类型	描述	电源



INTn0	O	中断输出 0, 低有效	IO_3V3
INTn1	O	中断输出 1, 低有效	IO_3V3

2.20 芯片配置接口

信号名称	类型	描述	电源
PCIEBRGMODE	I/O	桥片模式选择。 0: HT 桥片模式; 1: 保留。	IO_3V3
CLKSEL [8:0]	I/O	CLKSEL[5:0]: 悬空; CLKSEL[6]: HT PHY 参考时钟选择; 0: 使用 200MHz 差分输入时钟; 1: 使用 100MHz 单端系统输入时钟。 CLKSEL[7]: HT 频率配置模式选择, 主板需通过一个 4.7K 欧姆的电阻下拉; CLKSEL[8]: 悬空。	IO_3V3

2.21 JTAG 接口

信号名称	类型	描述	电源
JTAG_TCK	I	JTAG 时钟	IO_3V3
JTAG_TDI	I	JTAG 数据输入	IO_3V3
JTAG_TMS	I	JTAG 模式	IO_3V3
JTAG_TRST	I	JTAG 复位, 需下拉	IO_3V3
JTAG_TDO	O	JTAG 数据输出	IO_3V3

2.22 电源地信号

信号名称	类型	描述	电压
VDD	I	核心电压域电源。该电源在 S3、S4、S5、G3 状态下可以关闭	1.1V
VDD_RSM	I	RSM 域核电源。该电源在 G3 状态下可以关闭	1.1V
DDR_VDDE	I	显存 IO 引脚电源	1.5V
DDR_VREF	I	显存 IO 引脚参考电源	0.75V
HT_1V2	I	HT PHY 电源	1.2V
HT_1V8	I	HT PHY 电源	1.8V
PEST_1V1	I	PCIE/SATA PHY 电源	1.1V
PEST_3V3	I	PCIE/SATA PHY 高压电源	3.3V
GMAC_VDDE	I	GMAC IO 引脚电源。电压值需要和外接的 PHY 芯片一致	3.3V/2.5V
USB_A3V3	I	USB 模拟电源	3.3V
IO_3V3	I	低速 IO 引脚电源	3.3V
ACPI_3V3	I	RSM 域 IO 引脚电源	3.3V
RTC_3V	I	RTC 域电源	2.8V
VSS	-	芯片地	-
PLL_HT_VDD	I	HT PLL 模拟和数字电源	1.25V
PLL_HT_VSS		HT PLL 地	-
PLL_VDDA_CORE	I	核心 PLL 模拟电源	1.25V
PLL_VDDD_CORE	I	核心 PLL 数字电源	1.25V
PLL_VSS_CORE		核心 PLL 地。	-
PLL_VDDA_PER	I	外设 PLL 模拟电源	1.25V



PLL_VDDD_PER	I	外设 PLL 数字电源	1.25V
PLL_VSS_PER		外设 PLL 地	-
PLL_VDDA_GRAPH	I	图形 PLL 模拟电源	1.25V
PLL_VDDD_GRAPH	I	图形 PLL 数字电源	1.25V
PLL_VSS_GRAPH		图形 PLL 地	-

2.23 引脚复用表

模块级的功能复用关系如下表所示：

表 2-1. 引脚复用表

功能 0	功能 1	功能 2	功能 3	复用控制
VSB_GATEn	GPIO01			1
CLKOUT25M	GPIO02			1
CLKOUTFLEX	GPIO03			1
PWM0	GPIO04			1
PWM1	GPIO05			1
PWM2	GPIO06			1
PWM3	GPIO07			1
I2C0_SCL	GPIO08			2
I2C0_SDA	GPIO09			
I2C1_SCL	GPIO10			2
I2C1_SDA	GPIO11			
SPI_CSn0	GPIO12	I2C4_SCL		2
SPI_CSn1	GPIO13	I2C4_SDA		
SPI_CSn2	GPIO14	I2C5_SCL		2
SPI_CSn3	GPIO15	I2C5_SDA		
SPI_SDI	GPIO16			2
SPI_SDO	GPIO17			
SPI_SCK	GPIO18			
HDA_BITCLK	GPIO19	AC97_BITCLK		3
HDA_SYNC	GPIO20	AC97_SYNC		
HDA_RESETn	GPIO21	AC97_RSTn		
HDA_SDO	GPIO22	AC97_SDO		
HDA_SDI0	GPIO23	AC97_SDI		3
HDA_SDI1	GPIO24			
HDA_SDI2	GPIO25			
SATA0_LEDn	GPIO26			1
SATA1_LEDn	GPIO27			1
SATA2_LEDn	GPIO28			1
USB_OC_0	GPIO29			1
USB_OC_1	GPIO30			1
USB_OC_2	GPIO31			1
UART3_RXD	GPIO32	UART_DCD	I2C2_SCL	2
UART3_TXD	GPIO33	UART_RI	I2C2_SDA	



UART2_RXD	GPIO34	UART_DSR	I2C3_SCL	2
UART2_TXD	GPIO35	UART_DTR	I2C3_SDA	
UART1_RXD	GPIO36	UART_CTS		2
UART1_TXD	GPIO37	UART_RTS		
UART0_RXD	GPIO38	UART_RXD		2
UART0_TXD	GPIO39	UART_TXD		
LPC_AD0	GPIO40			2
LPC_AD1	GPIO41			
LPC_AD2	GPIO42			
LPC_AD3	GPIO43			
LPC_SERIRQ	GPIO44			
LPC_FRAMEn	GPIO45			
CLKSEL0	GPIO46			4
CLKSEL1	GPIO47			
CLKSEL2	GPIO48			
CLKSEL3	GPIO49			
CLKSEL4	GPIO50			
CLKSEL5	GPIO51			
CLKSEL6	GPIO52			
CLKSEL7	GPIO53			
PCIEBRGMODE	GPIO54			
HT_8X2	GPIO55			
CLKSEL8	GPIO56			

注：

1. 引脚功能可单独配置。
2. 引脚功能不可单独配置，合并单元格内的引脚功能需同时配置。
3. HDA相关引脚，当配置为HDA模式时，所有引脚都工作在HDA模式，即使在HDA模式下不使用引脚HDA_SDI1/2，它们也无法作为其他功能使用；当配置为AC97模式时，引脚HDA_SDI1/2可以作为GPIO功能使用。
4. 芯片配置相关引脚，在boot阶段作为芯片配置输入引脚，系统启动后，工作在GPIO输出模式（不可作为GPIO输入使用）。

2.24 引脚集成上下拉

芯片的部分引脚内部集成了上下拉电阻，以减少主板需要的电阻数量。表 2-2 列出了集成上下拉电阻的芯片引脚以及它们的上下拉方式和集成电阻的名义阻值。

表 2-2. 引脚集成的上下拉

信号名称	上下拉说明	名义阻值 (ohm)	说明
HT_LO_POWEROK	上拉	40K	
HT_LO_RSTn	上拉	40K	
HT_LO_LDT_STOPn	上拉	40K	
HT_LO_LDT_REQn	上拉	40K	
HT_HI_POWEROK	上拉	40K	
HT_HI_RSTn	上拉	40K	



HT_HI_LDT_STOPn	上拉	40K	
HT_HI_LDT_REQn	上拉	40K	
PCIE_F0_PRSNTn0	上拉	40K	
PCIE_F0_PRSNTn1	上拉	40K	
PCIE_F0_PRSNTn2	上拉	40K	
PCIE_F0_PRSNTn3	上拉	40K	
PCIE_F1_PRSNTn0	上拉	40K	
PCIE_F1_PRSNTn1	上拉	40K	
PCIE_G0_PRSNTn0	上拉	40K	
PCIE_G0_PRSNTn1	上拉	40K	
PCIE_G1_PRSNTn0	上拉	40K	
PCIE_G1_PRSNTn1	上拉	40K	
PCIE_H_PRSNTn0	上拉	40K	
PCIE_H_PRSNTn1	上拉	40K	
ACPI_EN	上拉	40K	
CLKSEL0	下拉	46K	
CLKSEL1	下拉	46K	
CLKSEL2	下拉	46K	
CLKSEL3	下拉	46K	
CLKSEL4	上拉	40K	
CLKSEL5	下拉	46K	
CLKSEL6	下拉	46K	1
CLKSEL7	上拉	40K	2
CLKSEL8	下拉	46K	
PCIEBRGMODE	下拉	46K	
HT_8X2	下拉	46K	3
JTAG_TDI	上拉	40K	
JTAG_TMS	上拉	40K	
JTAG_TRSTn	上拉	40K	4
LPC_AD0	上拉	40K	
LPC_AD1	上拉	40K	
LPC_AD2	上拉	40K	
LPC_AD3	上拉	40K	
LPC_SERIRQ	上拉	40K	
SPI_SDI	上拉	40K	
SPI_SDO	上拉	40K	

注:

1. 上拉阻值的范围为: 27K~64Kohm, 名义阻值为40Kohm; 下拉阻值的范围为30K~80Kohm, 名义阻值为46Kohm。
2. CLKSEL6应根据主板是否提供HT 200MHz差分参考时钟设定。当主板不提供该差分参考时钟时, 应在主板上将该引脚上拉。
3. CLKSEL7应通过主板下拉, 以允许软件配置HT总线频率。



4. HT8X2由是否使用桥片双路直连模式决定。对于单路主板，该引脚应悬空或者下拉；对于双路主板，该引脚由是否将HT Hi引脚连接到处理器非0结点决定，如果连接HT Hi引脚到非0结点，则该引脚需由主板上拉，否则应悬空或者下拉。
5. JTAG_TRSTn引脚在正常使用模式下必须由主板下拉。
6. 其它引脚在默认功能下不需要主板提供上下拉，悬空即可。

2.25 主板需提供的上下拉

在默认的工作模式下，需要提供上下拉的引脚包括：

信号名称	上下拉说明	推荐阻值
RTC_DOTESTn	功能模式：上拉 测试模式：下拉	4.7K
GMAC0_MDIO	上拉	4.7K
GMAC1_MDIO	上拉	4.7K
I2C0_SCL	上拉	4.7K
I2C0_SDA	上拉	4.7K
I2C1_SCL	上拉	4.7K
I2C1_SDA	上拉	4.7K
HDA_SDIO	下拉	4.7K
HDA_SD1	下拉	4.7K
HDA_SD2	下拉	4.7K
JTAG_TRSTn	功能模式：下拉 测试模式：N/A	4.7K
SATA0_LEDn	上拉	4.7K
SATA1_LEDn	上拉	4.7K
SATA2_LEDn	上拉	4.7K



3 时钟

3.1 桥片时钟

桥片需要一个 100MHz 时钟和一个 32K 晶体振荡器作为参考时钟输入（如果使用 LPC 总线，则还需要一个 33 MHz 时钟输入）。

表 3-1. 桥片时钟输入

时钟	频率	说明
CLKIN	100 MHz	桥片 100 MHz 主参考时钟
RTC_XI	32.768 KHz	32.768KHz 晶体输入
RTC_XO	32.768 KHz	32.768KHz 晶体输出
TESTCLK	-	保留，通过 10Kohm 电阻接地
LPC_CLKIN	33 MHz	LPC 33MHz 参考时钟，不使用 LPC 接口时，可不接，需通过一个 10Kohm 电阻接地。
HTCLKp/n	200 MHz	HT 200 MHz 差分参考时钟，当 HT 使用内部参考时钟时，可不接
PCIE_F0_CLKINp/n	100 MHz	PCIE_F0 100 MHz 差分参考时钟，当控制器使用内部参考时钟时，可不接
PCIE_F1_CLKINp/n	100 MHz	PCIE_F1 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接
PCIE_H_CLKINp/n	100 MHz	PCIE_H 100 MHz 差分参考时钟，建议板级常连此时钟
PCIE_G0_CLKINp/n	100 MHz	PCIE_G0 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接
PCIE_G1_CLKINp/n	100 MHz	PCIE_G1 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接
SATA0_CLKINp/n	100 MHz	SATA0 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接
SATA1_CLKINp/n	100 MHz	SATA1 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接
SATA2_CLKINp/n	100 MHz	SATA2 100 MHz 差分参考时钟，当控制器不工作或者选用内部参考时钟时可不接
USB_XI	12 MHz	保留，通过 10Kohm 电阻接地
USB_CLKIN	12 MHz	12 MHz 晶振输入

注：

- 不使用的输入参考时钟可以不提供，但需通过10Kohm的电阻接地。
- 对于USB模块的参考时钟USB_CLKIN，当不使用USB接口唤醒功能时，可不接，此时需将引脚通过10Kohm的电阻接地；否则必须提供一个12MHz的板上时钟，注意板上时钟的电压幅值应为2.5V。

表 3-2. 桥片时钟输出

时钟	频率	说明
CLKOUT33M	33.3MHz	33.3 MHz 单端时钟输出。可以作为内存参考时钟供龙芯 3 号处理器使用。
CLKOUT100M	100 MHz	100 MHz 单端时钟输出。可以作为 HT 的参考时钟供龙芯 3 号处理器使用。
CLKOUT25M ¹	25 MHz	25 MHz 单端时钟输出。可以作为 core 参考时钟供龙芯 3 号处理器使用。



CLKOUTFLEX ¹	可变	频率可变单端时钟输出。默认为 100 MHz。
-------------------------	----	-------------------------

注：CLKOUT25M 和 CLKOUTFLEX 引脚可复用为 GPIO 功能。

3.2 时钟相关配置引脚

桥片设置了一些引脚来设置桥片时钟的生成方式，这些配置引脚主要作为备份设计，正常的主板设计除了 CLKSEL[7: 6]外不需要改变这些配置引脚的值（悬空或者保持为默认值）。桥片时钟相关配置引脚见表 3-3。

表 3-3. 桥片时钟相关配置引脚及说明

引脚	方向	默认值	说明
CLKSEL[1:0]	I	00b	保留
CLKSEL[3:2]	I	00b	保留
CLKSEL[5:4]	I	01b	保留
CLKSEL[6]	I	0	HT PHY 参考时钟选择。 0: 使用 200MHz 差分输入时钟； 1: 使用 100MHz 单端系统输入时钟。
CLKSEL[7]	I	1	HT 频率配置模式（推荐设置为 0）。 0: HT 时钟可采用软件配置模式； 1: HT 时钟仅可采用硬件配置模式。
CLKSEL[8]	I	0	保留

3.3 时钟功能描述

桥片内部包含了多个 PLL 和时钟分频模块，用于产生桥片需要的各个时钟。

桥片内部包含 5 个 PLL，其中每个 PLL 最多可以提供 3 个时钟输出。这 5 个 PLL 的用途分别为：

一个设备 PLL，产生 USB/SATA、GMAC 的时钟；

一个图形 PLL 用于产生 GPU、DC 以及显存的时钟；

一个系统 PLL 用于产生内部总线、HDA bitclk、flex clkout 的时钟；

两个 PIX PLL 用于产生两个独立的像素时钟，以支持双路独立显示；



4 功能描述

4.1 图形处理器

图形处理器工作频率范围为 100-500MHz。

4.2 显示控制器

显示控制器从显存中取出帧缓冲和光标信息输出到外部显示接口上。

龙芯 7A1000 的显示控制器支持的特性包括：

- 双路DVO接口显示
- 每路显示最大支持至 1920x1080@60Hz(也可支持1600x1200@60Hz)
- Monochrome、ARGB8888 两种模式硬件光标
- RGB444/RGB555/RGB565/RGB888 四种色深
- 输出抖动和伽马校正
- 可切换的双路帧缓冲
- 包含独立的DDC检测引脚（通过软件模拟I2C总线）

4.3 DDR3 SDRAM 显存接口描述

桥片内部集成的显存控制器的设计遵守 DDR3 SDRAM 的行业标准（JESD79-3）。支持 133-667MHz 工作频率。

桥片支持的最大片选数为 1，行地址数为 16，列地址数为 12，Bank 地址数为 3。

注：PCB设计时必须把SDRAM颗粒的未使用到的地址引脚拉低。

4.4 DVO 显示接口

DVO 显示接口的工作频率范围为 20M - 200MHz。

4.5 GMAC 控制器

桥片集成了两个 GMAC 控制器。

4.6 USB 控制器

桥片的 USB 主机端口特性如下：

- 兼容USB Rev 1.1 、USB Rev 2.0协议
- 兼容OHCI Rev 1.0 、EHCI Rev 1.0协议
- 支持LS（Low Speed）、FS（Full Speed）和HS（High Speed）的USB设备
- 支持六个端口，每个端口都可挂载LS、FS或HS设备
- 支持过流检测

4.7 SATA 控制器

桥片的 SATA 接口特性包括：

- 支持SATA 1代1.5Gbps和SATA2代3Gbps的传输
- 兼容串行ATA2.6和AHCI 1.1规范
- 支持状态指示

4.8 PCIE 控制器

龙芯 7A1000 共有 32 个 PCIE lane，分为五组：PCIE_F0, PCIE_F1, PCIE_G0, PCIE_G1, PCIE_H。其中 PCIE_F0 包含 4 个 lane，可以作为一个 PCIE x4 或者 4 个 PCIE x1 使用；PCIE_F1 包含 4 个 lane，可以作为一个 PCIE x4 或者 2 个 PCIE x1 使用（当作 2 个 PCIE x1 使用时，此时 lane2 和 lane3 不可用）；PCIE_G0 包含 8 个 lane，可以作为一个 PCIE x8 或者 2 个 PCIE x4 使用；PCIE_G1 包含 8 个 lane，可以作为一个 PCIE x8 或者 2 个 PCIE x4 使用；PCIE_H 包含 8 个 lane，可以作为一个 PCIE x8 或者 2 个 PCIE x4 使用；



PCIE 接口有 12 个 PCIE *_PRSNTn 引脚分别对应 12 个 PCIE 控制端口，它们用来使能对应的控制端口。PCB 板卡设计的原则是，使用哪个 PCIE 控制端口，就将对应的 PRSNTn 引脚拉低。如果使用板载的方式连接 PCIE 接口转换芯片，则需要把对应的 PRSNTn 引脚拉低；如果使用 PCIE 插槽，则需要将对应的 PRSNTn 引脚连接到 PCIE 插槽上。引脚的默认状态是上拉的，如果不使用对应的控制端口，相应的 PRSNTn 引脚悬空即可。

比如，某个主板设计将 PCIE_F0 接口的 lane0~2 当做 3 个 x1 的 PCIE 接口来使用，分别连接 PCIE 千兆网卡、PCIE 转 USB 3.0、PCIE 转 SATA 3.0 设备，则需要将 PCIE_F0_PRSNTn0~2 拉低，PCIE_F0_PRSNTn3 悬空即可。该主板将 PCIE_F1 接口的 4 个 lane 连接到一个 x4 的 PCIE 插槽来扩展设备，则需要将 PCIE_F1_PRSNTn0 连接到插槽的对应 PRSNT#引脚，PCIE_F1_PRSNTn1 悬空即可。

以上，每个控制器均支持 lane reverse 功能。当硬件使用该功能时，BIOS 软件需要进行相应修改以保证链路可以正常建立。

4.9 LPC 接口

桥片包含一组 LPC 接口，可连接 LPC 接口的从设备。

4.10 SPI 控制器

桥片的 SPI 控制器仅可作为主控制器使用。

4.11 电源管理

电源管理模块支持系统休眠与唤醒，支持 S3（待机到内存）、（待机到硬盘）、ACPI S5（软关机），并且支持电源失效检测和自动系统恢复。支持多种唤醒方式（USB，GMAC，电源开关等）。

4.12 GPIO

桥片共有 57 个 GPIO 引脚，其中 1 个为专用 GPIO，其余 56 个与其他功能复用。

4.13 UART 控制器

桥片集成了 1 个全功能的 UART 控制器，可以复用为 4 个双线 UART 接口。

4.14 I2C 控制器

桥片集成了 I2C 接口，最高传送速率 400kbps。

4.15 PWM

桥片集成了四路脉冲宽度调节/计数控制器。每路 PWM 有一路脉冲宽度输出信号和一路待测脉冲输入信号。

四路 PWM 的工作和控制方式完全相同。

4.16 RTC

RTC 接口包含晶体振荡器，外部连接 32.768KHZ 晶体。

4.17 HDA 控制器

HDA 控制器兼容 High Definition Audio Specification Revision 1.0a。

HDA 控制器支持 1 路音频输出和 3 路音频输入。

4.18 AC97 控制器

桥片的 AC97 控制器和 HDA 控制器复用同一组引脚。

AC97 控制器支持 1 路音频输出和 1 路音频输入。



5 引脚定义

5.1 引脚排列图

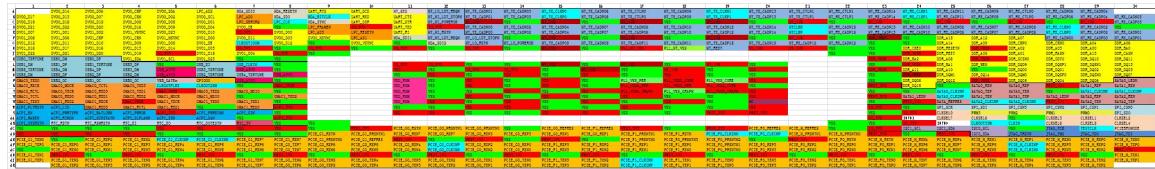


图 5-1. 芯片引脚排布总览 (顶视图)

	1	2	3	4	5	
A	DV00_D14	DV00_D06	DV00_CKP	DV00_SDA	A	
B	DV00_D17	DV00_D13	DV00_D07	DV00_CKN	DV00_D02	B
C	DV00_D19	DV00_D18	DV00_D15	DV00_D08	DV00_D05	C
D	DV00_D21	DV00_D22	DV00_D20	DV00_D16	DV00_D09	D
E	DV01_D07	DV01_D01	DV01_D02	DV01_VSYNC	DV01_D23	E
F	DV01_D08	DV01_D06	DV01_CKP	DV01_CKN	DV01_HSYNC	F
G	DV01_D12	DV01_D11	DV01_D10	DV01_D09	DV01_D05	G
H	DV01_D18	DV01_D17	DV01_D16	DV01_D13	DV01_D14	H
J	DV01_D22	DV01_D21	DV01_D20	DV01_D19	IO_3V3	J
K	USB0_TXRTUNE	USB0_DM	USB0_DP	DV01_SDA	DV01_SCL	K
L	USB1_DM	USB1_DP	USB1_TXRTUNE	USB3_DP	VSS	L
M	USB5_TXRTUNE	USB4_DM	USB4_DP	USB3_DM	USB_A3V3	M
N	USB5_DM	USB5_DP	USB2_DP	USB2_DM	USB_A3V3	N
P	GMAC0_TXDO	USB2_OC	USB1_OC	USB0_OC	VSB_GATEn	P
R	GMAC0_RXCK	GMAC0_MDCK	GMAC0_TCTL	GMAC0_TXD3	CLKOUTFLEX	R
T	GMAC0_RCTL	GMAC0_TXCK	GMAC0_RXD3	GMAC0_RXD1	GMAC_VDDE	T
V	GMAC1_TCTL	GMAC0_RXDO	GMAC0_RXD1	GMAC0_RXD2	GMAC1_MDCK	V
V	GMAC1_RXD3	GMAC1_RXD2	GMAC1_RXCK	GMAC_VDDE	GMAC1_RXCK	V
W	ACPI_PLTRSTN	ACPI_LID	GMAC1_RXD3	GMAC1_RCTL	GMAC1_RXD1	W
Y	ACPI_EN	ACPI_PWRTYPE	ACPI_BATLOWN	ACPI_PWROK	ACPI_3V3	Y
AA	ACPI_WAKEN	ACPI_RINGN	ACPI_SUSSTATN	ACPI_SLPLANN	ACPI_S5N	AA
AB	ACPI_SYSRSTN	RTC_RSTN	RTC_RSMRSTN	RTC_XI	RTC_XO	AB
AC	VSS	VSS	VSS	VSS	VDD	AC
AD	VDD	VDD	VDD	VDD	VSS	AD
AE	PCIE_G1_TXNO	VSS	PCIE_G1_RXP2	PCIE_G1_RXN2	PCIE_G1_CLKINP	AE
AF	PCIE_G1_TXPO	PCIE_G1_RXPO	PCIE_G1_RXP1	PCIE_G1_RXP3	PCIE_G1_RXP4	AF
AG	VSS	PCIE_G1_RXNO	PCIE_G1_RXN1	PCIE_G1_RXN3	PCIE_G1_RXN4	AG
AH	PCIE_G1_TXN1	PEST_1V1	VSS	PEST_1V1	VSS	AH
AJ	PCIE_G1_TXP1	PCIE_G1_TXN2	PCIE_G1_TXN3	PCIE_G1_TXN5	PCIE_G1_TXN4	AJ
AK		PCIE_G1_TXP2	PCIE_G1_TXP3	PCIE_G1_TXP5	PCIE_G1_TXP4	AK
	1	2	3	4	5	

图 5-2. 芯片引脚排布 1/6 (顶视图, 从左至右)



	6	7	8	9	10	
A	LPC_AD2	HDA_SDIO	HDA_RESETN	UART_RTS	UART_DCD	A
B	DVO0_SCL	LPC_ADO	HDA_SDO	HDA_BITCLK	UART_RXD	B
C	DVO0_D01	LPC_SERIRQ	LPC_CLK	HDA_SYNC	UART_DSR	C
D	DVO0_D04	DVO0_DE	VSS	LPC_FRAMEN	IO_3V3	D
E	DVO0_D10	IO_3V3	DVO0_D00	LPC_AD3	LPC_RESETN	E
F	DVO1_D00	DVO1_D11	DVO0_D03	DVO0_HSYNC	LPC_AD1	F
G	DVO1_DE	CLKOUT100M	DVO0_D12	VSS	DVO0_VSYNC	G
H	DVO1_D03	IO_3V3	VSS	IO_3V3	VSS	H
J	DVO1_D15	DVO1_D04	IO_3V3	VSS		J
K	DVO1_D23	VSS	VSS			K
L	USB_XI	USB_CLKIN	VSS			L
M	USB3_TXRTUNE	USB_A3V3	VSS			M
N	USB2_TXRTUNE	USB4_TXRTUNE	USB_A3V3			N
P	GPIO00	USB_A3V3	VSS			P
R	CLKOUT25M	VSS	GMAC_VDDE			R
T	GMAC0_TXD2	GMAC0_MDIO	VSS			T
V	GMAC1_MDIO	VSS	GMAC1_TXD2			V
V	GMAC1_TXD0	GMAC1_TXD1	VSS			V
W	VSS	GMAC1_RXD0	ACPI_3V3			W
Y	ACPI_PWRBTNN	ACPI_S3N	VSS			Y
AA	ACPI_S4N	VSS	ACPI_3V3			AA
AB	RTC_DOTESTN	RTC_3V	VSS	VSS		AB
AC	VDD	VDD	VDD	VSS	PEST_3V3	AC
AD	VSS	VSS	VSS	PCIE_G1_RSTN	PCIE_G1_PRSNTN1	AD
AE	PCIE_G1_CLKINN	PCIE_G1_RXP7	PCIE_G1_RXN7	PCIE_G1_PRSNTNC	PCIE_G1_REFRES	AE
AF	PCIE_G1_RXP5	PCIE_G1_RXP6	PCIE_G0_TXP7	PCIE_G0_RXP6	PCIE_G0_RXP5	AF
AG	PCIE_G1_RXN5	PCIE_G1_RXN6	PCIE_G0_TXN7	PCIE_G0_RXN6	PCIE_G0_RXN5	AG
AH	PEST_1V1	VSS	PEST_1V1	VSS	PEST_1V1	AH
AJ	PCIE_G1_TXN6	PCIE_G1_TXN7	PCIE_G0_TXN6	PCIE_G0_TXN5	PCIE_G0_TXN4	AJ
AK	PCIE_G1_TXP6	PCIE_G1_TXP7	PCIE_G0_TXP6	PCIE_G0_TXP5	PCIE_G0_TXP4	AK
	6	7	8	9	10	

图 5-3. 芯片引脚排布 2/6 (顶视图, 从左至右)



	11	12	13	14	15	
A	HT_8X2	HT_LO_LDT_REQN	HT_TX_CADN01	HT_TX_CADN03	HT_TX_CLKNO	A
B	UART_CTS	HT_HI_LDT_STOPN	HT_TX_CADP01	HT_TX_CADP03	HT_TX_CLKPO	B
C	UART_DTR	HT_HI_POWEROK	HT_1V2	VSS	HT_1V2	C
D	UART_TXD	IO_3V3	HT_TX_CADN00	HT_TX_CADN02	HT_TX_CADN04	D
E	UART_RI	HT_HI_RSTN	HT_TX_CADP00	HT_TX_CADP02	HT_TX_CADP04	E
F	HDA_SDI1	HT_HI_LDT_REQN	HT_LO_LDT_STOPN	VSS	HT_1V2	F
G	VSS	HDA_SDI2	HT_LO_RSTN	HT_LO_POWEROK	HT_TX_CADP05	G
H	IO_3V3	VSS	IO_3V3	VSS	HT_1V2	H
J						J
K						K
L	IO_3V3	IO_3V3	VSS	VSS	HT_1V2	L
M	VDD	VSS	IO_3V3	IO_3V3	VSS	M
N	VSS	VDD	VSS	VDD	VSS	N
P	VDD_RSM	VSS	VDD	VSS	VDD	P
R	VDD_RSM	VSS	VDD	VSS	VDD	R
T	VDD_RSM	VSS	VSS	VDD	VSS	T
V	VDD_RSM	VSS	VDD	VSS	VDD	V
V	VDD_RSM	VDD	VSS	VDD	VSS	V
W	VSS	VSS	VDD	VDD	VSS	W
Y	VDD	VDD	VSS	VSS	VDD	Y
AA						AA
AB						AB
AC	PCIE_GO_RSTN	PCIE_GO_PRSNTN1	PCIE_GO_PRSNTN0	VSS	PCIE_GO_REFRES	AC
AD	PCIE_GO_RXN7	PCIE_GO_RXP7	PCIE_GO_RXN3	PCIE_GO_RXP3	PCIE_GO_RXN1	AD
AE	PEST_1V1	VSS	PEST_1V1	VSS	PEST_1V1	AE
AF	PCIE_GO_RXP4	PCIE_GO_CLKINP	PCIE_GO_RXP2	PCIE_GO_RXPO	PCIE_F1_RXP3	AF
AG	PCIE_GO_RXN4	PCIE_GO_CLKINN	PCIE_GO_RXN2	PCIE_GO_RXN0	PCIE_F1_RXN3	AG
AH	VSS	PEST_1V1	VSS	PEST_1V1	VSS	AH
AJ	PCIE_GO_TXN3	PCIE_GO_TXN2	PCIE_GO_TXN1	PCIE_GO_TXN0	PCIE_F1_TXN3	AJ
AK	PCIE_GO_TXP3	PCIE_GO_TXP2	PCIE_GO_TXP1	PCIE_GO_TXPO	PCIE_F1_TXP3	AK
	11	12	13	14	15	

图 5-4. 芯片引脚排布 3/6 (顶视图, 从左至右)



	16	17	18	19	20	
A	HT_TX_CADN06	HT_TX_CTLNO	HT_TX_CADN09	HT_TX_CLKN1	HT_TX_CADN13	A
B	HT_TX_CADP06	HT_TX_CTLPO	HT_TX_CADP09	HT_TX_CLKP1	HT_TX_CADP13	B
C	VSS	HT_1V2	VSS	HT_1V2	VSS	C
D	HT_TX_CADN07	HT_TX_CADN08	HT_TX_CADN10	HT_TX_CADN12	HT_TX_CADN14	D
E	HT_TX_CADP07	HT_TX_CADP08	HT_TX_CADP10	HT_TX_CADP12	HT_TX_CADP14	E
F	VSS	HT_1V2	VSS	HT_1V2	VSS	F
G	HT_TX_CADN05	HT_TX_CADP11	HT_TX_CADN11	HT_TX_CADP15	HT_TX_CADN15	G
H	VSS	PLL_HT_VDD	PLL_HT_VSS	HT_REXT	HT_1V8	H
J						J
K						K
L	VSS	HT_1V2	VSS	HT_1V8	VSS	L
M	HT_1V2	VSS	HT_1V8	VSS	VDD	M
N	VDD	VSS	VDD	VSS	VSS	N
P	VSS	PLL_VSS_PER	PLL_VDDD_CORE	PLL_VSS_CORE	VDD	P
R	VSS	PLL_VDDA_PER	PLL_VDDD_PER	PLL_VDDA_CORE	VSS	R
T	VDD	PLL_VDDA_GRAPH	PLL_VSS_GRAPH	PLL_VDDD_GRAPH	VDD	T
V	VSS	VDD	VSS	VSS	VDD	V
V	VDD	VSS	VDD	VSS	NC	V
W	VSS	VDD	VSS	VSS	VDD	W
Y	VDD	VSS	VSS	PEST_3V3	PEST_3V3	Y
AA						AA
AB						AB
AC	PCIE_F1_REFRES	PEST_3V3	VSS	PEST_3V3	PCIE_F0_REFRES	AC
AD	PCIE_G0_RXP1	PCIE_F1_PRSNTN1	PCIE_F1_RSTN	PCIE_F0_CLKINN	PCIE_F0_CLKINP	AD
AE	VSS	PCIE_F1_PRSNTN0	PCIE_F0_PRSNTN3	PCIE_F0_PRSNTN2	VSS	AE
AF	PCIE_F1_RXP2	PCIE_F1_RXP1	PCIE_F1_RXP0	PCIE_F0_PRSNTN1	PCIE_F0_RXP3	AF
AG	PCIE_F1_RXN2	PCIE_F1_RXN1	PCIE_F1_RXN0	PCIE_F0_PRSNTN0	PCIE_F0_RXN3	AG
AH	PEST_1V1	VSS	PEST_1V1	VSS	PEST_1V1	AH
AJ	PCIE_F1_TXN2	PCIE_F1_CLKINN	PCIE_F1_TXN1	PCIE_F1_TXN0	PCIE_F0_TXN3	AJ
AK	PCIE_F1_TXP2	PCIE_F1_CLKINP	PCIE_F1_TXP1	PCIE_F1_TXP0	PCIE_F0_TXP3	AK
	16	17	18	19	20	

图 5-5. 芯片引脚排布 4/6 (顶视图, 从左至右)



	21	22	23	24	25	
A	HT_TX_CTLN1	HT_RX_CTLN1	HT_RX_CADN14	HT_RX_CLKN1	HT_RX_CADN11	A
B	HT_TX_CTLP1	HT_RX_CTLP1	HT_RX_CADP14	HT_RX_CLKP1	HT_RX_CADP11	B
C	HT_1V8	VSS	HT_1V8	VSS	HT_1V8	C
D	HTCLKN	HT_RX_CADN15	HT_RX_CADN13	HT_RX_CADN10	HT_RX_CADN08	D
E	HTCLKP	HT_RX_CADP15	HT_RX_CADP13	HT_RX_CADP10	HT_RX_CADP08	E
F	HT_1V8	VSS	DDR_VREF	VSS	DDR_A15	F
G	HT_RX_CADP12	HT_RX_CADN12	VSS	VSS	DDR_A14	G
H	HT_1V8	VSS	VSS	DDR_CKE0	DDR_RESETN	H
J		VSS	VSS	DDR_VDDE	DDR_REXT	J
K			DDR_VDDE	DDR_BA2	DDR_A08	K
L			VSS	DDR_VDDE	DDR_BA1	L
M			DDR_VDDE	DDR_A11	DDR_A10	M
N			VSS	DDR_VREF	DDR_DQM1	N
P			VSS	DDR_DQ08	DDR_DQ12	P
R		PEST_3V3	DDR_DQ15	VSS		R
T		VSS	VSS	SATAO_CLKINN		T
V		PEST_3V3	SATA1_LEDN	SATAO_CLKINP		V
V		VSS	PEST_1V1	SATA_REFRES		V
W		IO_3V3	VSS	SPI_SCK		W
Y		VSS	IO_3V3	CLKSEL0		Y
AA		IO_3V3	INTN1	CLKSEL7		AA
AB		VSS	VSS	IO_3V3	INTNO	AB
AC	PCIE_H_REFRES	VSS	IO_3V3	I2C1_SCL	I2C1_SDA	AC
AD	PCIE_H_PRSNTN1	PCIE_H_PRSNTN0	PEST_3V3	VSS	PEST_1V1	AD
AE	PEST_1V1	PCIE_F0_RSTN	PCIE_H_RSTN	PCIE_H_RXN4	PCIE_H_RXP4	AE
AF	PCIE_F0_RXP2	PCIE_F0_RXP0	PCIE_F0_RXP1	PCIE_H_RXP6	PCIE_H_RXP7	AF
AG	PCIE_F0_RXN2	PCIE_F0_RXN0	PCIE_F0_RXN1	PCIE_H_RXN6	PCIE_H_RXN7	AG
AH	VSS	PEST_1V1	VSS	PEST_1V1	VSS	AH
AJ	PCIE_F0_TXN2	PCIE_F0_TXN1	PCIE_F0_TXN0	PCIE_H_TXN7	PCIE_H_TXN6	AJ
AK	PCIE_F0_TXP2	PCIE_F0_TXP1	PCIE_F0_TXP0	PCIE_H_TXP7	PCIE_H_TXP6	AK
	21	22	23	24	25	

图 5-6. 芯片引脚排布 5/6 (顶视图, 从左至右)



	26	27	28	29	30	
A	HT_RX_CADN09	HT_RX_CTLN0	HT_RX_CADN06	HT_RX_CADN04		A
B	HT_RX_CADP09	HT_RX_CTLPO	HT_RX_CADP06	HT_RX_CADP04	HT_RX_CADN03	B
C	VSS	HT_1V8	VSS	HT_1V8	HT_RX_CADP03	C
D	HT_RX_CADN07	HT_RX_CADN05	HT_RX_CLKNO	HT_RX_CADN02	VSS	D
E	HT_RX_CADP07	HT_RX_CADP05	HT_RX_CLKPO	HT_RX_CADP02	HT_RX_CADN01	E
F	DDR_A12	DDR_A07	HT_RX_CADN00	HT_RX_CADP00	HT_RX_CADP01	F
G	DDR_A09	DDR_CKPO	DDR_CKNO	DDR_A04	DDR_A06	G
H	DDR_VDDE	DDR_A02	DDR_A03	DDR_A00	DDR_BA0	H
J	DDR_A05	DDR_A01	DDR_RASN	DDR_A13	DDR_CASN	J
K	DDR_VDDE	DDR_SCSN0	DDR_ODTO	DDR_DQ10	DDR_DQ11	K
L	DDR_WEN	DDR_DQ09	DDR_DQSP1	DDR_DQSN1	DDR_DQ13	L
M	VSS	DDR_DQ00	DDR_DQ01	DDR_DQ02	DDR_DQ03	M
N	DDR_DQ14	DDR_DQMO	DDR_DQSP0	DDR_DQSN0	DDR_DQ07	N
P	DDR_VDDE	DDR_DQ05	DDR_DQ04	DDR_DQ06	SATA0_LEDN	P
R	SATA0_RXN	SATA0_RXP	PEST_1V1	SATA1_RXP	SATA1_RXN	R
T	SATA0_TXP	SATA0_TXN	VSS	SATA1_CLKINN	SATA1_CLKINP	T
V	SATA1_TXN	SATA1_TXP	SATA2_LEDN	SATA2_RXP	SATA2_RXN	V
V	SATA2_CLKINP	SATA2_CLKINN	PEST_1V1	SATA2_TXN	SATA2_TXP	V
W	SPI_SDI	SPI_CSN3	SPI_CSN2	SPI_CSN1	SPI_CSN0	W
Y	PWM3	PWM2	PWM1	PWM0	SPI_SDO	Y
AA	CLKSEL6	VSS	CLKSEL3	CLKSEL1	CLKSEL2	AA
AB	CLKOUT33M	CLKIN	CLKSEL8	CLKSEL5	CLKSEL4	AB
AC	I2C0_SCL	VSS	JTAG_TCK	TESTCLK	PCIEBRGMODE	AC
AD	I2C0_SDA	JTAG_TRSTN	JTAG_TMS	JTAG_TDO	JTAG_TDI	AD
AE	PCIE_H_RXN1	PCIE_H_RXP1	PCIE_H_RXN0	PCIE_H_RXPO	PCIE_H_TXN0	AE
AF	PCIE_H_RXP5	PCIE_H_CLKINP	PCIE_H_RXP3	PCIE_H_RXP2	PCIE_H_TXPO	AF
AG	PCIE_H_RXN5	PCIE_H_CLKINN	PCIE_H_RXN3	PCIE_H_RXN2	PEST_1V1	AG
AH	PEST_1V1	VSS	PEST_1V1	VSS	PCIE_H_TXN1	AH
AJ	PCIE_H_TXN5	PCIE_H_TXN4	PCIE_H_TXN3	PCIE_H_TXN2	PCIE_H_TXP1	AJ
AK	PCIE_H_TXP5	PCIE_H_TXP4	PCIE_H_TXP3	PCIE_H_TXP2		AK
	26	27	28	29	30	

图 5-7. 芯片引脚排布 6/6 (顶视图, 从左至右)

5.2 引脚排列表

表 5-1. 芯片引脚排列 1/6 (按照信号名称排列)

Net Name	Pin #	Net Name	Pin #	Net Name	Pin #
ACPI_BATLOWN	Y3	DDR_CKN0	G28	DVO0_D18	C2
ACPI_EN	Y1	DDR_CKP0	G27	DVO0_D19	C1
ACPI_LID	W2	DDR_DQ00	M27	DVO0_D20	D3
ACPI_PLTRSTN	W1	DDR_DQ01	M28	DVO0_D21	D1
ACPI_PWRBTNN	Y6	DDR_DQ02	M29	DVO0_D22	D2
ACPI_PWROK	Y4	DDR_DQ03	M30	DVO0_D23	E5
ACPI_PWRTYPE	Y2	DDR_DQ04	P28	DVO0_DE	D7
ACPI_RINGN	AA2	DDR_DQ05	P27	DVO0_HSYNC	F9
ACPI_S3N	Y7	DDR_DQ06	P29	DVO0_SCL	B6
ACPI_S4N	AA6	DDR_DQ07	N30	DVO0_SDA	A5
ACPI_S5N	AA5	DDR_DQ08	P24	DVO0_VSYNC	G10
ACPI_SLPLANN	AA4	DDR_DQ09	L27	DVO1_CKN	F4
ACPI_SUSSTATN	AA3	DDR_DQ10	K29	DVO1_CKP	F3
ACPI_SYSRSTN	AB1	DDR_DQ11	K30	DVO1_D00	F6
ACPI_WAKEN	AA1	DDR_DQ12	P25	DVO1_D01	E2
CLKIN	AB27	DDR_DQ13	L30	DVO1_D02	E3



CLKOUT100M	G7	DDR_DQ14	N26	DVO1_D03	H6
CLKOUT25M	R6	DDR_DQ15	R24	DVO1_D04	J7
CLKOUT33M	AB26	DDR_DQM0	N27	DVO1_D05	G5
CLKOUTFLEX	R5	DDR_DQM1	N25	DVO1_D06	F2
CLKSEL0	Y25	DDR_DQSN0	N29	DVO1_D07	E1
CLKSEL1	AA29	DDR_DQSN1	L29	DVO1_D08	F1
CLKSEL2	AA30	DDR_DQSP0	N28	DVO1_D09	G4
CLKSEL3	AA28	DDR_DQSP1	L28	DVO1_D10	G3
CLKSEL4	AB30	DDR_ODT0	K28	DVO1_D11	G2
CLKSEL5	AB29	DDR_RASN	J28	DVO1_D12	G1
CLKSEL6	AA26	DDR_RESETN	H25	DVO1_D13	H4
CLKSEL7	AA25	DDR_REXT	J25	DVO1_D14	H5
CLKSEL8	AB28	DDR_SCSN0	K27	DVO1_D15	J6
DDR_A00	H29	DDR_WEN	L26	DVO1_D16	H3
DDR_A01	J27	DVO0_CKN	B4	DVO1_D17	H2
DDR_A02	H27	DVO0_CKP	A4	DVO1_D18	H1
DDR_A03	H28	DVO0_D00	E8	DVO1_D19	J4
DDR_A04	G29	DVO0_D01	C6	DVO1_D20	J3
DDR_A05	J26	DVO0_D02	B5	DVO1_D21	J2
DDR_A06	G30	DVO0_D03	F8	DVO1_D22	J1
DDR_A07	F27	DVO0_D04	D6	DVO1_D23	K6
DDR_A08	K25	DVO0_D05	C5	DVO1_DE	G6
DDR_A09	G26	DVO0_D06	A3	DVO1_HSYNC	F5
DDR_A10	M25	DVO0_D07	B3	DVO1_SCL	K5
DDR_A11	M24	DVO0_D08	C4	DVO1_SDA	K4
DDR_A12	F26	DVO0_D09	D5	DVO1_VSYNC	E4
DDR_A13	J29	DVO0_D10	E6	GMAC0_MDCK	R2
DDR_A14	G25	DVO0_D11	F7	GMAC0_MDIO	T7
DDR_A15	F25	DVO0_D12	G8	GMAC0_RCTL	T1
DDR_BA0	H30	DVO0_D13	B2	GMAC0_RXCK	R1
DDR_BA1	L25	DVO0_D14	A2	GMAC0_RXD0	U2
DDR_BA2	K24	DVO0_D15	C3	GMAC0_RXD1	U3
DDR_CASN	J30	DVO0_D16	D4	GMAC0_RXD2	U4
DDR_CKE0	H24	DVO0_D17	B1	GMAC0_RXD3	T3

表 5-2. 芯片引脚排列 2/6 (按照信号名称排列)

Net Name	Pin #	Net Name	Pin #	Net Name	Pin #
GMAC0_TCTL	R3	HT_RX_CADN12	G22	HT_TX_CADP06	B16
GMAC0_TXCK	T2	HT_RX_CADN13	D23	HT_TX_CADP07	E16
GMAC0_TXD0	P1	HT_RX_CADN14	A23	HT_TX_CADP08	E17
GMAC0_TXD1	T4	HT_RX_CADN15	D22	HT_TX_CADP09	B18
GMAC0_TXD2	T6	HT_RX_CADP00	F29	HT_TX_CADP10	E18
GMAC0_TXD3	R4	HT_RX_CADP01	F30	HT_TX_CADP11	G17
GMAC1_MDCK	U5	HT_RX_CADP02	E29	HT_TX_CADP12	E19
GMAC1_MDIO	U6	HT_RX_CADP03	C30	HT_TX_CADP13	B20
GMAC1_RCTL	W4	HT_RX_CADP04	B29	HT_TX_CADP14	E20
GMAC1_RXCK	V3	HT_RX_CADP05	E27	HT_TX_CADP15	G19
GMAC1_RXD0	W7	HT_RX_CADP06	B28	HT_TX_CLKN0	A15
GMAC1_RXD1	W5	HT_RX_CADP07	E26	HT_TX_CLKN1	A19
GMAC1_RXD2	V2	HT_RX_CADP08	E25	HT_TX_CLKP0	B15
GMAC1_RXD3	W3	HT_RX_CADP09	B26	HT_TX_CLKP1	B19
GMAC1_TCTL	U1	HT_RX_CADP10	E24	HT_TX_CTLN0	A17
GMAC1_TXCK	V5	HT_RX_CADP11	B25	HT_TX_CTLN1	A21
GMAC1_TXD0	V6	HT_RX_CADP12	G21	HT_TX_CTLP0	B17
GMAC1_TXD1	V7	HT_RX_CADP13	E23	HT_TX_CTLP1	B21



GMAC1_TXD2	U8	HT_RX_CADP14	B23	HTCLKN	D21
GMAC1_TXD3	V1	HT_RX_CADP15	E22	HTCLKP	E21
GPIO00	P6	HT_RX_CLKN0	D28	I2C0_SCL	AC26
HDA_BITCLK	B9	HT_RX_CLKN1	A24	I2C0_SDA	AD26
HDA_RESETN	A8	HT_RX_CLKP0	E28	I2C1_SCL	AC24
HDA_SDIO	A7	HT_RX_CLKP1	B24	I2C1_SDA	AC25
HDA_SD1	F11	HT_RX_CTLN0	A27	INTN0	AB25
HDA_SD2	G12	HT_RX_CTLN1	A22	INTN1	AA24
HDA_SDO	B8	HT_RX_CTLP0	B27	JTAG_TCK	AC28
HDA_SYNC	C9	HT_RX_CTLP1	B22	JTAG_TDI	AD30
HT_8X2	A11	HT_TX_CADN00	D13	JTAG_TDO	AD29
HT_HI_LDT_REQN	F12	HT_TX_CADN01	A13	JTAG_TMS	AD28
HT_HI_LDT_STOPN	B12	HT_TX_CADN02	D14	JTAG_TRSTN	AD27
HT_HI_POWEROK	C12	HT_TX_CADN03	A14	LPC_AD0	B7
HT_HI_RSTN	E12	HT_TX_CADN04	D15	LPC_AD1	F10
HT_LO_LDT_REQN	A12	HT_TX_CADN05	G16	LPC_AD2	A6
HT_LO_LDT_STOPN	F13	HT_TX_CADN06	A16	LPC_AD3	E9
HT_LO_POWEROK	G14	HT_TX_CADN07	D16	LPC_CLK	C8
HT_LO_RSTN	G13	HT_TX_CADN08	D17	LPC_FRAMEN	D9
HT_REXT	H19	HT_TX_CADN09	A18	LPC_RESETN	E10
HT_RX_CADN00	F28	HT_TX_CADN10	D18	LPC_SERIRQ	C7
HT_RX_CADN01	E30	HT_TX_CADN11	G18	PCIE_F0_CLKINN	AD19
HT_RX_CADN02	D29	HT_TX_CADN12	D19	PCIE_F0_CLKINP	AD20
HT_RX_CADN03	B30	HT_TX_CADN13	A20	PCIE_F0_PRSNTN0	AG19
HT_RX_CADN04	A29	HT_TX_CADN14	D20	PCIE_F0_PRSNTN1	AF19
HT_RX_CADN05	D27	HT_TX_CADN15	G20	PCIE_F0_PRSNTN2	AE19
HT_RX_CADN06	A28	HT_TX_CADP00	E13	PCIE_F0_PRSNTN3	AE18
HT_RX_CADN07	D26	HT_TX_CADP01	B13	PCIE_F0_REFRES	AC20
HT_RX_CADN08	D25	HT_TX_CADP02	E14	PCIE_F0_RSTN	AE22
HT_RX_CADN09	A26	HT_TX_CADP03	B14	PCIE_F0_RXN0	AG22
HT_RX_CADN10	D24	HT_TX_CADP04	E15	PCIE_F0_RXN1	AG23
HT_RX_CADN11	A25	HT_TX_CADP05	G15	PCIE_F0_RXN2	AG21

表 5-3. 芯片引脚排列 3/6 (按照信号名称排列)

Net Name	Pin #	Net Name	Pin #	Net Name	Pin #
PCIE_F0_RXN3	AG20	PCIE_G0_RXP1	AD16	PCIE_G1_TXN5	AJ4
PCIE_F0_RXP0	AF22	PCIE_G0_RXP2	AF13	PCIE_G1_TXN6	AJ6
PCIE_F0_RXP1	AF23	PCIE_G0_RXP3	AD14	PCIE_G1_TXN7	AJ7
PCIE_F0_RXP2	AF21	PCIE_G0_RXP4	AF11	PCIE_G1_TXP0	AF1
PCIE_F0_RXP3	AF20	PCIE_G0_RXP5	AF10	PCIE_G1_TXP1	AJ1
PCIE_F0_TXN0	AJ23	PCIE_G0_RXP6	AF9	PCIE_G1_TXP2	AK2
PCIE_F0_TXN1	AJ22	PCIE_G0_RXP7	AD12	PCIE_G1_TXP3	AK3
PCIE_F0_TXN2	AJ21	PCIE_G0_TXN0	AJ14	PCIE_G1_TXP4	AK5
PCIE_F0_TXN3	AJ20	PCIE_G0_TXN1	AJ13	PCIE_G1_TXP5	AK4
PCIE_F0_TXP0	AK23	PCIE_G0_TXN2	AJ12	PCIE_G1_TXP6	AK6
PCIE_F0_TXP1	AK22	PCIE_G0_TXN3	AJ11	PCIE_G1_TXP7	AK7
PCIE_F0_TXP2	AK21	PCIE_G0_TXN4	AJ10	PCIE_H_CLKINN	AG27
PCIE_F0_TXP3	AK20	PCIE_G0_TXN5	AJ9	PCIE_H_CLKINP	AF27
PCIE_F1_CLKINN	AJ17	PCIE_G0_TXN6	AJ8	PCIE_H_PRSNTN0	AD22
PCIE_F1_CLKINP	AK17	PCIE_G0_TXN7	AG8	PCIE_H_PRSNTN1	AD21
PCIE_F1_PRSNTN0	AE17	PCIE_G0_TXP0	AK14	PCIE_H_REFRES	AC21
PCIE_F1_PRSNTN1	AD17	PCIE_G0_TXP1	AK13	PCIE_H_RSTN	AE23
PCIE_F1_REFRES	AC16	PCIE_G0_TXP2	AK12	PCIE_H_RXN0	AE28



PCIE_F1_RSTN	AD18	PCIE_G0_TXP3	AK11	PCIE_H_RXN1	AE26
PCIE_F1_RXN0	AG18	PCIE_G0_TXP4	AK10	PCIE_H_RXN2	AG29
PCIE_F1_RXN1	AG17	PCIE_G0_TXP5	AK9	PCIE_H_RXN3	AG28
PCIE_F1_RXN2	AG16	PCIE_G0_TXP6	AK8	PCIE_H_RXN4	AE24
PCIE_F1_RXN3	AG15	PCIE_G0_TXP7	AF8	PCIE_H_RXN5	AG26
PCIE_F1_RXP0	AF18	PCIE_G1_CLKINN	AE6	PCIE_H_RXN6	AG24
PCIE_F1_RXP1	AF17	PCIE_G1_CLKINP	AE5	PCIE_H_RXN7	AG25
PCIE_F1_RXP2	AF16	PCIE_G1_PRSNTN0	AE9	PCIE_H_RXP0	AE29
PCIE_F1_RXP3	AF15	PCIE_G1_PRSNTN1	AD10	PCIE_H_RXP1	AE27
PCIE_F1_TXN0	AJ19	PCIE_G1_REFRES	AE10	PCIE_H_RXP2	AF29
PCIE_F1_TXN1	AJ18	PCIE_G1_RSTN	AD9	PCIE_H_RXP3	AF28
PCIE_F1_TXN2	AJ16	PCIE_G1_RXN0	AG2	PCIE_H_RXP4	AE25
PCIE_F1_TXN3	AJ15	PCIE_G1_RXN1	AG3	PCIE_H_RXP5	AF26
PCIE_F1_RXP0	AK19	PCIE_G1_RXN2	AE4	PCIE_H_RXP6	AF24
PCIE_F1_RXP1	AK18	PCIE_G1_RXN3	AG4	PCIE_H_RXP7	AF25
PCIE_F1_RXP2	AK16	PCIE_G1_RXN4	AG5	PCIE_H_TXN0	AE30
PCIE_F1_RXP3	AK15	PCIE_G1_RXN5	AG6	PCIE_H_TXN1	AH30
PCIE_G0_CLKINN	AG12	PCIE_G1_RXN6	AG7	PCIE_H_TXN2	AJ29
PCIE_G0_CLKINP	AF12	PCIE_G1_RXN7	AE8	PCIE_H_TXN3	AJ28
PCIE_G0_PRSNTN0	AC13	PCIE_G1_RXP0	AF2	PCIE_H_TXN4	AJ27
PCIE_G0_PRSNTN1	AC12	PCIE_G1_RXP1	AF3	PCIE_H_TXN5	AJ26
PCIE_G0_REFRES	AC15	PCIE_G1_RXP2	AE3	PCIE_H_TXN6	AJ25
PCIE_G0_RSTN	AC11	PCIE_G1_RXP3	AF4	PCIE_H_TXN7	AJ24
PCIE_G0_RXN0	AG14	PCIE_G1_RXP4	AF5	PCIE_H_RXP0	AF30
PCIE_G0_RXN1	AD15	PCIE_G1_RXP5	AF6	PCIE_H_RXP1	AJ30
PCIE_G0_RXN2	AG13	PCIE_G1_RXP6	AF7	PCIE_H_RXP2	AK29
PCIE_G0_RXN3	AD13	PCIE_G1_RXP7	AE7	PCIE_H_RXP3	AK28
PCIE_G0_RXN4	AG11	PCIE_G1_TXN0	AE1	PCIE_H_RXP4	AK27
PCIE_G0_RXN5	AG10	PCIE_G1_TXN1	AH1	PCIE_H_RXP5	AK26
PCIE_G0_RXN6	AG9	PCIE_G1_TXN2	AJ2	PCIE_H_RXP6	AK25
PCIE_G0_RXN7	AD11	PCIE_G1_TXN3	AJ3	PCIE_H_RXP7	AK24
PCIE_G0_RXP0	AF14	PCIE_G1_TXN4	AJ5	PCIEBRGMODE	AC30

表 5-4. 芯片引脚排列 4/6 (按照信号名称排列)

Net Name	Pin #	Net Name	Pin #	Net Name	Pin #
PWM0	Y29	USB0_TXRTUNE	K1	HT_1V8	C27
PWM1	Y28	USB_XI	L6	HT_1V8	C29
PWM2	Y27	USB_CLKIN	L7	HT_1V8	F21
PWM3	Y26	USB1_DM	L1	HT_1V8	H20
RTC_DOTESTN	AB6	USB1_DP	L2	HT_1V8	H21
RTC_RS MRSTN	AB3	USB1_OC	P3	HT_1V8	L19
RTC_RSTN	AB2	USB1_TXRTUNE	L3	HT_1V8	M18
RTC_XI	AB4	USB2_DM	N4	IO_3V3	AA23
RTC_XO	AB5	USB2_DP	N3	IO_3V3	AB24
SATA_REFRES	V25	USB2_OC	P2	IO_3V3	AC23
SATA0_CLKINN	T25	USB2_TXRTUNE	N6	IO_3V3	D10
SATA0_CLKINP	U25	USB3_DM	M4	IO_3V3	D12
SATA0_LEDN	P30	USB3_DP	L4	IO_3V3	E7
SATA0_RXN	R26	USB3_TXRTUNE	M6	IO_3V3	H11
SATA0_RXP	R27	USB4_DM	M2	IO_3V3	H13
SATA0_TXN	T27	USB4_DP	M3	IO_3V3	H7
SATA0_TXP	T26	USB4_TXRTUNE	N7	IO_3V3	H9
SATA1_CLKINN	T29	USB5_DM	N1	IO_3V3	J5



SATA1_CLKINP	T30	USB5_DP	N2	IO_3V3	J8
SATA1_LEDN	U24	USB5_TXRTUNE	M1	IO_3V3	L11
SATA1_RXN	R30	VSB_GATEn	P5	IO_3V3	L12
SATA1_RXP	R29	ACPI_3V3	AA8	IO_3V3	M13
SATA1_TXN	U26	ACPI_3V3	W8	IO_3V3	M14
SATA1_TXP	U27	ACPI_3V3	Y5	IO_3V3	W23
SATA2_CLKINN	V27	DDR_VDDE	H26	IO_3V3	Y24
SATA2_CLKINP	V26	DDR_VDDE	J24	NC	V20
SATA2_LEDN	U28	DDR_VDDE	K23	PEST_1V1	AD25
SATA2_RXN	U30	DDR_VDDE	K26	PEST_1V1	AE11
SATA2_RXP	U29	DDR_VDDE	L24	PEST_1V1	AE13
SATA2_TXN	V29	DDR_VDDE	M23	PEST_1V1	AE15
SATA2_TXP	V30	DDR_VDDE	P26	PEST_1V1	AE21
SPI_CSN0	W30	DDR_VREF	F23	PEST_1V1	AG30
SPI_CSN1	W29	DDR_VREF	N24	PEST_1V1	AH10
SPI_CSN2	W28	GMAC_VDDE	R8	PEST_1V1	AH12
SPI_CSN3	W27	GMAC_VDDE	T5	PEST_1V1	AH14
SPI_SCK	W25	GMAC_VDDE	V4	PEST_1V1	AH16
SPI_SDI	W26	HT_1V2	C13	PEST_1V1	AH18
SPI_SDO	Y30	HT_1V2	C15	PEST_1V1	AH2
TESTCLK	AC29	HT_1V2	C17	PEST_1V1	AH20
UART_CTS	B11	HT_1V2	C19	PEST_1V1	AH22
UART_DCD	A10	HT_1V2	F15	PEST_1V1	AH24
UART_DSR	C10	HT_1V2	F17	PEST_1V1	AH26
UART_DTR	C11	HT_1V2	F19	PEST_1V1	AH28
UART RI	E11	HT_1V2	H15	PEST_1V1	AH4
UART RTS	A9	HT_1V2	L15	PEST_1V1	AH6
UART_RXD	B10	HT_1V2	L17	PEST_1V1	AH8
UART_TXD	D11	HT_1V2	M16	PEST_1V1	R28
USB0_DM	K2	HT_1V8	C21	PEST_1V1	V24
USB0_DP	K3	HT_1V8	C23	PEST_1V1	V28
USB0_OC	P4	HT_1V8	C25		

表 5-5. 芯片引脚排列 5/6 (按照信号名称排列)

Net Name	Pin #	Net Name	Pin #	Net Name	Pin #
PEST_3V3	AC10	VDD	U20	VSS	AH23
PEST_3V3	AC17	VDD	V12	VSS	AH25
PEST_3V3	AC19	VDD	V14	VSS	AH27
PEST_3V3	AD23	VDD	V16	VSS	AH29
PEST_3V3	R23	VDD	V18	VSS	AH3
PEST_3V3	U23	VDD	W13	VSS	AH5
PEST_3V3	Y19	VDD	W14	VSS	AH7
PEST_3V3	Y20	VDD	W17	VSS	AH9
PLL_HT_VDD	H17	VDD	W20	VSS	C14
PLL_HT_VSS	H18	VDD	Y11	VSS	C16
PLL_VDDA_CORE	R19	VDD	Y12	VSS	C18
PLL_VDDA_GRAPH	T17	VDD	Y15	VSS	C20
PLL_VDDA_PER	R17	VDD	Y16	VSS	C22
PLL_VDDD_CORE	P18	VDD_RSM	P11	VSS	C24
PLL_VDDD_GRAPH	T19	VDD_RSM	R11	VSS	C26
PLL_VDDD_PER	R18	VDD_RSM	T11	VSS	C28
PLL_VSS_CORE	P19	VDD_RSM	U11	VSS	D30
PLL_VSS_GRAPH	T18	VDD_RSM	V11	VSS	D8



PLL_VSS_PER	P17	VSS	AA27	VSS	F14
RTC_3V	AB7	VSS	AA7	VSS	F16
USB_A3V3	M5	VSS	AB22	VSS	F18
USB_A3V3	M7	VSS	AB23	VSS	F20
USB_A3V3	N5	VSS	AB8	VSS	F22
USB_A3V3	N8	VSS	AB9	VSS	F24
USB_A3V3	P7	VSS	AC1	VSS	G11
VDD	AC5	VSS	AC14	VSS	G23
VDD	AC6	VSS	AC18	VSS	G24
VDD	AC7	VSS	AC2	VSS	G9
VDD	AC8	VSS	AC22	VSS	H10
VDD	AD1	VSS	AC27	VSS	H12
VDD	AD2	VSS	AC3	VSS	H14
VDD	AD3	VSS	AC4	VSS	H16
VDD	AD4	VSS	AC9	VSS	H22
VDD	M11	VSS	AD24	VSS	H23
VDD	M20	VSS	AD5	VSS	H8
VDD	N12	VSS	AD6	VSS	J22
VDD	N14	VSS	AD7	VSS	J23
VDD	N16	VSS	AD8	VSS	J9
VDD	N18	VSS	AE12	VSS	K7
VDD	P13	VSS	AE14	VSS	K8
VDD	P15	VSS	AE16	VSS	L13
VDD	P20	VSS	AE2	VSS	L14
VDD	R13	VSS	AE20	VSS	L16
VDD	R15	VSS	AG1	VSS	L18
VDD	T14	VSS	AH11	VSS	L20
VDD	T16	VSS	AH13	VSS	L23
VDD	T20	VSS	AH15	VSS	L5
VDD	U13	VSS	AH17	VSS	L8
VDD	U15	VSS	AH19	VSS	M12
VDD	U17	VSS	AH21	VSS	M15

表 5-6. 芯片引脚排列 6/6 (按照信号名称排列)

Net Name	Pin #	Net Name	Pin #	Net Name	Pin #
VSS	M17	VSS	R20	VSS	V17
VSS	M19	VSS	R25	VSS	V19
VSS	M26	VSS	R7	VSS	V23
VSS	M8	VSS	T12	VSS	V8
VSS	N11	VSS	T13	VSS	W11
VSS	N13	VSS	T15	VSS	W12
VSS	N15	VSS	T23	VSS	W15
VSS	N17	VSS	T24	VSS	W16
VSS	N19	VSS	T28	VSS	W18
VSS	N20	VSS	T8	VSS	W19
VSS	N23	VSS	U12	VSS	W24
VSS	P12	VSS	U14	VSS	W6
VSS	P14	VSS	U16	VSS	Y13
VSS	P16	VSS	U18	VSS	Y14
VSS	P23	VSS	U19	VSS	Y17
VSS	P8	VSS	U7	VSS	Y18
VSS	R12	VSS	V13	VSS	Y23
VSS	R14	VSS	V15	VSS	Y8



VSS

R16



6 封装尺寸

芯片采用 FCBGA-804 封装，封装大小为 31mm×31mm。详细封装尺寸见图 6.1。

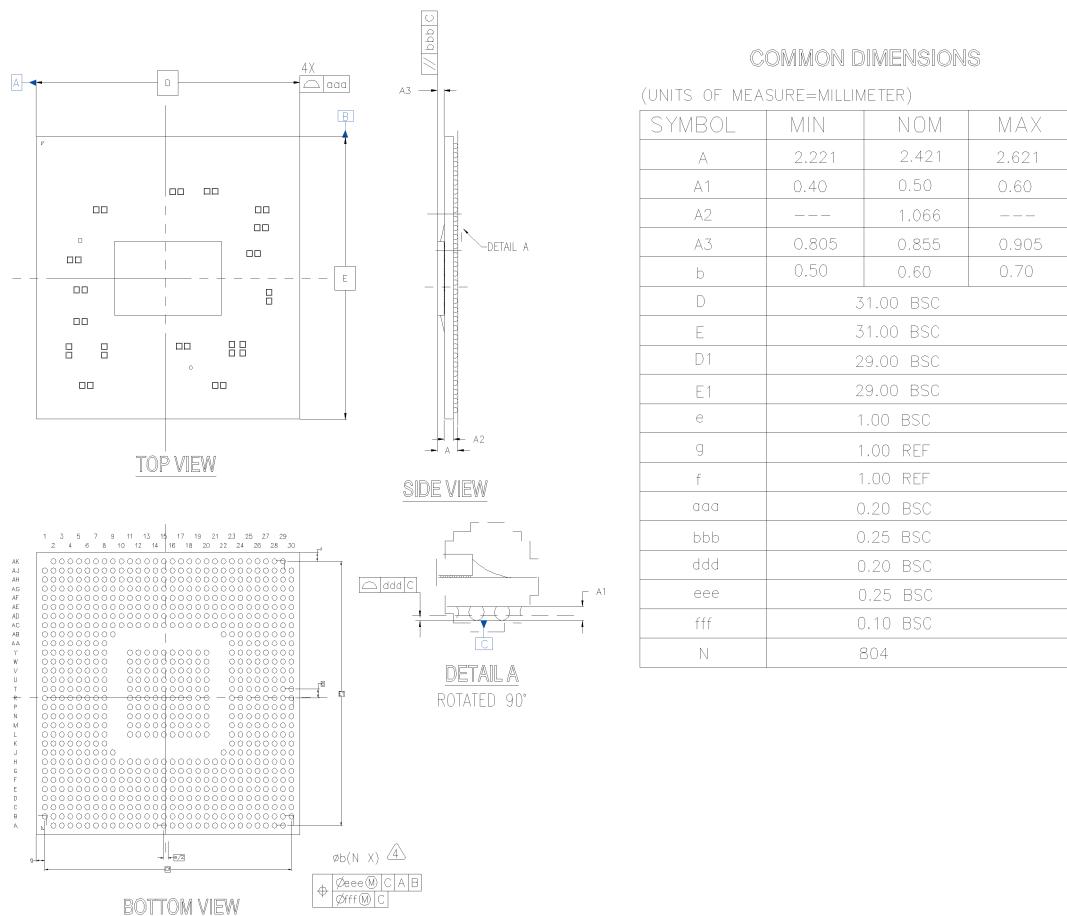


图 6-1. 封装尺寸

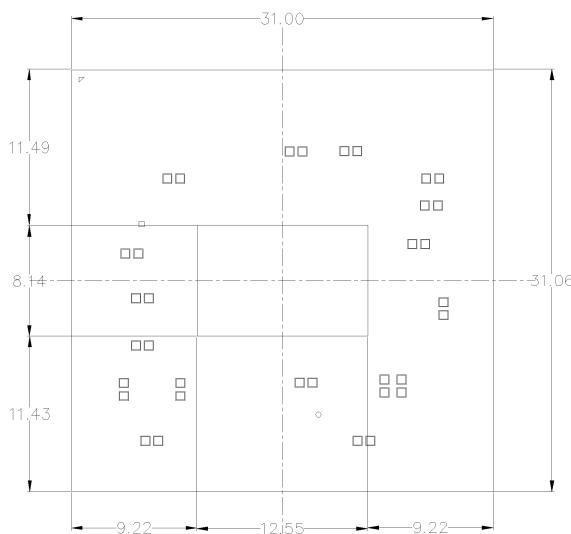


图 6-2. DIE 位置



7 电气特性

7.1 热特性

表 7-1. 芯片温度限额

参数	描述	最小值	最大值	
Tabsolute storage	芯片在非工作条件下的绝对保存温度。超过该温度范围，可能造成芯片损坏。	-65°C	150°C	
Tsustained storage	芯片在包装条件下的长时间存放温度范围。	-5°C	40°C	
RHsustained storage	芯片在包装条件下的长时间存放湿度范围。	60%@24°C		
Tj	芯片在工作条件下的结温范围。	-40°C	125°C	

表 7-2. 芯片功耗

	TDP	说明
Max	7.5W	1,2
Typical	4.1W	1,2
Max	5W	1,3
Typical	3.2W	1,3
Max	4.2W	1,4
Typical	2.5W	1,4

注:

1. 在环境温度20°C下测得。
2. 所有接口全部使用。
3. 一种PC应用（使用内置图形单元），包括：1个PCIe x8 + 4个PCIe x1 + 1 SATA + GPU + DC + 1路DVO 输出+ 所有其他功能。
4. 一种PC应用（使用外接显卡），包括：1个PCIe x8 + 4个PCIe x1 + 1 SATA + 所有其他功能（除去内置图形单元）。

7.2 绝对最大额定值

表 7-3. 芯片绝对最大额定电压

电源	相对于	限定值 (V)	描述
VDD	VSS	-0.5 到 1.3	Core power
VDD_RSM	VSS	-0.5 到 1.3	Resume core power
DDR_VDDE	VSS	-0.5 到 1.575	DDR3 IO power
DDR_VREF	VSS	-0.5 到 0.788	DDR3 ref power
HT_1V2	VSS	-0.5 到 1.3	HT 1.2V power
HT_1V8	VSS	-0.5 到 1.9	HT 1.8V power
PEST_1V1	VSS	-0.5 到 1.3	PCIe/SATA vp and vptx power
PEST_3V3	VSS	-0.5 到 3.6	PCIe/SATA vph power



GMAC_VDDE(3.3V)	VSS	-0.5 到 3.6	GMAC 3.3V power
GMAC_VDDE(2.5V)	VSS	-0.5 到 2.8	GMAC 2.5V power
USB_A3V3	VSS	-0.5 到 3.6	USB analog power
IO_3V3	VSS	-0.5 到 3.6	IO power
ACPI_3V3	VSS	-0.5 到 3.6	Resume IO power
RTC_3V	VSS	-0.5 到 3.6	RTC IO power
PLL_HT_VDD	PLL_VSS	-0.5 到 1.4	HT PLL analog and digital power
PLL_VDDA_CORE	PLL_VSS_CORE	-0.5 到 1.4	Core PLL analog power
PLL_VDDD_CORE	PLL_VSS_CORE	-0.5 到 1.4	Core PLL digital power
PLL_VDDA_PER	PLL_VSS_PER	-0.5 到 1.4	Peripheral PLL analog power
PLL_VDDD_PER	PLL_VSS_PER	-0.5 到 1.4	Peripheral PLL digital power
PLL_VDDA_GRAPH	PLL_VSS_GRAPH	-0.5 到 1.4	Graphic PLL analog power
PLL_VDDD_GRAPH	PLL_VSS_GRAPH	-0.5 到 1.4	Graphic PLL digital power

7.3 工作电源

表 7-4. 推荐的工作电压

电源	描述	范围			说明
		Min	Typ	Max	
VDD	Core power	1.045	1.100	1.155	
VDD_RSM	Resume core power	1.045	1.100	1.155	
DDR_VDDE	DDR3 IO power	1.425	1.500	1.575	
DDR_VREF	DDR3 ref power	0.735	0.750	0.765	
HT_1V2	HT 1.2V power	1.164	1.200	1.236	
HT_1V8	HT 1.8V power	1.746	1.800	1.854	
PEST_1V1	PCIE/SATA vp and vptx power	1.045	1.100	1.155	
PEST_3V3	PCIE/SATA vph power	3.135	3.300	3.465	
GMAC_VDDE	GMAC 3.3V power	3.135	3.300	3.465	
	GMAC 2.5V power	2.375	2.500	2.625	
USB_A3V3	USB analog power	3.135	3.300	3.465	
IO_3V3	IO power	3.135	3.300	3.465	
ACPI_3V3	Resume IO power	3.135	3.300	3.465	
RTC_3V	RTC IO power	2.500	2.800	3.000	
PLL_HT_VDD	HT PLL analog and digital power	1.200	1.250	1.300	1
PLL_VDDA_CORE	Core PLL analog power	1.200	1.250	1.300	
PLL_VDDD_CORE	Core PLL digital power	1.200	1.250	1.300	
PLL_VDDA_PER	Peripheral PLL analog power	1.200	1.250	1.300	
PLL_VDDD_PER	Peripheral PLL digital power	1.200	1.250	1.300	
PLL_VDDA_GRAPH	Graphic PLL analog power	1.200	1.250	1.300	
PLL_VDDD_GRAPH	Graphic PLL digital power	1.200	1.250	1.300	

注：PLL_HT_VDD 电压必须高于 HT_1V2 电压。

全芯片运行功耗最大不超过 8W。典型应用的功耗不超过 6W。

在环境温度 20°C 下，7A 芯片加装散热片和风扇的条件下，测得的芯片电流见下表。



表 7-5. 环境温度 20°C 下测得的芯片电流

		All func used ¹	Integrated Graphics ²		External graphics ³	
Voltage Rail	Voltage (V)	Icc max (A)	Icc Idle (A)	Icc max (A)	Icc Idle (A)	Icc max (A)
VDD	1.10	2.002	1.379	1.521	1.128	1.139
VDD_RSM	1.10	0.106	0.055	0.106	0.055	0.106
DDR_VDDE	1.50	0.357	0.315	0.249	0.225	0.108
DDR_VREF	0.75	<1mA	<1mA	<1mA	<1mA	<1mA
HT_1V2	1.20	0.498	0.415	0.498	0.415	0.498
HT_1V8	1.80	0.072	0.060	0.072	0.060	0.072
PEST_1V1	1.10	1.302	0.395	0.483	0.234	0.483
PEST_3V3	3.30	0.444	0.139	0.164	0.050	0.164
GMAC_VDDE ⁴	3.30	0.023	0.008	0.023	0.008	0.023
USB_A3V3	3.30	0.174	0.060	0.174	0.060	0.174
IO_3V3	3.30	0.069	0.053	0.060	0.045	0.015
ACPI_3V3	3.30	0.045	0.038	0.045	0.038	0.045
RTC_3V ⁵	2.80	N/A	N/A	N/A	N/A	N/A
PLL_VDD ⁶	1.25	<80mA	<80mA	<80mA	<80mA	<80mA

注:

1. 桥片的所有功能全部使能，包括：12个Port的PCIE（6个x4+6个x1），3个SATA，2路DVO输出，以及所有其他功能。
2. 一种PC应用（使用内置图形单元），包括：1个PCIE x8 + 4个PCIE x1 + 1个SATA + 1个GMAC + DC + 1路DVO输出 + 所有其他功能。
3. 一种PC应用（使用外接显卡），包括：1个PCIE x8 + 4个PCIE x1 + 1 SATA + 1个GMAC + 所有其他功能（除去内置图形单元——包括GPU、DC、GMEM）。
4. 工作在3.3V供电电压下。
5. RTC_3V在G3（物理断电）状态下的电流小于5 μA。
6. PLL_VDD包括：PLL_HT_VDD、PLL_VDDA/VDDD_CORE、PLL_VDDA/VDDD_PER、PLL_VDDA/VDDD_GRAPH。

7.4 DC 特性

表 7-6. 单端信号 DC 特性

类型	符号	参数	最小值	最大值	单位	测试条件
相关信号：						
INTn0/1, SATA_LEDn0/1/2, CLKOUT100M, CLKOUT33M, CLKOUTFLEX, CLKOUT25M, VSB_GATEn, GPIO00, ACPI_PLTRSTn, ACPI_SUSSTATn, ACPI_SLPLANn, ACPI_S5n, ACPI_S4n, ACPI_S3n, DVO0/1_D[23:0], DVO0/1_CKP/N, DVO0/1_HSYNC, DVO0/1_VSYNC, DVO0/1_DE, DVO0/1_SCL, DVO0/1_SDA, PCIE_F0_RSTn/PRSNTn0/1/2/3, PCIE_F1_RSTn/PRSNTn0/1, PCIE_G0_RSTn/PRSNTn0/1, PCIE_G1_RSTn/PRSNTn0/1, PCIE_H_RSTn/PRSNTn0/1, HDA_BITCLK, HDA_RESETn, HDA_SDIO/1/2, HDA_SDO, HDA_SYNC, GMAC0/1_MDCK, GMAC0/1_MDIO, GMAC0/1_RCTL, GMAC0/1_RXCK, GMAC0/1_RXD0/1/2/3, GMAC0/1_TCTL, GMAC0/1_TXCK, GMAC0/1_TXD0/1/2/3, USB0/1/2_OC, CLKIN, TESTCLK, LPC_CLK, ACPI_EN, ACPI_SYSRSTn, ACPI_RINGn, ACPI_WAKEn, ACPI_LID, ACPI_PWRTYPE, ACPI_BATLOWn, ACPI_PWRBTNn, ACPI_PWROK						
	VDD	供应电源	3.14	3.47	V	
输入	V _{IH}	输入高电压	2	VDD+0.3	V	



输出	V _{IL}	输入低电压	-0.3	0.8	V	
	I _{IL}	输入漏电电流	-	10	uA	
	C _{IN}	输入电容	1.5	2	pF	
	V _{OH}	输出高电压	2.4V	-	V	
	V _{OL}	输出低电压	-	0.4	V	
	I _{OZ}	三态输出漏电电流	-	10	mA	
	I _{OH}	输出高电压驱动电流	13	49	mA	@2.4V
	I _{OL}	输出低电压驱动电流	9.9	24	mA	@0.4V
<hr/>						
相关信号： JTAG_TCK, JTAG_TDO, JTAG_TDI, JTAG_TMS, JTAG_TRSTn, SPI_CS _n [3:0], SPI_SCK, SPI_SDI, SPI_SDO, LPC_AD[3:0], LPC_FRAME _n , LPC_RESETn, LPC_SERIRQ, UART_CTS/DCD/DSR/DTR/RI/RTS/RXD/TXD, PWM[3:0], I2C0/1_SCL/SDA, CLKSEL[8:0], HT_8X2, PCIEBRGMODE, HT_HT/LO_RSTn/POWEROK/LDT_STOPn/LDT_REQn,						
输入	V _{VDD}	供应电源	3.14	3.47	V	
	V _{IH}	输入高电压	2	V _{VDD} +0.3	V	
	V _{IL}	输入低电压	-0.3	0.8	V	
	I _{IL}	输入漏电电流	-	10	uA	
输出	C _{IN}	输入电容	1.5	2	pF	
	V _{OH}	输出高电压	2.4V	-	V	
	V _{OL}	输出低电压	-	0.4	V	
	I _{OZ}	三态输出漏电电流	-	10	mA	
	I _{OH}	输出高电压驱动电流	2.2	4.8	mA	@2.4V
	I _{OL}	输出低电压驱动电流	1.6	3.9	mA	@0.4V
	<hr/>					

表 7-7 输入单端参考时钟 DC 特性

符号	参数	最小值	最大值	单位
相关信号：CLKIN (100MHz)				
V	供电电压	2.97	3.63	V
V _{IH}	输入高电压	2	-	V
V _{IL}	输入低电压	-	0.8	V
C _{IN}	输入电容	-	2	pF
T _r	输入上升沿时间	-	3	ns
T _f	输入下降沿时间	-	3	ns
duty Cycle	占空比	40%~60%		
jitter	时钟抖动	-	40	ps

表 7-8 输入单端参考时钟 DC 特性

符号	参数	最小值	最大值	单位
相关信号：LPC_CLKIN (33.3MHz)				
V	供电电压	2.97	3.63	V
V _{IH}	输入高电压	2	-	V
V _{IL}	输入低电压	-	0.8	V
C _{IN}	输入电容	-	2	pF
T _r	输入上升沿时间	-	3	ns



T _f	输入下降沿时间	-	3	ns
duty Cycle	占空比	40%~60%		
jitter	时钟抖动	-	40	ps

表 7-9 输入单端参考时钟 DC 特性

符号	参数	最小值	最大值	单位
相关信号: USB_CLKIN (12MHz)				
V	供电电压	2.25	2.75	V
V _{IH}	输入高电压	1.65	-	V
V _{IL}	输入低电压	-	0.9	V
C _{IN}	输入电容	-	2	pF
T _r	输入上升沿时间	-	5	Ns
T _f	输入下降沿时间	-	5	Ns
duty Cycle	占空比	40%~60%		
jitter	时钟抖动	-	40	Ps

表 7-10 SATA 差分参考时钟特性

参数	要求
参考时钟频率类型	100M 差分时钟
参考时钟频率偏移	-350~350ppm
参考时钟随机抖动	<3ps
参考时钟周期间抖动	<150ps
占空比	40%~60%
共模电压	0~1.1V
差分输入摆幅	>0.66V
边沿时间	>0.6V/ns
参考差分时钟 skew	<200ps

表 7-11 PCIE 差分参考时钟特性

参考时钟频率类型	100M 差分时钟
参考时钟频率偏移	-300~300ppm
参考时钟周期间抖动	<150ps
占空比	40%~60%
共模电压	0~1.1V
差分输入摆幅	>0.66V
边沿时间	>0.6V/ns
参考差分时钟 skew	<200ps

表 7-12 HT 差分参考时钟特性

参考时钟频率类型	200M 差分时钟
参考时钟抖动	-250~250ppm
占空比	45%~55%
共模电压	0.3~0.6V
输入摆幅	>400mV
边沿时间	<1ns



7.5 AC 特性

TBD

7.6 电源管理和复位时序

7.6.1 使能 ACPI_EN

冷启动上电时序

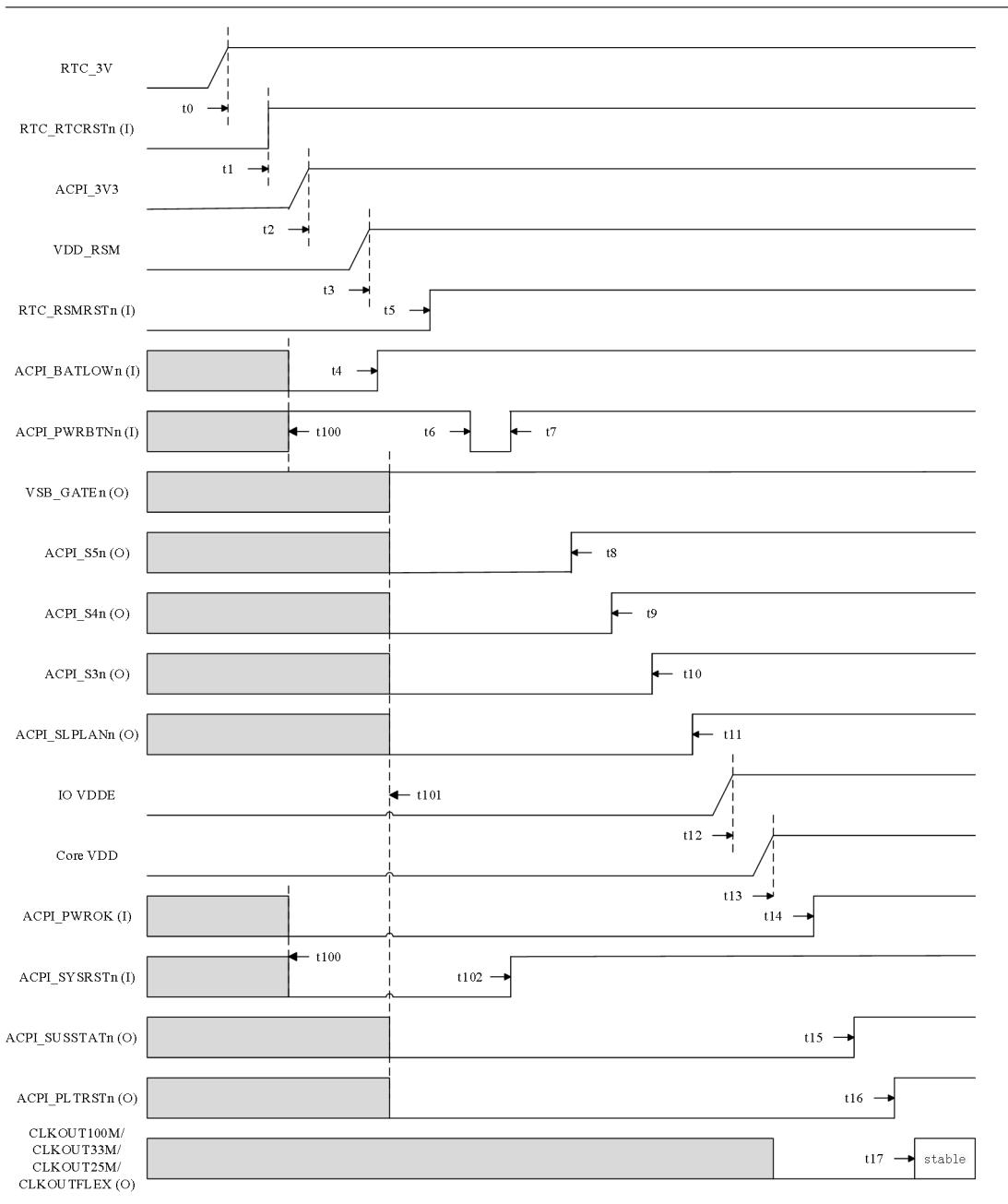


图 7-1. 冷启动上电时序 (RTC 掉电)

注：



1. IO VDDE包括: IO_3V3、DDR_VDDE/DDR_VREF、HT_1V8、HT_1V2、PEST_3V3、GMAC_VDDE、USB_A3V3。GMAC_VDDE和USB_A3V3也可和ACPI_3V3同时供电。
2. Core VDD包括: VDD、PEST_1V1、PLL_HT_VDD、PLL_VDDA_CORE、PLL_VDDD_CORE、PLL_VDDA_PER、PLL_VDDD_PER、PLL_VDDA_GRAPH、PLL_VDDD_GRAPH。

表 7-13. 上电时序要求

标记符	参数	需求	说明	注
t0	RTC 3V 电源稳定时刻			
t1	RTCSRSTn 解复位时刻	$t1 - t0 > 5\text{ms}$	RTCSRSTn 需要在 RTC 电源稳定之后解复位	
t2	ACPI_3V3 电源稳定时刻	见 t3		
t3	VDD_RSM 电源上电时刻	$t3 - t2 > 10\mu\text{s}$	ACPI_3V3 要先于 VDD_RSM 供电	
t4	RSM 域电量有效指示时刻	需求见 t8		
t5	RSMRSTn 解复位时刻	$t5 - t3 > 5\text{ms}$	RSMRSTn 需要在 RSM 域电源稳定之后解复位	
t6	PWRBTNn 按钮按下（信号变低）时刻	$t6 - t5 > 60\ \mu\text{s}$	PWRBTNn 信号在 RSMRSTn 解复位之后起作用	
t7	PWRBTNn 按钮释放（信号变高）时刻	$t7 - t6 > 20\text{ms}$	PWRBTNn 有效需要保持低电平的时间大于 20ms	
t8	S5n 状态退出时刻	$t8 - \max(t4, t7) > 150\mu\text{s}$ $t8 - \max(t4, t7) < 200\mu\text{s}$	在 BATLOWn 和 PWRBTNn 都退出之后，S5n 状态才会退出	
t9	S4n 状态退出时刻	$t9 - t8 > 120\mu\text{s}$ $t9 - t8 < 150\mu\text{s}$	S4n 在 S5n 退出之后退出	
t10	S3n 状态退出时刻	$t10 - t9 > 60\mu\text{s}$ $t10 - t9 < 90\mu\text{s}$	S3n 在 S4n 退出之后退出	
t11	SLPLANn 退出时刻	$t11 - t10 > 30\mu\text{s}$ $t11 - t10 < 60\mu\text{s}$	SLPLANn 在 S3n 退出之后退出	
t12	IO 引脚供电稳定时刻			
t13	core 供电稳定时刻	$t13 - t12 > 10\mu\text{s}$	IO 引脚供电要先于 core 供电	
t14	PWROK 信号有效时刻	$t14 - t13 > 0$	PWROK 信号必须在所有电源稳定之后有效	
t15	SUSSTATn 状态退出时刻	$t15 - t14 > 13\text{ms}$	SUSSTATn 在 PWROK 之后退出	
t16	PLTRSTn 解复位时刻	$t16 - t15 > 30\mu\text{s}$	PLTRSTn 在 SUSSTATn 退出之后退出	
t17	桥片输出时钟稳定时刻	$t17 - t16 < 60\mu\text{s}$	桥片输出时钟有效时刻不晚于 PLTRSTn 之后 60us	
t100	ACPI_BATLOWn/ PWRBTNn/ PWROK/SYSRSTn 信号有效时刻	$t5 - t100 > 60\mu\text{s}$	ACPI_BATLOWn/PWRBTNn/PWROK/SYSRSTn 输入信号需要在 RSMRSTn 解复位之前有效	
t101	VSB_GATEn/ACPI_S3n/S4n/	$t101 - t3 < 60\mu\text{s}$	VSB_GATEn/ACPI_S3n/S4n/	



	S5n/SLPLANn/PLTRSTn 信号有效时刻		n/S5n/SLPLANn/PLTRSTn 在 RSM 域电源稳定之后 60us 内输出有效	
t102	ACPI_SYSRSTn 解复位时刻	$t14 - t102 > 16ms$	SYSRSTn 需要在 PWROK 有效之前 16ms（或更长的时间）解复位，否则系统会复位两次	1

注：冷启动时，ACPI_SYSRSTn 信号不需要复位，系统自动进行复位。



热复位时序

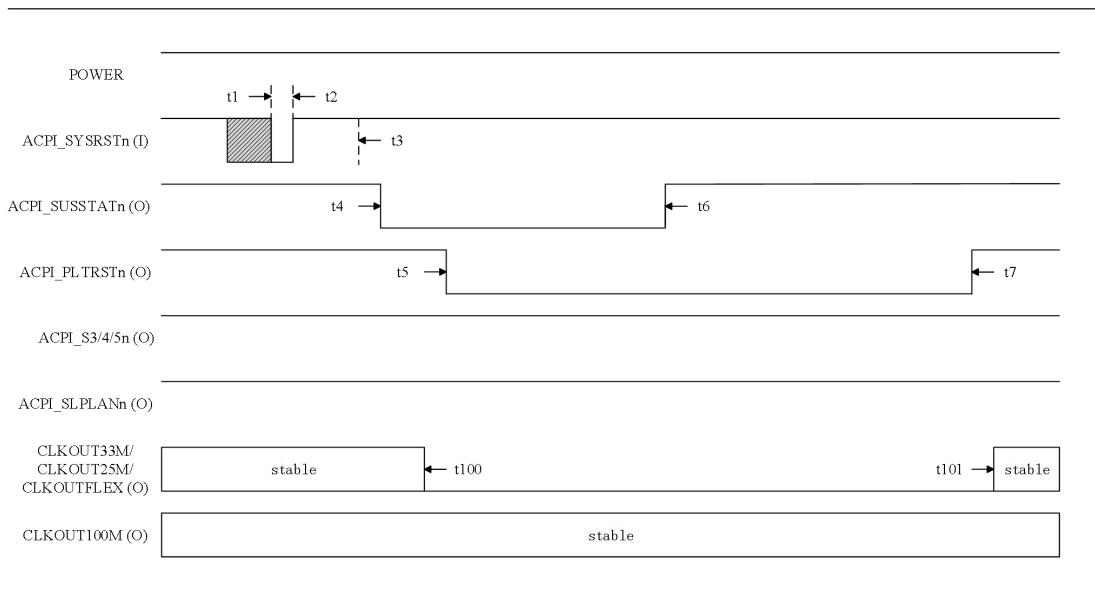


图 7-2. 热复位时序图

注:

1. POWER 包括所有的供电。
2. CLKOUTFLEX 时钟在桥片复位之后变为默认频率 (100MHz)。

表 7-14 热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1\text{ms}$	SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	ACPI_SYSRSTn 保持为高的时间	$t3 - t2 > 16\text{ms}$	SYSRSTn 变为高电平之后保持一段时间，系统才开始复位
t4	ACPI_SUSSTATn 变低的时刻	$t4 - t3 < 10\mu\text{s}$	
t5	ACPI_PLTRSTn 变低的时刻	$t5 - t4 < 20\mu\text{s}$	PLTRSTn 在 SUSSTATn 变低之后 20us 内变低
t6	ACPI_SUSSTATn 变高的时刻	$t6 - t4 > 6\text{ms}$	SUSSTATn 保持复位的时间大于 6ms
t7	ACPI_PLTRSTn 变高的时刻	$t7 - t5 > 13\text{ms}$	PLTRSTn 保持复位的时间大于 13ms
t100	桥片输出时钟 CLKOUT33M/CLKOUT25M/CLKOUTFLEX 无效时刻	$t100 - t4 > 0$ $t100 - t5 < 0$	时钟无效时刻在 SUSSTATn 变低之后，在 PLTRSTn 变低之前
t101	桥片输出时钟 CLKOUT33M/CLKOUT25M/CLKOUTFLEX 稳定时刻	$t101 - t7 < 60\mu\text{s}$	输出时钟有效时刻不晚于 PLTRSTn 之后 60us



S0 到 S3 及 S3 到 S0 状态时序图

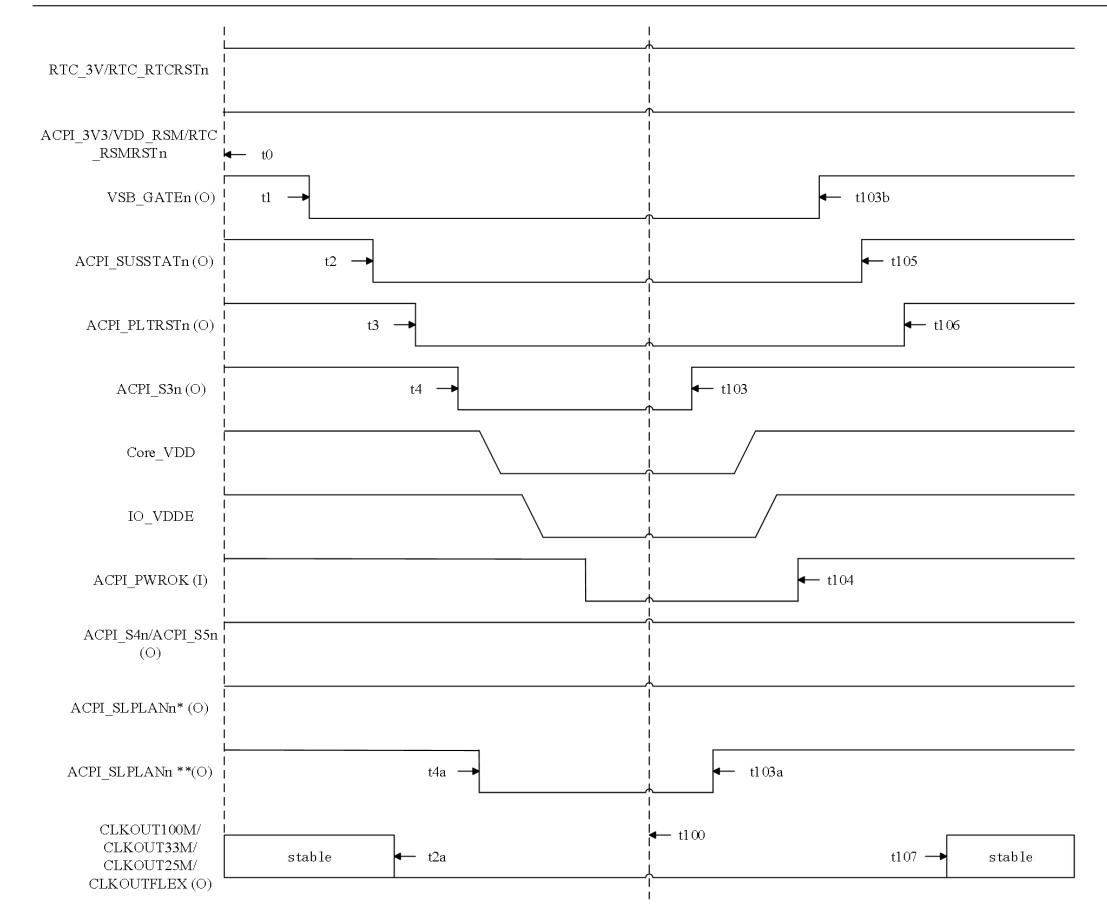


图 7-3. S0 到 S3 及 S3 到 S0 时序图

S0 到 S4/S5 及 S4/S5 到 S0 状态时序



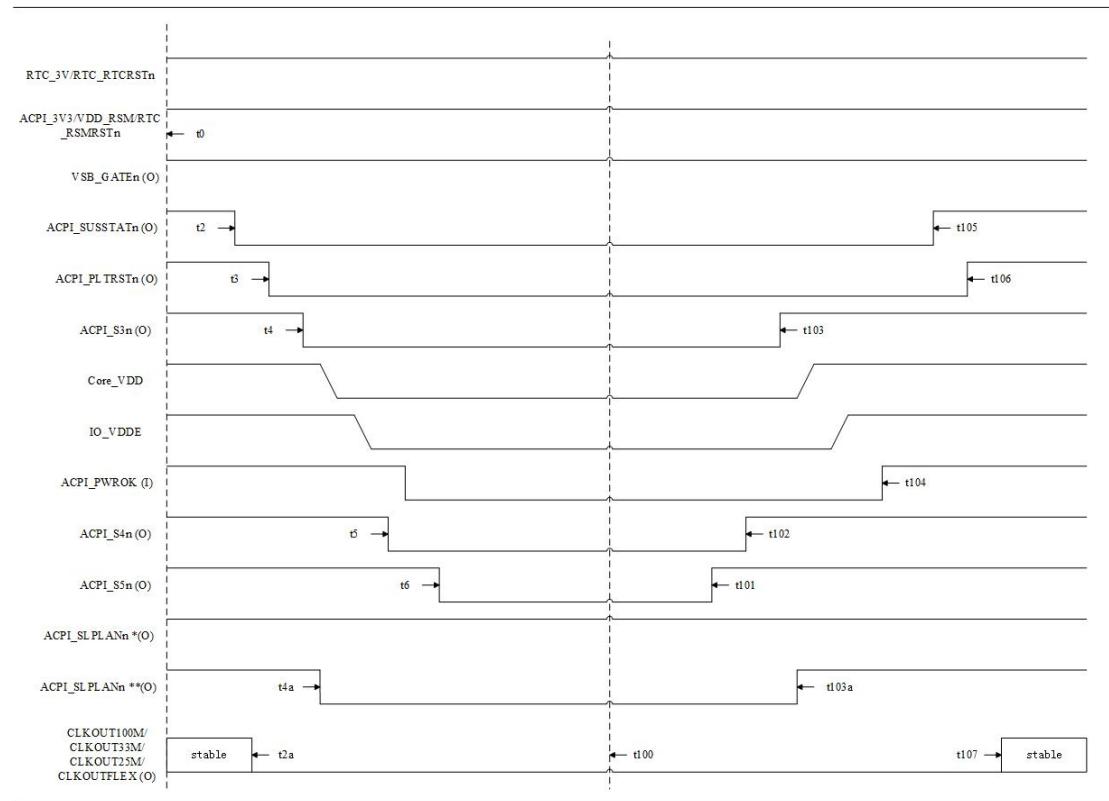


图 7-4. S0 到 S4/S5 及 S4/5 到 S0 状态时序图

注（图 7-3、图 7-4）：

1. 表中未列出的 ACPI 相关信号（ACPI_BATLOWn/PWRBTNn/SYSRSTn 等）默认为高电平。
2. 唤醒事件包括：电源按钮、复位按钮、振铃、USB、GMAC 等。
3. 可以使用 S3n 来控制 Core_VDD/IO_VDDE 的上电。
4. 可以使用 VSB_GATEn 来控制 dual 电的切换。
5. *当使能 wake on Lan 时； **当不使能 wake on Lan 功能时。

表 7-15 S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束

标记符	参数	需求	说明
t0	软件发起进入低功耗状态的时刻		
t1	VSB_GATEn 变低时刻	$t1 - t0 < 120\mu s$	VSB_GATEn 在发起低功耗状态 120us 内变低
t2	SUSSTATn 状态进入时刻	$t2 - t0 > 150\mu s$ $t2 - t1 > Tdndly$	SUSSTAT 在 VSB_GATEn 有效之后变低，这个时间间隔软件可配。可选的时间长度(Tdndly)有： 31.25ms、62.5ms、 125ms、250ms。
t2a	输出时钟无效时刻	$t2a - t2 > 0$ $t3 - t2a > 0$	输出时钟在 SUSSTATn 变低之后 PLTRSTn 变低之前无效
t3	PLTRSTn 复位时刻	$t3 - t2 < 20\mu s$	PLTRSTn 在 SUSSTATn 复



			位之后复位	
t4	S3n 状态进入时刻	$t4 - t3 < 40\mu s$	S3n 在 PLTRSTn 复位之后进入	
t5	S4n 状态进入时刻	$t5 - t4 < 40\mu s$	S4n 在 S3n 进入之后进入	
t6	S5n 状态进入时刻	$t6 - t5 < 40\mu s$	S5n 在 S4n 进入之后进入	
t4a	在 S0 到 S3/S4/S5 转换中, SLPLANn 变低的时刻	$t4a - t4 > 30\mu s$	SLPLANn 在进入 S3 之后变低	
t100	低功耗状态退出唤醒时刻			
t101	S5n 状态退出时刻	$t101 - t100 > 150\mu s$ $t101 - t100 < 200\mu s$	S5n 在唤醒时间 200μs 内退出	
t102	S4n 状态退出时刻	$t102 - t101 > 120\mu s$ $t102 - t101 < 150\mu s$	S4n 在 S5n 退出之后退出	
t103	S3n 状态退出时刻	$t103 - t102 > 60\mu s$ $t103 - t102 < 90\mu s$	S3n 在 S4n 退出之后退出	
t103a	在 S3/S4/S5 到 S0 转换中, SLPLANn 变高时刻	$t103a - t103 < 60\mu s$	SLPLANn 在 S3 退出之后 60μs 内变高	
t103b	VSB_GATEn 变高时刻	$t103b - t103 > T_{updly}$	VSB_GATEn 在 S3n 退出一段时间之后变高, 这个时间间隔软件可配。可选的时间长度(T_{updly})有: 125ms、250ms、500ms、1s。	
t104	PWROK 有效时刻		PWROK 需要在所有电源稳定之后有效	
t105	SUSSTATn 状态退出时刻	$t105 - t104 > 13ms$	SUSSTATn 在 PWROK 有效之后退出	
t106	PLTRSTn 解复位时刻	$t106 - t105 > 30\mu s$	PLTRSTn 在 SUSSTATn 退出之后解复位	
t107	输出时钟稳定时刻	$t107 - t106 < 60\mu s$	输出时钟有效时刻不晚于 PLTRSTn 之后 60μs	

7.6.2 不使能 ACPI_EN



冷启动上电时序（不使能 ACPI）

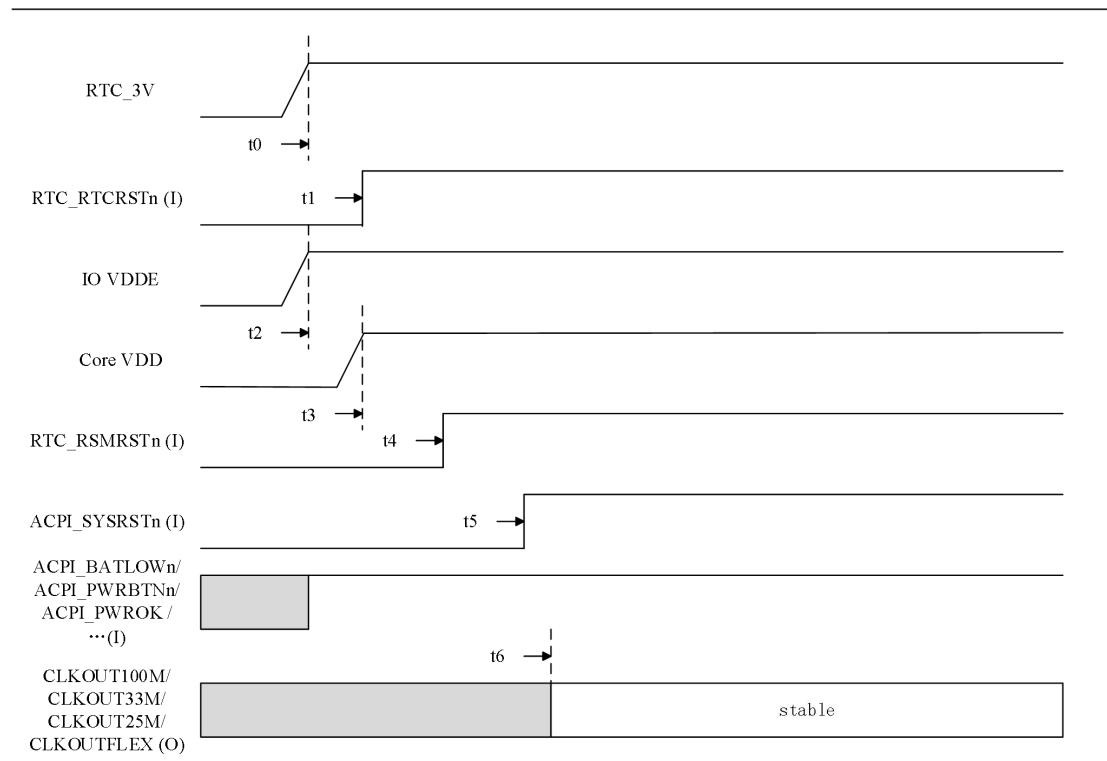


图 7-5. 不使能 ACPI 功能时的冷启动上电时序 (RTC 掉电)

注：

1. IO VDDE 包括：ACPI_3V3、IO_3V3、DDR_VDDE/DDR_VREF、HT_1V8、HT_1V2、PEST_3V3、GMAC_VDDE、USB_A3V3。
2. Core VDD 包括：VDD_RSM、VDD、PEST_1V1、PLL_HT_VDD、PLL_VDDA_CORE、PLL_VDDD_CORE、PLL_VDDA_PER、PLL_VDDD_PER、PLL_VDDA_GRAPH、PLL_VDDD_GRAPH。
3. ACPI 相关的除电源复位信号外的其他输入信号拉高，ACPI 相关的输出信号悬空，也即不能使用这些输出信号用于上电复位控制。
4. 在 ACPI_EN 不使能的情况下，桥片的 ACPI_SYSRSTn 信号没有去抖动功能，需主板提供去抖动电路。

表 7-16 不使能 ACPI 功能时的上电时序要求

标记符	参数	需求	说明	注
t0	RTC 3V 电源稳定时刻			
t1	RTCRSTn 解复位时刻	$t1 - t0 > 5\text{ms}$	RTCRSTn 需要在 RTC 电源稳定之后解复位	
t2	IO 电源稳定时刻	$t2 - t0 \geq 0$	RTC 电源要先于 IO 电源供电	
t3	Core 电源上电时刻	$t3 - t2 > 10\mu\text{s}$	IO 电源要先于 Core 电源供电	
t4	RSMRSTn 解复位时刻	$t4 - t3 > 5\text{ms}$	RSMRSTn 需要在 RSM 域电源稳定之后解复位	
t5	ACPI_SYSRSTn 解复位时刻	$t5 - t4 > 5\text{ms}$	SYSRSTn 需要在 RSMRSTn 解复位之后解复位	
t6	输出时钟稳定时刻	$t6 - t5 < 10\mu\text{s}$	输出时钟的稳定时刻不晚于 SYSRSTn 解复位后 10 us	



热复位时序（不使能 ACPI）

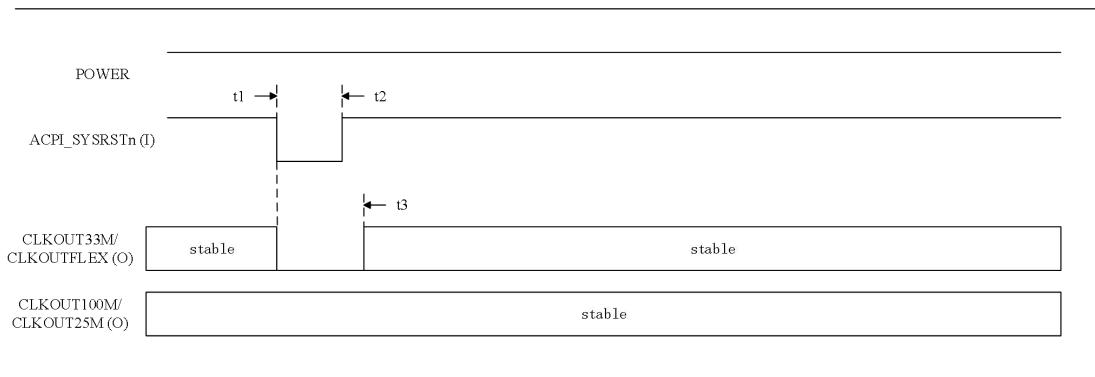


图 7-6. 不使能 ACPI 功能时的热复位时序图

注：

1. POWER 包括所有的供电。
2. CLKOUTFLEX 时钟在桥片复位之后变为默认频率（100MHz）。

表 7-17 不使能 ACPI 功能时的热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1\text{ms}$	SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	CLKOUT33M/CLKOUTFLEX 稳定时刻	$t3 - t2 < 10\mu\text{s}$	输出时钟的稳定时刻不晚于 SYSRSTn 解复位后 10 us



8 焊接和扣合力特性

8.1 焊接特性

表 8-1. 回流焊接温度分类表

Profile Feature	Pb-Free Assembly
Average ramp-up rate (Tsmax to Tp)	3°C/second max.
Preheat	Temperature Min (Tsmin) 150 °C
	Temperature Max (Tsmax) 200 °C
	Time (Tsmin to Tsmax) (ts) 60-180 seconds
Time maintained above	Temperature (TL) 217 °C
	Time (tL) 60-150 seconds
Peak Temperature (Tp)	245°C
Time within 5°C of actual Peak Temperature (tp) ²	20-40 seconds
Ramp-down Rate	6 °C/second max.
Time 25°C to Peak Temperature	8 minutes max.

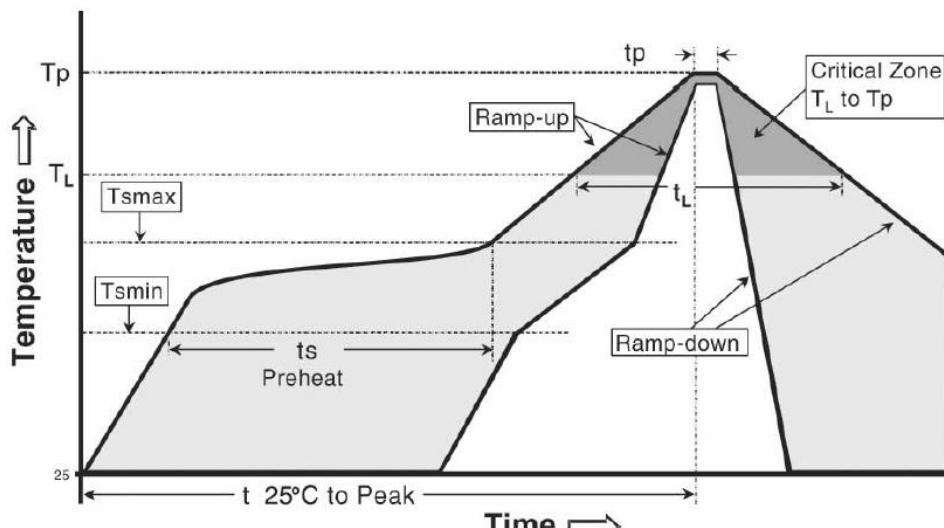


图 8-1. 焊接回流曲线

8.2 扣合力

最大承压 15kg。



9 订货信息

9.1 LS7A1000



- a) ●：定位点；
- b) LS7A1000：器件识别号；
- c) FDXXXXXX PM：FD 为晶圆厂代号，XXXXXX 批次信息，PM 为封装厂代号；
- d) CHN YWW XXX：CHN 设计厂地，YWW 日期代码，XXX（3-4 位）为工艺角信息；

9.2 LS7A1000-I





- a) ●: 定位点;
- b) LS7A1000-I: 器件识别号;
- c) FDXXXXXX PM: FD 为晶圆厂代号, XXXXXX 批次信息, PM 为封装厂代号;
- d) CHN YWW XXX: CHN 设计厂地, YWW 日期代码, XXX (3-4 位) 为工艺角信息;
- e) YYWWXXX: 序列号信息。



10不使用接口处理

1. 所有的电源地都必须连接。
2. 不使用的接口，输出信号可以悬空，输入信号必须通过 10Kohm 电阻接地。

11 硬件设计规范

11.1 显示接口 I2C 连接方式

桥片的每个 DVO 接口都自带了一组 I2C 信号（使用 GPIO 模拟），用于连接 DVO 接口的转换 PHY 芯片和显示器。板卡设计时，必须使用该组 I2C 信号连接 PHY 芯片（如果 PHY 芯片存在 I2C 配置接口的话）和显示器接口，而不使用 PHY 芯片输出的 I2C 引脚。

11.2 显示器热插拔

如果板卡需要支持显示器热插拔功能，必须使用 SPI_CSn2 和 SPI_CSn3（复用为 GPIO 功能）作为 DVO0 和 DVO1 通道的显示器热插拔检测引脚使用。

11.3 接口选择

对于 SATA、GMAC 接口，如果主板只使用部分接口，则必须从接口 0 开始使用。比如，桥片有两个 GMAC 接口，GMAC0 和 GMAC1，如果主板只使用一个 GMAC，则必须选择使用 GMAC0。

11.4 主板存储 ROM

桥片的 SPI 总线必须连接一个 SPI flash，片选固定为 CS0，读写方式必须完全兼容 SST25VF010，容量不低于 128KB。该 flash 用于存储桥片集成 GMAC 的 MAC 地址、集成 GPU 显示相关参数、主板串号等信息。