

LOONGSON

龙芯 2K2000-i 处理器

数据手册

V1.05

2025 年 08 月

龙芯中科技股份有限公司

自主决定命运, 创新成就未来

北京市海淀区中关村环保科技示范园龙芯产业园 100095
Loongson Industrial Park, Zhongguancun Environmental Protection Park,
Haidian District, Beijing 10095, P.R.China



www.loongson.cn

阅读指南

《龙芯 2K2000-i 处理器数据手册》主要介绍龙芯 2K2000-i 处理器接口结构，特性，电气规范，以及硬件设计指导。

目 录

目 录.....	I
图目录.....	IV
表目录.....	V
1 概述.....	1
1.1 体系结构框图.....	2
1.2 芯片分级.....	2
1.3 术语.....	3
1.4 设计相关文档、工具、软件.....	3
1.4.1 设计相关文档.....	3
1.4.2 固件及系统支持.....	3
1.5 文档约定.....	3
1.5.1 信号命名.....	3
1.5.2 信号类型.....	4
1.5.3 数值表示.....	4
1.5.4 寄存器域.....	4
2 引脚定义.....	5
2.1 DDR4 接口.....	5
2.2 PCIE 接口.....	5
2.3 DVO 显示接口.....	6
2.4 HDMI 接口.....	7
2.5 GMAC 网络接口.....	7
2.6 SATA 接口.....	8
2.7 USB 接口.....	9
2.8 HDA 接口.....	9
2.9 SPI 接口.....	10
2.10 I2C 接口.....	10
2.11 UART 接口.....	10
2.12 CAN 接口.....	11
2.13 LPC 接口.....	11
2.14 SDIO 接口.....	12
2.15 eMMC 接口.....	12
2.16 GPIO 接口.....	13
2.17 PWM 接口.....	13
2.18 ACPI 接口.....	13
2.19 JTAG 接口.....	14
2.21 时钟信号.....	14



2.22 RTC 相关信号	14
2.23 系统相关信号	14
2.24 其它引脚	15
2.25 外设功能复用表	15
3 功能描述	17
3.1 DDR4 接口	17
3.2 PCIE 接口	17
3.3 显示控制	18
3.4 SATA 控制器	18
3.5 USB 接口	18
3.6 GMAC 控制器	19
3.7 HDA 接口	20
3.8 I2S 接口	20
3.9 SPI 控制器	20
3.10 LPC 接口	22
3.11 UART 接口	22
3.12 I2C 总线	24
3.13 PWM	24
3.14 HPET	25
3.15 RTC	25
3.16 ACPI 接口	25
3.17 WATCHDOG	26
3.18 CAN	26
3.19 GPIO	26
3.20 SDIO 控制器	26
3.21 eMMC 控制器	26
3.22 AVS	27
3.23 中断控制器	27
3.24 加解密模块	27
4 时钟	28
4.1 芯片时钟结构	28
4.2 系统参考时钟	29
4.3 RTC 时钟	29
4.4 PCIE PHY 参考时钟	29
4.5 USB PHY 参考时钟	29
4.6 SATA PHY 参考时钟	29
4.7 GMAC PHY 参考时钟	30
4.8 频率配置	30



5 热设计	31
5.1 热参数	31
5.2 焊接温度及焊接曲线	31
6 电气特性	32
6.1 最大额定工作条件	32
6.2 工作电源	32
6.3 功耗信息	33
6.3.1 NODE_CORE 电压域功耗	33
6.3.2 全芯片功耗	34
6.4 ESD 防护能力	34
6.5 电源时序	35
6.5.1 使能 ACPI_EN	35
6.5.2 不使能 ACPI_EN	40
7 封装信息	42
7.1 封装尺寸	42
7.2 信号位置分布	43
7.3 芯片引脚排布	44
8 产品标识	45
附录 A: 芯片引脚列表	46
附录 B: 芯片引脚内部延迟数据表	64
修订记录	65



图目录

图 1-1	龙芯 2K2000-i 结构图	2
图 3-1	SPI 主控制器接口时序	21
图 3-2	SPI Flash 标准读时序	21
图 3-3	SPI Flash 快速读时序	22
图 3-4	SPI Flash 双向 I/O 读时序	22
图 3-5	UART 控制器结构	24
图 4-1	芯片时钟结构图	28
图 5-1	焊接回流曲线	31
图 6-1	冷启动上电时序（RTC 掉电）	35
图 6-2	热复位时序图	37
图 6-3	S0 到 S3 及 S3 到 S0 时序图	38
图 6-4	S0 到 S4/S5 及 S4/5 到 S0 状态时序图	38
图 6-5	不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）	40
图 6-6	不使能 ACPI 功能时的热复位时序图	41
图 7-1	封装尺寸	42
图 7-2	信号引脚分布顶视图	43



表目录

表 1-1	芯片分级表	2
表 1-2	术语和缩略语表	3
表 2-1	DDR4 接口	5
表 2-2	PCIE 接口	5
表 2-3	DVO 显示接口	6
表 2-4	HDMI 接口	7
表 2-5	GMAC 接口	7
表 2-6	SATA 接口	8
表 2-7	USB 接口	9
表 2-8	HDA 接口	9
表 2-9	SPI 接口	10
表 2-10	I2C 接口	10
表 2-11	UART 接口	10
表 2-12	CAN 接口	11
表 2-13	LPC 接口	11
表 2-14	SDIO 接口	12
表 2-15	eMMC 接口	12
表 2-16	GPIO 接口	13
表 2-17	PWM 接口	13
表 2-18	ACPI 接口	13
表 2-19	JTAG 接口	14
表 2-21	时钟信号	14
表 2-22	RTC 相关信号	14
表 2-23	系统相关信号	14
表 2-24	其他引脚	15
表 2-25	外设功能复用表	15
表 5-1	龙芯 2K2000-i 的热阻参数	31
表 5-2	回流焊接温度分类表	31
表 6-1	芯片绝对最大额定电压	32
表 6-2	推荐的工作电压	32
表 6-3	NODE_CORE 电压域各条件下最大功耗	33



1 概述

龙芯 2K2000-i 处理器（简称龙芯 2K2000-i）是一款集成处理器核的通用嵌入式 SOC 芯片，可应用在网络安全、工业控制、电力、轨道交通、移动智能终端、信息教育等领域。其主要特征如下：

- 片内集成 2 个 64 位的三发射超标量 LA364 处理器核，采用 Loong-Arch 指令系统（龙架构），最高频率约 1.3GHz。每个处理器核中含 64KB 数据 Cache 和 64KB 的指令 Cache，支持通过目录协议维护 I/O DMA 访问的 Cache 一致性
- 片内集成共享的 2MB 二级 Cache
- 片内集成 3D GPU，该 GPU 中集成一路 DMA，集成 MMU，支持 4x MSAA，支持内存压缩，支持动态功耗管理
- 支持双路显示（HDMI 和 DVO）
- 片内集成 72 位 DDR4 控制器（含 8 位 ECC）
- 3 个独立的 x4 PCIE 3.0 接口，支持多种配置模式
- 2 个独立的 RapidIO 接口，与 PCIE 接口复用
- 1 个 4 通道 DMA
- 片内集成 2 个 SATA3.0 接口
- 片内集成最多 4 个 USB 3.0，最多 9 个 USB2.0，其中 1 个为 OTG（OTG 为可选功能）
- 片内集成 1 个 RGMII 千兆网 PHY 接口，2 个千兆网口，支持 TSN 和 MSI 中断
- 片内集成 HDA/I2S 接口
- 片内集成 RTC/HPET 模块
- 片内集成 3 个全功能 UART 接口和 1 个双线 UART 接口
- 片内集成 6 个 CAN 控制器
- 片内集成 6 个 PWM 控制器
- 片内集成 1 个 SDIO 控制器
- 片内集成 1 个 eMMC 控制器
- 片内集成 2 个 SPI 控制器，支持 QSPI
- 片内集成 4 个 I2C 控制器
- 片内集成 1 个 LPC 控制器
- 片内集成 1 个 LIO 控制器
- 片内集成 1 个 AVS 接口
- 支持 ACPI 规范



- 最多 96 个 GPIO 接口
- 安全可信模块
- 片内集成温度传感器
- 集成动态功耗控制模块
- 封装：FC-BGA-883，27mm x 27 mm，0.8 mm pitch

1.1 体系结构框图

龙芯 2K2000-i 的结构如图 1-1 所示。一级交叉开关连接两个处理器核、两个二级 Cache 以及 IO 子网络（Cache 访问路径）。二级交叉开关连接两个二级 Cache、内存控制器、启动模块（SPI 或者 LIO）以及 IO 子网络（Uncache 访问路径）。IO 子网络采用南北桥结构，北桥包含 3 个 PCIE、显示、DMA 和安全模块，通过北桥网络连接一级交叉开关，以减少处理器访问延迟。南桥包括 GMAC、SATA、USB、HDA/I2S、SDIO、eMMC、加解密以及 MISC 模块，通过南桥网络与北桥相连。

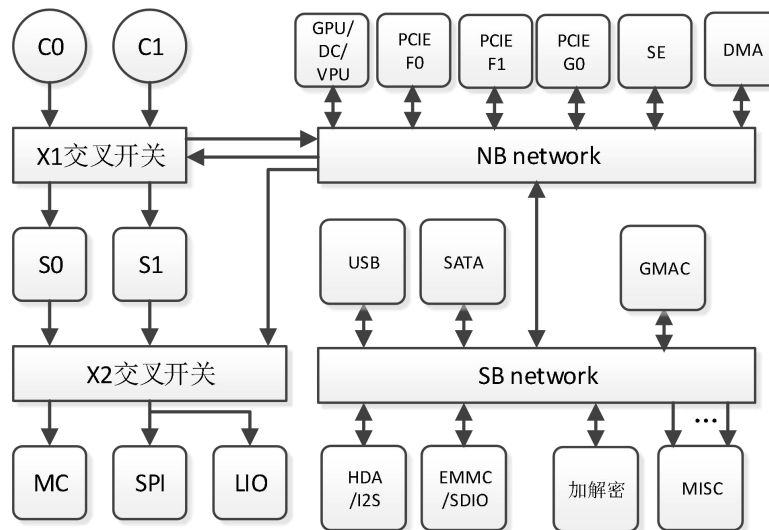


图 1-1 龙芯 2K2000-i 结构图

1.2 芯片分级

表 1-1 芯片分级表

芯片标识	质量等级	封装	处理器最高频率	工作温度(℃，壳温)
LS2K2000-i	工业级	塑封	1.3GHz	-40~85



1.3 术语

表 1-2 术语和缩略语表

术语	描述	备注
UEFI	Unified Extensible Firmware Interface	
RGMII	Reduced Gigabit Media Independent Interface	
LPC	Low Pin Count	
GPIO	General-purpose input/output	
ACPI	Advanced Configuration and Power Management Interface	
SPI	Serial Peripheral Interface	
WDT	Watchdog Timer	
HDAudio	High Definition Audio	
I2C	Inter Integrated Circuit	
ROM	Read-Only Memory	
ECC	Error Correcting Code	
PCIE	Peripheral Component Interconnect express	
DIMM	Dual Inline-Memory-Modules	
UDIMM	Unbuffered Dual In-Line Memory Modules	
SODIMM	Small Outline Dual In-line Memory Module	
RDIMM	Registered Dual-Inline-Memory-Modules	
LRDIMM	Load-Reduced Dual-Inline-Memory-Modules	
JTAG	Joint Test Action Group	

1.4 设计相关文档、工具、软件

1.4.1 设计相关文档

《用户手册》

《CPU 统一系统架构》

《硬件设计规范》

芯片管脚内部延迟文件

1.4.2 固件及系统支持

(1) 芯片所支持的固件：

龙芯 PMON、UEFI

(2) 芯片所支持的操作系统：

loongnix、中标麒麟和统信等；

1.5 文档约定

1.5.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，



高有效信号则不带 n。

1.5.2 信号类型

代码	描述类型
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.5.3 数值表示

16 进制数表示为 'hxxx'，2 进制数表示为 'bxx'，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0, DDR_DQ1, ...）使用方括号加数字范围的形式简写（如 DDR_DQ[63:0]）。类似地，寄存器域也采用这种表示方式。

1.5.4 寄存器域

寄存器域以 [寄存器名].[域名] 的形式加以引用。如 chip_config0. uart_split 指芯片配置寄存器 0 (chip_config0) 的 uart_split 域。



2 引脚定义

本节对龙芯 2K2000-i 的引脚进行说明，其中：

- 1) “上下拉”栏中的“-”代表片内未实现上下拉。
- 2) 对于上下拉的电阻值，除了特殊说明的引脚外，默认阻值为 50K Ω 。
- 3) 关于引脚在不使用时的情况，已经在描述里进行说明，未说明的信号可以浮空。
- 4) 引脚复用配置寄存器的相关配置详见用户手册。
- 5) 未在文档中说明的引脚，请与龙芯中科科技股份有限公司联系。

2.1 DDR4 接口

表 2-1 DDR4 接口

信号名称	类型	描述	电源	上下拉
DDR_DQ[63:00]	I/O	DDR4 SDRAM 数据总线信号	DDR_1V2	-
DDR_CB[7:0]	I/O	DDR4 ECC 校验位	DDR_1V2	-
DDR_DQSP[08:00] DDR_DQSN[08:00]	DIFF I/O	DDR4 SDRAM 数据选通	DDR_1V2	-
DDR_DM[0:8]N_DQSP[09:17]	I/O	DDR4 SDRAM 数据屏蔽	DDR_1V2	-
DDR_A[13:00]	0	DDR4 SDRAM 地址总线信号	DDR_1V2	-
DDR_BA[1:0]	0	DDR4 SDRAM 逻辑 BANK 地址信号	DDR_1V2	-
DDR_WEN	0	DDR4 SDRAM 写使能信号	DDR_1V2	-
DDR_CASN	0	DDR4 SDRAM 列地址选择信号	DDR_1V2	-
DDR_RASN	0	DDR4 SDRAM 行地址选择信号	DDR_1V2	-
DDR_SCSN[1:0]	0	DDR4 SDRAM 片选信号	DDR_1V2	-
DDR_CKE[1:0]	0	DDR4 SDRAM 时钟使能信号	DDR_1V2	-
DDR_CKP[1:0] DDR_CKN[1:0]	DIFF OUT	DDR4 SDRAM 差分时钟输出信号	DDR_1V2	-
DDR_ODT[1:0]	0	DDR4 SDRAM ODT 信号	DDR_1V2	-
DDR_BG[1:0]	0	BankGroup 地址信号	DDR_1V2	-
DDR_ACTN	0	行激活信号，低有效	DDR_1V2	-
DDR_PAR	0	DDR4 地址奇偶校验输出	DDR_1V2	-
DDR_ALERTN	1	DDR4 出错警告信号，低有效	DDR_1V2	-
DDR_RESETN	0	DDR4 SDRAM 复位控制信号	DDR_1V2	-
DDR_REXT	A	DDR4 控制器参考电阻，通过 240ohm 接地	DDR_1V2	-

2.2 PCIE 接口

表 2-2 PCIE 接口

信号名称	类型	描述	电源	上下拉
PCIE_REFCLKINP PCIE_REFCLKINN	DIFF IN	PRG 参考时钟输入（HCSL 标准）	PCIE_1V0	-
RAPIDIO_CLKINP[1:0] RAPIDIO_CLKINN[1:0]	DIFF IN	RIO 参考时钟输入，对应关系为： PCIE_F1: RAPIDIO_CLKINP/N[1]	PCIE_1V0	-



信号名称	类型	描述	电源	上下拉
		PCIE_G0: RAPIDIO_CLKINP/N[0]		
PCIE_REFCLKOUTP[3:0] PCIE_REFCLKOUTN[3:0]	DIFF OUT	PRG 参考时钟输出 (HCSL 标准)	PCIE_1V0	-
PCIE_PRG_REFRES	A	通过 487ohm(+/-1%)电阻连至 PCIE_1V0 电源	PCIE_1V0	-
PCIE_F0(F1/G0)_TXP[3:0] PCIE_F0(F1/G0)_TXN[3:0]	DIFF OUT	PCIE 差分数据输出	PCIE_1V0	-
PCIE_F0(F1/G0)_RXP[3:0] PCIE_F0(F1/G0)_RXN[3:0]	DIFF IN	PCIE 差分数据输入	PCIE_1V0	-
PCIE_F0(F1/G0)_RSTN	0	PCIE 复位	IO_3V3	-

2.3 DVO 显示接口

表 2-3 DVO 显示接口

信号名称	类型	描述	电源	上下拉
DVO_CLKP	0	DVO 时钟输出	IO_3V3	-
DVO_CLKN	0	DVO 时钟输出, 与 DVO*_CLKP 相差 180°, 非差分关系	IO_3V3	-
DVO_HSYNC	0	DVO 水平同步	IO_3V3	-
DVO_VSYNC	0	DVO 垂直同步	IO_3V3	-
DVO_DE	0	DVO 数据有效	IO_3V3	-
DVO_DATA[23:00]	0	DVO 显示数据 [23:16]为 R 数据 [15:08]为 G 数据 [07:00]为 B 数据	IO_3V3	-
HDMI1_HOTPLUG	I	DVO 通道热插拔检测 (可选)	IO_3V3	下拉
HDMI1_I2C_SCL	OD	DVO 通道 I2C 串行时钟 (可选)	IO_3V3	-
HDMI1_I2C_SDA	OD	DVO 通道 I2C 串行数据 (可选)	IO_3V3	-

DVO 接口数据信号与 RGB 对应关系如下:

DVO 接口信号	24 位模式	18 位模式
DVO_DATA00	B0	
DVO_DATA01	B1	
DVO_DATA02	B2	B0
DVO_DATA03	B3	B1
DVO_DATA04	B4	B2
DVO_DATA05	B5	B3
DVO_DATA06	B6	B4
DVO_DATA07	B7	B5
DVO_DATA08	G0	
DVO_DATA09	G1	
DVO_DATA10	G2	G0
DVO_DATA11	G3	G1
DVO_DATA12	G4	G2
DVO_DATA13	G5	G3
DVO_DATA14	G6	G4
DVO_DATA15	G7	G5
DVO_DATA16	R0	



DVO 接口信号	24 位模式	18 位模式
DVO_DATA17	R1	
DVO_DATA18	R2	R0
DVO_DATA19	R3	R1
DVO_DATA20	R4	R2
DVO_DATA21	R5	R3
DVO_DATA22	R6	R4
DVO_DATA23	R7	R5

DVO 接口与 LIO 以及 GPIO 有复用关系，如下表所示。

信号名称	复用名称 1	复用名称 2	复用 2 类型	复用 2 信号描述
DVO_CLKp	ND_GPIO04	LIO_RDn	0	LIORDn 输出
DVO_CLKn	ND_GPIO03	LIO_WRn	0	LIOWRn 输出
DVO_HSYNC	ND_GPIO07	LIO_DEN	0	LIO 数据使能
DVO_VSYNC	ND_GPIO06	LIO_DIR	0	LIO 方向控制，0 代表读，1 代表写
DVO_DE	ND_GPIO05	LIO_ADLOCK	0	LIO 地址/数据选择信号
DVO_DATA[15:00]	ND_GPIO[23:08]	LIO_AD[15:0]	I/O	LIO 双向 AD 信号
DVO_DATA[22:16]	ND_GPIO[30:24]	LIO_A[6:0]	0	LIO 地址低位
DVO_DATA23	ND_GPIO31	LIO_CSNO	0	LIO 片选信号 0
	ND_GPIO[02:00]	LIO_CSN[3:1]	0	LIO 片选信号 1-3
		LIO_RDY	I	LIO 数据准备好

2.4 HDMI 接口

表 2-4 HDMI 接口

信号名称	类型	信号描述	电源	上下拉
HDMIO_CKN	DIFF OUT	HDMI 通道时钟负端输出	IO_3V3	-
HDMIO_CKP	DIFF OUT	HDMI 通道时钟正端输出	IO_3V3	-
HDMIO_HOTPLUG	I	HDMI 通道热插拔检测	IO_3V3	下拉
HDMIO_I2C_SCL	OD	HDMI 通道 I2C 串行时钟	IO_3V3	-
HDMIO_I2C_SDA	OD	HDMI 通道 I2C 串行数据	IO_3V3	-
HDMIO_TXN[2:0]	DIFF OUT	HDMI 通道数据负端输出	IO_3V3	-
HDMIO_TXP[2:0]	DIFF OUT	HDMI 通道数据正端输出	IO_3V3	-
HDMIO_BIAS	I/O	HDMI 通道偏置电压-通过 240 欧姆电阻上拉到 HDMI_1V8 电源，最大电流 22mA	HDMI_1V8	-

2.5 GMAC 网络接口

表 2-5 GMAC 接口

信号名称	类型	描述	电源	上下拉
GMACPHY0/1_AN	DIFF IO	千兆网双绞线 A 负端口	IO_3V3	-
GMACPHY0/1_AP	DIFF IO	千兆网双绞线 A 正端口	IO_3V3	-
GMACPHY0/1_BN	DIFF IO	千兆网双绞线 B 负端口	IO_3V3	-
GMACPHY0/1_BP	DIFF IO	千兆网双绞线 B 正端口	IO_3V3	-



信号名称	类型	描述	电源	上下拉
GMACPHY0/1_CN	DIFF IO	千兆网双绞线 C 负端口	IO_3V3	-
GMACPHY0/1_CP	DIFF IO	千兆网双绞线 C 正端口	IO_3V3	-
GMACPHY0/1_DN	DIFF IO	千兆网双绞线 D 负端口	IO_3V3	-
GMACPHY0/1_DP	DIFF IO	千兆网双绞线 D 正端口	IO_3V3	-
GMACPHY0/1_REXT	I	GMACPHY 外部参考电阻输入, 通过 4.99Kohm/1%电阻连至地	-	-
GMACPHY0/1_LED_100B	0	十/百兆网工作状态指示灯, 高有效	IO_3V3	-
GMACPHY0/1_LED_1KB	0	千兆网工作状态指示灯, 高有效	IO_3V3	-
GMACPHY0/1_LED_ACT	0	网络收发包状态指示, 高有效	IO_3V3	-
GMAC2_TXCK	0	RGMII 发送时钟	RSM_3V3	-
GMAC2_TCTL	0	RGMII 发送控制	RSM_3V3	-
GMAC2_TXD[3:0]	0	RGMII 发送数据	RSM_3V3	-
GMAC2_RXCK	I	RGMII 接收时钟	RSM_3V3	-
GMAC2_RCTL	I	RGMII 接收控制	RSM_3V3	-
GMAC2_RXD[3:0]	I	RGMII 接收数据	RSM_3V3	-
GMAC2_MDCK	0	SMA 接口时钟	RSM_3V3	-
GMAC2_MDIO	I/O	SMA 接口数据	RSM_3V3	-

GMAC 接口与 UART 和 GPIO 有复用关系, 如下表所示。

信号名称	复用名称 1	复用名称 2	复用 2 类型	复用 2 信号描述
GMAC2_MDCK	GPI051		-	-
GMAC2_MDIO	GPI050			
GMAC2_RCTL	GPI044	UART1_CTS	I	设备接受数据就绪
GMAC2_RXCK	GPI053			
GMAC2_RXD0	GPI040	UART1_DCD	I	外部 MODEM 探测到载波信号
GMAC2_RXD1	GPI041	UART1_RI	I	外部 MODEM 探测到振铃信号
GMAC2_RXD2	GPI042	UART1_DSR	I	设备初始化完成
GMAC2_RXD3	GPI043	UART1_DTR	0	串口初始化完成
GMAC2_TCTL	GPI049			
GMAC2_TXCK	GPI052			
GMAC2_TXD0	GPI045	UART1_RTS	0	串口数据传输请求
GMAC2_TXD1	GPI046	UART1_RXD	I	串口数据输入
GMAC2_TXD2	GPI047	UART1_TXD	0	串口数据输出
GMAC2_TXD3	GPI048			
GMACPHY1_LED_100B	GPI061			
GMACPHY1_LED_1KB	GPI062		-	-
GMACPHY1_LED_ACT	GPI060		-	-

2.6 SATA 接口

表 2-6 SATA 接口

信号名称	类型	描述	电源	上下拉
SATA_REFCLKP1 SATA_REFCLKN2	I	差分 25MHz 参考时钟输入 (HCSL 标准, 内部有备份时钟, 通过软件控制)	SAGE_1V0	-
SATA_REFRES	A	通过 487ohm(+/-1%)电阻连至 SAGE_1V0	SAGE_1V0	-
SATA0/1_TXP SATA0/1_TXN	DIFF OUT	SATA 差分数据输出	IO_1V8	-



信号名称	类型	描述	电源	上下拉
SATA0/1_RXP SATA0/1_RXN	DIFF IN	SATA 差分数据输入	SAGE_1V0	-
SATA_LEDN	OD	SATA 工作状态，低表示有数据传输	IO_3V3	-

SATA 接口的 SATA_LEDn 与 GPIO 有复用关系，如下表所示。

信号名称	复用名称	复用类型	复用信号描述
SATA_LEDN	GPIO63	I/O	通用输入输出 63

2.7 USB 接口

表 2-7 USB 接口

信号名称	类型	描述	电源	上下拉
USB20_REFRES[2:0]	A	通过 3Kohm+/- 1%电阻下拉至地	RSM_1V8T	-
USB20_DP[8:0]	I/O	USB D+	RSM_A3V3	-
USB20_DM[8:0]	I/O	USB D-	RSM_A3V3	-
USB20_OC[3:0]	I	USB 过流检测输入，需注意该信号为高有效	RSM_A3V3	-
USB20_ID	I	OTG ID 输入	RSM_1V8T	-
USB20_VBUS	A	OTG VBUS 输入，5V 供电	RSM_A3V3	-
USB30_RESREF	A	外部参考电阻，通过 487ohm(+/- 1%)电阻连至 RSM_1V0R 电源	RSM_1V0R	-
USB30_RXP[3:0]	DIFF IN	USB3 端口差分接收数据正端	RSM_1V0R	-
USB30_RXN[3:0]	DIFF IN	USB3 端口差分接收数据负端	RSM_1V0R	-
USB30_TXP[3:0]	DIFF OUT	USB3 端口差分发送数据正端	RSM_1V8T	-
USB30_TXN[3:0]	DIFF OUT	USB3 端口差分发送数据负端	RSM_1V8T	-
USB30_REFCLKP1 USB30_REFCLKN2		25MHz 参考时钟输入	RSM_1V0R	-

注：1、OTG 为可选功能，使用 USB2 PHY 的 PORT6 端口

2、USB 2.0 控制器对应 USB2 PHY 的 PORT4/5/7/8

3、USB 3.0 控制器对应 USB2 PHY 的 PORT0/1/2/3 和 USB3 PHY 的 PORT0/1/2/3

USB 接口与 GPIO 有复用关系，如下表所示。

信号名称	复用名称	复用类型	复用信号描述
USB20_OC0	GPIO28	I/O	通用输入输出 28
USB20_OC1	GPIO29	I/O	通用输入输出 29
USB20_OC2	GPIO30	I/O	通用输入输出 30
USB20_OC3	GPIO31	I/O	通用输入输出 31

2.8 HDA 接口

表 2-8 HDA 接口

信号名称	类型	描述	电源	上下拉
HDA_BITCLK	0	HDA BITCLK 输出	IO_3V3	-
HDA_SDIO	I	HDA 数据输入，连接第一个 codec	IO_3V3	-
HDA_SDI1	I	HDA 数据输入，连接第二个 codec	IO_3V3	-
HDA_SDI2	I	HDA 数据输入，连接第三个 codec	IO_3V3	-



HDA_SDO	0	HDA 数据输出	IO_3V3	-
HDA_SYNC	0	HDA 同步	IO_3V3	-
HDA_RESETN	0	HDA 复位	IO_3V3	-

HDA 接口与 I2S 以及 GPIO 复用，具体复用关系如下。

信号名称	复用名称	复用类型	复用信号描述
HDA_BITCLK	I2S_BCLK	0	I2S bit 时钟
HDA_SDI0	I2S_DI	I	I2S 数据输入
HDA_SDI1	-	-	-
HDA_SDI2	-	-	-
HDA_SDO	I2S_DO	0	I2S 数据输出
HDA_SYNC	I2S_MCLK	0	I2S MCLK
HDA_RESETN	I2S_LR	0	I2S 左右声道选择
HDA_BITCLK	GPIO21	I/O	通用输入输出 21
HDA_SDI0	GPIO25	I/O	通用输入输出 25
HDA_SDI1	GPIO26	I/O	通用输入输出 26
HDA_SDI2	GPIO27	I/O	通用输入输出 27
HDA_SDO	GPIO24	I/O	通用输入输出 24
HDA_SYNC	GPIO22	I/O	通用输入输出 22
HDA_RESETN	GPIO23	I/O	通用输入输出 23

2.9 SPI 接口

表 2-9 SPI 接口

信号名称	类型	描述	电源	上下拉
SPI_SCK	0	SPI 时钟输出	IO_3V3	-
SPI_CSN[3:0]	0	SPI 片选 3/2/1/0	IO_3V3	-
SPI_SDO	I/O	SPI 数据输出	IO_3V3	上拉
SPI_SDI	I/O	SPI 数据输入	IO_3V3	上拉
SPI_HOLDN	I/O	SPI 地址保持输入输出	IO_3V3	-
SPI_WPN	I/O	SPI 写保护输出	IO_3V3	-

SPI1 与 SDIO 和 GPIO 复用关系见 SDIO 小节介绍。

2.10 I2C 接口

表 2-10 I2C 接口

信号名称	类型	描述	电源	上下拉
I2C[3:0]_SCL	OD	I2C 时钟	IO_3V3	-
I2C[3:0]_SDA	OD	I2C 数据	IO_3V3	-

I2C2 和 I2C3 复用关系见 LPC 小节介绍。

2.11 UART 接口

表 2-11 UART 接口

信号名称	类型	描述	电源	上下拉
UART_TXD	0	串口数据输出	IO_3V3	-
UART_RXD	I	串口数据输入	IO_3V3	-



信号名称	类型	描述	电源	上下拉
UART_RTS	0	串口数据传输请求	IO_3V3	-
UART_DTR	0	串口初始化完成	IO_3V3	-
UART_RI	I	外部 MODEM 检测到振铃信号	IO_3V3	-
UART_CTS	I	设备接受数据就绪	IO_3V3	-
UART_DSR	I	设备初始化完成	IO_3V3	-
UART_DCD	I	外部 MODEM 检测到载波信号	IO_3V3	-
ND_UART_TXD	0	串口数据输出	IO_3V3	-
ND_UART_RXD	I	串口数据输入	IO_3V3	-

龙芯 2K2000-i 有 3 个独立的全功能串口（UART0/UART1/UART2）和 1 个双线 UART 接口（ND-UART），ND-UART 为 NODE 上的串口，其他串口通过设置可以工作在 2x4 和 4x2 模式，UART0 各种模式的管脚对应关系如下。

1x8	2x4	4x2
TXD0 (O)	TXD0 (O)	TXD0 (O)
RTS0 (O)	RTS0 (O)	TXD5 (O)
DTR0 (O)	TXD3 (O)	TXD3 (O)
RXD0 (I)	RXD0 (I)	RXD0 (I)
CTS0 (I)	CTS0 (I)	RXD5 (I)
DSR0 (I)	RXD3 (I)	RXD3 (I)
DCD0 (I)	CTS3 (I)	RXD4 (I)
RI0 (I)	RTS3 (O)	TXD4 (O)

UART 接口与 AVS 复用，具体复用关系如下。

信号名称	复用名称	复用类型	复用信号描述
UART_TXD			
UART_RXD			
UART_RTS			
UART_DTR			
UART_RI	AVS_MDATA	0	输出数据
UART_CTS			
UART_DSR	AVS_CLOCK	0	输出时钟
UART_DCD	AVS_SDATA	I	输入数据

UART1 和 UART2 的复用关系分别见 GMAC 和 LPC 小节。

2.12 CAN 接口

表 2-12 CAN 接口

信号名称	类型	描述	电源	上下拉
CAN[0:5]_RX	I	CAN 通道 0 数据接收	IO_3V3	-
CAN[0:5]_TX	0	CAN 通道 0 数据发送	IO_3V3	-

CAN0-3 接口与 LPC 接口有复用，CAN4-5 接口与 PWM 有复用，具体复用参见各自小节。

2.13 LPC 接口

表 2-13 LPC 接口



信号名称	类型	描述	电源	上下拉
LPC_AD[3:0]	I/O	LPC 复用的命令、地址、数据信号线 3/2/1/0	IO_3V3	上拉
LPC_CLK	0	LPC 33MHz 时钟输出	IO_3V3	-
LPC_FRAMEN	I/O	LPC 总线帧起始、结束信号	IO_3V3	-
LPC_RESETN	0	LPC 总线复位信号	IO_3V3	-
LPC_SERIRQ	I/O	LPC 总线 serial IRQ 信号，用于传输串行中断信号	IO_3V3	上拉

LPC 与 UART、CAN、I2C、GPIO 有复用，复用关系见下表。

信号名称	复用名称 1	复用名称 2	复用名称 3	复用名称 4
LPC_ADO	UART2_DCD(UART9_CTS/UART10_RXD)	CAN3_RX	I2C2_SCL	GPIO32
LPC_AD1	UART2_RI(UART9_RTS/UART10_TXD)	CAN3_TX	I2C2_SDA	GPIO33
LPC_AD2	UART2_DSR(UART9_RXD)	CAN2_RX	I2C3_SCL	GPIO34
LPC_AD3	UART2_DTR(UART9_TXD)	CAN2_TX	I2C3_SDA	GPIO35
LPC_CLK	UART2_TXD	CAN0_TX		GPIO39
LPC_FRAMEN	UART2_RTS(UART11_TXD)	CAN1_TX		GPIO37
LPC_RESETN	UART2_RXD	CAN0_RX		GPIO38
LPC_SERIRQ	UART2_CTS(UART11_RXD)	CAN1_RX		GPIO36

2.14 SDIO 接口

表 2-14 SDIO 接口

信号名称	类型	描述	电源	上下拉
SDIO_CLK	0	SDIO 时钟输出	IO_3V3	-
SDIO_CMD	I/O	SDIO 命令输入输出	IO_3V3	-
SDIO_DATA[3:0]	I/O	SDIO 数据信号	IO_3V3	-

SDIO 与 SPI1、GPIO 有复用，复用关系见下表。

信号名称	复用名称 1	复用名称 2	复用 2 类型	复用 2 信号描述
SDIO_CLK	GPIO59	SPI1_SCK	0	SPI 时钟输出
SDIO_CMD	GPIO58	SPI1_SDO	0	SPI 数据输出
SDIO_DATA0	GPIO54	SPI1_CS _n 0	0	SPI 片选 0
SDIO_DATA1	GPIO55	SPI1_CS _n 2/WPN	0	SPI 片选 2/写保护输出
SDIO_DATA2	GPIO56	SPI1_CS _n 3/HOLDN	0	SPI 片选 3/地址保持输入输出
SDIO_DATA3	GPIO57	SPI1_SDI	I	SPI 数据输入

2.15 eMMC 接口

表 2-15 eMMC 接口

信号名称	类型	描述	电源	上下拉
EMMC_CLK	0	EMMC 时钟输出	IO_3V3/1V8	-
EMMC_CMD	I/O	EMMC 命令输入输出	IO_3V3/1V8	-
EMMC_DATA[7:0]	I/O	EMMC 数据输入输出位	IO_3V3/1V8	-
EMMC_DS	I	EMMC 数据选通信号	IO_3V3/1V8	-

eMMC 与 GPIO 有复用，复用关系见下表。

信号名称	复用名称	复用类型	复用信号描述
EMMC_CLK	GPIO20	I/O	通用输入输出
EMMC_CMD	GPIO19	I/O	通用输入输出



EMMC_DATA[7:0]	GPIO[17:10]	I/O	通用输入输出
EMMC_DS	GPIO18	I/O	通用输入输出

2.16 GPIO 接口

下表仅列出专用的 4 个 GPIO 引脚信号，不包含 ACPI 和 SE 专用 GPIO，同时其他 GPIO 均为复用信号，可参考其他信号定义。

表 2-16 GPIO 接口

信号名称	类型	描述	电源	上下拉
GPIO[03:00]	I/O	通用输入输出	IO_3V3	-

2.17 PWM 接口

表 2-17 PWM 接口

信号名称	类型	描述	电源	上下拉
PWM[5:0]	IO	PWM 输出	IO_3V3	-

PWM 与 CAN、GPIO 有复用，复用关系如下。

信号名称	复用名称 1	复用名称 2	复用 2 类型	复用 2 信号描述
PWM0	GPIO04			
PWM1	GPIO05			
PWM2	GPIO06	CAN4_TX	0	CAN 通道 4 数据发送
PWM3	GPIO07	CAN4_RX	I	CAN 通道 4 数据接收
PWM4	GPIO08	CAN5_TX	0	CAN 通道 5 数据发送
PWM5	GPIO09	CAN5_RX	I	CAN 通道 5 数据接收

2.18 ACPI 接口

表 2-18 ACPI 接口

信号名称	类型	描述	电源	上下拉
ACPI_DOTESTN	I	测试模式控制 (ACPI 电压域) 0: 测试模式 1: 功能模式	ACPI_3V3	-
ACPI_EN	I	ACPI 功能使能，板级必须控制，可根据需要设置为 0 或者 1。 0: 不使能 ACPI 功能，此时除了复位信号 (ACPI_SYSRSTN) 外，其他电源管理信号无效； 1: 使能 ACPI 功能；	ACPI_3V3	上拉
ACPI_GPIO[7:0]	IO	ACPI 域 GPIO 端口，用作 GPE 功能，具有唤醒和中断功能，中断类型包括电平/边沿/双沿，极性可设置。不使用时可不接	ACPI_3V3	-
ACPI_PLTRSTN	0	平台复位，低有效。建议板级使用该复位信号，ACPI_EN 为 0 时该信号仅受 ACPI_SYSRSTN 控制	ACPI_3V3	上拉
ACPI_PWRBTNN	I	电源开关，低有效。不使用时上拉处理	ACPI_3V3	-
ACPI_PWROK	I	电源有效，指示最后一级电源上电成功，高有效。不使用时上拉处理	ACPI_3V3	-



ACPI_RSMRSTN	I	ACPI 域复位信号，低有效。必须按照时序要求进行控制	ACPI_3V3	-
ACPI_S3/4/5N	0	S3/S4/S5 状态，低有效。不使用时可不接	ACPI_3V3	上拉
ACPI_SUSSTATN	0	低功耗状态，低有效。不使用时可不接	ACPI_3V3	上拉
ACPI_SYSRSTN	I	系统复位，低有效。必须按照时序要求进行控制	ACPI_3V3	-
ACPI_VSBGATE	0	主电源和 standby 电源切换控制信号。不使用时可不接	ACPI_3V3	-
ACPI_WAKEN	I	PCIE 唤醒，低有效。不使用时上拉处理	ACPI_3V3	-

2.19 JTAG 接口

表 2-19 JTAG 接口

信号名称	类型	描述	电源	上下拉
JTAG_TSEL[1:0]	I	JTAG 选择 00: CPU_JTAG 01: SE_JTAG 10: LA132_JTAG 11: GPU_JTAG	IO_3V3	下拉
JTAG_TCK	I	JTAG 时钟	IO_3V3	下拉
JTAG_TDI	I	JTAG 数据输入	IO_3V3	-
JTAG_TMS	I	JTAG 模式	IO_3V3	-
JTAG_TRSTN	I	JTAG 复位	IO_3V3	下拉
JTAG_TDO	0	JTAG 数据输出	IO_3V3	-

2.20 时钟信号

表 2-21 时钟信号

信号名称	类型	描述	电源	上下拉
SYS_CLKIN	I	100MHz 参考时钟	IO_3V3	-
SYS_TESTCLK	I	测试时钟输入，功能模式必须下拉	IO_3V3	-

2.21 RTC 相关信号

表 2-22 RTC 相关信号

信号名称	类型	描述	电源	上下拉
RTC_XI	I/O	32.768KHz 晶体输入，或者外部 32.768KHz 时钟输入	RTC_core*	-
RTC_XO	I/O	32.768KHz 晶体输出接口	RTC_core*	-

*: RTC_core 为内部电源

2.22 系统相关信号

表 2-23 系统相关信号

信号名称	类型	描述	电源	上下拉
SYS_CLKSEL	I	eMMC 引脚电压检测结果选择 (VDD 大于 0.85V 时推荐 0) 0: 硬件检测结果 1: 软件配置	IO_3V3	下拉
PRG_CLKSEL	I	PRG 参考时钟选择 0: 选择 USB3 输出的 25MHz 参考时钟 1: 选择 PCIE_REFCLKp/n 作为参考时钟	IO_3V3	下拉



信号名称	类型	描述	电源	上下拉
USB_CLKSEL	I	USB 参考时钟选择 0: USB 参考时钟为 25MHz 晶体 1: USB 参考时钟为 25MHz 差分输入	IO_3V3	下拉
CHIP_CONFIG[1:0]	I	PLL 时钟配置输入 00: 低频模式 01: 高频模式 10: 软件模式 (DFT) 11: bypass 模式	IO_3V3	bit0: 下拉 bit1: 下拉
CHIP_CONFIG[3:2]	I	启动选择 00: LIO 01: SPI 10: SDIO 11: eMMC	IO_3V3	bit2: 上拉 bit3: 下拉
CHIP_CONFIG4/5	I	未使用	IO_3V3	下拉
CHIP_CONFIG6	I	LIO 模式 0: 8bit 1: 16bit	IO_3V3	下拉
CHIP_CONFIG7	I	PCIE_F1/G0 端口模式 (为 0 时可通过软件更改模式) 0: PCIE 1: Rapid IO	IO_3V3	下拉
CHIP_CONFIG8	I	PCIE_ G0 工作模式 0: RC 模式 1: EP 模式	IO_3V3	下拉

2.23 其它引脚

表 2-24 其他引脚

信号名称	类型	描述	电源	上下拉
VDDG_CPU0/1	I/O	NC, 必须悬空	-	-
VDDG_GPUTOP	I/O	NC, 必须悬空	-	-
VDDG_GPUVUSPC	I/O	NC, 必须悬空	-	-
VDDG_SE	I/O	NC, 必须悬空	-	-
NMIN	I	不可屏蔽中断输入	IO_3V3	上拉
BBG_GNDSIN	I	BBGEN 模块-1.1~1.1V 偏置 GND 输入	-	-
BBG_GNDSOUT	O	BBGEN 模块-1.1~1.1V 偏置 GND 输出	-	-
BBG_VDDSIN	I	BBGEN 模块-1.1~1.1V 偏置 VDD 输入	-	-
BBG_VDDSOUT	O	BBGEN 模块-1.1~1.1V 偏置 VDD 输出	-	-
BBG_VNEG	I	通过 1uF/4.7V 电容接地	-	-

2.24 外设功能复用表

模块层次的功能复用关系如下表所示:

表 2-25 外设功能复用表

功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6
DDR4						
SE						
PCIEx4	4*PCIEx1					
PCIEx4	2*PCIEx1	SRIOx4				



功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6
PCIEx4		SRIOx4				
SATA	GPIO(1)					
USB	GPIO(4)					
GMAC0/1 (w/PHY)	GPIO(3)					
HDMI						
DVO	GPIO(32)	Local Bus				
GMAC2 (RGMII)	GPIO(14)		UART1 (8)	UART1 (4)	UART1 (2)	
					UART8 (2)	
				UART6 (4)	UART6 (2)	
					UART7 (2)	
HDA	GPIO(7)			I2S		
SPI0						
RTC						
I2C0						
I2C1						
LPC	GPIO(2)	CAN0	UART2 (8)	UART2 (4)	UART2 (2)	
	GPIO(2)	CAN1			UART11 (2)	
	GPIO(2)	CAN2		UART9 (4)	UART9 (2)	I2C2
	GPIO(2)	CAN3			UART10 (2)	I2C3
			UART0 (8)	UART0 (4)	UART0 (2)	
					UART5 (2)	
				UART3 (4)	UART3 (2)	AVS (3)
					UART4 (2)	
			UART (2)			
JTAG (LA364)		JTAG	JTAG (GPU)	JTAG (LA132)	JTAG (SE)	
	GPIO(4)					
PWM0-1	GPIO(2)					
PWM2-3	GPIO(2)	CAN4	GPU_UART			
PWM4-5	GPIO(2)	CAN5				
eMMC	GPIO(11)					
SDIO	GPIO(6)		SPI1			
ACPI	GPIO(8)					



3 功能描述

3.1 DDR4 接口

芯片集成的内存接口遵守 DDR4 SDRAM 行业标准（JESD79-4）。

内存支持的片选个数为 2，一共含有 21 位的地址总线（即：17 位的行列地址总线、2 位逻辑 Bank 总线和 2 位逻辑 Bank Group 总线，其中行列地址总线与 RASn、CASn 和 Wen 复用）。在具体选择使用不同内存芯片类型时，可以调整 DDR4 控制器参数设置进行支持。其中，行地址（ROW）数为 17，列地址（COL）数为 12。

芯片集成的内存控制器具有如下特征：

- 72 位 DDR4 控制器（含 8 位 ECC），最高支持 DDR2400
- 64/32 位模式支持 ECC
- 支持 64/32/16 位模式
- 支持命令调度
- 接口上命令、读写数据全流水操作；
- 内存命令合并、排序提高整体带宽；
- 配置寄存器读写端口，可以修改内存设备的基本参数；
- 内建动态延迟补偿电路（DCC），用于数据的可靠发送和接收；
- 支持 DDR4 SDRAM，且参数配置支持 x8、x16 颗粒；
- 控制器与 PHY 频率比 1/2 ；
- 支持数据传输速率范围为 800Mbps-2400Mbps。

3.2 PCIE 接口

龙芯 2K2000-i 有 3 个 PCIE 模块：F0、F1、G0。

F0 模块既可以作为一个 X4/X2/X1 的 PCIE 端口也可以作为 4 个独立的 X1 PCIE 端口；

F1 模块既可以作为一个 X4/X2/X1 的 PCIE 端口也可以作为 2 个独立的 X1 PCIE 端口，作为 X1 端口时，仅 LANE0 和 LANE1 可用，LANE2 和 LANE3 不可用；

G0 模块只能作为一个 X4/X2/X1 的 PCIE 端口。

F0 模块包含 0~3 号，共 4 个 PCIE 端口。0 号端口可以以 X4/X2/X1 的方式工作，1~3 号端口仅能以 X1 的方式工作。各模式下，F0 的所有 PCIE 端口最高工作速率为 GEN3（8Gbps），只能工作在 RC 模式。



F1 模块包含 0 和 1 号 PCIE 端口。0 号端口可以以 X4/X2/X1 的方式工作，1 号端口仅能以 X1 的方式工作。2X1 模式时，F1 的所有 PCIE 端口最高工作速率为 GEN2（5Gbps）。F1 只能工作在 RC 模式。

G0 模块包含 0 号 PCIE 端口。0 号端口可以以 X4/X2/X1 的方式工作，最高工作速率为 GEN3（8Gbps）。G0 允许工作在 RC 或 EP 模式。

G0 有内置的 DMA 控制器，可以在内部总线与 PCIE 总线间进行数据搬运。

3.3 显示控制

龙芯 2K2000-i 的显示控制器从内存中取帧缓冲和光标信息输出到外部显示接口上。其支持的特性包括：

- 1 路 HDMI (显示通道 0) 和 1 路 DVO (显示通道 1)
- HDMI 分辨率最大支持至 4K @30Hz
- DVO 分辨率最大支持至 1080p@60Hz
- 横向分辨率必须为 8 的整数倍（比如不支持 1366 分辨率）
- Tile 模式只支持 1080p 及以下和 4K 分辨率
- Tile4 不支持压缩模式
- Monochrome、ARGB8888 两种模式硬件光标
- 两路硬件光标，光标像素为 64 x 64 或 32 x 32 可选
- RGB444, RGB555, RGB565, RGB888 四种色深
- 输出抖动和伽马校正
- 支持线性显示缓冲，可切换的双路线性帧缓冲
- 中断和软复位
- 上电序列控制
- 低功耗管理

3.4 SATA 控制器

2 个 SATA 端口，特性如下：

- 支持 SATA 1.5Gbps、SATA2 代 3Gbps 和 SATA3 代 6Gbps 的传输
- 兼容串行 ATA 2.6、AHCI 1.1 和 AHCI 1.3.1 规范

3.5 USB 接口

龙芯 2K2000-i 的 USB 端口特性如下：

- USB 3.0 协议，最高传输速度可达 5Gbps
- 兼容 USB 1.1、USB 2.0 协议



- 兼容 XHCI Rev1.1 协议
- 支持 4 个 USB3.0 端口，每个端口都可挂 SS、LS、FS 或 HS 设备
- 支持 8 个 USB2.0 端口，每个端口都可挂 LS、FS 或 HS 设备
- 支持 S3 休眠唤醒

龙芯 2K2000-i 的 USB 2.0 端口 6 固定为 OTG 工作模式（OTG 为可选功能），支持特性如下：

- 支持 HNP 与 SRP 协议；
- 内嵌 DMA，无需占用处理器带宽即可在 OTG 与外部存储之间移动数据；
- 在 device 模式下，为高速设备（480Mbps）；
- 在 host 模式下，仅能支持高速设备（480Mbps）；
- 在 device 模式下，支持 6 个双向的 endpoint，其中仅有默认的 endpoint0 支持控制传输；
- 在 device 模式下，最多同时支持 4 个 IN 方向的传输；
- 在 host 模式下，支持 12 个 channel，且软件可配置每个 channel 的方向；
- 在 host 模式下，支持 periodic OUT 传输；
- 除 OTG 外，所有 USB2.0 端口支持 S3 休眠唤醒

3.6 GMAC 控制器

龙芯 2K2000-i 集成了 3 个 GMAC 控制器，即 GMAC0/1/2，其中 GMAC0/1 内部集成 PHY，GMAC2 通过 RGMII 接口连接外置 PHY，分别为 Device 3 的功能 0/1/2。特性如下：

- 三路 10/100/1000Mbps 自适应以太网 MAC
- 一路 RGMII 接口，2 路千兆网口
- 均兼容 IEEE 802.3
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除
- RGMII 接口支持网络唤醒
- 支持 TSN，其中：时间同步协议支持 IEEE 1588V2 和 IEEE 802.1AS-2011；流量整形协议支持 IEEE 802.1Qav-2009；时间感知调度协议支持 IEEE 802.1Qbv-2016



3.7 HDA 接口

HDA 控制器特性如下：

- 兼容 Rev 1.0a
- 支持 16、18 和 20 位采样精度，支持可变速率
- 最高采样频率 192KHz
- 7.1 频道环绕立体声输出
- 三路音频输入

3.8 I2S 接口

龙芯 2K2000-i 中 I2S 控制器，数据宽度是 32 位，支持 DMA 传输，支持多家公司的 codec 芯片。I2S 控制器支持主或从模式。主模式时由 I2S 控制器产生位时钟信号、左右声道选择时钟信号和数据信号，从模式时 I2S 控制器接收位时钟信号、左右声道选择时钟信号和数据信号。主模式时，codec 系统时钟由控制器提供，从模式时，系统时钟可由控制器或晶振提供。I2S 的功能特性包括：

- 支持 8、16、18、20、24、32 位的音频数据采样位宽。
- 支持 8、16、32 位的左右声道处理字宽。
- 包含两个缓存 FIFO，FIFO 的缓存容量为 8bytes。
- I2S 的中断处理模式可配，在 I2S 的发送和接收中断功能都使能后，当两个通道的缓存 fifo 为满仍要写以及为空仍要读时，则向 CPU 发出中断信号。
- I2S 可以为 codec 芯片提供系统时钟，时钟频率可配。
- 支持 master/slave 模式下 I2S 输入
- 支持 master/slave 模式下 I2S 输出
- 支持单声道和立体声道音频数据
- 支持 (16、22.05、32、44.1、48)KHz 采样频率
- 支持 DMA 传输模式

3.9 SPI 控制器

串行外围设备接口 SPI 总线技术是多种微处理器、微控制器以及外围设备之间的一种全双工、同步、串行数据接口标准。龙芯 2K2000-i 集成了 2 个 SPI 控制器，特性如下所示：

- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持



- 支持到 4 个的变长字节传输
- 支持系统启动
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式
- SPI1 可以配置为 4 线模式，SPI1 通过 PCI 设备的方式访问

龙芯 2K2000-i 集成的 SPI 控制器仅可作为主控端，所连接的是从设备。对于软件而言，SPI 控制器除了有若干 IO 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory 空间分配在 0x1c000000，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI Flash 启动。

以下列举了 SPI 管脚信号与外设通信的时序图：

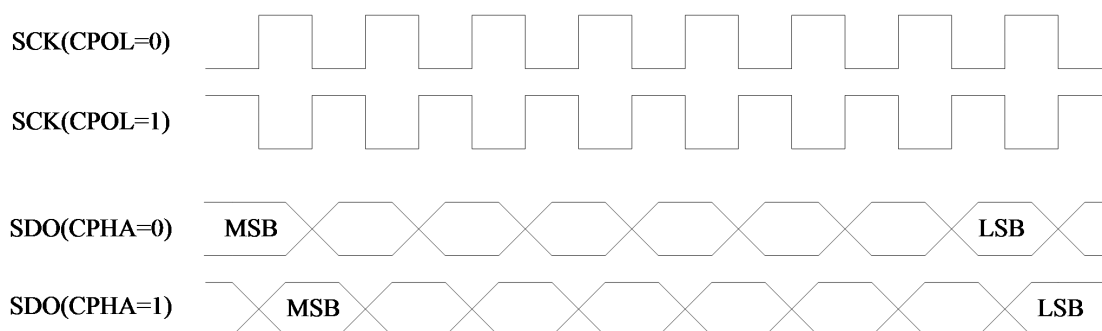


图 3-1 SPI 主控制器接口时序

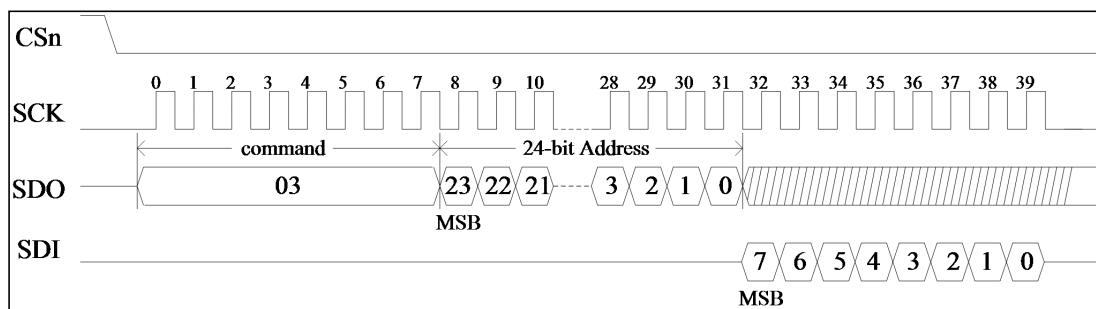


图 3-2 SPI Flash 标准读时序



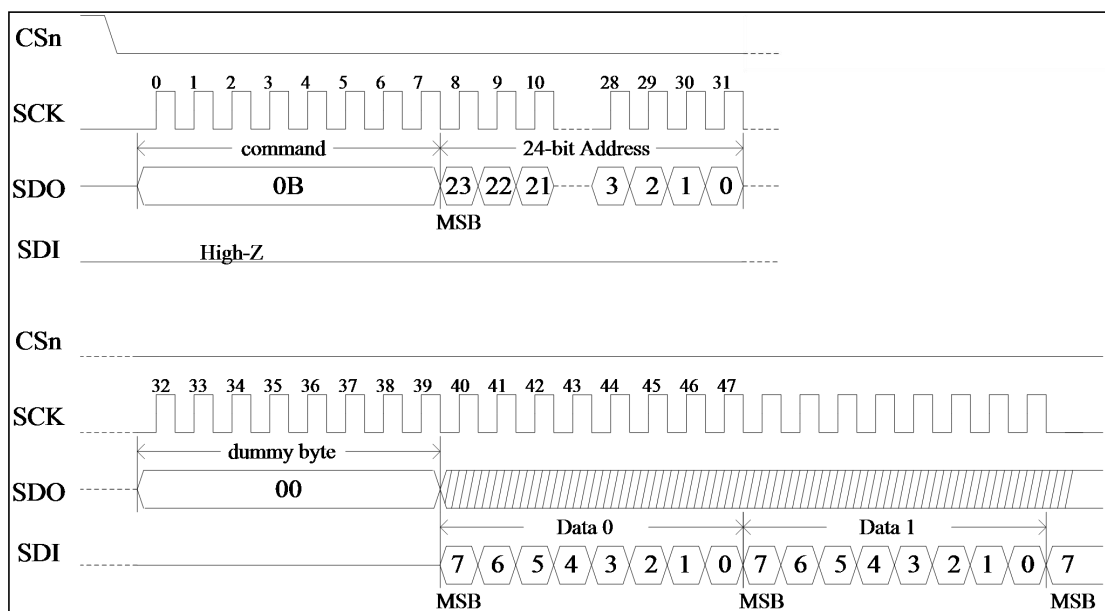


图 3-3 SPI Flash 快速读时序

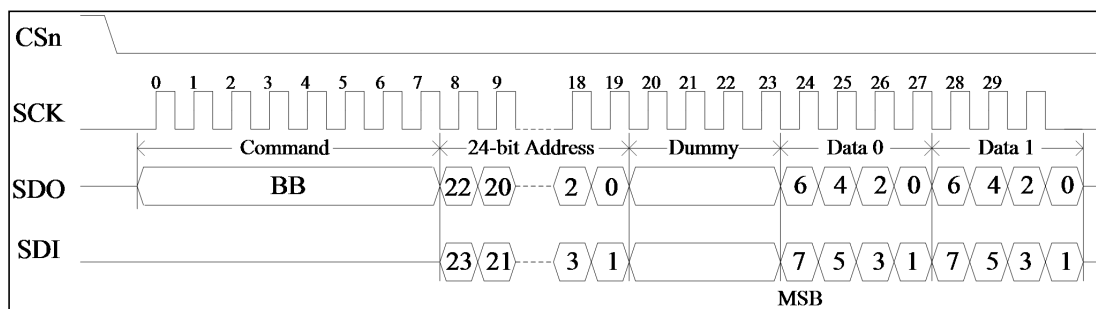


图 3-4 SPI Flash 双向 I/O 读时序

3.10 LPC 接口

龙芯 2K2000-i 的 LPC 控制器具有以下特性：

- 符合 LPC1.1 规范
- 支持 LPC 访问超时计数器
- 支持 Memory Read/write 访问类型
- 支持 Firmware Memory Read/Write 访问类型（单字节）
- 支持 I/O read/write 访问类型
- 支持 TPM I/O read/write 访问类型
- 支持 Memory 访问类型地址转换
- 支持 Serial IRQ 规范，支持 17 个中断源

3.11 UART 接口

UART 控制器提供与 MODEM 或其他外部设备串行通信的功能，例如与另外一台



计算机，以 RS232 为标准使用串行线路进行通信。该控制器在设计上能很好地兼容国际工业标准半导体设备 16550A。

龙芯 2K2000-i 集成了 13 个 UART 接口和 13 个 UART 控制器，其中，UART0、UART3、UART4、UART5 复用 UART0 接口；UART1、UART6、UART7、UART8 复用 UART1 接口；UART2、UART9、UART10、UART11 复用 UART2 接口；ND_UART 为 node 上的控制器接口。其特性如下：

- 1 个双线 UART、3 个全功能 UART 和流控 TXD, RXD, CTS, RTS, DSR, DTR, DCD, RI
- 在寄存器与功能上兼容 NS16550A
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

UART 控制器有发送和接收模块（Transmitter and Receiver）、MODEM 模块、中断仲裁模块（Interrupt Arbitrator）、和访问寄存器模块（Register Access Control），这些模块之间的关系见下图所示。主要模块功能及特征描述如下：

1) 发送和接收模块：负责处理数据帧的发送和接收。发送模块是将 FIFO 发送队列中的数据按照设定的格式把并行数据转换为串行数据帧，并通过发送端口送出去。接收模块则监视接收端信号，一旦出现有效开始位，就进行接收，并实现将接收到的异步串行数据帧转换为并行数据，存入 FIFO 接收队列中，同时检查数据帧格式是否有错。UART 的帧结构是通过行控制寄存器（LCR）设置的，发送和接收器的状态被保存在行状态寄存器（LSR）中

2) MODEM 模块：MODEM 控制寄存器（MCR）控制输出信号 DTR 和 RTS 的状态。MODEM 控制模块监视输入信号 DCD, CTS, DSR 和 RI 的线路状态，并将这些信号的状态记录在 MODEM 状态寄存器（MSR）的相对位中。

3) 中断仲裁模块：当任何一种中断条件被满足，并且在中断使能寄存器（IER）中相应位置 1，那么 UART 的中断请求信号 UAT_INT 被置为有效状态。为了减少和外部软件的交互，UART 把中断分为四个级别，并且在中断标识寄存器（IIR）中标识这些中断。四个级别的中断按优先级级别由高到低的排列顺序为，接收线路状态中断；接收数据准备好中断；传送拥有寄存器为空中断；MODEM 状态中断。

4) 访问寄存器模块：当 UART 模块被选中时，CPU 可通过读或写操作访问被地址线选中的寄存器。



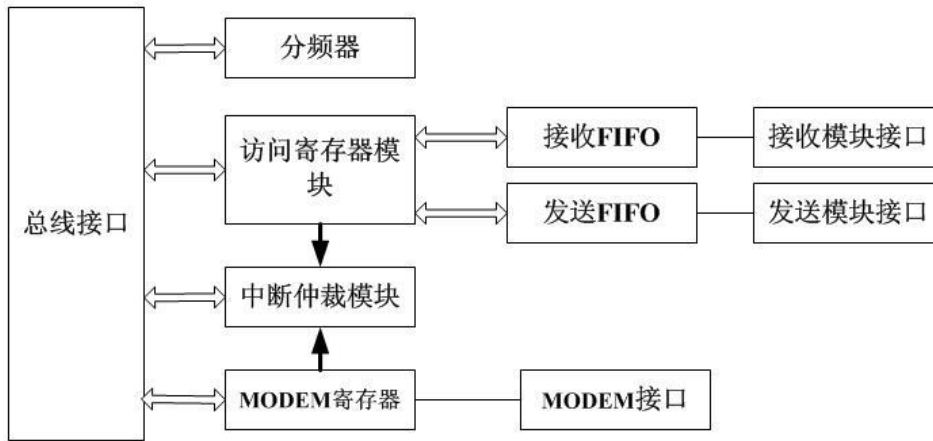


图 3-5 UART 控制器结构

3.12 I2C 总线

I2C 总线是由数据线 SDA 和时钟 SCL 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 400kbps。

龙芯 2K2000-i 集成了 4 个 I2C 接口（I2C0~I2C3）及控制器，4 个 I2C 控制器均可以做主设备（master），可通过引脚与其他 I2C 设备进行数据的交换。其中 I2C2 还可以作为从设备，包含 6 个 8bit 数据寄存器可用于 LA132 的通信接口，主设备还可以访问温度传感器、RTC 计数值，并通过中断寄存器产生中断请求。其特性如下：

- 兼容 SMBUS（100Kbps）
- 与 PHILIPS I2C 标准相兼容
- 履行双向同步串行协议
- 主从设备支持
- 能够支持多主设备的总线
- 总线的时钟频率可编程
- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

3.13 PWM

龙芯 2K2000-i 中实现了 6 路脉冲宽度调节/计数控制器，以下简称 PWM。每一路 PWM 工作和控制方式完全相同。每路 PWM 有一路脉冲宽度输出信号和一路待测脉



冲输入信号。时钟频率为 50MHz，计数寄存器和参考寄存器均 32 位数据宽度。其特性如下：

- 支持定时器功能
- 支持计数器功能
- 支持防死区发生控制

3.14 HPET

HPET (High Precision Event Timer, 高精度事件定时器) 定义了一组新的定时器，这组定时器被操作系统使用，用来给线程调度，内核以及多媒体定时器服务器等产生中断。操作系统可以将不同的定时器分配给不同的应用程序使用。通过配置，每个定时器都能独立产生中断。

这组定时器由一个向上累加的主计时器 (up-counter) 以及一组比较器构成。这个计时器以固定的频率 (125MHz) 向上累加，因此当软件两次读取计时器的值时，除非遇到计时器溢出，否则第二次读取的值总是比第一次读取的值大。而每个定时器都包含一个 match 寄存器以及一个比较器。当 match 寄存器的值与主计时器相等时，那么定时器产生中断。部分定时器可产生周期性中断。

内部包括一个 64 位的主计数器 (main count) 以及三个 32 位的比较器 (comparator)。在这三个比较器中，比较器 0 支持周期性中断 (periodic-capable) 和非周期性中断，其他两个比较器支持非周期性中断。

3.15 RTC

实时时钟 (RTC) 单元可以在主板上电后进行配置，当主板断电后，该单元仍然运作，可以仅靠板上的电池供电就正常运行，支持定时开关机功能。RTC 单元运行时电流约 10 微安。

RTC 包含振荡器，结合外部 32.768KHZ 晶体产生工作时钟。该时钟用于时间信息的维护以及产生各种定时和计数中断。可产生 3 个计时中断。

RTC 模块中包含两个计数器，分别为 TOY (Time of Year) 计数器和 RTC 计数器。其中 TOY 计数器按年月日时分秒计数，精度为以 0.1 秒；RTC 计数器以 32.768KHz 时钟计数，宽度为 32 位。

3.16 ACPI 接口

龙芯 2K2000-i 支持 Advanced Configuration and Power Interface, Version 4.0a (ACPI)，提供相应的功耗管理功能。支持 ACPI S3 (待机到内存)，ACPI S4



（待机到硬盘），ACPI S5（软关机），并且支持电源失效检测和自动系统恢复。
支持多种唤醒方式（USB，GMAC，电源开关等）。

3.17 Watchdog

龙芯 2K2000-i 中的看门狗由 32 比特计数器及初始化寄存器组成

3.18 CAN

龙芯 2K2000-i 集成了 6 路 CAN 接口控制器，符合 CAN2.0 规范。CAN 总线是由发送数据线 TX 和接收数据线 RX 构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率 1Mbps。支持中断。

3.19 GPIO

龙芯 2K2000-i 共有 96 个 GPIO 引脚（不包含 ACPI 和 SE 专用 GPIO），4 个为专用 GPIO（GPIO[03:00]，默认输出 1），其余 92 个（默认输入）与其他功能复用。96 个 GPIO 中 32 个为 node 上的 GPIO，其余 64 个为南桥上的 GPIO。其特性有：

- 输入中断功能
- 中断极性、触发类型可设置

3.20 SDIO 控制器

龙芯 2K2000-i 集成了一个 SDIO 控制器，用于 SD Memory 和 SDIO 卡的读写。
SDIO 控制器特性如下：

- 兼容 SD 存储卡规格（4.0 版本）
- 兼容 SDIO 卡规格（4.0 版本）
- 8 字（32 字节）数据发送/接收 FIFO
- 扩展的 256 位 SD 卡状态寄存器
- 8 位预分频逻辑（频率=系统时钟/(p+1)）
- DMA 数据传输模式
- 专用独立 DMA 通道
- 1 位/4 位（宽总线）的 SD 模式

3.21 eMMC 控制器

龙芯 2K2000-i 中集成了一个 eMMC 控制器，其特性如下：

- 兼容 eMMC5.1 版本



- 支持 eMMC 启动
- 8 位预分频逻辑（频率=系统时钟/(p+1)）
- DMA 数据传输模式
- 专用独立 DMA 通道
- 1 位/4 位/8 位的总线模式

3.22 AVS

- AVS 通过 APB 设备进行访问

3.23 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

3.24 加解密模块

- AES、DES 算法支持
- RSA 算法支持



4 时钟

4.1 芯片时钟结构

龙芯 2K2000-i 由一个 100MHz 单端时钟作为参考时钟，内部共有 6 个独立的 PLL，其中每个 PLL 最多可以提供 3 组频率上相互依赖的时钟输出。芯片时钟结构如下图所示：

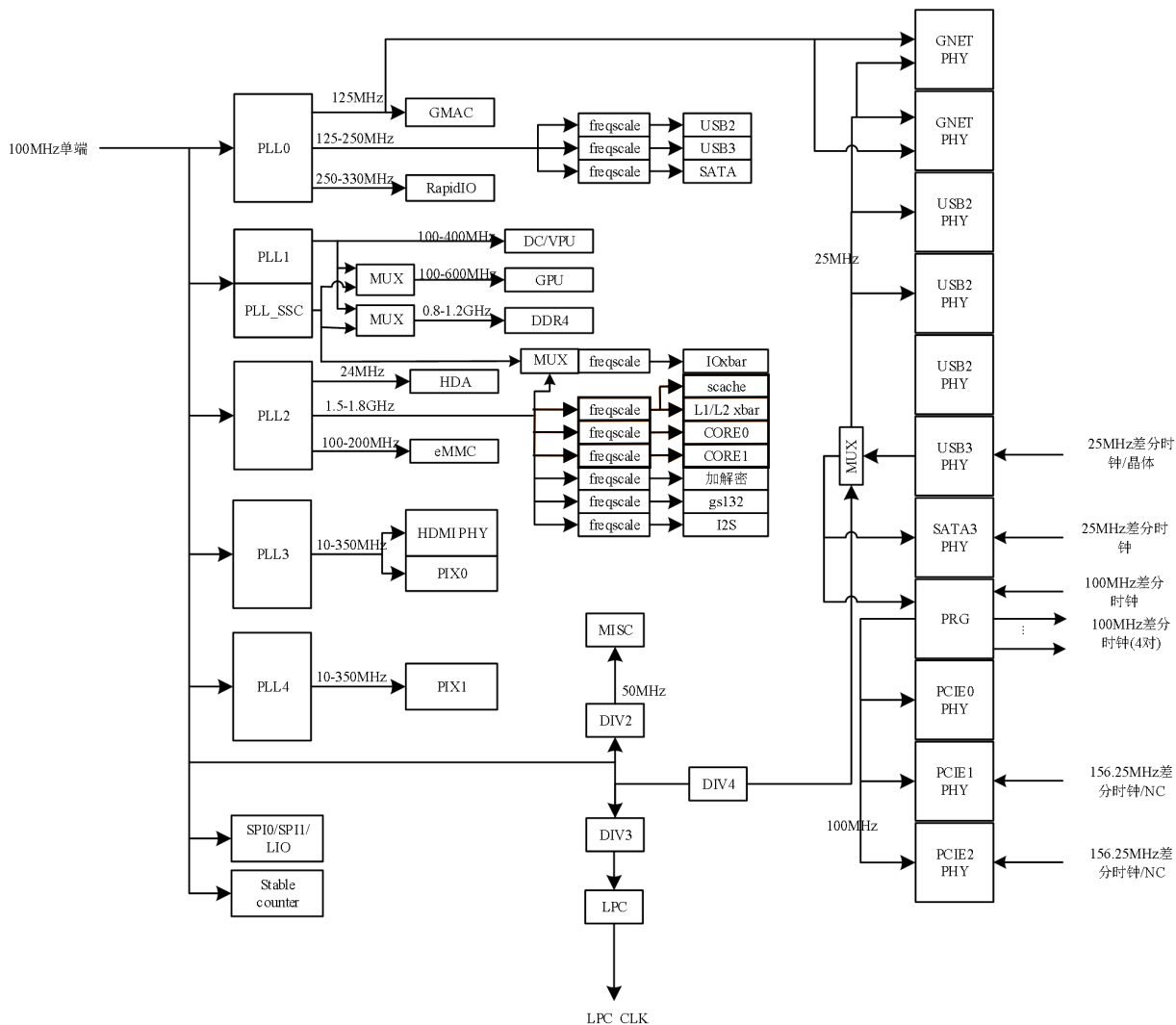


图 4-1 芯片时钟结构图

上述 6 个 PLL 的用途分别为：

- 一个 PLL 用于产生 HDA、node 和 eMMC 时钟，node 时钟经过各自分频供 CPU 核、二级 Cache、一二级交叉开关、IO 子网络、I2S、加解密模块以及 LA132 使用；
- 一个 PLL 产生 GMAC 控制器、RapidIO、SATA 以及 USB 的时钟；



- 一个 PLL 产生 GPU、DC、VPU、DDR 时钟；
- 一个 PLL 产生 PIX0 和 HDMI PHY 时钟
- 一个 PLL 产生 PIX1 时钟
- 一个展频 PLL 产生 GPU、DDR 和 IO 子网络时钟
- 还有一个 MISC 时钟，直接使用 100MHz 参考时钟通过分频得到。

4.2 系统参考时钟

芯片的系统参考时钟为单端输入时钟 SYS_CLKIN，频率为 100MHz。

4.3 RTC 时钟

RTC 时钟频率要求为 32.768KHz。可选择外接晶体或者晶振，芯片内部 RTC 模块可以自适应这两种时钟输入，无需特别控制。

4.4 PCIE PHY 参考时钟

龙芯 2K2000-i 的 PCIE 有 3 个 PHY，它们共用内部参考时钟。可以从下面三个时钟源对参考时钟进行选择：

- 1、外部 100MHz 单端参考时钟 SYS_CLKIN
- 2、外部 100MHz 差分输入(PCIE REFCLKp/n)
- 3、USB PHY 的 25MHz 参考时钟(USB CLKINp/n)

另外，PCIE F1 作为 RapidIO 使用时由外部提供 156.25MHz 的差分参考时钟。这种情况下，其他 PCIE 仍可从以上两种参考时钟进行选择。

4.5 USB PHY 参考时钟

USB3 PHY 的参考时钟有以下两种选择方式，通过芯片引脚 USB_CLKSEL 进行选择：

- 1、外接 25MHz 晶体；
- 2、外接 25MHz 差分输入；

USB2 PHY 的参考时钟可以从下面两个时钟源进行选择：

- 1、系统参考时钟经过 4 分频后得到的 25M 单端时钟；
- 2、USB3 PHY 的 25M 参考时钟。

4.6 SATA PHY 参考时钟

SATA PHY 的参考时钟可以从下面三个时钟源进行选择：



- 1、外部 25MHz 差分输入 (SATA_REFCLKp/n)
- 2、USB3 PHY 的 25M 参考时钟
- 3、内部系统参考时钟经过 4 分频后得到的 25M 差分时钟

4.7 GMAC PHY 参考时钟

GMAC PHY 参考时钟有以下两个来源，通过配置寄存器 CFG.0770[22] 进行选择。

- 1、使用 USB3 PHY 的 25MHz 参考时钟 (USB_CLKINp/n)
- 2、使用内部 PLL 生成的 GMAC 控制器时钟

4.8 频率配置

参考用户手册。



5 热设计

5.1 热参数

表 5-1 龙芯 2K2000-i 的热阻参数

芯片基底热阻 $R_{th(J-B)}$	0.62	K/W
芯片硅片热阻 $R_{th(J-C)}$	0.07	K/W

5.2 焊接温度及焊接曲线

表 5-2 回流焊接温度分类表

Profile Feature		Pb-Free Assembly
Average ramp-up rate (T _{smax} to T _p)		3° C/second max.
Preheat	Temperature Min (T _{smin})	150 ° C
	Temperature Max (T _{smax})	200 ° C
	Time (T _{smin} to T _{smax}) (t _s)	60-180 seconds
Time maintained above	Temperature (T _L)	217 ° C
	Time (t _L)	60-150 seconds
Peak Temperature (T _p)		245° C
Time within 5° C of actual Peak Temperature (t _p) ²		20-40 seconds
Ramp-down Rate		6 ° C/second max.
Time 25° C to Peak Temperature		8 minutes max.

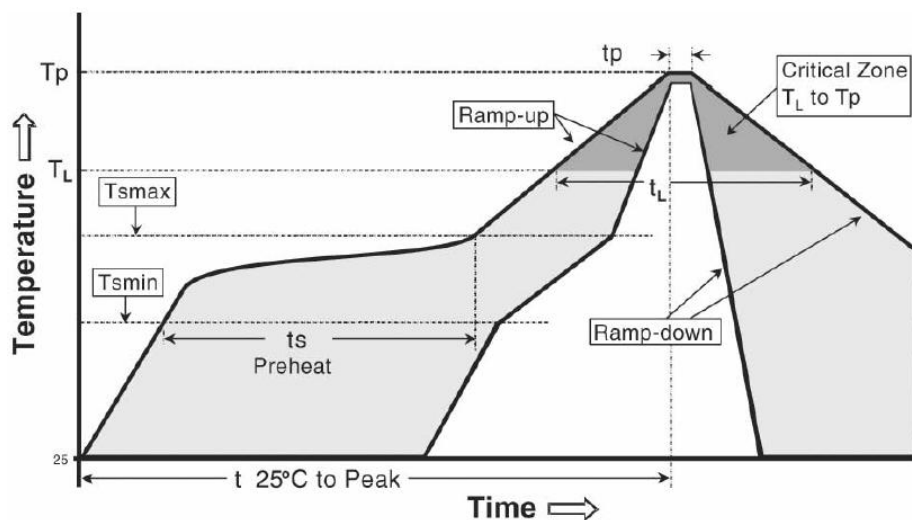


图 5-1 焊接回流曲线



6 电气特性

6.1 最大额定工作条件

表 6-1 芯片绝对最大额定电压

Power Domain	Name	Description	Voltage(V)	
			Min.	Max.
RTC	RTC_3V	RTC power	-0.3	3.6
ACPI	ACPI_3V3	ACPI IO power	-0.3	3.6
	ACPI_CORE	ACPI core power	-0.3	1.2
RSM	RSM_CORE	Resume core power	-0.3	1.2
	RSM_1V0R	Resume USB3 receive / USB2PHY power	-0.3	1.1
	RSM_1V8T	Resume USB3 transmit / USB2PHY power	-0.3	1.95
	RSM_3V3	Resume IO power for GMAC	-0.3	3.6
	RSM_A3V3	Resume IO power for USB2	-0.3	3.6
SOC	SOC_CORE	SOC core power	-0.3	1.3
	NODE_CORE	CPU node core power	-0.3	1.32
	DDR_1V2	DDR4 IO power	-0.3	1.3
	PCIE_1V0	PCIE transceiver power	-0.3	1.1
	SAGE_1V0	SATA RX CS/GNETPHY receive power	-0.3	1.1
	HDMI_1V0	HDMI data transmit power	-0.3	1.05
	HDMI_1V8	HDMI bias and PLL power	-0.3	1.9
	IO_1V8	Chip IO power(including power switch, SATA TX, GNETPHY, OTP, OSC, OTP)	-0.3	1.9
	IO_3V3	Chip IO power	-0.3	3.6
	IO_3V3/1V8	EMMC 3.3V/1.8V IO power	-0.3	3.6/1.9
	PLL_1V8	PLL IP power	-0.3	1.9

贮存温度：-65℃~150℃

6.2 工作电源

表 6-2 推荐的工作电压

Power Domain	Name	Description	Voltage(V)			I _{max} *
			Min.	Typ.	Max.	
RTC	RTC_3V	RTC power	2.4	3.0	3.3	10uA
ACPI	ACPI_3V3	ACPI IO power	3.135	3.3	3.465	5mA
	ACPI_CORE	ACPI core power	0.95	1.0	1.05	1mA
RSM	RSM_CORE	Resume core power	0.95	1.0	1.05	250mA



Power Domain	Name	Description	Voltage(V)			I _{max} *
			Min.	Typ.	Max.	
	RSM_1V0R	Resume USB3 receive / USB2PHY power	0.95	1.0	1.05	
	RSM_1V8T	Resume USB3 transmit / USB2PHY power	1.75	1.8	1.85	140mA
	RSM_3V3	Resume IO power for GMAC	3.135	3.3	3.465	60mA
	RSM_A3V3	Resume IO power for USB2	3.135	3.3	3.465	
SOC	SOC_CORE	SOC core power	1.15	1.2	1.25	3.2A
	NODE_CORE	CPU node core power	1.2	1.25	1.3	4.4A
	DDR_1V2	DDR4 IO power	1.15	1.2	1.25	420mA
	PCIE_1V0	PCIE transceiver power	0.95	1.0	1.05	1.1A
	SAGE_1V0	SATA RX CS/GNETPHY receive power	0.95	1.0	1.05	
	HDMI_1V0	HDMI data transmit power	0.95	1.0	1.05	
	HDMI_1V8	HDMI bias and PLL power	1.75	1.8	1.85	320mA
	IO_1V8	Chip IO power(including power switch, SATA TX, GNETPHY, OTP, OSC, OTP)	1.75	1.8	1.85	
	PLL_1V8	PLL IP power	1.75	1.8	1.85	
	IO_3V3/1V8	EMMC 3.3V/1.8V IO power	3.135	3.3	3.465	TBD
	IO_3V3	Chip IO power	3.135	3.3	3.465	190mA

注:

*测试条件为壳温 85 摄氏度。

6.3 功耗信息

6.3.1 NODE_CORE 电压域功耗

NODE_CORE 电压域主要给 2 个 LA364 处理器核及 2MB 二级 Cache 模块供电，下表 6-3 中列出 NODE_CORE 电压域在各条件下的最大功耗值。表中功耗值在系统级测试平台上测得，DDR 接口速度统一为 1600。Idle 功耗在双核开启，系统无操作时测得。峰值功耗在双核运行 spec2000 253 项时测得。

表 6-3 NODE_CORE 电压域各条件下最大功耗

NODE_CORE 域电压 /V	CPU 频率 /GHz	NODE_CORE 电压域 (2x LA364, 2MB L2 Cache) 最大功耗 /W					
		壳温 45℃		壳温 70℃		壳温 85℃	
		待机 (Idle)	峰值 (TDP)	待机 (Idle)	峰值 (TDP)	待机 (Idle)	峰值 (TDP)
1.25	1.4	1.10	4.61	1.26	4.87	1.43	5.01
1.10	1.2	0.65	2.85	0.80	3.02	0.95	3.17
0.95	1.0	0.50	2.13	0.57	2.26	0.66	2.36



6.3.2 全芯片功耗

表 6-4 中列出全芯片在各条件下的最大功耗值，表中功耗值在系统级测试平台上测得，SOC_CORE 电压域电压统一为 1.0V，DDR 接口速度统一为 1600，外设连接 2 个网口，6 个 U 盘，2 路 SATA 及 3 路 PCIE。Idle 功耗在双核开启，系统无操作时测得。峰值功耗在双核运行 spec2000 253 项时测得。

表 6-4 全芯片各条件下最大功耗

NODE_CORE 域电压 /V	CPU 频率 /GHz	全芯片最大功耗 /W					
		壳温 45℃		壳温 70℃		壳温 85℃	
		待机 (Idle)	峰值 (TDP)	待机 (Idle)	峰值 (TDP)	待机 (Idle)	峰值 (TDP)
1.25	1.4	6.30	10.11	6.61	10.45	6.92	10.87
1.10	1.2	5.78	8.40	6.09	8.73	6.38	9.06
0.95	1.0	5.62	7.49	5.80	7.86	5.99	8.10

6.4 ESD 防护能力

静电放电敏感度 (ESD)：1000V (HBM)。



6.5 电源时序

6.5.1 使能 ACPI_EN

1) 冷启动上电时序

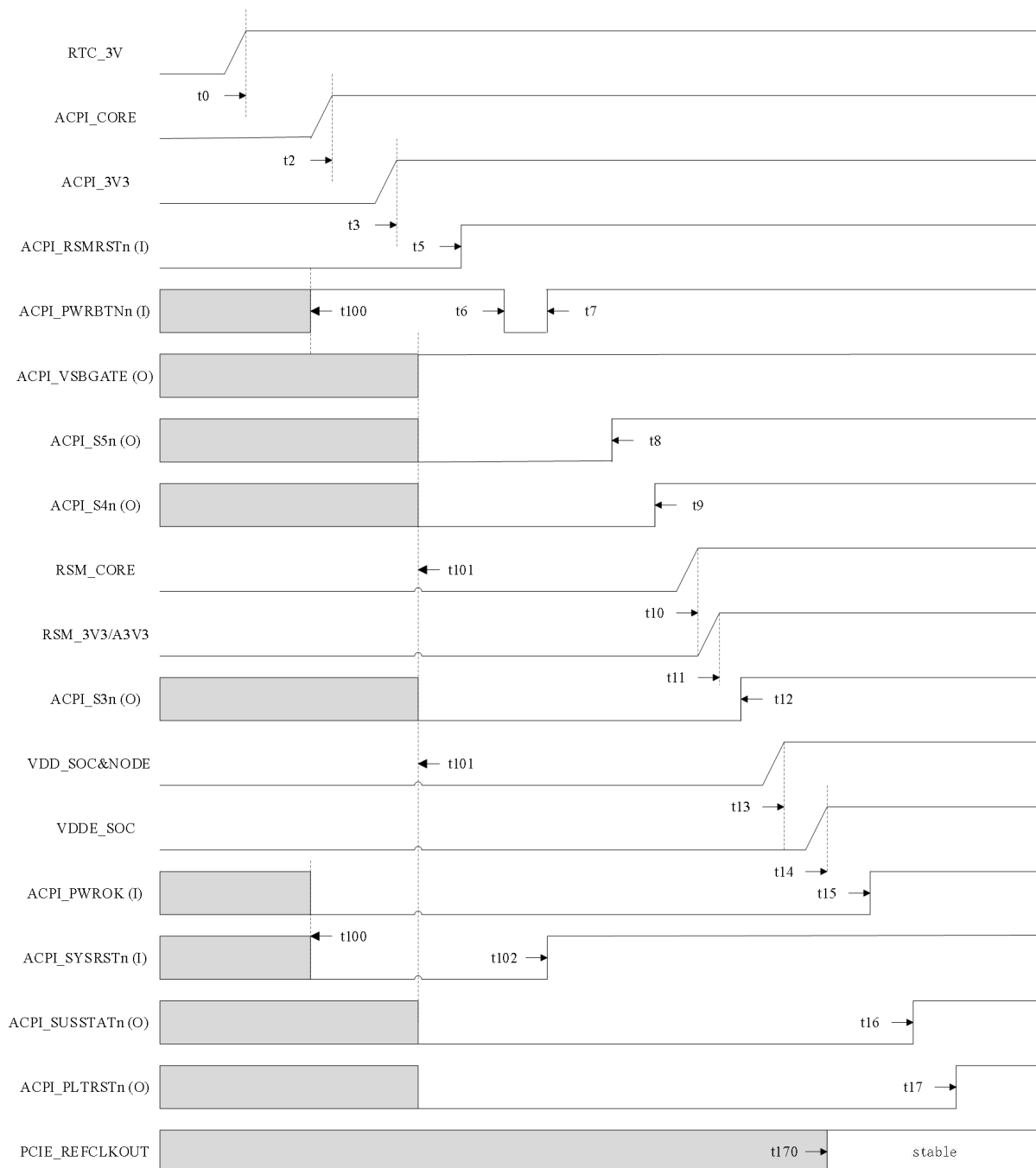


图 6-1 冷启动上电时序（RTC 掉电）

注：



1. RSM 域内的其他电源（包括 RSM_1V0R, RSM_1V8T）时序可根据需要选择与 RSM_CORE 或者 RSM_3V3/A3V3 相同
2. VDD_SOC&NODE 包括: SOC_CORE, NODE_CORE, PLL_1V8
3. VDDE_SOC 包括: IO_3V3, IO_3V3/1V8
4. SOC 域内的其他电源（包括 DDR_1V2, PCIE_1V0, SAGE_1V0, HDMI_1V0, HDMI_1V8, IO_1V8）时序可根据需要选择与 VDD_SOC&NODE 或者 VDDE_SOC 相同
5. 上图中 ACPI_CORE 和 ACPI_3V3 的时序可根据需要进行交换，即 ACPI_3V3 可早于 ACPI_CORE 上电，但是二者不可同时上电
6. 上图中 RSM_CORE 和 RSM_3V3/A3V3 的时序可根据需要进行交换，即 RSM_3V3/A3V3 可早于 RSM_CORE 上电，但是二者不可同时上电
7. 上图中 VDD_SOC&NODE 和 VDDE_SOC 的时序可根据需要进行交换，即 VDDE_SOC 可早于 VDD_SOC&NODE 上电，但是二者不可同时上电
8. 表 6-5 对时序的描述对应图 6-1，与上述注解不一致的描述以上述注解为准

表 6-5 上电时序要求(示例)

标记符	参数	需求	说明
t0	RTC_3V 电源稳定时刻		
t2	ACPI_CORE 电源稳定时刻	见 t3	
t3	ACPI_3V3 电源上电时刻	$t3 - t2 > 10\mu s$	ACPI_CORE 要先于 ACPI_3V3 供电
t5	ACPI_RSMRSTn 解复位时刻	$t5 - t3 > 5ms$ $t5 - t0 > 4s$	ACPI_RSMRSTn 需要在 RTC 和 ACPI 域电源稳定之后解复位
t6	ACPI_PWRBTNn 按钮按下（信号变低）时刻	$t6 - t5 > 60\mu s$	ACPI_PWRBTNn 信号在 ACPI_RSMRSTn 解复位之后起作用
t7	ACPI_PWRBTNn 按钮释放（信号变高）时刻	$t7 - t6 > 20ms$	ACPI_PWRBTNn 有效需要保持低电平的时间大于 20ms
t8	ACPI_S5n 状态退出时刻	$t8 - t7 \approx 150\mu s$	在 ACPI_PWRBTNn 退出之后，ACPI_S5n 状态才会退出
t9	ACPI_S4n 状态退出时刻	$t9 - t8 \approx 150\mu s$	ACPI_S4n 在 ACPI_S5n 退出之后退出
t10	RSM_CORE 供电稳定时刻		
t11	RSM_3V3/A3V3 供电稳定时刻	$t11 - t10 > 10\mu s$	RSM_CORE 要先于 RSM_3V3/A3V3 供电
t12	ACPI_S3n 状态退出时刻	$t12 - t9 \approx 60\mu s$	ACPI_S3n 在 ACPI_S4n 退出之后退出
t13	VDD_SOC&NODE 供电稳定时刻		
t14	VDDE_SOC 供电稳定时刻	$t14 - t13 > 10\mu s$	VDD_SOC&NODE 供电要先于 VDDE_SOC 供电
t15	ACPI_PWROK 信号有效时刻	$t15 - t14 > 0$	ACPI_PWROK 信号必须在所有电源稳定之后有效
t16	ACPI_SUSSTATn 状态退出时刻	$t16 - t15 \approx 7.8ms$	ACPI_SUSSTATn 在 PWROK 之后退出
t17	ACPI_PLTRSTn 解复位时刻	$t17 - t16 \approx 30\mu s$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 退出之后退出
t170	输出时钟 PCIE_REFCLKOUT 稳定时刻	$t170 - t14 > 0$	输出 PCIE_REFCLKOUT 时钟在 VDDE_SOC 上电稳定后输出
t100	ACPI_PWRBTNn/PWROK/SYSRSTn 信号有效时刻	$t5 - t100 > 60\mu s$	ACPI_PWRBTNn/PWROK/SYSRSTn 输入信号需要在 ACPI_RSMRSTn 解复位之前有效
t101	ACPI_VSBGATE/ACPI_S3n/S4n/S5n/ PLTRSTn 信号有效时刻	$t101 - t3 < 60\mu s$	ACPI_VSBGATE/ACPI_S3n/S4n/S5n/PLTRSTn 在 ACPI_3V3 电源稳定之后 60us 内输出有效



2) 热复位时序

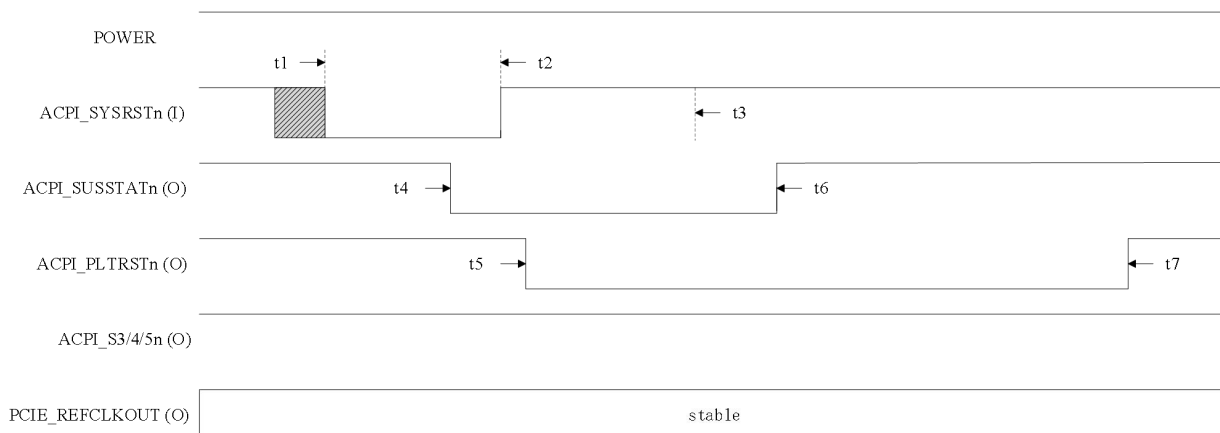


图 6-2 热复位时序图

注：POWER 包括所有的供电。

表 6-6 热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1\text{ms}$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效
t3	ACPI_SYSRSTn 保持为高的时间	$t3 - t2 > 16\text{ms}$	ACPI_SYSRSTn 变为高电平之后保持一段时间，系统才开始复位
t4	ACPI_SUSSTATn 变低的时刻	$t4 - t1 \approx 120\mu\text{s}$	ACPI_SUSSTATn 在 ACPI_SYSRSTn 变低 120us 后也变低
t5	ACPI_PLTRSTn 变低的时刻	$t5 - t4 \approx 90\mu\text{s}$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 变低之后 90us 变低
t6	ACPI_SUSSTATn 变高的时刻	$t6 - t4 > 6\text{ms}$	ACPI_SUSSTATn 保持复位的时间大于 6ms
t7	ACPI_PLTRSTn 变高的时刻	$t7 - t6 \approx 30\mu\text{s}$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 之后 30us 变高

S0 到 S3 及 S3 到 S0 状态的时序如下图所示：



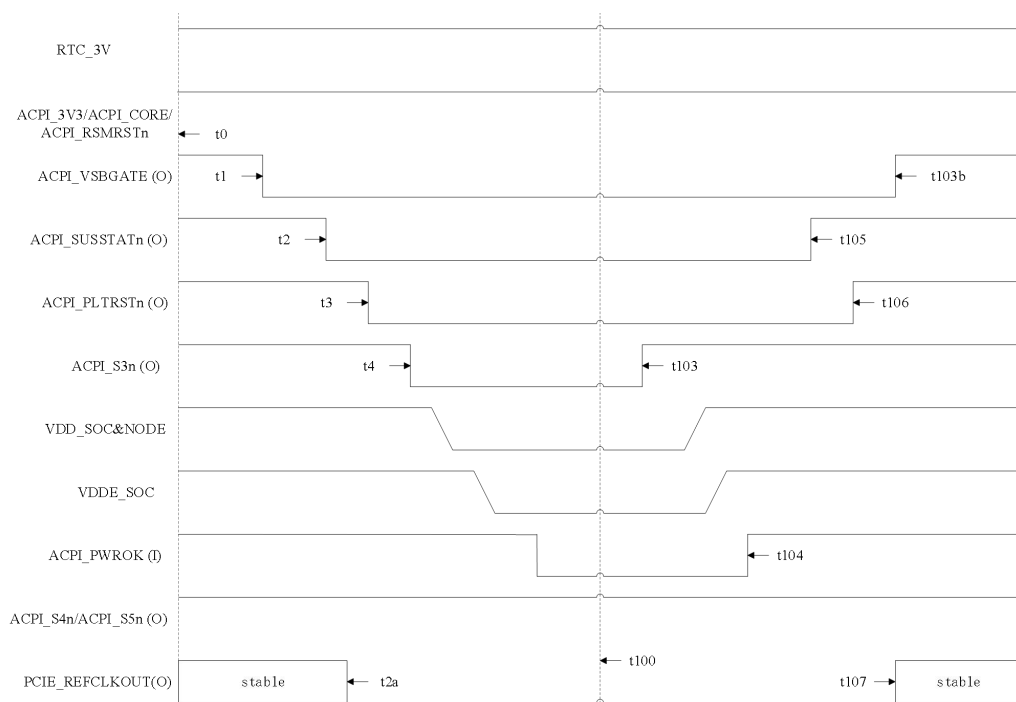


图 6-3 S0 到 S3 及 S3 到 S0 时序图

S0 到 S4/S5 及 S4/S5 到 S0 状态的时序如下图所示：

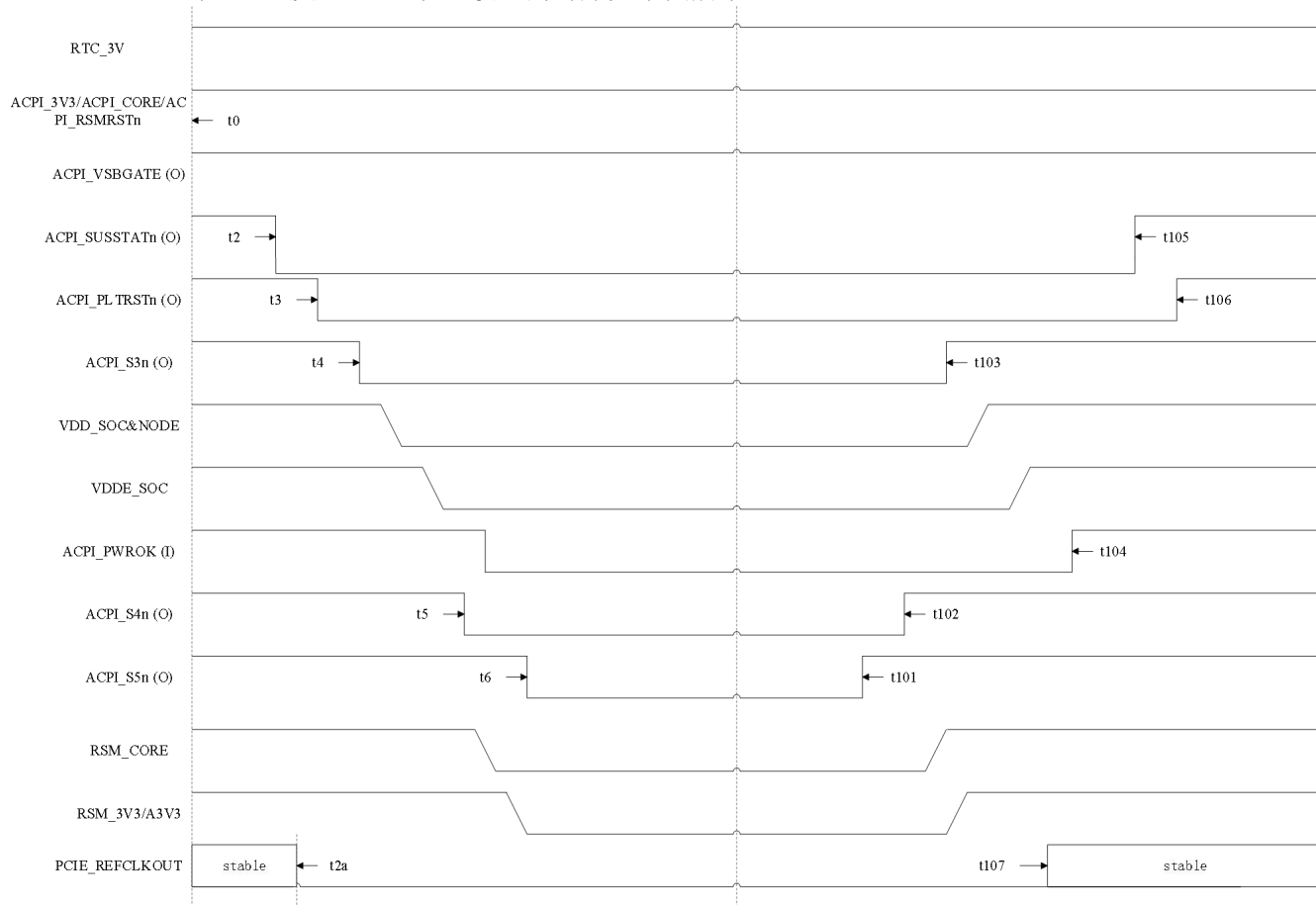


图 6-4 S0 到 S4/S5 及 S4/S5 到 S0 状态时序图

注 1:



1. 表中未列出的 ACPI 相关信号 (ACPI_PWRBTN/ACPI_SYSRSTN 等) 默认为高电平。
2. 唤醒事件包括: 电源按钮、复位按钮、USB、GMAC 等。
3. 可以使用 ACPI_S3N 来控制 SOC 域的上电。
4. 可以使用 ACPI_VSBGATE 来控制 dual 电的切换。

注 2:

1. RSM 域内的其他电源 (包括 RSM_1V0R, RSM_1V8T) 时序可根据需要选择与 RSM_CORE 或者 RSM_3V3/A3V3 相同
2. VDD_SOC&NODE 包括: SOC_CORE, NODE_CORE, PLL_1V8
3. VDDE_SOC 包括: IO_3V3, IO_3V3/1V8
4. SOC 域内的其他电源 (包括 DDR_1V2, PCIE_1V0, SAGE_1V0, HDMI_1V0, HDMI_1V8, IO_1V8) 时序可根据需要选择与 VDD_SOC&NODE 或者 VDDE_SOC 相同
5. 上图中 ACPI_CORE 和 ACPI_3V3 的时序可根据需要进行交换, 即 ACPI_3V3 可早于 ACPI_CORE 上电, 但是二者不可同时上电
6. 上图中 RSM_CORE 和 RSM_3V3/A3V3 的时序可根据需要进行交换, 即 RSM_3V3/A3V3 可早于 RSM_CORE 上电, 但是二者不可同时上电
7. 上图中 VDD_SOC&NODE 和 VDDE_SOC 的时序可根据需要进行交换, 即 VDDE_SOC 可早于 VDD_SOC&NODE 上电, 但是二者不可同时上电
8. 表6-7对时序的描述对应图6-3及图6-4, 与上述注解不一致的描述以上述注解为准

表 6-7 S0 到 S3/S4/S5 及 S3/S4/S5 到 S0 状态时序约束

标记符	参数	需求	说明
t0	软件发起进入低功耗状态的时刻		
t1	ACPI_VSBGATE 变低时刻	$t1 - t0 \approx 120\mu s$	ACPI_VSBGATE 在发起低功耗状态 120us 变低
t2	ACPI_SUSSTATn 状态进入时刻	$t2 - t1 > T_{dndly}$	ACPI_SUSSTAT 在 ACPI_VSBGATE 有效之后变低, 这个时间间隔软件可配。可选的时间长度 (T_{dndly}) 有: 31.25ms、62.5ms、125ms、250ms。
t2a	输出时钟无效时刻	$t2a - t2 > 0$ $t3 - t2a > 0$	输出时钟在 ACPI_SUSSTATn 变低之后 ACPI_PLTRSTn 变低之前无效
t3	ACPI_PLTRSTn 复位时刻	$t3 - t2 \approx 90\mu s$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 复位之后复位
t4	ACPI_S3n 状态进入时刻	$t4 - t3 \approx 30\mu s$	ACPI_S3n 在 ACPI_PLTRSTn 复位之后进入
t5	ACPI_S4n 状态进入时刻	$t5 - t4 \approx 60\mu s$	ACPI_S4n 在 ACPI_S3n 进入之后进入
t6	ACPI_S5n 状态进入时刻	$t6 - t5 \approx 30\mu s$	ACPI_S5n 在 ACPI_S4n 进入之后进入
t100	低功耗状态退出唤醒时刻		
t101	ACPI_S5n 状态退出时刻	$t101 - t100 \approx 150\mu s$	S5n 在唤醒时刻 150us 退出
t102	ACPI_S4n 状态退出时刻	$t102 - t101 \approx 30\mu s$ $t102 - t5 > 0$	S4n 在 S5n 退出之后退出 S4n 保持为有效时间由软件配置决定
t103	ACPI_S3n 状态退出时刻	$t103 - t102 \approx 60\mu s$ $t103 - t4 > 0$ $t103 - t100 \approx 360\mu s$	S3n 在 S4n 退出之后退出 S4n 保持为有效时间由软件配置决定 S3n 在唤醒事件后退出
t103b	ACPI_VSBGATE 变高时刻	$t103b - t103 > T_{updly}$	ACPI_VSBGATE 在 S3n 退出一段时间之后变高, 这个时间间隔软件可配。可选的时间长度 (T_{updly}) 有: 125ms、250ms、500ms、1s。



标记符	参数	需求	说明
t104	ACPI_PWROK 有效时刻		ACPI_PWROK 需要在所有电源稳定之后有效
t105	ACPI_SUSSTATn 状态退出时刻	$t105 - t104 > 7.8\text{ms}$	ACPI_SUSSTATn 在 ACPI_PWROK 有效之后退出
t106	ACPI_PLTRSTn 解复位时刻	$t106 - t105 \approx 30\mu\text{s}$	ACPI_PLTRSTn 在 ACPI_SUSSTATn 退出之后解复位
t2a	输出时钟 PCIE_REFCLKOUT 无效时刻		时钟无效时刻在 ACPI_SUSSTATn 变低之后，在 ACPI_PLTRSTn 变低之前
t107	输出时钟 PCIE_REFCLKOUT 稳定时刻		输出 PCIE_REFCLKOUT 时钟在 VDDE_SOC 上电稳定后输出

6.5.2 不使能 ACPI_EN

1) 冷启动上电时序（不使能 ACPI）

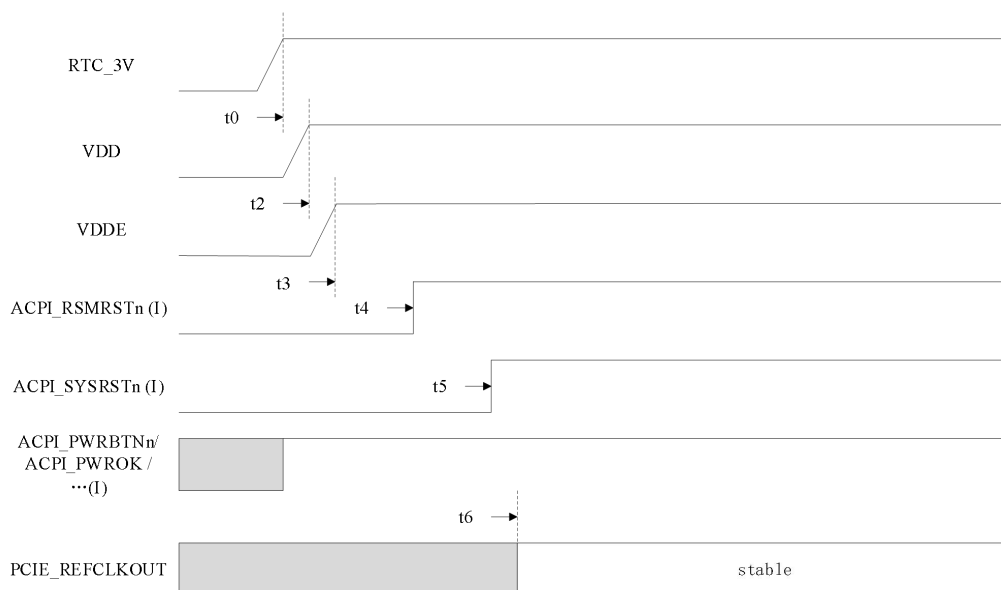


图 6-5 不使能 ACPI 功能时的冷启动上电时序（RTC 掉电）

注：

1. VDD 包括：
ACPI_CORE, RSM_CORE, RSM_1V0R, RSM_1V8T, SOC_CORE, NODE_CORE, PLL_1V8, DDR_1V2, PCIE_1V0, SAGE_1V0, HDMI_1V0, HDMI_1V8, IO_1V8
2. VDDE 包括：
ACPI_3V3, RSM_3V3, RSM_A3V3, IO_3V3, IO_3V3/1V8
3. 上述 VDD 和 VDDE 的时序可根据需要进行交换，即 VDDE 可早于 VDD 上电，但是二者不可同时上电
4. ACPI 相关的除电源复位信号外的其他输入信号拉高
5. 在 ACPI_EN 不使能的情况下，芯片的 ACPI_SYSRSTn 信号没有去抖动功能，需主板提供去抖动电路。
6. 表 6-8 对时序的描述对应图 6-5，与上述注解不一致的描述以上述注解为准

表 6-8 不使能 ACPI 功能时的上电时序要求

标记符	参数	需求	说明
t0	RTC_3V3 电源稳定时刻		
t2	VDD 电源上电时刻	$t2 - t0 \geq 0$	RTC 电源要先于 VDD 电源供电



t3	VDDE 电源稳定时刻	$t3 - t2 \geq 10\mu s$	VDD 电源要先于 VDDE 电源供电
t4	ACPI_RSMRSTN 解复位时刻	$t4 - t3 > 5ms$ $t4 - t0 > 4s$	ACPI_RSMRSTN 需要在所有 VDDE 电源稳定之后解复位 ACPI_RSMRSTn 需要在 RTC 电源稳定 4s 之后解复位
t5	ACPI_SYSRSTn 解复位时刻	$t5 - t4 > 5ms$	ACPI_SYSRSTn 需要在 ACPI_RSMRSTn 解复位之后解复位
t6	输出时钟稳定时刻	$t6 - t5 < 10\mu s$	输出时钟的稳定时刻不晚于 ACPI_SYSRSTn 解复位后 10 μs ，其中 PCIE_REFCLKOUT 输出稳定时刻由软件决定

2) 热复位时序（不使能 ACPI）



图 6-6 不使能 ACPI 功能时的热复位时序图

注：POWER 包括所有的供电。

表 6-9 不使能 ACPI 功能时的热复位时序约束

标记符	参数	需求	说明
t1	ACPI_SYSRSTn 变低的时刻		
t2	ACPI_SYSRSTn 变高的时刻	$t2 - t1 > 1ms$	ACPI_SYSRSTn 保持为低电平的时间需大于 1ms 才有效



7 封装信息

7.1 封装尺寸

芯片采用 FC-BGA-883 封装形式，封装尺寸为 27mm x 27mm，pitch 为 0.8mm。详细封装尺寸见图 7-1 所示。

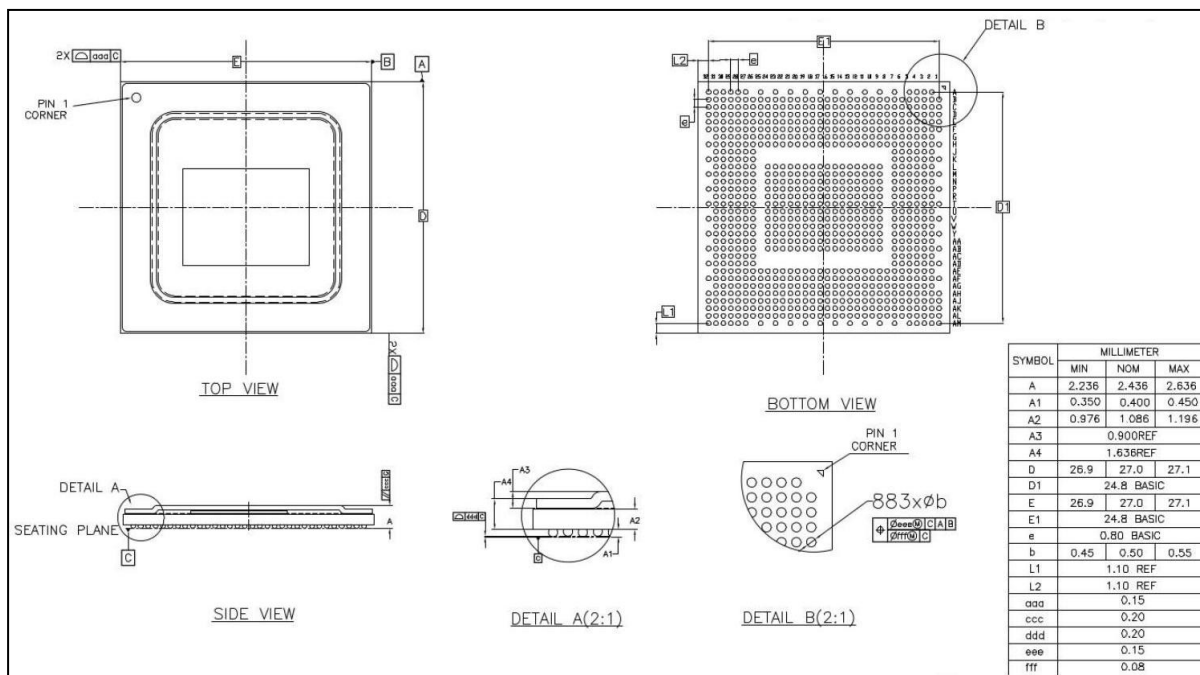


图 7-1 封装尺寸

扣合力：最大承压 15kg。



7.2 信号位置分布

[illegible]

图 7-2 信号引脚分布顶视图



7.3 芯片引脚排布

参见附录 A



8 产品标识



- a) ●：定位点；
- b) LS2K2000：器件识别号，-i 为型号补充信息：-i 代表工业级；
- c) Cored By™ LA364：固定码；
- d) CHN YYWW VV：厂商信息一；
- e) LOONGSON®：厂商信息二；
- f) 龙芯中科®：厂商信息三；
- g) AMAAAAYMNNNN：厂商信息四、识别号；
- h) □：二维码（右下角），与 g）信息相同。



附录 A：芯片引脚列表

Pin Number	Pin Name	Type
D5	ACPI_DOTESTN	I
F6	ACPI_EN	I
A5	ACPI_GPI00	IO
B5	ACPI_GPI01	IO
A4	ACPI_GPI02	IO
C5	ACPI_GPI03	IO
B4	ACPI_GPI04	IO
A2	ACPI_GPI05	IO
A3	ACPI_GPI06	IO
C3	ACPI_GPI07	IO
D4	ACPI_PLTRSTN	O
E5	ACPI_PWRBTNN	I
G6	ACPI_PWROK	I
F5	ACPI_RSMRSTN	I
B3	ACPI_S3N	O
B2	ACPI_S4N	O
D3	ACPI_S5N	O
E4	ACPI_SUSSTATN	O
E3	ACPI_SYSRSTN	I
E6	ACPI_VSBGATE	O
B6	ACPI_WAKEN	I
C6	USB_CLKSEL	I
U19	BBG_GNDSIN	I
V18	BBG_GNDSOUT	O
T19	BBG_VDDSIN	I
V19	BBG_VDDSOUT	O
T18	BBG_VNEG	I
B17	DDR_A00	O
D17	DDR_A01	O
G19	DDR_A02	O
E19	DDR_A03	O
E18	DDR_A04	O
D18	DDR_A05	O
F19	DDR_A06	O
A21	DDR_A07	O
C20	DDR_A08	O
B20	DDR_A09	O
F17	DDR_A10	O
D20	DDR_A11	O
G20	DDR_A12	O
D15	DDR_A13	O
B22	DDR_ACTN	O
C21	DDR_ALERTN	I
E17	DDR_BA0	O
F18	DDR_BA1	O
G21	DDR_BG0	O



B21	DDR_BG1	0
A15	DDR_CASN	0
D21	DDR_CKE0	0
F21	DDR_CKE1	0
B18	DDR_CKN0	DIFF OUT
A19	DDR_CKN1	DIFF OUT
C18	DDR_CKP0	DIFF OUT
B19	DDR_CKP1	DIFF OUT
B15	DDR_ODT0	0
G16	DDR_ODT1	0
A17	DDR_PAR	0
D16	DDR_RASN	0
D22	DDR_RESETN	0
C22	DDR_REXT	I0
B16	DDR_SCSN0	0
F16	DDR_SCSN1	0
C16	DDR_WEN	0
E24	DDR_CB0	I0
D24	DDR_CB1	I0
G22	DDR_CB2	I0
G23	DDR_CB3	I0
G24	DDR_CB4	I0
F24	DDR_CB5	I0
F23	DDR_CB6	I0
F22	DDR_CB7	I0
F30	DDR_DM0N_DQSP09	I0
E29	DDR_DM1N_DQSP10	I0
G26	DDR_DM2N_DQSP11	I0
B26	DDR_DM3N_DQSP12	I0
E23	DDR_DM8N_DQSP17	I0
G29	DDR_DQ00	I0
F31	DDR_DQ01	I0
B31	DDR_DQ02	I0
A31	DDR_DQ03	I0
H29	DDR_DQ04	I0
G30	DDR_DQ05	I0
H28	DDR_DQ06	I0
C31	DDR_DQ07	I0
D30	DDR_DQ08	I0
A30	DDR_DQ09	I0
D29	DDR_DQ10	I0
F28	DDR_DQ11	I0
E30	DDR_DQ12	I0
F29	DDR_DQ13	I0
B30	DDR_DQ14	I0
C29	DDR_DQ15	I0
C28	DDR_DQ16	I0
D28	DDR_DQ17	I0
F25	DDR_DQ18	I0
E25	DDR_DQ19	I0
F27	DDR_DQ20	I0



G27	DDR_DQ21	I0
D26	DDR_DQ22	I0
F26	DDR_DQ23	I0
A27	DDR_DQ24	I0
C26	DDR_DQ25	I0
B24	DDR_DQ26	I0
B23	DDR_DQ27	I0
B28	DDR_DQ28	I0
B27	DDR_DQ29	I0
A25	DDR_DQ30	I0
C24	DDR_DQ31	I0
E31	DDR_DQSN00	I0
A29	DDR_DQSN01	DIFF I0
D27	DDR_DQSN02	DIFF I0
C25	DDR_DQSN03	DIFF I0
D31	DDR_DQSP00	DIFF I0
B29	DDR_DQSP01	DIFF I0
E27	DDR_DQSP02	DIFF I0
B25	DDR_DQSP03	DIFF I0
D14	DDR_DM4N_DQSP13	DIFF I0
G12	DDR_DM5N_DQSP14	I0
A9	DDR_DM6N_DQSP15	I0
G8	DDR_DM7N_DQSP16	I0
G14	DDR_DQ32	I0
E14	DDR_DQ33	I0
E13	DDR_DQ34	I0
F13	DDR_DQ35	I0
G15	DDR_DQ36	I0
F15	DDR_DQ37	I0
F14	DDR_DQ38	I0
D13	DDR_DQ39	I0
A13	DDR_DQ40	I0
C12	DDR_DQ41	I0
E10	DDR_DQ42	I0
F11	DDR_DQ43	I0
B12	DDR_DQ44	I0
B13	DDR_DQ45	I0
F10	DDR_DQ46	I0
E11	DDR_DQ47	I0
B11	DDR_DQ48	I0
D11	DDR_DQ49	I0
B8	DDR_DQ50	I0
D9	DDR_DQ51	I0
C11	DDR_DQ52	I0
A11	DDR_DQ53	I0
B9	DDR_DQ54	I0
C9	DDR_DQ55	I0
E9	DDR_DQ56	I0
F8	DDR_DQ57	I0
E7	DDR_DQ58	I0
F7	DDR_DQ59	I0



G9	DDR_DQ60	IO
F9	DDR_DQ61	IO
B7	DDR_DQ62	IO
D7	DDR_DQ63	IO
C14	DDR_DQSN04	DIFF IO
E12	DDR_DQSN05	DIFF IO
C10	DDR_DQSN06	DIFF IO
D8	DDR_DQSN07	DIFF IO
D23	DDR_DQSN08	DIFF IO
B14	DDR_DQSP04	DIFF IO
D12	DDR_DQSP05	DIFF IO
B10	DDR_DQSP06	DIFF IO
C8	DDR_DQSP07	DIFF IO
C23	DDR_DQSP08	DIFF IO
J4	GMAC2_MDCK	IO
J5	GMAC2_MDIO	IO
D1	GMAC2_RCTL	IO
D2	GMAC2_RXCK	IO
E2	GMAC2_RXD0	IO
E1	GMAC2_RXD1	IO
F3	GMAC2_RXD2	IO
F2	GMAC2_RXD3	IO
G4	GMAC2_TCTL	IO
G2	GMAC2_TXCK	IO
H4	GMAC2_TXD0	IO
H1	GMAC2_TXD1	IO
H2	GMAC2_TXD2	IO
H3	GMAC2_TXD3	IO
AJ4	GMACPHY0_AN	DIFF IO
AK4	GMACPHY0_AP	DIFF IO
AK3	GMACPHY0_BN	DIFF IO
AL3	GMACPHY0_BP	DIFF IO
AL1	GMACPHY0_CN	DIFF IO
AK1	GMACPHY0_CP	DIFF IO
AJ2	GMACPHY0_DN	DIFF IO
AJ1	GMACPHY0_DP	DIFF IO
AH2	GMACPHY0_LED_100B	0
AH4	GMACPHY0_LED_1KB	0
AF5	GMACPHY0_LED_ACT	0
AH5	GMACPHY0_REXT	I
AH6	GMACPHY1_AN	DIFF IO
AJ6	GMACPHY1_AP	DIFF IO
AK5	GMACPHY1_BN	DIFF IO
AK6	GMACPHY1_BP	DIFF IO
AL4	GMACPHY1_CN	DIFF IO
AM4	GMACPHY1_CP	DIFF IO
AL2	GMACPHY1_DN	DIFF IO
AM2	GMACPHY1_DP	DIFF IO
AE6	GMACPHY1_LED_100B	IO
AF6	GMACPHY1_LED_1KB	IO
AE5	GMACPHY1_LED_ACT	IO



AH3	GMACPHY1_REXT	I
AF14	HDMIO_BIAS	IO
AJ13	HDMIO_CKN	DIFF OUT
AJ12	HDMIO_CKP	DIFF OUT
AF13	HDMIO_HOTPLUG	I
AH14	HDMIO_I2C_SCL	OD
AG14	HDMIO_I2C_SDA	OD
AK12	HDMIO_TXN0	DIFF OUT
AM13	HDMIO_TXN1	DIFF OUT
AL14	HDMIO_TXN2	DIFF OUT
AL12	HDMIO_TXP0	DIFF OUT
AL13	HDMIO_TXP1	DIFF OUT
AK14	HDMIO_TXP2	DIFF OUT
AG12	HDMI1_HOTPLUG	I
AH13	HDMI1_I2C_SCL	OD
AG13	HDMI1_I2C_SDA	OD
AL8	DVO_CLKN	IO
AK8	DVO_CLKP	IO
AH7	DVO_DATA00	IO
AK7	DVO_DATA01	IO
AL7	DVO_DATA02	IO
AM7	DVO_DATA03	IO
AF8	DVO_DATA04	IO
AG8	DVO_DATA05	IO
AJ8	DVO_DATA06	IO
AK9	DVO_DATA07	IO
AL9	DVO_DATA08	IO
AG9	DVO_DATA09	IO
AH9	DVO_DATA10	IO
AJ9	DVO_DATA11	IO
AM9	DVO_DATA12	IO
AF10	DVO_DATA13	IO
AG10	DVO_DATA14	IO
AH10	DVO_DATA15	IO
AJ10	DVO_DATA16	IO
AK10	DVO_DATA17	IO
AL10	DVO_DATA18	IO
AG11	DVO_DATA19	IO
AH11	DVO_DATA20	IO
AJ11	DVO_DATA21	IO
AK11	DVO_DATA22	IO
AM11	DVO_DATA23	IO
AG7	DVO_DE	IO
AL6	DVO_HSYNC	IO
AM5	DVO_VSYNC	IO
AG2	HDA_BITCLK	IO
AE2	HDA_RESETN	IO
AF3	HDA_SDIO	IO
AE3	HDA_SDI1	IO
AF2	HDA_SDI2	IO
AG3	HDA_SDO	IO



AF1	HDA_SYNC	IO
AD1	LPC_ADO	IO
AC4	LPC_AD1	IO
AD3	LPC_AD2	IO
AD2	LPC_AD3	IO
AD4	LPC_CLK	IO
AC5	LPC_FRAMEN	IO
AC3	LPC_RESETN	IO
AD5	LPC_SERIRQ	IO
Y30	GPI000	IO
W28	GPI001	IO
W27	GPI002	IO
Y28	GPI003	IO
L28	I2C0_SCL	OD
L29	I2C0_SDA	OD
K31	I2C1_SCL	OD
L30	I2C1_SDA	OD
V30	JTAG_TCK	I
V31	JTAG_TDI	I
W30	JTAG_TDO	O
W29	JTAG_TMS	I
W31	JTAG_TRSTN	I
Y31	JTAG_TSEL0	I
Y32	JTAG_TSEL1	I
M28	LIO_CSN1	IO
M27	LIO_CSN2	IO
L31	LIO_CSN3	IO
M29	LIO_RDY	I
M32	PWM0	IO
N31	PWM1	IO
N29	PWM2	IO
N30	PWM3	IO
N28	PWM4	IO
P30	PWM5	IO
F32	SDIO_CLK	IO
D32	SDIO_CMD	IO
G31	SDIO_DATA0	IO
H30	SDIO_DATA1	IO
B32	SDIO_DATA2	IO
C32	SDIO_DATA3	IO
AC28	SE_CLK_SEL	I
AA31	SE_GPI000	IO
AA30	SE_GPI001	IO
AA29	SE_GPI002	IO
Y27	SE_GPI003	IO
AA28	SE_GPI004	IO
AB30	SE_GPI005	IO
AB28	SE_GPI006	IO
AB29	SE_GPI007	IO
AB31	SE_GPI008	IO
AC29	SE_GPI009	IO



AB27	SE_I2C_SCL	I0
AC27	SE_I2C_SDA	I0
AC30	SE_QSPI_FLASH_CLK	0
AC31	SE_QSPI_FLASH_CSN	0
AD31	SE_QSPI_FLASH_IO0	I0
AD30	SE_QSPI_FLASH_IO1	I0
AD29	SE_QSPI_FLASH_IO2	I0
AD28	SE_QSPI_FLASH_IO3	I0
AE31	SE_RNG0_CLK	0
AE30	SE_RNG0_DATA	I0
AD32	SE_RNG0_OEN	0
AF30	SE_RNG0_PE	0
AF31	SE_RNG1_CLK	0
AF28	SE_RNG1_DATA	I0
AF29	SE_RNG1_OEN	0
AE28	SE_RNG1_PE	0
AG30	SE_SPI_CLK	0
AH30	SE_SPI_CSN	0
AG29	SE_SPI_MISO	I
AG28	SE_SPI_MOSI	0
AH31	SE_UART0_RX	I
AG31	SE_UART0_TX	0
T31	SPI_CSN0	I0
T30	SPI_CSN1	I0
T28	SPI_CSN2	I0
T32	SPI_CSN3	I0
T29	SPI_HOLDN	I0
U30	SPI_SCK	0
U31	SPI_SDI	I0
U29	SPI_SDO	I0
T27	SPI_WPN	I0
K27	CHIP_CONFIG0	I
K28	CHIP_CONFIG1	I
K29	CHIP_CONFIG2	I
J29	CHIP_CONFIG3	I
K30	CHIP_CONFIG4	I
J31	CHIP_CONFIG5	I
J30	CHIP_CONFIG6	I
H32	CHIP_CONFIG7	I
H31	CHIP_CONFIG8	I
M31	NMIN	I
AH28	PIN_SE_EN	I
AE27	PRG_CLKSEL	I
V32	SYS_CLKIN	I
U28	SYS_CLKSEL	I
V29	SYS_TESTCLK	I
P32	ND_UART_RXD	I
P31	ND_UART_TXD	0
P27	UART_CTS	I
R31	UART_DCD	I
R28	UART_DSR	I0



P28	UART_DTR	0
P29	UART_RI	IO
R27	UART_RTS	0
R30	UART_RXD	I
R29	UART_TXD	0
AJ28	EMMC_CLK	IO
AH29	EMMC_CMD	IO
AK31	EMMC_DATA0	IO
AJ30	EMMC_DATA1	IO
AK30	EMMC_DATA2	IO
AL31	EMMC_DATA3	IO
AL32	EMMC_DATA4	IO
AK32	EMMC_DATA5	IO
AJ31	EMMC_DATA6	IO
AJ32	EMMC_DATA7	IO
AJ29	EMMC_DS	IO
AH27	PCIE_F0_RSTN	0
AM27	PCIE_F0_RXN0	DIFF IN
AL28	PCIE_F0_RXN1	DIFF IN
AM29	PCIE_F0_RXN2	DIFF IN
AM30	PCIE_F0_RXN3	DIFF IN
AL27	PCIE_F0_RXP0	DIFF IN
AK28	PCIE_F0_RXP1	DIFF IN
AL29	PCIE_F0_RXP2	DIFF IN
AM31	PCIE_F0_RXP3	DIFF IN
AG24	PCIE_F0_TXN0	DIFF OUT
AH25	PCIE_F0_TXN1	DIFF OUT
AF25	PCIE_F0_TXN2	DIFF OUT
AG26	PCIE_F0_TXN3	DIFF OUT
AH24	PCIE_F0_TXP0	DIFF OUT
AJ25	PCIE_F0_TXP1	DIFF OUT
AF24	PCIE_F0_TXP2	DIFF OUT
AH26	PCIE_F0_TXP3	DIFF OUT
AG27	PCIE_F1_RSTN	0
AL20	PCIE_F1_RXN0	DIFF IN
AM21	PCIE_F1_RXN1	DIFF IN
AL22	PCIE_F1_RXN2	DIFF IN
AM23	PCIE_F1_RXN3	DIFF IN
AK20	PCIE_F1_RXP0	DIFF IN
AL21	PCIE_F1_RXP1	DIFF IN
AK22	PCIE_F1_RXP2	DIFF IN
AL23	PCIE_F1_RXP3	DIFF IN
AJ19	PCIE_F1_TXN0	DIFF OUT
AH20	PCIE_F1_TXN1	DIFF OUT
AJ21	PCIE_F1_TXN2	DIFF OUT
AH22	PCIE_F1_TXN3	DIFF OUT
AH19	PCIE_F1_TXP0	DIFF OUT
AG20	PCIE_F1_TXP1	DIFF OUT
AH21	PCIE_F1_TXP2	DIFF OUT
AG22	PCIE_F1_TXP3	DIFF OUT
AF18	RAPIDIO_CLKINN1	DIFF IN



AF19	RAPIDIO_CLKINP1	DIFF IN
AF27	PCIE_GO_RSTN	0
AL16	PCIE_GO_RXN0	DIFF IN
AM17	PCIE_GO_RXN1	DIFF IN
AL18	PCIE_GO_RXN2	DIFF IN
AM19	PCIE_GO_RXN3	DIFF IN
AK16	PCIE_GO_RXP0	DIFF IN
AL17	PCIE_GO_RXP1	DIFF IN
AK18	PCIE_GO_RXP2	DIFF IN
AL19	PCIE_GO_RXP3	DIFF IN
AJ15	PCIE_GO_TXN0	DIFF OUT
AH16	PCIE_GO_TXN1	DIFF OUT
AJ17	PCIE_GO_TXN2	DIFF OUT
AH18	PCIE_GO_TXN3	DIFF OUT
AH15	PCIE_GO_TXP0	DIFF OUT
AG16	PCIE_GO_TXP1	DIFF OUT
AH17	PCIE_GO_TXP2	DIFF OUT
AG18	PCIE_GO_TXP3	DIFF OUT
AL15	RAPIDIO_CLKINN0	DIFF IN
AM15	RAPIDIO_CLKINP0	DIFF IN
AE22	PCIE_PRG_REFRES	I
AK24	PCIE_REFCLKINN	DIFF IN
AL24	PCIE_REFCLKINP	DIFF IN
AF22	PCIE_REFCLKOUTN0	DIFF OUT
AJ23	PCIE_REFCLKOUTN1	DIFF OUT
AM25	PCIE_REFCLKOUTN2	DIFF OUT
AL26	PCIE_REFCLKOUTN3	DIFF OUT
AF21	PCIE_REFCLKOUTP0	DIFF OUT
AH23	PCIE_REFCLKOUTP1	DIFF OUT
AL25	PCIE_REFCLKOUTP2	DIFF OUT
AK26	PCIE_REFCLKOUTP3	DIFF OUT
C1	RTC_XI	I
C2	RTC_XO	0
AC2	SATA_LEDN	OD
Y1	SATA_REFCLKN2	DIFF IN
Y2	SATA_REFCLKP1	DIFF IN
AA5	SATA_REFRES	IO
AA3	SATA0_RXN	DIFF IN
AA2	SATA0_RXP	DIFF IN
Y4	SATA0_TXN	DIFF OUT
Y5	SATA0_TXP	DIFF OUT
AB2	SATA1_RXN	DIFF IN
AB1	SATA1_RXP	DIFF IN
AB4	SATA1_TXN	DIFF OUT
AB5	SATA1_TXP	DIFF OUT
R3	USB20_DM0	DIFF IO
R6	USB20_DM1	DIFF IO
T2	USB20_DM2	DIFF IO
T5	USB20_DM3	DIFF IO
V2	USB20_DM4	DIFF IO
W3	USB20_DM5	DIFF IO



U3	USB20_DM6	DIFF IO
V4	USB20_DM7	DIFF IO
W5	USB20_DM8	DIFF IO
R2	USB20_DP0	DIFF IO
R5	USB20_DP1	DIFF IO
T1	USB20_DP2	DIFF IO
T4	USB20_DP3	DIFF IO
V1	USB20_DP4	DIFF IO
W2	USB20_DP5	DIFF IO
U2	USB20_DP6	DIFF IO
V5	USB20_DP7	DIFF IO
W6	USB20_DP8	DIFF IO
P5	USB20_ID	I
AG4	USB20_OC0	IO
AH1	USB20_OC1	IO
AF4	USB20_OC2	IO
AE4	USB20_OC3	IO
P6	USB20_REFRES0	I
U6	USB20_REFRES1	I
Y6	USB20_REFRES2	I
P4	USB20_VBUS	I
P1	USB30_REFCLKN2	DIFF IN
P2	USB30_REFCLKP1	DIFF IN
L6	USB30_RESREF	IO
N3	USB30_RXN0	DIFF IN
M2	USB30_RXN1	DIFF IN
L3	USB30_RXN2	DIFF IN
K2	USB30_RXN3	DIFF IN
N2	USB30_RXP0	DIFF IN
M1	USB30_RXP1	DIFF IN
L2	USB30_RXP2	DIFF IN
J2	USB30_RXP3	DIFF IN
N4	USB30_TXN0	DIFF OUT
M5	USB30_TXN1	DIFF OUT
K4	USB30_TXN2	DIFF OUT
K5	USB30_TXN3	DIFF OUT
N5	USB30_TXP0	DIFF OUT
M6	USB30_TXP1	DIFF OUT
L4	USB30_TXP2	DIFF OUT
K6	USB30_TXP3	DIFF OUT
AB24	PLL_1V8	
AA24	PLL_VSS	
H7	ACPI_3V3	
L11	ACPI_3V3	
M12	ACPI_CORE	
M13	ACPI_CORE	
D19	DDR_1V2	
E16	DDR_1V2	
E21	DDR_1V2	
F20	DDR_1V2	
G17	DDR_1V2	



H15	DDR_1V2	
H18	DDR_1V2	
H20	DDR_1V2	
L18	DDR_1V2	
L19	DDR_1V2	
AE13	HDMI_1V0	
AE14	HDMI_1V0	
AF15	HDMI_1V8	
AE16	IO_1V8	
AE17	IO_1V8	
AE18	IO_1V8	
AA26	IO_3V3	
AA27	IO_3V3	
AB9	IO_3V3	
AC7	IO_3V3	
AD7	IO_3V3	
AE11	IO_3V3	
AE12	IO_3V3	
AE7	IO_3V3	
AE9	IO_3V3	
H26	IO_3V3	
J26	IO_3V3	
J28	IO_3V3	
N26	IO_3V3	
N27	IO_3V3	
U27	IO_3V3	
V26	IO_3V3	
V27	IO_3V3	
Y9	IO_3V3	
AE26	IO_3V3/1V8	
AJ27	IO_3V3/1V8	
N19	NODE_CORE	
N22	NODE_CORE	
N23	NODE_CORE	
P20	NODE_CORE	
P24	NODE_CORE	
R19	NODE_CORE	
R22	NODE_CORE	
R23	NODE_CORE	
T20	NODE_CORE	
T21	NODE_CORE	
T24	NODE_CORE	
U22	NODE_CORE	
U23	NODE_CORE	
V20	NODE_CORE	
V24	NODE_CORE	
AE20	PCIE_1V0	
AE23	PCIE_1V0	
AE25	PCIE_1V0	
AF16	PCIE_1V0	
AF20	PCIE_1V0	



AG23	PCIE_1V0	
L9	RSM_1V0R	
N9	RSM_1V0R	
T9	RSM_1V0R	
J7	RSM_1V8T	
L7	RSM_1V8T	
N7	RSM_1V8T	
P7	RSM_1V8T	
H5	RSM_3V3	
H6	RSM_3V3	
T7	RSM_A3V3	
U9	RSM_A3V3	
V7	RSM_A3V3	
W7	RSM_A3V3	
R9	RSM_CORE	
M10	RSM_CORE	
N10	RSM_CORE	
N11	RSM_CORE	
G5	RTC_3V	
AB10	SAGE_1V0	
AB6	SAGE_1V0	
AF7	SAGE_1V0	
AG6	SAGE_1V0	
V9	SAGE_1V0	
Y7	SAGE_1V0	
AA11	SOC_CORE	
AA12	SOC_CORE	
AA15	SOC_CORE	
AA17	SOC_CORE	
AA19	SOC_CORE	
AA20	SOC_CORE	
AA22	SOC_CORE	
AB13	SOC_CORE	
AB14	SOC_CORE	
AB16	SOC_CORE	
AB18	SOC_CORE	
AB21	SOC_CORE	
AB22	SOC_CORE	
L14	SOC_CORE	
L15	SOC_CORE	
L22	SOC_CORE	
L23	SOC_CORE	
M16	SOC_CORE	
M17	SOC_CORE	
M20	SOC_CORE	
M21	SOC_CORE	
M24	SOC_CORE	
N14	SOC_CORE	
N15	SOC_CORE	
N18	SOC_CORE	
P12	SOC_CORE	



P13	SOC_CORE	
P16	SOC_CORE	
P17	SOC_CORE	
R10	SOC_CORE	
R11	SOC_CORE	
R18	SOC_CORE	
T12	SOC_CORE	
T13	SOC_CORE	
T16	SOC_CORE	
T17	SOC_CORE	
U10	SOC_CORE	
U11	SOC_CORE	
U14	SOC_CORE	
U15	SOC_CORE	
U18	SOC_CORE	
V12	SOC_CORE	
V16	SOC_CORE	
V17	SOC_CORE	
W10	SOC_CORE	
W11	SOC_CORE	
W16	SOC_CORE	
W19	SOC_CORE	
W22	SOC_CORE	
W23	SOC_CORE	
Y12	SOC_CORE	
Y13	SOC_CORE	
Y15	SOC_CORE	
Y17	SOC_CORE	
Y18	SOC_CORE	
Y23	SOC_CORE	
P21	VDDG_CPU0	
V21	VDDG_CPU1	
V14	VDDG_GPUTOP	
W14	VDDG_GPUTOP	
R14	VDDG_GPUVUSPC	
R15	VDDG_GPUVUSPC	
Y20	VDDG_SE	
Y21	VDDG_SE	
A23	VSS	
A28	VSS	
A32	VSS	
A7	VSS	
AA10	VSS	
AA13	VSS	
AA14	VSS	
AA16	VSS	
AA18	VSS	
AA21	VSS	
AA23	VSS	
AA4	VSS	
AA6	VSS	



AA7	VSS	
AA9	VSS	
AB11	VSS	
AB12	VSS	
AB15	VSS	
AB17	VSS	
AB19	VSS	
AB20	VSS	
AB23	VSS	
AB26	VSS	
AB3	VSS	
AB32	VSS	
AB7	VSS	
AC26	VSS	
AC6	VSS	
AD26	VSS	
AD27	VSS	
AD6	VSS	
AE10	VSS	
AE15	VSS	
AE19	VSS	
AE21	VSS	
AE24	VSS	
AE29	VSS	
AE8	VSS	
AF11	VSS	
AF12	VSS	
AF17	VSS	
AF23	VSS	
AF26	VSS	
AF32	VSS	
AF9	VSS	
AG15	VSS	
AG17	VSS	
AG19	VSS	
AG21	VSS	
AG25	VSS	
AG5	VSS	
AH12	VSS	
AH32	VSS	
AH8	VSS	
AJ14	VSS	
AJ16	VSS	
AJ18	VSS	
AJ20	VSS	
AJ22	VSS	
AJ24	VSS	
AJ26	VSS	
AJ3	VSS	
AJ5	VSS	
AJ7	VSS	



AK13	VSS	
AK15	VSS	
AK17	VSS	
AK19	VSS	
AK2	VSS	
AK21	VSS	
AK23	VSS	
AK25	VSS	
AK27	VSS	
AK29	VSS	
AL11	VSS	
AL30	VSS	
AL5	VSS	
AM1	VSS	
AM28	VSS	
AM3	VSS	
AM32	VSS	
B1	VSS	
C13	VSS	
C15	VSS	
C17	VSS	
C19	VSS	
C27	VSS	
C30	VSS	
C4	VSS	
C7	VSS	
D10	VSS	
D25	VSS	
D6	VSS	
E15	VSS	
E20	VSS	
E22	VSS	
E26	VSS	
E28	VSS	
E32	VSS	
E8	VSS	
F1	VSS	
F12	VSS	
F4	VSS	
G10	VSS	
G11	VSS	
G13	VSS	
G18	VSS	
G25	VSS	
G28	VSS	
G3	VSS	
G7	VSS	
H10	VSS	
H11	VSS	
H12	VSS	
H13	VSS	



H14	VSS	
H16	VSS	
H17	VSS	
H19	VSS	
H21	VSS	
H22	VSS	
H23	VSS	
H24	VSS	
H25	VSS	
H27	VSS	
H8	VSS	
H9	VSS	
J27	VSS	
J3	VSS	
J6	VSS	
K1	VSS	
K26	VSS	
K3	VSS	
K32	VSS	
K7	VSS	
L10	VSS	
L12	VSS	
L13	VSS	
L16	VSS	
L17	VSS	
L20	VSS	
L21	VSS	
L24	VSS	
L26	VSS	
L27	VSS	
L5	VSS	
M11	VSS	
M14	VSS	
M15	VSS	
M18	VSS	
M19	VSS	
M22	VSS	
M23	VSS	
M26	VSS	
M3	VSS	
M30	VSS	
M4	VSS	
M7	VSS	
M9	VSS	
N12	VSS	
N13	VSS	
N16	VSS	
N17	VSS	
N20	VSS	
N21	VSS	
N24	VSS	



N6	VSS	
P10	VSS	
P11	VSS	
P14	VSS	
P15	VSS	
P18	VSS	
P19	VSS	
P22	VSS	
P23	VSS	
P26	VSS	
P3	VSS	
P9	VSS	
R12	VSS	
R13	VSS	
R16	VSS	
R17	VSS	
R20	VSS	
R21	VSS	
R24	VSS	
R26	VSS	
R4	VSS	
R7	VSS	
T10	VSS	
T11	VSS	
T14	VSS	
T15	VSS	
T22	VSS	
T23	VSS	
T26	VSS	
T3	VSS	
T6	VSS	
U12	VSS	
U13	VSS	
U16	VSS	
U17	VSS	
U20	VSS	
U21	VSS	
U24	VSS	
U26	VSS	
U4	VSS	
U5	VSS	
U7	VSS	
V10	VSS	
V11	VSS	
V13	VSS	
V15	VSS	
V22	VSS	
V23	VSS	
V28	VSS	
V3	VSS	
V6	VSS	



W12	VSS	
W13	VSS	
W15	VSS	
W17	VSS	
W18	VSS	
W20	VSS	
W21	VSS	
W24	VSS	
W26	VSS	
W4	VSS	
W9	VSS	
Y10	VSS	
Y11	VSS	
Y14	VSS	
Y16	VSS	
Y19	VSS	
Y22	VSS	
Y24	VSS	
Y26	VSS	
Y29	VSS	
Y3	VSS	



附录 B：芯片引脚内部延迟数据表

单独提供，请与龙芯中科科技股份有限公司联系。



修订记录

版本号	更新内容
V1.05	发布版本

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No.2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

