

LOONGSON

龙芯 2K0300 处理器

数据手册

V1. 01

2025 年 05 月

龙芯中科技术股份有限公司

自主决定命运，创新成就未来

北京市海淀区温泉镇中关村环保科技示范园龙芯产业园2号楼 100095
Loongson Industrial Park, building 2, Zhongguancun environmental protection park
Haidian District, Beijing



www.loongson.cn

阅读指南

《龙芯 2K0300 处理器数据手册》主要介绍龙芯 2K0300 处理器接口结构，特性，电气规范，以及硬件设计指导。

目 录

目 录	I
图目录	IV
表目录	V
1 概述	1
1.1 体系结构框图	2
1.2 芯片特性	2
1.2.1 处理器核	2
1.2.2 内存控制器	3
1.2.3 显示接口	3
1.2.4 USB 控制器	3
1.2.5 GMAC 控制器	3
1.2.6 I2S 控制器	4
1.2.7 SPI 控制器	4
1.2.8 UART	4
1.2.9 I ² C 总线	4
1.2.10 AD 接口	5
1.2.11 CAN 接口	5
1.2.12 TIMER 接口	5
1.2.13 PWM 接口	5
1.2.14 SDIO 接口	5
1.2.15 LocalIO 接口	5
1.2.16 HPET	6
1.2.17 RTC	6
1.2.18 GPIO 接口	6
1.2.19 Watchdog	6
1.2.20 温度传感器	6
1.2.21 中断控制器	6
1.3 订购信息	6
1.4 文档约定	7
1.4.1 信号命名	7
1.4.2 信号类型	7
1.4.3 数值表示	7
1.4.4 寄存器域	7
2 引脚定义	8
2.1 DDR4 接口	8
2.2 GMAC 接口	8



2.3 USB 接口	9
2.4 LCD 接口	9
2.5 SPI 接口	10
2.6 UART 接口	11
2.7 I ² C 接口	11
2.8 SDIO/EMMC 接口	11
2.9 AD 接口	12
2.10 CAN 接口	12
2.11 I2S 接口	12
2.12 TIMER 接口	12
2.13 电源地	13
2.14 测试接口	13
2.15 JTAG 接口	13
2.16 系统相关信号	13
2.17 上电配置信号	14
2.18 外设功能引脚复用	14
3 功能描述	17
3.1 DDR4 控制器	17
3.1.1 DDR4 接口工作频率范围	17
3.1.2 DDR4 控制器特性	17
3.2 USB	18
3.3 OTG	18
3.4 GMAC	18
3.5 LCD	19
3.6 SPI	19
3.7 UART	20
3.8 I ² C	21
3.9 I2S	21
3.10 CAN	21
3.11 AD	21
3.12 SDIO	21
3.13 LOCALIO	22
3.14 TIMER	22
3.15 PWM	22
3.16 GPIO	22
3.17 HPET	23
3.18 RTC	23
3.19 功耗管理	23



4 初始化时序	24
4.1 冷启动上电时序	24
4.2 热复位时序	25
5 电气特性	26
5.1 电源	26
5.1.1 推荐工作条件	26
5.1.2 绝对最大额定值	26
5.1.3 功耗状态及优化	27
5.2 数字引脚电特性	27
5.2.1 单端参考时钟	27
5.2.2 数字 I/O	28
5.3 RGMII 接口特性	29
5.3.1 RGMII 接口直流特性	29
5.3.2 RGMII 接口时序	30
5.4 USB 接口特性	30
5.5 SPI 接口特性	34
5.6 I2C 接口特性	34
6 热特性	36
6.1 热参数	36
6.2 焊接温度	36
7 芯片引脚排列和封装	38
7.1 引脚顶层排列	38
7.2 封装尺寸	41
8 不使用引脚的处理	43
9 产品标识	44
修订记录	45



图目录

图 1.1 龙芯 2K0300 结构图	2
图 3.1 SPI 主控制器接口时序	19
图 3.2 SPI Flash 标准读时序	20
图 3.3 SPI Flash 快速读时序	20
图 3.4 SPI Flash 双向 I/O 读时序	20
图 4.1 冷启动上电时序波形	24
图 4.2 热复位时序图	25
图 5.1 单端参考时钟波形	27
图 5.2 RGMII 接口时序	30
图 5.3 I2C 接口时序	35
图 6.1 焊接回流曲线	37
图 7.1 顶层引脚排布总览	38
图 7.2 封装外形图	41
图 9.1 产品标识图	44



表目录

表 1- 1 订购信息表	6
表 1- 2 信号类型描述表	7
表 2- 1 芯片功能引脚复用关系表	14
表 4- 1 冷启动上电时序推荐要求	24
表 4- 2 热复位时序约束	25
表 5- 1 推荐的工作电源电压	26
表 5- 2 绝对最大额定值	26
表 5- 3 芯片功耗模式	27
表 5- 4 单端参考时钟电特性表	27
表 5- 5 数字 I/O 电特性表	28
表 5- 6 RGMII 接口输出特性	29
表 5- 7 RGMII 接口输入特性	29
表 5- 8 RGMII 接口时序	30
表 5- 9 USB 直流电气特性	30
表 5- 10 USB 高速源电气特性	32
表 5- 11 USB 全速源电气特性	32
表 5- 12 USB 低速源电气特性	33
表 5- 13 SPI Flash 接口时序	34
表 5- 14 I2C 接口时序	34
表 6- 1 热特性参数和推荐的最大值	36
表 6- 2 回流焊接温度分类表	36
表 7- 1 顶层引脚排列	39
表 7- 2 封装外形尺寸	42
表 8- 1 不使用引脚推荐处理表	43



1 概述

LS2K0300 芯片是基于 LA264 处理器核的多功能 SOC 芯片，可广泛适用于工业控制、通信设备、信息家电和物联网等应用领域。龙芯 LS2K0300 采用高集成度设计，提供丰富的功能接口，可满足多场景应用需求，同时支持低功耗技术，能够在低能耗表现下提供高效处理性能。

LS2K0300 芯片片内集成 16 位 DDR4 内存控制器，并集成了丰富的外设接口：USB2.0 接口，GMAC 接口，DVO 显示接口，I2S 音频接口，SPI/QSPI，ADC，SDIO，eMMC 和其他工控领域常用接口。

龙芯 2K0300 的主要特征如下：

- 集成一个 64 位双发射 LA264 处理器核，L1 Cache(I/D) 各 32KB，L2 Cache 512KB，最高主频 1.0GHz
- 集成 1 个 16 位 DDR4 控制器，典型速率 1600Mbps
- 集成 1 路显示控制器，最大分辨率可支持 1920*1080@60Hz/24bit
- 集成 2 个 10M/100M/1000M 自适应 GMAC，支持 RGMII/MII
- 集成 1 个 USB2.0 HOST 接口，1 个 OTG 接口支持 HOST/DEVICE 模式
- 集成 4 个 SPI 控制器，1 路支持系统启动(SPI0)，2 路支持 QSPI 模式(SPI0/1)
- 集成 4 路 I2C 控制器，支持主从模式
- 集成 1 路 I2S 控制器，支持单通道和多通道音频数据
- 集成 1 个 8 通道 12 位 AD 接口
- 集成 10 个 UART 控制器
- 集成 2 个 SDIO 控制器，均支持 SDIO/eMMC
- 集成 4 个 CAN 控制器，均支持 CAN-FD
- 集成 4 路 PWM 控制器，支持输入/输出
- 集成 3 组定时器 A/G/B-TIMER
- 集成 106 路复用 GPIO，支持位操作，支持输入/输出
- 集成 1 个温度传感器
- 集成 RTC/HPET



- 集成看门狗电路
- 集成动态功耗控制模块，支持 DFS
- 集成中断控制器，支持灵活的中断设置
- 支持 JTAG 调试

1.1 体系结构框图

LS2K0300 内部采用多级总线结构。一级交叉开关连接一个处理器核、一个二级 Cache 以及 IO 子网络（Cache 访问路径）。二级 Cache 及 IODMA、内存控制器、GMAC、USB、DC 等 IO 设备共享高速系统互联网络。低速外设（CAN/I2C/UART 等）作为一个集合加在南桥总线上。

LS2K0300 芯片结构图如图 1-1 所示：

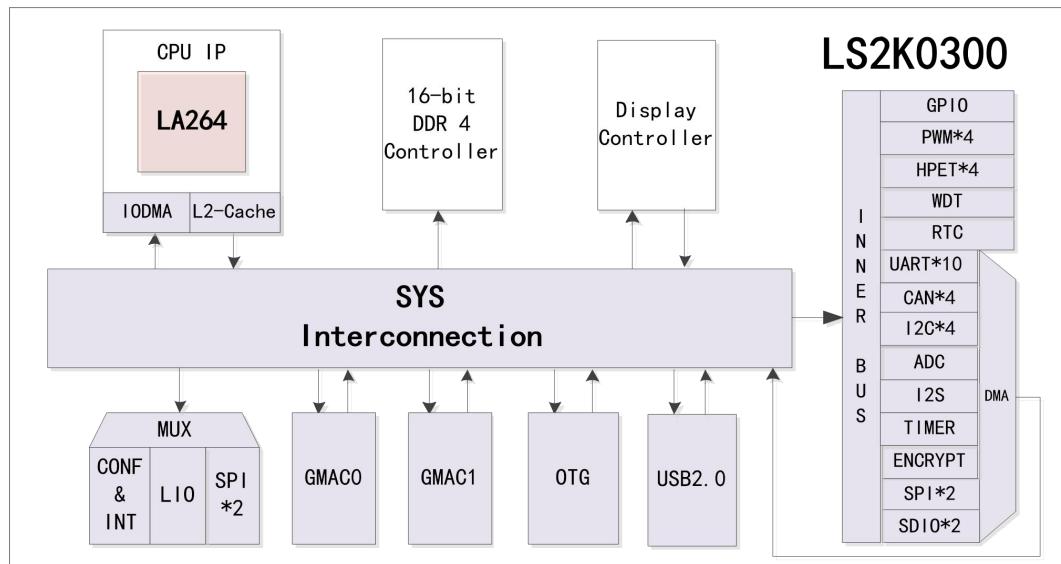


图 1.1 龙芯 2K0300 结构图

1.2 芯片特性

1.2.1 处理器核

- LA264
- LoongArch 体系结构兼容
- 包括 1 个全流水的 64 位双精度浮点乘加部件
- 32KB 数据 Cache 和 32KB 的指令 Cache



- 512KB 共享二级 Cache
- 通过目录协议维护 I/O DMA 访问的 Cache 一致性
- JTAG 支持

1.2.2 内存控制器

- 16 位 DDR4 控制器，支持 DDR4-1600
- 支持硬件 ECC
- 支持命令调度

1.2.3 显示接口

- 1 路 DVO 显示输出
- 分辨率可支持 $320 \times 240 \sim 1920 \times 1080 @ 60Hz / 24bit$

1.2.4 USB 控制器

- 1 个独立的 USB2.0 的 HOST 端口
- 1 个独立的 OTG 端口，支持 HOST/DEVICE 模式
- 兼容 USB1.1、USB2.0
- 内部 EHCI 控制和实现高速传输可达 480 Mbps
- 内部 OHCI 控制和实现全速和低速传输
- 低功耗管理

1.2.5 GMAC 控制器

- 两路 10/100/1000Mbps 自适应以太网 MAC
- 双网卡均兼容 IEEE 802.3
- 对外部 PHY 实现 RGMII/MII 接口
- 半双工/全双工自适应
- Timestamp 功能
- 半双工时，支持碰撞检测与重发（CSMA/CD）协议
- 支持 CRC 校验码的自动生成与校验，支持前置符生成与删除



1.2.6 I2S 控制器

- 1 路 I2S 接口
- 支持单声道和立体声道音频数据
- 支持 DMA 传输模式

1.2.7 SPI 控制器

- 双缓冲接收器
- 极性和相位可编程的串行时钟
- 主模式支持 (SPI0/1)
- 主从模式支持 (SPI2/3)，支持 DMA 传输模式
- 支持到 4 个的变长字节传输
- 支持系统启动 (仅 SPI0 支持)
- 支持 QSPI 模式 (仅 SPI0/1 支持)
- 支持标准读、连续地址读、快速读、双路 I/O 等 SPI Flash 读模式

1.2.8 UART

- 2 个全功能 UART 和流控 TXD, RXD, CTS, RTS, DSR, DTR, DCD, RI
- 最多 10 个双端口 UART 接口，均支持 DMA 传输模式
- 两路全双工异步数据接收/发送
- 可编程的数据格式
- 16 位可编程时钟计数器
- 支持接收超时检测
- 带仲裁的多中断系统

1.2.9 I²C 总线

- 履行双向同步串行协议
- 实现主从设备操作
- 能够支持多主设备的总线
- 支持 DMA 传输模式
- 总线的时钟频率可编程



- 可以产生开始/停止/应答等操作
- 能够对总线的状态进行探测
- 支持低速和快速模式
- 支持 7 位寻址和 10 位寻址
- 支持时钟延伸和等待状态

1.2.10 AD 接口

- 支持 8 路 12 位 AD 电路采样
- 支持 DMA 传输模式

1.2.11 CAN 接口

- 支持 4 路 CAN 接口，支持 CAN-FD
- 支持 DMA 传输模式

1.2.12 TIMER 接口

- 3 组定时器 A/G/B-TIMER
- ATIM/GTIM 支持输入捕获/PWM 输出，支持 DMA 传输模式
- ATIM 支持 3 路互补 PWM 输出，GTIM 支持编码器/霍尔模式

1.2.13 PWM 接口

- 32 位计数器
- 支持脉冲生成及捕获
- 4 路控制器

1.2.14 SDIO 接口

- 2 路独立 SDIO 控制器（均可配置为 eMMC 模式）
- 1 路支持 SDIO 系统启动（SDIO0/eMMC0 支持启动）

1.2.15 LocalIO 接口

- 1 路 LocalIO 总线，支持最大 32MB 空间 MEM 访问
- 支持 8/16 位数据宽度，双片选扩展



1.2.16 HPET

- 4 个 32 位计数器
- 支持 1 个周期性中断
- 支持 2 个非周期性中断

1.2.17 RTC

- 计时精确到 0.1 秒
- 可产生 3 个计时中断

1.2.18 GPIO 接口

- 106 位复用 GPIO 引脚
- 支持外部中断输入（支持电平/沿触发）
- 与其他接口复用，使用各个接口电压域

1.2.19 Watchdog

- 32 比特计数器及初始化寄存器
- 低功耗模式暂停功能

1.2.20 温度传感器

- 温度观测(芯片结温)
- 高低温中断

1.2.21 中断控制器

- 支持软件设置中断
- 支持电平与边沿触发
- 支持中断屏蔽与使能
- 支持多种中断分发模式

1.3 订购信息

表 1-1 订购信息表

芯片型号	封装	工作温度	湿敏等级	质量等级
------	----	------	------	------



LS2K0300	塑封 FC-BGA286	0°C~70°C (Tj)	MSL3	商业级
LS2K0300-i	塑封 FC-BGA286	-40°C~105°C (Tj)	MSL3	工业级

1.4 文档约定

1.4.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 N/n 结尾，高有效信号则不带 N/n。如无特别说明，以 RTC 开头的信号位于 RTC 域，其它信号位于 SOC 域。

1.4.2 信号类型

表 1-2 信号类型描述表

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地

1.4.3 数值表示

16 进制数表示为' hxxx，2 进制数表示为' bxx，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0, DDR_DQ1, ...）使用方括号加数字范围的形式简写（如 DDR_DQ[31:0]）。类似地，寄存器域也采用这种表示方式。

1.4.4 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如
chip_config0 uart_split 指芯片配置寄存器 0 (chip_config0) 的
uart_split 域。



2 引脚定义

2.1 DDR4 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
DDR_DQ[15:0]	I/O	' hx	DDR4 SDRAM 数据总线信号	DDR_1V2	-	8mA
DDR_DQSP[1:0]	DIFF I/O			DDR_1V2	-	8mA
DDR_DQSN[1:0]		' hx	DDR4 SDRAM 数据选通	DDR_1V2	-	8mA
DDR_DQM[1:0]	0	' hx	DDR4 SDRAM 数据屏蔽	DDR_1V2	-	8mA
DDR_A[13:0]	0	' hx	DDR4 SDRAM 地址总线信号	DDR_1V2	-	8mA
DDR_BA[1:0]	0	' hx	DDR4 SDRAM 逻辑 Bank 地址信号	DDR_1V2	-	8mA
DDR_BG[1:0]	0	' hx	DDR4 SDRAM 逻辑 BankGroup 地址信号	DDR_1V2	-	8mA
DDR_WEN	0	' hx	DDR4 SDRAM 写使能信号	DDR_1V2	-	8mA
DDR_CASN	0	' hx	DDR4 SDRAM 列地址选择信号	DDR_1V2	-	8mA
DDR_RASN	0	' hx	DDR4 SDRAM 行地址选择信号	DDR_1V2	-	8mA
DDR_ACTN	0	' hx	DDR4 SDRAM 行激活信号	DDR_1V2	-	8mA
DDR_SCSN	0	' hx	DDR4 SDRAM 片选信号	DDR_1V2	-	8mA
DDR_CKE	0	' hx	DDR4 SDRAM 时钟使能信号	DDR_1V2	-	8mA
DDR_CKP	DIFF OUT	' hx	DDR4 SDRAM 差分时钟输出信号	DDR_1V2	-	8mA
DDR_CKN						
DDR_ODT	0	' hx	DDR4 SDRAM ODT 信号	DDR_1V2	-	8mA
DDR_REXT	0	' hx	DDR4 外部参考电阻，通过 240ohm/1% 电阻连至地	DDR_1V2	-	8mA
DDR_RESETN	0	' hx	DDR4 SDRAM 复位控制信号	DDR_1V2	-	8mA

2.2 GMAC 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
GMAC[1:0]_TX_CLK_O	0	' h0	RGMII 发送时钟输出	IO_3V3	-	2-12mA
GMAC[1:0]_TX_CLK_I	I	-	RGMII 发送时钟输入 (125MHz 备选时钟，可不接)	IO_3V3	-	-
GMACO_TX_CTL	0	' h0	RGMII 发送控制	IO_3V3	-	2-12mA
GMACO_TXD[3:0]	0	' h0	RGMII 发送数据	IO_3V3	-	2-12mA
GMAC[1:0]_RX_CLK_I	I	-	RGMII 接收时钟	IO_3V3	-	-
GMACO_RX_CTL	I	-	RGMII 接收控制	IO_3V3	-	-
GMACO_RXD[3:0]	I	-	RGMII 接收数据	IO_3V3	-	-
GMACO_MDCK	0	' h0	SMA 接口时钟，外部需上拉处理	IO_3V3	-	2-12mA
GMACO_MDIO	I/O	' hx	SMA 接口数据，外部需上拉处理	IO_3V3	-	2-12mA

2K0300 通过相应模式配置可以实现 RGMII、MII 两种接口，其中两种接口定义差异如



下：

信号名称	RGMII 接口模式	MII 接口模式
GMAC_TX_CTL	GMAC_TX_CTL	GMAC_TX_EN
GMAC_RX_CTL	GMAC_RX_CTL	GMAC_RX_DV
GMAC_TX_CLK_O	GMAC_TX_CLK_O(输出)	GMAC_RX_ER(输入)
-	-	GMAC_COL(新增引脚, 由其他引脚复用)
-	-	GMAC_CRS(新增引脚, 由其他引脚复用)

2.3 USB 接口

信号名称	类型	复位状态	描述	电源	内部上下拉
USB_REFCLK	I	-	24MHz 参考时钟(晶振单端时钟输入)	USB_A3V3	-
USB_DP	I/O	' h0	USB D+, 内部集成下拉电阻(15k Ω), 外部可不做处理	USB_A3V3	-
USB_DM	I/O	' h0	USB D-, 内部集成下拉电阻(15k Ω), 外部可不做处理	USB_A3V3	-
USB_OVRCUR	I	-	USB 过流检测, 需注意该信号为高有效	USB_A3V3	-
OTG_DP	I/O	' h0	OTG D+, 内部集成下拉电阻(15k Ω), 外部可不做处理	USB_A3V3	-
OTG_DM	I/O	' h0	OTG D-, 内部集成下拉电阻(15k Ω), 外部可不做处理	USB_A3V3	-
OTG_DRVBUS	O	' h0	OTG_VBUS 电源使能控制信号输出	USB_A3V3	-
OTG_ID	I	-	OTG ID 输入, 低电平表示 Host, 高电 平表示 Device	USB_A3V3	-
OTG_VBUS	A	-	OTG_VBUS 5V 输入	VBUS_5V	-

2.4 LCD 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
LCD_CLK	O	' h0	LCD 时钟输出	IO_3V3	-	2-12mA
LCD_HSYNC	O	' h0	LCD 水平同步	IO_3V3	-	2-12mA
LCD_VSYNC	O	' h0	LCD 垂直同步	IO_3V3	-	2-12mA
LCD_EN	O	' h0	LCD 数据有效	IO_3V3	-	2-12mA
LCD_D[23:0]	O	' h0	LCD 显示数据 [23:16]为 R 数据 [15:08]为 G 数据 [07:00]为 B 数据	IO_3V3	-	2-12mA

LCD 接口数据信号与 RGB 对应关系如下：

LCD 接口信号	24 位模式	18 位模式
LCD_D0	B0	



LCD_D1	B1	
LCD_D2	B2	B0
LCD_D3	B3	B1
LCD_D4	B4	B2
LCD_D5	B5	B3
LCD_D6	B6	B4
LCD_D7	B7	B5
LCD_D8	G0	
LCD_D9	G1	
LCD_D10	G2	G0
LCD_D11	G3	G1
LCD_D12	G4	G2
LCD_D13	G5	G3
LCD_D14	G6	G4
LCD_D15	G7	G5
LCD_D16	R0	
LCD_D17	R1	
LCD_D18	R2	R0
LCD_D19	R3	R1
LCD_D20	R4	R2
LCD_D21	R5	R3
LCD_D22	R6	R4
LCD_D23	R7	R5

2.5 SPI 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
SPI[2:0]_CLK	0	' h0	SPI0~2 时钟输出	I0_3V3	-	2-12mA
SPI[2:0]_CSN	0	' hx	SPI0~2 片选，外部需上拉处理	I0_3V3	-	2-12mA
SPI[2:0]_MOSI	0	' hx	SPI0~2 数据输出	I0_3V3	上拉 ¹	2-12mA
SPI[2:0]_MISO	I	-	SPI0~2 数据输入	I0_3V3	上拉 ¹	-

注¹：内部典型 50k 欧姆上拉。

SPI0/1 支持 QSPI 模式，不同模式接口信号对应关系如下：

信号名称	SPI 接口模式	QSPI 接口模式
SPI[1:0]_CLK	SPI0/1 时钟	SPI0/1 时钟
SPI[1:0]_CSN	SPI0/1 片选 0	SPI0/1 片选 0
SPI[1:0]_MOSI	SPI0/1 数据输出	SPI0/1 数据 0
SPI[1:0]_MISO	SPI0/1 数据输入	SPI0/1 数据 1
SPI[1:0]_CS[1]	SPI0/1 片选 1	-
SPI[1:0]_CS[2]	SPI0/1 写保护 WPN	SPI0/1 数据 2
SPI[1:0]_CS[3]	SPI0/1 HOLDN	SPI0/1 数据 3



注：SPI0 不支持 QSPI 模式系统启动，当作为 SPI 模式启动时，若外接单/四线兼容 Flash，需选择特定类型 Flash (QE=1) 颗粒。

2.6 UART 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
UART[3:0]_TXD	0	' h1	串口 0~3 数据输出	IO_3V3	-	2-12mA
UART[3:0]_RXD	I	-	串口 0~3 数据输入	IO_3V3	-	2-12mA

2K0300 通过引脚复用配置可以实现两个独立的全功能串口，该串口通过设置可以工作在 2x4 和 4x2 模式，各种模式的管脚对应关系如下。其它引脚复用的 UART 接口内部复用关系也如下表所示。

1x8	2x4	4x2
TXD0(0)	TXD0(0)	TXD0(0)
RTS0(0)	RTS0(0)	TXD6(0)
DTR0(0)	TXD4(0)	TXD4(0)
RXD0(I)	RXD0(I)	RXD0(I)
CTS0(I)	CTS0(I)	RXD6(I)
DSR0(I)	RXD4(I)	RXD4(I)
DCD0(I)	CTS4(I)	RXD5(I)
RIO(I)	RTS4(0)	TXD5(0)
TXD1(0)	TXD1(0)	TXD1(0)
RTS1(0)	RTS1(0)	TXD9(0)
DTR1(0)	TXD7(0)	TXD7(0)
RXD1(I)	RXD1(I)	RXD1(I)
CTS1(I)	CTS1(I)	RXD9(I)
DSR1(I)	RXD7(I)	RXD7(I)
DCD1(I)	CTS7(I)	RXD8(I)
RI1(I)	RTS7(0)	TXD8(0)

2.7 I²C 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
I2C[3:0]_SCL	0	' hx	I2C0~3 时钟，外部需上拉处理	IO_3V3	-	2-12mA
I2C[3:0]_SDA	I/O	' hx	I2C0~3 数据，外部需上拉处理	IO_3V3	-	2-12mA

2.8 SDIO/eMMC 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
SDIO[1:0]_CLK	0	' h0	SDIO0~1 时钟输出	IO_3V3/1V8(SDIO0) IO_3V3(SDIO1)	-	2-12mA
SDIO[1:0]_CMD	I/O	' hx	SDIO0~1 命令输入输出，外部需上拉处理	IO_3V3/1V8(SDIO0) IO_3V3(SDIO1)	上拉 ²	2-12mA
SDIO[1:0]_DATA[3:0]	I/O	' hx	SDIO0~1 数据信号 0~3，外部需上拉处理	IO_3V3/1V8(SDIO0) IO_3V3(SDIO1)	上拉 ²	2-12mA



SDIO0_DATA[7:4]	I/O	' hx	SDIO0 数据信号 4~7，外部需上拉处理	IO_3V3/1V8(SDIO0) IO_3V3(SDIO1)	上拉 ²	2-12mA
SDIO0_CEXT1/2	0	-	SDIO 通道 0 外接 1uF 电容到地	IO_3V3/1V8	-	-

注²：内部典型 50k 欧姆上拉。

2.9 AD 接口

信号名称	类型	复位状态	描述	电源	内部上下拉
ADC_IN[7:0]	AI	-	8 路 AD 模拟输入信号，支持电压范围：0~1.8V	ADC_A1V8	-

2.10 CAN 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
CAN[3:0]_RX	I	-	CAN 通道 0~3 接收数据	IO_3V3	-	2-12mA
CAN[3:0]_TX	O	' h0	CAN 通道 0~3 发送数据	IO_3V3	-	2-12mA

注：四路 CAN 接口可通过多处 GPIO 引脚复用实现，其中因 GPIO64~105 上电默认为 GPIO 输出低电平（启动过程不可更改），复用该组引脚实现时存在与特定 CAN 收发器连接时，芯片上电过程中引脚输出低电平下，CAN 收发器输出随机信号可能导致 CAN 网络异常。该使用场景下，需增加上电过程对 CAN 收发器隔离控制电路进行处理，具体可参考相关硬件设计指导。

2.11 I2S 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
I2S_BCLK	O	' h0	I2S BIT 时钟	IO_3V3	-	2-12mA
I2S_DI	I	-	I2S 数据输入	IO_3V3	-	2-12mA
I2S_DO	O	' h0	I2S 数据输出	IO_3V3	-	2-12mA
I2S_MCLK	O	' h0	I2S MCLK 时钟	IO_3V3	-	2-12mA
I2S_LR	O	' h0	I2S 左右声道选择	IO_3V3	-	2-12mA

2.12 TIMER 接口

信号名称	类型	复位状态	描述	电源	内部上下拉	驱动大小
TIM1_CH[3:1]	I/O	' hx	TIMER1 信号 3 路输入输出	IO_3V3	-	2-12mA
TIM1_CHN[3:1]	I/O	' hx	TIMER1 反向信号 3 路输入输出	IO_3V3	-	2-12mA
TIM2_CH[3:1]	I/O	' hx	TIMER2 信号 3 路输入输出	IO_3V3	-	2-12mA



2.13 电源地

信号名称	类型	描述	电压
VDD	P	CORE 域 1.0V 供电电源	1.0V
DDR_1V2	P	DDR4 IO 电压域 1.2V 供电电源	1.2V
IO_1V8	P	USB-PHY、Sensor、Fuse、AD 数字电源 1V8 供电	1.8V
ADC_1V8	P	AD 电路 1.8V 供电电源	1.8V
PLL_1V8	P	PLL 模拟电压 1.8V 供电电源	1.8V
IO_3V3	P	IO PAD 电压域 3.3V 供电电源	3.3V
IO_3V3_1V8	P	IO PAD 电压域 3.3V/1V8 兼容供电电源 (SDIO0/eMMC0 引脚)	3.3V/1V8
USB_A3V3	P	USB PHY 电压域 3.3V 供电电源	3.3V
RTC_VDD	P	RTC 电压域供电电源	3.0V
VSS	G	接地	0V
ADC_VSS	G	ADC 模拟地	0V
PLL_VSS	G	PLL 模拟地	0V

2.14 测试接口

信号名称	类型	复位状态	描述	电源	上下拉
DOTESTn	I	-	测试模式控制 0: 测试模式 1: 功能模式	IO_3V3	-
SYS_TESTCLK	I	-	测试时钟输入	IO_3V3	-

2.15 JTAG 接口

信号名称	类型	复位状态	描述	电源	上下拉	驱动大小
JTAG_SEL	I	-	JTAG 选择 (0: 测试 JTAG, 1: 功能 JTAG)	IO_3V3	上拉 ³	2-12mA
JTAG_TCK	I	-	JTAG 时钟	IO_3V3	-	2-12mA
JTAG_TDI	I	-	JTAG 数据输入, 外部需上拉处理	IO_3V3	上拉 ³	2-12mA
JTAG_TMS	I	-	JTAG 模式, 外部需上拉处理	IO_3V3	上拉 ³	2-12mA
JTAG_TRST	I	-	JTAG 复位, 外部下拉处理	IO_3V3	-	2-12mA
JTAG_TDO	O	' h1	JTAG 数据输出	IO_3V3	-	2-12mA

注³: 内部典型 50k 欧姆上拉。

2.16 系统相关信号

信号名称	类型	复位状态	描述	电源	上下拉	驱动大小
SYSCLK	I	-	120MHz 系统参考时钟	IO_3V3	-	-



SYSRESETN	I	-	系统复位输入信号	IO_3V3	上拉 ⁴	-
RTC_XI RTC_XO	I/O	-	RTC 参考时钟 (频率 32.768KHz) 晶体时钟需在 RTC_XO 引脚与 RTC_VDD 电源串接 10M 欧上拉电阻; 晶振时钟由 RTC_XI 引脚输入 (推荐电压幅值 0~500mV, RTC_XO 悬空处理)。 (注: 不使用 RTC 功能时, 时钟引脚可不接, 系统软件需屏蔽相关访问)	RTC_VDD	-	-

注⁴: 内部典型 50k 欧姆上拉。

2.17 上电配置信号

信号名称	类型	描述
LCD_D[0]	I	启动选择输入 0=SPI0 启动 1=SDIO0/eMMC0 启动
LCD_D[2:1]	I	PLL 时钟配置输入 00=硬件低频模式 01=硬件高频模式 10=软件配置模式 11=bypass 模式
LCD_D[3]	I	SDIO0 模式配置输入 0=SDIO 模式 1=eMMC 模式
LCD_D[4]	I	SDIO1 模式配置输入 0=SDIO 模式 1=eMMC 模式
LCD_D[5]	I	USB 参考时钟模式配置输入 0=内部参考时钟模式 (24MHz) 1=外部参考时钟模式 (24MHz)
LCD_D[6]	I	SDIO0/eMMC0 引脚 PAD 电平模式配置输入 0=3.3V-I0 电平类型 (对应 IO_3V3_1V8 供电需选择 3.3V 供电) 1=1.8V-I0 电平类型 (对应 IO_3V3_1V8 供电需选择 1.8V 供电)

2.18 外设功能引脚复用

各信号引脚的功能复用关系如下表所示:

表 2-1 芯片功能引脚复用关系表

芯片引脚	GPIO 复用	主功能复用	第一复用	第二复用
LCD_CLK	GPIO00	lcd_clk	-	-
LCD_VSYNC	GPIO01	lcd_vsync	-	lio[0]
LCD_HSYNC	GPIO02	lcd_hsync	-	lio[1]



芯片引脚	GPIO 复用	主功能复用	第一复用	第二复用
LCD_EN	GPIO03	lcd_en	-	lio[2]
LCD_DO	GPIO04	lcd_dat_b[0]	-	lio[3]
LCD_D1	GPIO05	lcd_dat_b[1]	-	lio[4]
LCD_D2	GPIO06	lcd_dat_b[2]	-	lio[5]
LCD_D3	GPIO07	lcd_dat_b[3]	-	lio[6]
LCD_D4	GPIO08	lcd_dat_b[4]	-	lio[7]
LCD_D5	GPIO09	lcd_dat_b[5]	-	lio[8]
LCD_D6	GPIO10	lcd_dat_b[6]	-	lio[9]
LCD_D7	GPIO11	lcd_dat_b[7]	-	lio[10]
LCD_D8	GPIO12	lcd_dat_g[0]	-	lio[11]
LCD_D9	GPIO13	lcd_dat_g[1]	-	lio[12]
LCD_D10	GPIO14	lcd_dat_g[2]	-	lio[13]
LCD_D11	GPIO15	lcd_dat_g[3]	-	lio[14]
LCD_D12	GPIO16	lcd_dat_g[4]	-	lio[15]
LCD_D13	GPIO17	lcd_dat_g[5]	-	lio[16]
LCD_D14	GPIO18	lcd_dat_g[6]	-	lio[17]
LCD_D15	GPIO19	lcd_dat_g[7]	-	lio[18]
LCD_D16	GPIO20	lcd_dat_r[0]	-	lio[19]
LCD_D17	GPIO21	lcd_dat_r[1]	-	lio[20]
LCD_D18	GPIO22	lcd_dat_r[2]	-	lio[21]
LCD_D19	GPIO23	lcd_dat_r[3]	-	lio[22]
LCD_D20	GPIO24	lcd_dat_r[4]	-	liocsn[0]
LCD_D21	GPIO25	lcd_dat_r[5]	-	liocsn[1]
LCD_D22	GPIO26	lcd_dat_r[6]	-	liowrn
LCD_D23	GPIO27	lcd_dat_r[7]	-	liordn
GMAC0_RX_CTL	GPIO28	gmac0_rx_ctl	-	tim1_ch1
GMAC0_RX0	GPIO29	gmac0_rx[0]	-	tim1_ch2
GMAC0_RX1	GPIO30	gmac0_rx[1]	-	tim1_ch3
GMAC0_RX2	GPIO31	gmac0_rx[2]	-	tim1_ch1n
GMAC0_RX3	GPIO32	gmac0_rx[3]	-	tim1_ch2n
GMAC0_TX_CTL	GPIO33	gmac0_tx_ctl	-	tim1_ch3n
GMAC0_TX0	GPIO34	gmac0_tx[0]	-	tim2_ch1
GMAC0_TX1	GPIO35	gmac0_tx[1]	-	tim2_ch2
GMAC0_TX2	GPIO36	gmac0_tx[2]	can_rx[0]	tim2_ch3
GMAC0_TX3	GPIO37	gmac0_tx[3]	can_tx[0]	-
GMAC0_MDCK	GPIO38	gmac0_mdck	can_rx[1]	-
GMAC0_MDI0	GPIO39	gmac0_mdio	can_tx[1]	-
UART0_RX	GPIO40	uart0_rx	gmac0_ptp_trig	lio_data[0]
UART0_TX	GPIO41	uart0_tx	gmac0_ptp_pps	lio_data[1]
UART1_RX	GPIO42	uart1_rx	gmac1_ptp_trig	lio_data[2]
UART1_TX	GPIO43	uart1_tx	gmac1_ptp_pps	lio_data[3]
UART2_RX	GPIO44	uart2_rx	gmac1_rx_ctl	lio_data[4]
UART2_RX	GPIO45	uart2_rx	gmac1_rx[0]	lio_data[5]
UART3_TX	GPIO46	uart3_tx	gmac1_rx[1]	lio_data[6]
UART3_RX	GPIO47	uart3_rx	gmac1_rx[2]	lio_data[7]
I2C0_SCL	GPIO48	i2c_scl[0]	gmac1_rx[3]	lio_data[8]
I2C0_SDA	GPIO49	i2c_sda[0]	gmac1_tx_ctl	lio_data[9]
I2C1_SCL	GPIO50	i2c_scl[1]	gmac1_tx[0]	lio_data[10]
I2C1_SDA	GPIO51	i2c_sda[1]	gmac1_tx[1]	lio_data[11]
I2C2_SCL	GPIO52	i2c_scl[2]	gmac1_tx[2]	lio_data[12]
I2C2_SDA	GPIO53	i2c_sda[2]	gmac1_tx[3]	lio_data[13]
I2C3_SCL	GPIO54	i2c_scl[3]	gmac1_mdck	lio_data[14]
I2C3_SDA	GPIO55	i2c_sda[3]	gmac1_mdio	lio_data[15]
SPI0_CLK	GPIO56	spi0_clk	-	can_rx[2]
SPI0_MISO	GPIO57	spi0_miso	-	can_tx[2]
SPI0_MOSI	GPIO58	spi0_mosi	-	can_rx[3]



芯片引脚	GPIO 复用	主功能复用	第一复用	第二复用
SPI0_CS	GPIO59	spi0_cs[0]	-	can_tx[3]
SPI1_CLK	GPIO60	spil_clk	i2c_scl[0]	uart0_rts
SPI1_MISO	GPIO61	spil_miso	i2c_sda[0]	uart0_cts
SPI1_MOSI	GPIO62	spil_mosi	i2c_scl[1]	uart0_dsr
SPI1_CS	GPIO63	spil_cs	i2c_sda[1]	uart0_dtr
SPI2_CLK	GPIO64	spi2_clk	pwm[0]	uart0_dcd
SPI2_MISO	GPIO65	spi2_miso	pwm[1]	uart0_ri
SPI2_MOSI	GPIO66	spi2_mosi	pwm[2]	uart1_rts
SPI2_CS	GPIO67	spi2_cs	pwm[3]	uart1_cts
CANO_RX	GPIO68	can_rx[0]	spi0_cs[1]	uart1_dsr
CANO_TX	GPIO69	can_tx[0]	spi0_cs[2]	uart1_dtr
CAN1_RX	GPIO70	can_rx[1]	spi0_cs[3]	uart1_dcd
CAN1_TX	GPIO71	can_tx[1]	-	uart1_ri
CAN2_RX	GPIO72	can_rx[2]	sdio1_d[4]	gmac0_col
CAN2_TX	GPIO73	can_tx[2]	sdio1_d[5]	gmac0_crs
CAN3_RX	GPIO74	can_rx[3]	sdio1_d[6]	gmac1_col
CAN3_TX	GPIO75	can_tx[3]	sdio1_d[7]	gmac1_crs
I2S_MCLK	GPIO76	i2s_mclk	tim1_ch4	-
I2S_BCLK	GPIO77	i2s_bclk	tim2_ch4	-
I2S_LR	GPIO78	i2s_lr	atim_etr	spil_cs[1]
I2S_DI	GPIO79	i2s_datai	gtim_etr	spil_cs[2]
I2S_DO	GPIO80	i2s_datao	tim1_breakin	spil_cs[3]
TIM1_CH1	GPIO81	tim1_ch1	-	-
TIM1_CH2	GPIO82	tim1_ch2	spi3_clk	i2c_scl[2]
TIM1_CH3	GPIO83	tim1_ch3	spi3_miso	i2c_sda[2]
TIM1_CH1N	GPIO84	tim1_ch1n	spi3_mosi	i2c_scl[3]
TIM1_CH2N	GPIO85	tim1_ch2n	spi3_cs	i2c_sda[3]
TIM1_CH3N	GPIO86	tim1_ch3n	sdio1_d[4]	pwm[0]
TIM2_CH1	GPIO87	tim2_ch1	sdio1_d[5]	pwm[1]
TIM2_CH2	GPIO88	tim2_ch2	sdio1_d[6]	pwm[2]
TIM2_CH3	GPIO89	tim2_ch3	sdio1_d[7]	pwm[3]
SDIO0_CLK	GPIO90	sdio0_clk	-	-
SDIO0_CMD	GPIO91	sdio0_cmd	-	-
SDIO0_D0	GPIO92	sdio0_d[0]	can_rx[0]	uart0_rx
SDIO0_D1	GPIO93	sdio0_d[1]	can_tx[0]	uart0_tx
SDIO0_D2	GPIO94	sdio0_d[2]	can_rx[1]	uart1_rx
SDIO0_D3	GPIO95	sdio0_d[3]	can_tx[1]	uart1_tx
SDIO0_D4	GPIO96	sdio0_d[4]	can_rx[2]	uart2_tx
SDIO0_D5	GPIO97	sdio0_d[5]	can_tx[2]	uart2_rx
SDIO0_D6	GPIO98	sdio0_d[6]	can_rx[3]	uart3_tx
SDIO0_D7	GPIO99	sdio0_d[7]	can_tx[3]	uart3_rx
SDIO1_CLK	GPIO100	sdio1_clk	-	-
SDIO1_CMD	GPIO101	sdio1_cmd	tim1_ch4	-
SDIO1_D0	GPIO102	sdio1_d[0]	tim2_ch4	pwm[0]
SDIO1_D1	GPIO103	sdio1_d[1]	atim_etr	pwm[1]
SDIO1_D2	GPIO104	sdio1_d[2]	gtim_etr	pwm[2]
SDIO1_D3	GPIO105	sdio1_d[3]	tim1_breakin	pwm[3]

注：除芯片启动相关的引脚(SPI0 或 SDIO0/eMMC0 在相应启动模式下对应引脚为主功能)

外，以上复用引脚上电默认状态都复用为 GPIO 功能，其中 GPIO0~63 默认为输入状态，
GPIO64~105 默认为输出低电平状态。



3 功能描述

3.1 DDR4 控制器

龙芯 2K0300 内部集成的内存控制器。

3.1.1 DDR4 接口工作频率范围

支持 DDR4-1600 工作频率。

3.1.2 DDR4 控制器特性

龙芯 2K0300 内存控制器支持 1 个 CS，一共含有 22 位的地址总线（即：18 位的行列地址总线、2 位的逻辑 Bank 总线和 2 位逻辑 BankGroup 总线）。

在具体选择使用不同内存芯片类型时，可以调整 DDR4 控制器参数设置进行支持。其中，支持的最大片选 (CS_n) 数为 1，行地址 (RAS_n) 数为 18，列地址 (CAS_n) 数为 12，逻辑体选择 (BANK_n) 数为 2。

CPU 发送的内存请求物理地址可以根据控制器内部不同的配置进行多种不同的地址映射。

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择 Open Page/Close Page 策略。

龙芯 2K0300 中内存控制器具有如下特征：

- 接口上命令、读写数据全流水操作；
- 内存命令合并、排序提高整体带宽；
- 配置寄存器读写端口，可以修改内存设备的基本参数；
- 内建动态延迟补偿电路 (DCC)，用于数据的可靠发送和接收；
- 支持 DDR4 SDRAM，且参数配置支持 x8 (需外接两片用于 16 位模式)、x16 颗粒；
- 控制器与 PHY 频率比 1/2；
- 支持硬件 ECC 纠错功能；
- 支持数据传输速率为 1600Mbps。



3.2 USB

龙芯 2K0300 的 USB 主机端口特性如下：

- 兼容 USB Rev 1.1 、USB Rev 2.0 协议；
- 兼容 OHCI Rev 1.0 、EHCI Rev 1.0 协议；
- 支持 LS (Low Speed) 、FS (Full Speed) 和 HS (High Speed) 的 USB 设备；
- 支持两个 USB2.0 端口；
- USB2.0 主机控制器模块包括一个支持高速设备的 EHCI 控制器，一个支持全速与低速设备的 OHCI 控制器。其中 EHCI 控制器处于主控地位，只有当挂上的设备是全速或低速设备时，才将控制权转交给 OHCI 控制器；当全速或低速设备拔掉时，控制权返回 EHCI 控制器。

3.3 OTG

龙芯 2K0300 的 OTG 支持特性如下：

- 支持 HNP 与 SRP 协议；
- 内嵌 DMA，无需占用处理器带宽即可在 OTG 与外部存储之间移动数据；
- 在 device 模式下，支持高速设备 (480Mbps) 、全速设备 (12Mbps) ；
- 在 host 模式下，支持高速设备 (480Mbps) 、全速设备 (12Mbps) ；
- 在 device 模式下，支持 8 个双向的 endpoint，其中仅有默认的 endpoint0 支持控制传输；
- 在 device 模式下，最多同时支持 4 个 IN 方向的传输；
- 在 host 模式下，支持 8 个 channel，且软件可配置每个 channel 的方向；
- 在 host 模式下，支持 periodic OUT 传输。

3.4 GMAC

龙芯 2K0300 集成两个 GMAC 控制器，即 GMAC0 和 GMAC1，二者在逻辑结构上完全相同。



3.5 LCD

显示控制器从内存中取帧缓冲和光标信息输出到外部显示接口上。

龙芯 2K0300 的显示控制器支持的特性包括：

- 单路 LCD 接口显示；
- 每路显示最大支持至 1920x1080@60Hz；
- Monochrome、ARGB8888 两种模式硬件光标；
- RGB444/RGB555/RGB565/RGB888 四种色深；
- 输出抖动和伽马校正；
- 中断和软复位。

3.6 SPI

串行外围设备接口 SPI 总线技术是多种微处理器、微控制器以及外围设备之间的一种全双工、同步、串行数据接口标准。

龙芯 2K0300 集成的 SPI0/1 控制器仅可作为主控端，所连接的是从设备。对于软件而言，SPI0/1 控制器除了有若干 IO 寄存器外还有一段映射到 SPI Flash 的只读 memory 空间。如果将这段 memory 空间分配在 BOOT 启动地址，复位后不需要软件干预就可以直接访问，从而支持处理器从 SPI0- Flash 启动。

以下列举了 SPI0/1 管脚信号与外设通信的时序图：

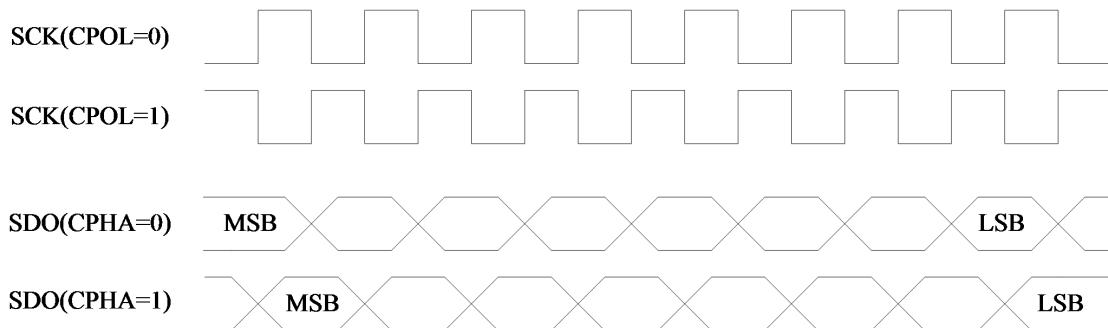


图 3.1 SPI 主控制器接口时序



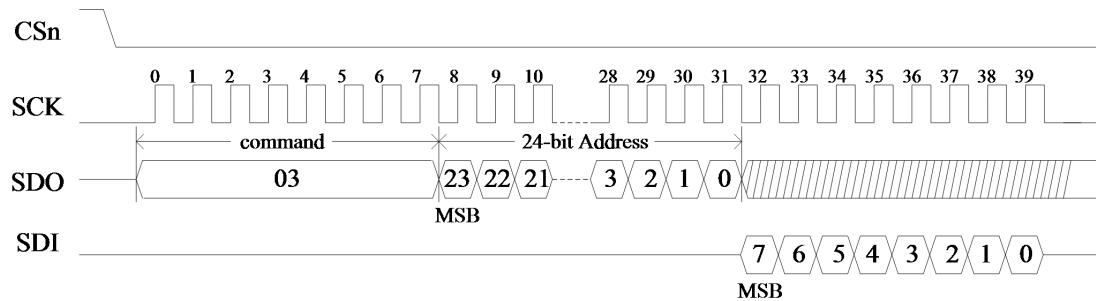


图 3.2 SPI Flash 标准读时序

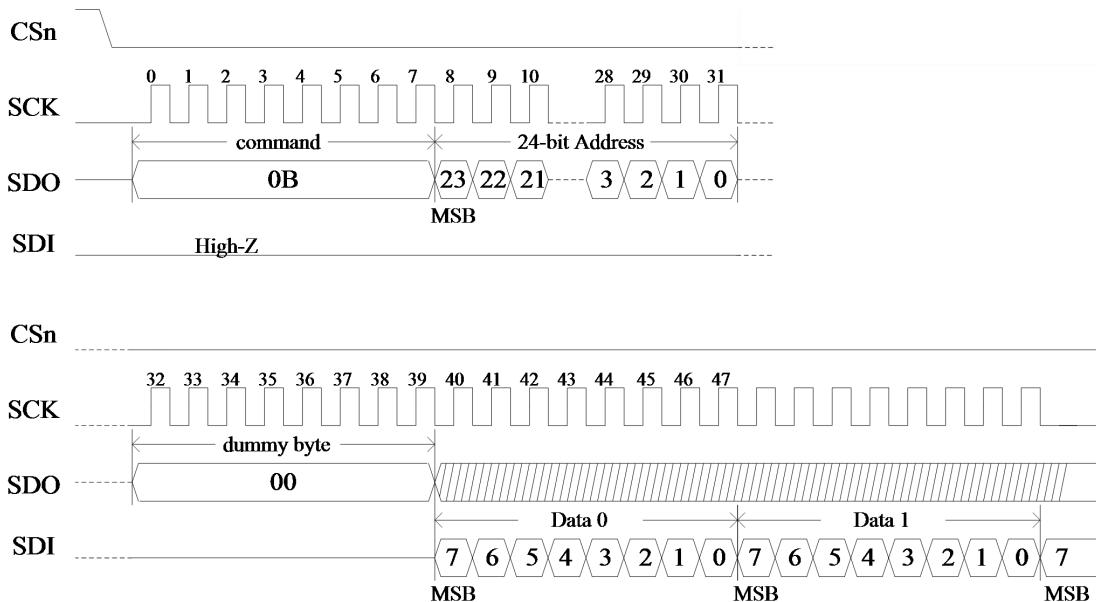


图 3.3 SPI Flash 快速读时序

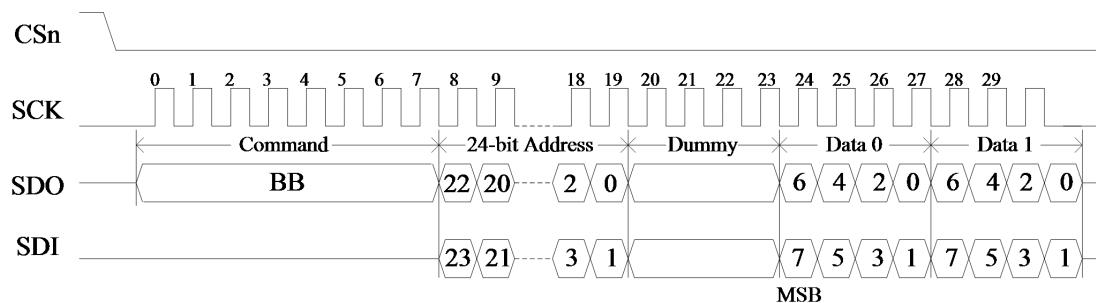


图 3.4 SPI Flash 双向 I/O 读时序

3.7 UART

龙芯 2K0300 集成 10 个 UART 控制器，包括 2 个全功能串口 (UART0/ UART1)，2 个 4 线串口 (UART4/ UART7)，6 个 2 线串口 (UART2/UART3/ UART5/UART6/UART8)



/UART9)，其中2个全功能串口可分别复用为2个4线串口(UART0、UART4复用UART0接口，UART1、UART7复用UART1接口)；或分别复用为4个2线串口(UART0、UART4、UART5、UART6复用UART0接口，UART1、UART7、UART8、UART9复用UART1接口)，各控制器通过APB总线与总线桥通信。

UART控制器提供与MODEM或其他外部设备串行通信的功能，例如与另外一台计算机，以RS232为标准使用串行线路进行通信。该控制器在设计上能很好地兼容国际工业标准半导体设备16550A。

3.8 I²C

龙芯2K0300集成四路I²C接口，均支持主、从模式，主要用于实现两个器件之间数据的交换。

I²C总线是由数据线SDA和时钟SCL构成的串行总线，可发送和接收数据。器件与器件之间进行双向传送，最高传送速率400kbps。

3.9 I²S

龙芯2K0300集成一个I²S音频接口，支持单声道和立体声道音频数据。

3.10 CAN

龙芯2K0300集成四个CAN接口，支持CAN-FD。

3.11 AD

龙芯2K0300集成一个AD电路，支持8路12位AD模拟电压输入（电压输入范围：0~1.8V），最高采样率2MSPS，典型有效位数(ENOB)10bit($f_{in}=10\text{kHz}$ @1MSPS)。

3.12 SDIO

龙芯2K0300集成两个SDIO/eMMC控制器，用于SD/eMMC Memory、SDIO卡的读写，SDIO控制器兼容SDI02.0协议，eMMC控制器兼容eMMC5.0协议。其中，SDIO0支持SD/eMMC Memory卡启动，兼容1.8V/3.3V IO电平。eMMC0/1控制器3.3V IO电平模式下，接口支持最高频率50MHz@SDR(1/4/8线)；eMMC0控制器1.8V



I0 电平模式下，接口支持最高 100MHz@SDR（1/4/8 线）。

SDIO 是一个串行通信方式，主设备和从设备通过消息传递来实现数据和状态的传输。写多块数据过程如下：

- 主设备通过命令线发送写命令消息给从设备；
- 从设备接收完消息之后通过命令线发送应答消息给主设备；
- 主设备接收到正确的应答消息后，通过数据线发送一块数据(512K Byte 或者更多)给从设备，并且检测数据线忙状态；
- 从设备接收到正确的数据后会进入编程状态，此时将数据线置为忙状态，不再响应主设备的数据请求；
- 主设备检测到从设备编程完成，继续发送下一块数据；
- 主设备发送完最后一块数据时，通过命令线发送停止命令给从设备，收到正确应答之后完成这次多块写操作。

多块读操作的过程和多块写操作的过程类似。

3.13 LocalIO

龙芯 2K0300 集成一路 LocalIO 总线，引脚全部采用复用形式，详见 2.18 章节（复用 LCD、UART、I²C 引脚），支持最大 32MB 空间 MEM 访问，支持 8/16 位数据宽度，双片选扩展。可外接 FPGA 等设备进行接口功能扩展，总线典型应用频率 5~10MHz。

3.14 TIMER

龙芯 2K0300 集成三组定时器 A/G/B-TIMER。

3.15 PWM

龙芯 2K0300 集成 4 路脉冲宽度调节/计数控制器，以下简称 PWM。

每一路 PWM 工作和控制方式完全相同，每路 PWM 均可配置为脉冲宽度输出或待测脉冲输入信号，计数寄存器和参考寄存器均 32 位数据宽度。

3.16 GPIO

龙芯 2K0300 共有 106 个 GPIO 引脚，全部与其他功能引脚复用，该部分引脚在



芯片复位过程中和复位结束后除启动相关功能引脚外，其他功能引脚全部默认为 GPIO 状态（其中 GPIO0~63 默认为输入状态，GPIO64~105 默认为输出低电平状态），全部支持外部中断输入。

3.17 HPET

龙芯 2K0300 集成四个高精度定时器，32 位计数器，支持 1 个周期性中断，支持 2 个非周期性中断。

3.18 RTC

实时时钟（RTC）单元可以在主板上电后进行配置，当主板断电后，该单元仍然运作，仅靠板上的电池供电即可正常运行。RTC 单元运行时电流低于 10 微安。

RTC 结合外部 32.768KHZ 晶振产生工作时钟，该时钟用于时间信息的维护以及产生各种定时和计数中断，计时可精确到 0.1 秒。

3.19 功耗管理

龙芯 2K0300 功耗管理模块提供系统功耗管理实现机制。

- 支持 Dynamic Frequency Scaling (DFS)，处理器核 DFS 控制。
- 系统时钟控制，模块时钟门控，多种方式调节频率。



4 初始化时序

4.1 冷启动上电时序

参考上电时序如下图。

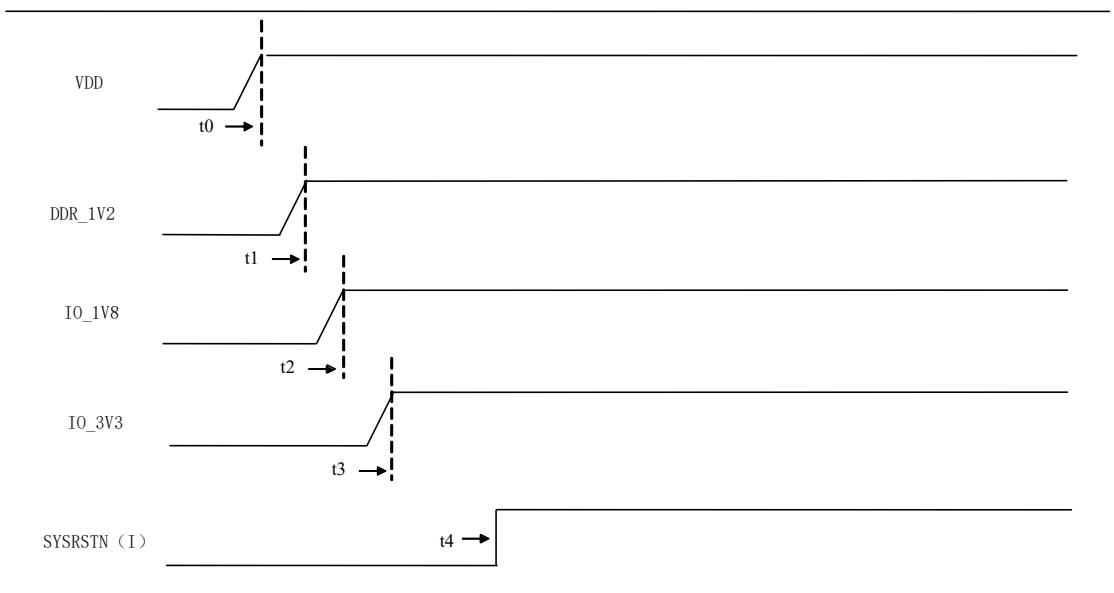


图 4.1 冷启动上电时序波形

注：

1. IO_1V8包括：IO_1V8、ADC_1V8、PLL_1V8、IO_3V3_1V8（1V8电平模式下）。
2. IO_3V3包括：IO_3V3、USB_A3V3、IO_3V3_1V8（3V3电平模式下）。
3. 上述VDD、IO电压由小到大上电时序为推荐上电时序，芯片理论上可承受由小到大、由大到小两种上电时序，二者无强制先后关联，但先IO后VDD上电存在二者上电之间概率性IO漏电可能。
4. RTC电源电压仅供内部RTC模块计数使用，与芯片复位无直接关联，上电时序可不做要求，根据实际应用情况推荐芯片系统复位前完成RTC供电。
5. SYSRSTN(I)信号没有去抖动功能，需主板提供去抖动电路。

表 4-1 冷启动上电时序推荐要求

标记符	参数	需求	说明
t0	VDD 电源稳定时刻		
t1	DDR-IO 电源上电稳定时刻	$t1 - t0 > 10\mu s$	VDD 电源先于 DDR-IO 电源供电
t2	IO_1V8 电源上电稳定时刻	$t2 - t0 > 10\mu s$	VDD 电源先于 IO_1V8 电源供电
t3	IO_3V3 电源上电稳定时刻	$t3 - t0 > 10\mu s$	VDD 电源先于 IO_3V3 电源供电
t4	SYSRSTN(I)解复位时刻	$t4 - t3 > 5ms$	SYSRSTN 需要在所有电源域电源稳定之后解复位



4.2 热复位时序

参考热复位时序如下图：



图 4.2 热复位时序图

注：

1. POWER包括所有的供电。
2. RSTN(INNER)内部复位在外部复位信号撤销之后过一段延迟后解除。

表 4- 2 热复位时序约束

标记符	参数	需求	说明
t1	SYSRSTN 变低的时刻		
t2	SYSRSTN 变高的时刻	$t2 - t1 > 1\text{ms}$	SYSRSTN 保持为低电平的时间需大于 1ms 才有效
t3	RSTN(INNER)	$t3 - t2 < 2\text{ms}$	内部复位解除时刻不晚于 SYSRSTN 解复位后 2ms



5 电气特性

5.1 电源

5.1.1 推荐工作条件

表 5-1 推荐的工作电源电压

电源	描述	范围			最大电流 (结温 105°C)
		Min.	Typ.	Max.	
VDD	数字域电源	0.9V	1.0V	1.1V	800mA
RTC_VDD	RTC 域电源	2.5V	3.0V	3.3V	10uA
IO_3V3	SOC 域 IO 电源	3.15V	3.3V	3.45V	300mA
DDR_1V2	DDR4 IO 电源	1.15V	1.2V	1.25V	200mA
IO_1V8	USB-PHY、Sensor、 Fuse、AD 数字 1V8 供电	1.71	1.8V	1.89V	50mA
IO_3V3_1V8	SDIO0/eMMC0 IO 电源	1.71V	1.8V	1.89V	100mA
		3.15V	3.3V	3.45V	100mA
USB_A3V3	USB vph 电源	3.15V	3.3V	3.45V	50mA
OTG_VBUS	OTG 接口 5V 供电电源	4.85V	5V	5.15V	TBD
ADC_1V8	ADC 接口模拟电源	-	1.8V	-	TBD
PLL_1V8	PLL 供电电源	1.71V	1.8V	1.89V	100mA

5.1.2 绝对最大额定值

表 5-2 绝对最大额定值

参数	描述	最小	最大	单位
VDD	数字域电源	-0.3	1.25	V
RTC_VDD	RTC 域电源	-0.3	3.5	V
IO_3V3	SOC 域 IO 电源	-0.3	3.6	V
DDR_1V2	DDR4 IO 电源	-0.3	1.3	V
IO_1V8	USB-PHY、Sensor、 Fuse、AD 数字 1V8 供电	-0.3	1.98	V
IO_3V3_1V8	SDIO0/eMMC0 IO 电源	-0.3	1.98/3.6	V
USB_A3V3	USB vph 电源	-0.3	3.6	V
ADC_1V8	ADC 接口模拟电源	-0.3	1.98	V
PLL_1V8	PLL 供电电源	-0.3	1.98	V



参数	描述	最小	最大	单位
ESD (HBM)	静电防护	-	2000	V
Tstg	存储温度	-55	125	°C

5.1.3 功耗状态及优化

表 5-3 芯片功耗模式

运行模式	条件(室温 25°C)	功耗(W)
典型测试	CPU 主频 1GHz@1.0V, DDR-1600 速率, USB、GMAC、显示连接常用设备, 运行 Coremark 测试集, 所有模块保持打开状态, 测量平均功耗。	0.7W
运行模式	条件(结温 95°C, -i 等级)	功耗(W)
典型测试	CPU 主频 1GHz@1.0V, DDR-1600 速率, USB、GMAC、显示连接常用设备, 运行 Coremark 测试集, 所有模块保持打开状态, 测量平均功耗。	0.9W

5.2 数字引脚电特性

5.2.1 单端参考时钟

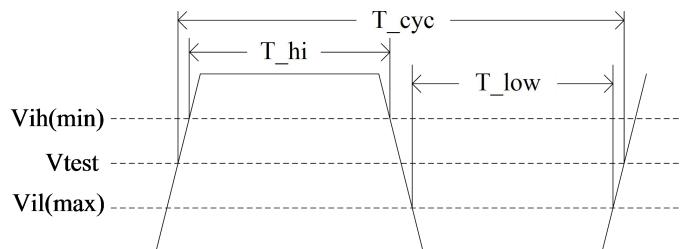


图 5.1 单端参考时钟波形

表 5-4 单端参考时钟电特性表

时钟	参数	描述	最小	最大	单位
SYS_CLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	8.31	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns



时钟	参数	描述	最小	最大	单位
	Tccjitter	周期间抖动	-	100	ps
JTAG_TCK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	30	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns
SYS_TESTCLK	Vih	输入高电平电压	2.0	-	V
	Vil	输入低电平电压	-	0.8	V
	T_cyc	时钟周期	10	-	ns
	T_hi	高电平时间	40%T_cyc	60%T_cyc	ns
	T_low	低电平时间	40%T_cyc	60%T_cyc	ns
	Tslew	斜率	1	4	V/ns

5.2.2 数字 IO

表 5-5 数字 IO 电特性表

时钟	参数	描述	电压类别	最小	最大	单位
数字 IO 引脚	Vih	输入高电平电压	1.2V 模式 (DDR-IO)	0.8	-	V
			1.8V 模式 (3V3-IO)	1.2	-	V
			3.3V 模式 (1V8-IO)	2.0	-	V
	Vil	输入低电平电压	1.2V 模式 (DDR-IO)	-	0.4	V
			1.8V 模式 (3V3-IO)	-	0.5	V
			3.3V 模式 (1V8-IO)	-	0.8	V
	Iih	输入高电平漏电流	1.2V 模式 (DDR-IO)	-	10	uA
			1.8V 模式 (3V3-IO)	-	10	uA
			3.3V 模式 (1V8-IO)	-	10	uA
	Iil	输入低电平漏电流	1.2V 模式 (DDR-IO)	-	10	uA
			1.8V 模式 (3V3-IO)	-	10	uA
			3.3V 模式 (1V8-IO)	-	10	uA
	Voh	输出高电平电压	1.2V 模式 (DDR-IO)	0.8	-	V
			1.8V 模式 (3V3-IO)	1.26	-	V
			3.3V 模式 (1V8-IO)	2.4	-	V



时钟	参数	描述	电压类别	最小	最大	单位
Vol	输出低电平电压	1.2V 模式 (DDR-I0)	-	0.4	V	
		1.8V 模式 (3V3-I0)	-	0.4	V	
		3.3V 模式 (1V8-I0)	-	0.4	V	

5.3 RGMII 接口特性

RGMII 共两个接口，均由一个供电电源 (VDD_3V3) 供电，支持 3.3V 工作电压。

5.3.1 RGMII 接口直流特性

表 5-6 RGMII 接口输出特性

参数	描述	典型	单位
Ioh	输出高电平 (IO_3V3-0.4V) 时电流输出	12	mA
Iol	输出低电平 (0.4V) 时电流输入	12	mA

表 5-7 RGMII 接口输入特性

参数	描述	最小	最大	单位
Vih	输入高电平电压	3.3V 供电	2.0	3.6
Vil	输入低电平电压	3.3V 供电	-0.3	0.8



5.3.2 RGMII 接口时序

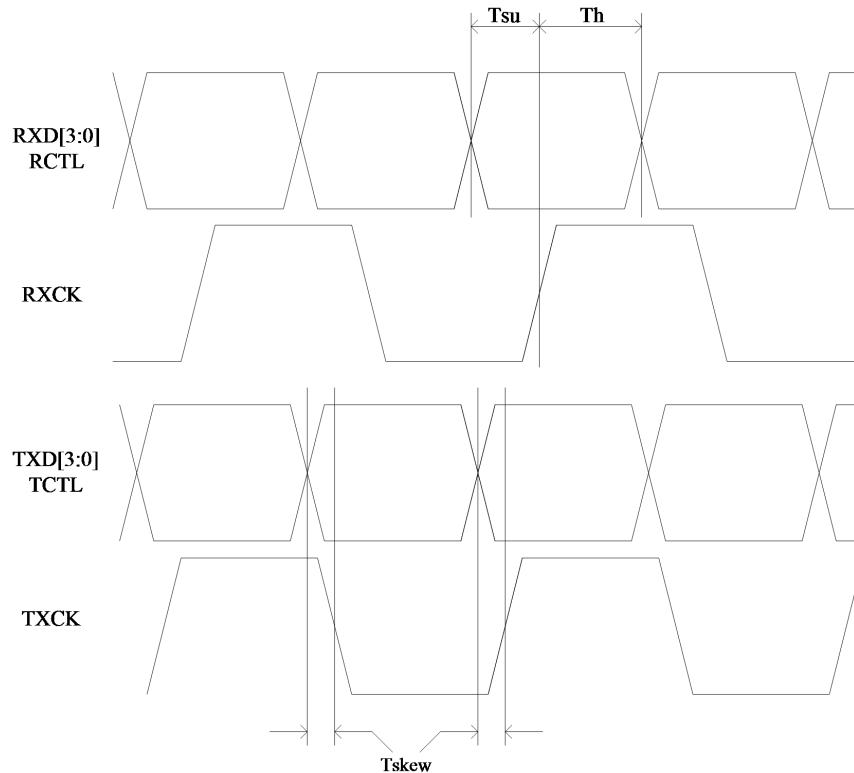


图 5.2 RGMII 接口时序

表 5-8 RGMII 接口时序

参数	描述	最小	典型	最大	单位
Tsu	RX 信号建立时间	1	-	-	ns
Th	RX 信号保持时间	1	-	-	ns
Tskew	TXCK 相对 TX 数据的偏移	-500	-	+500	ps
Tr	TXD/TXCK 上升时间(10pf 负载)			1.2	ns
Tf	TXD/TXCK 下降时间(10pf 负载)			1.3	ns

5.4 USB 接口特性

下述表格源自 USB 2.0 规范，更多信息请参考其中第 7 章。

表 5-9 USB 直流电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
InputLevelsforLow-/full-speed:					
High(driven)	VIH		2		V
High(floating)	VIHZ		2.7	3.6	V



Low	VIL			0.8	V
Differential Input Sensitivity	VDI	(D+) - (D-)	0.2		V
Differential Common Mode Range	VCM	Includes VDI range	0.8	2.5	V
Input Levels for High-speed:					
High-speed squelch detection threshold (differential signal amplitude)	VHSSQ		100	150	mV
High speed disconnect detection threshold (differential signal amplitude)	VHSDSC		525	625	mV
High-speed differential input signaling levels					
High-speed data signaling common mode voltage range (guide line for receiver)	VHSCM		-50	500	mV
Output Levels for Low-/full-speed:					
Low	VOL		0	0.3	V
High(Driven)	VOH		2.8	3.6	V
SE1	VOSE1		0.8		V
Output Signal Crossover Voltage	VCRS		1.3	2	V
Output Levels for High-speed:					
High-speed idle level	VHSOI		-10	10	mV
High-speed data signaling high	VHSOH		360	440	mV
High-speed data signaling low	VHSOL		-10	10	mV
Chirp J level(differential voltage)	VCHIRPJ		700	1100	mV
Chirp K level(differential voltage)	VCHIRPK		-900	-500	mV
Decoupling Capacitance:					
Downstream Facing Port Bypass Capacitance (perhub)	CHPB	VBUS to GND	120		μ F
Upstream Facing Port Bypass Capacitance	CRPB	VBUS to GND	1	10	μ F
Input Capacitance for Low-/full-speed:					
Downstream Facing Port	CIND			150	pF
Upstream Facing Port (w/ocable)	CINUB			100	pF
Transceiver edge rate control capacitance	CEDGE			75	pF
Input Impedance for High-speed:					
TDRspec for high-speed termination					
Terminations:					
Bus Pull-up Resistor on Upstream Facing Port	RPU	1.5k Ω ±5%	1.425	1.575	k Ω



Bus Pull-down Resistor on Downstream Facing Port	RPD	15k $\Omega \pm 5\%$	14.25	15.75	k Ω
Input impedance exclusive of pullup/pulldown (for low-/full-speed)	ZINP		300		k Ω
Termination voltage for upstream facing port pullup (RPU)	VTERM		3	3.6	V
Terminations in High-speed:					
Termination voltage in high-speed	VHSTERM		-10	10	mV

表 5- 10 USB 高速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time (10%-90%)	THSR		500		ps
Fall Time (10%-90%)	THSF		500		ps
Driver waveform requirements					
Driver Output Resistance (which also serves as high-speed termination)	ZHSDRV		40.5	49.5	Ω
Clock Timings:					
High-speed Data Rate	THSDRAT		479.76	480.24	Mb/s
Micro frame Interval	THSFRAM		124.9375	125.0625	μ s
Consecutive Micro frame Interval Difference	THSRFI			4 high-speed bit times	
High-speed Data Timings:					
Data source jitter		Source and receiver jitter specified by the eye pattern templates in Section 7.1.2.2			
Receiver jitter tolerance					

表 5- 11 USB 全速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time	TFR		4	20	ns
Fall Time	TFF		4	20	ns
Differential Rise and Fall Time Matching	TFRFM	(TFR/TFF)	90	111.11	%
Driver Output Resistance for driver which is not high-speed capable	ZDRV		28	44	Ω
Clock Timings:					
Full-speed Data Rate for hubs and devices which are high-speed capable	TFDRATHS	Average bit rate	11.994	12.006	Mb/s



Full-speed Data Rate for devices which are not high-speed capable	TFDRATE	Average bit rate	11.97	12.03	Mb/s
Frame Interval	TFRAME		0.9995	1.0005	ms
Consecutive Frame Interval Jitter	TRFI	No clock adjustment		42	ns
Full-speed Data Timings:					
Source Jitter Total (including frequency tolerance):	To Next Transition For Paired Transitions	TDJ1 TDJ2		-3.5 -4	3.5 4 ns
Source Jitter for Differential Transition to SEO Transition	TFDEOP		-2	5	ns
Receiver Jitter:	To Next Transition For Paired Transitions	TJR1 TJR2		-18.5 -9	18.5 9 ns
Source SEO interval of EOP	TFEOPT		160	175	ns
Receiver SEO interval of EOP	TFEOPR		82		ns
Width of SEO interval during differential transition	TFST			14	ns

表 5- 12 USB 低速源电气特性

Parameter	Symbol	Min.	Max.	Units
Driver Characteristics:				
Transition Time:	Rise Time Fall Time	TLR TLF	75 75	300 300 ns
Rise and Fall Time Matching		TLRFM	80	125 %
Upstream Facing Port (w/cable, low-speed only)	CLINUA	200	450	pF
Clock Timings:				
Low-speed Data Rate for hubs which are high-speed capable	TLDRAHHS	1.49925	1.50075	Mb/s
Low-speed Data Rate for devices which are not high-speed capable	TLDRATE	1.4775	1.5225	Mb/s
Low-speed Data Timings:				
Upstream facing port source Jitter	To Next Transition For Paired Transitions	TUDJ1 TUDJ2	-95 -150	95 150 ns
Upstream facing port source Jitter for Differential Transition to SEO Transition	TLDEOP		-40	100 ns
Upstream facing port differential Receiver Jitter:	To Next Transition For Paired Transitions	TDJR1 TDJR2	-75 -45	75 45 ns
Downstream facing port source Jitter	To Next Transition	TDDJ1	-25	25 ns
Total (including frequency tolerance):	For Paired Transitions	TDDJ2	-14	14 ns



Downstream facing port source Jitter for Differential Transition to SEO Transition					ns
Downstream facing port Differential Receiver Jitter:	To Next Transition	TUJR1	-152	152	ns
	For Paired Transitions	TUJR2	-200	200	ns
Source SEO interval of EOP		TLEOPT	1.25	1.5	μ s
Receiver SEO interval of EOP		TLEOPR	670		ns
Width of SEO interval during differential transition		TLST		210	ns

5.5 SPI 接口特性

表 5- 13 SPI Flash 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCK 时钟高电平时间	0.5T-1	-	-	ns
T_ckl	SCK 时钟低电平时间	0.5T-1	-	-	ns
T_val	SCK 下降沿到数据输出的延迟	-5	-	5	ns
T_su	数据输入建立时间	20	-	-	ns
T_h	数据输入保持时间	0	-	-	ns

注：T 为 SCK 时钟周期

5.6 I2C 接口特性

表 5- 14 I2C 接口时序

参数	描述	最小	典型	最大	单位
T_ckh	SCL 时钟高电平时间	4	-	-	us
T_ckl	SCL 时钟低电平时间	5	-	-	us
T_val	SCL 下降沿到数据输出的延迟	5	-	-	us
T_su	数据建立时间 (SDA 变化到 SCL 上升)	0	-	-	us
T_h	数据保持时间 (SCL 下降到 SDA 变化)	0	-	-	us



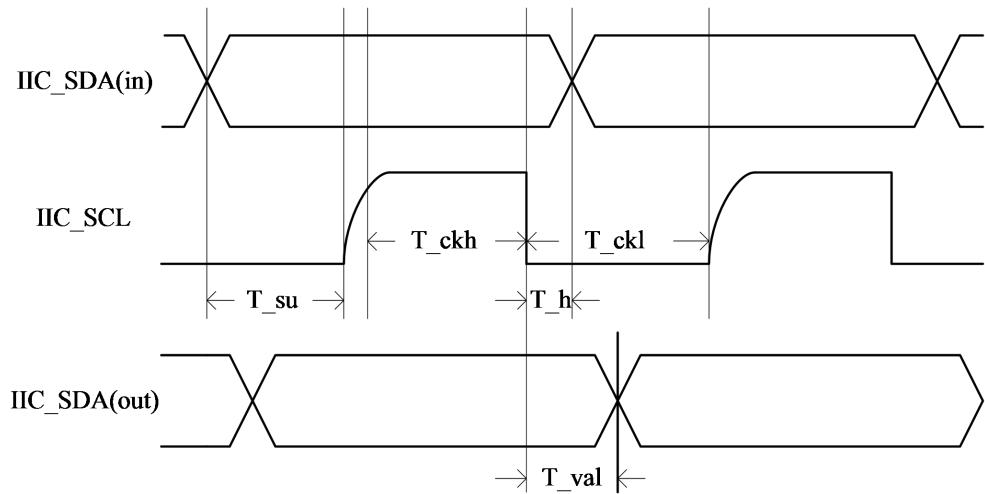


图 5.3 I2C 接口时序



6 热特性

6.1 热参数

表 6-1 热特性参数和推荐的最大值

Parameter	Value
TDP Max Power	3 Watts
Rth (J-C)	10°C/W
Tj	105 ° C

6.2 焊接温度

表 6-2 回流焊接温度分类表

Profile Feature	Pb-Free Assembly
Average ramp-up rate (Tsmax to Tp)	3° C/second max.
Preheat	Temperature Min (Tsmin)
	Temperature Max (Tsmax)
	Time (Tsmin to Tsmax) (ts)
Time maintained above	Temperature (TL)
	Time (tL)
Peak Temperature (Tp)	245° C
Time within 5° C of actual Peak Temperature (tp)2	20-40 seconds
Ramp-down Rate	6 ° C/second max.
Time 25° C to Peak Temperature	8 minutes max.



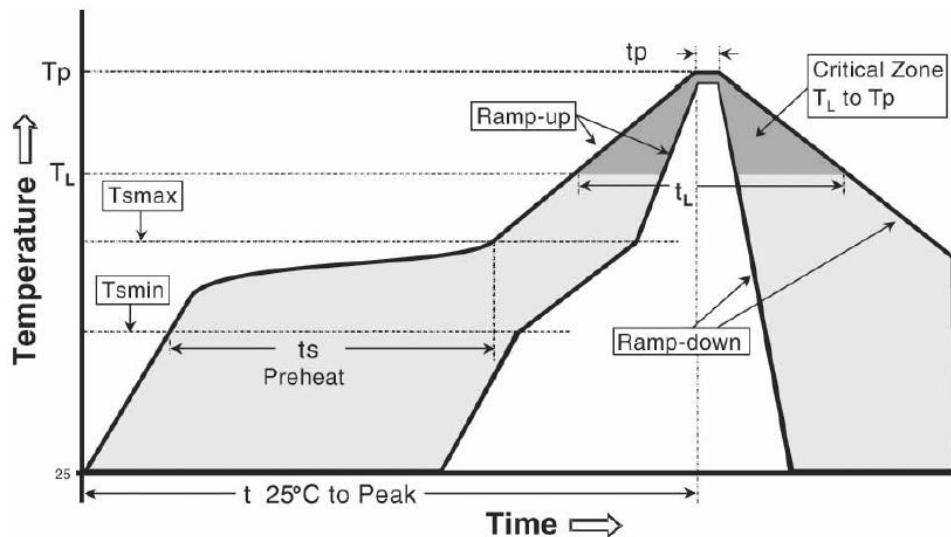


图 6.1 焊接回流曲线



7 芯片引脚排列和封装

7.1 引脚顶层排列

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A		UART2_TX	I2C2_SCL	GMAC1_TXOK_0	GMAC0_TX03	GMAC0_RX00	GMAC0_RX03	GMAC0_RX00	USB_REFCLK	OTG_DP	VSS	ADC_IN4	ADC_VSS	ADC_VSS	ADC_IN3	SDIO0_07	VDD	A
B	UART1_RX	UART2_RX	I2C2_SDA	I2C3_SCL	GMAC1_RXCKJ	GMAC0_RX01	GMAC0_RX03	GMAC0_RX01	VSS	OTG_DM	USB_DP	ADC_IN0	ADC_IN1	ADC_IN2	ADC_IN7	SDIO0_02	SDIO0_05	B
C	UART1_TX	UART3_RX	GMAC1_RX00	I2C1_SCL	I2C3_SDA	GMAC0_MDCK	GMAC0_RX01	GMAC0_RX02	GMAC0_RXCK	USB_A3V3	USB_DM	ADC_VSS	ADC_IN5	ADC_IN6	VSS	SDIO0_01	SDIO0_04	C
D	SYS_DTESTN	SYS_CLKIN	UART3_TX	I2C0_SDA	I2C0_SDA	GMAC0_MDI0	GMAC0_RX02	GMAC0_RX01	GMAC0_RCTL	OTG_DRVBUS	OTG_VBUS	USB_A3V3	ADC_A1V8	SDIO0_D6	IO_3V31V8	SDIO0_00	SDIO0_CLK	T
E	CAN0_RX	CAN0_TX	SYS_TESTCLK	VSS	I2C0_SCL	IO_3V3	VSS	IO_3V3	USB_OC	OTG_ID	VSS	ADC_A1V8	SDIO0_CEXT2	IO_3V31V8	SDIO0_D3	RTC_XI	RTC_XO	E
F	CAN2_RX	CAN3_RX	VDD	UART0_RX	UART0_RX	VSS	VDD	VSS	PLL_1V8	PLL_VSS	IO_1V8	VSS	IO_3V31V8	SDIO0_CMO	RTC_3V	VSS	DDR_DQ14	F
G	SDIO1_D2	CAN2_RX	CAN3_RX	IO_3V3	SYS_RSTN	VSS	VDD	VDD	VSS	IO_1V8	SDIO0_CEXT1	DDR_1V2	VSS	DDR_DQ13	DDR_DQ12	DDR_DQ15		G
H	SDIO1_D0	SDIO1_D1	SDIO1_D3	CAN1_RX	CAN1_RX	VSS	VSS	VDD	VDD	VSS	VSS	DDR_0V9H	DDR_0V9P	VSS	DDR_DQ10	DDR_DQ16		H
J		SDIO1_CLK	SDIO1_CMD	TIM2_CH3	VSS	TIM2_CH2	IO_3V3	VSS	VDD	VDD	VSS	DDR_1V2	DDR_DQ08	VSS	DDR_DQ11	DDR_DQ09		J
K	TIM2_CH1	TIM1_CH3N	TIM1_CH3	TIM1_CH2N	TIM1_CH2	VSS	VSS	VDD	VSS	VDD	VDD	VSS	DDR_0V9H	DDR_0V9P	VSS	DDR_DQ12	DDR_DQ06	K
L	TIM3_CH1N	TIM1_CH1	VSS	I2S_LR	I2S_DD	IO_3V3	VSS	VDD	VDD	VSS	VSS	DDR_1V2	DDR_DQ09	VSS	DDR_DQ14	DDR_DQ01		L
M	I2S_BCLK	I2S_IMCLK	I2S_DI	IO_3V3	LCD_D04	VSS	VSS	VSS	VDD	VSS	VDD	VSS	DDR_1V2	DDR_LKE	DDR_DQ13	DDR_DQ05	DDR_DQ07	M
N	LCD_VSYNC	LCD_HSYNC	LCD_EN	LCD_D05	VSS	LCD_D10	LCD_D18	IO_3V3	SP12_CLK	IO_3V3	VSS	DDR_1V2	DDR_A10	DDR_ACTN	VSS	DDR_CKN	DDR_CKP	N
P	LCD_D01	LCD_D00	LCD_D06	LCD_D09	LCD_D11	IO_3V3	LCD_D22	JTAG_TMS	SP12_MISO	SP10_MOSI	DDR_A11	DDR_A01	DDR_A06	DDR_1V2	DDR_B01	DDR_RASN	DDR_DQT	P
R	LCD_D02	LCD_D03	IO_3V3	LCD_D12	LCD_D17	LCD_D21	VSS	JTAG_TCK	VSS	SP12_CSN	DDR_RXT	DDR_A09	DDR_A08	DDR_A03	DDR_CSN	DDR_SCN	DDR_WEN	R
T	LCD_D07	LCD_D08	LCD_D13	LCD_D16	LCD_D20	JTAG_SEL	JTAG_TRSTN	SP12_CSN	SP11_CSN	SP11_CLK	SP10_MISO	DDR_A02	DDR_A13	DDR_A04	DDR_BA1	DDR_A12	DDR_BG0	T
U	VSS	LCD_D14	LCD_D15	LCD_D19	IO_3V3	JTAG_TDO	JTAG_IDI	SP12_MOSI	SP11_MOSI	SP10_CLK	DDR_RESETN	DDR_A00	DDR_A07	DDR_A05	DDR_BAO	VSS		U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

图 7.1 顶层引脚排布总览



表 7-1 顶层引脚排列

	1	2	3	4
A		UART2_TX	I2C2_SCL	GMAC1_RXCK_O
B	UART1_RX	UART2_RX	I2C2_SDA	I2C3_SCL
C	UART1_TX	UART3_RX	GMAC1_RXCK	I2C1_SCL
D	SYS_DOTESTN	SYS_CLKIN	UART3_TX	I2C0_SDA
E	CANO_RX	CANO_TX	SYS_TESTCLK	VSS
F	CAN2_TX	CAN3_RX	VSS	UART0_TX
G	SDIO1_D2	CAN2_RX	CAN3_TX	IO_3V3
H	SDIO1_D0	SDIO1_D1	SDIO1_D3	CAN1_TX
J		SDIO1_CLK	SDIO1_CMD	TIM2_CH3
K	TIM2_CH1	TIM1_CH3N	TIM1_CH3	TIM1_CH2N
L	TIM1_CH1N	TIM1_CH1	VSS	I2S_LR
M	I2S_BCLK	I2S_MCLK	I2S_DI	IO_3V3
N	LCD_VSYNC	LCD_HSYNC	LCD_EN	LCD_D05
P	LCD_D01	LCD_D00	LCD_D06	LCD_D09
R	LCD_D02	LCD_D03	LCD_CLK	LCD_D12
T	LCD_D07	LCD_D08	LCD_D13	LCD_D16
U	VSS	LCD_D14	LCD_D15	LCD_D19
	1	2	3	4

	5	6	7	8
A	GMAC0_TXD3	GMAC0_RXD0	GMAC0_RXD3	GMAC0_RXD0
B	GMAC1_RXCK_I	GMAC0_RXD1	GMAC0_RXCK_O	GMAC0_RXD1
C	I2C3_SDA	GMAC0_MDCK	GMAC0_TCTL	GMAC0_RXD2
D	I2C1_SDA	GMAC0_MDIO	GMAC0_RXD2	GMAC0_RXCK_I
E	I2C0_SCL	IO_3V3	VSS	IO_3V3
F	UART0_RX	VSS	VDD	VSS
G	SYS_RSTN	VSS	VDD	VDD
H	CAN1_RX	VSS	VSS	VDD
J	VSS	TIM2_CH2	IO_3V3	VSS
K	TIM1_CH2	VSS	VSS	VDD
L	I2S_D0	IO_3V3	VSS	VDD
M	LCD_D04	VSS	VSS	VSS
N	VSS	LCD_D10	LCD_D18	IO_3V3
P	LCD_D11	IO_3V3	LCD_D22	JTAG_TMS
R	LCD_D17	LCD_D21	VSS	JTAG_TCK
T	LCD_D20	JTAG_SEL	JTAG_TRSTN	SPI2_CS_N
U	LCD_D23	JTAG_TDO	JTAG_TDI	SPI2_MOSI
	5	6	7	8

	9	10	11	12
A	USB_REFCLK	OTG_DP	VSS	ADC_IN4
B	VSS	OTG_DM	USB_DP	ADC_IN0
C	GMAC0_RXCK	USB_A3V3	USB_DM	ADC_VSS
D	GMAC0_RCTL	OTG_DRVBUS	OTG_VBUS	USB_A3V3
E	USB_OC	OTG_ID	VSS	ADC_A1V8
F	PLL_1V8	PLL_VSS	IO_1V8	VSS
G	VSS	VDD	IO_1V8	SDIO0_CEXT1
H	VDD	VSS	VSS	VSS

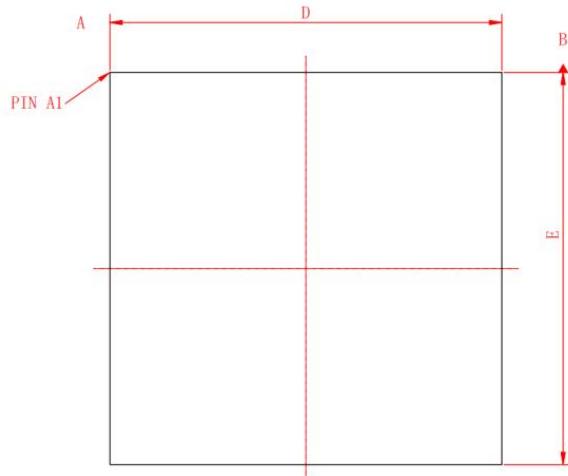


J	VDD	VDD	VSS	DDR_1V2
K	VSS	VDD	VDD	VSS
L	VDD	VSS	VSS	DDR_1V2
M	VDD	VSS	VDD	VSS
N	SPI2_CLK	IO_3V3	VSS	DDR_1V2
P	SPI2_MISO	SPI0_MOSI	DDR_A11	DDR_A01
R	VSS	SPI0_CSN	DDR_REXT	DDR_A09
T	SPI1_CSN	SPI1_CLK	SPI0_MISO	DDR_A02
U	SPI1_MOSI	SPI1_MISO	SPI0_CLK	DDR_RESETN
	9	10	11	12

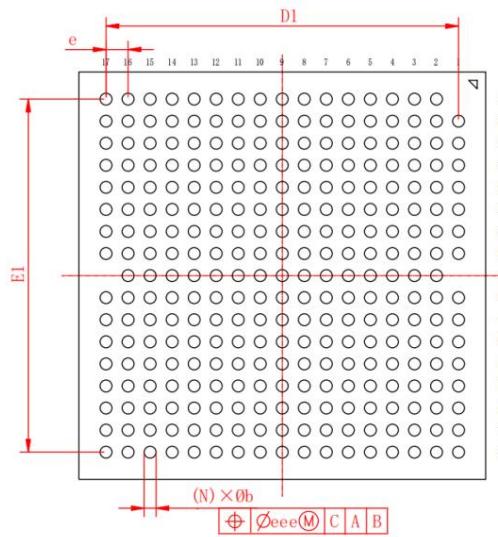
	13	14	15	16	17
A	ADC_VSS	ADC_VSS	ADC_IN3	SDIO0_D7	VSS
B	ADC_IN1	ADC_IN2	ADC_IN7	SDIO0_D2	SDIO0_D5
C	ADC_IN5	ADC_IN6	VSS	SDIO0_D1	SDIO0_D4
D	ADC_A1V8	SDIO0_D6	IO_3V31V8	SDIO0_D0	SDIO0_CLK
E	SDIO0_CEXT2	IO_3V31V8	SDIO0_D3	RTC_XI	RTC_XO
F	IO_3V31V8	SDIO0_CMD	RTC_VDD	VSS	DDR_DQ14
G	DDR_1V2	VSS	DDR_DQ13	DDR_DQ12	DDR_DQ15
H	DDR_DQSN1	DDR_DQSP1	VSS	DDR_DQ10	DDR_DQM1N
J	DDR_DQ08	VSS	DDR_DQ11	DDR_DQ09	
K	DDR_DQSN0	DDR_DQSP0	DDR_1V2	DDR_DQ05	DDR_DQ06
L	DDR_DQ00	DDR_DQ01	VSS	DDR_DQ04	DDR_DQ07
M	DDR_1V2	DDR_CKE	DDR_DQ03	DDR_DQMON	DDR_DQ02
N	DDR_A10	DDR_ACTN	VSS	DDR_CKN	DDR_CKP
P	DDR_A06	DDR_1V2	DDR_BG1	DDR_RASN	DDR_ODT
R	DDR_A08	DDR_A03	DDR_CASN	DDR_SCSN	DDR_WEN
T	DDR_A13	DDR_A04	DDR_BA1	DDR_A12	DDR_BG0
U	DDR_A00	DDR_A07	DDR_A05	DDR_BA0	VSS
	13	14	15	16	17



7.2 封装尺寸



Top View



Bottom View

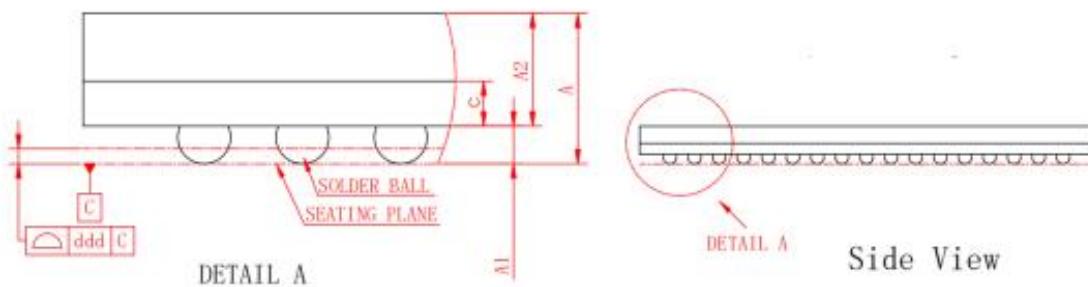


图 7.2 封装外形图



表 7- 2 封装外形尺寸

单位为毫米

尺寸符号	最小	公称	最大
A	0.89	-	1.10
A1	0.20	-	0.30
A2	0.67	-	0.82
c	0.25	-	0.34
D/E	11.90	-	12.10
D1/E1	-	10.40	-
b	0.30	-	0.40
e	-	0.65	-
ddd		0.15	
eee		0.15	

NOTE:

1. DIMENSIONS ARE IN MILLIMETERS.
2. ALL DIMENSIONS AND TOLERANCE CONFORM TO ASME Y14.5M-2009.
3. TERMINAL POSMONS DESIGNATION PER JESD 95.
4. REFLOW BALL DIAMETER.
5. DIMENSION “b” IS MEASURED AT THE MAXIMUM SOLDER BALL DIAMETER PARALLEL TO PRIMARY DATUM C.
6. RAW SOLDER BALL SIZE DURING ASSEMBLY IS $\phi 0.50\text{MM}$.



8 不使用引脚的处理

不使用的引脚需按以下原则处理：

表 8-1 不使用引脚推荐处理表

信号组	不使用的处理方式
JTAG	JTAG_TRST/TDI 需 10Kohm 下拉，其它信号可悬空
时钟配置	必须正确连接
电源地	电源地不可悬空 USB不使用时，USB_A3V3 电源可接地 其它电源地必须正确连接
其他不使用引脚	输出信号均可悬空，输入信号建议通过 10Kohm 电阻接地（注：芯片GPIO功能复用相关引脚除上电配置引脚外，可不做处理）
NC引脚	必须悬空处理



9 产品标识

产品标识如图 9.1 所示。



图 9.1 产品标识图

每一器件应标志下列内容：

- a) ●：定位点；
- b) LS2K0300：器件识别号；
- c) CHN YYWW XX：厂商信息一；
- d) FHXXXXXXYMXXXX：厂商信息二、识别号；
- e) LOONGSON®：厂商信息三；
- f) 二维码（右上角）。



修订记录

版本号	更新内容
V1.0	初版发布
V1.01	<ol style="list-style-type: none">补充 1.2.7 章节 QSPI 功能描述;补充 1.2.8~1.2.14 章节低速接口 DMA 功能;修改 1.3 章节工作温度描述;补充 2.3、2.8 章节引脚信息;补充 2.5、2.8、2.15、2.16 章节上拉标注;补充 2.9、3.11 章节 AD 电压范围;修改 2.10 章节 CAN 引脚描述;补充 3.1.2 章节内存描述;修改 3.13 章节 LIO 描述内容;修改 5.1.1 章节 RTC 推荐电压内容,修改 5.1.2 章节 RTC 最大额定电压描述;修改 5.1.1、5.1.2、5.1.3 章节温度等描述。

技术支持

可通过邮箱向我司提交芯片手册和产品使用的问题，并获取技术支持。

服务邮箱：service@loongson.cn

声明

本文档版权归龙芯中科技术股份有限公司所有，未经许可不得擅自实施传播等侵害版权人合法权益的行为。

本文档仅提供阶段性信息，可根据实际情况进行更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区中关村环保科技示范园龙芯产业园 2 号楼

Building No. 2, Loongson Industrial Park,

Zhongguancun Environmental Protection Park, Haidian District, Beijing

电话(Tel)：010-62546668

传真(Fax)：010-62600826