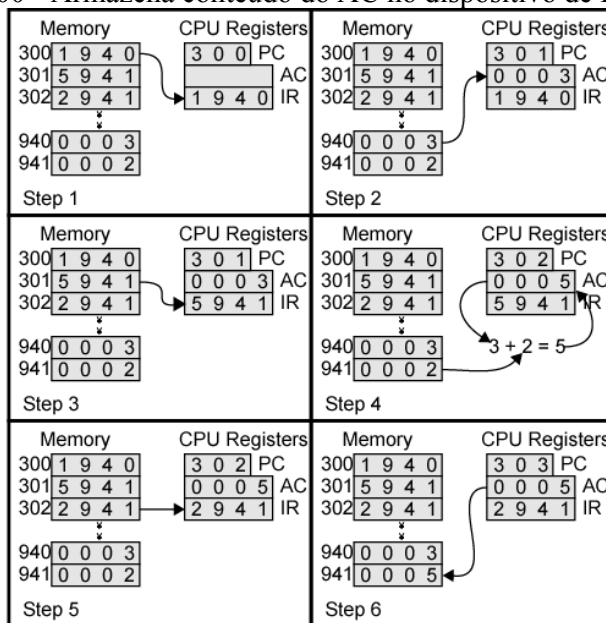


1. (UFU 2010) O que é um ciclo de instrução e quais as suas etapas?
2. (UFU 2010) Como a CPU pode lidar com várias interrupções?
3. Sobre os registradores especiais PC, IR, MAR, MBR
 - a. Explique o que são e para que servem.
 - b. Por que esses registradores normalmente não podem ser acessados diretamente por programas armazenados na memória?
 - c. Então quem utiliza esses registradores?
4. Imagine um processador com clock de 1GHz que gaste 50% de um ciclo de instrução fazendo busca e 50% com a execução.
 - a. Qual deve ser o tempo máximo de leitura de uma instrução da memória (desconsiderando o tempo gasto para enviar/receber sinais de controle ou dados) para que a CPU não precise esperar nenhum ciclo para executar a instrução?
 - b. Se a CPU espera um ciclo para executar a instrução, qual passa a ser o tempo máximo para sua leitura?
5. Imagine que o processador hipotético mostrado na figura abaixo (e vista em aula) tenha as seguintes instruções (em binário) para lidar com I/O:

0011 - Lê I/O e armazena no AC

0100 - Armazena conteúdo do AC no dispositivo de E/S



- Ambas as instruções utilizam um endereço de 12 bits para identificar os dispositivos de I/O.
- a. Escreva um programa (usando 4 algarismos hexadecimais para instruções+endereços/valores, como feito na figura) que faça o seguinte:
 - Leia o conteúdo do dispositivo 5.
 - Some esse conteúdo com o conteúdo da memória no endereço 940.
 - Mostre o resultado no dispositivo 6.
 - b. Mostre como se dá a execução desse programa da mesma forma que foi feito na figura, ou seja, mostrando as mudanças nos registradores PC, IR e AC, na memória e, agora, também nos dispositivos de I/O. Assuma que o programa começa no endereço 500, que valor lido do dispositivo 5 é 3 e que a memória tem o valor 2 no endereço 940.

6) Compare as memórias RAM estática e dinâmica em relação a:

- Tecnologia com que são construídas;
- Para que são usadas;
- Funcionamento - como são feitas a leitura e a escrita e que mecanismos adicionais são necessários para DRAM.

7) O que é, como funciona e qual a vantagem da SDRAM?

8. (Petrobrás 2010) Seja um sistema de computação que possui uma memória principal com capacidade máxima de endereçamento de 64K células ($1K=2^{10}$), sendo que cada célula armazena um byte de informação.

a. Qual o tamanho, em bytes, do registrador de endereços de memória desta arquitetura?

b. Usando memória cache com mapeamento direto, contendo 32 quadros (linhas) de oito bytes cada, em que quadro estaria contido o byte armazenado no seguinte endereço de memória principal: 0001000100011011?

9. (UFU 2010) Cite uma vantagem de acessar uma posição de uma memória DRAM através de linhas de sinais horizontais (linhas) e verticais (colunas)? Se 10 vias de endereços estão multiplexados dessa forma, qual o tamanho da memória?

10. Sobre barramentos:

a. Explique para que servem as linhas de dados, endereços e controle e dê 3 exemplos de sinais de controle diferentes e 2 exemplos de diferentes usos para a linha de endereços.

b. Explique a diferença entre barramentos multiplexados e dedicados. Isso afeta as linhas de controle?

c. Em barramentos síncronos, que sinal de controle sempre está presente?

11. (Fundação Carlos Chagas 2010) Uma das propriedades funcionais do barramento de um computador é a temporização, dividida em síncrona e assíncrona. Considerando um barramento síncrono com as seguintes características:

Envio do endereço para a memória: 5 ns

Leitura da memória: 20 ns

Envio do dado para o dispositivo: 5 ns

Largura do barramento: 4 bytes

Qual o tempo total para a leitura de uma palavra de 4 bytes da memória? E a banda passante máxima?

12. (UNB 2010) Diga se é verdadeiro ou falso e justifique:

Considere que, ao ligar um computador cujo processador tem barramento de endereçamento de 16 bits, o programa de carga libere a seguinte mensagem: Erro no endereço 156110. Nessa situação, é correto inferir que o programa de carga apresenta um erro, já que o endereço 156110 não existe na arquitetura em questão.

13. Explique o que é o algoritmo de substituição LRU e como funciona. Dê um exemplo de recurso de hardware que seria necessário em uma memória cache associativa para a implementação desse algoritmo. Por que ele não pode ser implementado em memórias cache com mapeamento direto?

14. Compare as políticas de atualização de cache por Write Through e Write Back.

15. Imagine um processador de 32 bits com instruções de tamanho fixo de uma palavra em que 1 byte é usado como opcode (o código da instrução) e os bits restantes são usados como operandos para identificar registradores ou endereços de memória.

a. Qual a capacidade de memória, em bytes, que um programa pode acessar diretamente (sem usar outros registradores) usando esse formato de instrução?

b. Quantos bits, no mínimo, deve ter o PC? E do IR? (Considere dois casos: o IR guardando somente o opcode ou o IR guardando toda a instrução).

c. Imagine que um registrador desse processador seja usado de forma que cada um de seus 4 bytes armazene o endereço para um segmento da memória com o tamanho calculado no item a (de forma semelhante aos registradores CS, DS, SS e ES do 8086 mas indicando todo o bloco, não só uma palavra). Quanto de memória pode ser acessado por um único programa, agora, usando esse recurso? Qual o total de memória que pode ser endereçado por esse processador dessa forma? Qual deve ser o tamanho do PC?

d. Se o barramento entre esse processador e a memória tiver 32 bits multiplexados no tempo entre endereços e dados, quantos ciclos são necessários para buscar uma instrução?

e. E se o barramento tiver 16 linhas dedicadas para endereços e 16 para dados?

16. Compare as técnicas de I/O programada, por interrupção e DMA.

17. Compare as formas de identificar o dispositivo que gerou uma interrupção.

18. Explique como é feito o tratamento de interrupções em 3 casos:

a. Quando um programa está sendo executado.

b. Quando uma interrupção com a mesma prioridade está sendo tratada.

c. Quando uma interrupção com menor prioridade está sendo tratada.

19. Máscaras de interrupção são máscaras de bit que permitem que, em alguns sistemas, os programas indiquem que interrupções querem tratar ou não. Explique por que é importante haver algumas interrupções não-mascaráveis nesses sistemas, que não podem ser ignoradas. Num sistema com diferentes prioridades de interrupção, qual deve ser a prioridade das não-mascaráveis?

20. Compare o roubo de tempo do processador pelo DMA com um único controlador DMA em dois cenários: com um único barramento, ou com dois barramentos, um deles exclusivo para dispositivos I/O com DMA habilitado.

21. No controle micro-programado, explique a diferença entre os formatos de micro-instrução horizontal e vertical, explicando suas diferenças de funcionamento e as vantagens de cada um.

22. Imagine uma CPU com 4 registradores de uso geral (AX, BX, CX e DX) e que acessa um barramento de sistema dedicado (com linhas separadas para endereços e dados).

a) Desenhe essa CPU mostrando seu barramento interno, a UC e a ULA, os registradores, registradores especiais (PC, IR, MAR, MBR), registradores adicionais que forem necessários, o barramento de sistema, a memória e todos os sinais de controle para fluxo de dados no sistema, acesso à memória, controle da ULA etc.

b) Mostre como é feito o ciclo de busca nesse sistema (tempos, micro-operações e sinais de controle).

c) Utilizando palavras de controle horizontais, mostre as micro-instruções para implementar o ciclo de busca nesse sistema. Defina todas as informações necessárias (por exemplo tamanhos do código de operação da ULA e da condição de pulso). Não é preciso definir o tamanho dos endereços das micro-instruções (use valores decimais para os endereços).

d) Mostre os ciclos de execução para as instruções:

MOV AX, w[2000]

MUL BX

JMP 50