Федеральное государственное бюджетное образовательное учреждение высшего образования. «Национально исследовательский университет «Московский энергетический институт»

Кафедра ВМСС

Лабораторная работа №4

ИССЛЕДОВАНИЕ ПРИНЦИПОВ ОРГАНИЗАЦИИ ВЫЧИСЛИТЕЛЬНОГО ПРОЦЕССА В МВС С РАСПРЕДЕЛЕННОЙ ПАМЯТЬЮ

Курс: Вычислительные системы

Группа: А-08-19

Выполнил: Балашов С.А.

Проверил: Карпов А.В.

Москва 2023 г.

**Домашняя подготовка**

Цель работы: изучение способов организации вычислительного процесса при выполнении наборов задач различных типов на МВС с распределенной памятью c целью определения параметров МВС (количество процессоров и шин), позволяющих выполнить набор задач конкретного типа за заданное время. Сравнение временных характеристик и коэффициентов загрузки оборудования в МВС различной организации.

**1.** Изучить соответствующие разделы лекционного курса и описания лабораторных работ.

**2.** Для графа задачи, исследуемого при выполнении домашней подготовки в лабораторной работе №3, вручную определить минимальное время выполнения задачи в МВС с распределенной памятью на основе поиска критического пути графа задачи. Сравнить полученное значение с минимальным временем выполнения задачи в МВС с общей памятью.

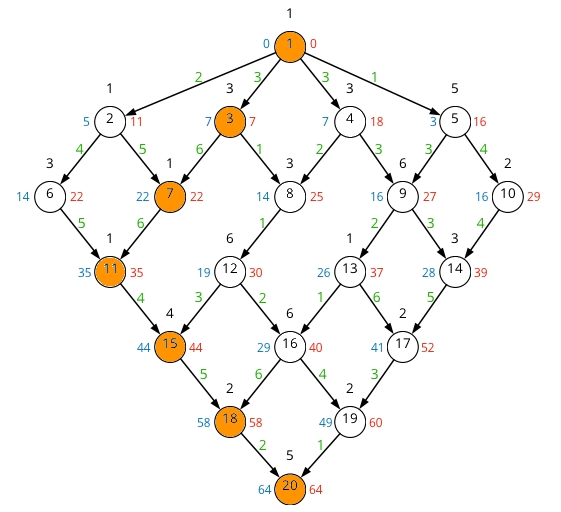


Рис. 1. Граф с критическим путём, минимальными и максимальными временами начала выполнения в узлах (МВС с общей памятью)

Обнулим дуги графа, следуя алгоритму подпорки (Таблица 1).

Таблица 1

Ход алгоритма подпорки

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Путь** | **Длина пути** | | | | | | | | | | | |
| **Шаг 1** | **Шаг 2** | **Шаг 3** | **Шаг 4** | **Шаг 5** | **Шаг 6** | **Шаг 7** | **Шаг 8** | **Шаг 9** | **Шаг 10** | **Шаг 11** | **Шаг 12** |
| **1-2-6-11-15-18-20** | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 35 | 33 |
| **1-2-7-11-15-18-20** | 39 | 39 | 39 | 39 | 39 | 39 | 33 | 33 | 33 | 33 | 33 | 31 |
| **1-3-7-11-15-18-20** | 43 | 40 | 40 | 40 | 40 | 40 | 34 | 34 | 34 | 34 | 34 | 32 |
| **1-3-8-12-15-18-20** | 43 | 40 | 39 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 36 |
| **1-3-8-12-16-18-20** | 45 | 42 | 41 | 40 | 39 | 39 | 39 | 33 | 33 | 33 | 33 | 31 |
| **1-3-8-12-16-19-20** | 38 | 35 | 34 | 33 | 32 | 32 | 32 | 32 | 32 | 32 | 32 | 32 |
| **1-4-8-12-15-18-20** | 40 | 40 | 40 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 37 |
| **1-4-8-12-16-18-20** | 42 | 42 | 42 | 41 | 40 | 40 | 40 | 34 | 34 | 34 | 34 | 32 |
| **1-4-8-12-16-19-20** | 39 | 39 | 39 | 38 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 37 |
| **1-4-9-13-16-18-20** | 41 | 41 | 41 | 41 | 41 | 39 | 39 | 33 | 30 | 30 | 30 | 28 |
| **1-4-9-13-16-19-20** | 38 | 38 | 38 | 38 | 38 | 36 | 36 | 36 | 33 | 33 | 33 | 33 |
| **1-4-9-13-17-19-20** | 38 | 38 | 38 | 38 | 38 | 36 | 36 | 36 | 33 | 33 | 33 | 33 |
| **1-4-9-14-17-19-20** | 40 | 40 | 40 | 40 | 40 | 40 | 40 | 40 | 37 | 32 | 32 | 32 |
| **1-5-9-13-16-18-20** | 41 | 41 | 41 | 41 | 41 | 39 | 39 | 33 | 33 | 33 | 33 | 31 |
| **1-5-9-13-16-19-20** | 38 | 38 | 38 | 38 | 38 | 36 | 36 | 36 | 36 | 36 | 36 | 36 |
| **1-5-9-13-17-19-20** | 38 | 38 | 38 | 38 | 38 | 36 | 36 | 36 | 36 | 36 | 36 | 36 |
| **1-5-9-14-17-19-20** | 40 | 40 | 40 | 40 | 40 | 40 | 40 | 40 | 40 | 35 | 35 | 35 |
| **1-5-10-14-17-19-20** | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 33 | 33 | 33 |
| **Обнуляемая ветка** | 1-3 (-3) | 3-8 (-1) | 8-12 (-1) | 12-16 (-2) | 9-13 (-2) | 7-11 (-6) | 16-18 (-6) | 4-9 (-3) | 14-17 (-5) | 2-6 (-4) | 18-20 (-2) | - |
| **Ветки запрещенные к обнулению** | 1-2, 1-4, 1-5 | 4-8, 3-7 | - | 12-15, 13-16 | 9-14, | 6-11, | 15-18, 16-19 | 5-9, 4-8 | 13-17, | 2-7, | 19-20, | - |

Заметим, что после полного прохождения алгоритма, ветвь 5-10, 10-14, 11-15, 17-19 не являются ни обнуленными, ни запрещенными к обнулению. Согласно алгоритму подпорки, в случае возникновения таких ветвей, их также следует обнулять.

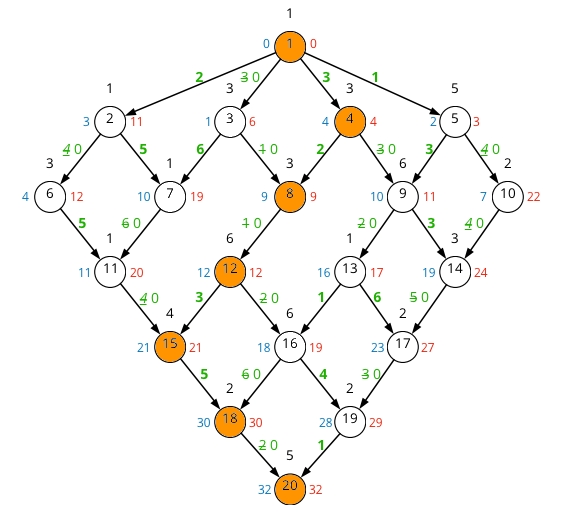


Рис. 2. Граф с обнуленными дугами, критическим путём, минимальными и максимальными временами начала выполнения в узлах (МВС с распределенной памятью)

**3.** Предложить значения параметров структуры МВС с распределенной памятью, на которой возможно выполнение задачи за минимальное время. Для выполнения данного пункта построить временную диаграмму выполнения вычислительного процесса в МВС с распределенной памятью.

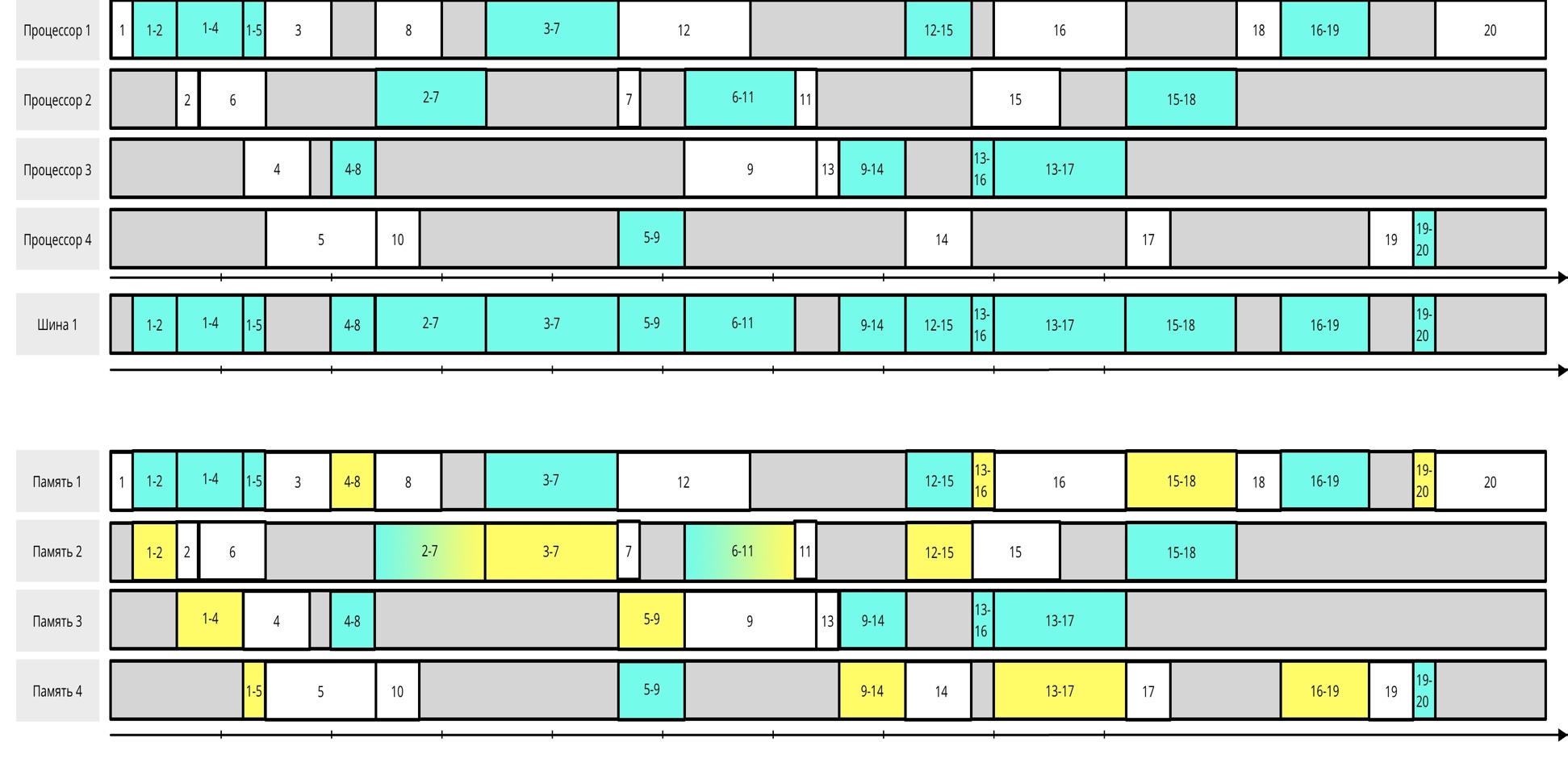


Рис. 3. Диаграмма Ганта

**Лабораторное задание**

**1.** Проверить выбранный при домашней подготовке вариант на модели, проанализировать и объяснить полученные результаты.

При выполнении дальнейших пунктов лабораторного задания исследуются наборы из четырех задач различных типов, которые исследовались в лабораторной работе №3 в МВС с общей памятью (см. Таблицу 2).

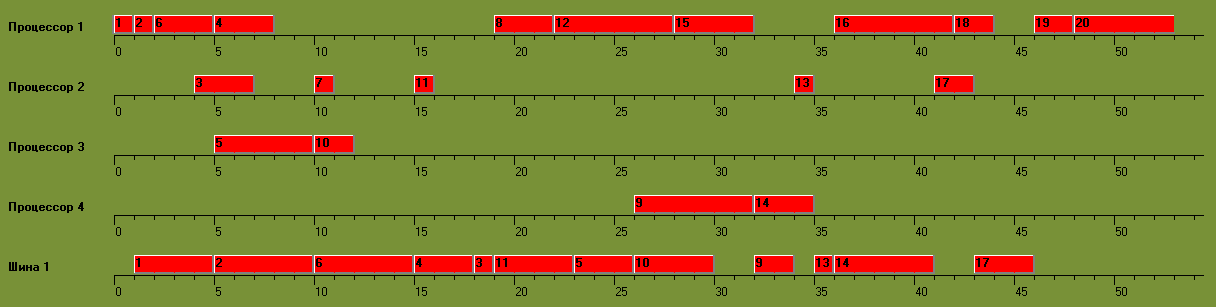


Рис. 4. Моделирование выполнения задачи из подготовки

Вывод: время решения на временной диаграмме, полученной при моделировании, составляет 53 такта. Это меньше, чем время решения, полученное при ручном моделировании (62 такта). Данный результат, как и в случае лабораторной работы №3, объясняется спецификой построения временных диаграмм программой моделирования – в данном случае временная диаграмма подразумевает одновременную передачу процессором результата в память другого процессора и выполнение этим же процессором следующей доступного ему узла.

**2.** Для набора задач каждого типа построить зависимости времени решения задач от числа процессоров, числа шин в МВС с распределенной памятью, найти лучший вариант. Выявить параметры, которые дают наиболее существенный выигрыш.

Таблица 2

Варианты задач для исследования при выполнении лабораторной работы

|  |  |  |
| --- | --- | --- |
| №  бригады | Наборы задач для исследования различных типов задач  1 – слабосвязанные задачи: …Laba3\Grafs\Easy\  2 – среднесвязанные задачи: …Laba3\Grafs\Easy\  3 – сильносвязанные задачи: …Laba3\Grafs\Easy\ | Заданное время выполнения набора задач Tзад. |
| 4 | 1 - f21,f41,f61,f81  2 - f22,f42,f62,f82  3 - f23,f43,f63,f83 | 300  1200  1500 |

Стратегия назначения готовых к выполнению узлов не задана, выберем стратегию назначения по максимальному времени выполнения. Приоритеты при моделировании не используются.

Таблица 3

Время выполнения от числа процессоров и шин для слабосвязанных задач (f21,f41,f61,f81).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1440 | 758 | 544 | 414 | 371 | 293 | 293 | 293 | 293 | 293 |
| 2 |  | 758 | 544 | 414 | 357 | 311 | 281 | 293 | 293 | 293 |
| 3 |  |  | 544 | 414 | 357 | 311 | 281 | 293 | 293 | 293 |
| 4 |  |  |  | 414 | 357 | 311 | 281 | 293 | 293 | 293 |
| 5 |  |  |  |  | 357 | 311 | 281 | 293 | 293 | 293 |
| 6 |  |  |  |  |  | 311 | 281 | 293 | 293 | 293 |
| 7 |  |  |  |  |  |  | 281 | 293 | 293 | 293 |
| 8 |  |  |  |  |  |  |  | 293 | 293 | 293 |
| 9 |  |  |  |  |  |  |  |  | 293 | 293 |
| 10 |  |  |  |  |  |  |  |  |  | 293 |

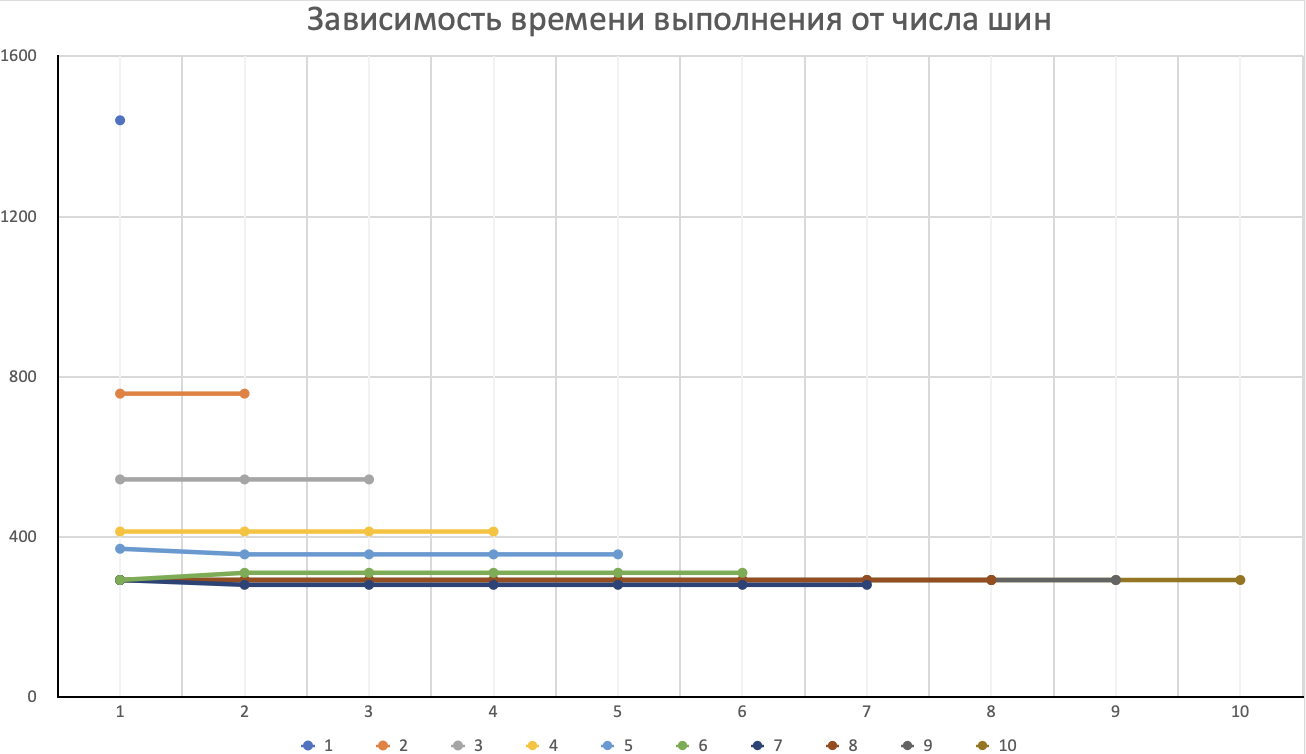


Рис. 5. Графики зависимости времени выполнения слабосвязанного графа от числа шин (при фиксированном числе процессоров)

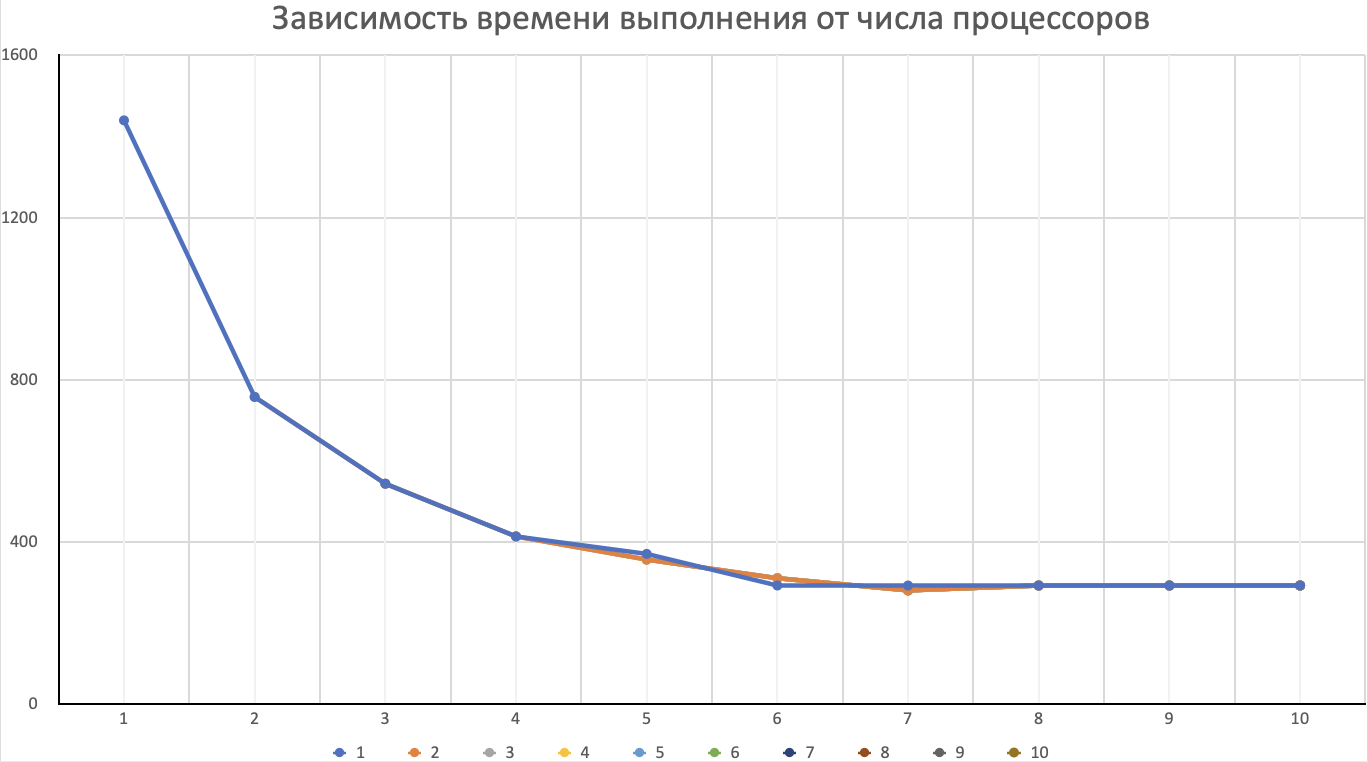


Рис. 6. Графики зависимости времени выполнения слабосвязанного графа от числа процессоров (при фиксированном числе шин)

Таблица 4

Время выполнения от числа процессоров и шин для среднесвязанных задач (F22, F42, F62, F82).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1440 | 1025 | 884 | 701 | 1036 | 934 | 1051 | 1031 | 1076 | 1107 |
| 2 |  | 1070 | 863 | 723 | 737 | 657 | 589 | 577 | 592 | 614 |
| 3 |  |  | 863 | 723 | 737 | 766 | 758 | 619 | 560 | 537 |
| 4 |  |  |  | 723 | 737 | 776 | 658 | 616 | 563 | 536 |
| 5 |  |  |  |  | 737 | 776 | 638 | 619 | 563 | 536 |
| 6 |  |  |  |  |  | 776 | 638 | 619 | 563 | 536 |
| 7 |  |  |  |  |  |  | 638 | 619 | 563 | 536 |
| 8 |  |  |  |  |  |  |  | 619 | 563 | 536 |
| 9 |  |  |  |  |  |  |  |  | 563 | 536 |
| 10 |  |  |  |  |  |  |  |  |  | 536 |

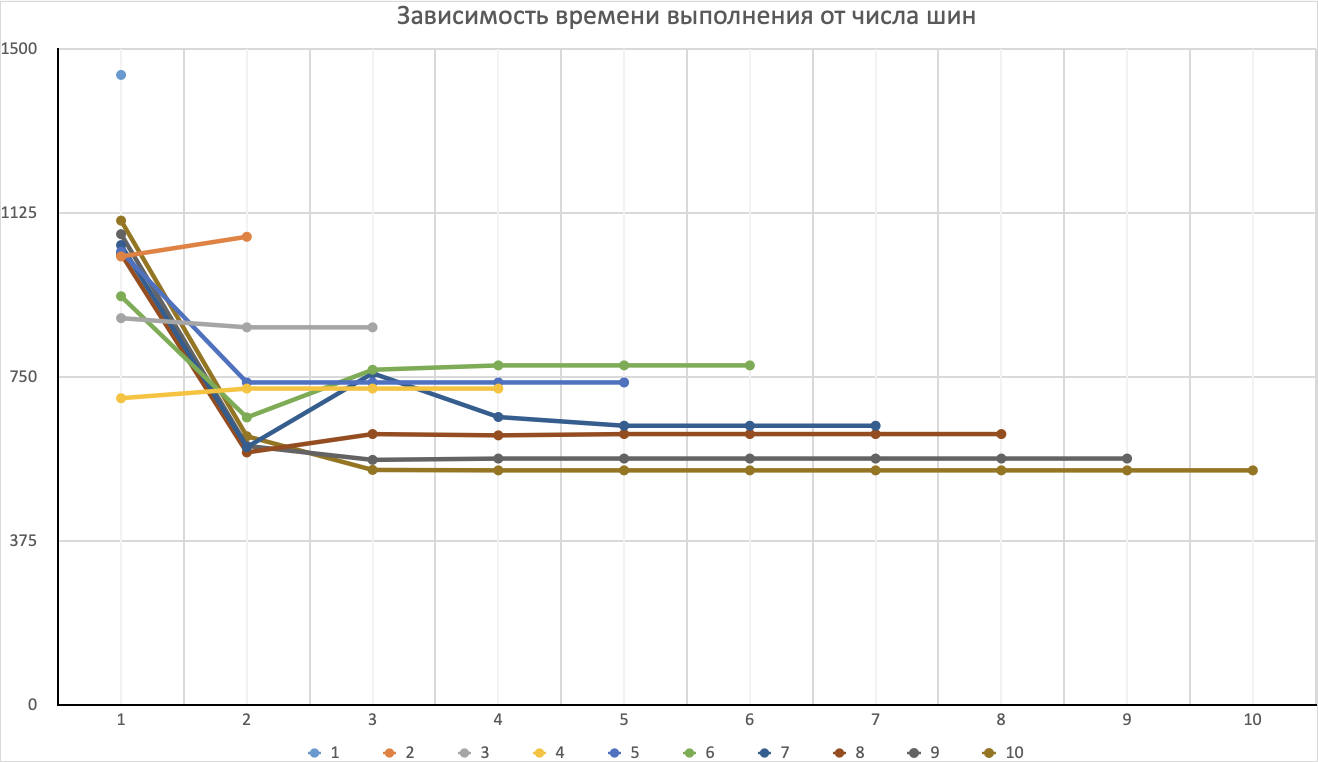


Рис. 7. Графики зависимости времени выполнения среднесвязанного графа от числа шин (при фиксированном числе процессоров)

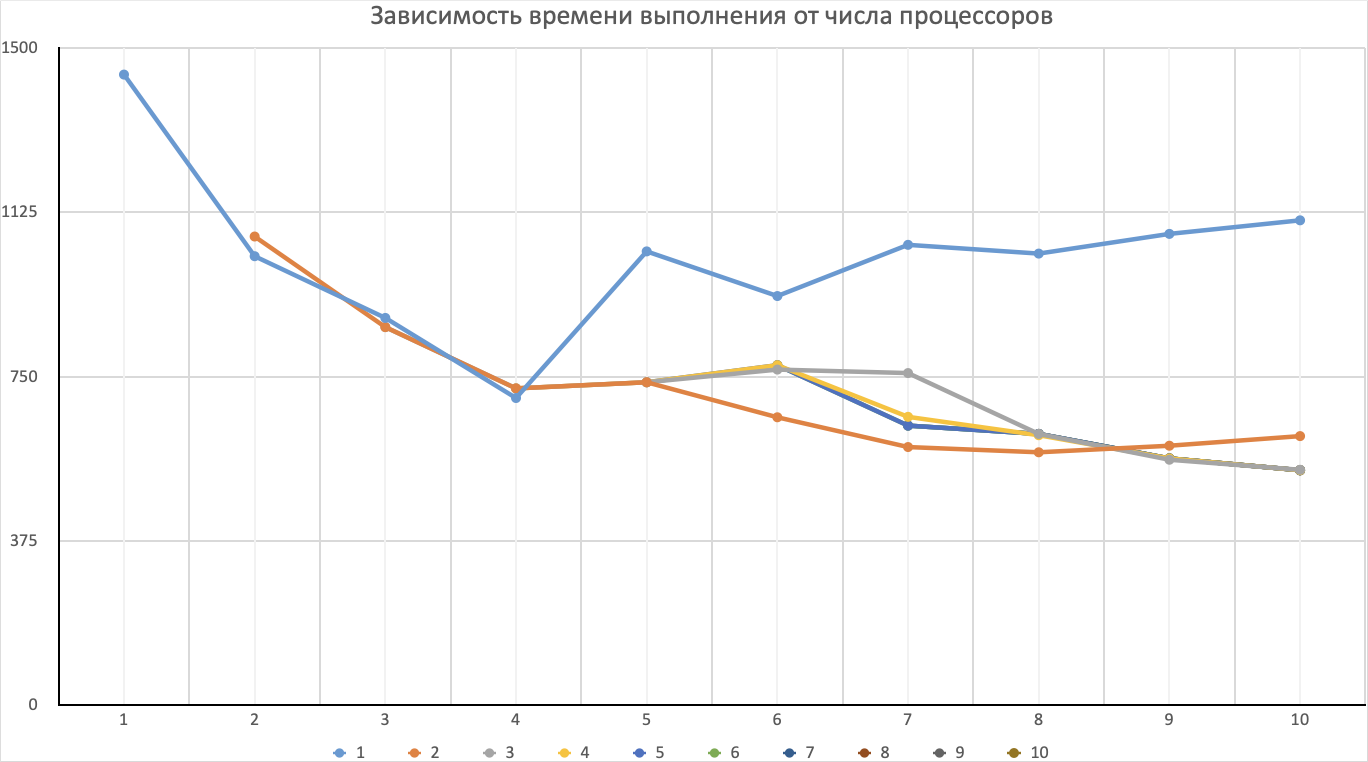


Рис. 8. Графики зависимости времени выполнения среднесвязанного графа от числа процессоров (при фиксированном числе шин)

Таблица 5

Время выполнения от числа процессоров и шин для сильносвязанных задач (F23, F43, F63, F83).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1440 | 1258 | 1176 | 840 | 1602 | 1106 | 1527 | 1714 | 1574 | 1565 |
| 2 |  | 1349 | 1196 | 925 | 1308 | 1123 | 941 | 1050 | 1006 | 958 |
| 3 |  |  | 1273 | 927 | 1079 | 1299 | 1035 | 1049 | 965 | 901 |
| 4 |  |  |  | 927 | 1356 | 1078 | 1035 | 940 | 930 | 777 |
| 5 |  |  |  |  | 1356 | 1154 | 1035 | 940 | 930 | 777 |
| 6 |  |  |  |  |  | 1154 | 1050 | 900 | 930 | 777 |
| 7 |  |  |  |  |  |  | 1050 | 900 | 930 | 777 |
| 8 |  |  |  |  |  |  |  | 900 | 930 | 777 |
| 9 |  |  |  |  |  |  |  |  | 930 | 777 |
| 10 |  |  |  |  |  |  |  |  |  | 777 |

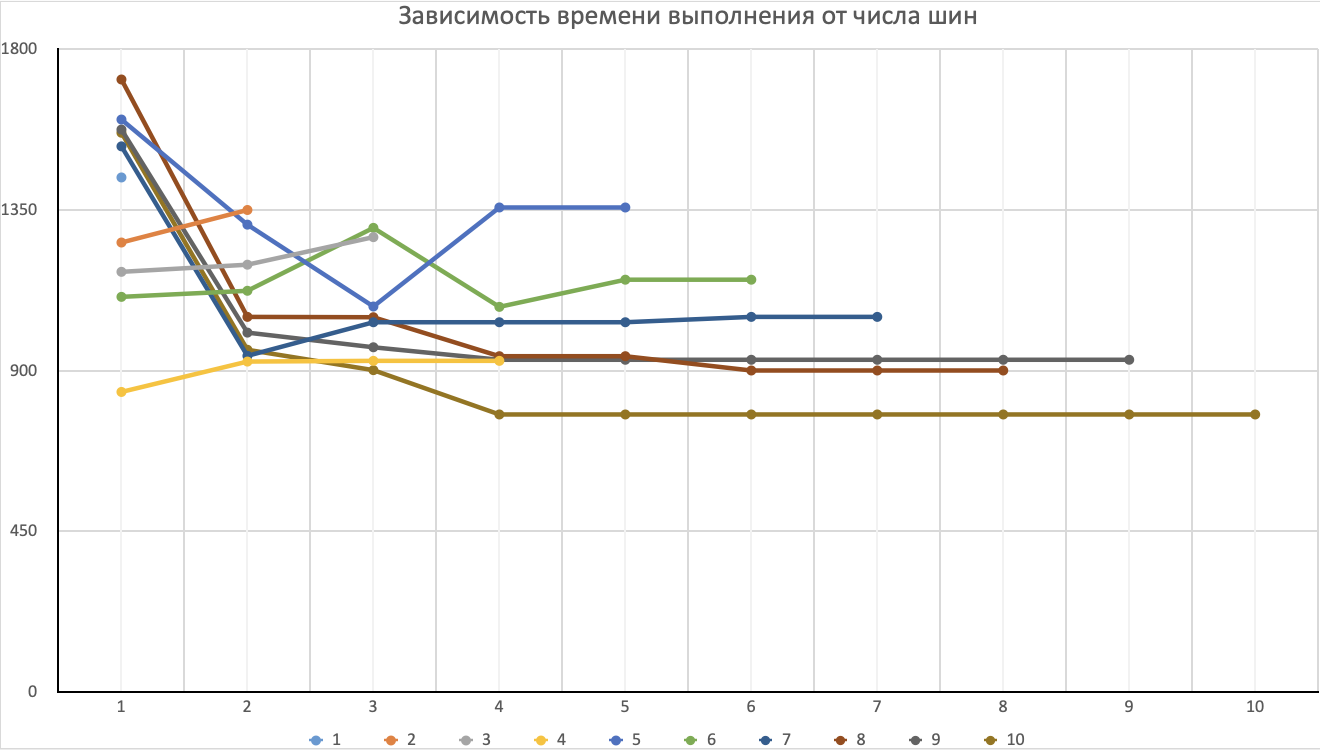


Рис. 9. Графики зависимости времени выполнения сильносвязанного графа от числа шин (при фиксированном числе процессоров)

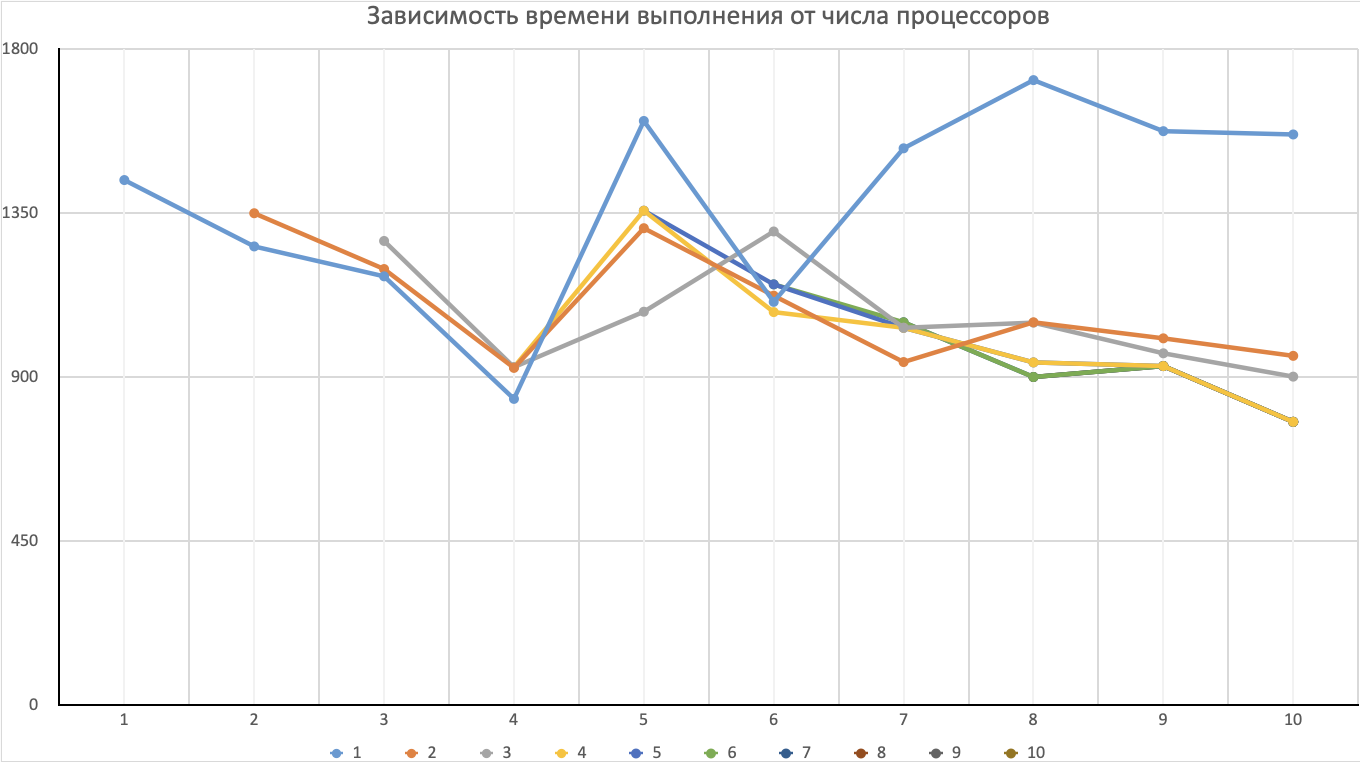


Рис. 10. Графики зависимости времени выполнения сильносвязанного графа от числа процессоров (при фиксированном числе шин)

Вывод: были рассмотрены вариации с различным количеством (от 1 до 10) процессоров и шин. Для набора слабосвязанных задач число шин практически не влияет на время выполнения. Ощутимое сокращение времени выполнения наблюдается лишь при увеличении числа процессоров (вплоть до 5-го процессора). Это объясняется тем, что для набора слабосвязанных задач время передачи по шине значительно меньше времени выполнения узла на процессоре, к тому же передач стало значительно меньше, чем в случае с общей памятью. Для набора среднесвязанных задач с увеличение числа шин не всегда вызывает уменьшение времени выполнения, хотя до добавления 4ой шины общая тенденция заключается в незначительном увеличении скорости выполнения. Увеличение числа процессоров также не всегда приводят к уменьшению времени выполнения (небольшой прирост в скорости наблюдается при добавлении не более 3-х дополнительных процессоров). Для набора сильносвязанных задач время выполнения уменьшается при росте числа шин вплоть до 3-ех, при этом в некоторых случаях рост числа шин негативно сказывается на время выполнения (например, при добавлении 2-ой шины при 3-ех процессорах). Добавление новых процессоров в этом случае несет крайне непредсказуемый характер.

**3.** На тех же графиках построить аналогичные зависимости для МВС с общей памятью (необходимые данные были получены в лабораторной работе №3). Для сравнения необходимо в пп 2 и 3 рассматривать МВС с одинаковыми параметрами.

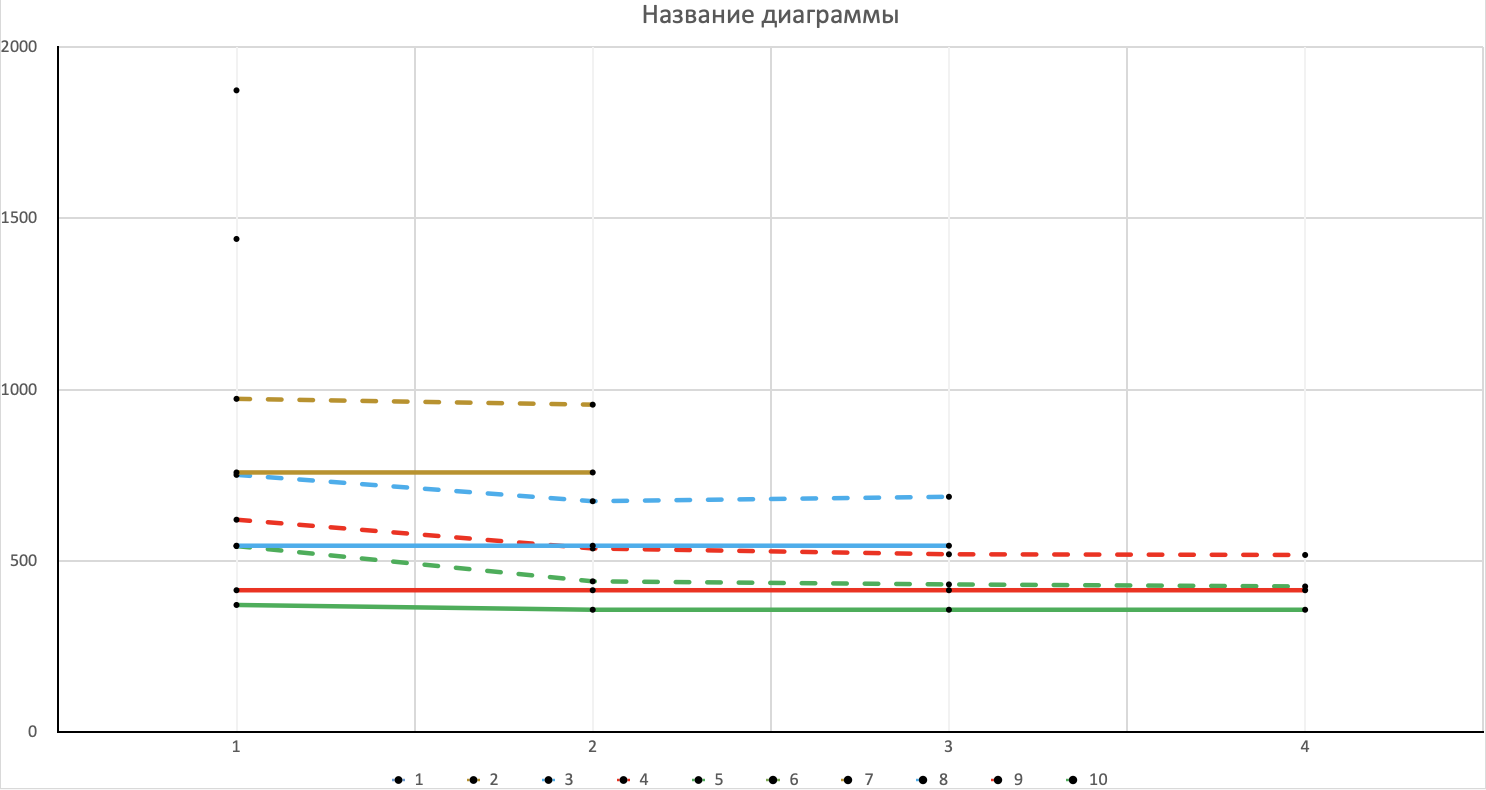


Рис. 11. Сравнение графиков зависимости времени выполнения слабосвязанного графа от числа шин (при фиксированном числе процессоров) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

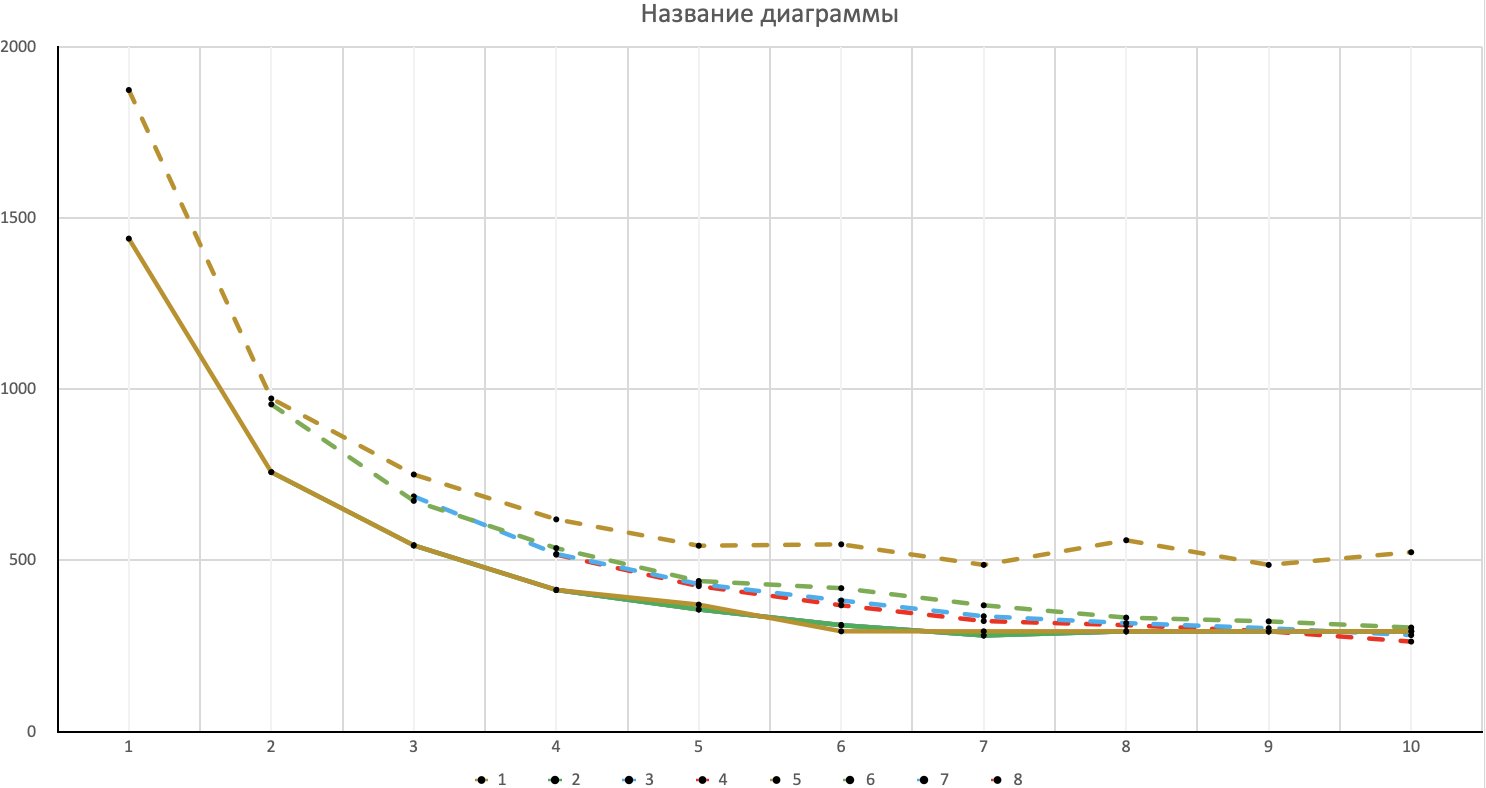


Рис. 12. Сравнение графиков зависимости времени выполнения слабосвязанного графа от числа процессоров (при фиксированном числе шин) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

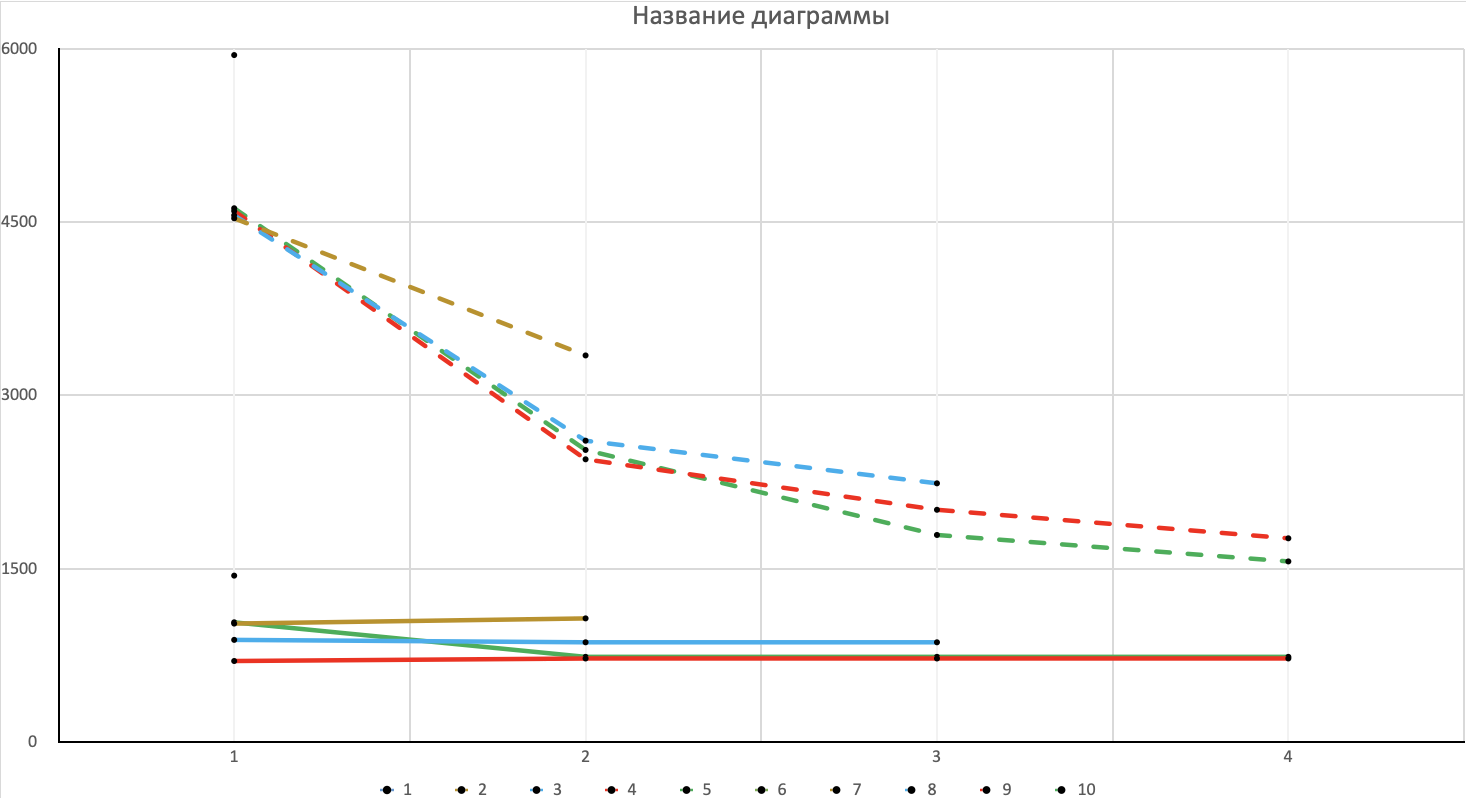


Рис. 13. Сравнение графиков зависимости времени выполнения среднесвязанного графа от числа шин (при фиксированном числе процессоров) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

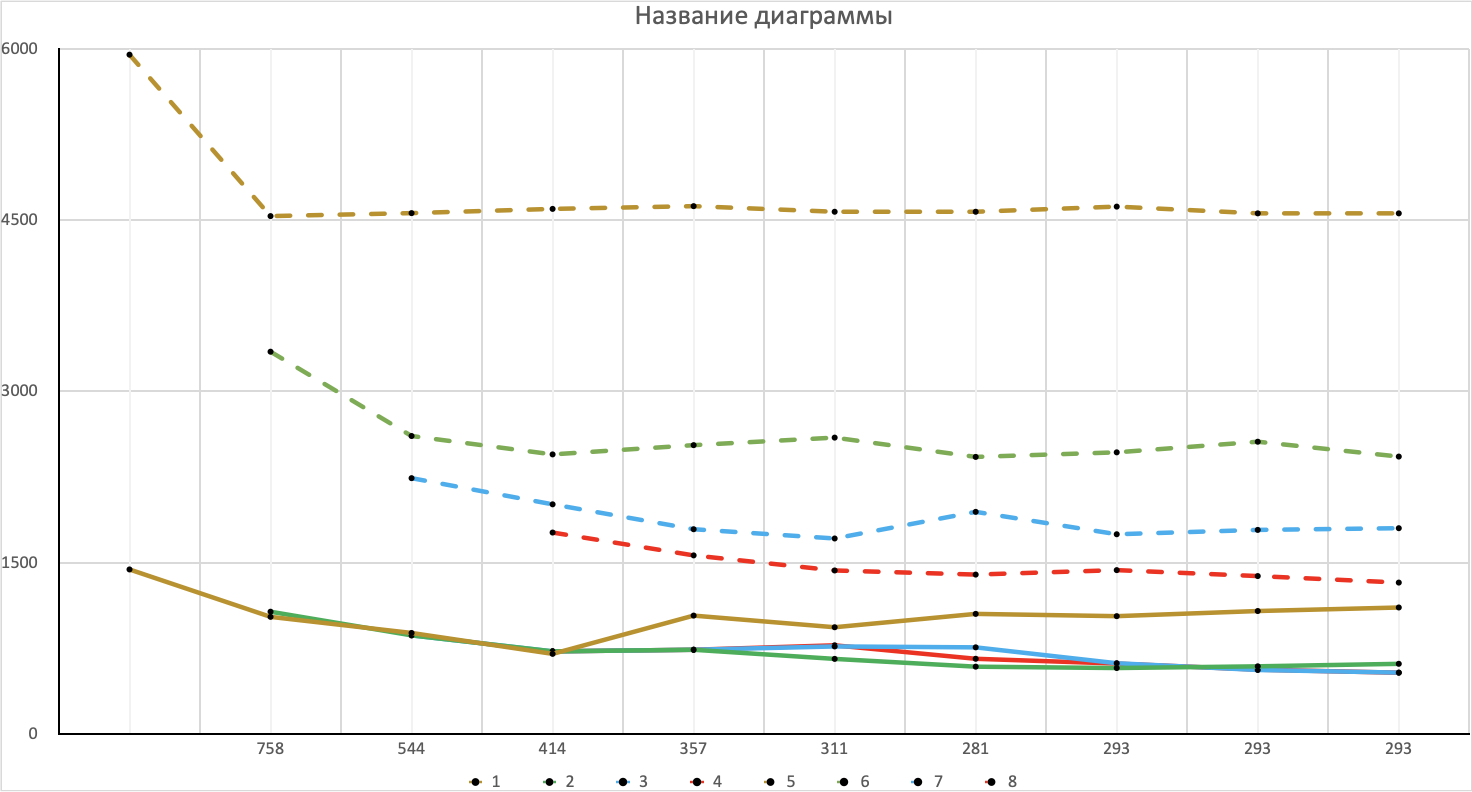


Рис. 14. Сравнение графиков зависимости времени выполнения среднесвязанного графа от числа процессоров (при фиксированном числе шин) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

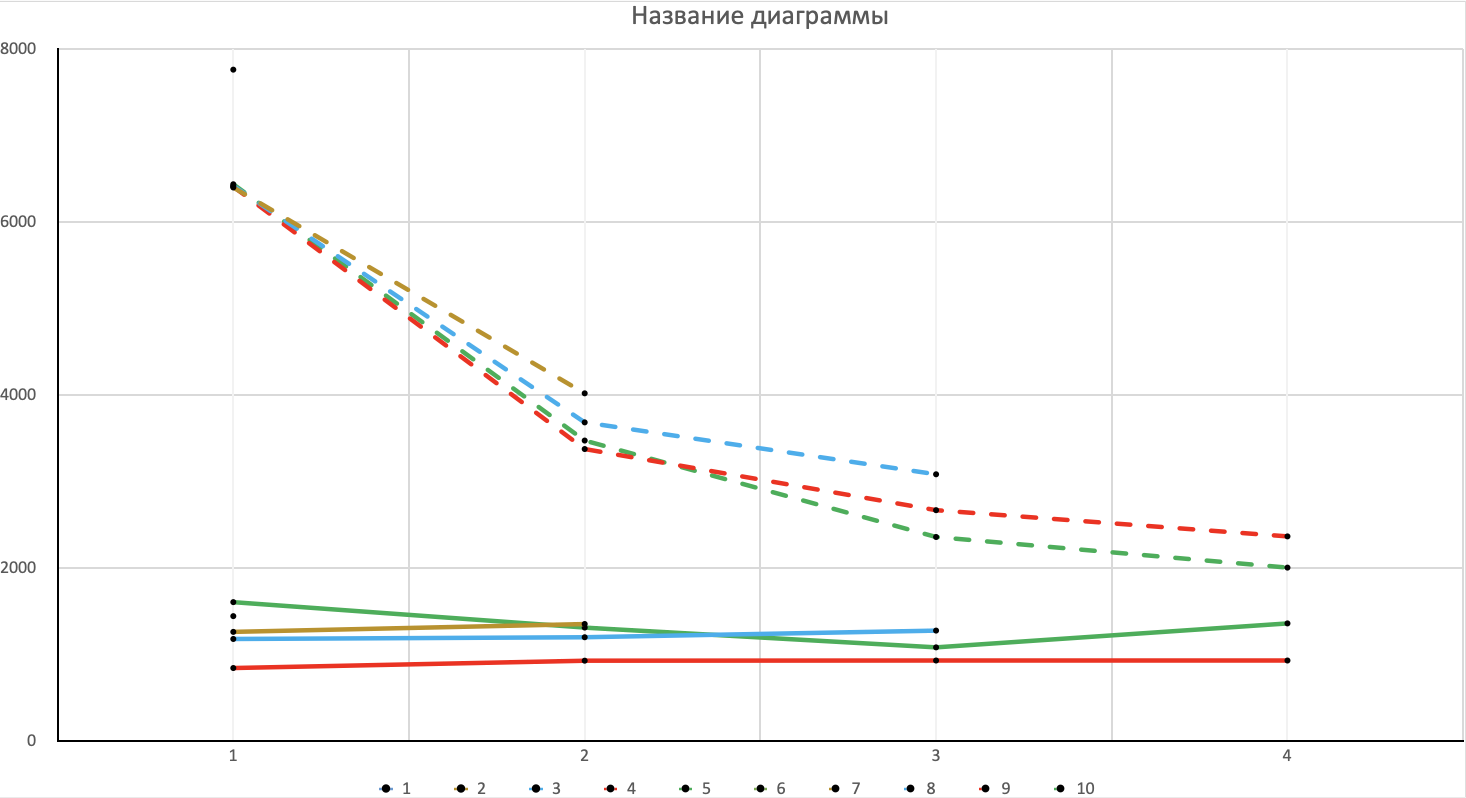


Рис. 15. Сравнение графиков зависимости времени выполнения сильносвязанного графа от числа шин (при фиксированном числе процессоров) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

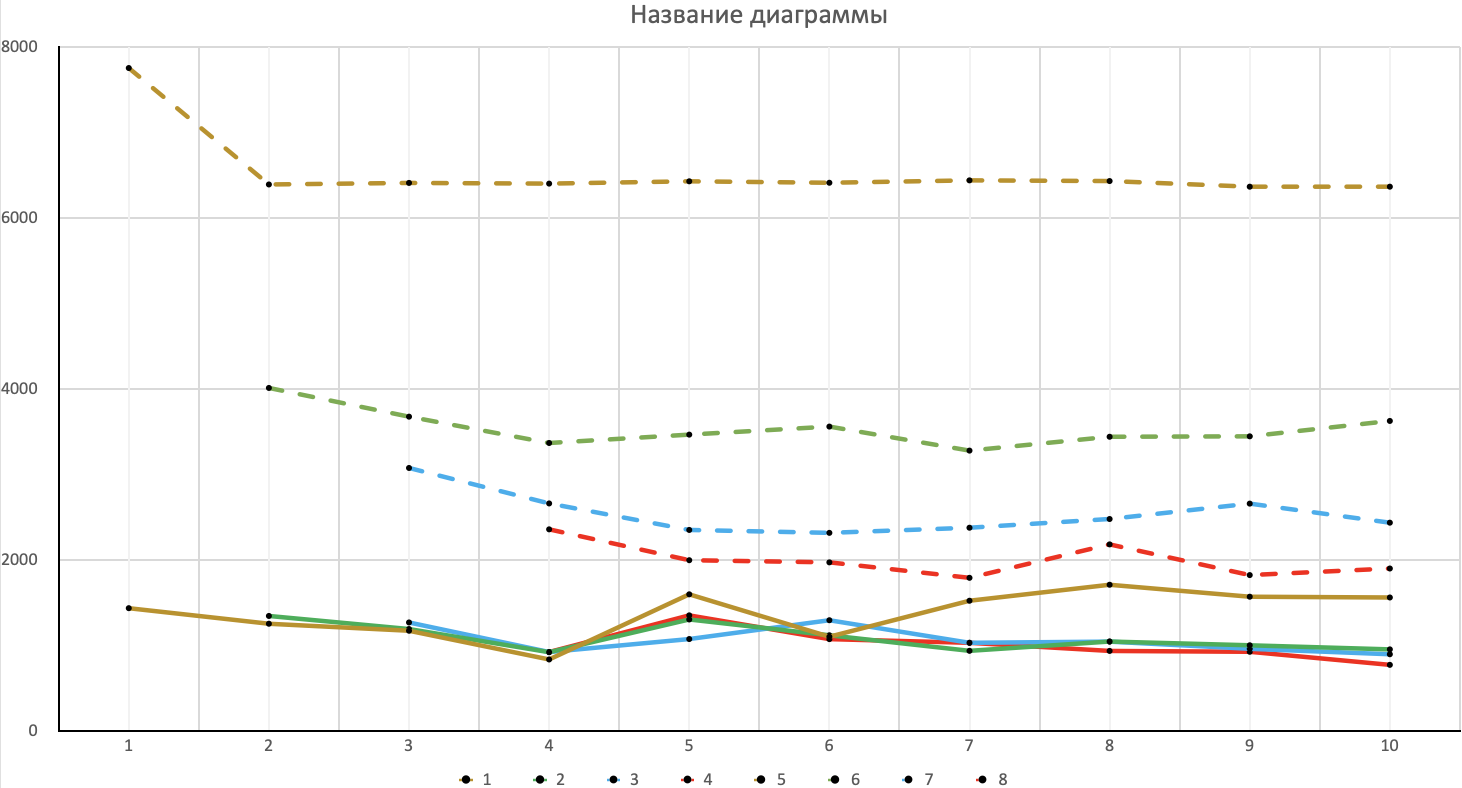


Рис. 16. Сравнение графиков зависимости времени выполнения сильносвязанного графа от числа процессоров (при фиксированном числе шин) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

Вывод: сравнивая графики для случая слабосвязанных задач, можно увидеть, что время выполнения у МВС с распределённой памятью меньше, чем у МВС с общей памятью. Это объясняется тем, что в случае МВС с распределённой памятью некоторые дуги графа обнуляются (а так как вес этих дуг не столь велик по отношению к времени выполнения узлов, то и прирост в скорости составил в среднем 20%). Для наборов среднесвязанных и сильносвязанных задач видно, что время выполнения на МВС с распределённой памятью меньше времени выполнения на МВС с общей памятью, при этом разница этих времён существенная (до нескольких раз в зависимости от рассматриваемых конфигураций). Это объясняется тем, что времена передач по шинам вносят значимый вклад в общее время выполнения (так как примерно равны или даже превышают время выполнения узлов), то обнуление части из этих времён передач значительно уменьшает время выполнения.

**4.** Определить коэффициенты улучшения времени выполнения задач в МВС с различной организацией; коэффициенты загрузки процессоров в МВС с распределенной памятью и сравнить их с коэффициентами загрузки процессоров в МВС с общей памятью. Проанализировать и объяснить полученные результаты.

Коэффициент улучшения времени выполнения рассчитывается как отношение времени решения задачи (набора задач) на МВС с общей памятью Топ ко времени решения задачи (набора задач) на МВС с распределенной памятью Трп:

Таким образом, найденный коэффициент показывает, насколько быстрее выполняются задачи на МВС с распределенной памятью.

Построить зависимость изменения Кул при изменении числа процессоров.

Таблица 6

Коэффициент улучшения для слабосвязанных задач (F21, F41, F61, F81).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1.301 | 1.284 | 1.381 | 1.498 | 1.464 | 1.867 | 1.662 | 1.908 | 1.662 | 1.788 |
| 2 |  | 1.261 | 1.239 | 1.295 | 1.232 | 1.347 | 1.313 | 1.137 | 1.099 | 1.038 |
| 3 |  |  | 1.263 | 1.254 | 1.207 | 1.232 | 1.199 | 1.082 | 1.031 | 0.962 |
| 4 |  |  |  | 1.249 | 1.19 | 1.186 | 1.149 | 1.061 | 1 | 0.898 |
| 5 |  |  |  |  | 1.232 | 1.257 | 1.167 | 1.082 | 0.98 | 0.85 |
| 6 |  |  |  |  |  | 1.203 | 1.185 | 1.082 | 1 | 0.853 |
| 7 |  |  |  |  |  |  | 1.178 | 1.075 | 1.007 | 0.846 |
| 8 |  |  |  |  |  |  |  | 1.075 | 1 | 0.853 |
| 9 |  |  |  |  |  |  |  |  | 1.003 | 0.853 |
| 10 |  |  |  |  |  |  |  |  |  | 0.853 |

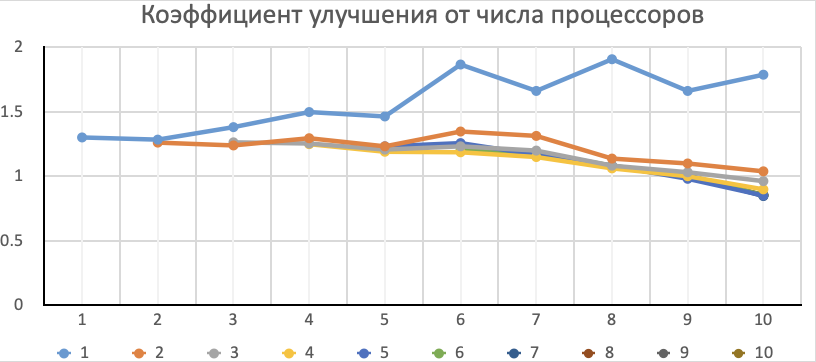


Рис. 17. Графики зависимости коэффициентов улучшения от числа процессоров (при фиксированном числе шин) для набора слабосвязанных задач.

Таблица 7

Коэффициент улучшения для среднесвязанных задач (F22, F42, F62, F82).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 4.129 | 4.422 | 5.157 | 6.556 | 4.459 | 4.894 | 4.349 | 4.477 | 4.235 | 4.117 |
| 2 |  | 3.127 | 3.022 | 3.385 | 3.43 | 3.948 | 4.117 | 4.272 | 4.321 | 3.954 |
| 3 |  |  | 2.594 | 2.78 | 2.431 | 2.234 | 2.565 | 2.824 | 3.189 | 3.354 |
| 4 |  |  |  | 2.438 | 2.121 | 1.844 | 2.12 | 2.328 | 2.455 | 2.472 |
| 5 |  |  |  |  | 2.042 | 1.7 | 1.972 | 1.861 | 1.984 | 2.095 |
| 6 |  |  |  |  |  | 1.616 | 1.906 | 1.84 | 1.794 | 1.961 |
| 7 |  |  |  |  |  |  | 1.771 | 1.848 | 1.865 | 1.897 |
| 8 |  |  |  |  |  |  |  | 1.821 | 1.833 | 1.707 |
| 9 |  |  |  |  |  |  |  |  | 1.753 | 1.851 |
| 10 |  |  |  |  |  |  |  |  |  | 1.851 |

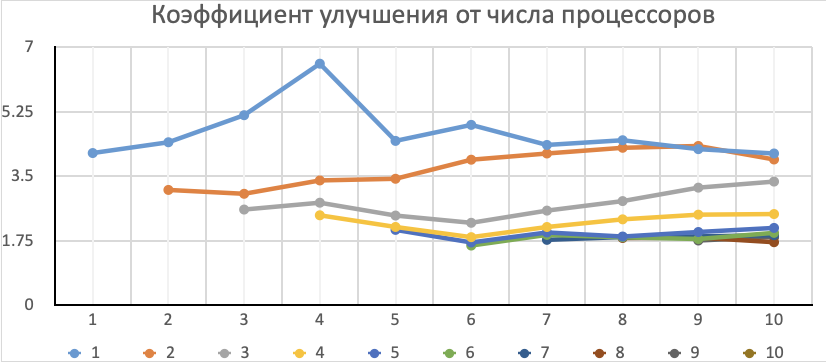


Рис. 18. Графики зависимости коэффициентов улучшения от числа процессоров (при фиксированном числе шин) для набора среднесвязанных задач.

Таблица 8

Коэффициент улучшения для сильносвязанных задач (F23, F43, F63, F83).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 5.388 | 5.084 | 5.454 | 7.626 | 4.016 | 5.801 | 4.22 | 3.755 | 4.047 | 4.07 |
| 2 |  | 2.977 | 3.077 | 3.645 | 2.653 | 3.174 | 3.489 | 3.281 | 3.429 | 3.789 |
| 3 |  |  | 2.419 | 2.875 | 2.183 | 1.787 | 2.3 | 2.367 | 2.76 | 2.708 |
| 4 |  |  |  | 2.548 | 1.476 | 1.833 | 1.734 | 2.326 | 1.965 | 2.45 |
| 5 |  |  |  |  | 1.474 | 1.634 | 1.519 | 1.873 | 1.826 | 2.543 |
| 6 |  |  |  |  |  | 1.462 | 1.523 | 1.664 | 1.643 | 1.918 |
| 7 |  |  |  |  |  |  | 1.56 | 1.507 | 1.459 | 1.871 |
| 8 |  |  |  |  |  |  |  | 1.589 | 1.427 | 1.604 |
| 9 |  |  |  |  |  |  |  |  | 1.394 | 1.931 |
| 10 |  |  |  |  |  |  |  |  |  | 1.526 |

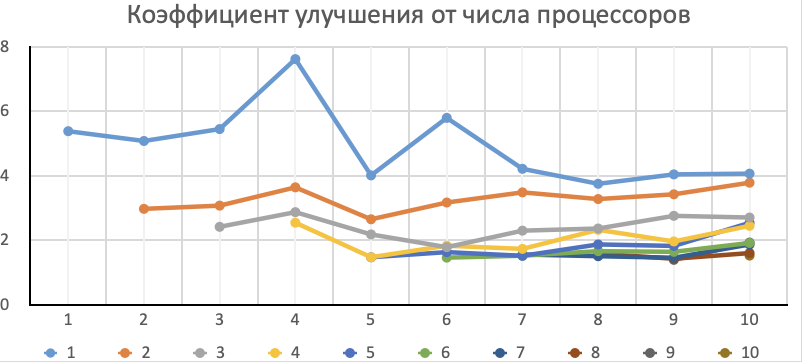


Рис. 19. Графики зависимости коэффициентов улучшения от числа процессоров (при фиксированном числе шин) для набора сильносвязанных задач.

Коэффициенты загрузки процессоров рассмотрим на примере конфигурации из 5 процессоров и 5 шин.

Таблица 9

Коэффициенты загрузки процессоров

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Связность | Память | Коэффициенты загрузки процессоров | | | | | |
| 1 | 2 | 3 | 4 | 5 | среднее |
| Слабая | Общая | 0,716 | 0,716 | 0,668 | 0,740 | 0,597 | 0,6874 |
| Слабая | Распределенная | 0,896 | 0,896 | 0,840 | 0,644 | 0,756 | 0,8064 |
| Средняя | Общая | 0,231 | 0,224 | 0,168 | 0,182 | 0,203 | 0,2016 |
| Средняя | Распределенная | 0,488 | 0,407 | 0,421 | 0,393 | 0,244 | 0,3906 |
| Сильная | Общая | 0,166 | 0,172 | 0,140 | 0,134 | 0,161 | 0,1546 |
| Сильная | Распределенная | 0,229 | 0,192 | 0,273 | 0,177 | 0,192 | 0,2126 |

Вывод: для набора слабосвязанных задач коэффициент усиления находится в пределах от 0,846 до 1908 (среднее значение 1,1886) для различных конфигураций. В большинстве случаев, он превышает 1, но есть и исключения, вызываемые тем, что в случае МВС с распределенной памятью есть ограничение: если дуга между узлами обнулена, значит эти узлы обязательно выполняются на одном процессоре. Выполнение этого условия иногда препятствует более рациональному распределению узлов и процессоров. Для среднесвязанных и сильносвязанных задач коэффициент усиления всегда больше 1 и доходит до 6,556 для среднесвязанных задач (среднее значение 2.8561) и до 7,626 для сильносвязанных задач (среднее значение 2,6846). При этом для любого вида связности видно, что при увеличении числа шин коэффициент усиления уменьшается, а при увеличении числа процессоров изменяется либо в большую, либо в меньшую сторону. Из Таблицы 9 видно, что для набора слабосвязанных задач коэффициенты загрузки максимальные, так как процессоры большую часть времени занимаются выполнением узлов и не ждут завершения передачи данных с предыдущих этапов. При переходе от МВС с общей памятью к МВС с распределённой памятью коэффициенты загрузки во всех 3-х случаях увеличиваются: для набора слабосвязанных задач увеличение составило 17%, для среднесвязанных и сильносвязанных – 94% и 38% соответственно (так как обнуляемые времена передач вносят существенный вклад в общее время выполнения таких задач).