Федеральное государственное бюджетное образовательное учреждение высшего образования. «Национально исследовательский университет «Московский энергетический институт»

Кафедра ВМСС

Лабораторная работа №4

ИССЛЕДОВАНИЕ ПРИНЦИПОВ ОРГАНИЗАЦИИ ВЫЧИСЛИТЕЛЬНОГО ПРОЦЕССА В МВС С РАСПРЕДЕЛЕННОЙ ПАМЯТЬЮ

Курс: Вычислительные системы

Группа: А-08-19

Выполнил: Кретов Н.В.

Проверил: Карпов А.В.

Москва 2023 г.

**Домашняя подготовка**

Цель работы: изучение способов организации вычислительного процесса при выполнении наборов задач различных типов на МВС с распределенной памятью c целью определения параметров МВС (количество процессоров и шин), позволяющих выполнить набор задач конкретного типа за заданное время. Сравнение временных характеристик и коэффициентов загрузки оборудования в МВС различной организации.

**1.** Изучить соответствующие разделы лекционного курса и описания лабораторных работ.

**2.** Для графа задачи, исследуемого при выполнении домашней подготовки в лабораторной работе №3, вручную определить минимальное время выполнения задачи в МВС с распределенной памятью на основе поиска критического пути графа задачи. Сравнить полученное значение с минимальным временем выполнения задачи в МВС с общей памятью.

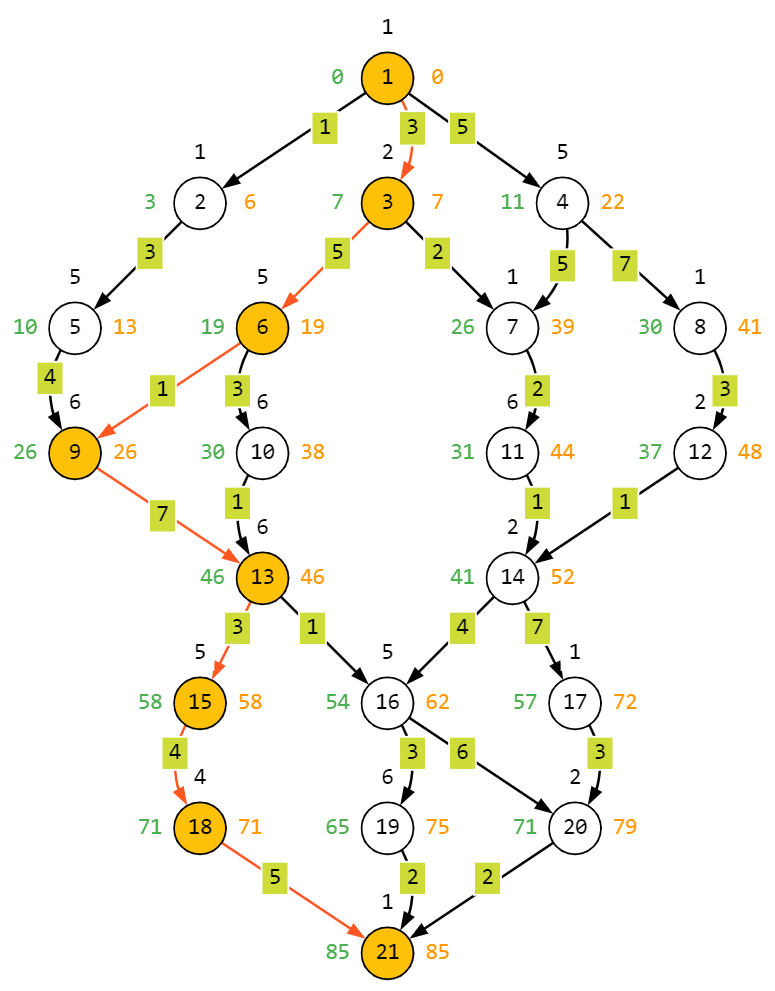


Рис. 1. Граф с критическим путём, минимальными и максимальными временами начала выполнения в узлах (МВС с общей памятью)

Обнулим дуги графа, следуя алгоритму подпорки (Таблица 1).

Таблица 1

Ход алгоритма подпорки

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Путь | Длина пути | | | | | | | | | | | | |  |  |  |
| 1 шаг | 2 шаг | 3 шаг | 4 шаг | 5 шаг | 6 шаг | 7 шаг | 8 шаг | 9 шаг | 10 шаг | 11 шаг | 12 шаг | 13 шаг | 14 шаг | 15 шаг | 16 шаг |
| 1-2-5-9-13-15-18-21 | 56 | 56 | 53 | 53 | 49 | 42 | 42 | 42 | 42 | 42 | 42 | 42 | 39 | 35 | 35 | 35 |
| 1-2-5-9-13-16-19-21 | 52 | 52 | 49 | 49 | 45 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 35 | 35 |
| 1-2-5-9-13-16-20-21 | 51 | 51 | 48 | 48 | 44 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 35 |
| 1-3-6-9-13-15-18-21 | 58 | 55 | 55 | 50 | 50 | 43 | 43 | 43 | 43 | 43 | 43 | 43 | 40 | 36 | 36 | 36 |
| 1-3-6-9-13-16-19-21 | 54 | 51 | 51 | 46 | 46 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 39 | 36 | 36 |
| 1-3-6-9-13-16-20-21 | 53 | 50 | 50 | 45 | 45 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 36 |
| 1-3-6-10-13-15-18-21 | 54 | 51 | 51 | 46 | 46 | 46 | 46 | 46 | 43 | 43 | 43 | 43 | 40 | 36 | 36 | 36 |
| 1-3-6-10-13-16-19-21 | 50 | 47 | 47 | 42 | 42 | 42 | 42 | 42 | 39 | 39 | 39 | 39 | 39 | 39 | 36 | 36 |
| 1-3-6-10-13-16-20-21 | 49 | 46 | 46 | 41 | 41 | 41 | 41 | 41 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 36 |
| 1-3-7-11-14-16-19-21 | 41 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 38 | 36 | 32 | 32 | 32 | 29 | 29 |
| 1-3-7-11-14-16-20-21 | 40 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 37 | 35 | 31 | 31 | 31 | 31 | 29 |
| 1-3-7-11-14-17-20-21 | 36 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 33 | 31 | 31 | 31 | 31 | 31 | 29 |
| 1-4-7-11-14-16-19-21 | 49 | 49 | 49 | 49 | 49 | 49 | 44 | 44 | 44 | 44 | 42 | 38 | 38 | 38 | 35 | 35 |
| 1-4-7-11-14-16-20-21 | 48 | 48 | 48 | 48 | 48 | 48 | 43 | 43 | 43 | 43 | 41 | 37 | 37 | 37 | 37 | 35 |
| 1-4-7-11-14-17-20-21 | 44 | 44 | 44 | 44 | 44 | 44 | 39 | 39 | 39 | 39 | 37 | 37 | 37 | 37 | 37 | 35 |
| 1-4-8-12-14-16-19-21 | 48 | 48 | 48 | 48 | 48 | 48 | 48 | 45 | 45 | 44 | 44 | 40 | 40 | 40 | 37 | 37 |
| 1-4-8-12-14-16-20-21 | 47 | 47 | 47 | 47 | 47 | 47 | 47 | 44 | 44 | 43 | 43 | 39 | 39 | 39 | 39 | 37 |
| 1-4-8-12-14-17-20-21 | 43 | 43 | 43 | 43 | 43 | 43 | 43 | 40 | 40 | 39 | 39 | 39 | 39 | 39 | 39 | 37 |
| Обнуляемая ветка | 1-3 | 2-5 | 3-6 | 5-9 | 9-13 | 4-7 | 8-12 | 6-10 | 12-14 | 7-11 | 14-16 | 13-15 | 15-18 | 16-19 | 20-21 | - |
| Ветки, запрещенные к обнулению | 1-2, 1-4 | - | 3-7 | 6-9 | 10-13 | 4-8 | - | - | 11-14 | - | 13-16, 14-17 | - | - | 16-20 | 18-21, 19-21 | - |

Заметим, что после полного прохождения алгоритма, ветвь 17-20 не является ни обнуленной, ни запрещенной к обнулению. Согласно алгоритму подпорки, в случае возникновения таких ветвей, их также следует обнулять.

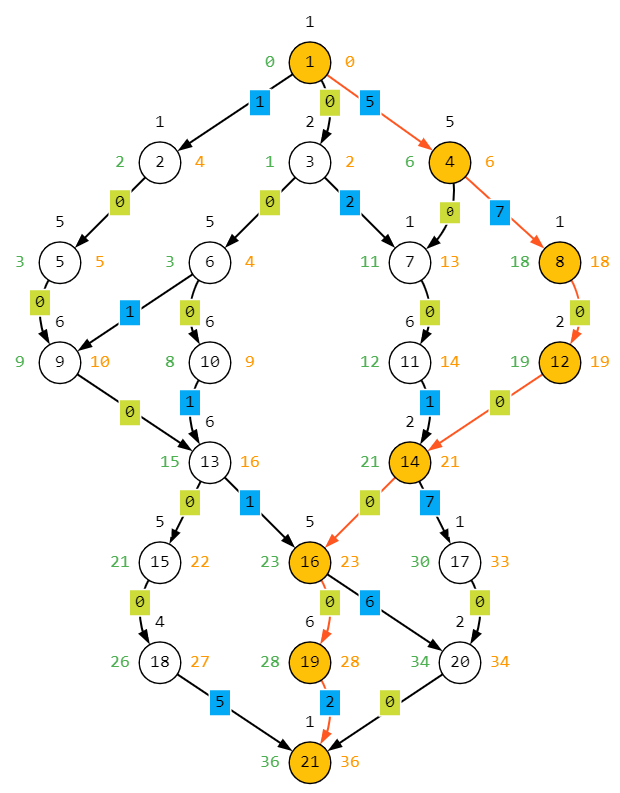


Рис. 2. Граф с обнуленными дугами, критическим путём, минимальными и максимальными временами начала выполнения в узлах (МВС с распределенной памятью)

**3.** Предложить значения параметров структуры МВС с распределенной памятью, на которой возможно выполнение задачи за минимальное время. Для выполнения данного пункта построить временную диаграмму выполнения вычислительного процесса в МВС с распределенной памятью.

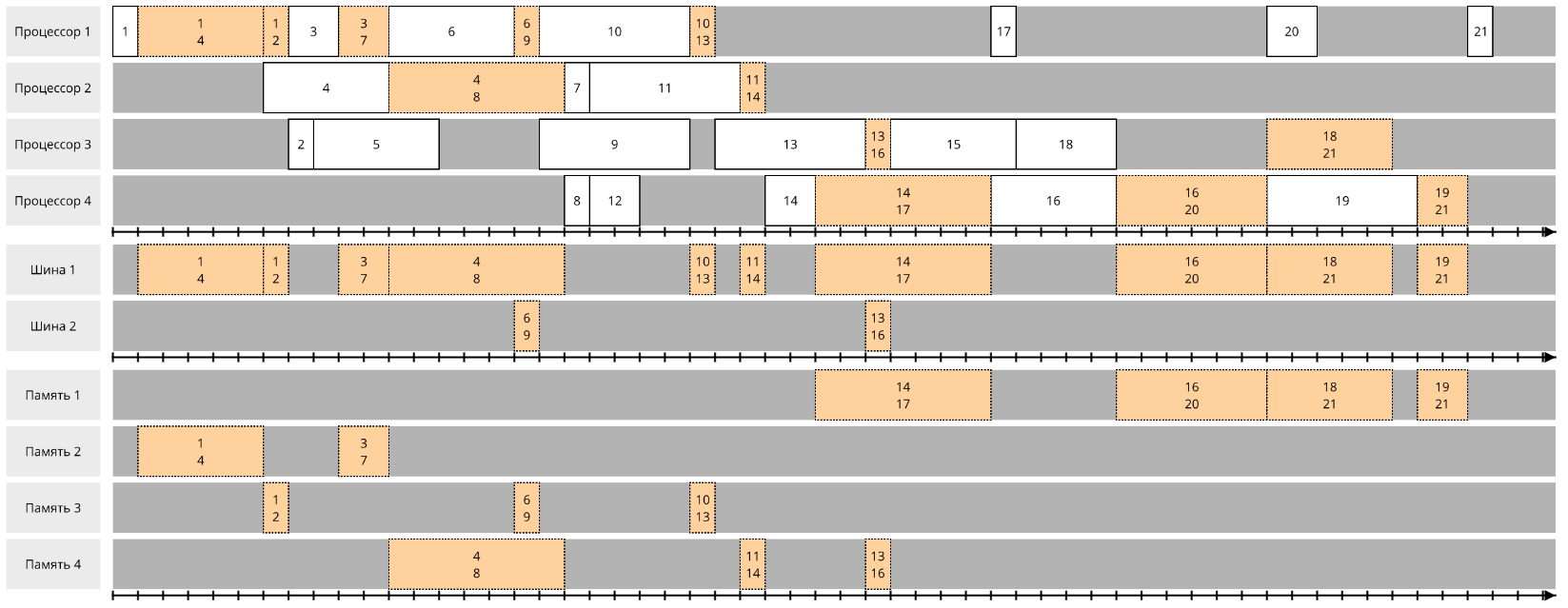


Рис. 3. Диаграмма Ганта

**Лабораторное задание**

**1.** Проверить выбранный при домашней подготовке вариант на модели, проанализировать и объяснить полученные результаты.

При выполнении дальнейших пунктов лабораторного задания исследуются наборы из четырех задач различных типов, которые исследовались в лабораторной работе №3 в МВС с общей памятью (см. Таблицу 2).

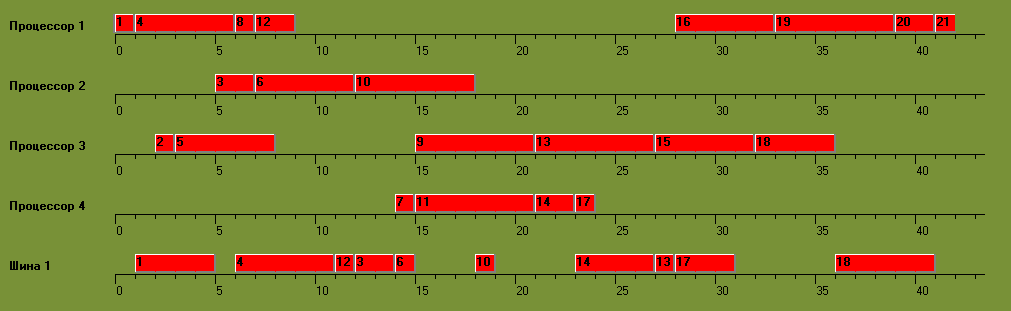


Рис. 4. Моделирование выполнения задачи из подготовки

Вывод: время решения на временной диаграмме, полученной при моделировании, составляет 42 такта. Это меньше, чем время решения, полученное при ручном моделировании (55 тактов). Данный результат, как и в случае лабораторной работы №3, объясняется спецификой построения временных диаграмм программой моделирования – в данном случае временная диаграмма подразумевает одновременную передачу процессором результата в память другого процессора и выполнение этим же процессором следующей доступного ему узла.

**2.** Для набора задач каждого типа построить зависимости времени решения задач от числа процессоров, числа шин в МВС с распределенной памятью, найти лучший вариант. Выявить параметры, которые дают наиболее существенный выигрыш.

Таблица 2

Варианты задач для исследования при выполнении лабораторной работы

|  |  |  |
| --- | --- | --- |
| №  бригады | Наборы задач для исследования различных типов задач  1 – слабосвязанные задачи: …Laba3\Grafs\Easy\  2 – среднесвязанные задачи: …Laba3\Grafs\Easy\  3 – сильносвязанные задачи: …Laba3\Grafs\Easy\ | Заданное время выполнения набора задач Tзад. |
| 11 | 1 - F71, F51, F31, F11  2 - F72, F52, F32, F12  3 - F73, F53, F33, F13 | 320  1100  1500 |

Стратегия назначения готовых к выполнению узлов не задана, выберем стратегию назначения по максимальному времени выполнения. Приоритеты при моделировании не используются.

Таблица 3

Время выполнения от числа процессоров и шин для слабосвязанных задач (F71, F51, F31, F11).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1610 | 891 | 619 | 497 | 371 | 428 | 313 | 326 | 304 | 263 |
| 2 |  | 891 | 619 | 497 | 370 | 428 | 317 | 324 | 304 | 305 |
| 3 |  |  | 619 | 497 | 370 | 427 | 311 | 383 | 272 | 300 |
| 4 |  |  |  | 497 | 370 | 427 | 311 | 381 | 272 | 300 |
| 5 |  |  |  |  | 370 | 427 | 311 | 381 | 272 | 300 |
| 6 |  |  |  |  |  | 427 | 311 | 381 | 272 | 300 |
| 7 |  |  |  |  |  |  | 311 | 381 | 272 | 300 |
| 8 |  |  |  |  |  |  |  | 381 | 272 | 300 |
| 9 |  |  |  |  |  |  |  |  | 272 | 300 |
| 10 |  |  |  |  |  |  |  |  |  | 300 |

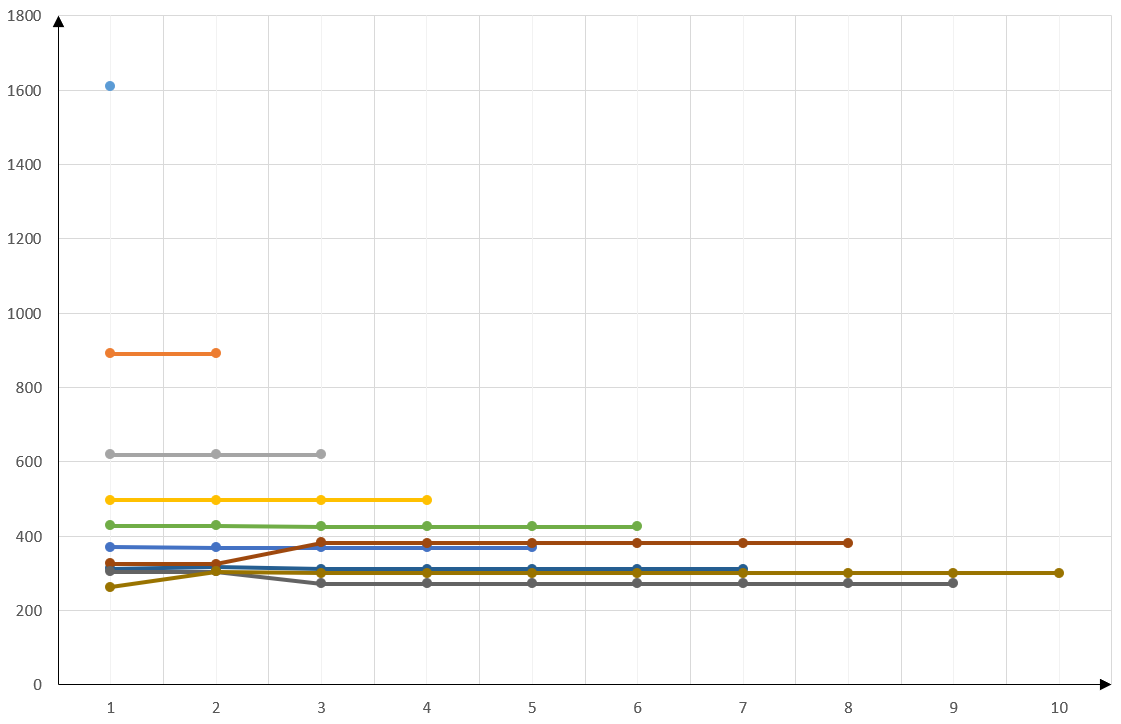


Рис. 5. Графики зависимости времени выполнения слабосвязанного графа от числа шин (при фиксированном числе процессоров)

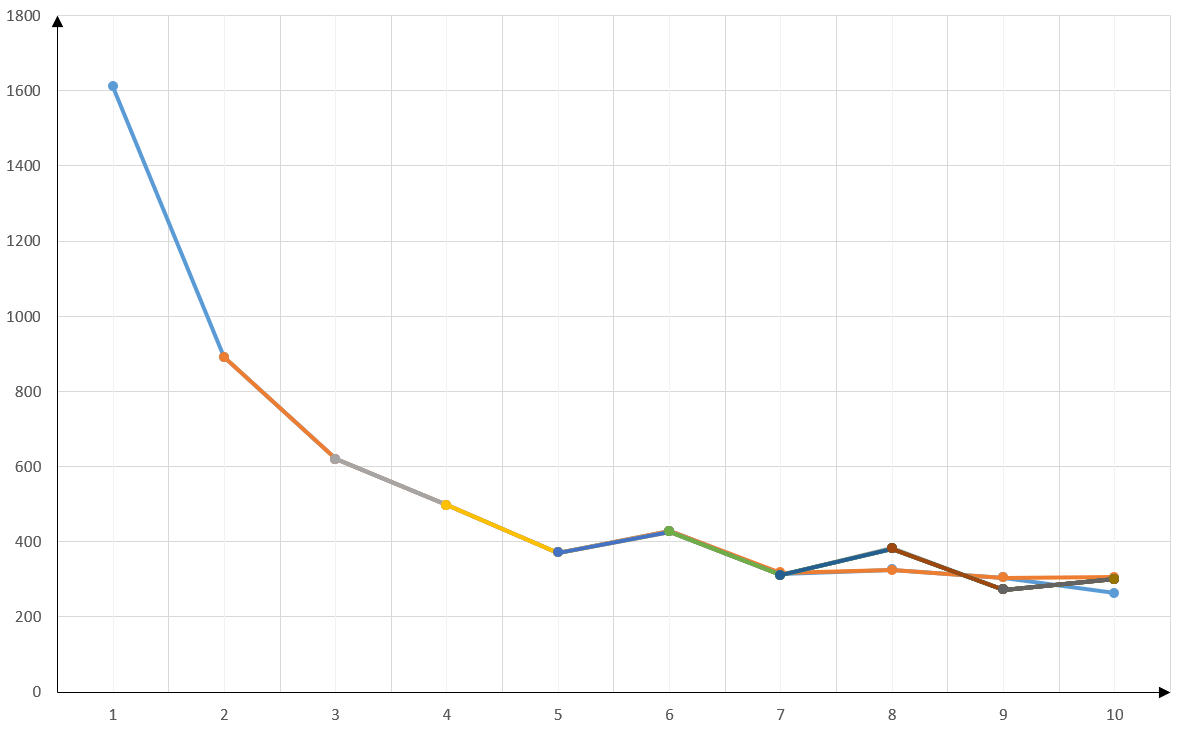


Рис. 6. Графики зависимости времени выполнения слабосвязанного графа от числа процессоров (при фиксированном числе шин)

Таблица 4

Время выполнения от числа процессоров и шин для среднесвязанных задач (F72, F52, F32, F12).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1610 | 1012 | 916 | 964 | 1076 | 1130 | 1368 | 1123 | 1207 | 1225 |
| 2 |  | 1012 | 998 | 1058 | 888 | 927 | 874 | 907 | 880 | 886 |
| 3 |  |  | 998 | 1052 | 923 | 776 | 904 | 778 | 676 | 707 |
| 4 |  |  |  | 1052 | 923 | 776 | 904 | 778 | 716 | 701 |
| 5 |  |  |  |  | 923 | 776 | 904 | 778 | 716 | 701 |
| 6 |  |  |  |  |  | 776 | 904 | 778 | 716 | 701 |
| 7 |  |  |  |  |  |  | 904 | 778 | 716 | 701 |
| 8 |  |  |  |  |  |  |  | 778 | 716 | 701 |
| 9 |  |  |  |  |  |  |  |  | 716 | 701 |
| 10 |  |  |  |  |  |  |  |  |  | 701 |

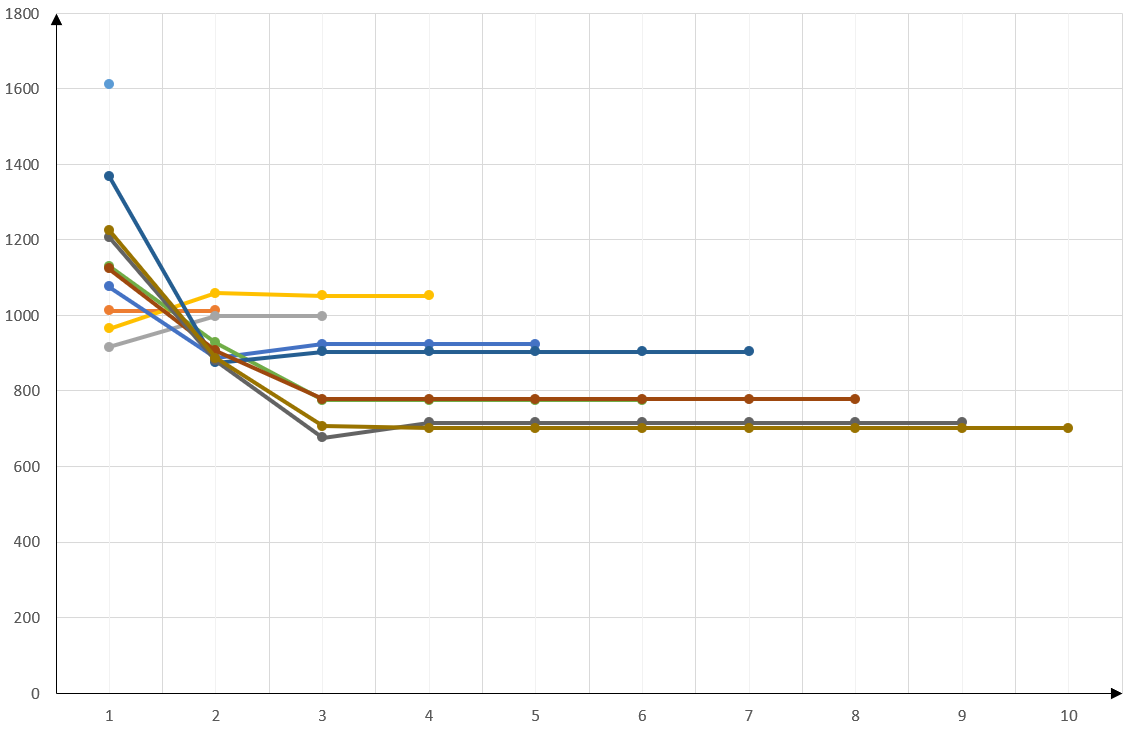


Рис. 7. Графики зависимости времени выполнения среднесвязанного графа от числа шин (при фиксированном числе процессоров)

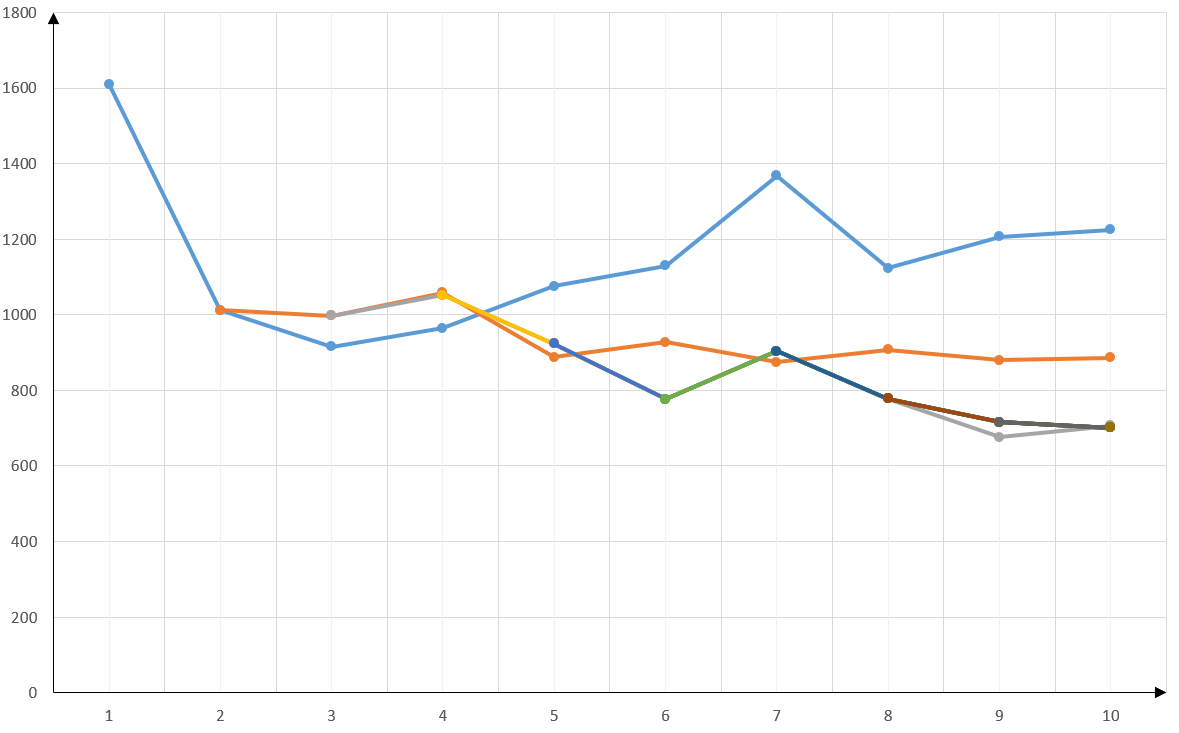


Рис. 8. Графики зависимости времени выполнения среднесвязанного графа от числа процессоров (при фиксированном числе шин)

Таблица 5

Время выполнения от числа процессоров и шин для сильносвязанных задач (F73, F53, F33, F13).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1610 | 1476 | 1436 | 1793 | 1754 | 1874 | 1809 | 1857 | 2178 | 1991 |
| 2 |  | 1436 | 1776 | 1744 | 1664 | 1823 | 1181 | 1174 | 1279 | 1071 |
| 3 |  |  | 1660 | 1744 | 1135 | 1560 | 1074 | 1073 | 1088 | 1200 |
| 4 |  |  |  | 1523 | 1135 | 1560 | 1220 | 1067 | 1306 | 1108 |
| 5 |  |  |  |  | 1135 | 1560 | 1220 | 991 | 1395 | 1108 |
| 6 |  |  |  |  |  | 1560 | 1220 | 991 | 1395 | 1108 |
| 7 |  |  |  |  |  |  | 1220 | 991 | 1560 | 1108 |
| 8 |  |  |  |  |  |  |  | 991 | 1400 | 1108 |
| 9 |  |  |  |  |  |  |  |  | 1400 | 1108 |
| 10 |  |  |  |  |  |  |  |  |  | 1108 |

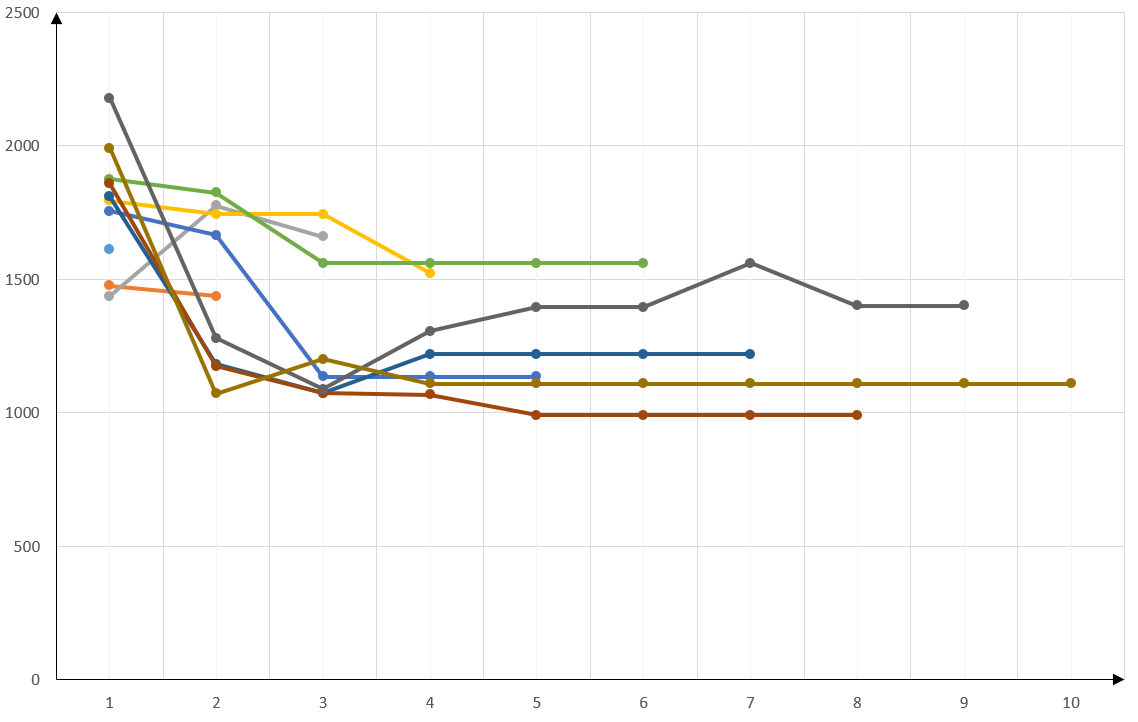


Рис. 9. Графики зависимости времени выполнения сильносвязанного графа от числа шин (при фиксированном числе процессоров)

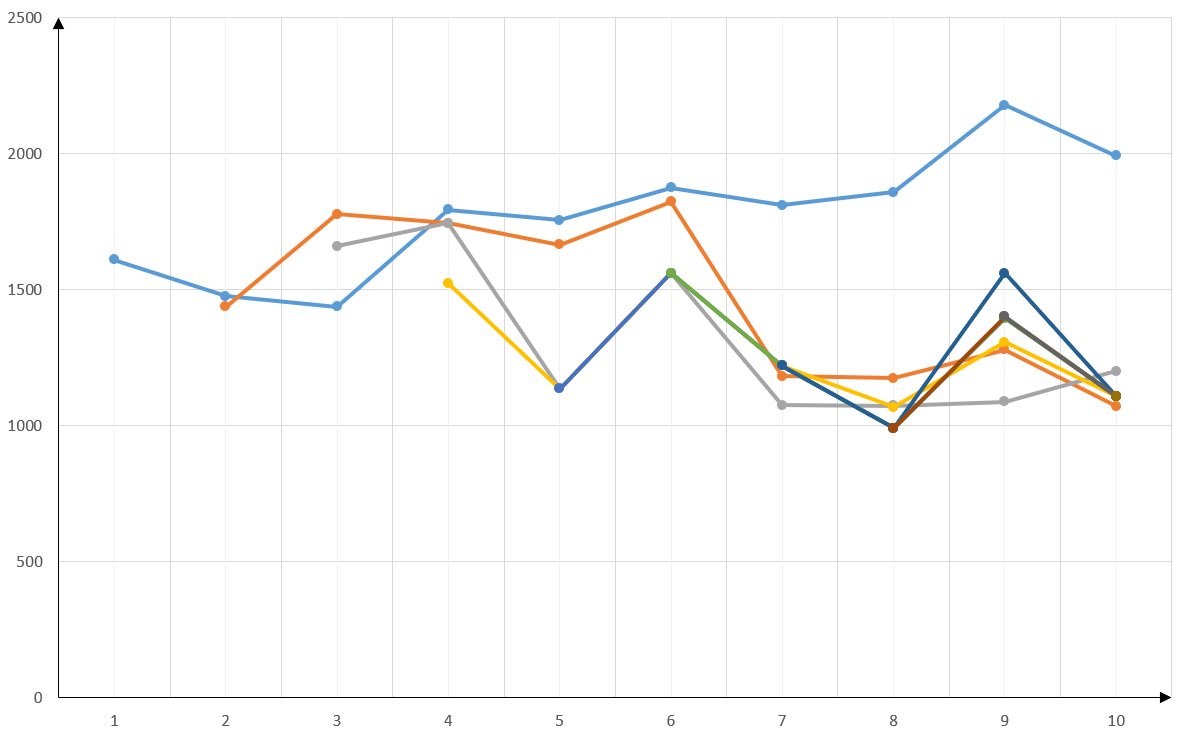


Рис. 10. Графики зависимости времени выполнения сильносвязанного графа от числа процессоров (при фиксированном числе шин)

Вывод: были рассмотрены вариации с различным количеством (от 1 до 10) процессоров и шин. Для набора слабосвязанных задач число шин практически не влияет на время выполнения. Ощутимое сокращение времени выполнения наблюдается лишь при увеличении числа процессоров (вплоть до 5-го процессора). Это объясняется тем, что для набора слабосвязанных задач время передачи по шине значительно меньше времени выполнения узла на процессоре, к тому же передач стало значительно меньше, чем в случае с общей памятью. Для набора среднесвязанных задач с увеличение числа шин не всегда вызывает уменьшение времени выполнения, хотя до добавления 4ой шины общая тенденция заключается в незначительном увеличении скорости выполнения. Увеличение числа процессоров также не всегда приводят к уменьшению времени выполнения (небольшой прирост в скорости наблюдается при добавлении не более 2-ух дополнительных процессоров). Для набора сильносвязанных задач время выполнения уменьшается при росте числа шин вплоть до 3-ех, при этом в некоторых случаях рост числа шин негативно сказывается на время выполнения (например, при добавлении 2-ой шины при 3-ех процессорах). Добавление новых процессоров в этом случае несет крайне непредсказуемый характер.

**3.** На тех же графиках построить аналогичные зависимости для МВС с общей памятью (необходимые данные были получены в лабораторной работе №3). Для сравнения необходимо в пп 2 и 3 рассматривать МВС с одинаковыми параметрами.

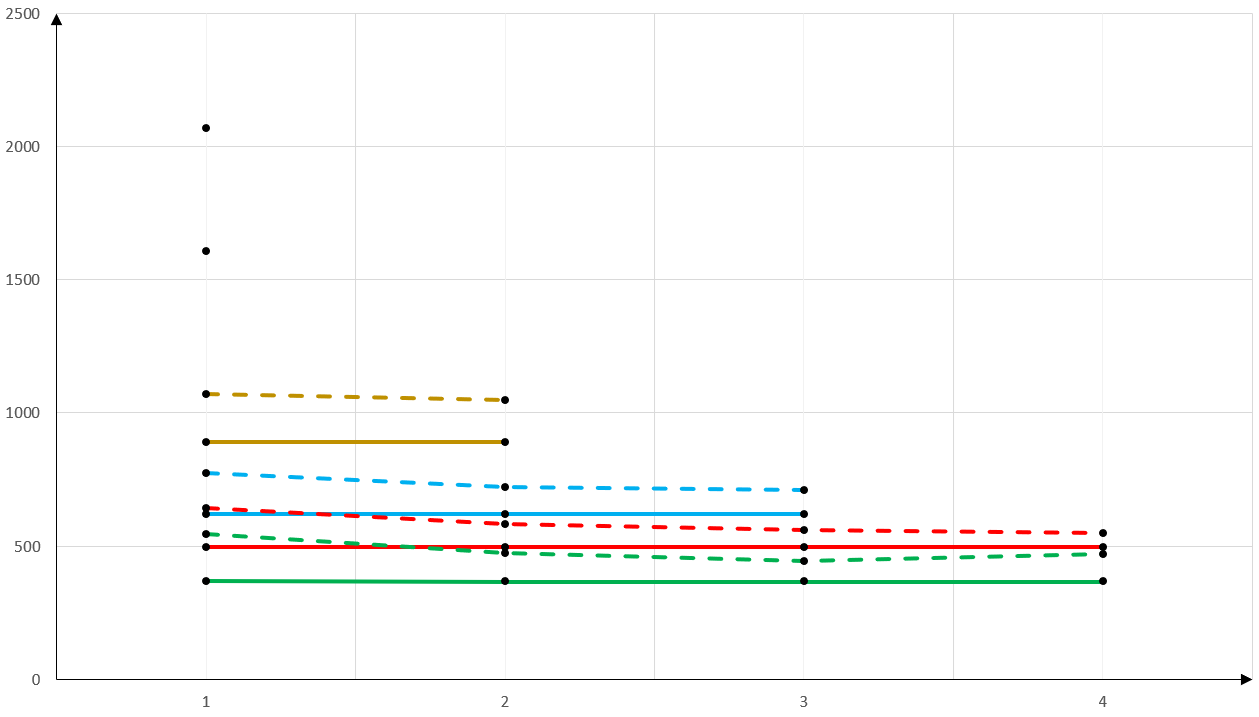


Рис. 11. Сравнение графиков зависимости времени выполнения слабосвязанного графа от числа шин (при фиксированном числе процессоров) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

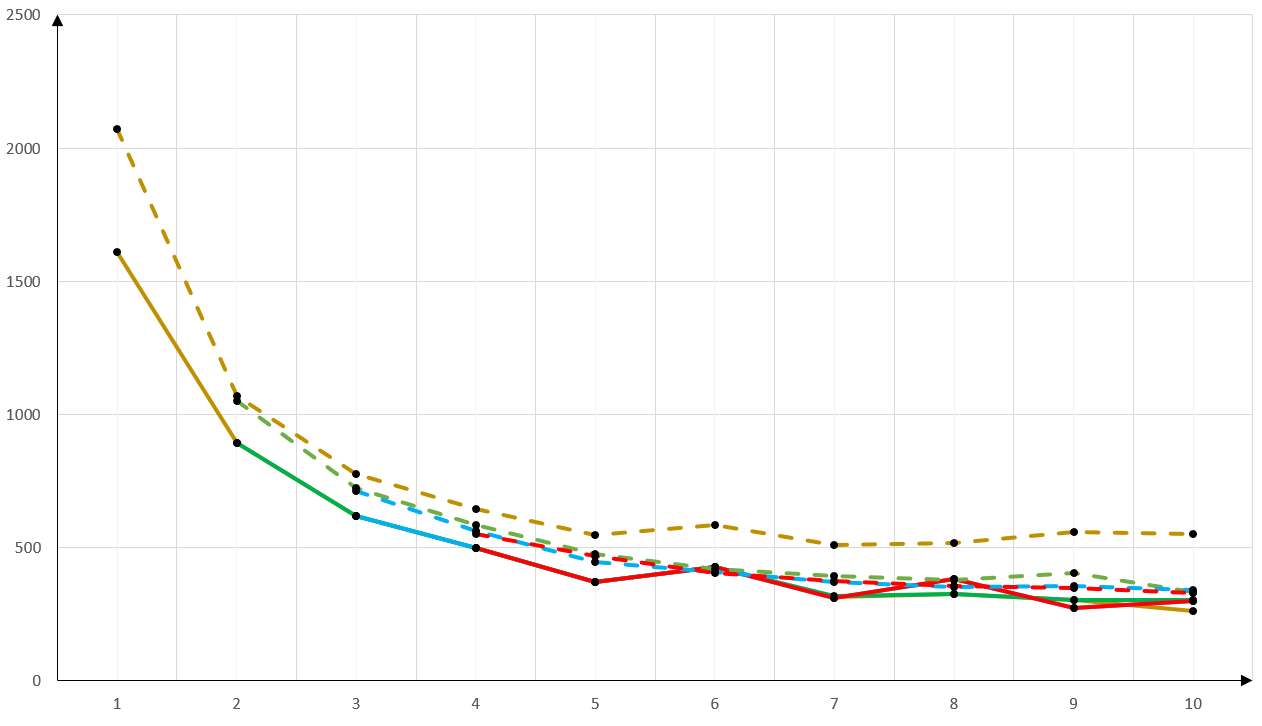


Рис. 12. Сравнение графиков зависимости времени выполнения слабосвязанного графа от числа процессоров (при фиксированном числе шин) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

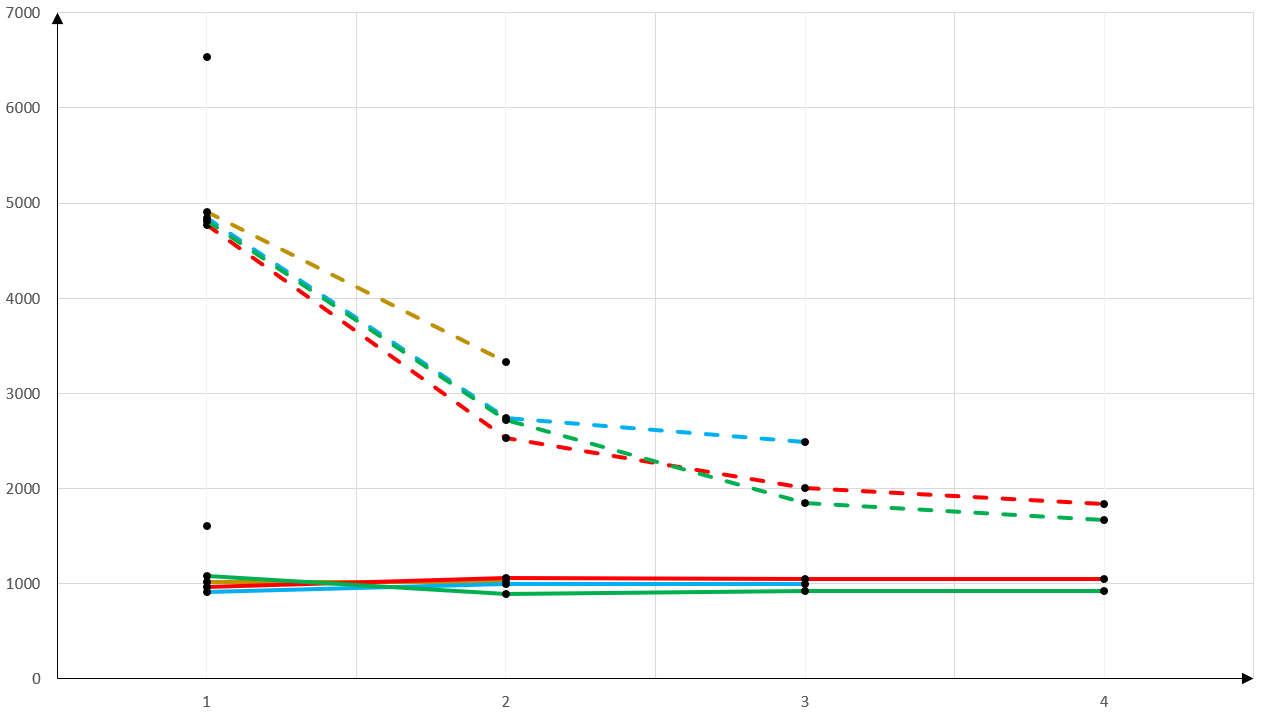


Рис. 13. Сравнение графиков зависимости времени выполнения среднесвязанного графа от числа шин (при фиксированном числе процессоров) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

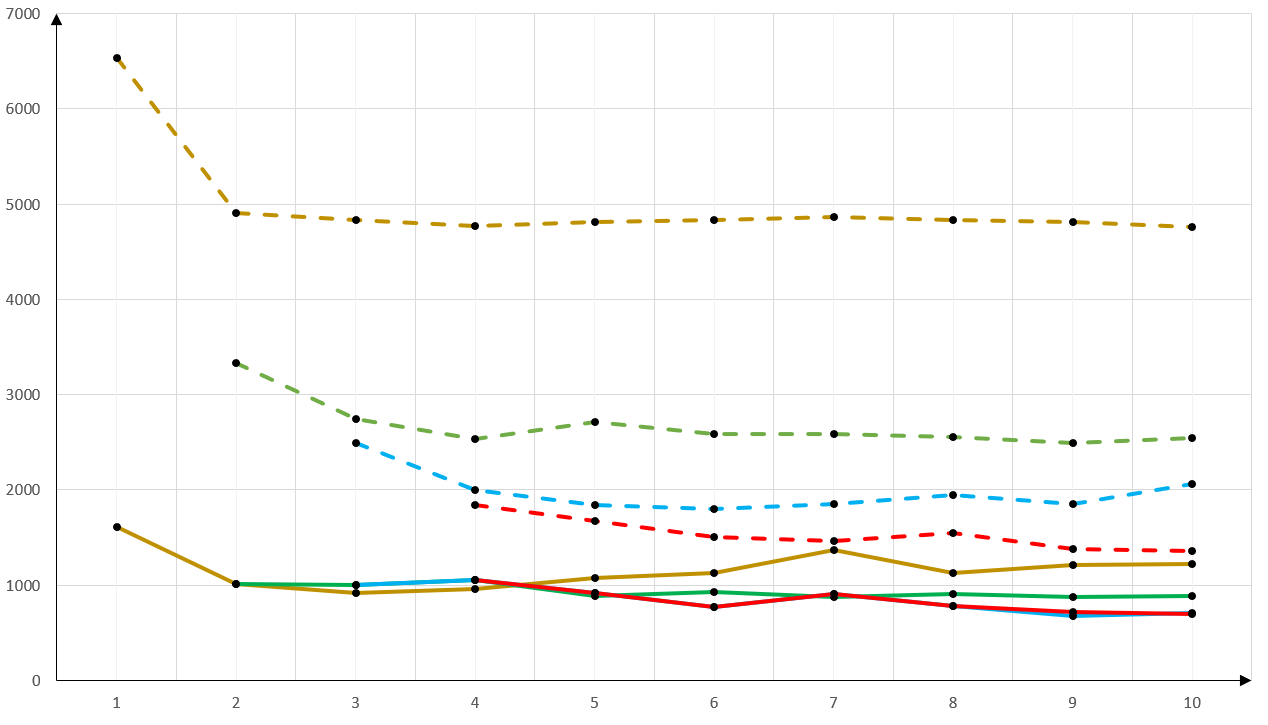


Рис. 14. Сравнение графиков зависимости времени выполнения среднесвязанного графа от числа процессоров (при фиксированном числе шин) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

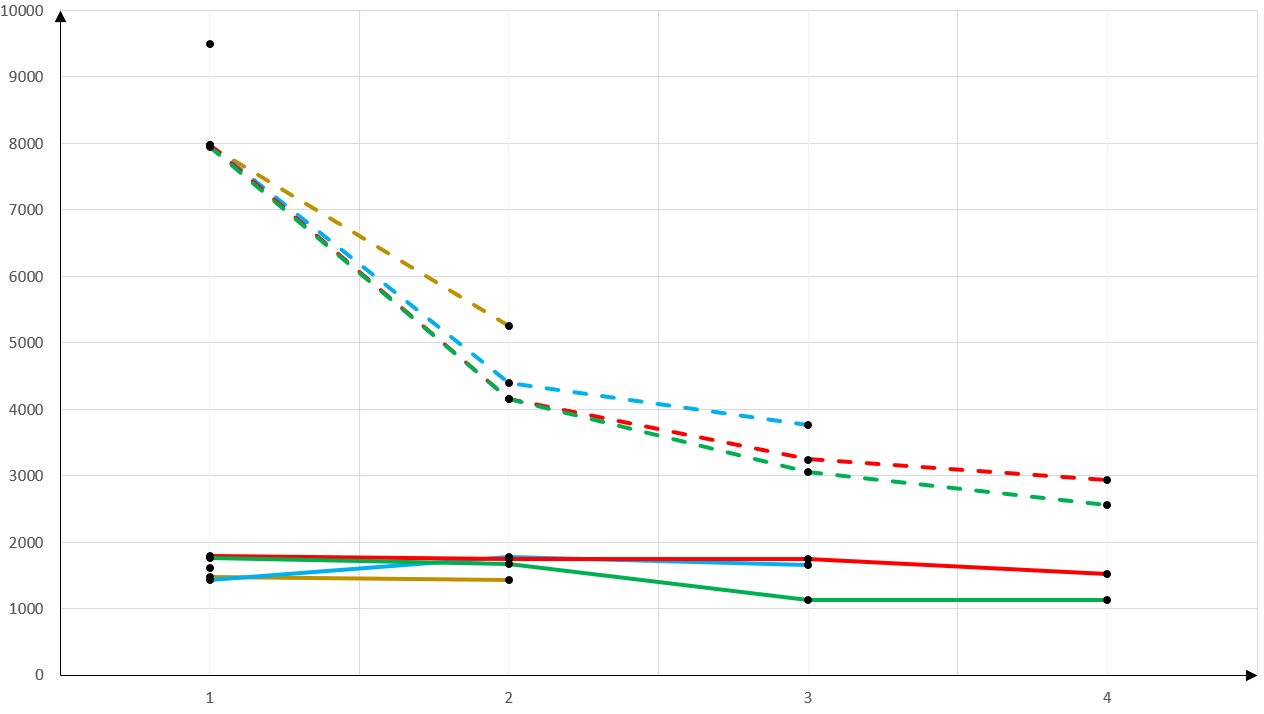


Рис. 15. Сравнение графиков зависимости времени выполнения сильносвязанного графа от числа шин (при фиксированном числе процессоров) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

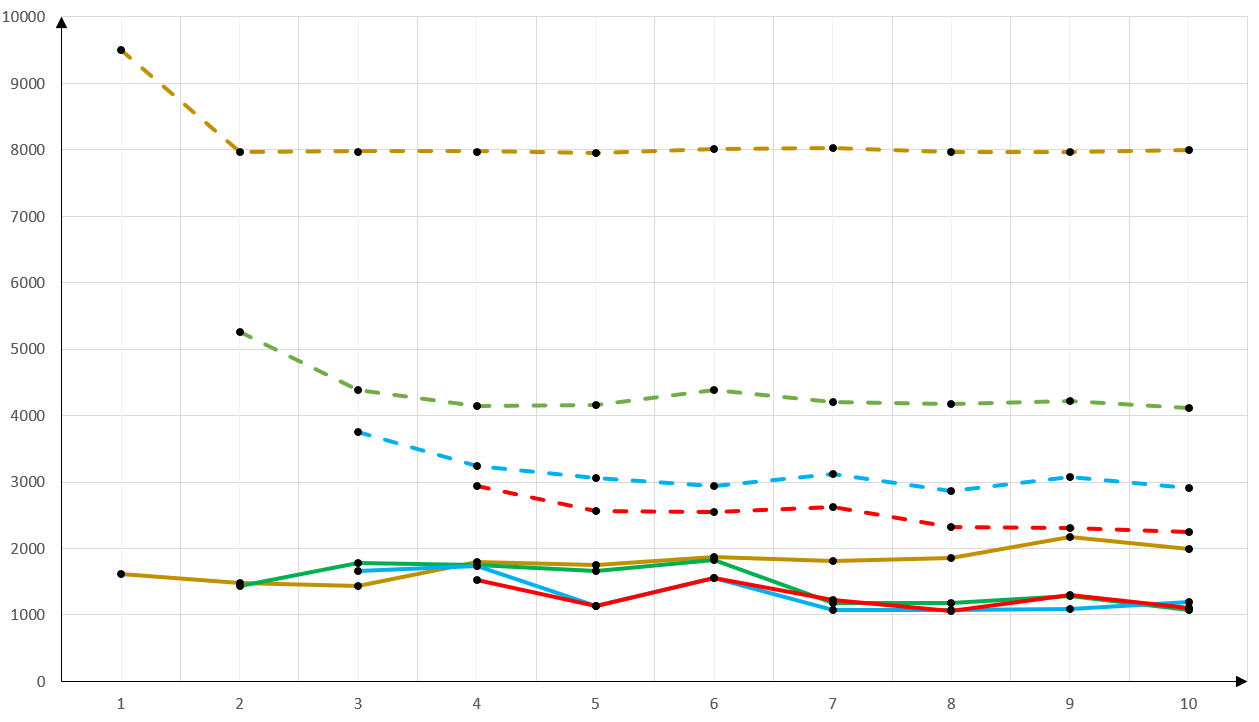


Рис. 16. Сравнение графиков зависимости времени выполнения сильносвязанного графа от числа процессоров (при фиксированном числе шин) для МВС с общей памятью (пунктирные линии) и распределенной памятью (сплошные линии)

Вывод: сравнивая графики для случая слабосвязанных задач, можно увидеть, что время выполнения у МВС с распределённой памятью меньше, чем у МВС с общей памятью. Это объясняется тем, что в случае МВС с распределённой памятью некоторые дуги графа обнуляются (а так как вес этих дуг не столь велик по отношению к времени выполнения узлов, то и прирост в скорости составил в среднем 20%). Для наборов среднесвязанных и сильносвязанных задач видно, что время выполнения на МВС с распределённой памятью меньше времени выполнения на МВС с общей памятью, при этом разница этих времён существенная (до нескольких раз в зависимости от рассматриваемых конфигураций). Это объясняется тем, что времена передач по шинам вносят значимый вклад в общее время выполнения (так как примерно равны или даже превышают время выполнения узлов), то обнуление части из этих времён передач значительно уменьшает время выполнения.

**4.** Определить коэффициенты улучшения времени выполнения задач в МВС с различной организацией; коэффициенты загрузки процессоров в МВС с распределенной памятью и сравнить их с коэффициентами загрузки процессоров в МВС с общей памятью. Проанализировать и объяснить полученные результаты.

Коэффициент улучшения времени выполнения рассчитывается как отношение времени решения задачи (набора задач) на МВС с общей памятью Топ ко времени решения задачи (набора задач) на МВС с распределенной памятью Трп:

Таким образом, найденный коэффициент показывает, насколько быстрее выполняются задачи на МВС с распределенной памятью.

Построить зависимость изменения Кул при изменении числа процессоров.

Таблица 6

Коэффициент улучшения для слабосвязанных задач (F71, F51, F31, F11).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 1,286 | 1,201 | 1,254 | 1,294 | 1,474 | 1,367 | 1,633 | 1,589 | 1,842 | 2,091 |
| 2 |  | 1,177 | 1,168 | 1,175 | 1,286 | 0,984 | 1,246 | 1,167 | 1,332 | 1,089 |
| 3 |  |  | 1,149 | 1,131 | 1,205 | 0,953 | 1,186 | 0,919 | 1,301 | 1,13 |
| 4 |  |  |  | 1,109 | 1,268 | 0,946 | 1,203 | 0,934 | 1,283 | 1,103 |
| 5 |  |  |  |  | 1,254 | 0,951 | 1,186 | 0,916 | 1,309 | 1,153 |
| 6 |  |  |  |  |  | 0,977 | 1,209 | 0,929 | 1,301 | 1,123 |
| 7 |  |  |  |  |  |  | 1,212 | 0,945 | 1,301 | 1,117 |
| 8 |  |  |  |  |  |  |  | 0,919 | 1,32 | 1,133 |
| 9 |  |  |  |  |  |  |  |  | 1,301 | 1,153 |
| 10 |  |  |  |  |  |  |  |  |  | 1,14 |

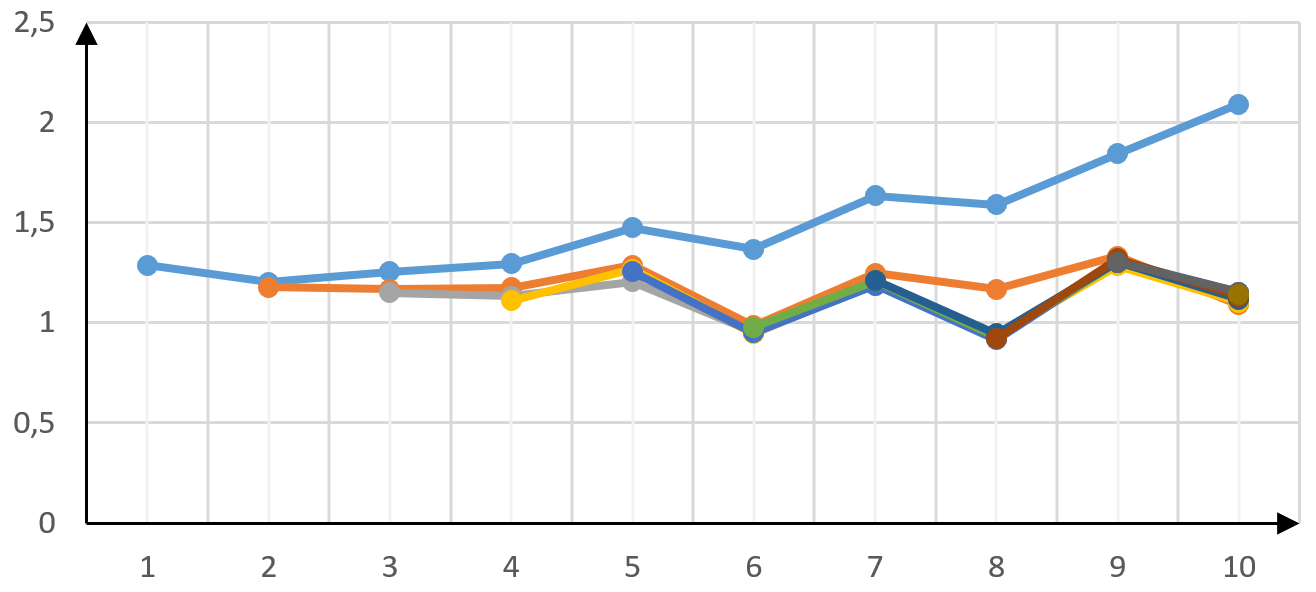


Рис. 17. Графики зависимости коэффициентов улучшения от числа процессоров (при фиксированном числе шин) для набора слабосвязанных задач.

Таблица 7

Коэффициент улучшения для среднесвязанных задач (F72, F52, F32, F12).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 4,058 | 4,846 | 5,283 | 4,952 | 4,474 | 4,273 | 3,556 | 4,307 | 3,988 | 3,889 |
| 2 |  | 3,292 | 2,747 | 2,391 | 3,06 | 2,795 | 2,957 | 2,82 | 2,834 | 2,878 |
| 3 |  |  | 2,493 | 1,905 | 2,001 | 2,32 | 2,05 | 2,496 | 2,741 | 2,911 |
| 4 |  |  |  | 1,75 | 1,811 | 1,942 | 1,614 | 1,988 | 1,92 | 1,932 |
| 5 |  |  |  |  | 1,765 | 1,897 | 1,449 | 1,747 | 1,885 | 2,153 |
| 6 |  |  |  |  |  | 1,665 | 1,414 | 1,477 | 1,662 | 1,743 |
| 7 |  |  |  |  |  |  | 1,343 | 1,55 | 1,419 | 1,591 |
| 8 |  |  |  |  |  |  |  | 1,524 | 1,626 | 1,385 |
| 9 |  |  |  |  |  |  |  |  | 1,626 | 1,415 |
| 10 |  |  |  |  |  |  |  |  |  | 1,359 |

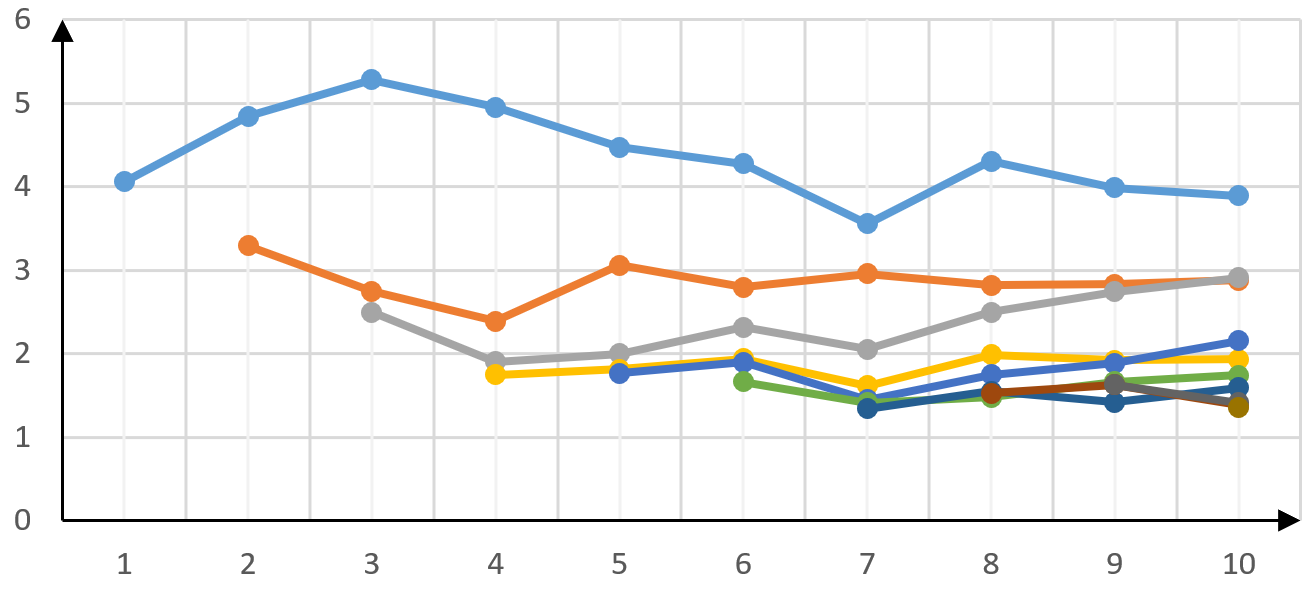


Рис. 18. Графики зависимости коэффициентов улучшения от числа процессоров (при фиксированном числе шин) для набора среднесвязанных задач.

Таблица 8

Коэффициент улучшения для сильносвязанных задач (F73, F53, F33, F13).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BUS | CPU | | | | | | | | | |
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
| 1 | 5,902 | 5,394 | 5,552 | 4,446 | 4,534 | 4,275 | 4,432 | 4,288 | 3,656 | 4,014 |
| 2 |  | 3,66 | 2,471 | 2,378 | 2,5 | 2,406 | 3,566 | 3,552 | 3,296 | 3,838 |
| 3 |  |  | 2,263 | 1,86 | 2,697 | 1,887 | 2,9 | 2,677 | 2,829 | 2,421 |
| 4 |  |  |  | 1,93 | 2,257 | 1,638 | 2,153 | 2,175 | 1,77 | 2,035 |
| 5 |  |  |  |  | 2,044 | 1,415 | 1,72 | 2,022 | 1,484 | 1,877 |
| 6 |  |  |  |  |  | 1,373 | 1,683 | 2 | 1,444 | 1,701 |
| 7 |  |  |  |  |  |  | 1,575 | 1,792 | 1,208 | 1,487 |
| 8 |  |  |  |  |  |  |  | 1,963 | 1,255 | 1,721 |
| 9 |  |  |  |  |  |  |  |  | 1,216 | 1,504 |
| 10 |  |  |  |  |  |  |  |  |  | 1,496 |

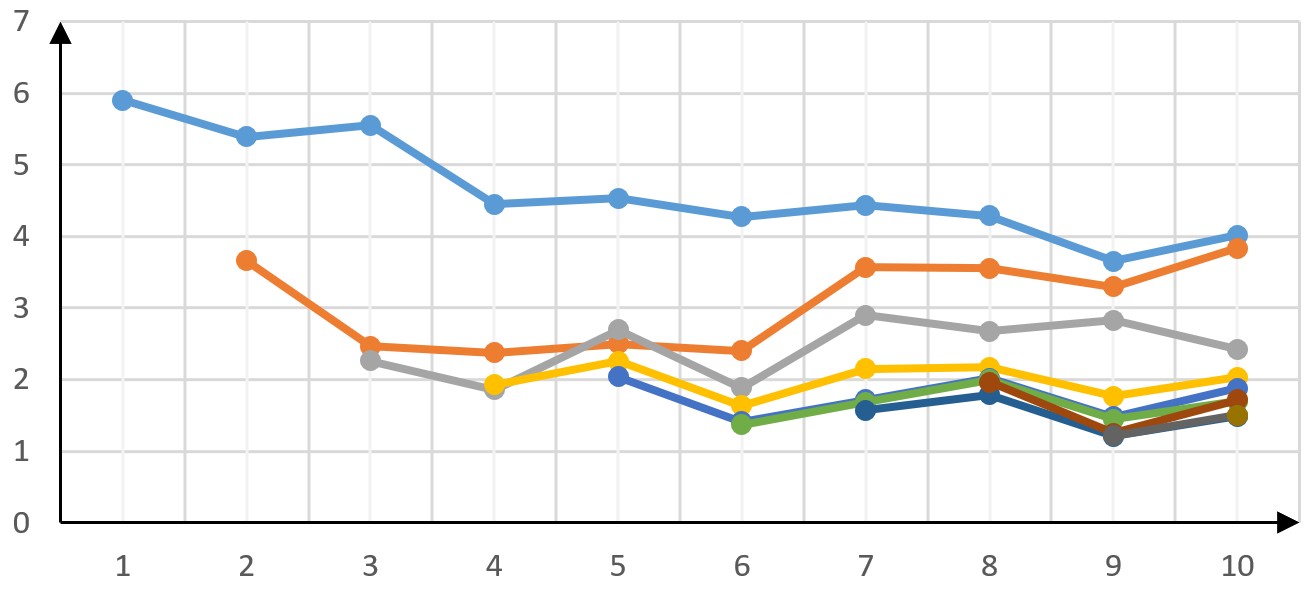


Рис. 19. Графики зависимости коэффициентов улучшения от числа процессоров (при фиксированном числе шин) для набора сильносвязанных задач.

Коэффициенты загрузки процессоров рассмотрим на примере конфигурации из 5 процессоров и 5 шин.

Таблица 9

Коэффициенты загрузки процессоров

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Связность | Память | Коэффициенты загрузки процессоров | | | | | |
| 1 | 2 | 3 | 4 | 5 | среднее |
| Слабая | Общая | 0,733 | 0,647 | 0,711 | 0,733 | 0,647 | 0,6942 |
| Слабая | Распределенная | 0,973 | 0,757 | 0,865 | 1 | 0,757 | 0,8704 |
| Средняя | Общая | 0,227 | 0,221 | 0,196 | 0,178 | 0,166 | 0,1976 |
| Средняя | Распределенная | 0,412 | 0,412 | 0,336 | 0,368 | 0,217 | 0,349 |
| Сильная | Общая | 0,151 | 0,181 | 0,121 | 0,121 | 0,121 | 0,139 |
| Сильная | Распределенная | 0,22 | 0,405 | 0,291 | 0,22 | 0,282 | 0,2836 |

Вывод: для набора слабосвязанных задач коэффициент усиления находится в пределах от 0,916 до 2,091 (среднее значение 1,206) для различных конфигураций. В большинстве случаев, он превышает 1, но есть и исключения, вызываемые тем, что в случае МВС с распределенной памятью есть ограничение: если дуга между узлами обнулена, значит эти узлы обязательно выполняются на одном процессоре. Выполнение этого условия иногда препятствует более рациональному распределению узлов и процессоров. Для среднесвязанных и сильносвязанных задач коэффициент усиления всегда больше 1 и доходит до 5,283 для среднесвязанных задач (среднее значение 2,454) и до 5.902 для сильносвязанных задач (среднее значение 2,575). При этом для любого вида связности видно, что при увеличении числа шин коэффициент усиления уменьшается, а при увеличении числа процессоров изменяется либо в большую, либо в меньшую сторону. Из Таблицы 9 видно, что для набора слабосвязанных задач коэффициенты загрузки максимальные, так как процессоры большую часть времени занимаются выполнением узлов и не ждут завершения передачи данных с предыдущих этапов. При переходе от МВС с общей памятью к МВС с распределённой памятью коэффициенты загрузки во всех 3-х случаях увеличиваются: для набора слабосвязанных задач увеличение составило 25%, для среднесвязанных и сильносвязанных – 77% и 104% соответственно (так как обнуляемые времена передач вносят существенный вклад в общее время выполнения таких задач).