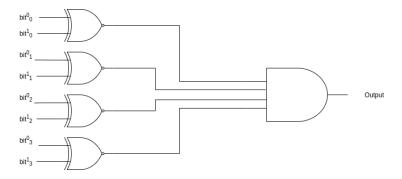
Lab 01 Arquitectura de Computadores Sección 2

Joaquín Ramírez

April 22, 2020

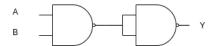
1. Dados dos números de 4-bits, se comparan los pares i-ésimos, i=0,1,2,3 con XOR gates. Finalmente se conectan en un AND gate, el cual solo se activará cuando todos los pares estén activados.



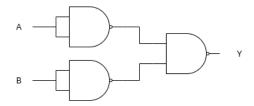
- 2. Se adjunta un archivo .asc con la simulación del ejercicio anterior.
- 3. Los diagramas con logic gates de las funciones booleanas son los siguientes:
 - NOT: se divide un input en dos y pasa por un NAND, lo que significa que simplemente se invertirán los posibles casos 0 y 1.



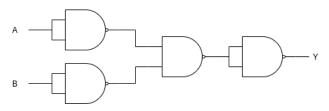
• AND: se niega un NAND con el NOT del ejercicio anterior.



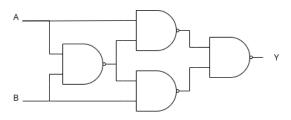
• OR: ya que la tabla de verdad del NAND es la misma que la del OR pero con los inputs invertidos, se niegan los inputs y se aplica un NAND después.



• NOR: al negar el OR, sacando dos inputs de su resultado, se obtiene el NOR.



• XOR: Partiendo de la Suma de Productos podemos llegar a la forma simplificada del diagrama con NANDs. $\underline{Y} = A\overline{B} + \overline{A}B = A\overline{B} + \overline{A}A + \overline{A}B + \overline{B}B = A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B}) = \overline{A(\overline{A}\overline{B})} + \overline{B(\overline{A}\overline{B})} = \overline{A(\overline{A}\overline{B})} = \overline{A(\overline{A}\overline{B})}$



• XNOR: se aplica un NAND a la respuesta del XOR.

