

Lab 01

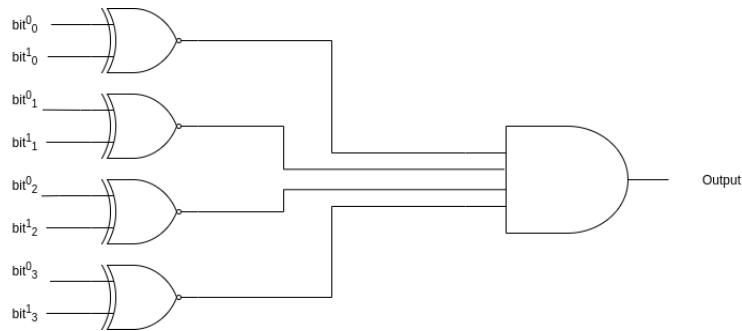
Arquitectura de Computadores

Sección 2

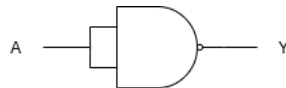
Joaquín Ramírez

April 21, 2020

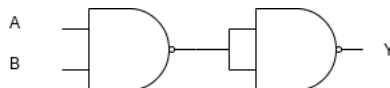
1. Dados dos números de 4-bits, se comparan los pares i -ésimos, $i = 0, 1, 2, 3$ con XOR gates. Finalmente se conectan en un AND gate, el cual solo se activará cuando todos los pares estén activados.



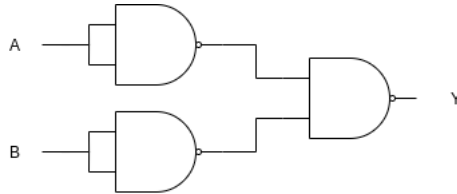
2. Se adjunta un archivo .asc con la simulación del ejercicio anterior.
3. Los diagramas con logic gates de las funciones booleanas son los siguientes:
 - NOT: se divide un input en dos y pasa por un NAND, lo que significa que simplemente se invertirán los posibles casos 0 y 1.



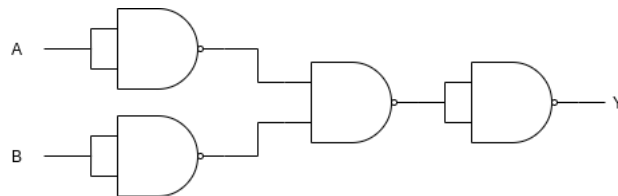
- AND: se niega un NAND con el NOT del ejercicio anterior.



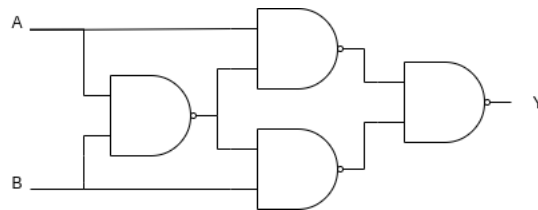
- OR: ya que la tabla de verdad del NAND es la misma que la del OR pero con los inputs invertidos, se niegan los inputs y se aplica un NAND después.



- NOR: al negar el OR, sacando dos inputs de su resultado, se obtiene el NOR.



- XOR: el diagrama con menos compuertas es el siguiente.



Sin embargo, una opción más sencilla de obtener es con el Teorema de De Morgan y la Suma de Productos. De esta manera:

$$Y = \overline{A}B + \overline{B}A = \overline{(\overline{\overline{A} + \overline{B}})} = \overline{(\overline{B} + A)(\overline{A} + B)}$$

