

## UNITA' PERIFERICA DI TIPO PARALLELO - PIA MC 6821

### Indirizzamento interno dei registri:

AD1	AD0	CRA2	CRB2	Registro Selezionato
0	0	1	X	PRA
0	0	0	X	DRA
0	1	X	X	CRA
1	0	X	1	PRB
1	0	X	0	DRB
1	1	X	X	CRB

X : indifferente.

### Registro di controllo CRA:

Bit 7	Bit 6	Bit 5,4,3	Bit 2	Bit 1,0
IRQA1	IRQA2	CA2	DDRA	CA1

### Significato dei singoli bit:

- **CRA0** e **CRA1** determinano il modo in cui trattare un'interruzione:
  - CRA0 determina se la richiesta di interruzione deve o meno essere inoltrata al Processore attraverso la linea IRQA (è come una maschera)
  - CRA1 determina quale fronte dell'interruzione è riconoscibile all'ingresso di CA1
- **CRA2** serve per selezionare il registro DATI o il registro DIREZIONE
- **CRA3, CRA4, CRA5** individuano uno dei possibili modi di funzionamento della linea CA2:
  - CRA5 stabilisce se la linea CA2 funziona da INGRESSO di interruzione o da USCITA.
  - Se **CRA5= 0** CA2 è programmata per funzionare come linea di ingresso, funziona come CA1 per cui:
    - CRA4 determina il tipo di fronte di interruzione riconoscibile sull'ingresso CA2
    - CRA3 viene utilizzato per mascherare le richieste di interrupt provenienti da CA2
  - Se **CRA5= 1** CA2 è programmata per funzionare da USCITA, in questo caso i bit CRA4 e CRA3 sono utilizzati per stabilire uno dei seguenti modi di funzionamento:
    - (100) modo Handshake
    - (101) modo Impulsivo
    - (11x) modo dipendente da CRA3

## Controllo delle linee di ingresso:

CRA1 (CRB1)	CRA0 (CRB0)	Flag Interruzione CRA7 (CRB7)	Richiesta Interr IRQA (IRQB)
0	0	Alto su high/low di CA1 (CB1)	Disabilitata
0	1	Alto su high/low di CA1 (CB1)	Inviata quando CRA7 (CRB7) diventa alto
1	0	Alto su low/high di CA1 (CB1)	Disabilitata
1	1	Alto su low/high di CA1 (CB1)	Inviata quando CRA7 (CRB7) diventa alto

Il flag di interruzione CRA7 (CRB7) torna al valore basso in seguito ad un' operazione di lettura su PRA (PRB).

CRA5 (CRB5)	CRA4 (CRB4)	CRA3 (CRB3)	Flag Interruzione CRA6 (CRB6)	Richiesta Interr IRQA (IRQB)
0	0	0	Alto su high/low di CA2 (CB2)	Disabilitata
0	0	1	Alto su high/low di CA2 (CB2)	Inviata quando CRA6 (CRB6) diventa alto
0	1	0	Alto su low/high di CA2 (CB2)	Disabilitata
0	1	1	Alto su low/high di CA2 (CB2)	Inviata quando CRA6 (CRB6) diventa alto

Il flag di interruzione CRA6 (CRB6) torna al valore basso in seguito ad un' operazione di lettura su PRA (PRB).

## Controllo delle linee di uscita: CA2

Tabella 6 : Controllo della linea di uscita CA2

CRA5 CRA4 CRA3			CA2	
			BASSO	ALTO
1	0	0	Basso in seguito ad un' operazione di lettura su PRA	Alto quando CRA7 va ad 1 per una variazione h/l o l/h di CA1
1	0	1	Basso in seguito ad un' operazione di lettura su PRA	Alto al primo colpo di clock successivo alla lettura su PRA
1	1	0	Basso quando CRA3 diviene basso in seguito ad un' operazione di scrittura su CRA	Sempre basso finché CRA3 è basso. Diviene alto se CRA3 va ad 1 per un' op. di scritt. su CRA
1	1	1	Sempre alto finché CRA3 è alto. Diviene basso se CRA3 va a 0 per un' op. di scrittura su CRA	Alto quando CRA3 diviene alto in seguito ad un' operazione di scrittura su CRA

## Controllo delle linee di uscita: CB2

Tabella 5 : Controllo della linea di uscita CB2

CRB5 CRB4 CRB3			CB2	
			BASSO	ALTO
1	0	0	Basso in seguito ad un' operazione di scrittura su PRB	Alto quando CRB7 va ad 1 per una variazione h/l o l/h di CB1
1	0	1	Basso in seguito ad un' operazione di scrittura su PRB	Alto al primo colpo di clock successivo la scrittura su PRB
1	1	0	Basso quando CRB3 diviene basso in seguito ad un' operazione di scrittura su CRB	Sempre basso finché CRB3 è basso. Diviene alto se CRB3 va ad 1 per un' op. di scritt. su CRB
1	1	1	Sempre alto finché CRB3 è alto. Diviene basso se CRB3 va a 0 per un' op. di scrittura su CRB	Alto quando CRB3 diviene alto in seguito ad un' operazione di scrittura su CRB

# UNITA' PERIFERICA DI TIPO SERIALE

## MODE Register

MODE | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | |  
\*  
\* | | | | | | | |\_\_Trasmissione Asincrona  
\* | | | | | | | |\_\_Non utilizzato  
\* | | | | | | | |\_\_8 bit per dato  
\* | | | | | | | |\_\_bit di parità  
\* | | | | | | | |\_\_tipo di parità dispari  
\* | | | | | | | |\_\_2 bit di stop  
\* | | | | | | | |\_\_#bit di sync in trasmissione asincrona

## CONTROL Register

CNTRL | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | |  
\*  
\* | | | | | | | |\_\_Abilita trasmettitore (TxEN)  
\* | | | | | | | |\_\_Attiva DTR  
\* | | | | | | | |\_\_Attiva ricevitore (RxEN)  
\* | | | | | | | |\_\_Non utilizzato (forza TxD a 0)  
\* | | | | | | | |\_\_Azzera bits di errore in STATUS  
\* | | | | | | | |\_\_Attiva RTS  
\* | | | | | | | |\_\_Resetta la periferica  
\* | | | | | | | |\_\_Ricerca sincronizzazione

## STATUS Register

STATUS | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | |  
\* | | | | | | | |\_\_b0 (TxRDY) diviene alto quando DATA OUT  
viene copiato in TSHIFT REG., torna basso  
quando il processore copia un nuovo carattere in DATA OUT  
\* | | | | | | | |\_\_b1 (RxRDY) diviene alto quando RSHIFT REG. viene copiato in  
\* | | | | | | | |\_\_DATA IN, torna basso in seguito a lettura da DATAIN  
\* | | | | | | | |\_\_Underrun  
\* | | | | | | | |\_\_Errore di parità  
\* | | | | | | | |\_\_Errore di overrun  
\* | | | | | | | |\_\_Errore di framing  
\* | | | | | | | |\_\_Rilevati bit di sincronismo  
\* | | | | | | | |\_\_DSR attivo

## DMA Controllers Intel 8237

### Mode Register

bit	significato
0	Se posto a 0 selezione il canale 0 se posto a 1 il canale 1
1-2	Bit non utilizzati
3	indica la <b>direzione di trasferimento</b> : 0 per trasferimenti da memoria ad interfaccia, 1 da interfaccia a memoria
4	il valore 1 abilita l'auto inizializzazione, cioè al termine del conteggio i registri indirizzo e conteggio corrente sono caricati con i valori dei rispettivi registri di base
5	il valore 1 abilita il decremento di una unità del valore contenuto in CADDR di quel canale dopo ogni trasferimento di un byte; deve essere posto a 0, se vogliamo l'incremento
6	Bit non utilizzato
7	determina il modo del trasferimento: 0 per il modo <b>Single</b> ed 1 per il modo <b>Block</b> ; nel primo caso il bus viene rilasciato al processore alla fine di ogni trasferimento, viceversa, nel modo <b>block</b> il bus viene rilasciato dopo il trasferimento dell'intero blocco

### Control – Status Register

bit	azione svolta se il bit è posto ad 1
0	<b>TC0</b> : termine conteggio per il canale 0
1	<b>TC1</b> : termine conteggio per il canale 1
2	<b>DREQ0</b> : richiesta inoltrata al canale 0
3	<b>DREQ1</b> : richiesta inoltrata al canale 1
4	non utilizzato
5	abilita trasferimento da memoria a memoria
6	in un trasferimento memoria-memoria, impone che l'indirizzo sorgente deve rimanere costante per trasferire un byte in più locazioni di memoria (inizializzazione di un blocco di memoria a valore costante)
7	abilita il DMA controller

### Indirizzamento registri interni

- CADDR0 e CADDR1 (indirizzo corrente del trasferimento): entrambi i registri sono accessibili sia in lettura che in scrittura ed il loro indirizzo relativo è 0 per CADDR0 e 2 per CADDR1.
- BADDR0 e BADDR1 (indirizzo di base) quando viene scritto un valore in un registro indirizzo corrente, questo viene copiato anche nel relativo registro di base.
- CCOUNT0 e CCOUNT1 (registri di conteggio correnti): sono accessibili in lettura e scrittura ed il loro indirizzo relativo è 1 per CCOUNT0 e 3 per CCOUNT1. Nel caso di trasferimento da memoria a memoria il conteggio viene effettuato da CCOUNT1.
- BCOUNT0 e BCOUNT1 (valore di conteggio di base): Quando viene scritto un valore in un registro di conteggio corrente questo viene copiato anche nel relativo registro di base.
- MODE0 e MODE1: sono di sola scrittura ed hanno entrambi indirizzo relativo pari a \$B;
- CNTRL: su questo registro possono essere fatti accessi, all'indirizzo relativo \$8, sia in lettura che in scrittura
- RF0-RF1: Questi flag sono accessibili solo in scrittura e l'indirizzo relativo per entrambi è \$9. La selezione del canale avviene sul bit meno significativo del dato: 0 per il canale 0 ed 1 per il canale 1. Il valore che deve assumere il flag deve essere posto sul bit numero 3 (quarto bit) del dato
- MF0 e MF1, accessibili in sola scrittura, sono accessibili all'indirizzo relativo \$A. Il canale è selezionato in base al valore del bit 0 (0 per il canale 0 ed 1 per il canale 1), il valore del flag va posto sul bit 2 del dato.

# Priority Interrupt Controller (PIC) - Intel 8259A

## Tabella di indirizzamento

Indirizzo	Tipo di accesso	RR	RS	Registro
Pari	W R	0/1 0	0/1 0/1	CNTRL
Pari	R	1	0	IRR
Pari	R	1	1	ISR
Dispari	W	0/1	0/1	TR*
Dispari	W/R	0/1	0/1	IMR

\* accessibile solo quando il dispositivo viene resettato

## Control Register

bit	significato
0/1/2	determinano il bit n da cancellare in <b>ISR</b> ,
3	il valore 1 in questo bit detto <b>EOI</b> (End Of Interrupt) fa cancellare il bit n-esimo, indicato dai 3 bit meno significativi di <b>CNTRL</b> , del registro <b>ISR</b> ,
4	referito come <b>AEOI</b> (Automatic End Of Interrupt) se pari ad 1 fa cancellare automaticamente il bit in <b>ISR</b> dopo la trasmissione dell'interruzione,
5	non utilizzato,
6	referito come <b>RIS</b> seleziona negli accessi in lettura e se <b>RR</b> =1, il registro <b>ISR</b> se esso è pari ad 1 altrimenti il registro <b>IRR</b> ,
7	citato come <b>RR</b> , permette se posto ad 1 la lettura dei registri <b>ISR</b> o <b>IRR</b> .

## Terminal

- Indirizzo base: registro dato
- Indirizzo 1: registro CNTRL
  - 1 byte i cui bit, a partire dal meno significativo, svolgono, se posti al valore 1, le seguenti funzioni:
    - Bit di Controllo
      - bit0 abilita interruzione su "Buffer full";
      - bit1 abilita interruzione sull'"ENTER";
      - bit2 cancella video;
      - bit3 pulisci buffer di tastiera;
      - bit4 abilita tastiera;
      - bit5 abilita eco;
    - Bit di Stato
      - bit6 stato di "Buffer full";
      - bit7 stato di ENTER inviato.

## Dispositivo generatore di interruzioni 1to4IntGen

