

Trabajo final de **Procesamiento Digital de Señales**

FIR con Pipeline VHDL & CocoTB



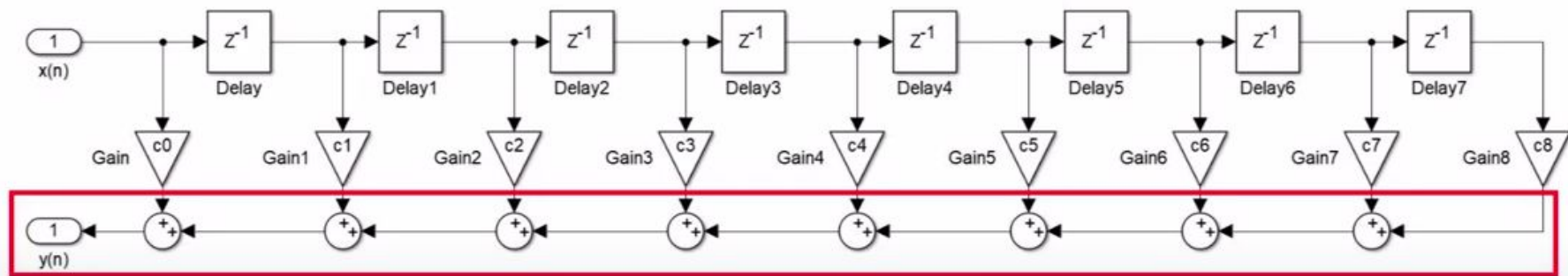
Maestría en Sistemas Embebidos

Alumnos

Esp. Ing. Lucas Orsi & Esp. Ing José
David Alvarado Moreno

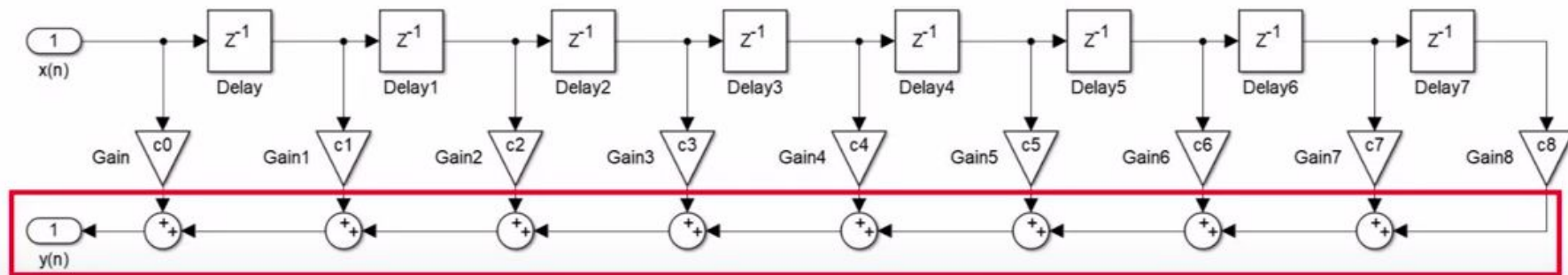
¿Implementar un FIR? ¿Por dónde empiezo?

¿Forma directa? ...



8th order Direct Form FIR

¿Implementar un FIR? ¿Por dónde empiezo?



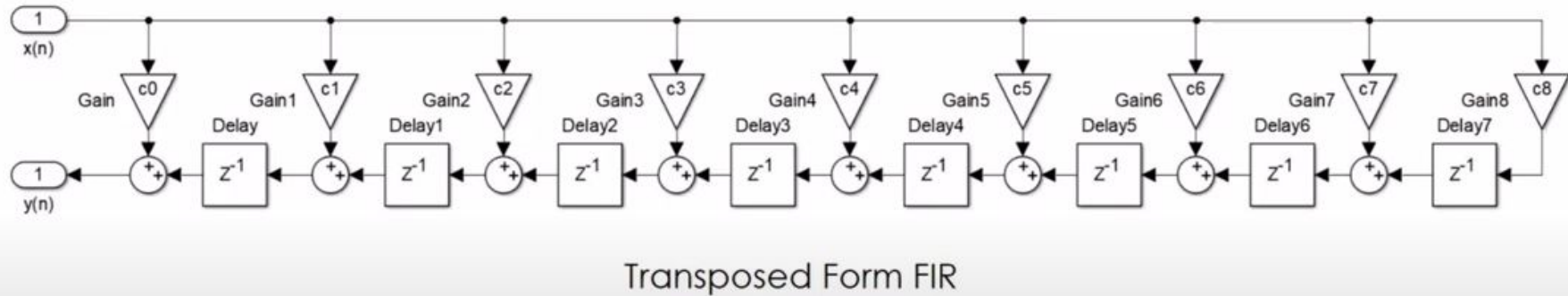
8th order Direct Form FIR

Mala idea:

- Retardo entre entrada y salida ($N * t_{\text{sum}} + t_{\text{mul}}$)

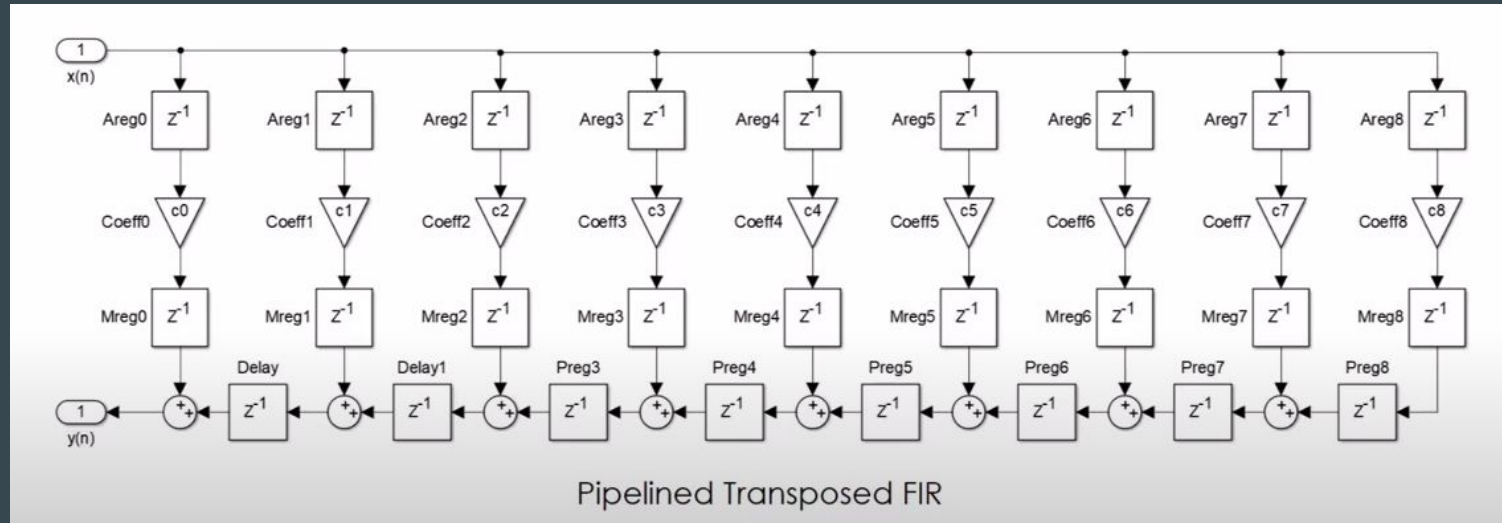
¿Qué otra alternativa tenemos?

Forma traspuesta con Pipeline



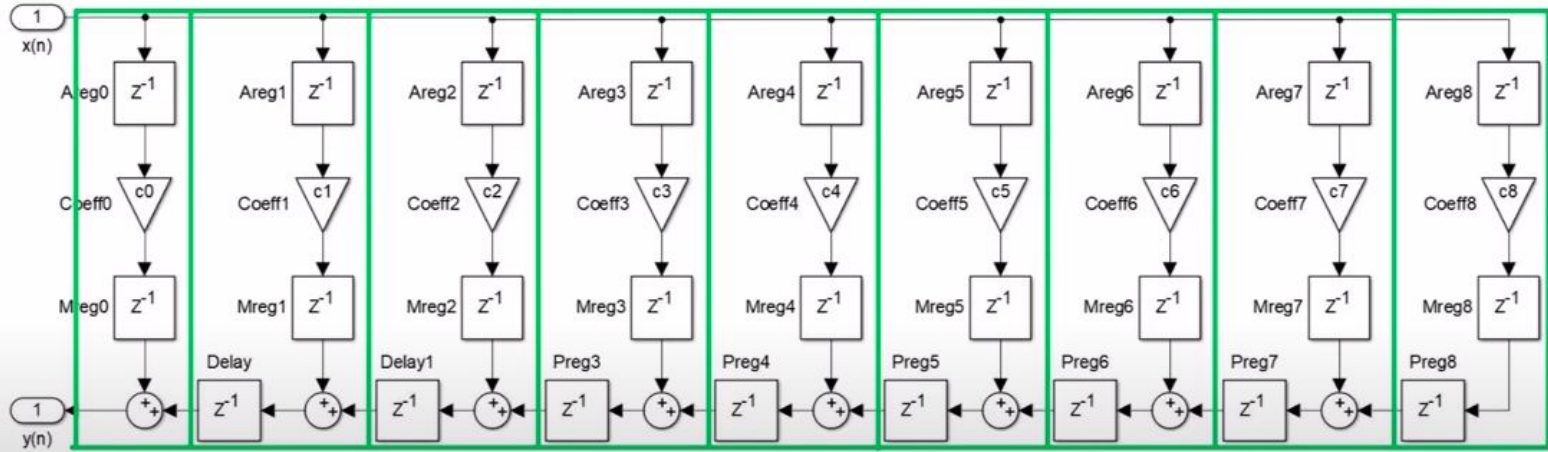
- ✓ Retardo entre entrada y salida constante para todo N ($T_{\text{sum}} + T_{\text{mul}}$)
- ✗ Mayor Fan-out

¿Podemos mejorarlo más?



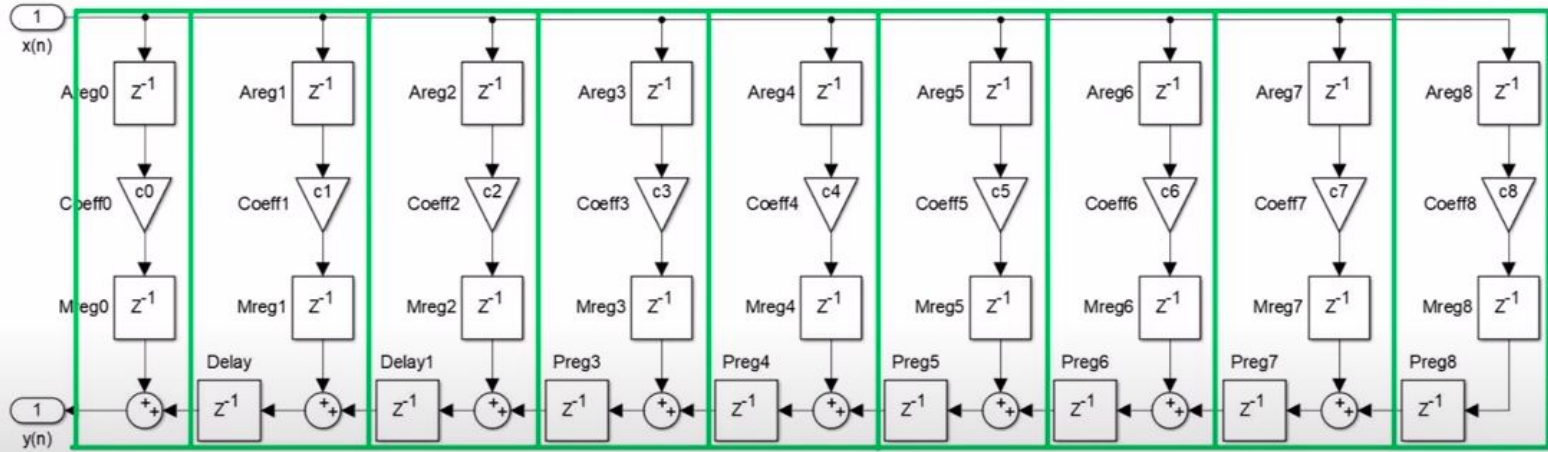
- Retardos antes y después del multiplicador
- ✓ Reducción de camino crítico
- ✗ Retardo adicional de 2 taps en la salida

¿Cómo lo implementa la FPGA?



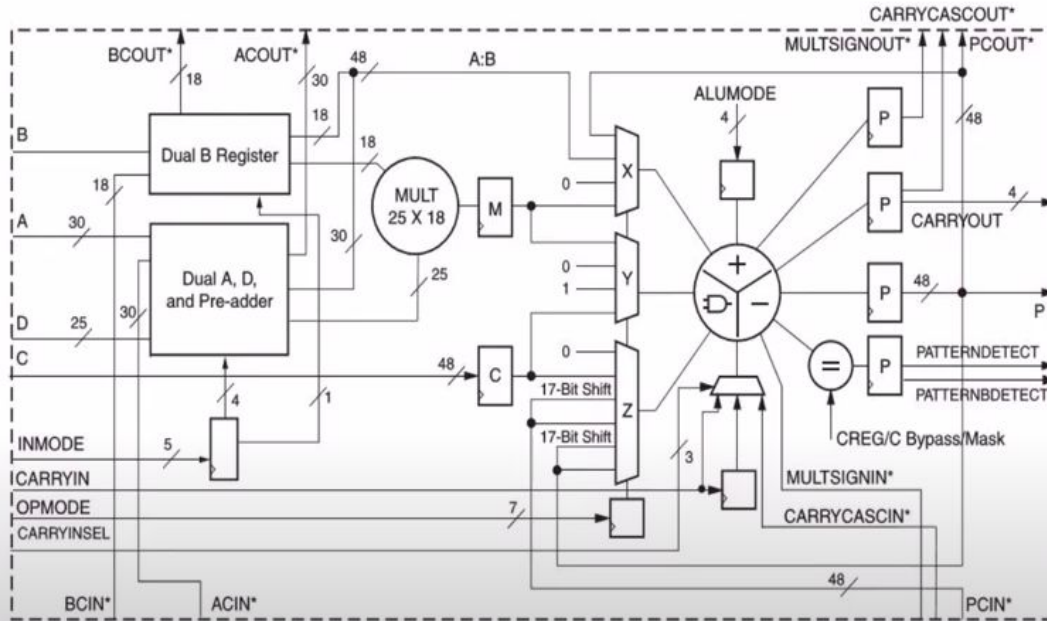
Pipelined Transposed FIR

¿Cómo lo implementa la FPGA?



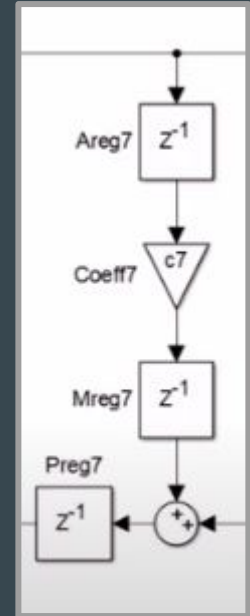
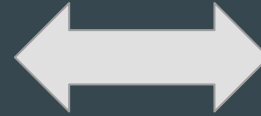
Pipelined Transposed FIR

DSP Slice!

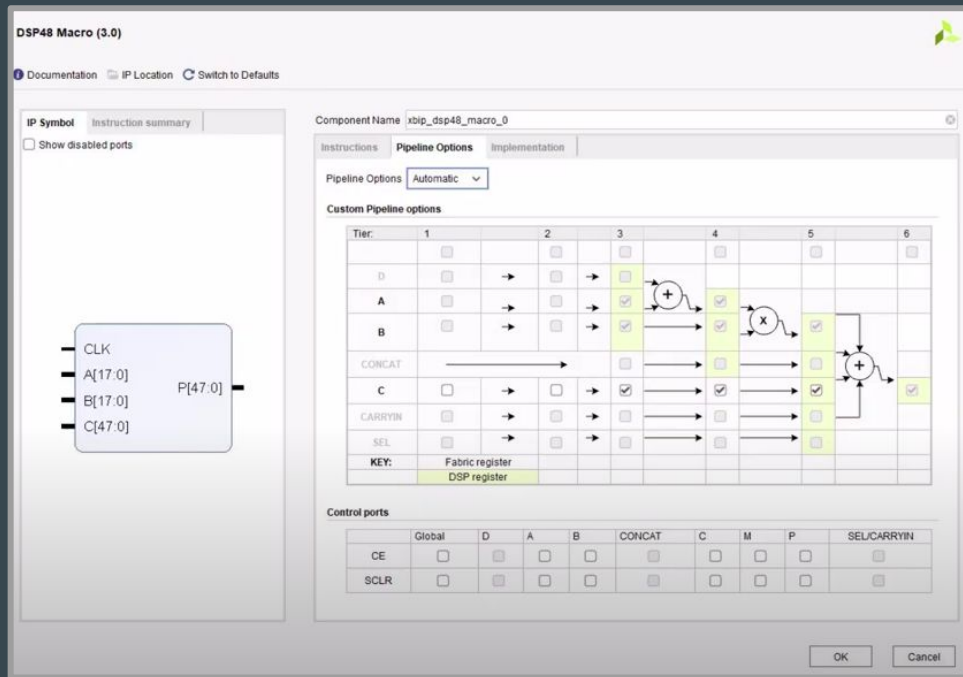


*These signals are dedicated routing paths internal to the DSP48E1 column. They are not accessible via fabric routing resources.

UG369_ct_01_052109



¿Cómo logramos que Vivado lo infiera?



**INSTANCIAR
UN IP CORE**

**USAR
UNA MACRO**

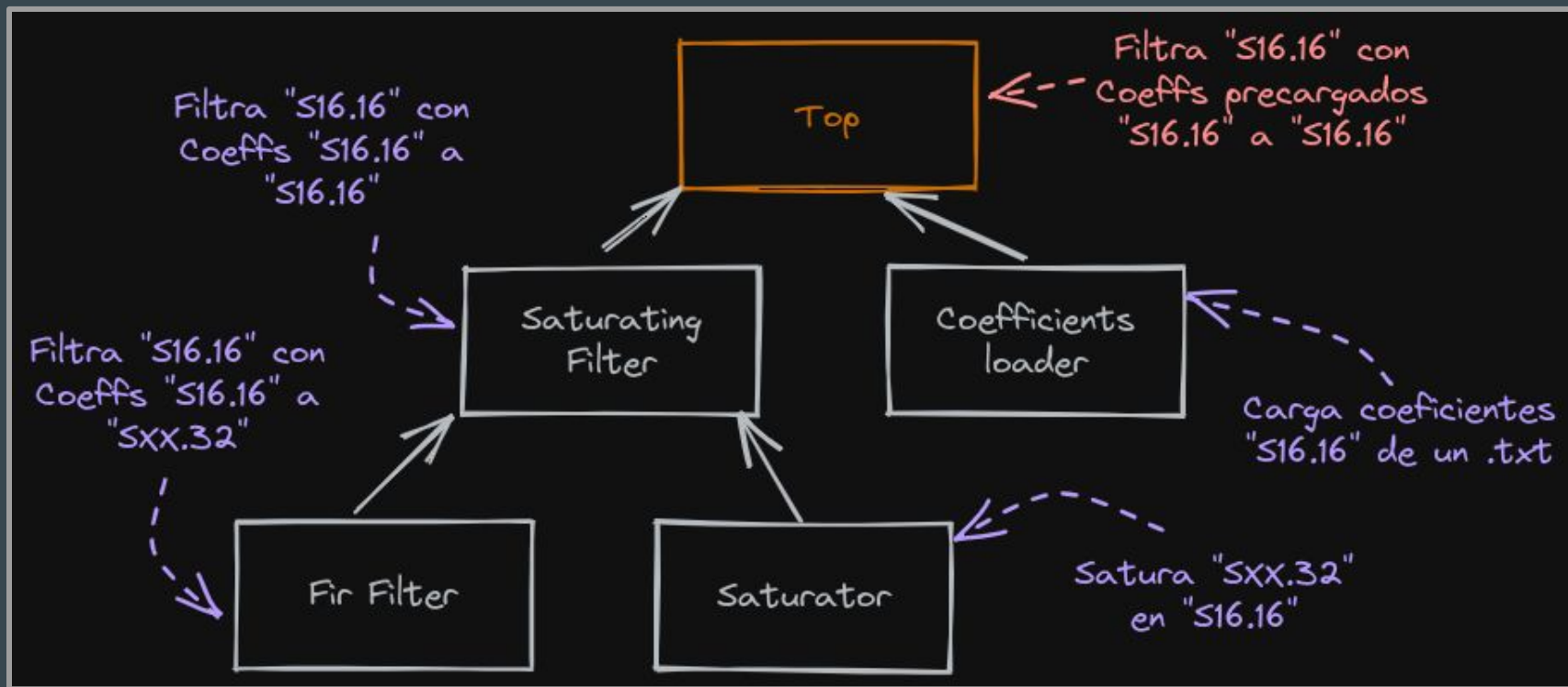
**USAR VHDL
+ DIRECTIVA**

**USAR
SÓLO VHDL**



```
-- Use DSP Cells for synthesis --  
attribute use_dsp : string;  
attribute use_dsp of rtl : architecture is "yes";
```

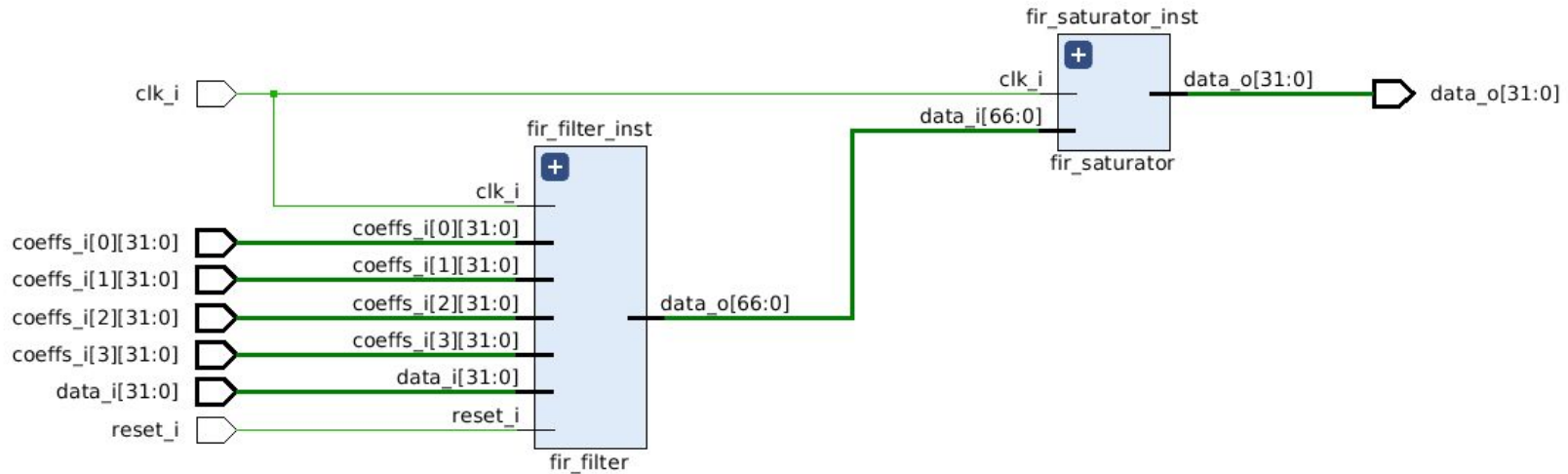
Organización del Código (HDL)



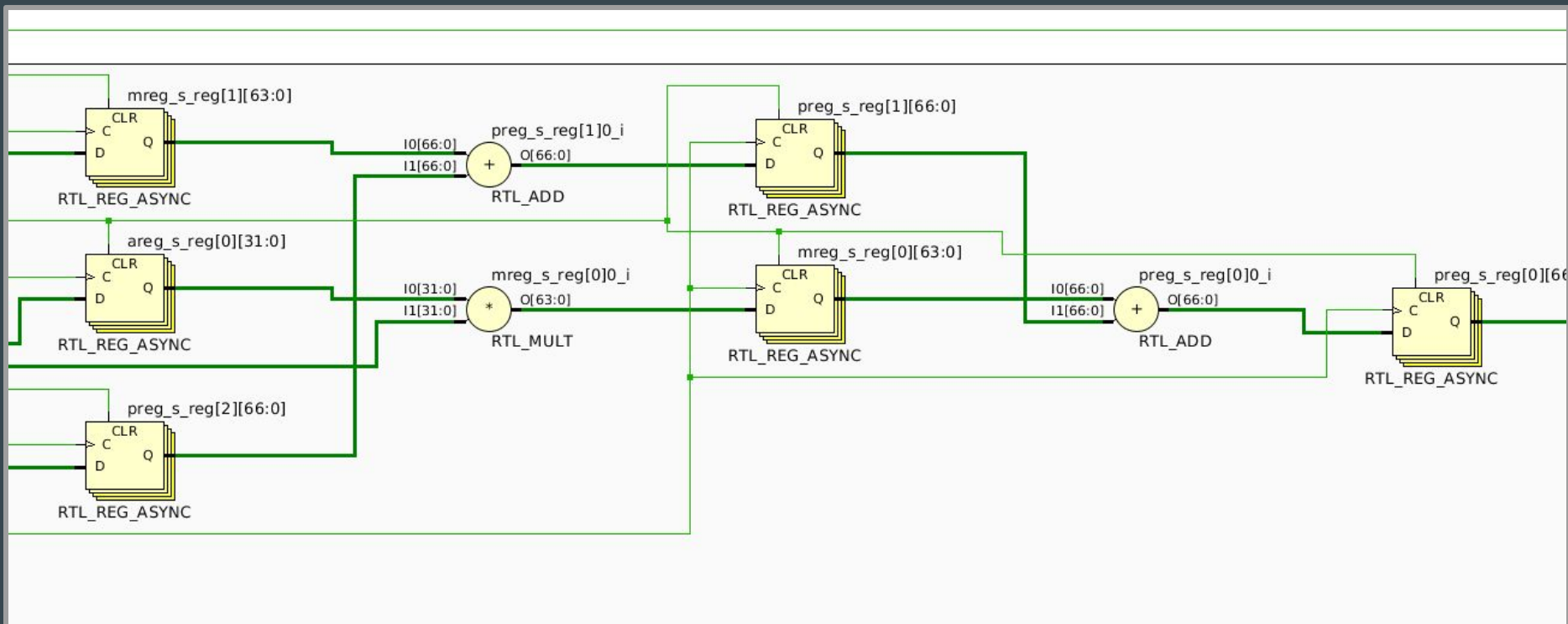
¡Tour por el código!



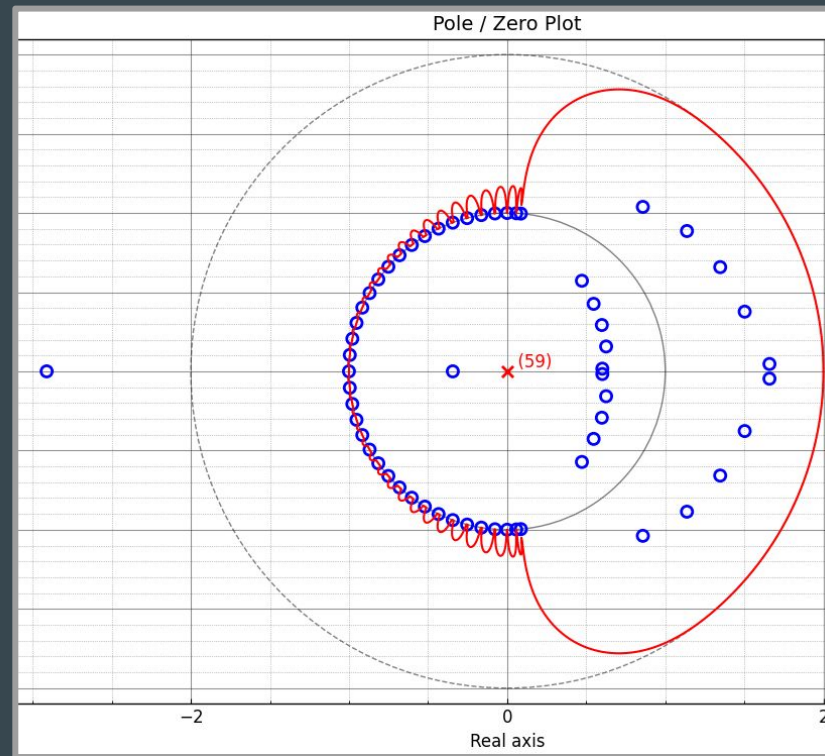
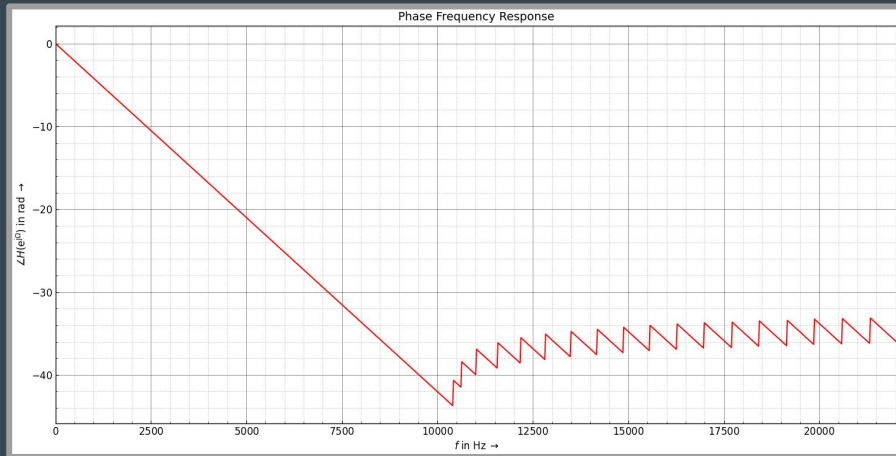
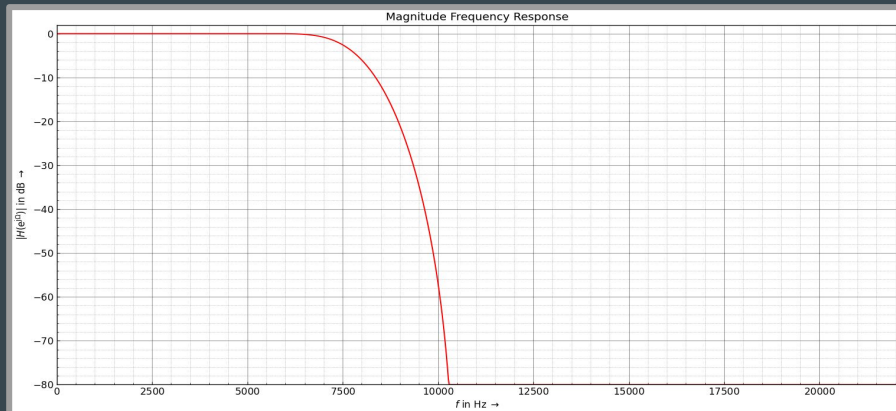
Esquemático Vivado (filtro con saturación - reducido)



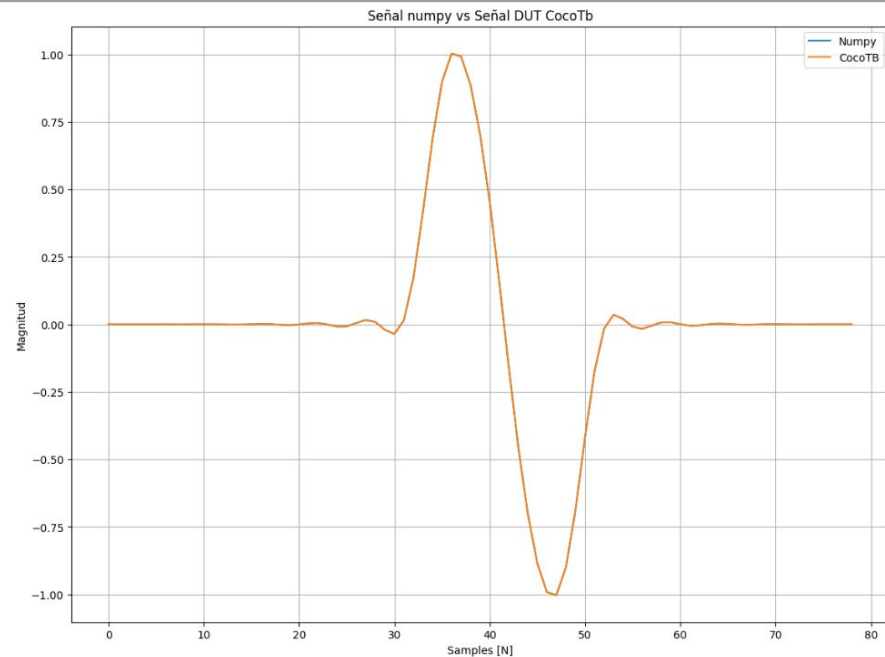
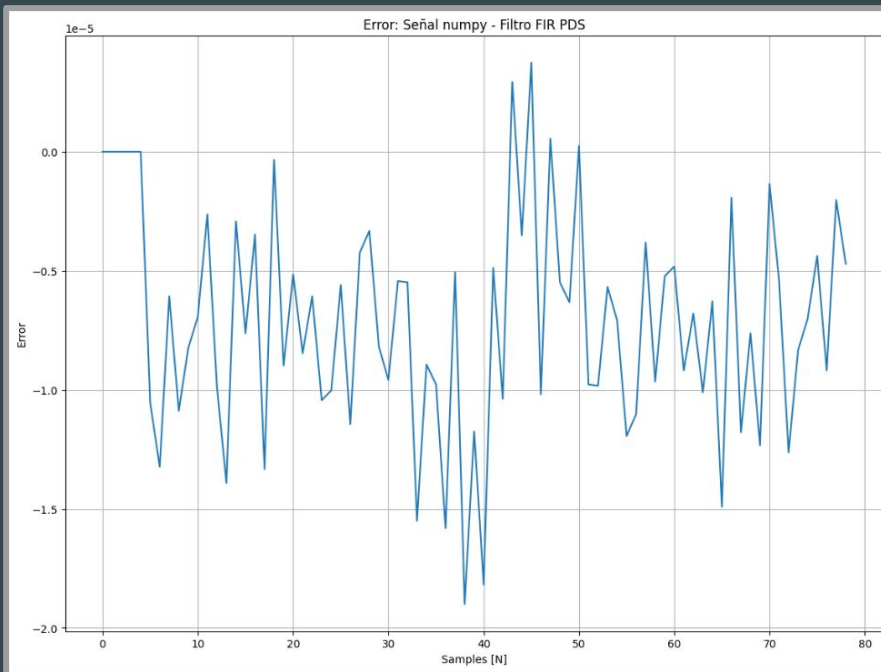
Esquemático Vivado (filtro - reducido)



Filtro Diseñado (Pyfda)



Resultado Obtenido (Simulación)



Gracias!!

That's all Folks!

Preguntas?