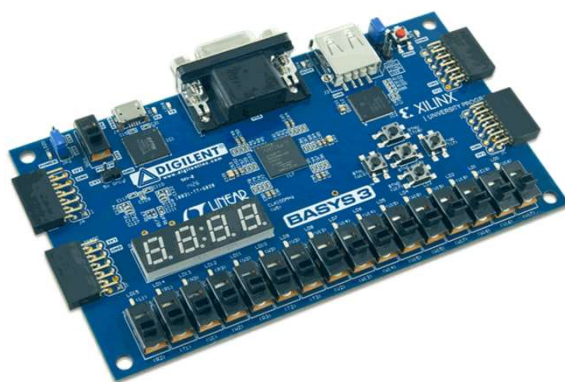
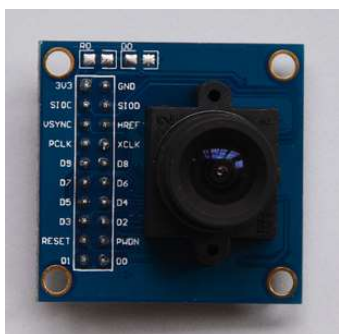




本设计以OV7725摄像头为视频图像采集模块，以FPGA芯片为图像处理算法模块，以VGA接口和显示器为视频图像输出显示模块，这三大模块构成系统的总体框架。此系统能实现图像数据的实时采集，并将图像数据送入FPGA，在FPGA上实现基于Soble算子的边缘检测算法，然后通过VGA接口将处理后图像送到VGA显示器上，最终实现对视频图像的实时处理。





本设计以OV7725摄像头为视频图像采集模块，以FPGA芯片为图像处理算法模块，以VGA接口和显示器为视频图像输出显示模块，这三大模块构成系统的总体框架。此系统能实现图像数据的实时采集，并将图像数据送入FPGA，在FPGA上实现基于Soble算子的边缘检测算法，然后通过VGA接口将处理后图像送到VGA显示器上，最终实现对视频图像的实时处理。





## 图像边缘检测算法

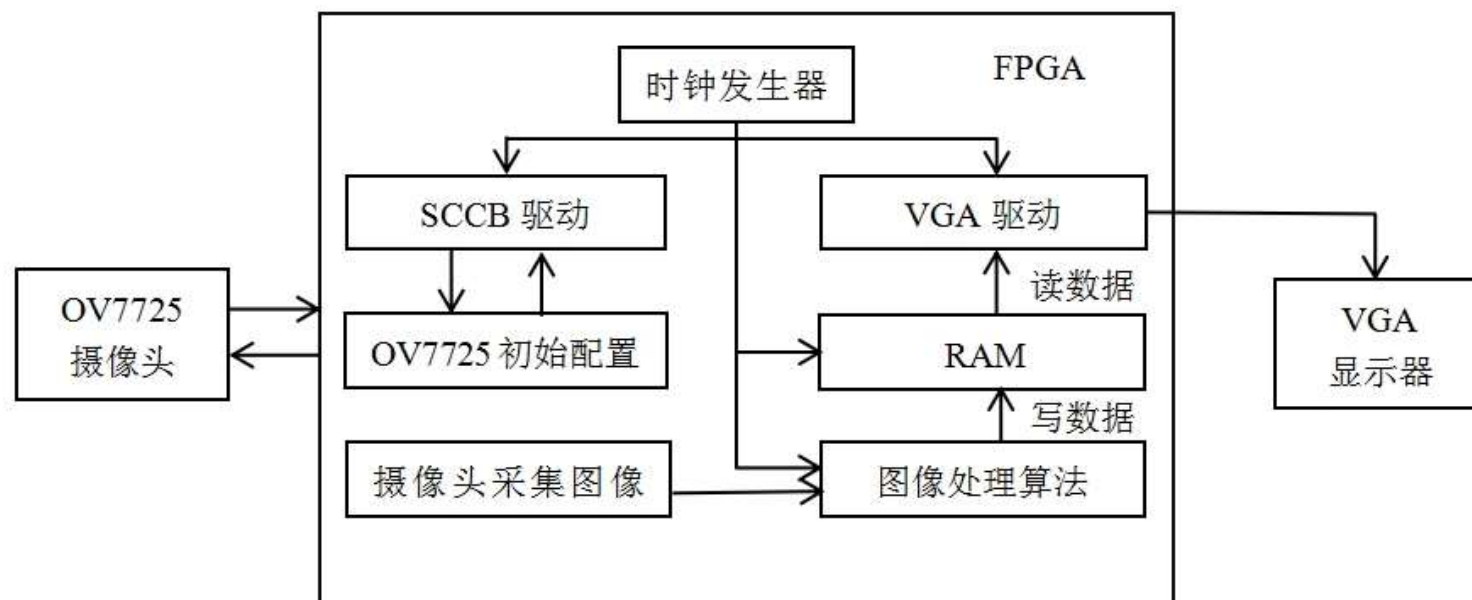
利用Soble算子的图像边缘检测原理来实现图像边缘提取。Soble算子是基于一阶导数的离散差分算子，它运算量小，实现简单，而且对硬件要求较低，是进行边缘检测最常用的算子之一。它的具体实现是计算水平方向和垂直方向的灰度差分近似值，然后通过运算得到中心梯度，最大梯度和最小梯度就是灰度变化最大的地方，也就是图像的边缘。

$$\mathbf{G}_x = \begin{bmatrix} -1 & 0 & +1 \\ -2 & 0 & +2 \\ -1 & 0 & +1 \end{bmatrix} * \mathbf{A} \quad \text{and} \quad \mathbf{G}_y = \begin{bmatrix} +1 & +2 & +1 \\ 0 & 0 & 0 \\ -1 & -2 & -1 \end{bmatrix} * \mathbf{A}$$



## (1) Vivado软件顶层模块

顶层模块包括时钟控制模块、摄像头初始化模块、视频图像数据采集模块、行缓存模块及图像处理算法模块、片内RAM模块及VGA驱动模块。





## (1) Vivado软件顶层模块

顶层模块包括时钟控制模块、摄像头初始化模块、视频图像数据采集模块、行缓存模块及图像处理算法模块、片内RAM模块及VGA驱动模块。





## (2) 时钟控制模块

时钟控制模块是整个设计的工作核心，根据输入晶振频率、传输协议、视频图像格式要求等要素，由此确定系统中所有功能模块所要用到的时钟频率。我们利用Vivado EDA设计工具中的IP核工具中的Clocking Wizard就可设计生成时钟控制模块，可以实现时钟频率的分频和倍频，VGA驱动模块需要25MHZ的驱动时钟，而片内RAM模块则接入100MHZ的时钟。



## (2) 时钟控制模块

Re-customize IP

**Clocking Wizard (5.4)**

Documentation IP Location Switch to Defaults

IP Symbol Resource

☐ Show disabled ports

Component Name: clk\_wiz\_0

Clocking Options Output Clocks Port Renaming PLL2 Settings Summary

The phase is calculated relative to the active input clock.

Output Clock	Port Name	Output Freq (MHz)		Phase (degrees)
		Requested	Actual	Requested
<input checked="" type="checkbox"/> clk_out1	c0	100	100.000	0.000
<input checked="" type="checkbox"/> clk_out2	c1	25	25.000	0
<input type="checkbox"/> clk_out3	c3	25.000	N/A	0.000
<input type="checkbox"/> clk_out4	clk_out4	100.000	N/A	0.000
<input type="checkbox"/> clk_out5	clk_out5	100.000	N/A	0.000
<input type="checkbox"/> clk_out6	clk_out6	100.000	N/A	0.000

☐ USE CLOCK SEQUENCING

Clocking Feedback

Output Clock	Sequence Number
clk_out1	1
clk_out2	1

Source

☒ Automatic Control On-Chip

☐ Automatic Control Off-Chip

OK Cancel

Diagram showing the clocking module with inputs: reset, clk\_in1 and outputs: c0, c1, locked.



### (3) OV7725摄像头初始化模块

利用SCCB驱动向OV7725控制寄存器组写入初始化字节数据，配置摄像头参数，使其输出  $640 \times 480$  分辨率、30帧、RGB444的视频图像。

SCCB全称是Serial Camera Control Bus，即串行摄像头控制总线，它由两条数据线组成：一个是用于传输时钟信号的SIO\_C（OV\_SCL管脚），另一个适用于传输数据信号的 SIO\_D（OV\_SDA管脚）。

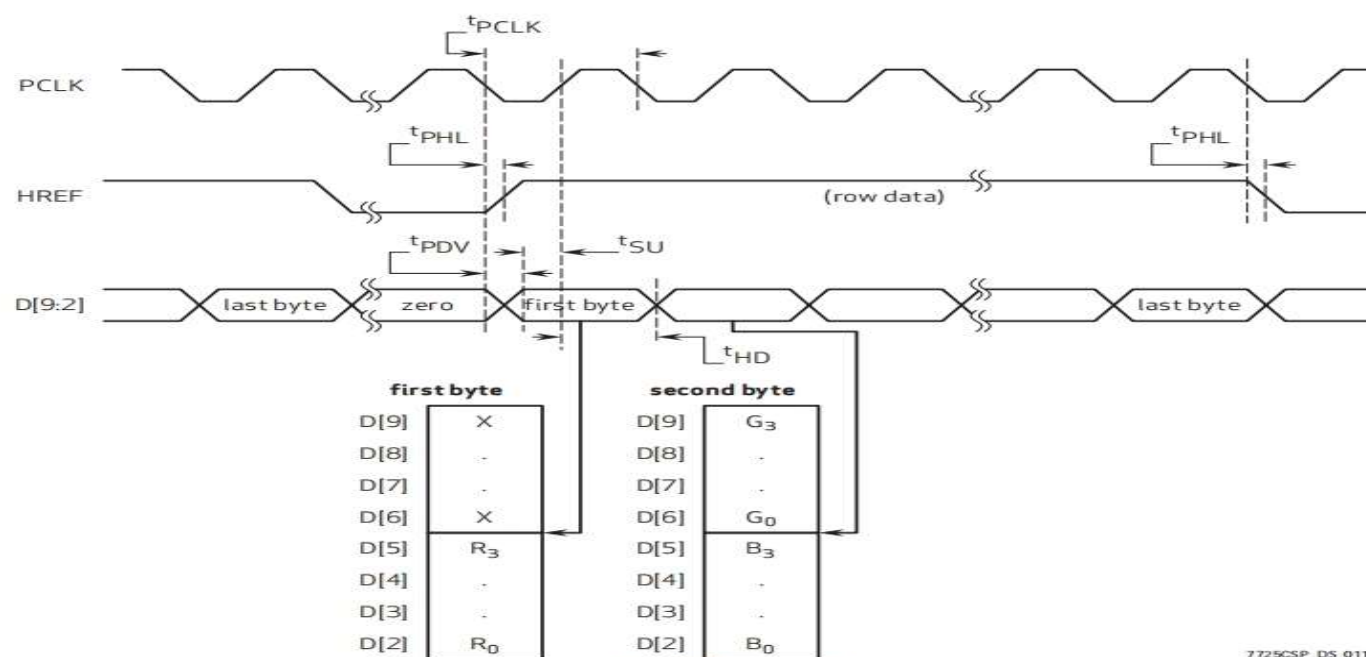
该模块包含两个部分，一部分是实现SCCB传输协议控制，另一部分是将内部寄存器地址和对应配置数值送到第一部分SCCB传输协议中。这两个部分协同运作，完成OV7725摄像头初始化配置。





## (4) 视频图像数据采集模块

OV7725摄像头数据输出端口为8位，为了采集RGB444 12位数据，需要根据RBG444信号输出时序图，采集先后8位数据，再合成一个RGB444 12位数据。



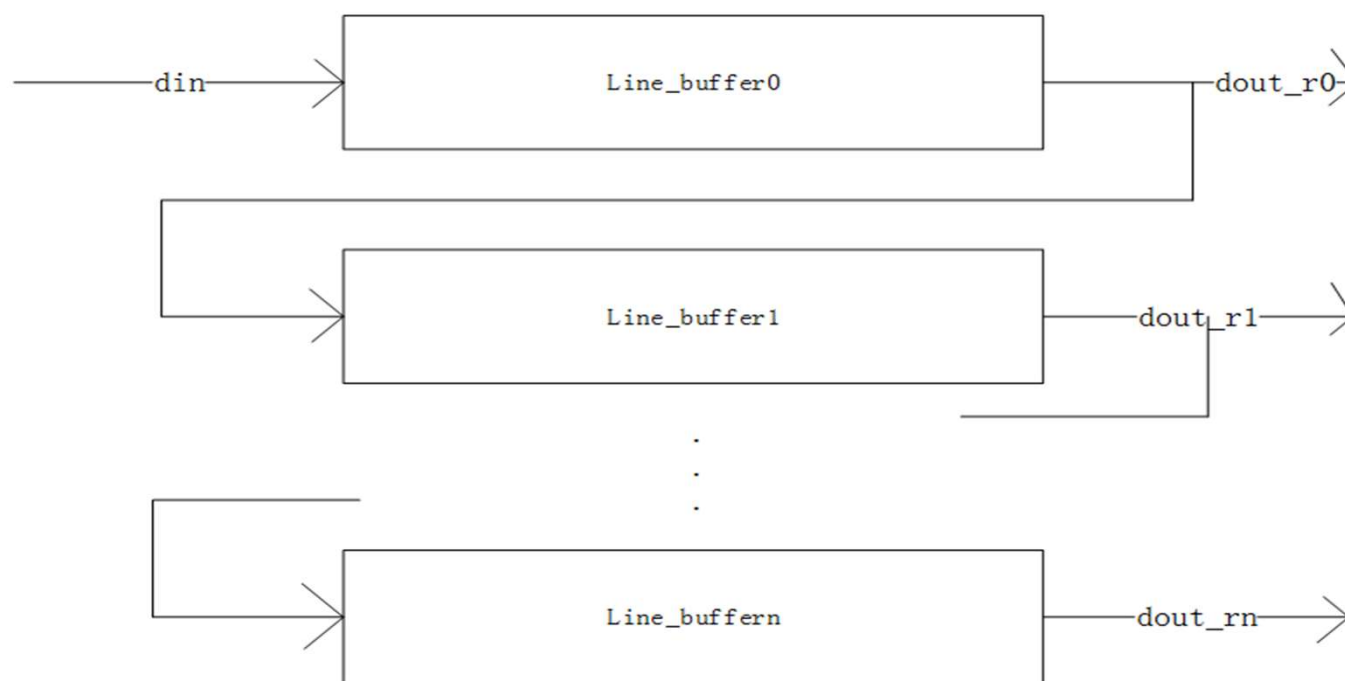


### (5) 图像处理算法模块

OV7725摄像头采集图像数据是串行输入到FPGA，要实现图像处理，例如边缘检测、中值滤波、均值滤波，就必须对相邻的几行像素数据进行缓存后再进行处理运算。我们根据行缓存菊花链结构，利用Vivado移位寄存器IP核设计宽度为12，深度为640的三个行缓存寄存器，然后三行首尾依次相连，构成行缓存模块，实现同列行数据同时输出。从逆向角度来看，就是算子窗口在控制时钟下沿图像像素矩阵的行或列方向逐个像素移动。



### (5) 图像处理算法模块





© 2011 Pearson Education, Inc. All rights reserved. Printed in the United States of America. This publication is protected by copyright. Any unauthorized use or distribution of this work without the express written permission of Pearson Education, Inc. is prohibited.



### (5) 图像处理算法模块

根据SOBLE算子对行缓存模块输出进行运算，得到像素点边缘灰度值M再进行阈值比较，大于阈值即是边缘，RGB444设置全为0，即黑色表示边缘，小于阈值设置为1，非边缘以白色显示，从而完成图像边缘提取。

$$G_x = (A_{33} + 2 * A_{23} + A_{13}) - (A_{11} + 2 * A_{21} + A_{31})$$

$$G_y = (A_{11} + 2 * A_{12} + A_{13}) - (A_{31} + 2 * A_{32} + A_{33})$$

$$M = G_x^2 + G_y^2$$

A11	A12	A13
A21	A22	A23
A31	A32	A33



## (6) 片内RAM模块

由于OV7725摄像头采集图像数据速率以及输出时序与VGA图像输出速率和时序都不匹配，两者并不能直接相连，为此需要在两者之间建立图像缓存模块。我们利用Vivado设计工具中的RAM IP核设计一个宽度为12位，深度为 $640 \times 480$ 的简单双端口RAM存储器，以此存储一帧图像数据。其中A端口（BRAM\_PORTA）为写入端口，连接图像处理算法模块输出，B端口（BRAM\_PORTB）为读取端口，连接VGA驱动模块数据输入。



## (6) 片内RAM模块

IP Symbol

Power Estimation

☐ Show disabled ports

BRAM\_PORTA

addra[18:0]

clka

dina[11:0]

wea[0:0]

BRAM\_PORTB

addrb[18:0]

clkb

doutb[11:0]

Component Name blk\_mem\_gen\_0

BasicPort A OptionsPort B OptionsOther OptionsSummary

Memory Size

Port A Width12Range: 1 to 4608 (bits)

Port A Depth307201Range: 2 to 1048576

The Width and Depth values are used for Write Operations in Port A

Operating ModeNo ChangeEnable Port TypeAlways Enabled

Port A Optional Output Registers

☐ Primitives Output Register☐ Core Output Register☐ SoftECC Input Register☐ REGCEA Pin

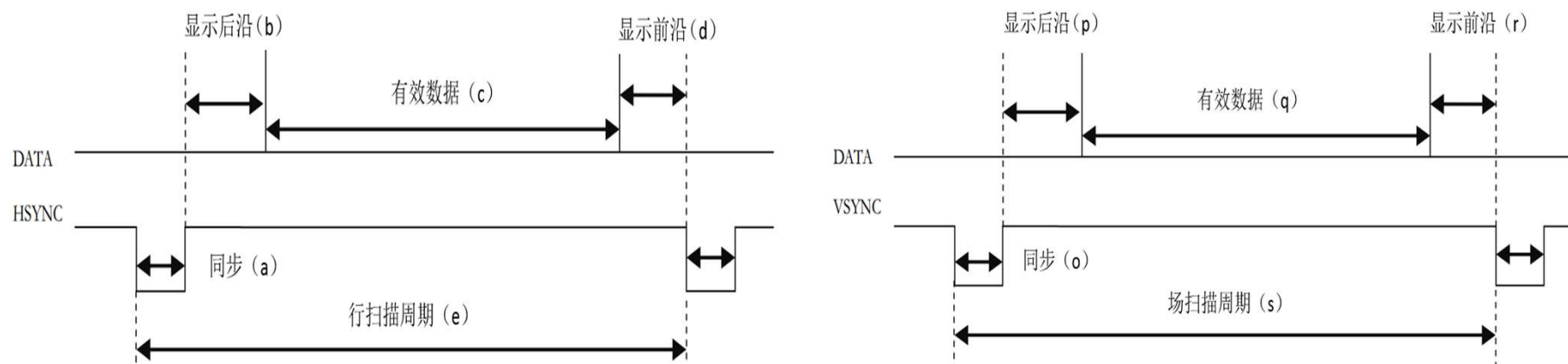
READ Address Change A

☐ Read Address Change A



## (7) VGA驱动模块

根据VGA  $640 \times 480$ 分辨率60帧视频图像输出的参数标准确定输入时钟为25MHZ，行同步时序各阶段像素数为 $a=96$ ， $b=48$ ， $c=640$ ， $d=16$ ， $e=800$ ，场同步时序各阶段行数为 $o=2$ ， $p=33$ ， $q=480$ ， $r=10$ ， $s=525$ ，以此来设计VGA驱动模块。







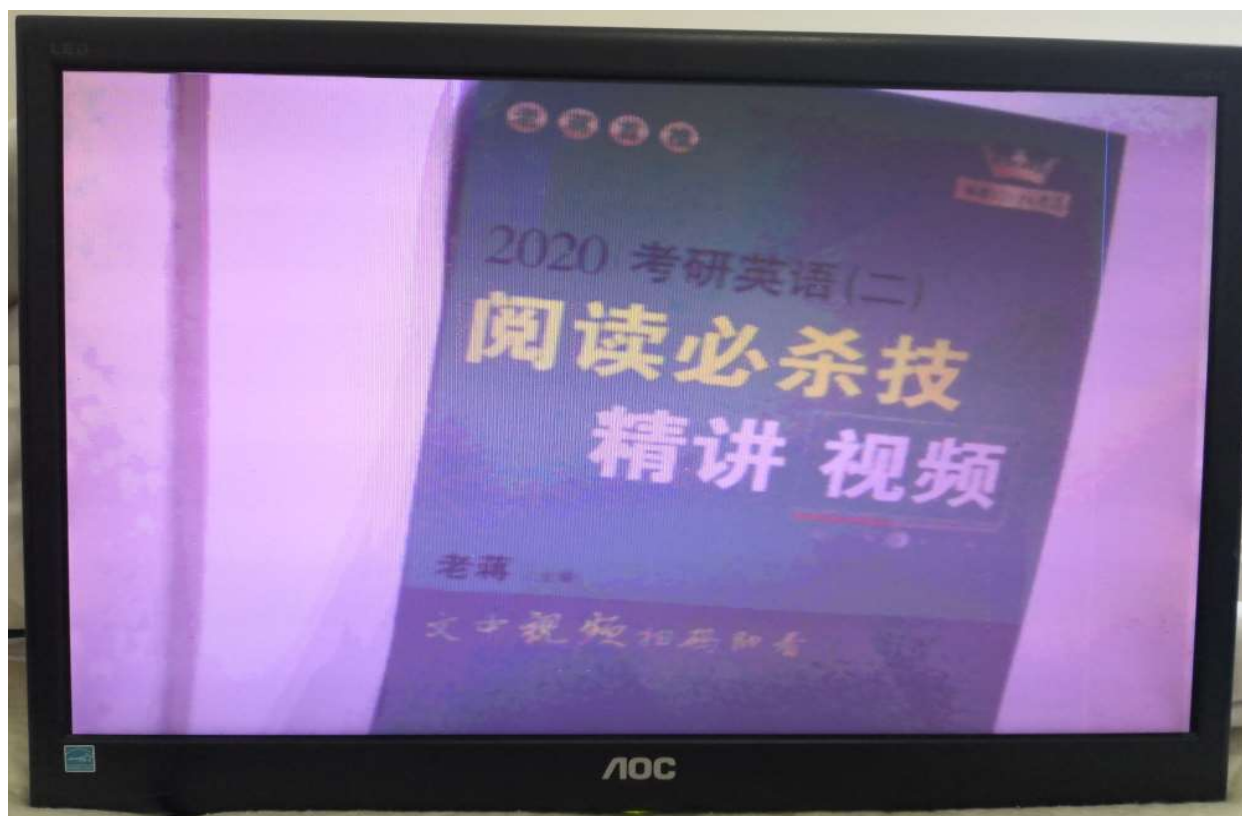
## (8) 阈值调试

根据Soble算子的图像边缘检测原理以及图像处理算法模块中的要求，需要通过阈值比较来确定图像边缘，过低或过高的阈值会造成边缘检测不明显或者检测不出来，所以需要进行阈值调试。

原图像及阈值 $M=10$ ， $M=20$ ， $M=30$ 的实现效果如下列图片：

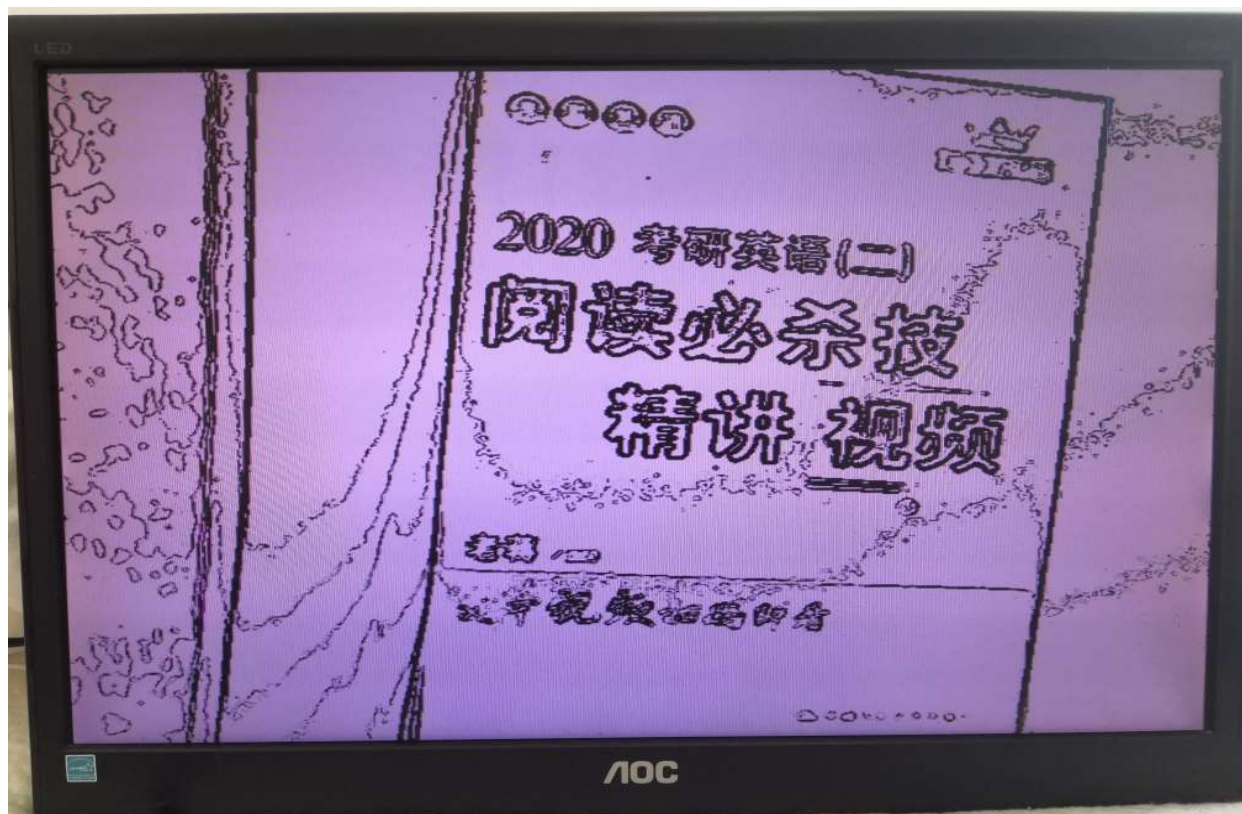


原图像

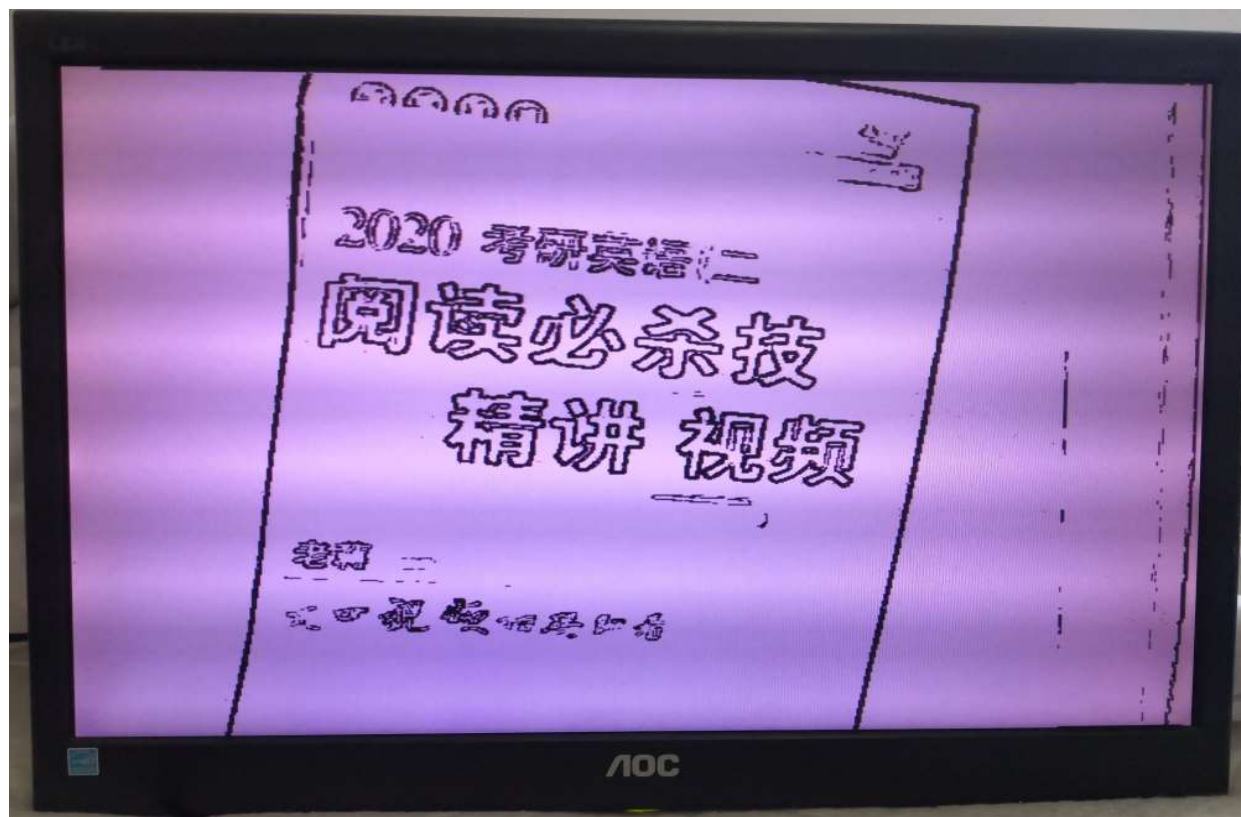




阈值 $M=10$ 的图像

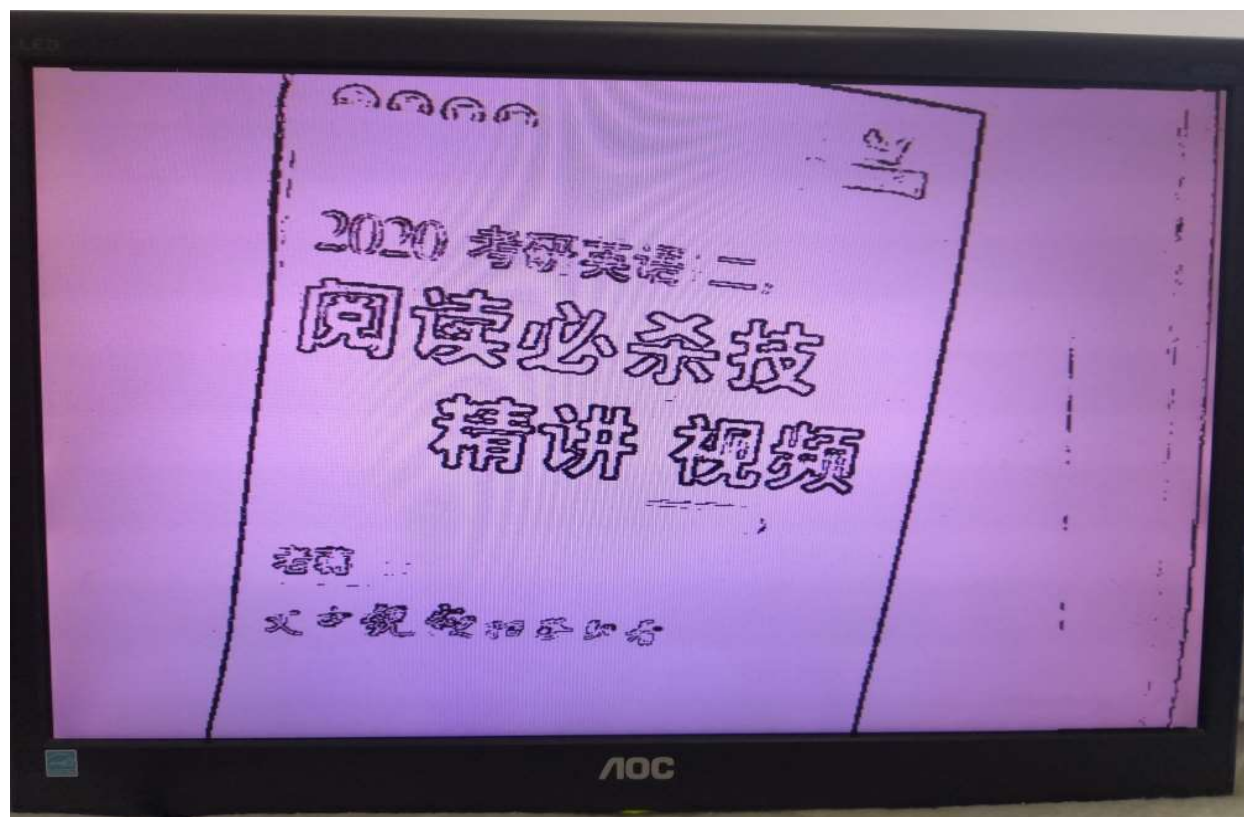


阈值 $M=20$ 的图像





阈值 $M=30$ 的图像





### (8) 阈值调试

从上列图片的边缘检测效果对比可知，当阈值较小时图像边缘检测出了一些不明显、不必要的边缘细节，而阈值较大时一些边缘细节又变得模糊，只有取适当阈值才能较好的检测图像边缘，从而提取有用信息。