

100111110

Vivado集成开发环境 --Verilog HDL设计流程

主讲:何宾

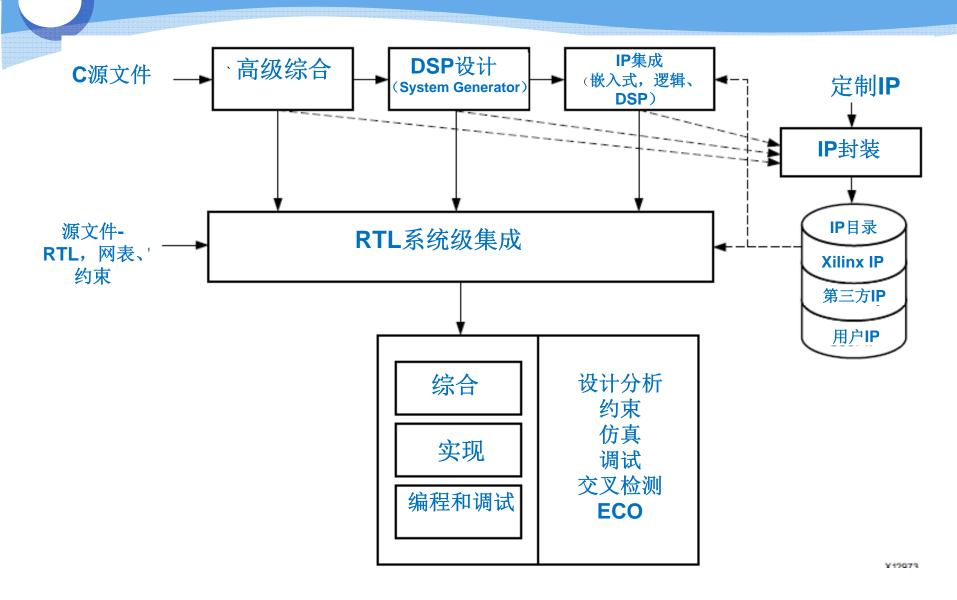
Email: hebin@mail.buct.edu.cn

2018.06

Vivado工具的诞生

- ※全球知名的可编程逻辑器件生产厂商-美国Xilinx公司, 于2012年发布了新一代的Vivado集成开发环境,目前 最新版本为2018.2
 - □ 强调IP设计思想
 - ◆包括IP封装
 - ◆积木块式的系统构建方法
 - □集成HLS高级综合工具,用户使用C语言对算法建模,然后通过HLS转换成HDL语言,这是设计方法学的重要转变。
 - □集成System Generator工具和Model Composer工具
 - ◆使用Mathlab Simulink工具构建数字信号处理系统

Vivado工具设计流程



设计目标

- ■使用硬件开发平台上的两个开关作为逻辑输入量a和b,
- 在FPGA内使用逻辑资源实现六种逻辑运算,包括
 - \square a&b \rightarrow z[0]
 - $\square \sim (a\&b) \rightarrow z[1]$
 - \Box a | b \rightarrow z[2]
 - $\square \sim (a \mid b) \rightarrow z[3]$
 - \square a ^ b \rightarrow z[4]
 - \Box a ^~ b \rightarrow z[5]
- 使用硬件开发平台上的六个LED灯来显示六种逻辑运算的结果。

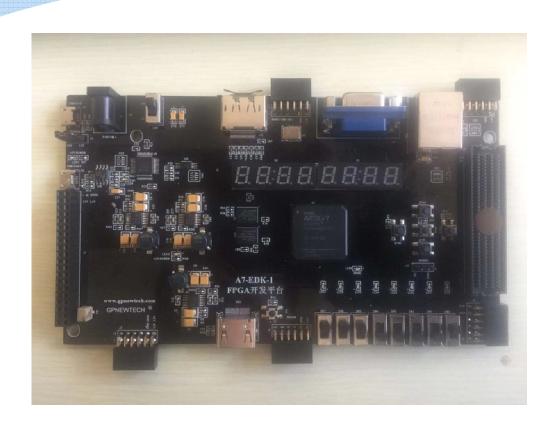
Vivado HDL基本设计流程 --框图表示

建立新的设计工程 添加新的设计文件 详细描述 (Elaboration) 行为级仿真 设计综合 (Synthesis) 设计约束 (Constraint) 设计实现(Implement)

生成比特流文件 下载设计到FPGA 生成PROM文件 烧写到SPI Flash 设计验证 先断电再上电 设计验证









FPGA CLB资源 XC7A75T-FGG484

Device	Slices ⁽¹⁾	SLICEL	SLICEM	6-input LUTs	Distributed RAM (Kb)	Shift Register (Kb)	Flip-Flops
7A12T	2,000 ⁽²⁾	1,316	684	8,000	171	86	16,000
7A15T	2,600 ⁽²⁾	1,800	800	10,400	200	100	20,800
7A25T	3,650	2,400	1,250	14,600	313	156	29,200
7A35T	5,200 ⁽²⁾	3,600	1,600	20,800	400	200	41,600
7A50T	8,150	5,750	2,400	32,600	600	300	65,200
7A75T	11,800 ⁽²⁾	8,232	3,568	47,200	892	446	94,400
7A100T	15,850	11,100	4,750	63,400	1,188	594	126,800
7A200T	33,650	22,100	11,550	134,600	2,888	1,444	269,200

Vivado HDL基本设计流程 --详细描述

详细描述(Elaboration)是指将RTL优化到FPGA技术。 Vivado集成开发环境允许实现下面的功能:

- 设计者导入和管理下面的RTL源文件,包括Verilog、System Verilog、VHDL、NGC或者测试平台文件。
- ■通过RTL编辑器创建和修改源文件。
- ■源文件视图。
 - □以层次化方式显示设计中的模块。
 - □库:以目录的形式显示源文件。

Vivado HDL基本设计流程 --详细描述

在基于RTL的设计中,详细描述是第一步。

- 当设计者打开一个详细描述的RTL设计时, Vivado集成环境 执行
 - □编译RTL源文件
 - □并且加载RTL网表,用于交互式分析。
 - □设计者可以查看RTL结构,语法和逻辑定义。
- ■分析和报告能力包括:

Vivado HDL基本设计流程 --详细描述

- □RTL编译有效性和语法检查;
- □研究网表和原理图;
- □设计规则检查;
- □使用一个RTL端口列表的早期I/O引脚规划;
- □可以在一个视图中选择一个对象,然后在其他视图中交叉检测, 包含在RTL内定义的实例和逻辑定义。

Vivado HDL基本设计流程 --设计综合

综合就是将RTL级的设计描述转换成门级的描述。

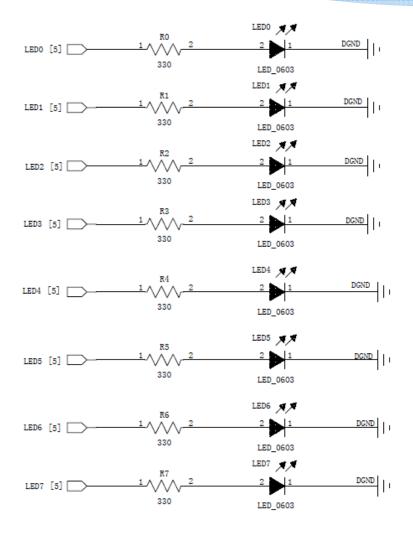
- 在该过程中,将进行逻辑优化,并且映射到Xilinx器件原语 (也称为技术映射)。
- Vivado集成环境综合采用基于时间驱动的策略,专门为存储器的利用率和性能进行了优化。
- ■综合工具支持System Verilog,以及VHDL和Verilog混合语言。
- 该综合工具支持Xilinx设计约束XDC(该约束基于工业标准的 Synopsys设计约束SDC格式)。

Vivado HDL基本设计流程 --设计约束

Xilinx Vivado集成开发环境使用xilinx设计约束(Xilinx Design Constraints, XDC)格式。

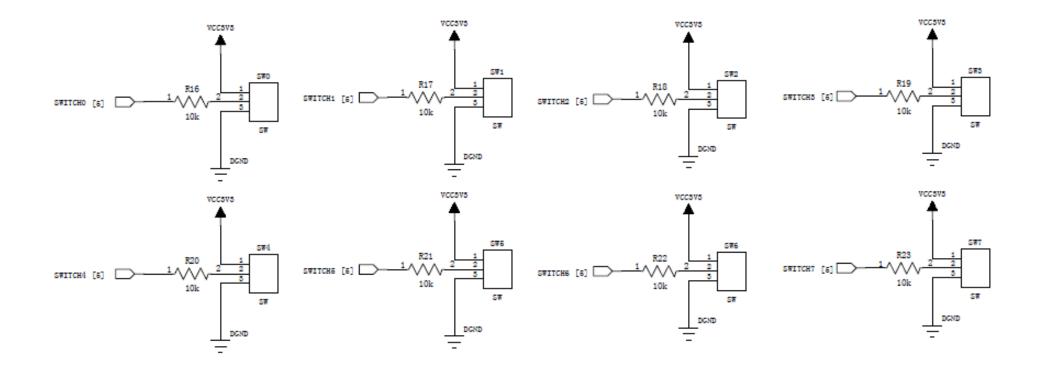
- XDC约束是基于标准的Synopsys的设计约束(Synopsys Design Constraints, SDC)格式。
- ■XDC特性包括:
 - □ 它们不是简单的字符串,而它们遵循Tcl语法命令;
 - □ 通过Vivado Tcl翻译器,就可以象理解其它Tcl命令那样理解它们;
 - □ 可以读取Tcl命令,然后按顺序对命令进行分析。
- ■顺利完成综合过程后,就会生成综合后的网表。设计者就可以将综合后的网表,以及XDC文件或者Tcl脚本一起加载到存储器中,用于后续的实现过程。





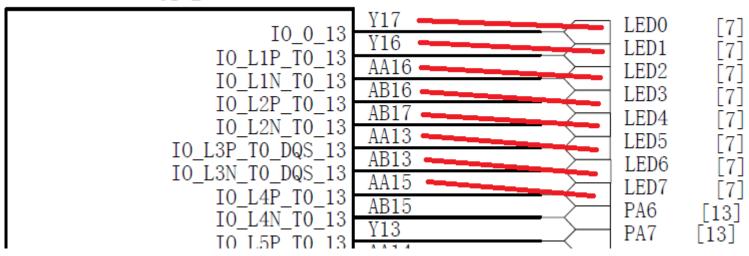
30

硬件连接关系--开关驱动电路



硬件连接关系 --FPGA连接电路

U1-E



IO_L13N_T2_MRCC_34 IO_L14P_T2_SRCC_34 IO_L14N_T2_SRCC_34 IO_L15P_T2_DQS_34 IO_L15N_T2_DQS_34 IO_L16P_T2_34 IO_L16P_T2_34 IO_L17P_T2_34 IO_L17P_T2_34 IO_L17P_T2_34 IO_L18P_T2_34 Y6		FLASH_RESWITCHO SWITCH1 SWITCH2 SWITCH3 SWITCH4 SWITCH5 SWITCH6 SWITCH7 PD0	SET [7] [7] [7] [7] [7] [7] [7] [13]	
---	--	---	--	--



Vivado工具实现流程:Tcl命令

link_design	对设计进行翻译,应用约束条件		
opt_design	对逻辑设计进行优化,使其容易适配到目标Xilinx		
	器件		
power_opt_design	对设计元素进行优化,以降低目标Xilinx器件的功		
	耗要求		
place_design	在目标Xilinx器件上,对设计进行布局		
phys_opt_design	对高扇出网路驱动器进行复制,对其负载进行分		
	布(即降低将高扇出负载量),以优化设计时序		
route_design	在目标Xilinx器件上,对设计进行布线		
report_timing_summary	分析时序,并生成时序分析报告		
write_bitstream	生成比特流文件		

Vivado HDL基本设计流程 --设计时序仿真

与行为级仿真不同的是,时序仿真带有标准延迟格式 (standard delay format, SDF)的信息,而行为级仿真 不包含时序信息。

■读者所知道的毛刺和竞争冒险等时序问题都会表现在对设计的时序仿真中。

Vivado HDL基本设计流程 --FPGA配置原理

配置模式	M[2:0]	总线宽度	CCLK方向
Master Serial	000	×1	输出
Master SPI	001	×1,×2,×4	输出
Master BPI	010	×8,×16	输出
Master SelectMAP	100	×8,×16	输出
JTAG	101	×1	不可用
Slave SelectMAP	110	×8,×16,×32 ⁽¹⁾	输入
Slave Serial (2)	111	×1	输入



