

10111110

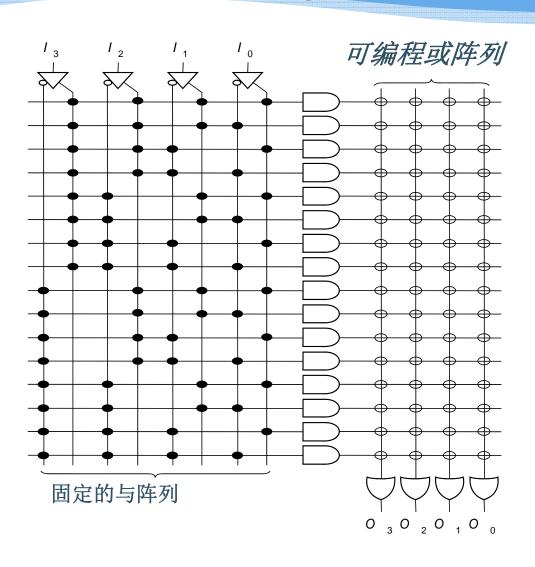
可编程逻辑器件工艺及结构

主讲:何宾

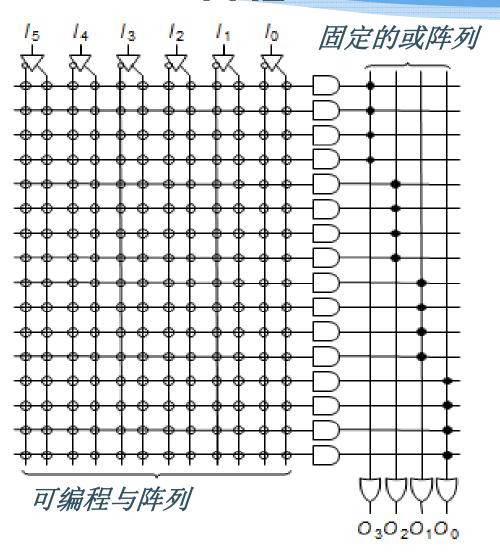
Email: hebin@mail.buct.edu.cn

2018.08

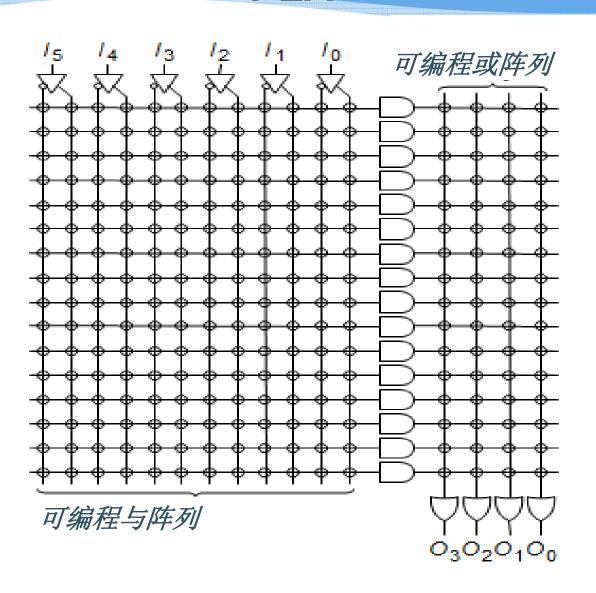
可编程逻辑器件内部结构 -PROM



可编程逻辑器件内部结构 -PAL



可编程逻辑器件内部结构 -PLA





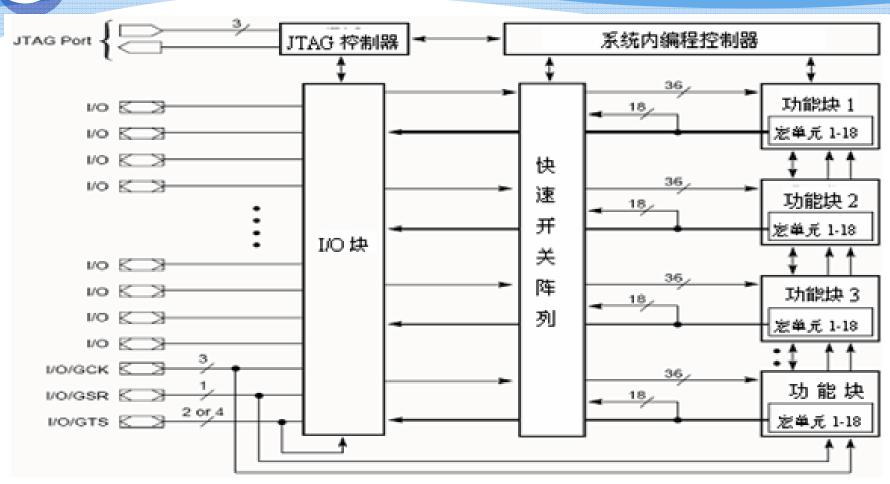
CPLD 由完全可编程的与/或阵列以及宏单元库构成。

与/或阵列是可重新编程的,可以实现多种逻辑功能。

宏单元可实现组合或时序逻辑的功能模块,同时还提供了真值或补码输出和以不同的路径反馈等额外的灵活性。

可编程逻辑器件内部结构

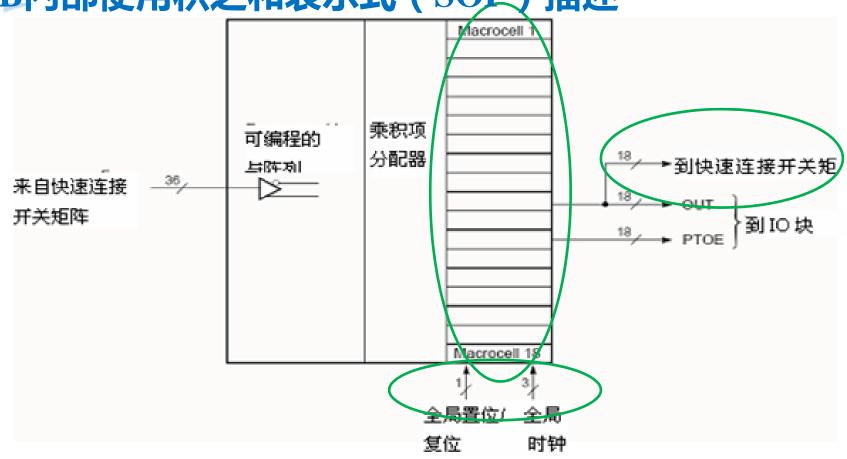
--CPLD



XC9500 CPLD内部结构

CPLD芯片内部结构 --功能块

FB内部使用积之和表示式 (SOP) 描述





可编程与阵列

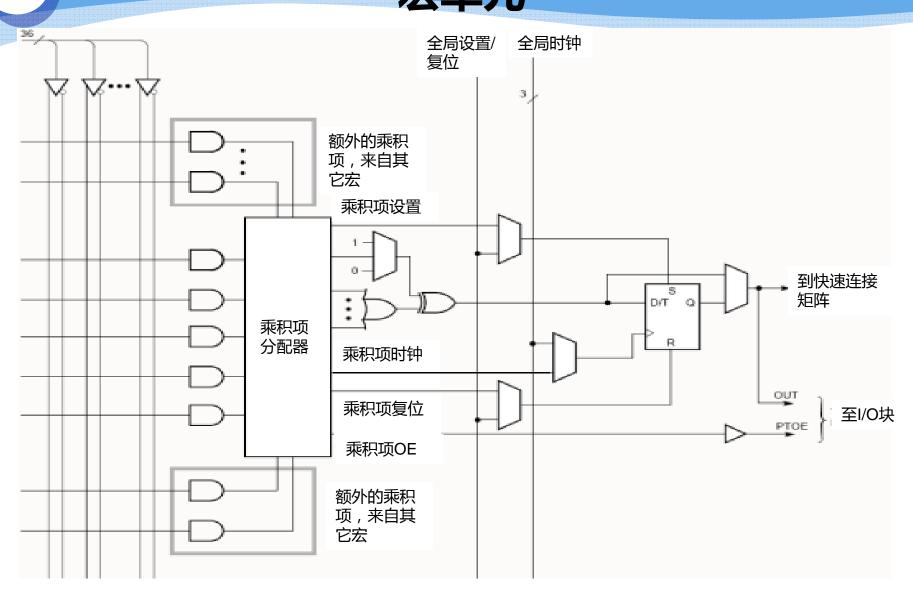
36个输入提供了72个真和互补信号,连接到可编程的"与"阵列,可以生成生成90个乘积项。

乘积项分配器

最多可用的90个乘积项可以通过乘积项分配器分配到一个每个 宏单元。

宏单元

CPLD芯片内部结构 --宏单元



CPLD芯片内部结构 --快速连接矩阵

