



数字逻辑基础

主讲：何宾

Email: hebin@mail.buct.edu.cn

2014.06

时序逻辑电路

--概念

在数字电路理论中，时序逻辑电路是指电路任何时刻的稳态输出不仅取决于当前的输入，还与前一时刻输入形成的状态有关。

- 这跟组合逻辑电路不同，组合逻辑的输出只会跟目前的输入成一种函数关系。

时序逻辑电路

--时序逻辑电路类型

同步时序逻辑电路

- 同步时序电路中所有存储元件都在时钟CLK的统一控制下，用触发器作为存储元件。
- 几乎现在所有的时序逻辑都是同步逻辑。
- 由于只有一个时钟信号，只在时钟的边沿改变内部所有的状态。
- 在时序逻辑中最基本的储存元件是触发器。
- 同步逻辑最主要的优点是它很简单。
- 每一个电路里的运算必须要在时钟的两个脉冲之间固定的间隔内完成，称为一个时钟周期。只有满足这个条件时，才能保证电路是可靠的。

时序逻辑电路

--时序逻辑电路类型

同步逻辑也有两个主要的缺点：

- 时钟信号必须要分布到电路上的每一个触发器。而时钟通常都是高频率的信号，这会导致功率的消耗，也就是产生热量。即使每个触发器没有做任何的事情，也会消耗少量的能量。
- 最大的可能时钟频率是由电路中最慢的逻辑路径决定，也就是**关键路径**。意思就是说每个逻辑的运算，从最简单的到最复杂的，都要在每一个时脉的周期中完成。

思考:关键路径的含义。

时序逻辑电路

--时序逻辑电路类型

异步时序逻辑电路

- 异步时序逻辑是时序逻辑的普遍本质，但是由于它的弹性关系它也是设计上困难度最高的。
- 最基本的储存元件是锁存器。锁存器可以在任何时间改变它的状态，依照其他的锁存器信号的变动，他们新的状态就会被产生出来。
- 异步电路的复杂度随着逻辑门的增加，而复杂性也快速的增加
- 因此他们大部分仅仅使用在小的应用。然而，电脑辅助设计工具渐渐的可以简化这些工作，允许更复杂的设计。

时序逻辑电路

--时序逻辑电路类型

时序逻辑电路特点

- 由于时序逻辑电路有“记忆”信息的功能，因此它可以用来保存数字系统的工作状态。
- 在任何一个时刻，保存在内部存储器件的二进制数定义了一个数字系统的当前状态。
- 输入到数字系统的逻辑信号可能引起一个或者多个存储器件的状态发生改变。因此，引起数字系统的状态发生改变。

时序逻辑电路

--时序逻辑电路类型

在数字系统中，主要关心两状态或者双稳态电路。

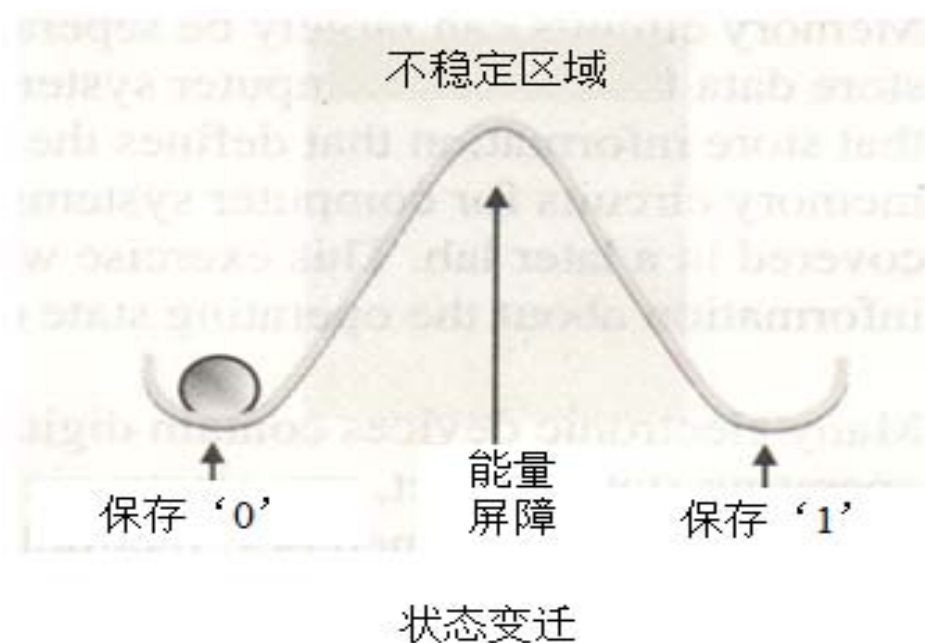
- 双稳态电路有两个稳定的工作状态，一个状态是输出逻辑 '1'（或者VDD），另一个是输出逻辑 '0'（或者GND）。
- 当双稳态存储电路处于这两个状态中的一个状态时，需要外界施加能量，使其从一种状态变化到另一种状态。在两个状态跳变期间，输出信号必须移动通过不稳定状态区域。

因此，将存储电路设计成不允许在不稳定区域内无限停留。一旦它们进入不稳定状态，它们立即尝试重新进入两个稳定状态中的一个。

时序逻辑电路

--时序逻辑电路类型

一个处于不稳定区域的存储器件，称为亚稳态。所有的存储器件苦于进入亚稳定状态。



思考：这张图给你的启示？

时序逻辑电路

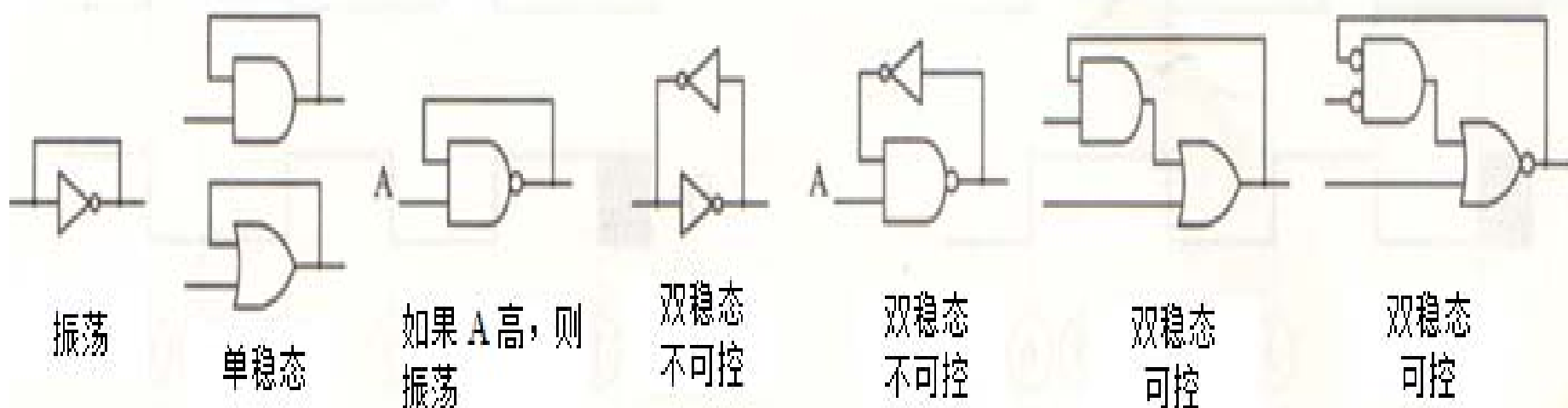
--时序逻辑电路类型

一个静态存储电路要求反馈，任何带有反馈的电路是存储器。

- 如果输出信号简单的反馈，并且连接到输入，则称为带有反馈的逻辑电路。
- 大多数的反馈电路，输出要不就是‘1’或者‘0’，要不就是永无停止的振荡。
- 一些反馈电路是双稳态的和可控的，这些电路可作为存储电路的备选电路。

时序逻辑电路

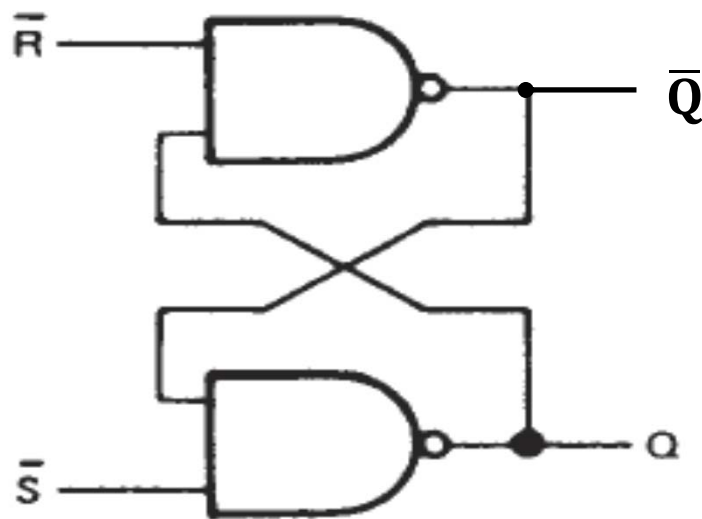
--时序逻辑电路类型



思考：分析这些电路的特点和结果？

基本SR锁存器

--电路结构



基本SR锁存器的真值表

S	R	Q	\bar{Q}	状态
0	0	1	1	不期望
0	1	1	0	置位
1	0	0	1	复位
1	1	Q_0	\bar{Q}_0	保持

注：表中 Q_0 表示前一个Q的输出， \bar{Q}_0 表示前一个 \bar{Q} 的输出。

基本SR锁存器

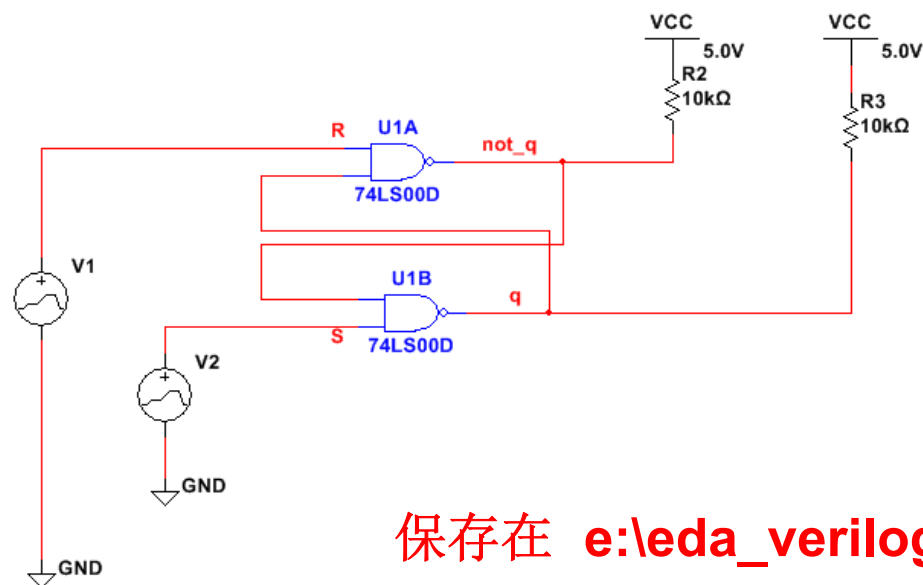
--电路原理

仔细观察上图，虽然基本SR锁存器还是由基本的逻辑门组成，但是和前面的组合逻辑电路最大的不同点是，锁存器增加了输出到基本逻辑门的“反馈”，而前面的组合逻辑电路并不存在输出到输入的“反馈”。

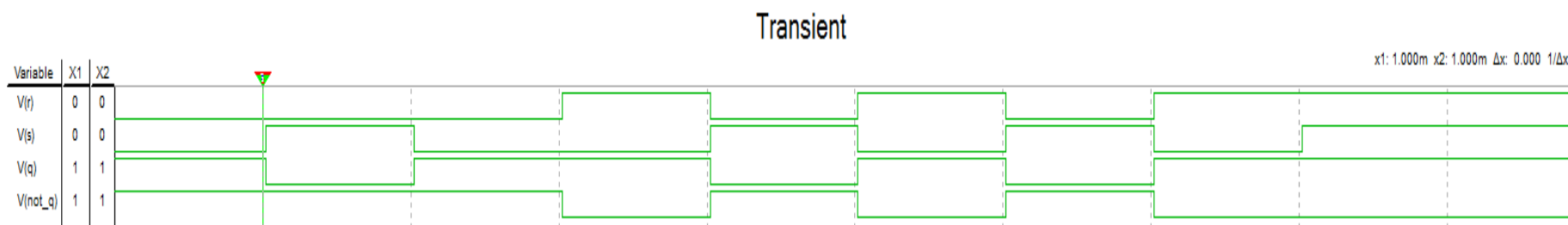
- 这个反馈的重要作用表明在：有反馈的逻辑电路中，当前时刻逻辑电路的状态，是由当前时刻逻辑电路的输入和前一时刻逻辑电路的输出状态共同确定。

基本SR锁存器

--测试电路和测试结果分析



保存在 e:\leda_verilog\RS_latch.ms14

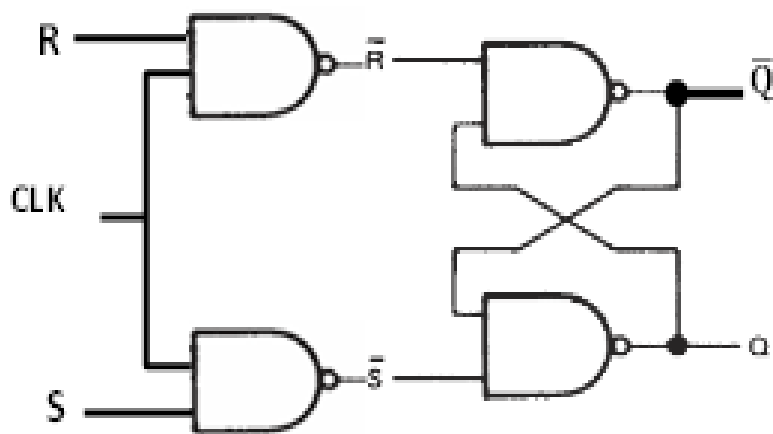


思考与练习：分析基本SR锁存器的设计结果

同步SR锁存器

--电路结构

同步SR锁存器的真值表



CLK	S	R	Q	\bar{Q}	状态
0	×	×	Q_0	\bar{Q}_0	保持
1	0	0	Q_0	\bar{Q}_0	保持
1	0	1	0	1	复位
1	1	0	1	0	置位
1	1	1	1	1	不期望

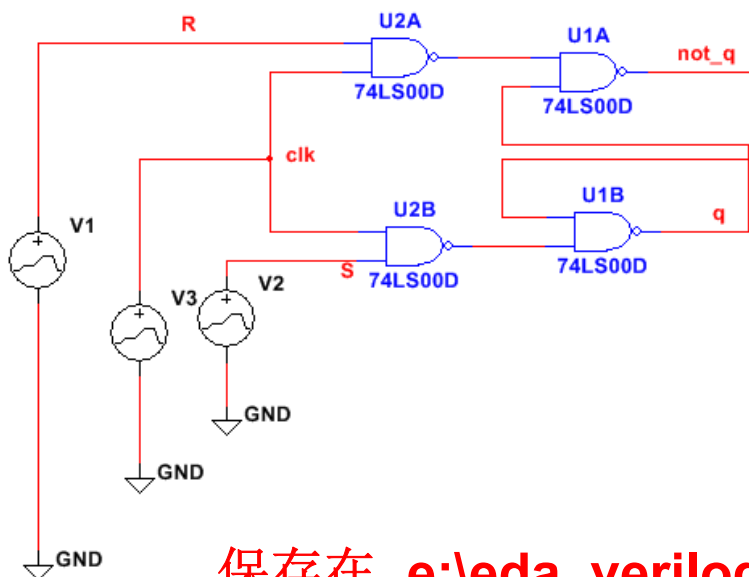
同步SR锁存器

--电路原理

从图中，可以得到下面的分析结果：

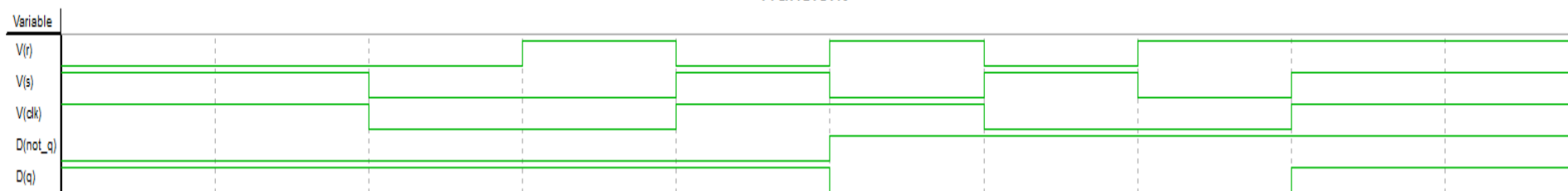
- 当CLK为逻辑低时，R和S连接到前端与非门的输入不会送到基本RS锁存器中，此时后面基本RS锁存器的输入为高。所以，同步SR锁存器处于保持状态。
- 当CLK为逻辑高时，R和S的输入端通过前面的与非门逻辑，送入到后面的基本SR锁存器中，其分析方法和前面基本SR锁存器相同。
- 根据前面的分析，CLK控制逻辑拥有最高优先级，即：当CLK为逻辑低的时候，不管R和S的输入逻辑处于何种状态，同步SR锁存器都将处于保持状态。

同步SR锁存器 --测试电路



保存在 e:\eda_verilog\RS_latch_clk.ms14

Transient

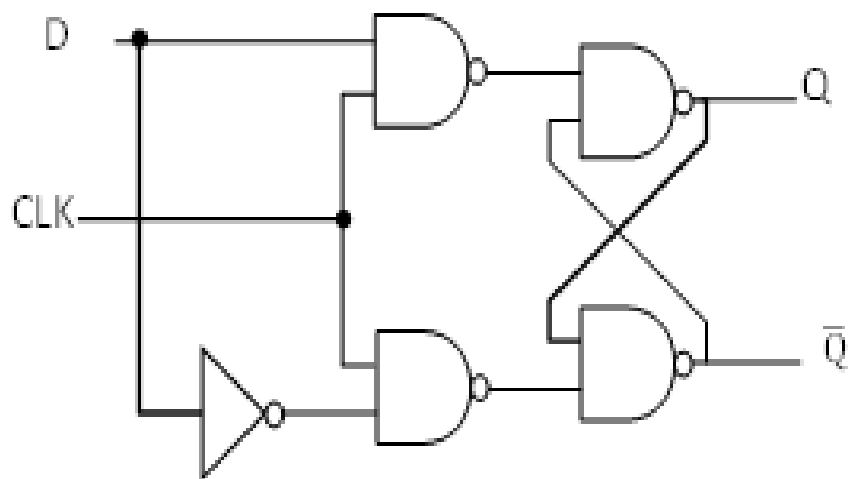


思考与练习：分析同步**SR**锁存器的设计结果

D锁存器

--电路结构

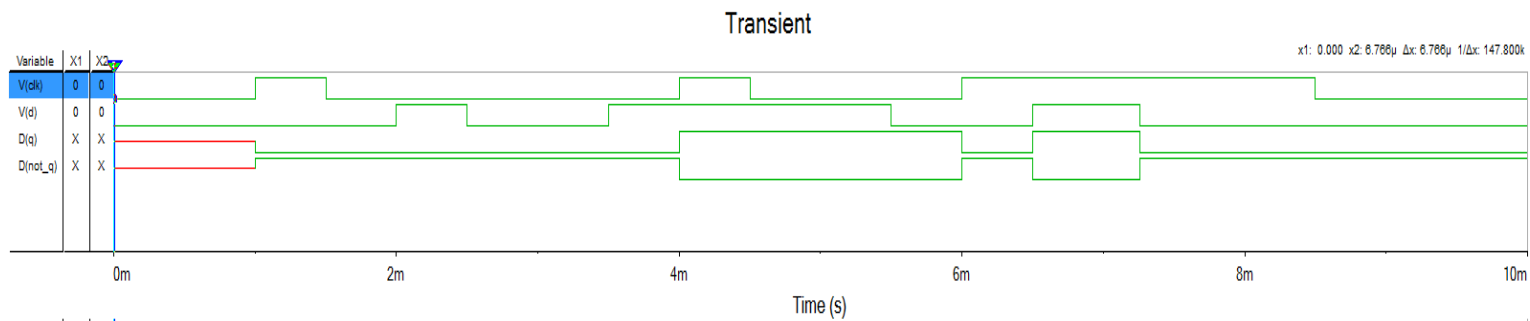
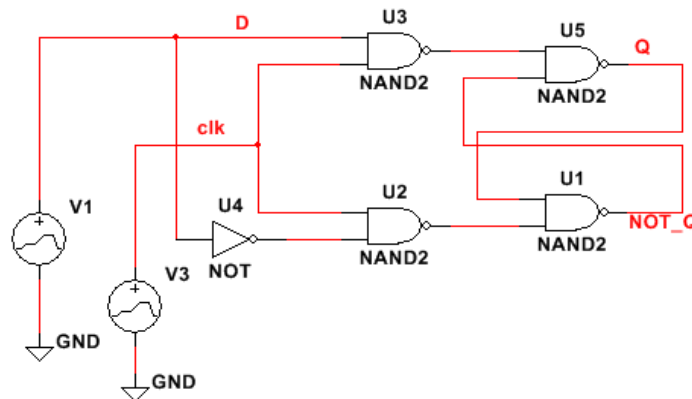
为了避免在SR锁存器中所出现的不允许的状态，确保S和R总是处于相反的逻辑值。在先前的同步SR锁存器前面添加反相器，这样的结构叫做D锁存器。



D锁存器真值表

D	CLK	Q	\bar{Q}	状态
0	1	0	1	复位
1	1	1	0	置位
x	0	Q_0	\bar{Q}_0	保持

D锁存器 --测试电路

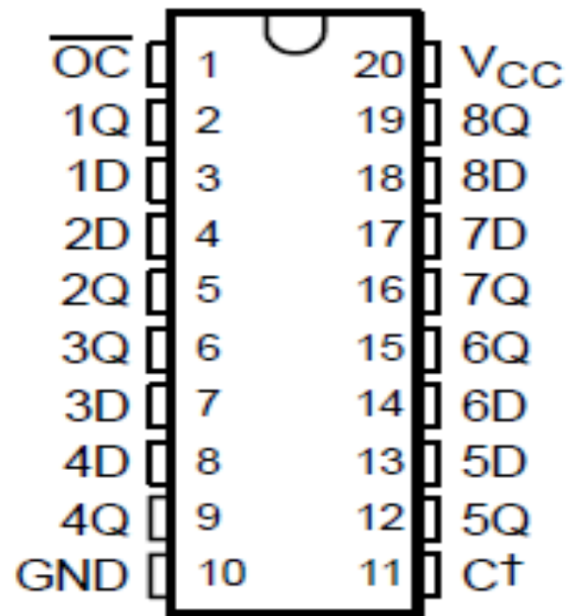


保存在 e:\eda_verilog\D_latch.ms14

思考与练习：分析D锁存器的设计结果

D锁存器

--SN74LS373专用IC符号和原理

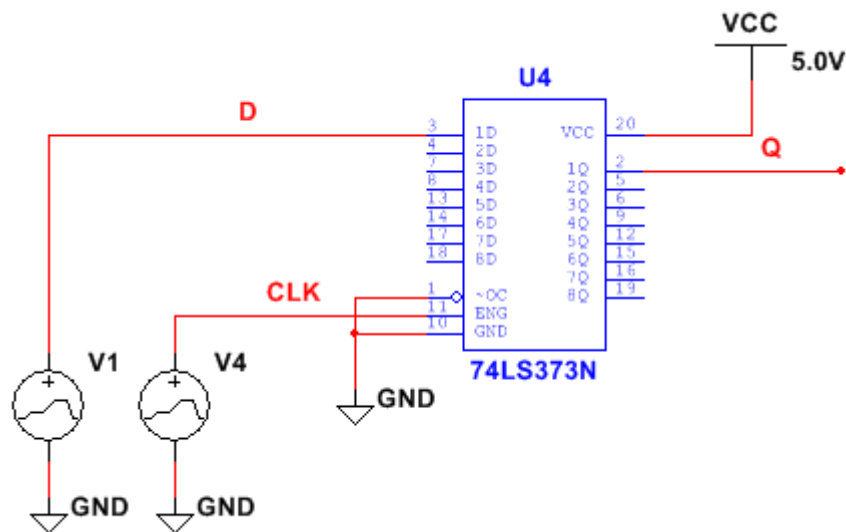


SN74LS373的真值表

输入			输出
\overline{OC}	C	D	Q
L	H	H	H
L	H	L	L
L	L	×	Q_0
H	×	×	Z

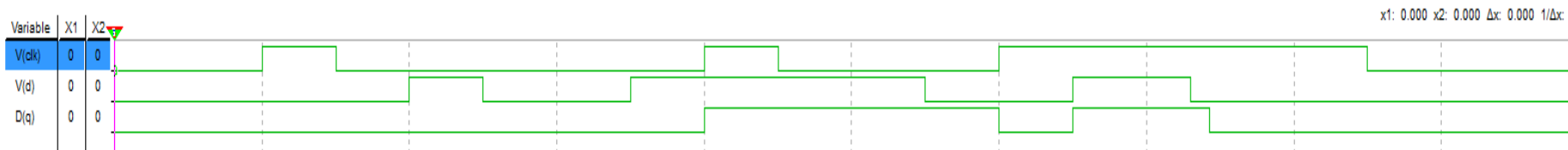
D锁存器

--SN74LS373测试电路



保存在 **e:\leda_verilog\D_latch_IC.ms14**

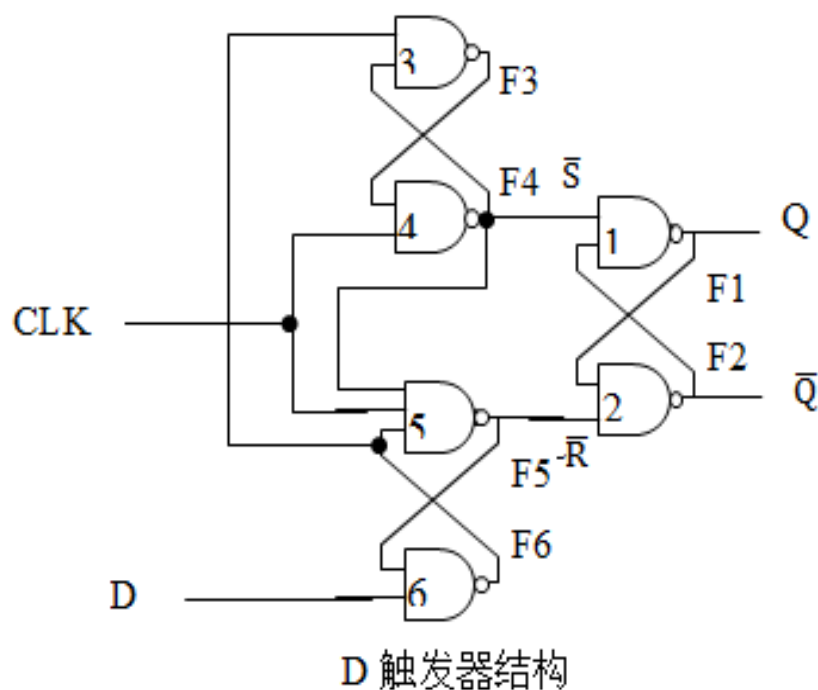
Transient



思考与练习：分析**SN74LS373**的设计结果

D触发器 --结构和原理

基本D触发器，触发器在时钟CLK的上升沿将D的值锁存到Q。



注1：触发器和锁存器不同的是，前面的锁存器是靠控制信号的“电平”的高低来实现数据的保存，而触发器是靠时钟控制信号的“边沿”的变化来实现数据的保存。

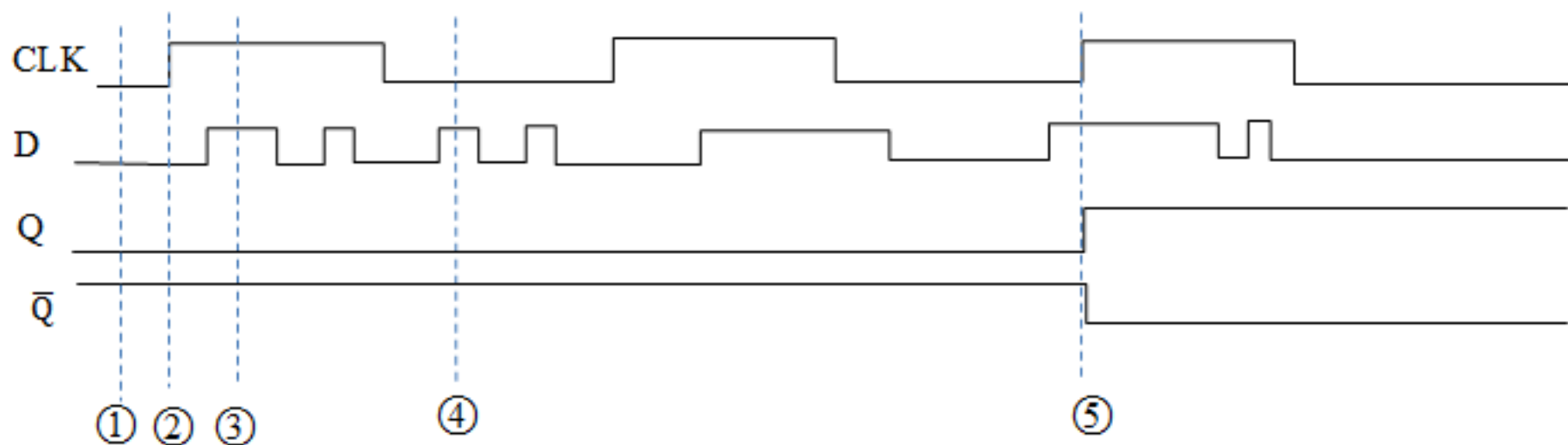
触发器只对“边沿”敏感，而锁存器只对“电平”敏感。

D触发器

--结构和原理

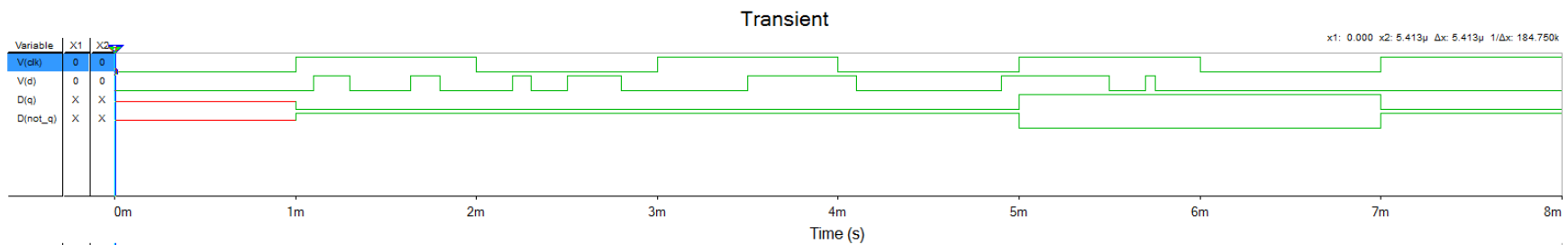
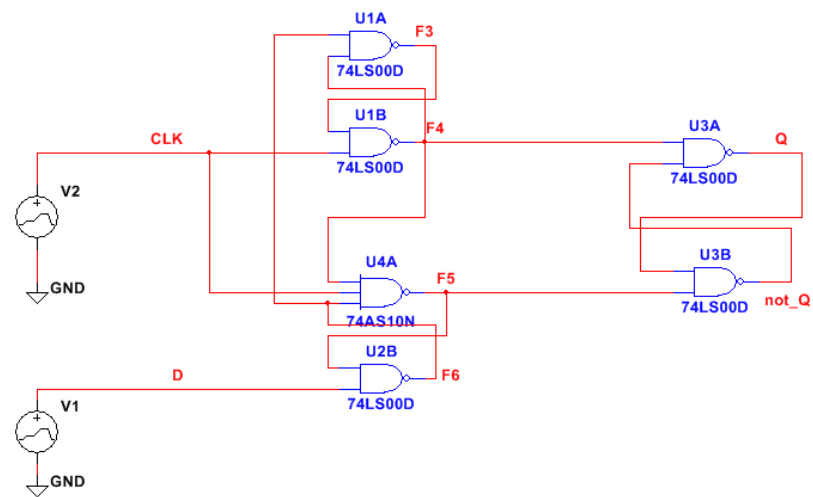
注2：与非门1和2构成基本RS触发器，

注3：当 \bar{S} 和 \bar{R} 均为逻辑“高”时（F4和F5反馈线连在这两个输入端），处于保存数据状态。



D 触发器时序

D触发器 --测试电路



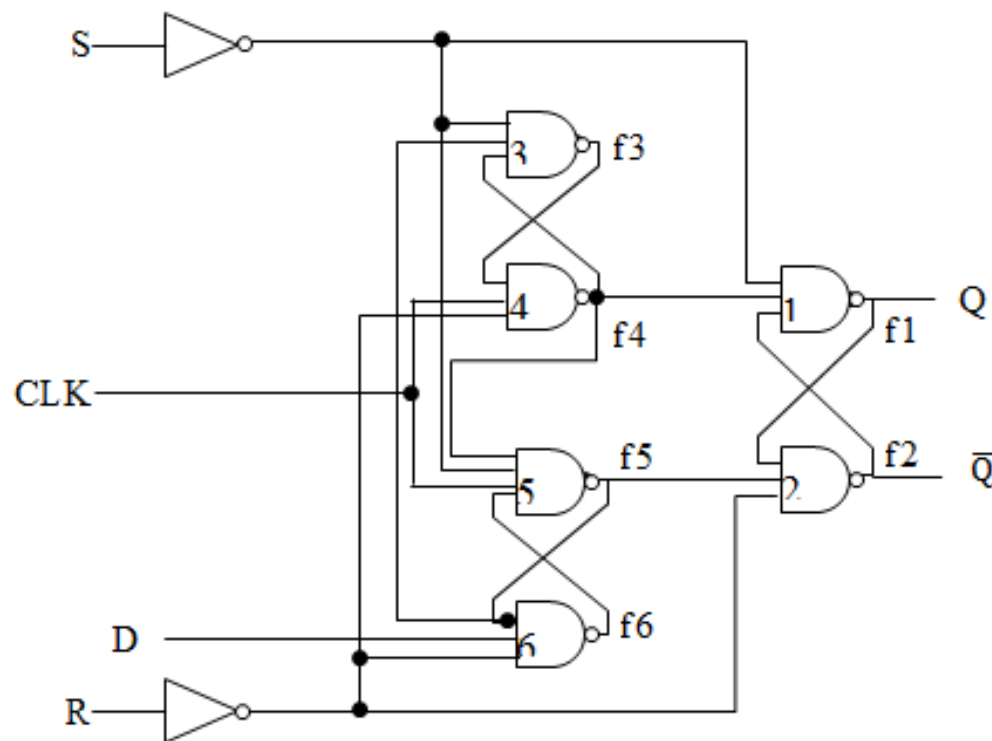
思考与练习：分析D触发器的设计结果

带置位/复位D触发器

--结构和原理

带置位/复位D触发器

在基本D触发器的结构中添加了异步置位/复位信号。



带置位/复位D触发器真值表

S	R	D	CLK	Q	\bar{Q}
0	0	0	↑	0	1
0	0	1	↑	1	0
1	0	×	×	1	0
0	1	×	×	0	1
0	0	×	0	Q_0	\bar{Q}_0

D触发器

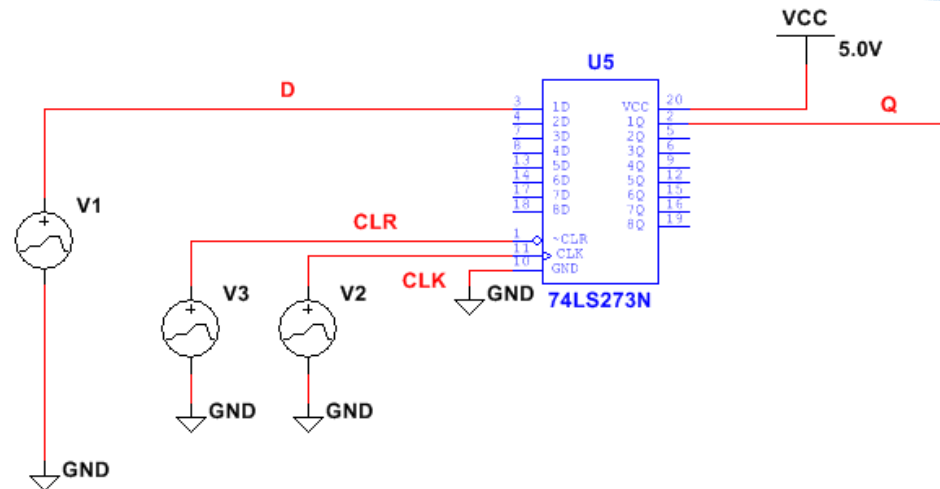
--专用IC列表

专用D触发器芯片

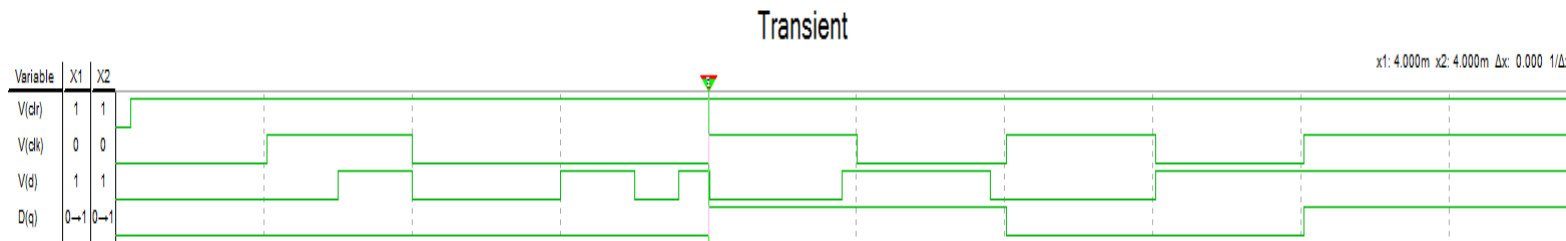
芯片型号	功能
SN74LS173	带有3态输出的4位D寄存器
SN74LS174	带有清零的6个D触发器
SN74LS175	带有清零的4个D触发器
SN74LS273	带有清零的8个D触发器
SN74LS374	带有3态输出的8个D触发器
SN74LS377	带有时钟使能的8个D触发器
SN74LS378	带有时钟使能的6个D触发器
SN74LS74A	带有置位和复位的双D触发器

D触发器

--专用IC测试电路



保存在 e:\leda_verilog\D_FF_IC.ms14



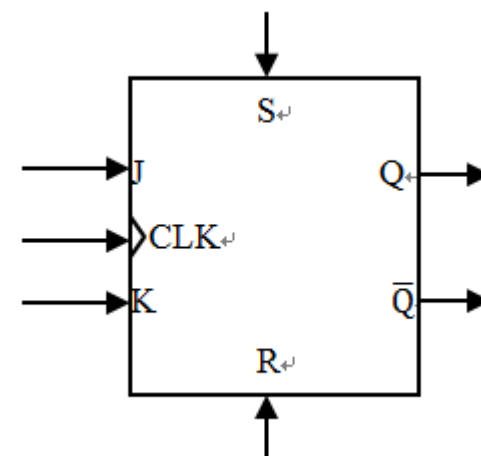
思考与练习：分析集成D触发器的设计结果

JK触发器

--工作原理

■ 该器件使用两个输入控制状态的变化，即：

- J输入端设置输出；
- K输入复位输出。

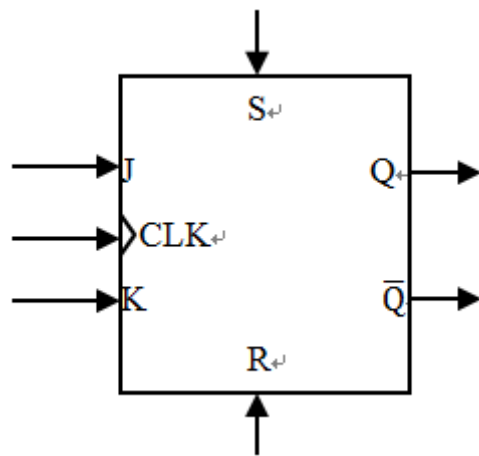


■ 当J和K处于有效输入时，输出将在‘0’和‘1’之间进行切换。

JK触发器

--工作原理

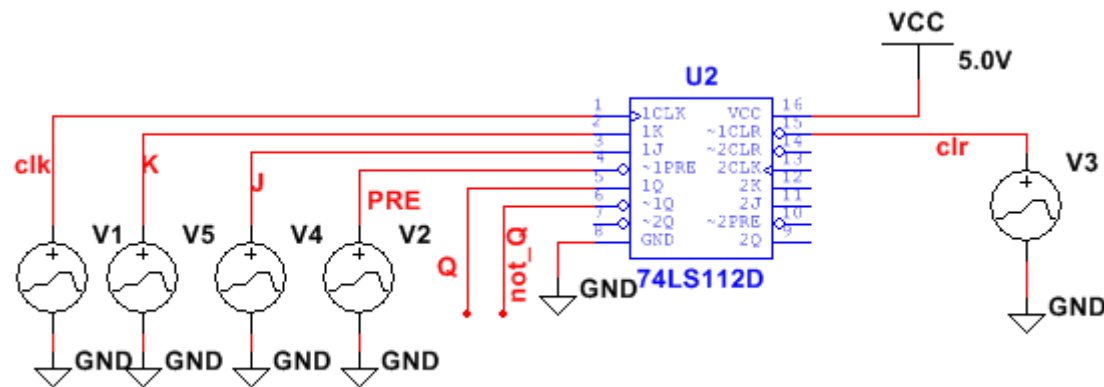
JK触发器的真值表



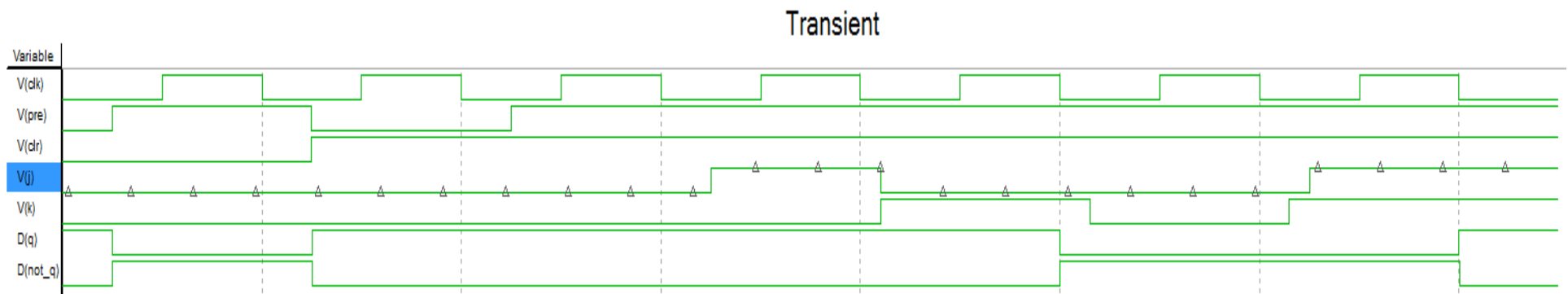
输入					输出	
S	R	CLK	J	K	Q	\bar{Q}
H	L	x	x	x	H	L
L	H	x	x	x	L	H
H	H	↑	L	L	Q_0	\bar{Q}_0
H	H	↑	L	H	L	H
H	H	↑	H	L	H	L
H	H	↑	H	H	状态翻转	
L	L	X	X	X	H	H

JK触发器

--测试电路



保存在 e:\leda_verilog\JK_FF.ms14



思考与练习：分析集成JK触发器的设计结果

T触发器

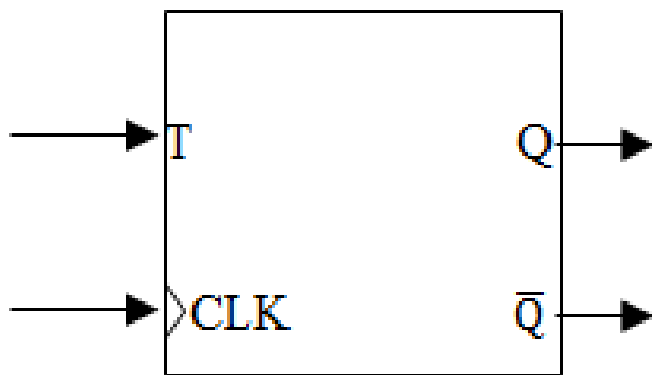
--符号和原理

T触发器

- 当T为有效输入时，在每个时钟到来时，输出将在 '0' 和 '1' 之间进行切换。

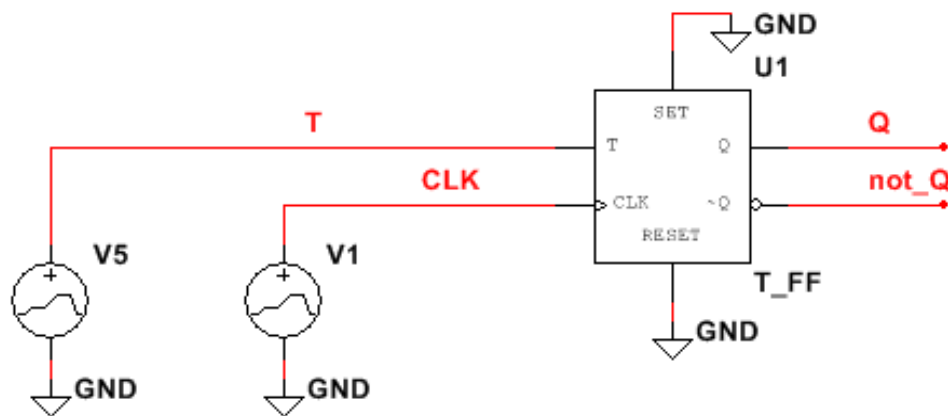
T触发器的真值表

CLK	T	Q_p	Q_N
↑	L	L	L
↑	L	H	H
↑	H	L	H
↑	H	H	L

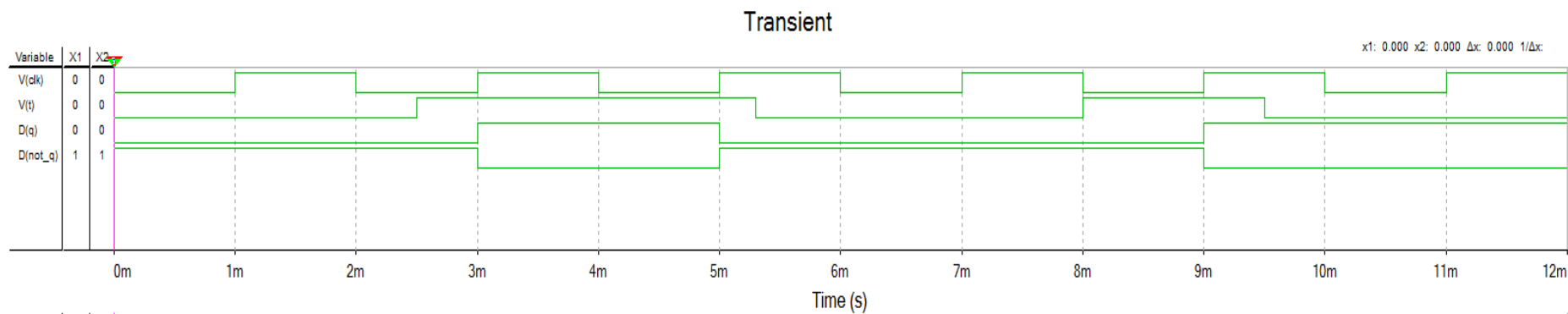


T 触发器符号

T触发器 --测试电路



保存在 e:\eda_verilog\T_FF.ms14



思考与练习：分析T触发器的设计结果

时序逻辑电路

--普通寄存器

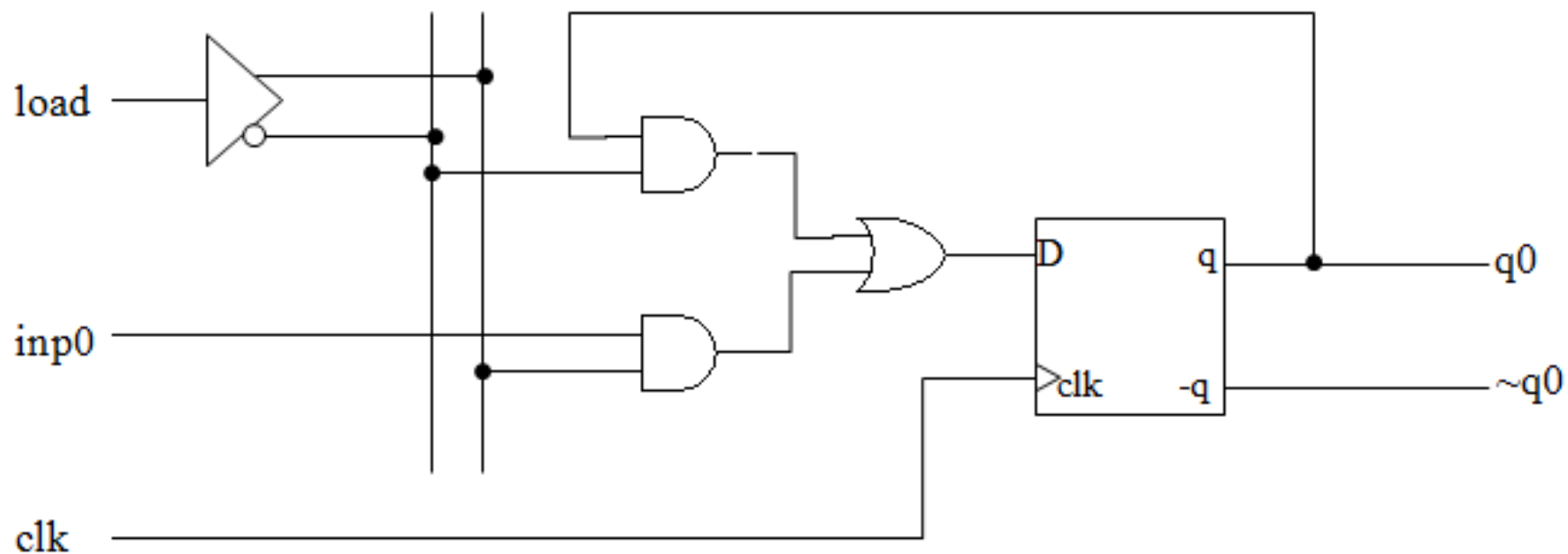
在真正的数字系统中，输入到D触发器的时钟信号是连续的，这就是说，每当一个时钟上升沿到来的时候，D输入的值就被保存到Q输出。

□ 在前面D触发器基础上，添加另一个称为load的输入线。

✓ 当load信号线为高时，inp0的信号就在下一个时钟上升沿到来的时候，锁存到输出q0。

时序逻辑电路

--普通寄存器



一位寄存器的结构

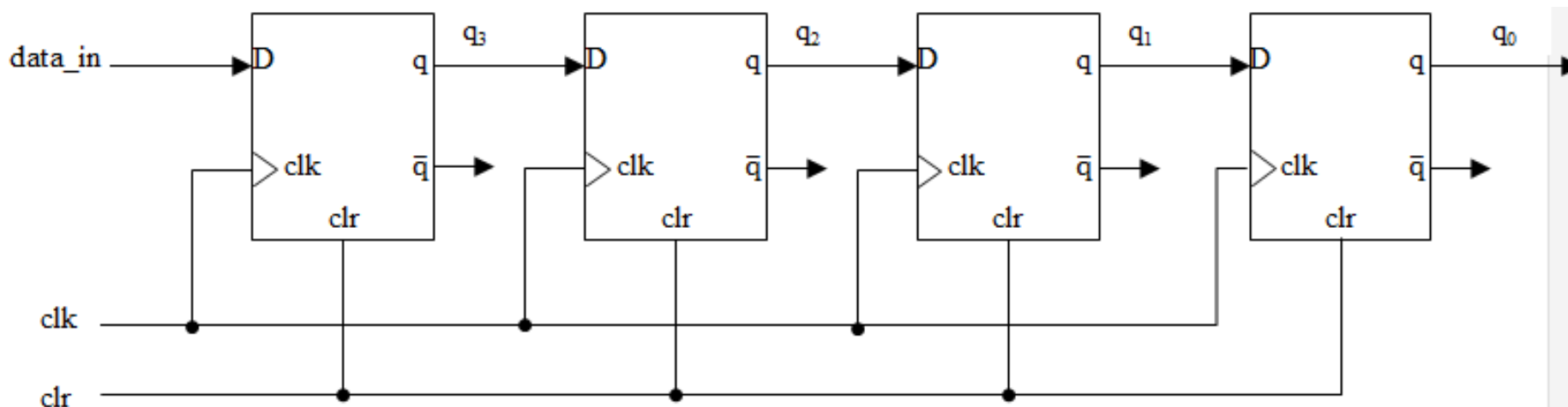
思考：分析普通寄存器的原理。

时序逻辑电路

--移位寄存器原理

N个D触发器可以构成N位的移位寄存器。

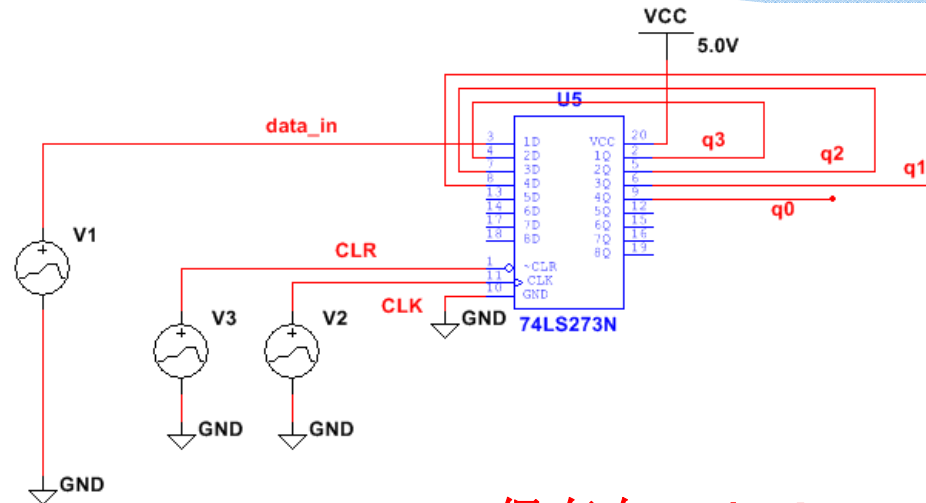
- 当每个时钟上升沿来时，数据向右移动移位。
- 在每个时钟脉冲到来时，当前data_in数据移动到q3，前一个时刻q3的值移动到q2，前二个时刻q2的值移动到q1，前三个时刻的q1的值移动到q0。



4 位移位寄存器的结构

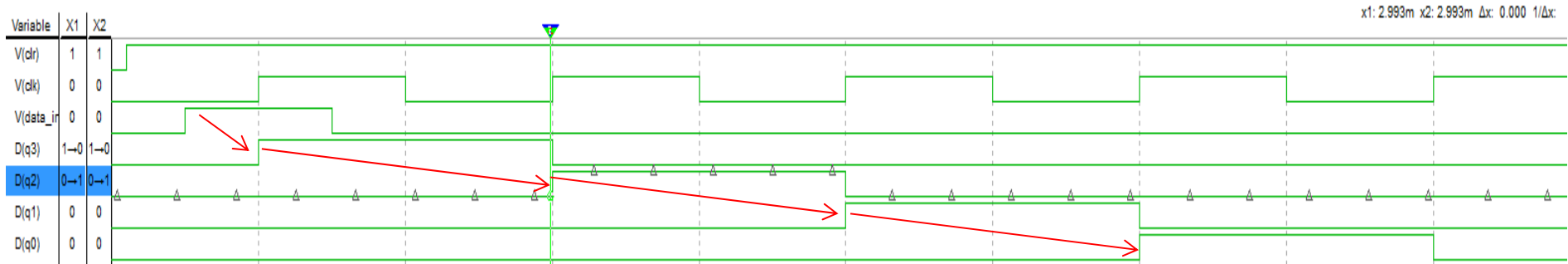
时序逻辑电路

--移位寄存器测试电路



保存在 **e:\eda_verilog\shifter.ms14**

Transient



思考与练习：分析集成移位寄存器的设计结果