

# 设计报告

课程名称：EDA 原理及应用

设计内容：3 输入逻辑与非门

学    院：信息科学与技术学院

专业班级：信工 1702 班

姓    名：黄玥

学    号：2017040481

2019 年 11 月 8 日

北京化工大学

# 一．设计要求

使用 nFET 和 pFET 设计并实现三输入逻辑与非门电路，并详细分析该电路中各个晶体管的工作状态，以及电路输入与输出之间的逻辑关系。

# 二．设计过程

## 设计所需器件

nFET、pFET 各若干，高电平和地

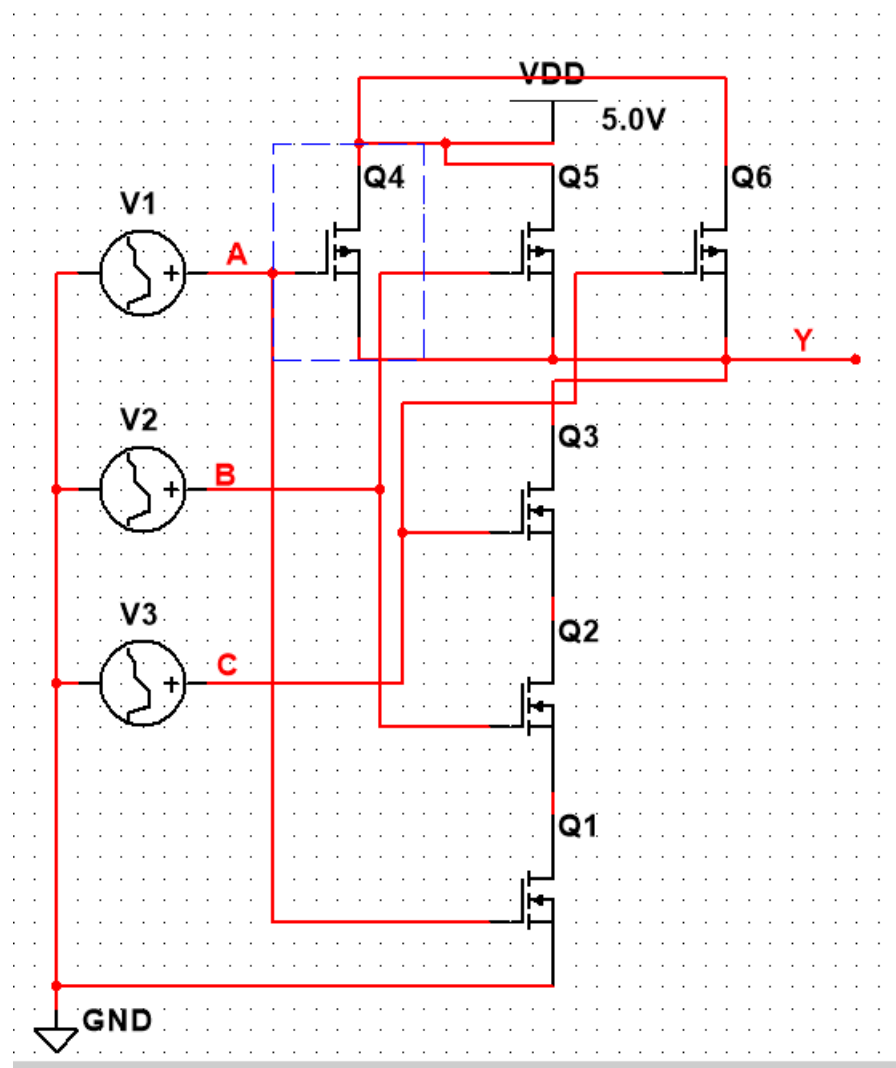
## 元件性能说明

(1) .对于 nFET ， 将其源极接到 GND， 栅极接到  $V_{dd}$  ， 就可以使它导通。若栅极也接 GND， 则截止断开

(2) .对于 pFET ， 将其栅极接到  $V_{dd}$ ， 源极也接  $V_{dd}$ ， 就可以使它截止。若栅极接 GND， 则导通

由 EDA 书 P11 页两输入与非门可以类似推导三输入与非门。

电路图如下



对该电路进行分析：规定输入输出信号为  $V_{dd}$  时表示逻辑 1，输入输出信号为 GND 时表示逻辑 0，即可得如下分析过程：

- (1)  $A=0, B=0, C=0$  时，由于  $Q_4Q_5Q_6$  这三个 pFET 的栅极均为低电平，源极均为高电平，栅源电压均为  $V_{dd}$ ，因此它们都能导通，漏极为高电平，因此输出 Y 为 1。而对于  $Q_1Q_2Q_3$  这三个 nFET，栅极均为低电平，源极也为低电平，因此它们都截止。
- (2)  $A=0, B=0, C=1$  时， $Q_4Q_5$  的栅极为低电平， $Q_6$  的栅极为高电平，而源极均为高电平，因此  $Q_4Q_5$  能够导通，漏极为

高电平，因此输出 Y 为 1，而  $Q_6$  截止。 $Q_1Q_2$  的栅极为低电平， $Q_3$  栅极为高电平，因此  $Q_1Q_2$  截止， $Q_3$  导通。其余状态分析都与此状态类似。

- (3)  $A=1, B=1, C=1$  时， $Q_4Q_5Q_6$  的栅极均为高电平，而源极也均为高电平，因此  $Q_4Q_5Q_6$  都截止，而  $Q_1Q_2Q_3$  的栅极均为高电平，源极均为低电平，因此  $Q_1Q_2Q_3$  都能导通，漏极为低电平。因此输出 Y 为 0。

可列出输入 ABC 的状态与  $Q_1Q_2Q_3$   $Q_4Q_5Q_6$  的导通和截止以及输出 Y 的关系表：

A	B	C	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$Q_5$	$Q_6$	Y
0	0	0	截止	截止	截止	导通	导通	导通	1
0	0	1	截止	截止	导通	导通	导通	截止	1
0	1	0	截止	导通	截止	导通	截止	导通	1
0	1	1	截止	导通	导通	导通	截止	截止	1
1	0	0	导通	截止	截止	截止	导通	导通	1
1	0	1	导通	截止	导通	截止	导通	截止	1
1	1	0	导通	导通	截止	截止	截止	导通	1
1	1	1	导通	导通	导通	截止	截止	截止	0

可以据此画出 Y 的卡诺图

A \ BC	00	01	11	10
0	1	1	1	1
1	1	1	0	1

所以  $Y = \bar{A} + \bar{B} + \bar{C} = \overline{ABC}$  即为与非门。

### 三．总结与心得

通过用晶体管连接实现逻辑门电路，更加了解了逻辑门电路的内部结构和晶体管的工作原理，这样，以后就可以尝试用晶体管制作出所有逻辑门电路，进而能实现所有的数字逻辑运算，这些基本的逻辑电路是构成数字和计算机电路的基础。