



Vivado集成开发环境 --IP核设计流程

主讲：何宾

Email: hebin@mail.buct.edu.cn

2019.05



本章内容

- IP的基本概念
- Vivado工具设计流程
- Vivado IP数字系统设计与实现
- XDC文件原理及添加方法
- 查看综合后的结果
- 查看实现后的结果
- 生成和下载比特流文件
- 生成和下载PROM文件

IP的基本概念

- ❖ 几十年前，由于半导体设计方法和制造工艺的限制，构成数字系统基本使用小规模数字集成电路芯片。
 - 典型的，74LS系列。
- ❖ 这些数字系统功能不算特别复杂。

IP的基本概念

- ❖ 随着EDA工具功能的不断增强，以及半导体制造工艺的飞速发展，所设计的数字系统功能越来越复杂。
 - 构成数字系统采用了大规模的数字集成电路芯片，特别是采用了高性能的FPGA芯片。
- ❖ 所要求的设计周期越来越短，设计可靠性要求越来越高。
 - 从头开始做设计不现实。
 - 效率低，成本高，周期长
 - 必须大量依赖于现有的设计（模块）

IP的基本概念

❖ 在EDA领域内，人们把这些现成的模块通常称为知识产权（Intellectual Property, IP）核。

- 这是因为这些IP核是别人设计成果的体现。
- 在设计这些IP时，会消耗设计人员大量的时间、精力，以及设计费用等。

□ 为了帮助读者理解这个概念，从现在的观点来看，第一章所提到的小规模数字逻辑器件芯片可以看作是一个个功能比较简单的IP核，然后使用这些IP核就可以构成中等规模的数字系统。

IP的基本概念

❖ IP核是具有知识产权核的集成电路芯核总称。

- 是经过反复验证过的、具有特定功能的宏模块，与芯片制造工艺无关，可以移植到不同的半导体工艺中。
- 到了片上系统（System on-chip, SoC）阶段，IP核设计已成为ASIC设计公司和FPGA供应商非常特别重要的任务，因为这是它们所构建生态系统中最重要的一個内容。
- 厂商所能提供IP核的资源，也体现着厂商的软实力。
 - 在Xilinx新一代的集成开发工具Vivado中，提供了大量可用的IP设计资源。

IP的基本概念

-IP核来源

❖ 在数字系统设计领域，特别是在基于FPGA的数字系统设计中，IP核的来源主要包括：

- 设计人员在前一个设计中所创建的模块。
- FPGA生产厂商。
- 第三方IP厂商提供。

IP核提供方式

--软核

❖ 在EDA设计领域，软核是指综合前的RTL模型。

- 在FPGA设计中，具体是指使用HDL对所设计的模块进行描述，包括逻辑描述、网表和帮助文档等。
- 对于软核来说，只有经过功能仿真、综合以及布局布线以后才能使用。
 - 优点是灵活性高、可移植性强，允许用户自配置。
 - 缺点是对模块的预测性较低，在后续设计中存在发生错误的可能性，有一定的设计风险。
- 软核是IP核中应用最广泛的形式。
 - 典型的，arm提供了可以在Xilinx FPGA运行的Cortex-M0,M1和M3。

IP核提供方式

--固核

❖ 固核是指带有平面规划信息的网表。

- 在FPGA设计中，它可以看做是带有布局规划的软核。

- 通常的，它以RTL代码和对应具体工艺网表的混合形式提供。

- 对于固核来说，将RTL描述结合具体标准单元库进行综合优化设计，形成门级网表，再通过布局布线工具即可使用。

- 与软核相比，固核的设计灵活性稍差，但可靠性有较大提高。

- 目前，固核也是IP核的主流形式之一。

IP核提供方式

--硬核

❖ 在EDA设计领域，硬核是指经过验证的设计版图。

- 在FPGA设计中，具体是指布局和工艺固定、经过前端和后端验证的设计，设计人员不能对其进行任何修改。

- 不能修改硬核的原因主要是：

 - 系统设计对各个模块的时序要求很严格，不允许打乱已有的物理版图；

 - 保护知识产权的要求，不允许设计人员对其有任何改动。

- IP硬核的不许修改特点使其复用有一定的困难.因此，只能用于某些特定应用，使用范围较窄。

 - Zynq-7000 SoC器件中，集成了ARM Cortex-A9双核硬核处理器。

IP核比较

- 从完成IP核所花费的成本来讲，硬核代价最大。
- 从使用灵活性来讲，软核的可复用使用性最高。

IP核优化

❖ IP核的厂商从RTL级开始对IP进行人工的优化。

■ 对于EDA设计人员来说，可以通过下面的几种途径购买和使用IP模块：

□ 未加密的RTL级IP

□ 加密的RTL级IP

□ 未布局布线的网表IP

□ 布局布线后的网表级IP