



基本数字逻辑单元HDL描述

主讲：何宾

Email: hebin@mail.buct.edu.cn

2018.08

基本数字逻辑单元HDL描述

--时序逻辑电路HDL描述

时序逻辑电路的输出状态不仅与输入变量的状态有关，而且还与系统原先的状态有关。

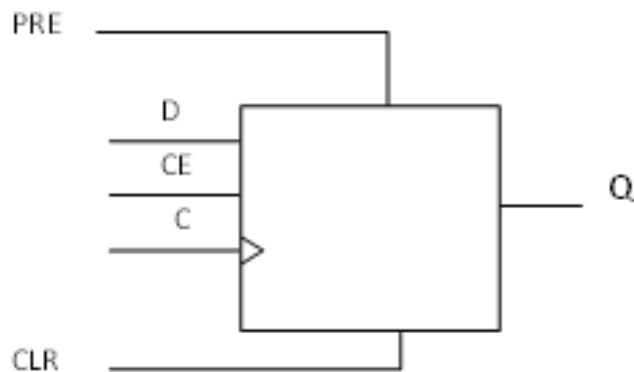
- 时序电路最重要的特点是存在着记忆单元部分；
- 时序电路主要包括：
 - 触发器和锁存器
 - 计数器
 - 移位寄存器
 - 脉冲宽度调制等。

时序逻辑电路HDL描述

--D触发器HDL描述

D触发器是数字电路中应用最多的一种时序电路。

D触发器真值表

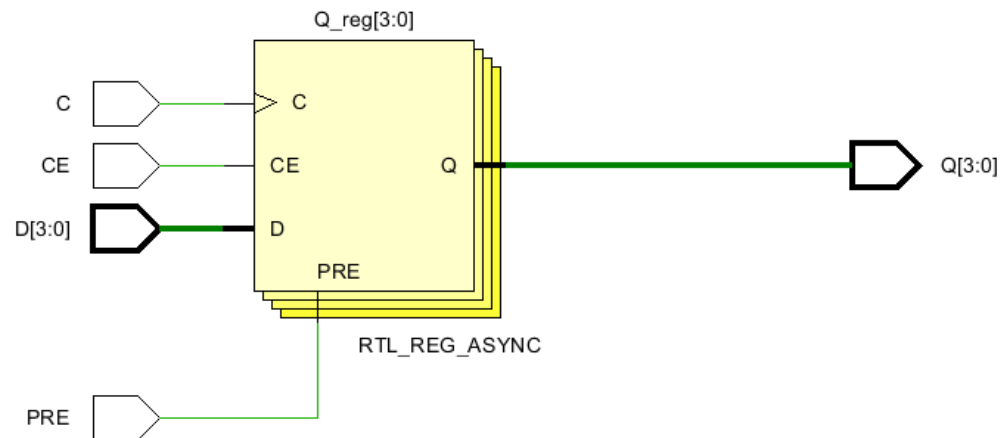


输入					输出
CLR	PRE	CE	D	C	Q
1	X	X	X	X	0
0	1	X	X	X	1
0	0	0	X	X	无变化
0	0	1	0	↑	0
0	0	1	1	↑	1

D触发器HDL描述

--带时钟使能和异步置位的D触发器描述

```
module v_registers_5 (C, D, CE, PRE, Q);  
input C, CE, PRE;  
input [3:0] D;  
output reg [3:0] Q;  
always @(posedge C or posedge PRE)  
begin  
    if (PRE) Q <= 4'b1111;  
    else  
        if (CE) Q <= D;  
    end  
end  
endmodule
```

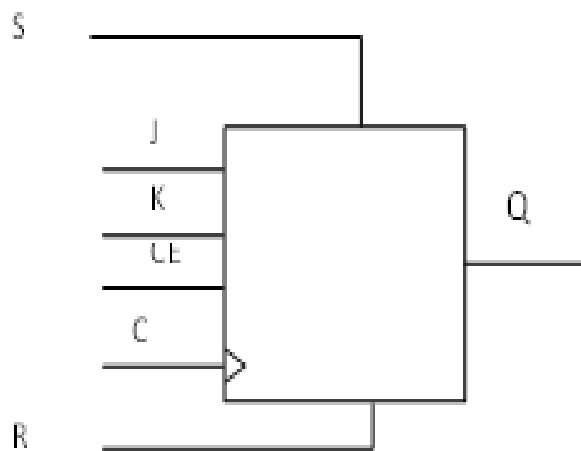


该设计保存在本书配套资源\eda_verilog\example6_15目录下

时序逻辑电路HDL描述

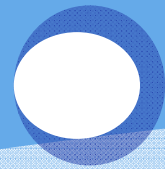
--Jk触发器HDL描述

JK触发器真值表



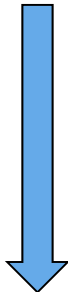
输入						输出
R	S	CE	J	K	C	Q
1	X	X	X	X	↑	0
0	1	X	X	X	↑	1
0	0	0	X	X	X	无变化
0	0	1	0	0	X	无变化
0	0	1	0	1	↑	0
0	0	1	1	1	↑	翻转
0	0	1	1	0	↑	1

JK触发器HDL描述



--带时钟使能和异步置位/复位的JK触发器

```
module JK_FF(CLK,J,K,Q,RS,SET);  
input CLK,J,K,SET,RS;  
output Q;  
reg Q;  
always @(posedge CLK or negedge RS or negedge SET)  
begin  
    if(!RS) Q <= 1'b0;  
    else if(!SET) Q <= 1'b1;  
    else
```

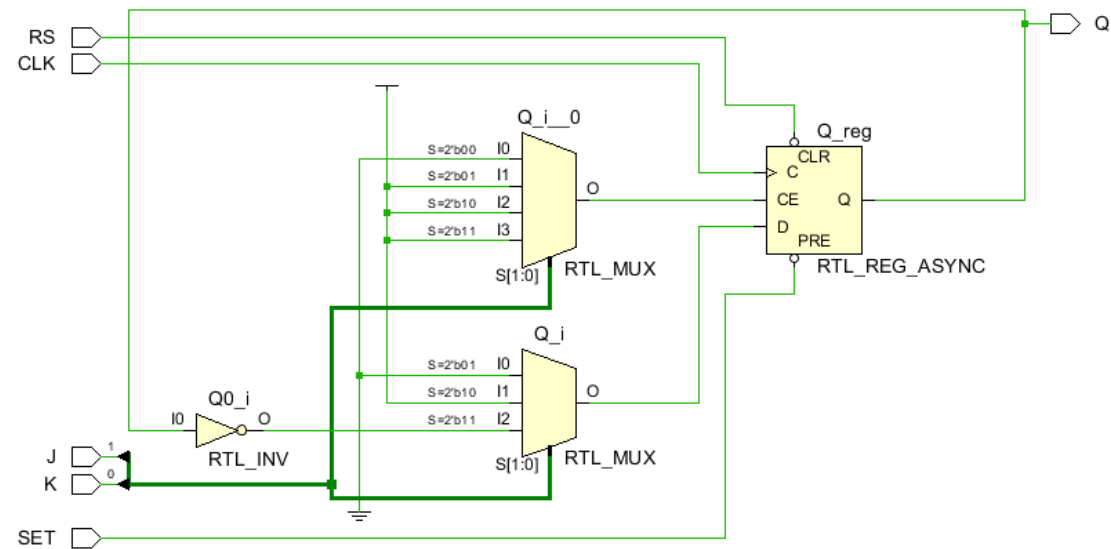


下一页继续

JK触发器HDL描述

--带时钟使能和异步置位/复位的JK触发器

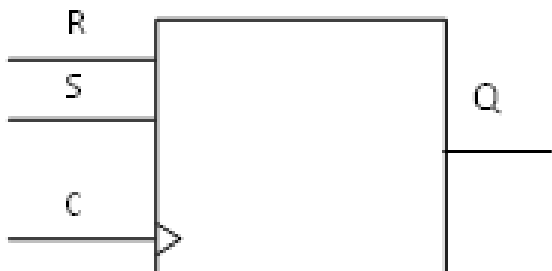
```
case({J,K})
  2'b00 : Q <= Q;
  2'b01 : Q <= 1'b0;
  2'b10 : Q <= 1'b1;
  2'b11 : Q <= ~Q;
  default: Q <= 1'bx;
endcase
end
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_16目录下

时序逻辑电路HDL描述

--RS触发器HDL描述



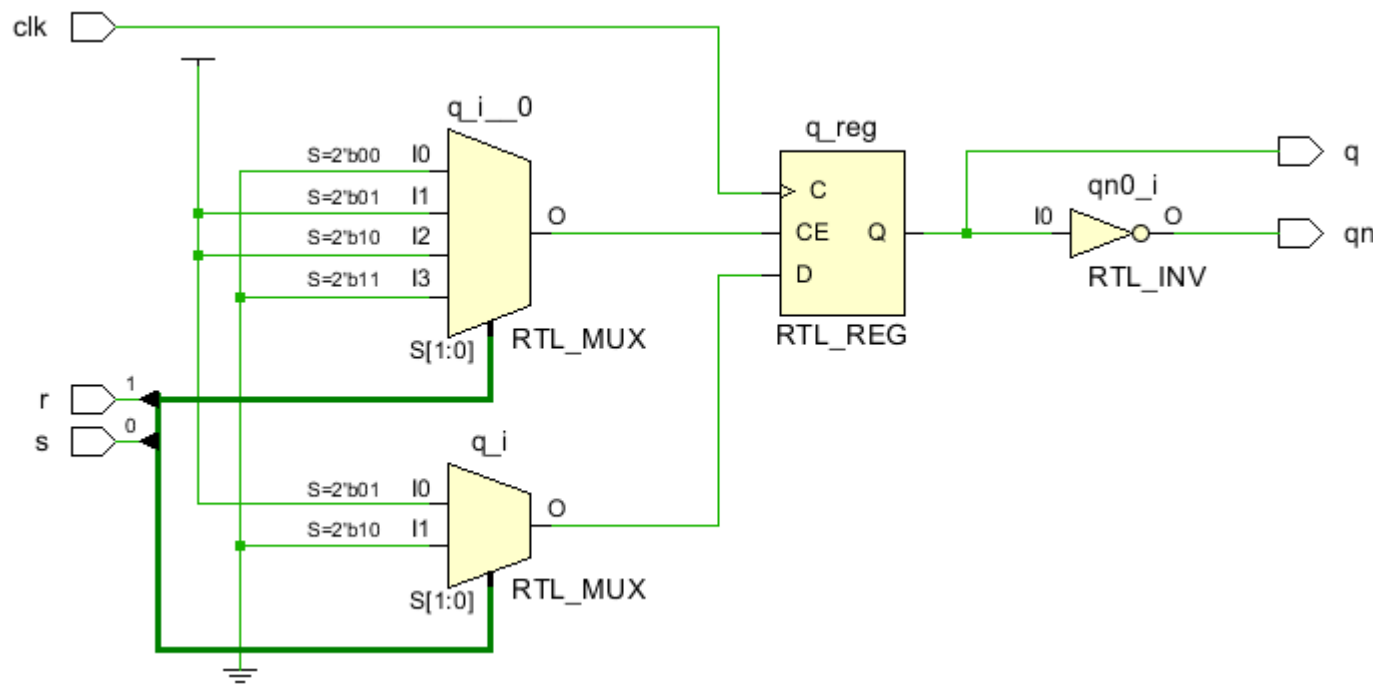
RS触发器真值表

输入			输出
R	S	C	Q
0	0	↑	无变化
0	1	↑	1
1	0	↑	0
1	1	↑	无变化

时序逻辑电路HDL描述

--RS触发器HDL描述的例子

```
module rs_ff(  
    input r,  
    input s,  
    input clk,  
    output reg q,  
    output reg qn  
);  
always @(*)  
begin  
    qn <= ~q;  
end
```



下一页继续

时序逻辑电路HDL描述

--RS触发器HDL描述的例子

```
always @(posedge clk)
```

```
begin
```

```
  case({r,s})
```

```
    2'b00: q <= q;
```

```
    2'b01: q <= 1;
```

```
    2'b10: q <= 0;
```

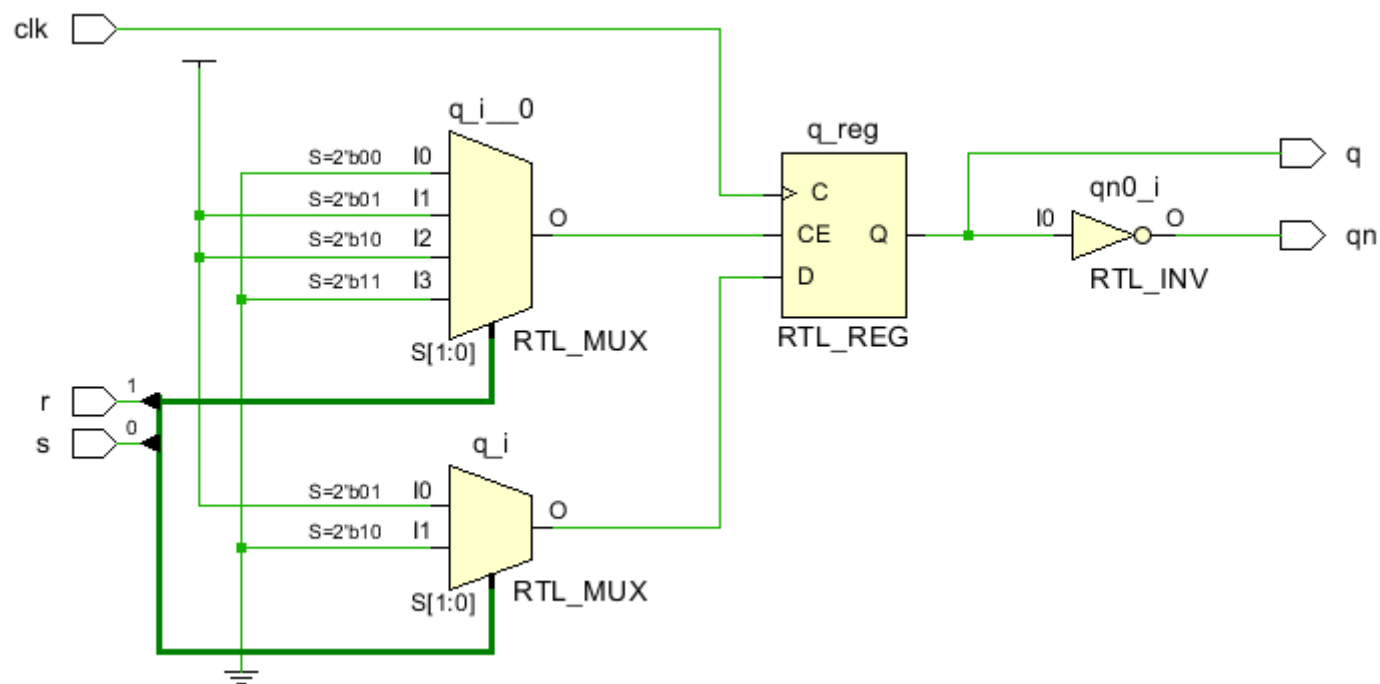
```
    2'b11: q <= q;
```

```
    default: q <= 1'bx
```

```
  endcase
```

```
end
```

```
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_17目录下

时序逻辑电路HDL描述

--锁存器HDL描述

锁存器和触发器不同之处，就在于触发方式的不同

- 触发器是靠敏感信号的边沿触发；
- 锁存器是靠敏感信号的电平触发。

时序逻辑电路HDL描述

--锁存器HDL描述的例子

```
module v_latches_2 (gate,data,set, Q);
```

```
input gate, data, set;
```

```
output Q;
```

```
reg Q;
```

```
always @(gate,data,set)
```

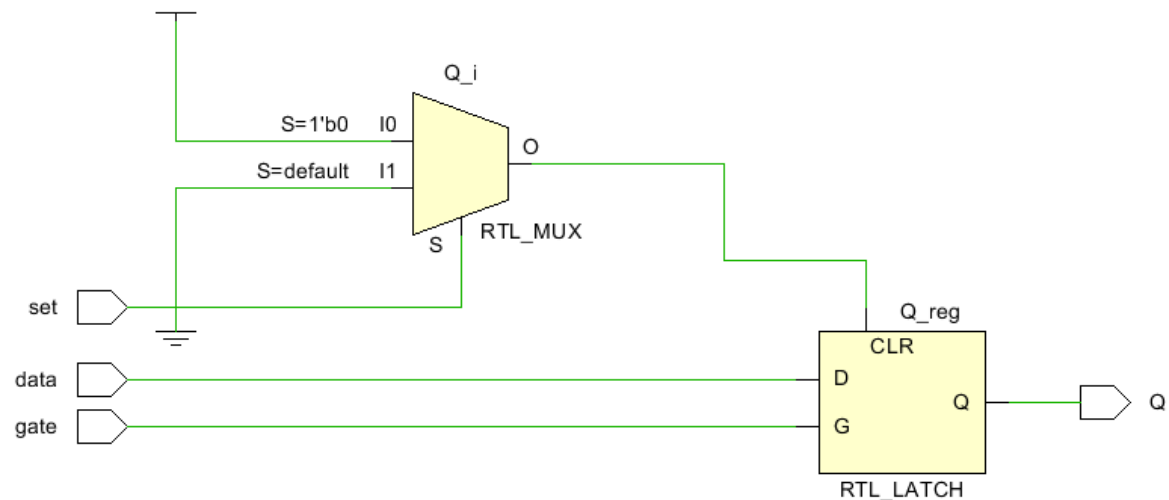
```
begin
```

```
    if (!set) Q = 1'b0;
```

```
    else if(gate) Q = data;
```

```
end
```

```
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_18目录下

时序逻辑电路HDL描述

--计数器HDL描述

根据计数器的触发方式不同，计数器可以分为：同步计数器和异步计数器两种。

□ 当赋予计数器更多的功能时，计数器的功能就非常复杂了。

□ 计数器是常用的定时器的核心部分。

✓ 当计数器输出控制信号时，计数器也就变成了定时器了。

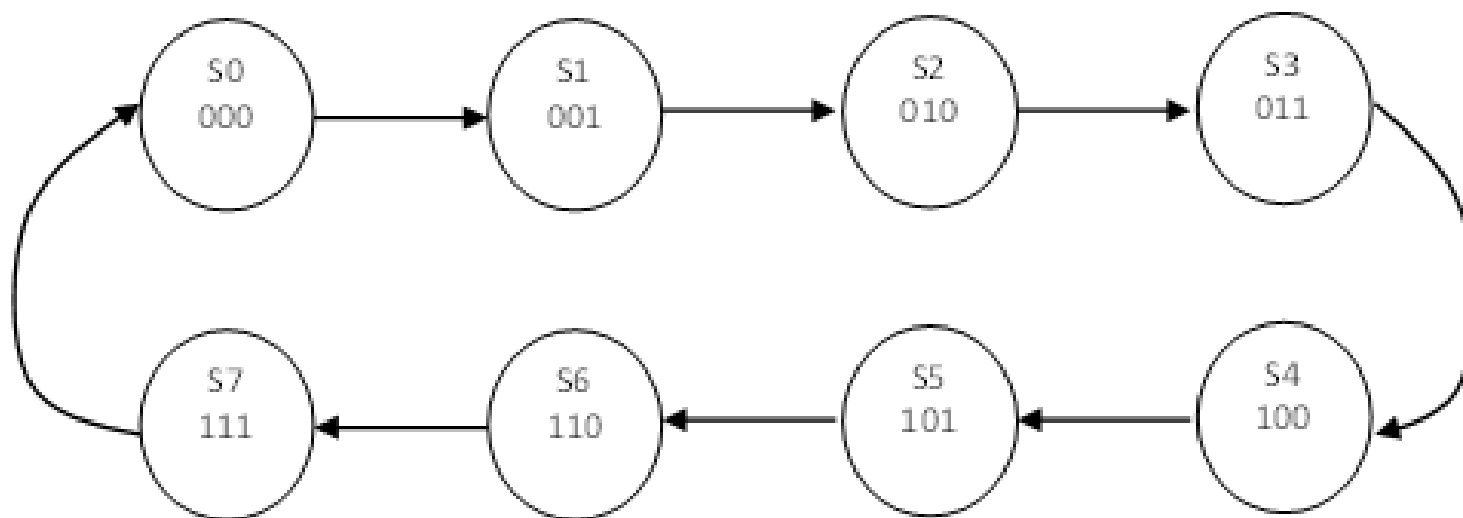
■ 本节只介绍同步计数器的设计。

✓ 同步计数器指在时钟脉冲（计数脉冲）的控制下，计数器做加法或减法的运算。

时序逻辑电路HDL描述

--计数器HDL描述

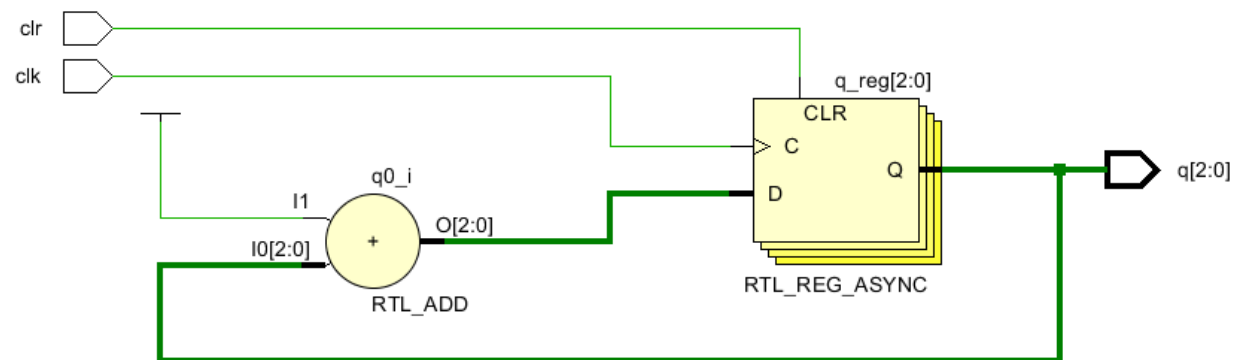
一个8进制（范围0~7）的计数器是一个3位二进制的计数器。



计数器HDL描述

--3位计数器描述的例子

```
module count3(  
    input wire clk,  
    input wire clr,  
    output reg [2:0] q  
);  
always @(posedge clk or posedge clr)  
begin  
    if(clr == 1)  
        q <= 0;  
    else  
        q <= q + 1;  
    end  
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_19目录下

计数器HDL描述

--5进制计数器描述的例子

```
module mod5cnt(  
    input wire clr,  
    input wire clk,  
    output reg [2:0] q  
);
```

```
always @(posedge clr or posedge clk)
```

```
begin
```

```
    if(clr == 1)
```

```
        q <= 0;
```

```
    else if(q == 4)
```

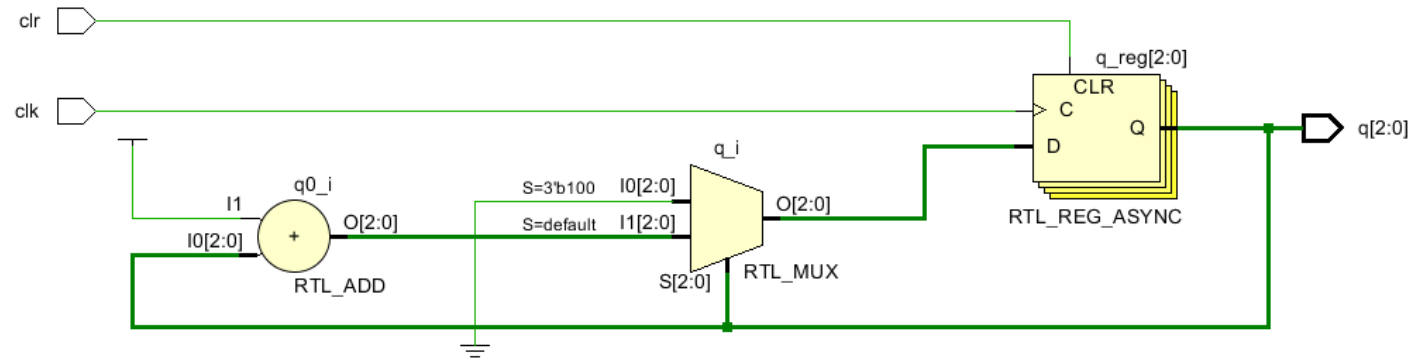
```
        q <= 0;
```

```
    else
```

```
        q <= q + 1;
```

```
end
```

```
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_20目录下

时序逻辑电路HDL描述

--时钟分频器HDL描述

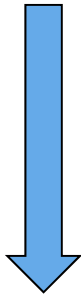
分频时钟频率和计数器的关系(输入时钟50MHz)

q(i)	频率 (Hz)	周期 (ms)	q(i)	频率 (Hz)	周期 (ms)
0	25000000.00	0.00004	12	6103.52	0.16384
1	12500000.00	0.00008	13	3051.76	0.32768
2	6250000.00	0.00016	14	1525.88	0.65536
3	3125000.00	0.00032	15	762.94	1.31072
4	1562500.00	0.00064	16	381.47	2.62144
5	781250.00	0.00128	17	190.73	5.24288
6	390625.00	0.00256	18	95.37	10.48576
7	195312.50	0.00512	19	47.68	20.97152
8	97656.25	0.01024	20	23.84	41.94304
9	48828.13	0.02048	21	11.92	83.88608
10	24414.06	0.04096	22	5.96	167.77216
11	12207.03	0.08192	23	2.98	335.54432

时序逻辑电路HDL描述

--时钟分频器HDL描述的例子

```
module clkdiv(  
    input wire clr,  
    input wire mclk,  
    output wire clk190,  
    output wire clk48  
);  
reg [24:0] q;  
always @ (posedge mclk or posedge clr)  
begin
```

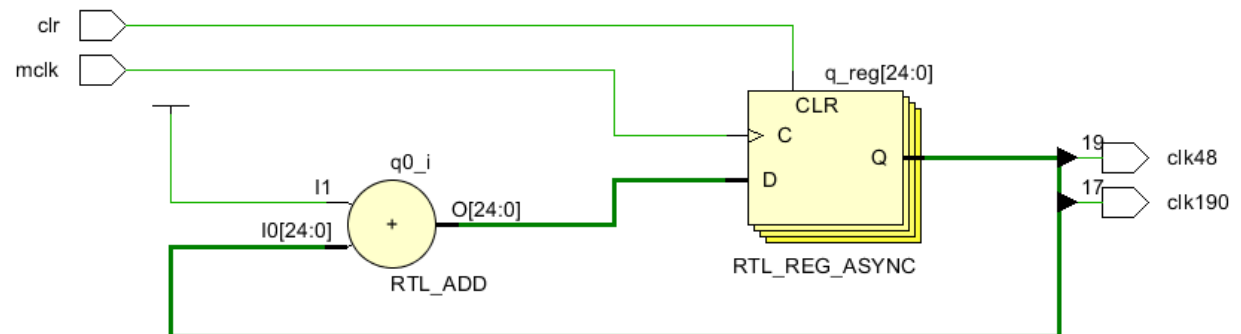


下一页继续

时序逻辑电路HDL描述

--时钟分频器HDL描述

```
if(clr == 1)
    q <= 0;
else
    q <= q + 1;
end
assign clk190 = q[17];
assign clk48 = q[19];
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_21目录下

时序逻辑电路HDL描述

--移位寄存器HDL描述

本节介绍下面：

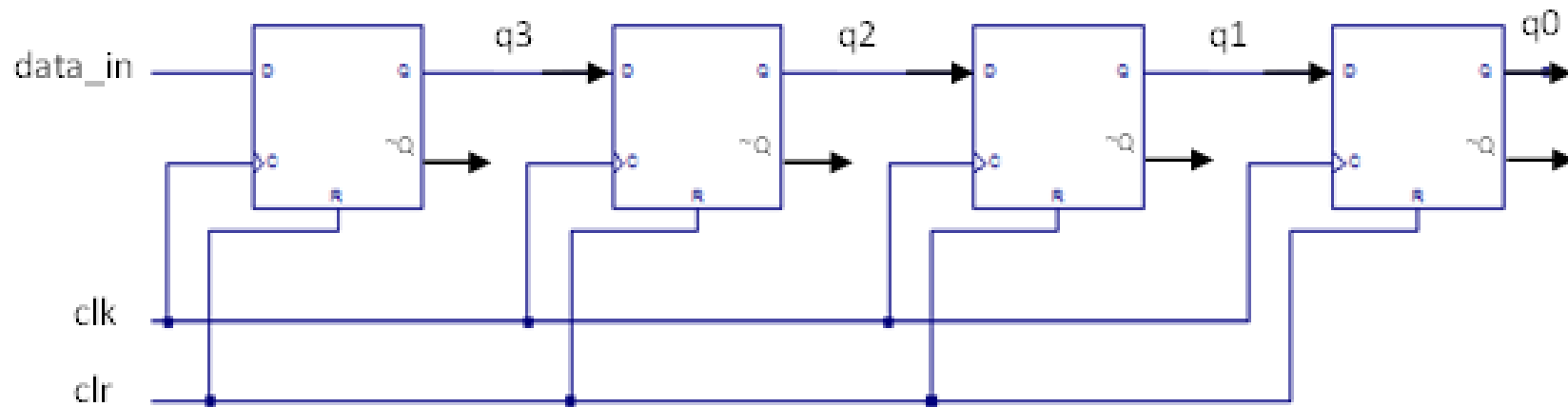
- 通用移位寄存器HDL描述
- 环形移位寄存器HDL描述
- 消抖电路HDL描述
- 时钟脉冲电路HDL描述

时序逻辑电路HDL描述

--通用移位寄存器HDL描述

在每一个时钟脉冲时，数据从一个触发器移动到另一个触发器。

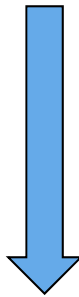
- 串行数据data_in从移位寄存器的左边输入进来，在每个时钟到来时，q3移动到q2，q2移动到q1，q1移动到q0。



通用移位寄存器HDL描述

--16位串入/串出移位寄存器的描述

```
module shift16(  
    input a,  
    input clk,  
    output b  
);  
wire [15:0] z;  
assign z[0]=a;
```

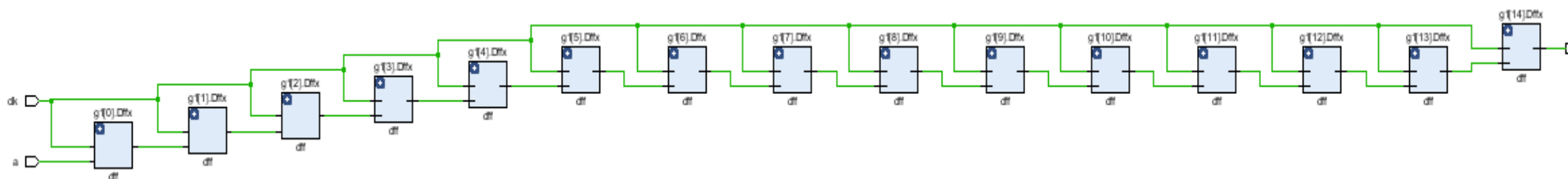


下一页继续

通用移位寄存器HDL描述

--16位串入/串出移位寄存器的描述

```
assign b=z[15];  
genvar i;  
generate  
    for (i=0; i<15; i=i+1)  
        begin: g1  
            dff Dffx (z[i],clk,z[i+1]);  
        end  
    endgenerate  
endmodule
```

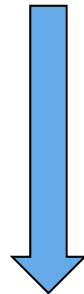


该设计保存在本书配套资源\eda_verilog\example6_22目录下

通用移位寄存器HDL描述

--预定义移位操作符实现逻辑左移的例子

```
module logical_shifter_3(  
    input [7:0] DI,  
    input [1:0] SEL,  
    output reg[7:0] SO  
);  
always @(DI or SEL)  
begin
```



下一页继续

通用移位寄存器HDL描述

--预定义移位操作符实现逻辑左移的例子

case (SEL)

2'b00: SO = DI;

2'b01: SO = DI << 1;

2'b10: SO = DI << 2;

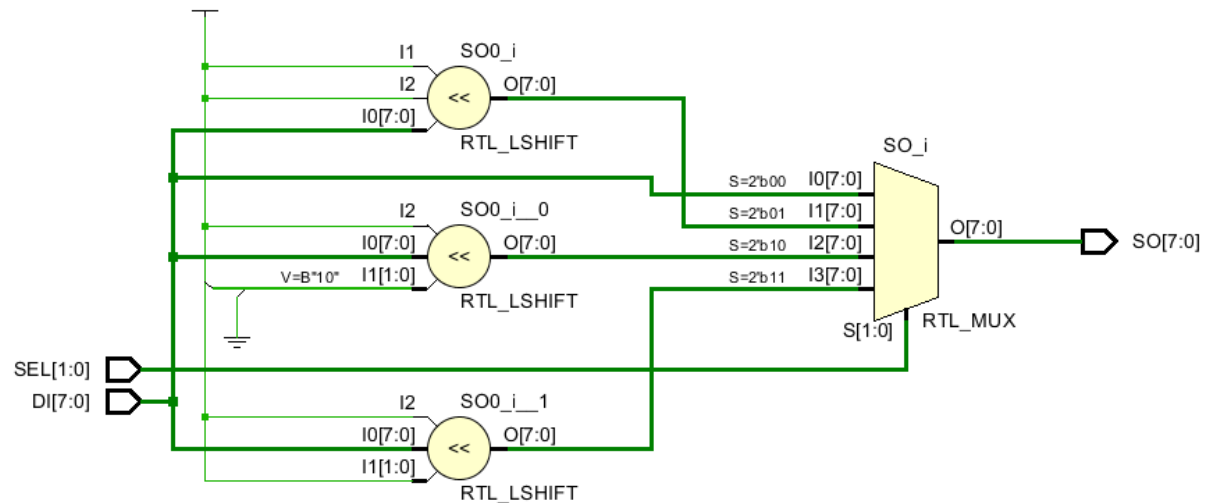
2'b11: SO = DI << 3;

default: SO = DI;

endcase

end

endmodule

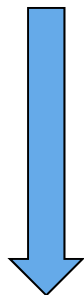


该设计保存在本书配套资源\eda_verilog\example6_23目录下

通用移位寄存器HDL描述

--for循环实现16位移位寄存器的例子

```
module shift_registers_1 (  
    input c,  
    input si,  
    output so  
);  
reg [15:0] tmp;  
integer i;  
    assign so=tmp[15];
```

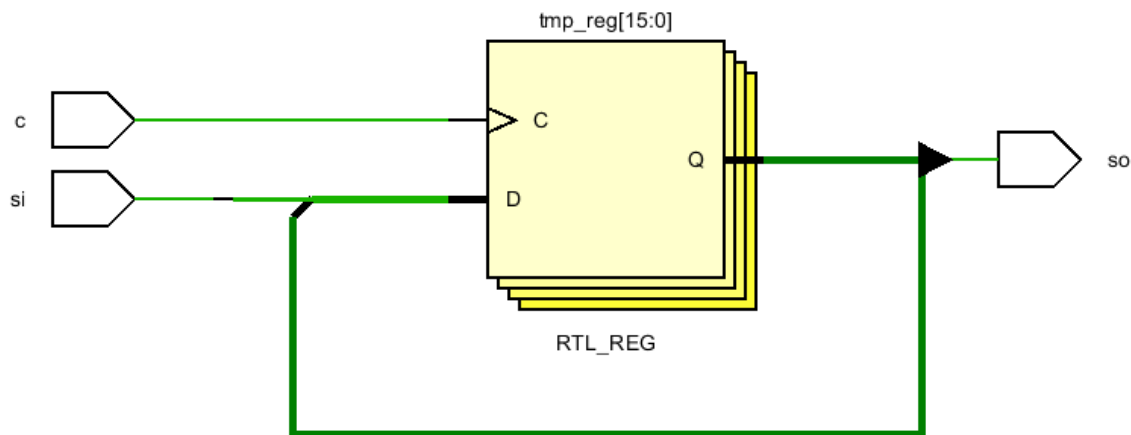


下一页继续

通用移位寄存器HDL描述

--for循环实现16位移位寄存器的例子

```
always @(posedge c)
begin
    for(i=0;i<15;i=i+1)
        tmp[i+1]<=tmp[i];
        tmp[0]<=si;
    end
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_24目录下

通用移位寄存器HDL描述

--并置操作实现16位移位寄存器的例子

```
module shift_register_5(
```

```
    input SI,
```

```
    input clk,
```

```
    output reg[15:0] PO
```

```
);
```

```
reg[15:0] temp=0;
```

```
always @(posedge clk)
```

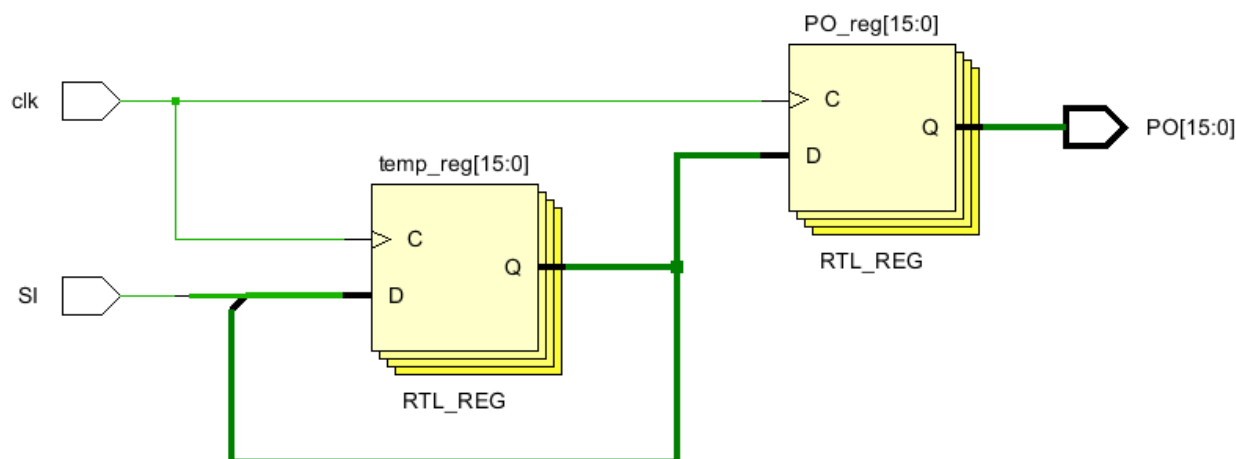
```
begin
```

```
    temp <= {temp[14 : 0], SI};
```

```
    PO <= temp;
```

```
end
```

```
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_25目录下

环形移位寄存器HDL描述

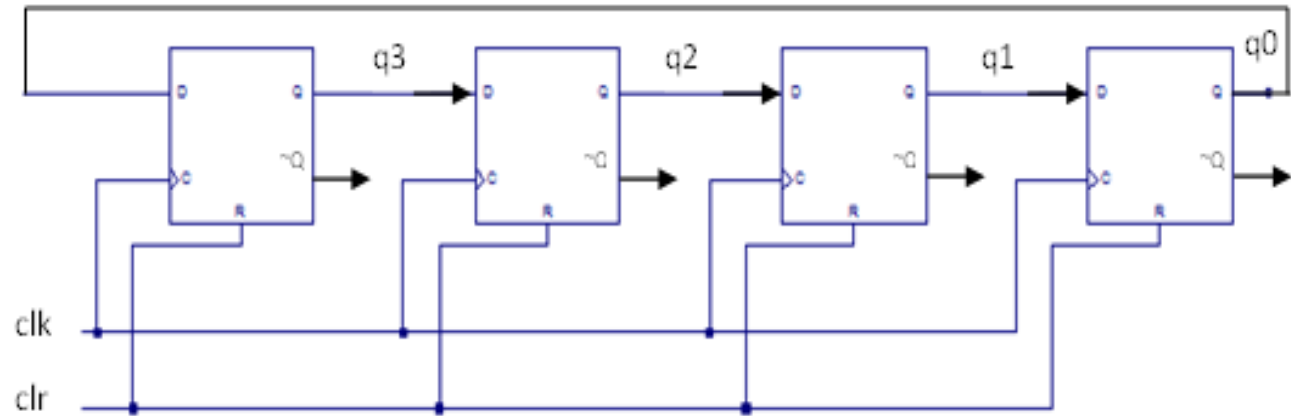
--四位右移环形移位寄存器的例子

```
module ring4(  
  input wire clk,  
  input wire clr,  
  output reg [3:0] q  
);
```

```
  always @(posedge clk or posedge clr)
```

```
  begin
```

```
    if(clr == 1)
```

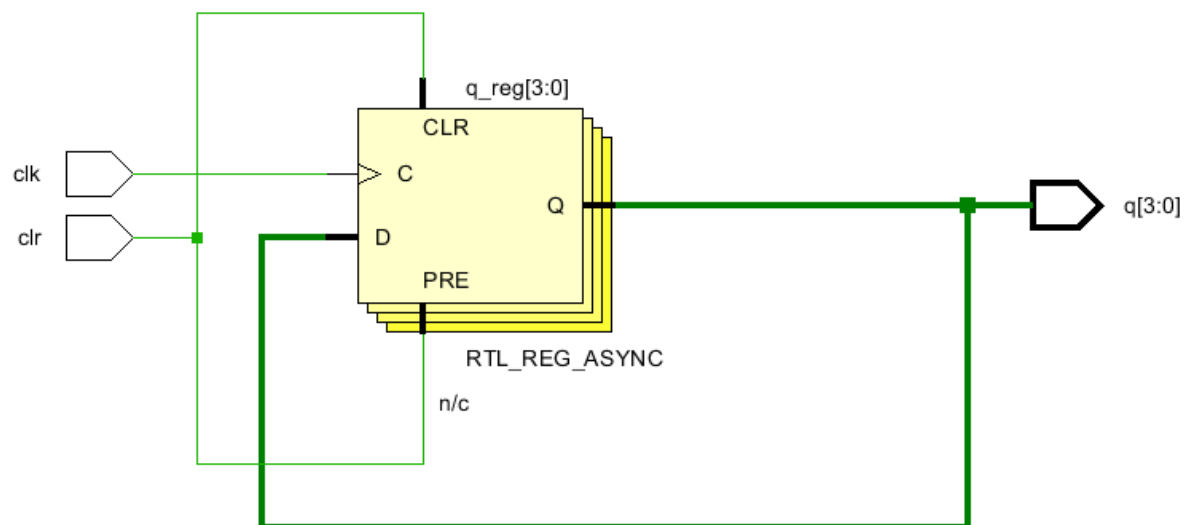


下一页继续

环形移位寄存器HDL描述

--四位右移环形移位寄存器的例子

```
q <= 1;  
else  
begin  
    q[3] <= q[0];  
    q[2:0] <= q[3:1];  
end  
end  
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_26目录下

时序逻辑电路HDL描述

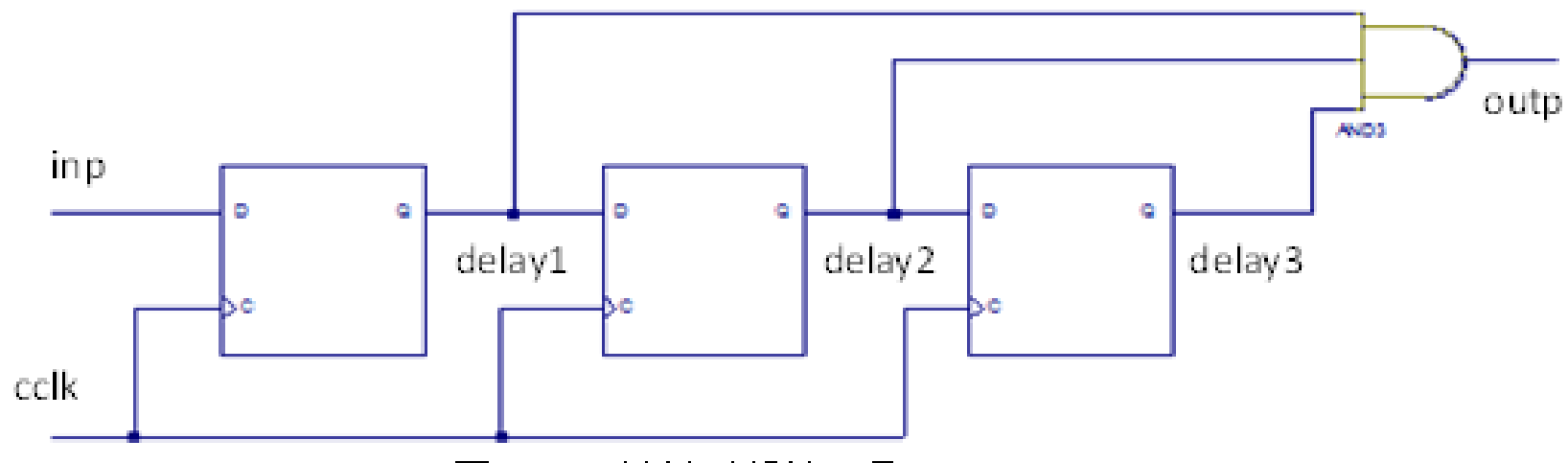
--消抖电路HDL描述

当按键时，不可避免的引起按键的抖动，需要大约ms级的时间才能稳定下来。

- 输入到FPGA的按键信号并不是直接从0变到1，而是在ms级时间内在0和1进行交替变化。
- 由于时钟信号变化的比按键抖动更快，因为会把错误的信号锁存在寄存器中，这在时序电路是非常严重的问题。

时序逻辑电路HDL描述

--消抖电路HDL描述

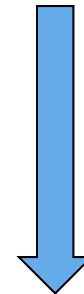


时序逻辑电路HDL描述

--消抖电路HDL描述的例子

```
module debounce4(  
  input wire [3:0] inp,  
  input wire cclk,  
  input wire clr,  
  output wire [3:0] outp  
);  
  reg [3:0] delay1;  
  reg [3:0] delay2;  
  reg [3:0] delay3;
```

```
  always @(posedge cclk or posedge clr)  
  begin  
    if(clr == 1)
```

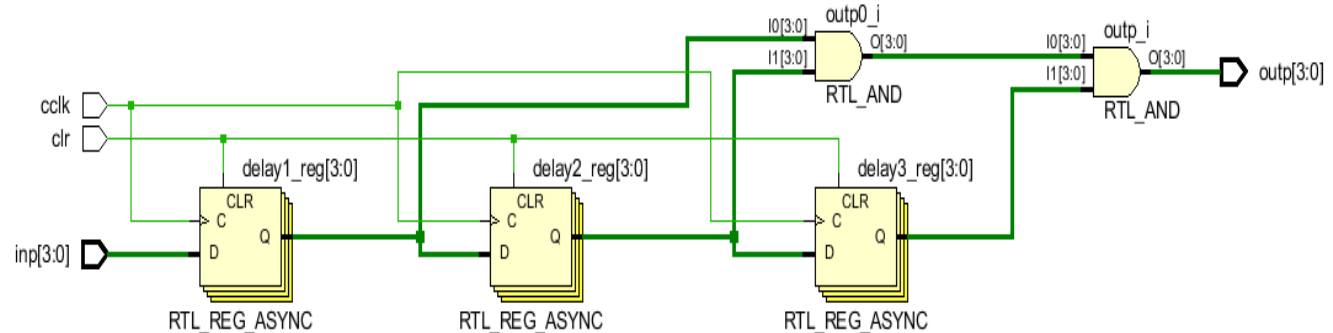


下一页继续

时序逻辑电路HDL描述

--消抖电路HDL描述

```
begin
    delay1 <= 4'b0000;
    delay2 <= 4'b0000;
    delay3 <= 4'b0000;
end
else
    begin
        delay1 <= inp;
        delay2 <= delay1;
        delay3 <= delay2;
    end
end
assign outp = delay1 & delay2 & delay3;
endmodule
```

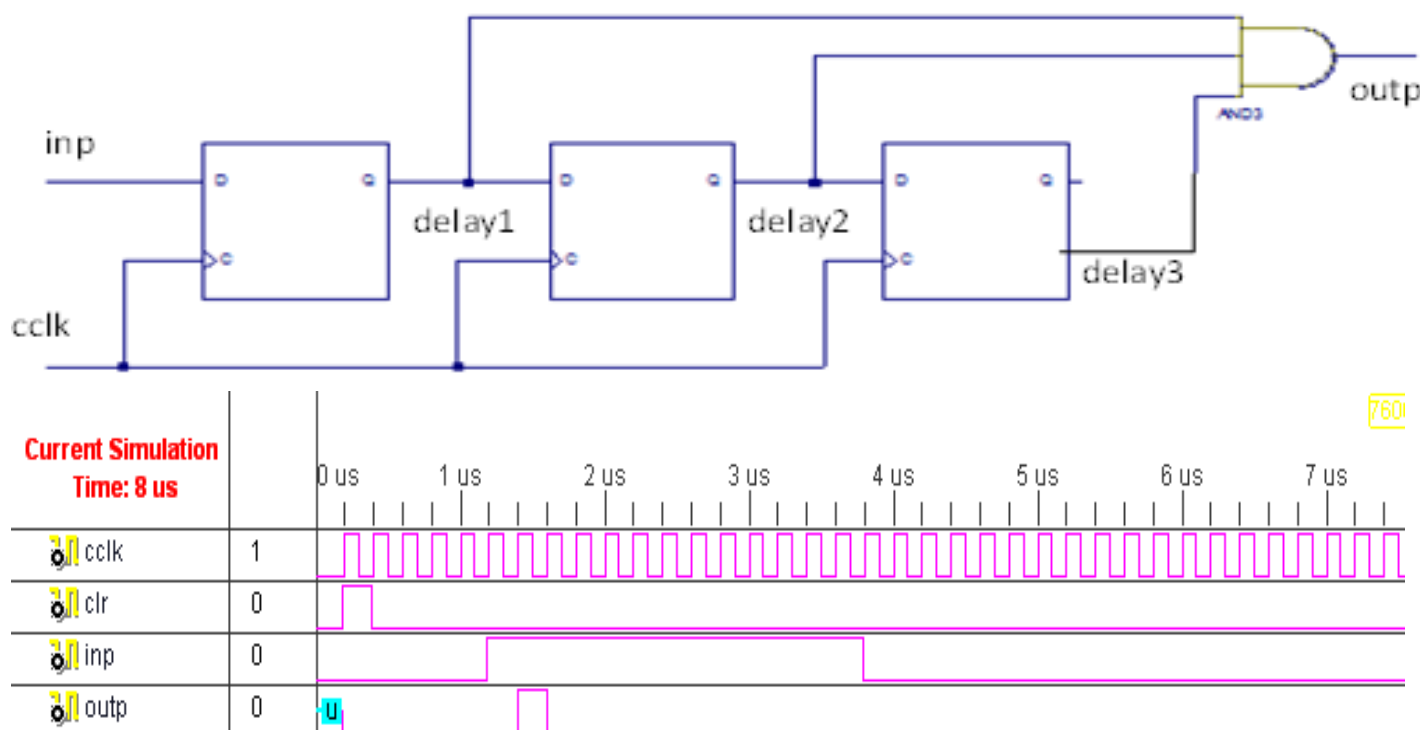


该设计保存在本书配套资源\eda_verilog\example6_27目录下

时序逻辑电路HDL描述

--脉冲电路HDL描述

与消抖电路不同的是输入到AND门的delay3触发器的Q的互补输出端输出。



时序逻辑电路HDL描述

--脉冲电路HDL描述的例子

```
module clock_pulse(  
    input wire inp,  
    input wire cclk,  
    input wire clr,  
    output wire outp  
);  
    reg delay1;  
    reg delay2;  
    reg delay3;  
  
    always @(posedge cclk or posedge clr)  
    begin  
        if(clr == 1)
```

下一页继续

时序逻辑电路HDL描述

--脉冲电路HDL描述的例子

```
begin
```

```
    delay1 <= 0;
```

```
    delay2 <= 0;
```

```
    delay3 <= 0;
```

```
end
```

```
else
```

```
    begin
```

```
        delay1 <= inp;
```

```
        delay2 <= delay1;
```

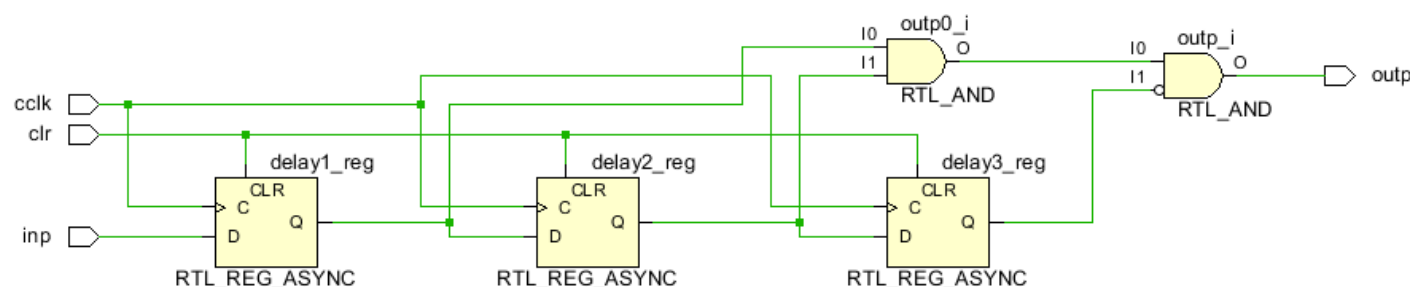
```
        delay3 <= delay2;
```

```
    end
```

```
end
```

```
    assign outp = delay1 & delay2 & ~delay3;
```

```
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_28目录下

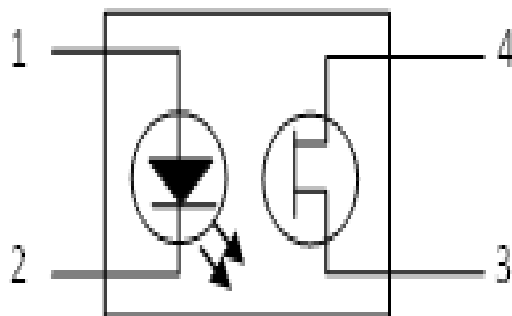
时序逻辑电路HDL描述

--脉冲宽度调制PWM HDL描述

当连接电机或其它负载时，可能向数字电路（CPLD，FPGA和微处理器）流入很大的电流因此最安全和最容易的方法是使用一些类型的固态继电器（solid-state relay, SSR）。

时序逻辑电路HDL描述

--脉冲宽度调制PWM HDL描述



- 数字电路提供小的电流（5-10mA）到输入引脚1和2，将开启固态继电器内的LED，来自LED的光将打开MOSFET，这样将允许引脚3和4之间流经很大的电流。
- 这种光电耦合电路将数字电路隔离开，这样可以降低电路的噪声和防止对数字电路造成的破坏。

时序逻辑电路HDL描述

--脉冲宽度调制PWM HDL描述

❖ 使用数字电路来控制电机的速度，通常使用下图的PWM信号波形。

■ 脉冲周期是恒定的，高电平的时间称为占空是可变的。占空比表示为：



$$\text{占空比} = \frac{\text{占空}}{\text{周期}} \times 100\%$$

时序逻辑电路HDL描述

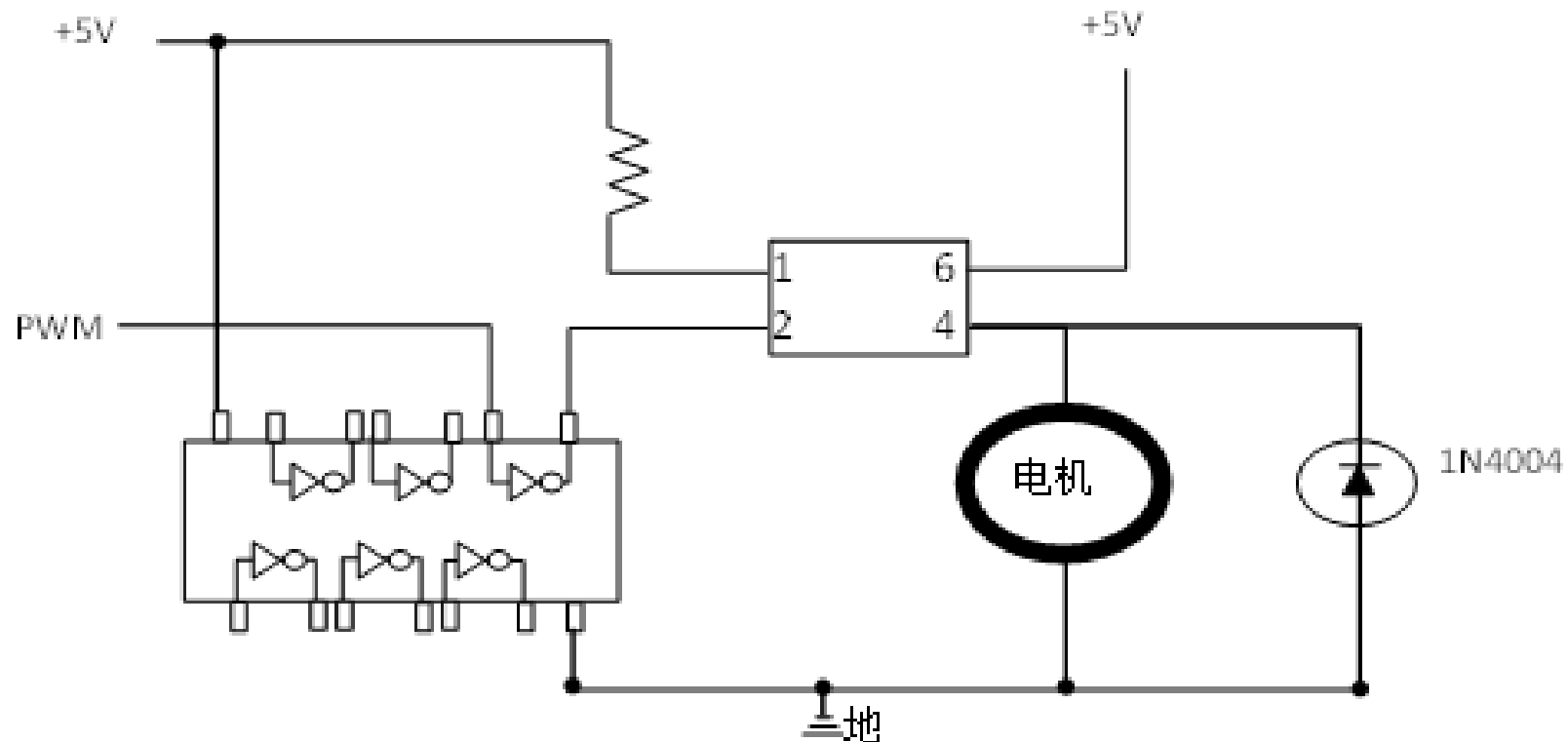
--脉冲宽度调制PWM HDL描述

PWM信号的直流平均值与占空是成比例的。

- 50%占空比的PWM其直流值为PWM信号最大值的1/2。
- 如果通过电机的电压与PWM成正比，简单的改变脉冲占空比就可以改变电机的速度。

时序逻辑电路HDL描述

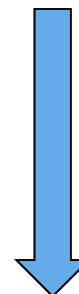
--脉冲宽度调制PWM HDL描述



时序逻辑电路HDL描述

--脉冲宽度调制PWM HDL描述的例子

```
module pwmN
# (parameter N = 4)
(input wire clk,
 input wire clr,
 input wire [N-1:0] duty,
 input wire [N-1:0] period,
 output reg pwm
);
reg [N-1:0] count;
always @(posedge clk or posedge clr)
    if(clr == 1)
```

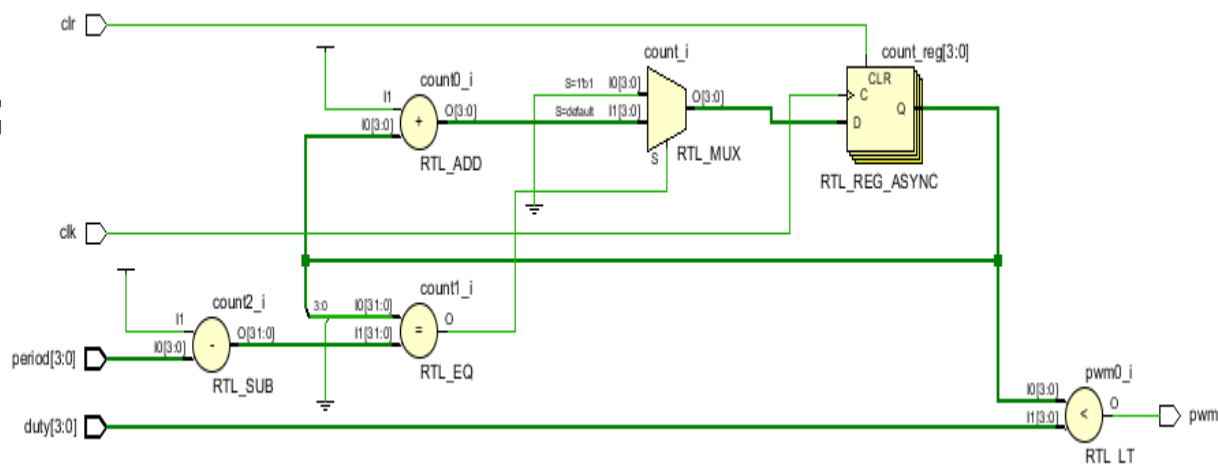


下一页继续

时序逻辑电路HDL描述

--脉冲宽度调制PWM HDL描述

```
count <= 0;
else if(count == period-1)
    count <= 0;
else
    count <= count + 1;
always @(*)
    if(count < duty)
        pwm <= 1;
    else
        pwm <= 0;
endmodule
```



该设计保存在本书配套资源\eda_verilog\example6_29目录下