



# 数字逻辑基础

主讲：何宾

**Email: [hebin@mail.buct.edu.cn](mailto:hebin@mail.buct.edu.cn)**

**2014.06**

# 毛刺产生及消除

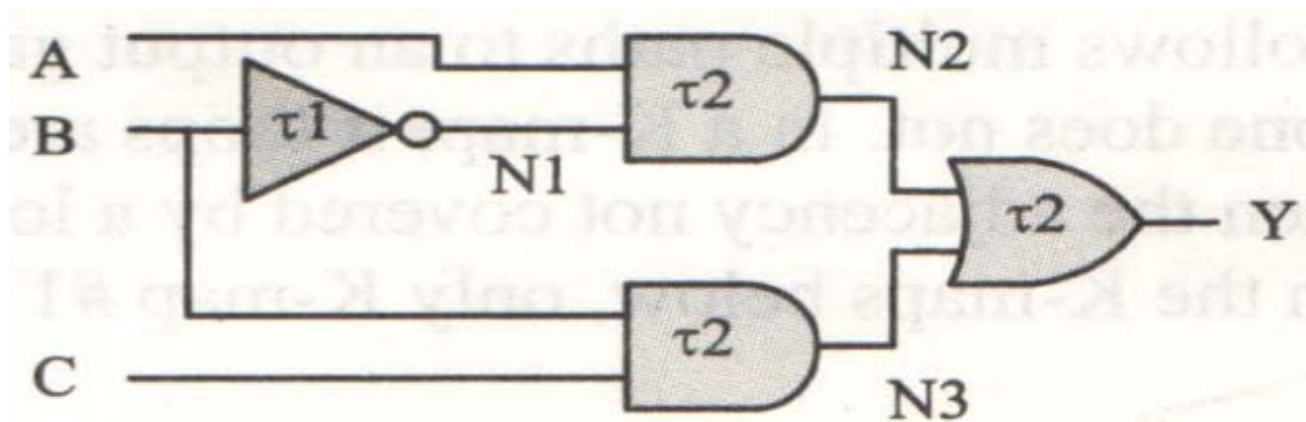
传播延迟不仅限制电路工作的速度，它们也会在输出端引起不期望的多余跳变。这些多余的跳变，称为“毛刺”。

- 这将导致当其中一个信号发生改变时，给信号提供了两条或更多的流过电路的路径，并且其中一条路径的延迟时间比其他路径长。
- 当信号路径在输出门重组时，这个在一条路径上增加的时间延迟会产生毛刺。

# 毛刺产生及消除

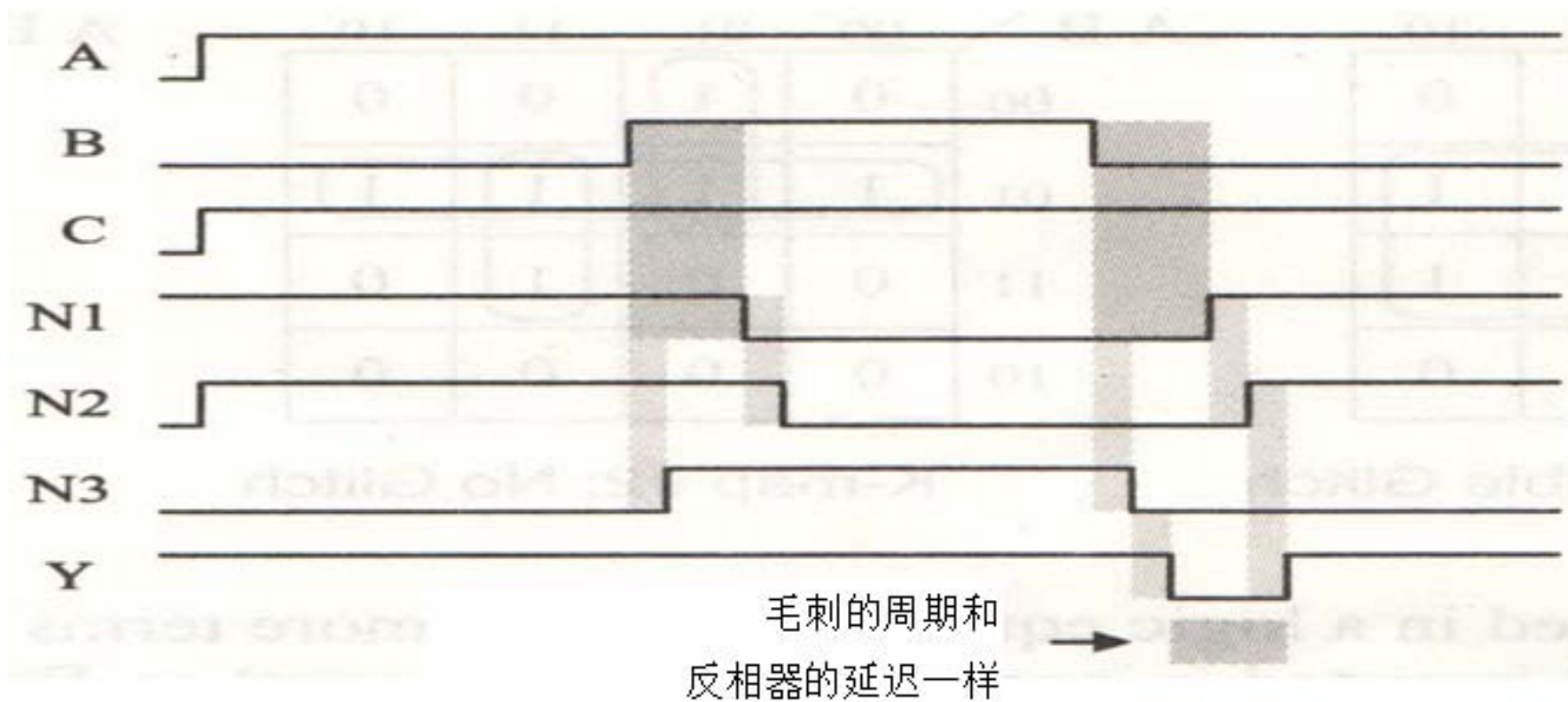
## 包含反相器会产生毛刺的组合逻辑结构

当一个输入信号通过两条路径或多条路径驱动的一个输出，其中一条路径有反相器而另外一条没有时，通常会出现非对称的延迟。



# 毛刺产生及消除

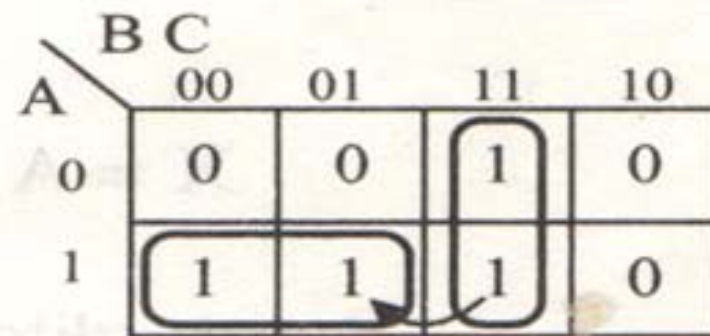
## 毛刺生成逻辑结构和时序分析



# 毛刺产生及消除

当一个输入用于两个积项（或者和之积方程式的两个和项），以及反相器在其中一项中有而另一项中没有时，将会产生毛刺。

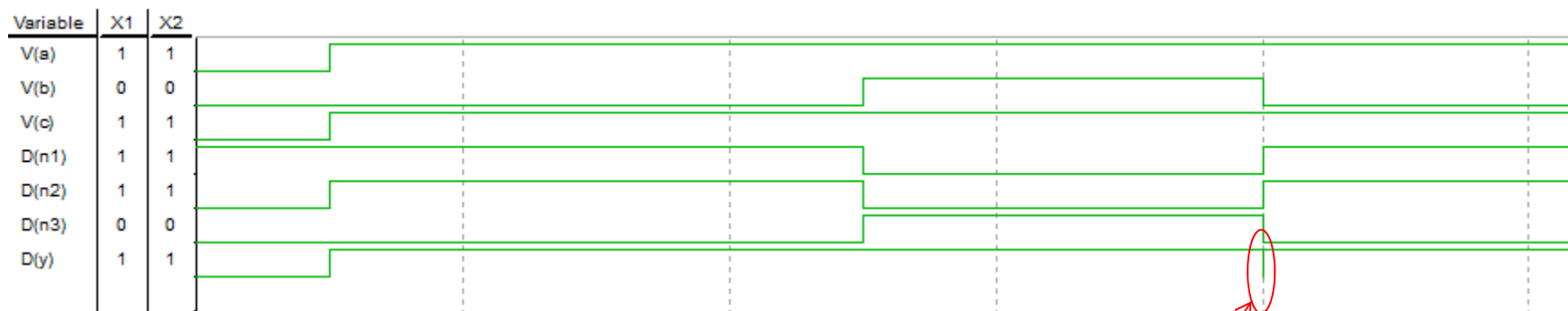
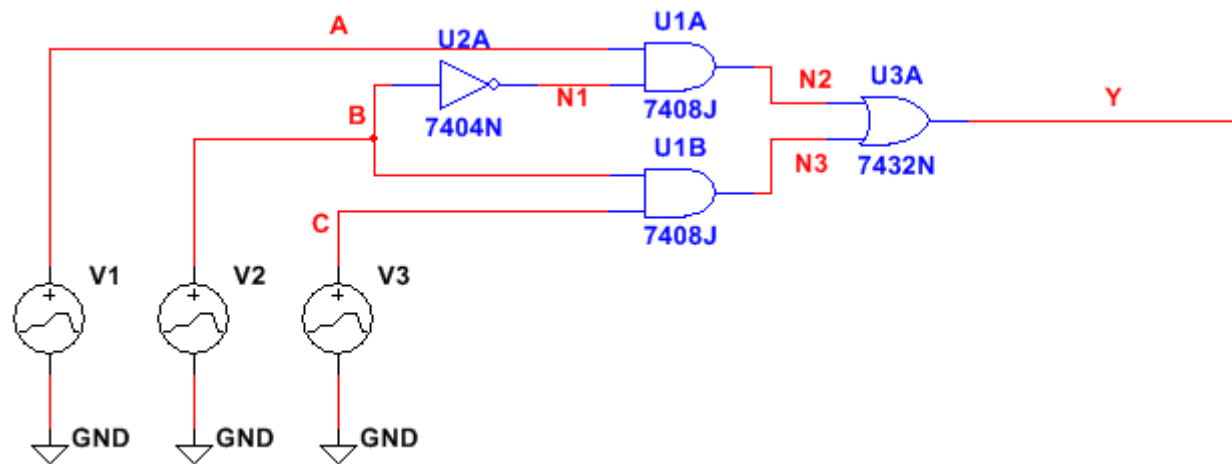
在该卡诺图中，两个圆圈决定了最小逻辑表达式。  $B \cdot C$  独立于  $A$ 。当  $B$  变化时，两种不同的积项必须在输出时重组以保持输出为高，这就是引起毛刺的原因。



$$Y = AB' + BC$$



# 产生毛刺的电路



该设计保存在\eda\_verilog\glitch目录下

毛刺

# 毛刺产生及消除

电路产生毛刺可以通过它原理图、卡诺图或者是逻辑等式验证。

- 在原理图中，输入后面有多条到达输出的路径，并且其中一条有反相器而其他路径没有就会产生毛刺。
- 在卡诺图中，假如画的圈是相邻的但不重叠，那么那些没有被圈圈住的相邻项将有可能产生短时脉冲干扰。

# 毛刺产生及消除

A B	C D			
	00	01	11	10
00	0	1	0	0
01	0	1	1	1
11	0	0	1	1
10	0	0	0	0

可能的毛刺

A B	C D			
	00	01	11	10
00	0	1	0	0
01	1	1	1	1
11	0	0	1	0
10	0	0	0	0

没有毛刺

A B	C D			
	00	01	11	10
00	1	0	0	0
01	1	0	1	0
11	0	0	1	0
10	0	0	0	0

没有毛刺



# 毛刺产生及消除

对于毛刺的产生，一个逻辑电路必须对驱动所有输入到适当的水平的耦合变量“很敏感”，这样就只有耦合变量可以影响输出。在一个SOP电路中，这意味着除了耦合输入外的所有的输入必须被驱动到“1”，这样它们对第一级与门的输出就不会产生影响。

这种情况为逻辑电路消除毛刺提供了一个直观的方法：**将所有多余的输入信号组合到一个新的第一级的逻辑输入（例如，SOP电路的与门），并将这个新增加的门添加到电路中。**

# 毛刺产生及消除

逻辑表达式：

$$F = \bar{A} \cdot B + A \cdot C$$

耦合项是A，多余项可以组合成项的形式，将这项添加到电路组成方程式。

$$F = \bar{A} \cdot B + A \cdot C + B \cdot C$$

原等式是最小逻辑表达式，为了不产生毛刺，在最小逻辑表达式中添加了一个冗余项。

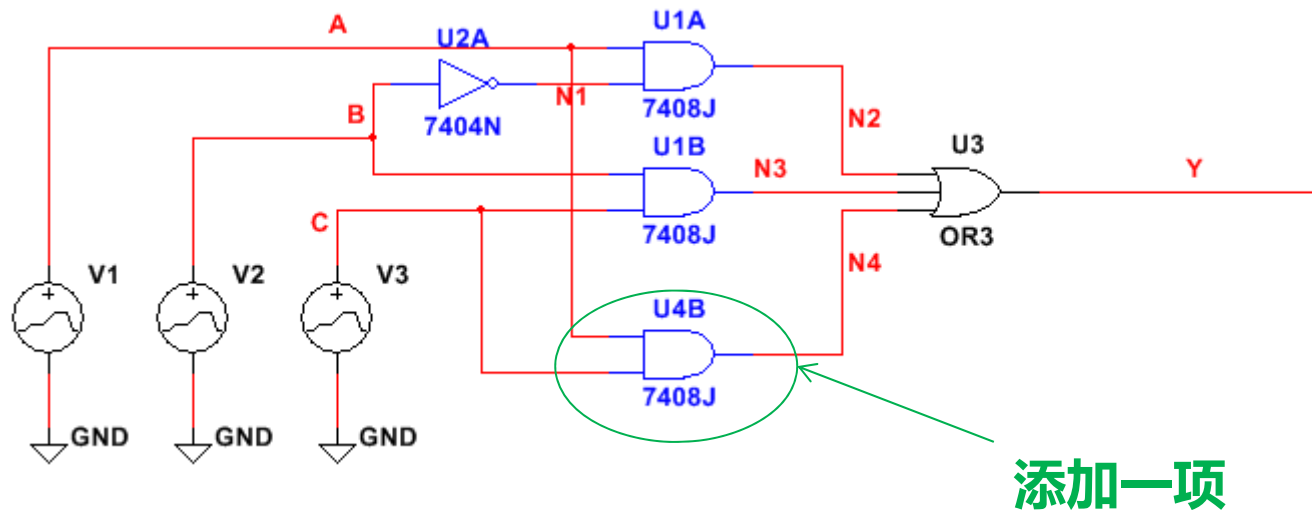
# 毛刺产生及消除

原始的SOP表达式画圈并没有重叠，这就是毛刺潜在的特点。

当增加了冗余项的圈时，每个圈至少重叠其他一项，那就不会产生毛刺。

		B C			
A		00	01	11	10
	0	0	0	1	1
	1	0	1	1	0

# 消除毛刺的电路



Variable	X1	X2
V(a)	1	1
V(b)	0	0
V(c)	1	1
D(n1)	1	1
D(n2)	1	1
D(n3)	0	0
D(n4)	1	1
D(y)	1	1

该设计保存在\eda\_verilog\glitch\_remove目录下