



可编程逻辑器件工艺及结构

主讲：何宾

Email: hebin@mail.buct.edu.cn

2018.08

FPGA芯片的内部结构

--查找表

由布尔代数理论可知，对于一个 n 输入的逻辑运算，不管是与或非运算还是异或运算等等，最多只可能存在 2^n 种结果。

如果事先将相应的结果存放于一个存贮单元，就相当于实现了与非门电路的功能。

FPGA通过烧写文件，配置查找表的内容。从而，在相同的电路情况下实现了不同的逻辑功能。

FPGA芯片的内部结构

--4输入查找表

查找表（ Look-Up-Table ）简称为LUT，LUT本质上就是一个RAM。

目前,FPGA中多使用4输入的LUT,所以每一个LUT可以看成
一个有4位地址线的RAM。

设计者通过原理图或HDL语言描述了一个逻辑电路后,PLD
/FPGA开发软件会自动计算逻辑电路的所有可能结果,并把真值
表(即结果)事先写入RAM。这样,每输入一个信号进行逻辑运
算就等于输入一个地址进行查表,找出地址对应的内容,然后输
出即可。

FPGA芯片的内部结构

--4输入查找表

实际逻辑电路		LUT实现方式	
a,b,c,d输入	逻辑输出	RAM地址	RAM中存储内容
0000	0	0000	0
0001	0	0001	0
....
1111	1	1111	1

FPGA芯片的内部结构

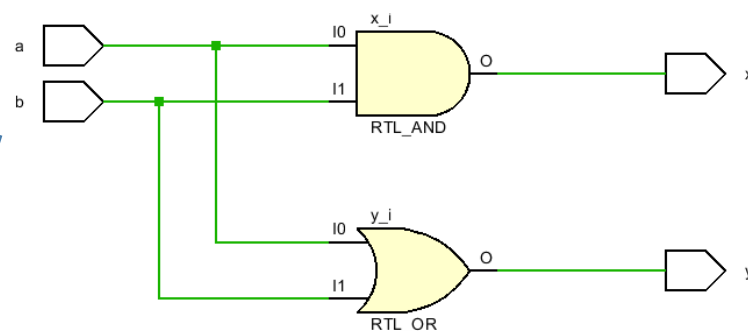
--4输入查找表

❖ 一个逻辑电路的Verilog HDL描述

```
23 module top(  
24     input a,  
25     input b,  
26     output x,  
27     output y  
28 );  
29     assign x=a & b;  
30     assign y=a | b;  
31 endmodule
```

经过EDA软件详细描述

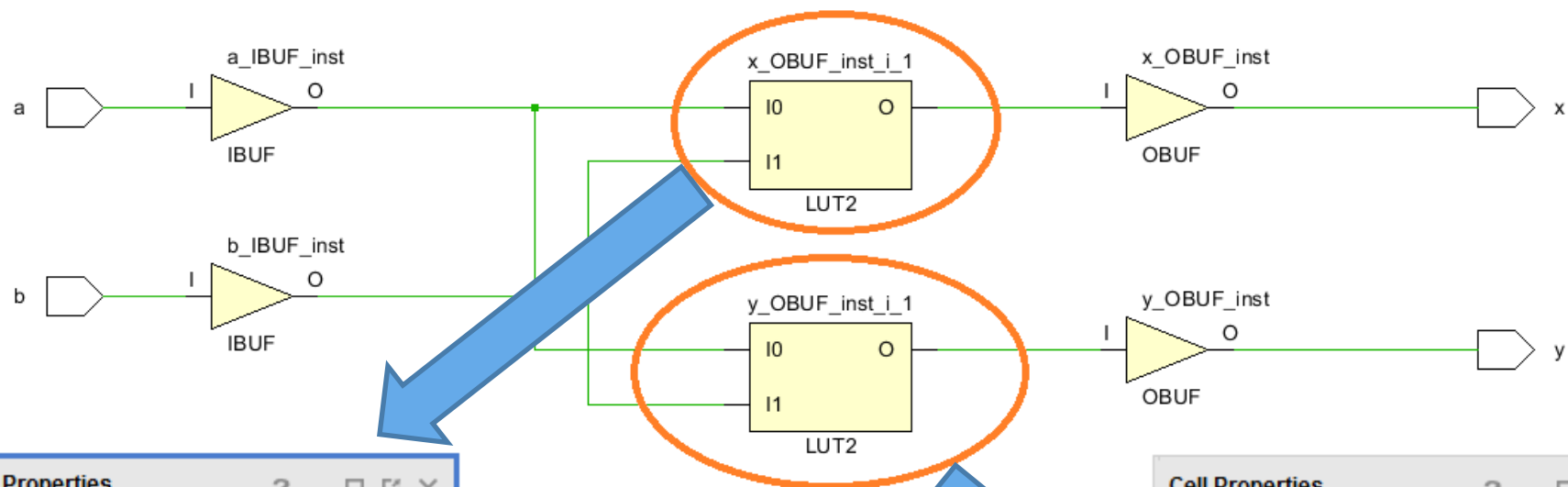
直接对应的逻辑电路



经过EDA软件综合

FPGA芯片的内部结构

--4输入查找表



Cell Properties

`x_OBUF_inst_i_1`

I1	I0	O=I0 & I1
0	0	0
0	1	0
1	0	0
1	1	1

Edit LUT Equation...

er Nets Cell Pins Truth Table

Cell Properties

`y_OBUF_inst_i_1`

I1	I0	O=I0 + I1
0	0	0
0	1	1
1	0	1
1	1	1

Edit LUT Equation...

er Nets Cell Pins Truth Table

FPGA芯片的内部结构

--4输入查找表

LUT具有和逻辑电路相同的功能。实际上，LUT具有更快的执行速度和更大的规模。LUT具有下面的特点：

- （1）LUT实现组合逻辑的功能由输入端口数量决定，而不是由复杂度决定。
- （2）LUT实现组合逻辑有固定的传输延迟。

FPGA芯片的内部结构

--6输入查找表

多年以来，四输入 LUT 一直是业界标准。但是，在65nm 工艺条件下，相较于其它电路（特别是互连电路），LUT 的常规结构大大缩小。

(1) 一个具有四倍比特位的六输入LUT (6-LUT) 仅仅将 CLB 面积提高了15% - 但是平均而言，每个 LUT 上可集成的逻辑数量却增加了40%。

(2) 更高的逻辑密度通常可以降低级联 LUT 的数目，并且改进关键路径延迟性能。

FPGA芯片的内部结构

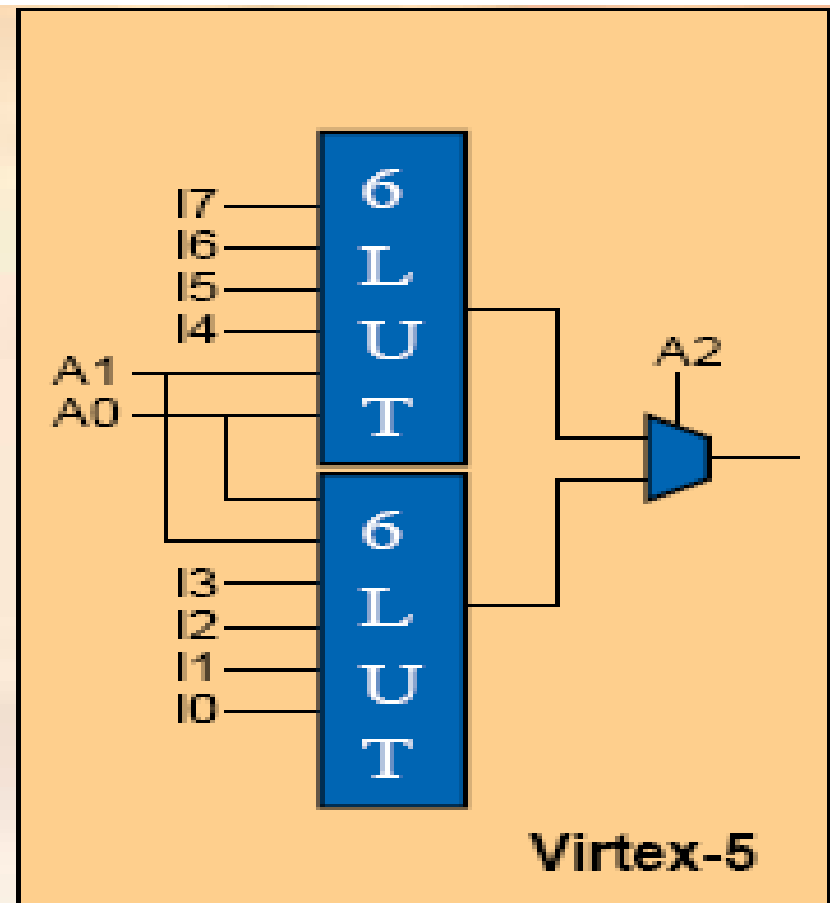
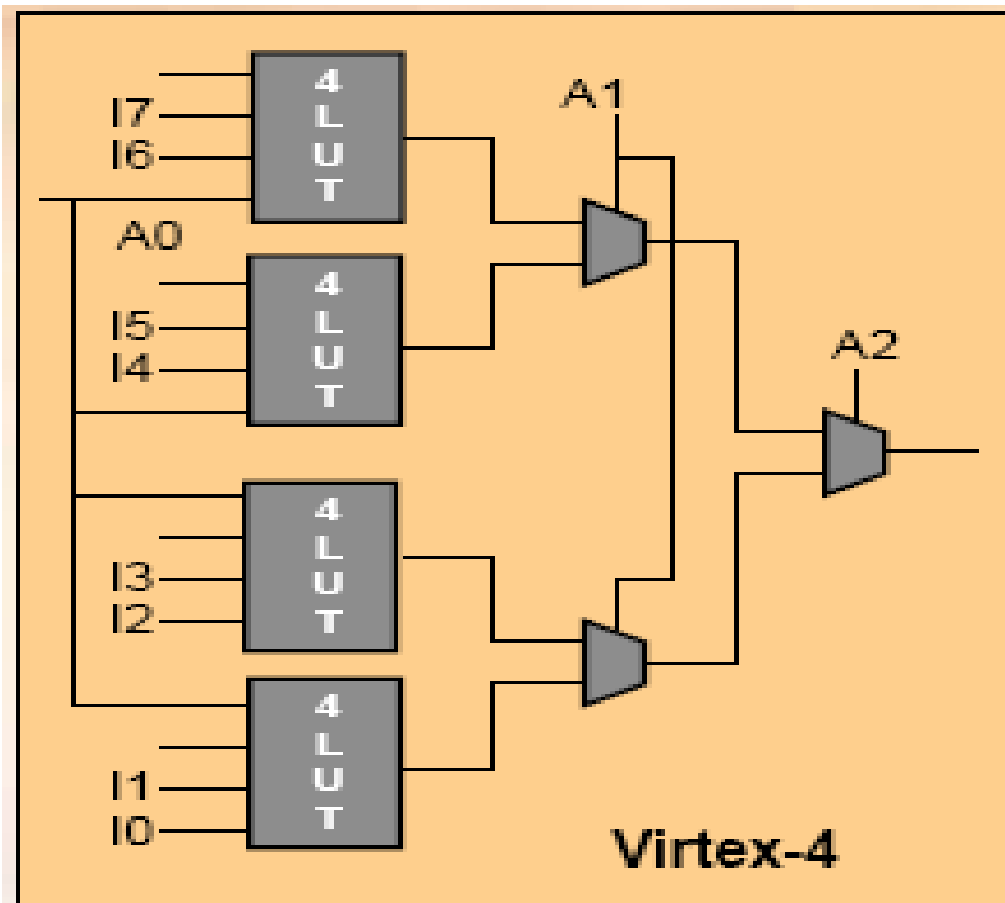
--6输入查找表

新一代的FPGA 提供了真正的 6-LUT

- 可以将它用作逻辑或者分布式存储器，这时 LUT是一个64 位的分布式 RAM（甚至双端口或者四端口）或者一个32 位可编程移位寄存器。

FPGA芯片的内部结构

--6输入查找表



4/6输入LUT实现8:1多路复用器的原理

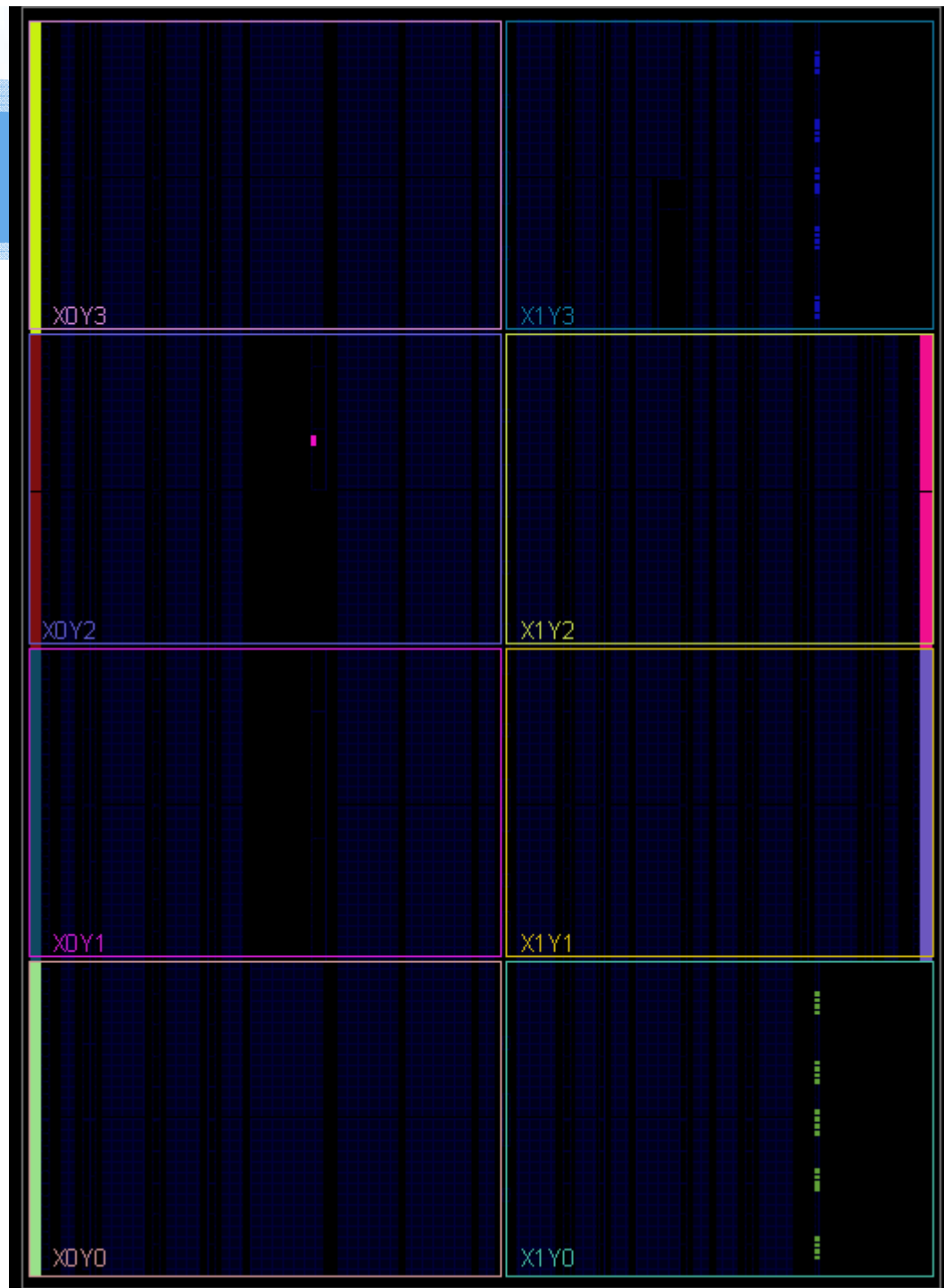
FPGA芯片的内部结构

--概述

随着FPGA工艺水平的不断提高，片内集成的模块种类和数量也不断增加，FPGA芯片内部提供的主要模块包含：

- 可配置的逻辑块
- 时钟资源
- 时钟管理模块
- 块存储器资源
- 互联资源
- 专用DSP模块
- 输入和输出块
- 吉比特收发器
- PCI-E模块
- XADC模块

Xilinx Artix 7系列
FPGA-xc7a75tfgg
484-1的内部结构

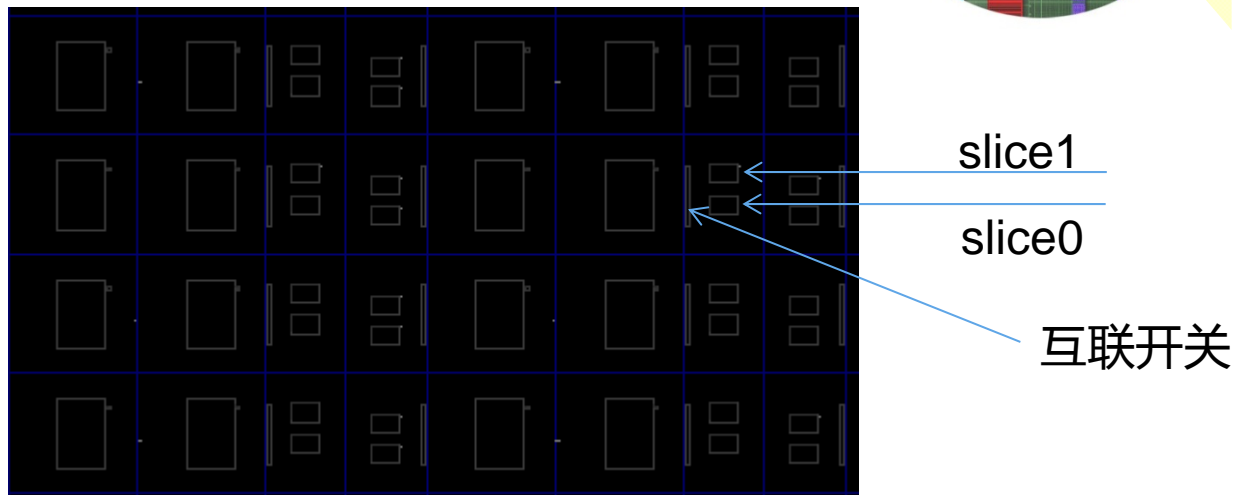
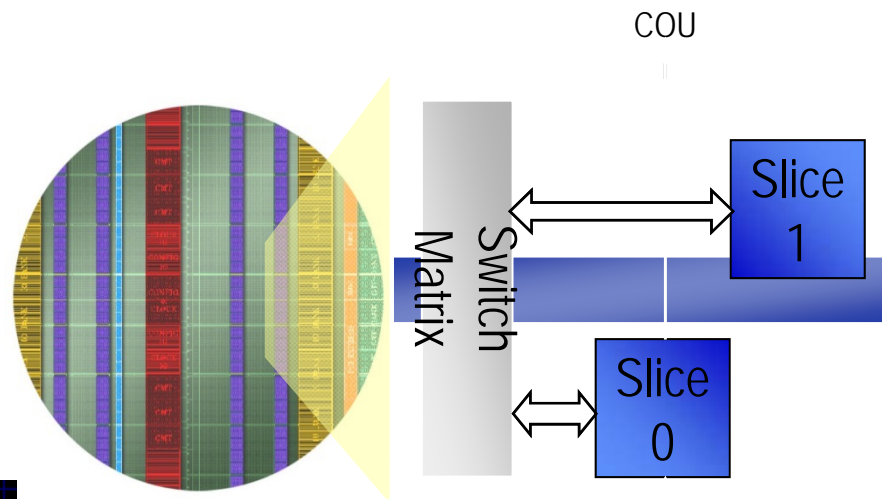


FPGA芯片的内部结构

--可配置逻辑块 (CLB)

可配置的逻辑块 (Configurable Logic Block , CLB)

- 包含两个Slice
- 连接到开关阵列用于
布线到其它FPGA资源
- 进位链垂直通过Slice0



FPGA芯片的内部结构

--CLB

可配置的逻辑块（ Configurable Logic Block, CLB ）是主要的逻辑资源，可实现下面功能

- 真正的六输入查找表
- 双LUT5选项
- 可作为分布式存储器和移位寄存器
- 用于算术功能的快速进位逻辑
- 宽的多路复用器

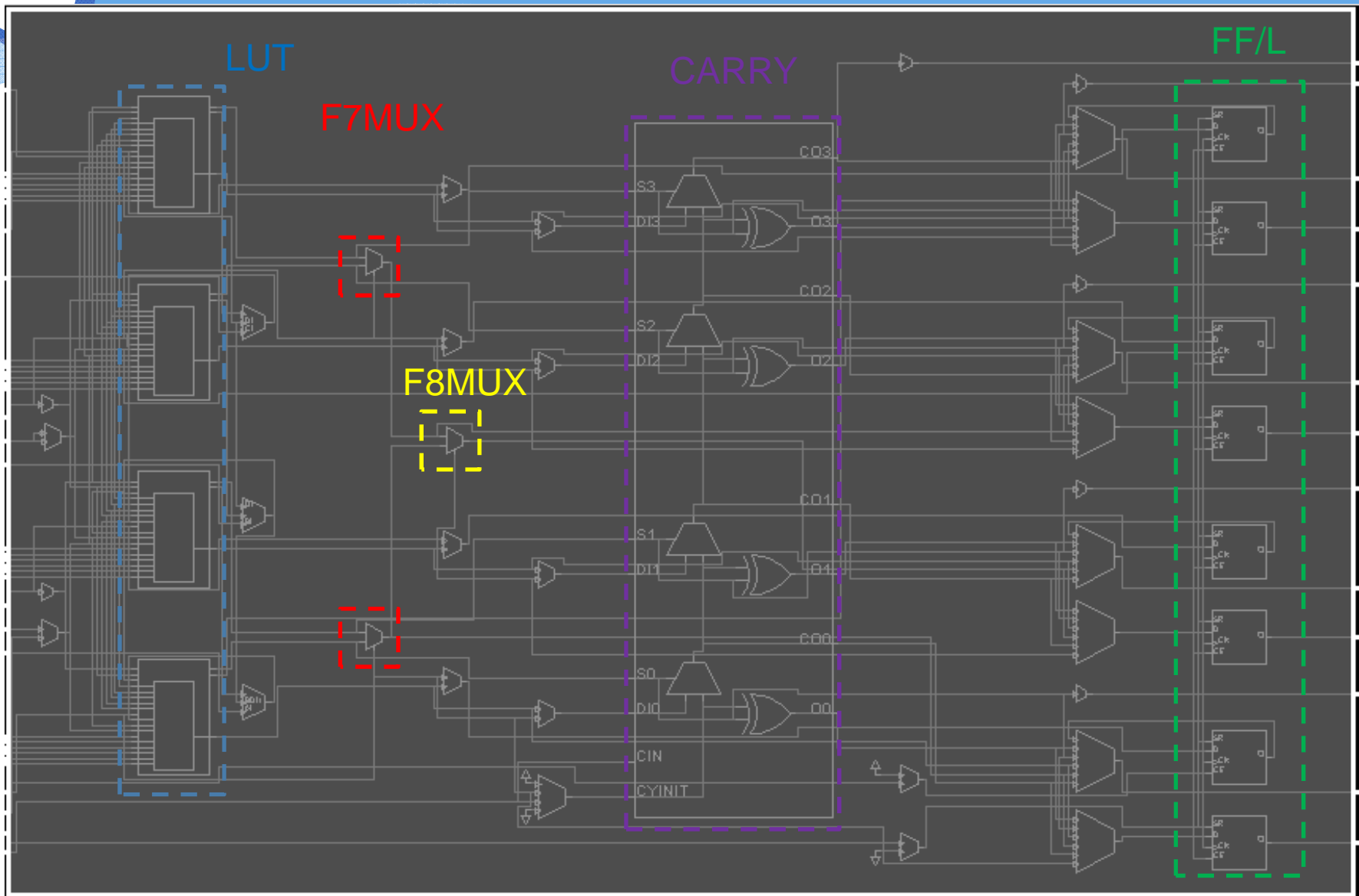
FPGA芯片的内部结构

--可配置逻辑块 (CLB)

- **SLICEM: 充分的切片 (M : memory)**
 - LUT能用于实现逻辑和存储器/SRL
 - 有较宽的多路复用器和进位链
- **SLICEL: 只有逻辑和算术运算 (L : logic)**
 - LUT 只能用于逻辑(不能用于存储器) 重要区别!!!
 - 有较宽的多路复用器和进位链

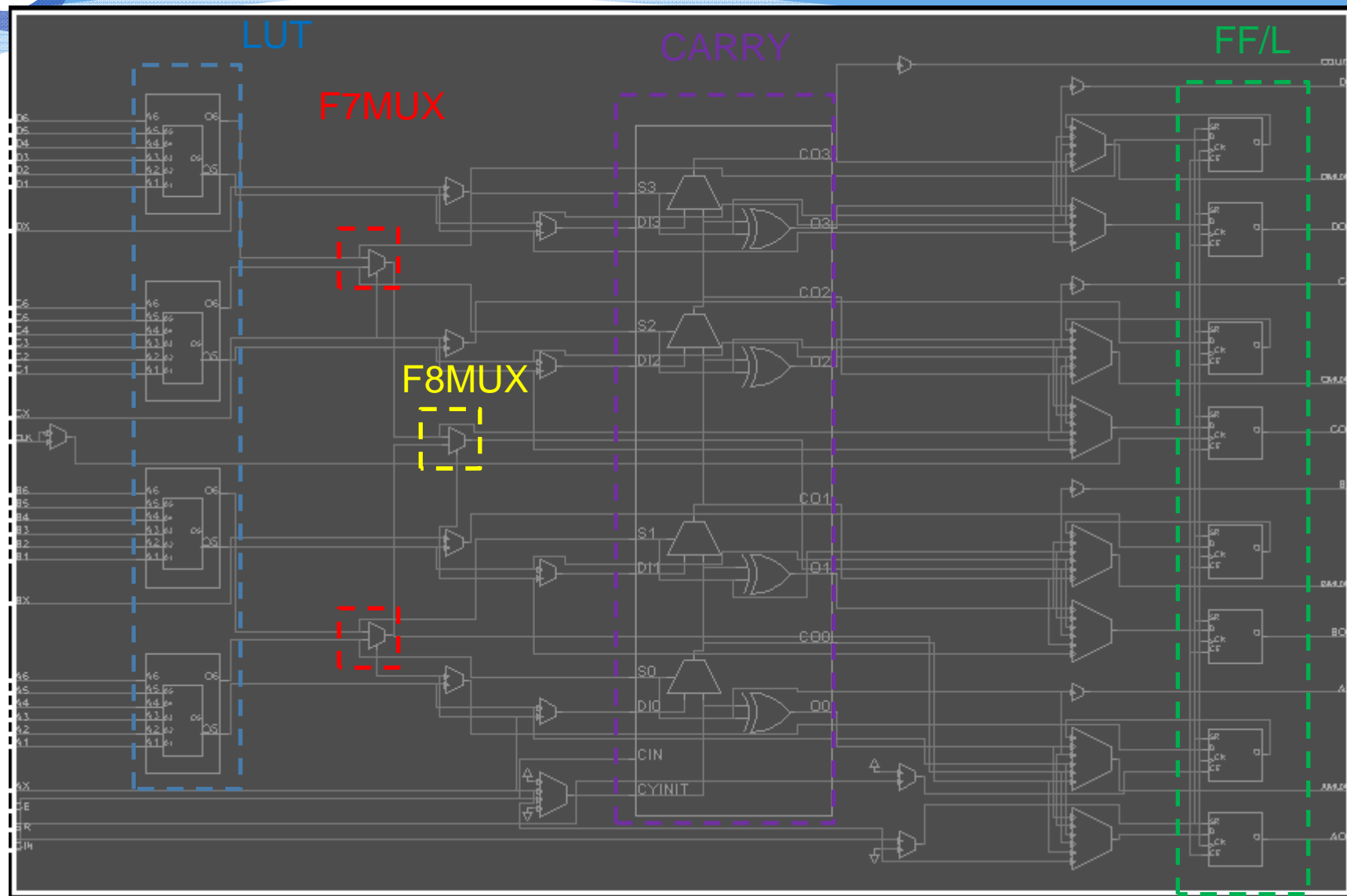
FPGA芯片的内部结构

--CLB (SLICEM)



FPGA芯片的内部结构

--CLB (SLICEL)



FPGA芯片的内部结构

--SLICE的位置编号

规则：

- X后面的数字标识切片对内每个切片的位置，以及切片列的位置。
- Y编号后的数字标识切片的行位置。

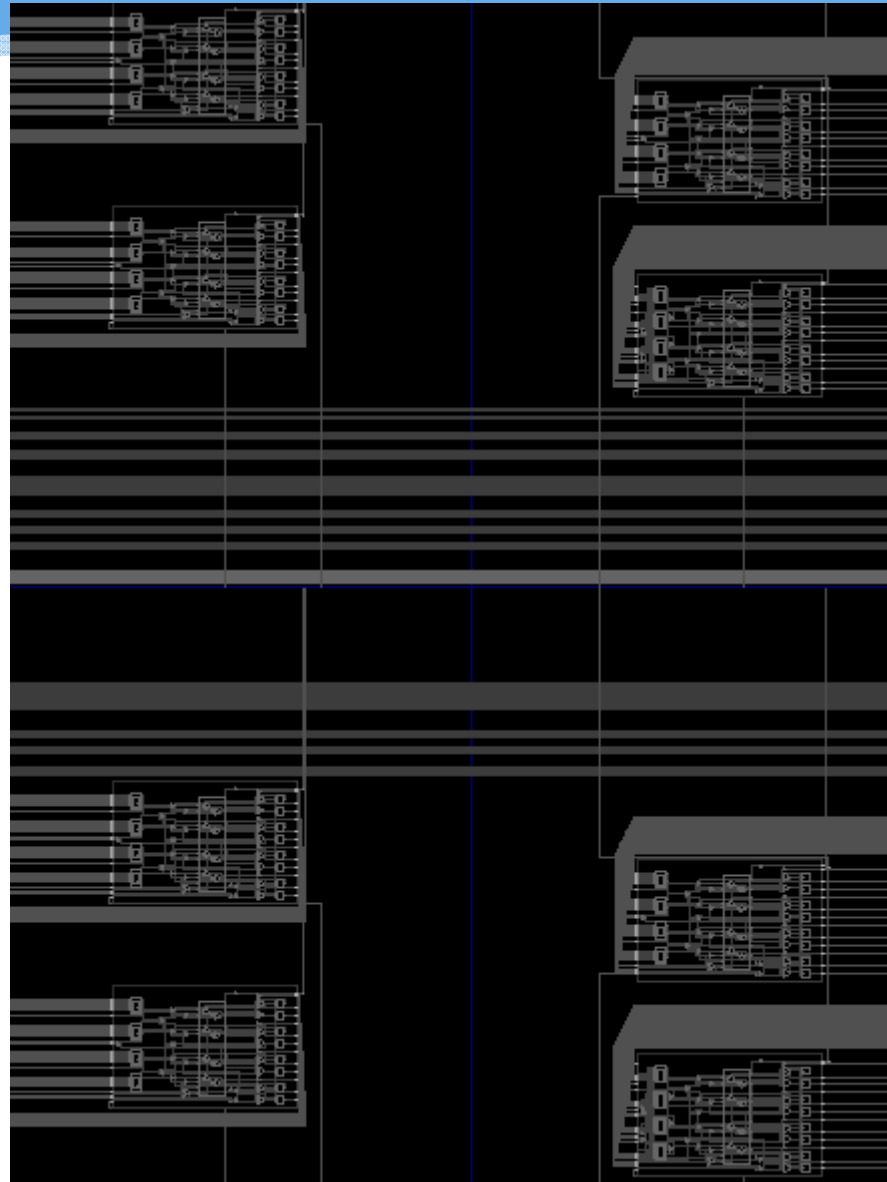
FPGA芯片的内部结构

SLICE_X45Y59

SLICE_X44Y59

SLICE_X45Y58

SLICE_X44Y58



SLICE_X47Y59

SLICE_X46Y58

SLICE_X47Y58

SLICE_X46Y58

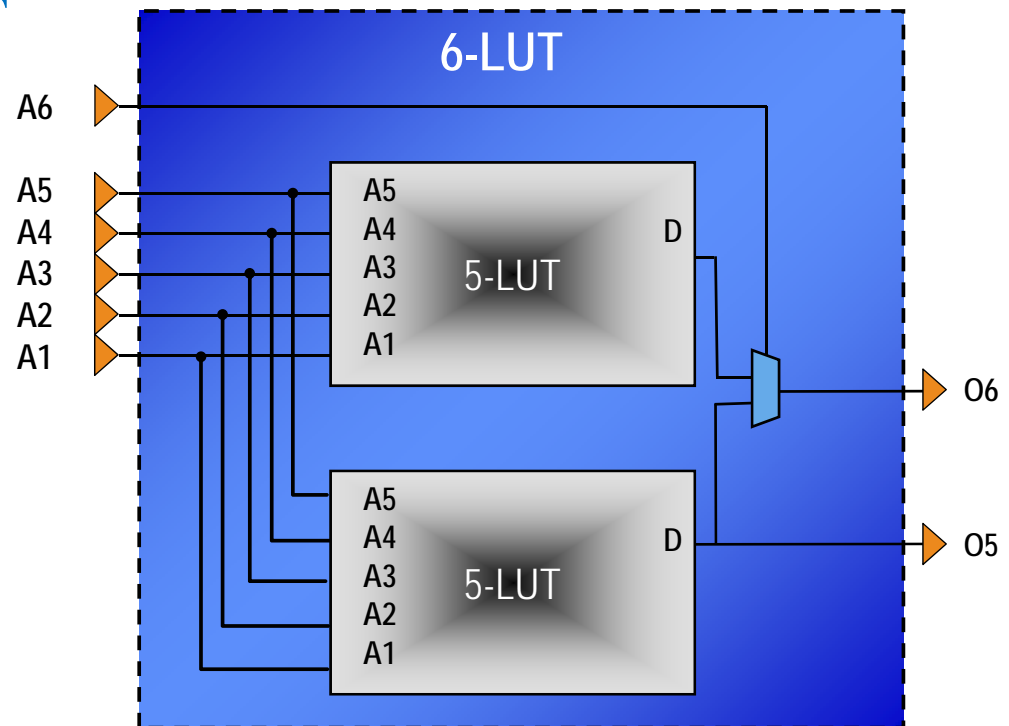
FPGA芯片的内部结构

--可配置逻辑块 (CLB)

❖ 包含双输出的6输入LUT

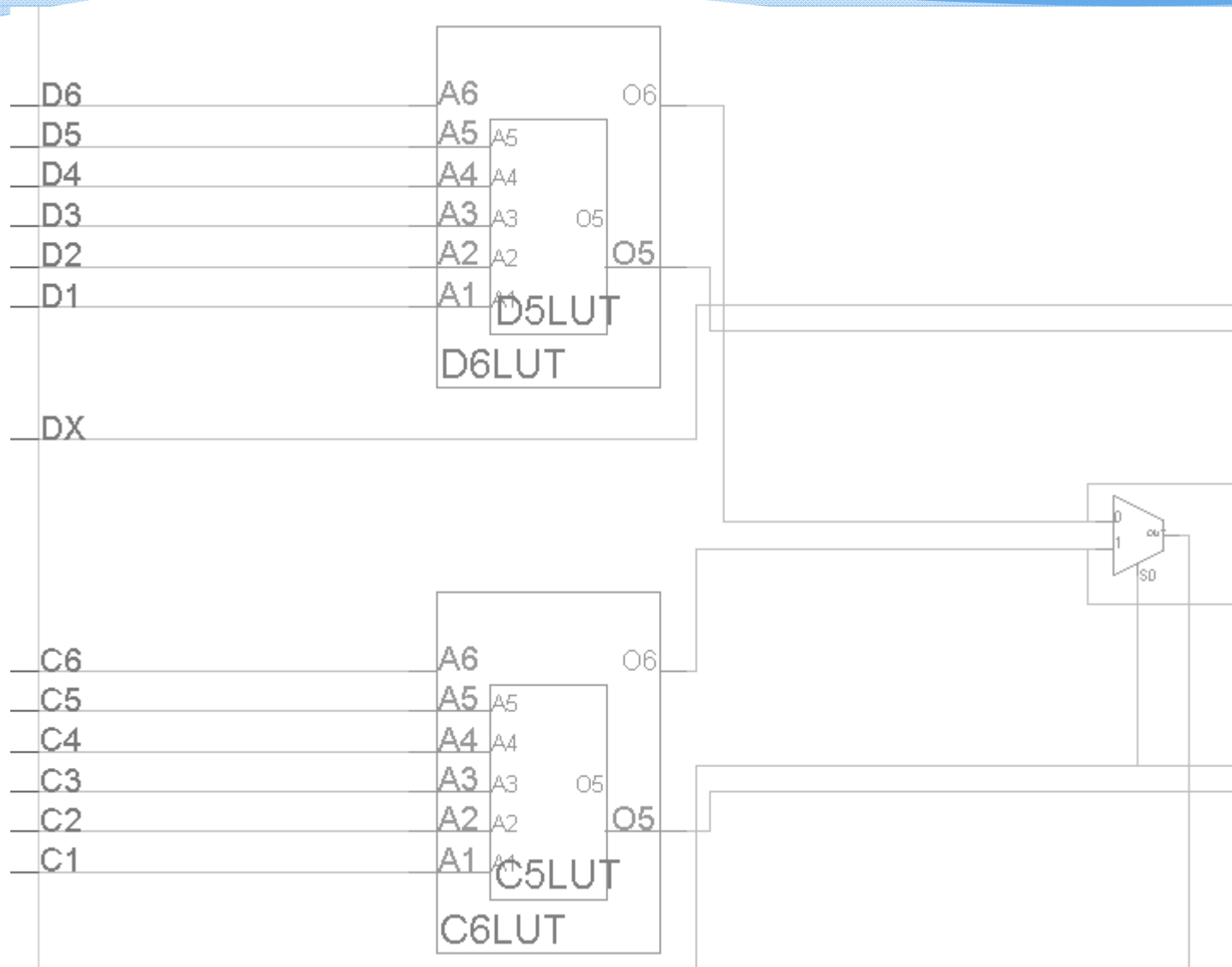
包含5个公共输入的LUT

- 输入LUT的最小速度的影响
- 1个或两个输出
- 六个变量的任何函数或者
5变量的两个独立的函数



FPGA芯片的内部结构

--可配置逻辑块 (CLB)



切片内的触发器和锁存器

--触发器/锁存器控制信号

- 所有的触发器和触发器/锁存器共享相同的CLK, SR和CE信号

- 这是指触发器的“控制设置”。

- CE 和SR是高有效。

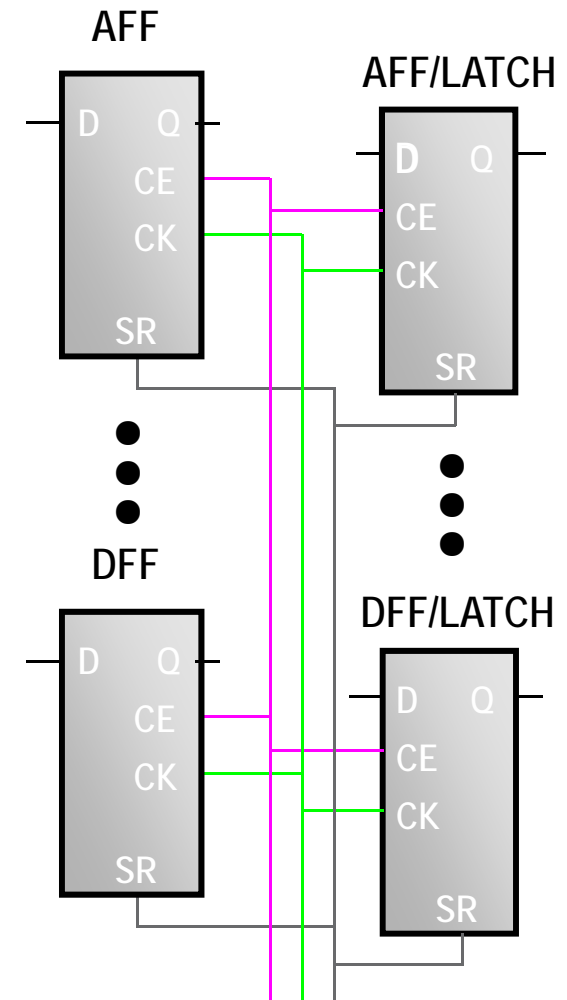
- CLK能在切片边界上进行反转。

- 设置/复位 (SR)信号能被配置为同步或者异步

- 所有的4个触发器/锁存器配置。

- 所有的4个触发器配置。

- SR将使触发器触发器设置为SRINIT属性所指定的状态

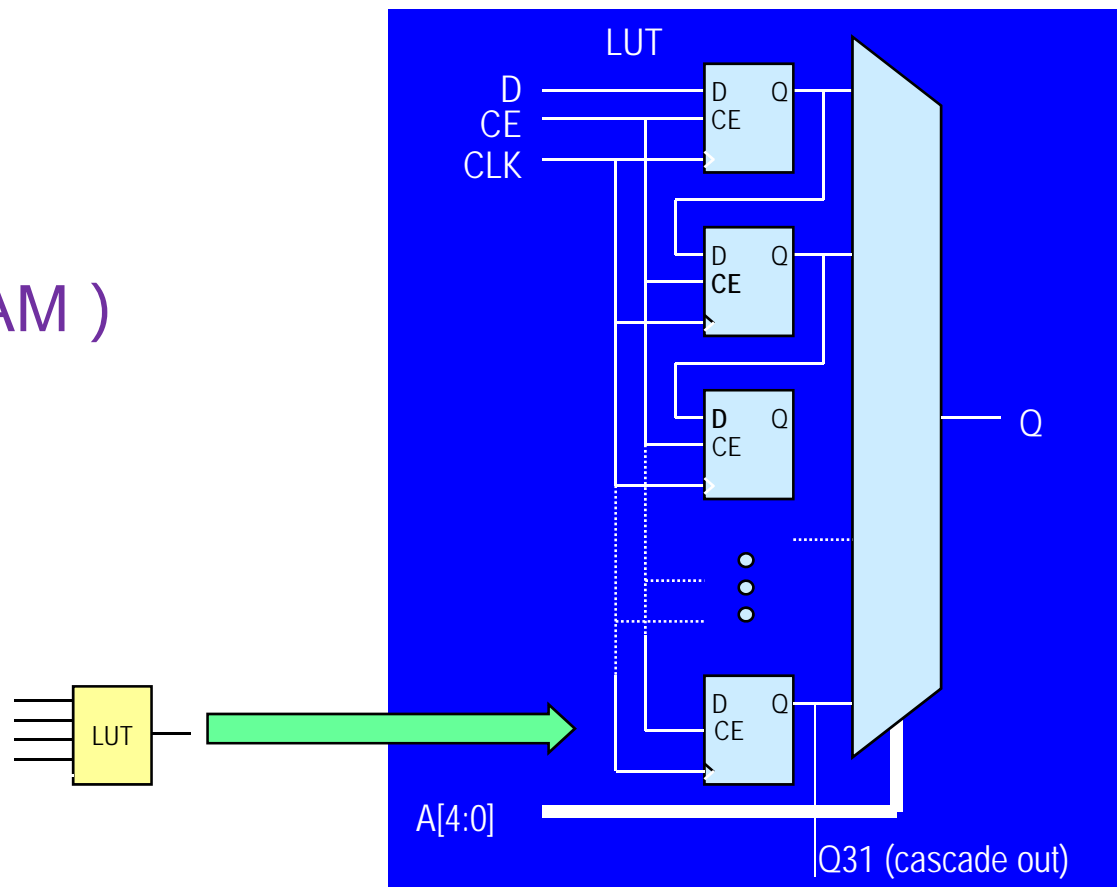


可配置逻辑块 (CLB)

--配置为移位寄存器LUT (SRL)

SLICEM可以用作32位的移位寄存器，即移位寄存器LUT (shift register LUT , SRL) 其可实现的功能包括：

- 可变长度的移位寄存器
- 同步FIFO
- 内容可寻址存储器 (CAM)
- 模式生成器
- 补偿延迟/时延



可配置逻辑块 (CLB)

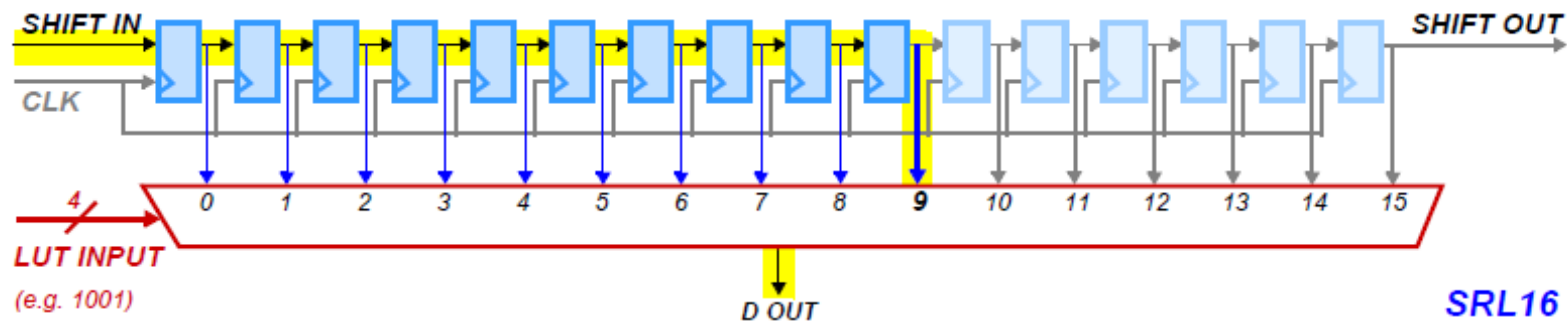
--配置为移位寄存器LUT (SRL)

- 对于由LUT构成的移位寄存器而言，其长度由地址决定。常数值给出了固定的延迟线；而动态寻址用于弹性缓冲区。
- 在一个切片中，可以级联实现最多 128×1 的移位寄存器。
- 使用LUT并将其配置为移位寄存器。对于SRL16而言，最多可以实现16个延迟；对于SRL32而言，最多可以实现32个延迟。

可配置逻辑块 (CLB)

--配置为移位寄存器LUT (SRL)

SRL16的内部结构，如图所示。从该结构可知，它可以实现可变长度的移位寄存器。在图给出的结构中，SRL16的输入A3A2A1A0等于1101，则读取从第14个寄存器的输出。



FPGA芯片的内部结构

--时钟管理资源

全局时钟缓冲区

- 高扇出能力的时钟分配缓冲区

低抖动的时钟分配

- 区域时钟布线

时钟区域

- 每个时钟区域是50个CLB高度，跨越半个器件

FPGA芯片的内部结构

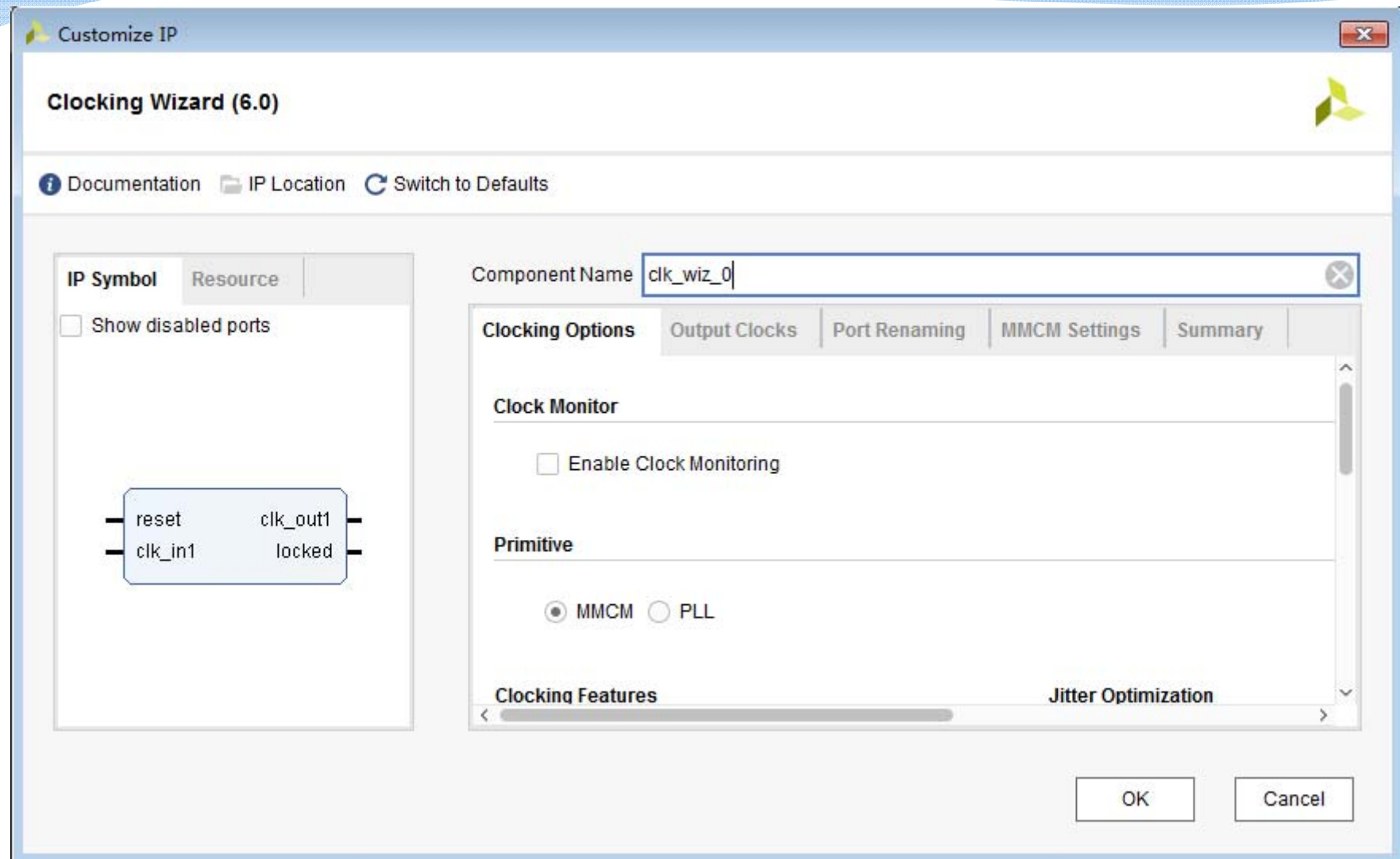
--时钟管理资源

❖ 时钟管理单元 (CMT)

- 一个混合模式时钟管理器 (MMCMs) 和一个相位锁相环。
- 执行时钟频率合成、时钟去抖动和抖动滤除
- 宽的输入频率范围
- 可以通过Clocking Wizard工具来使用CMT资源。

FPGA芯片的内部结构

--时钟管理资源



FPGA芯片的内部结构

--时钟使能输入

所有的同步设计需要至少一个外部参考时钟

- 需要将这些时钟引入(连接) 到FPGA的引脚

7系列FPGA的每个I/O组内都有时钟使能输入

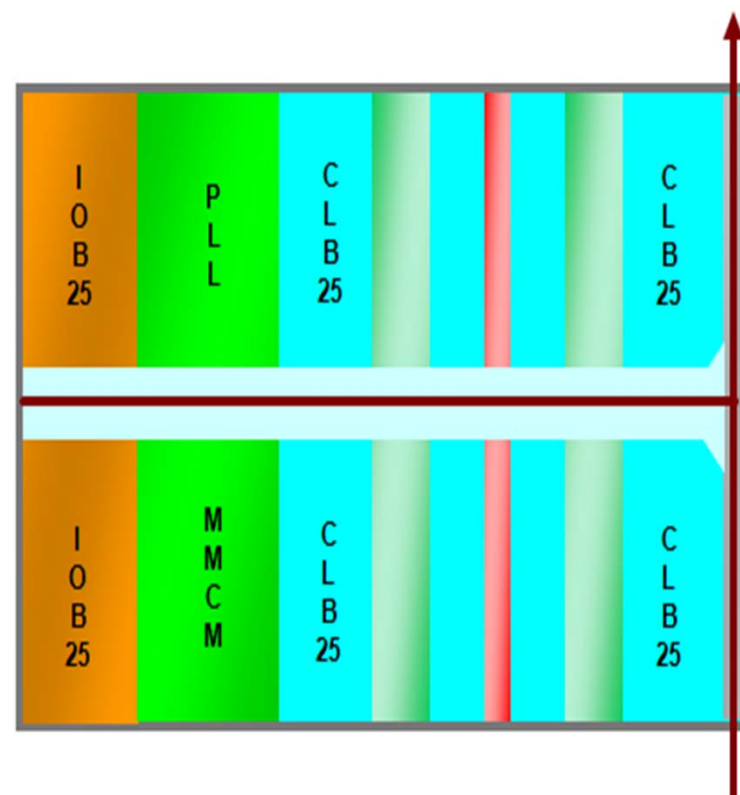
- 这些输入的I/O引脚，它“专门”连接到FPGA内的时钟资源
- 每个I/O组有4个时钟使能引脚
 - 2个多区域时钟使能 (MRCC)
 - 2个单区域时钟使能 (SRCC)
- 每个时钟输入能用做单端时钟输入，或者与相邻的时钟引脚配对作为差分时钟输入
- 因此，每个组有四个单端或者四个差分输入

FPGA芯片的内部结构

--时钟资源

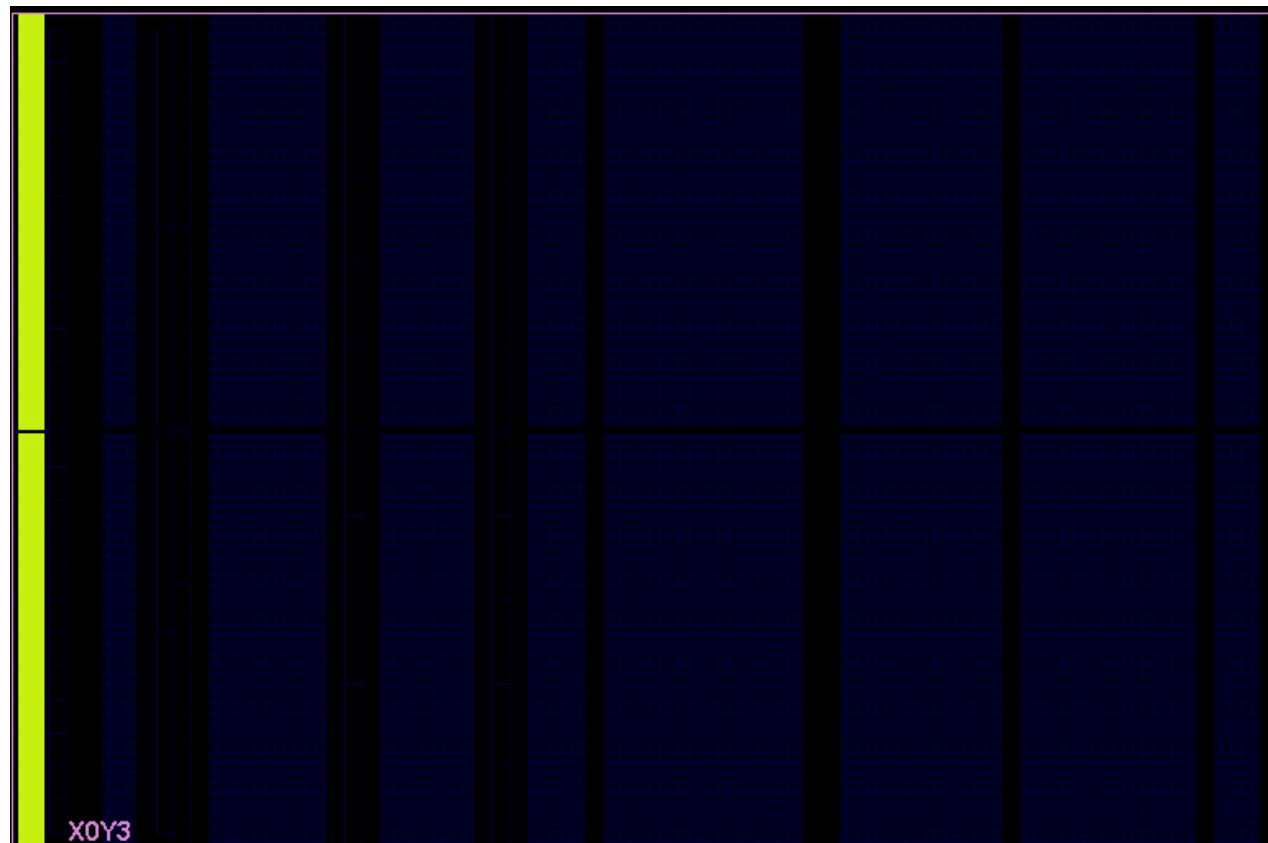
Xilinx 7系列FPGA提供了更大的时钟区域面积，如图所示。其时钟域覆盖区域为：

- 50个CLB高度，50个I/O高度。
- 与I/O组有相同的大小。
- 半个器件的宽度；
- 20个DSP48E
- 10个BRAM36、20个BRAM18；
- 2~24个区域。



FPGA芯片的内部结构

--时钟域

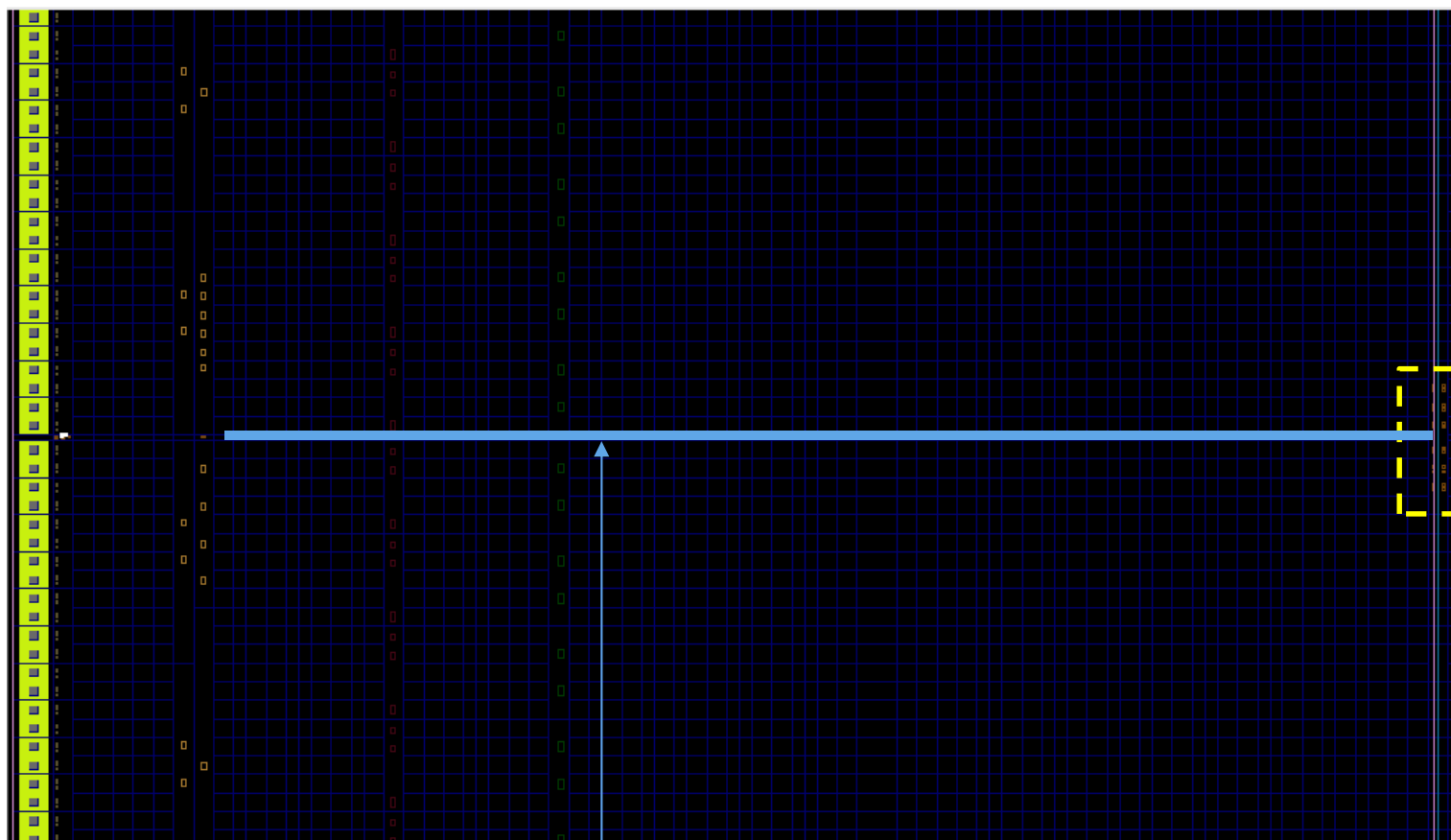
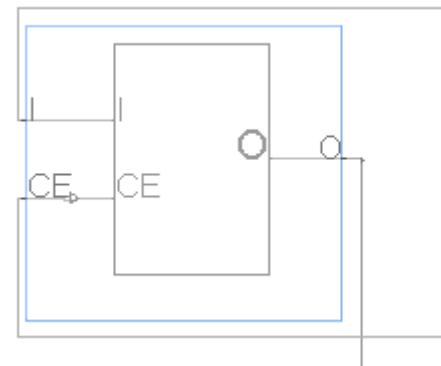


思考与练习：在器件图上计算CLB、IO块的个数。

FPGA芯片的内部结构

--时钟资源 (BUFHCE)

12个全局时钟网络，由BUFHCE驱动



符号

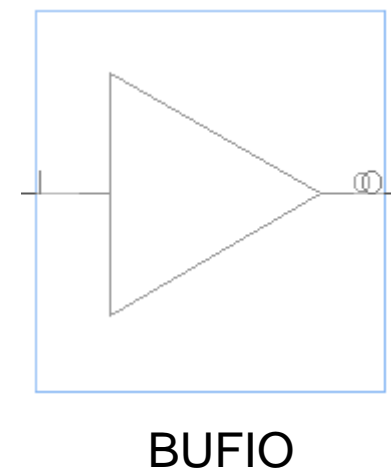
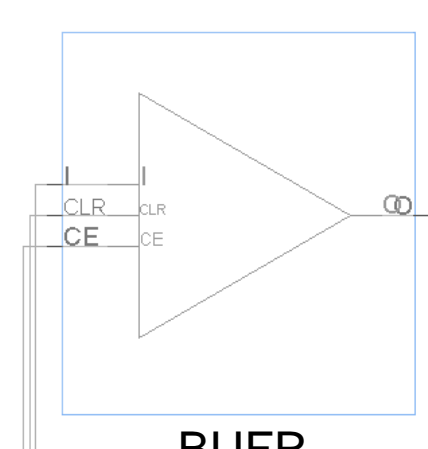
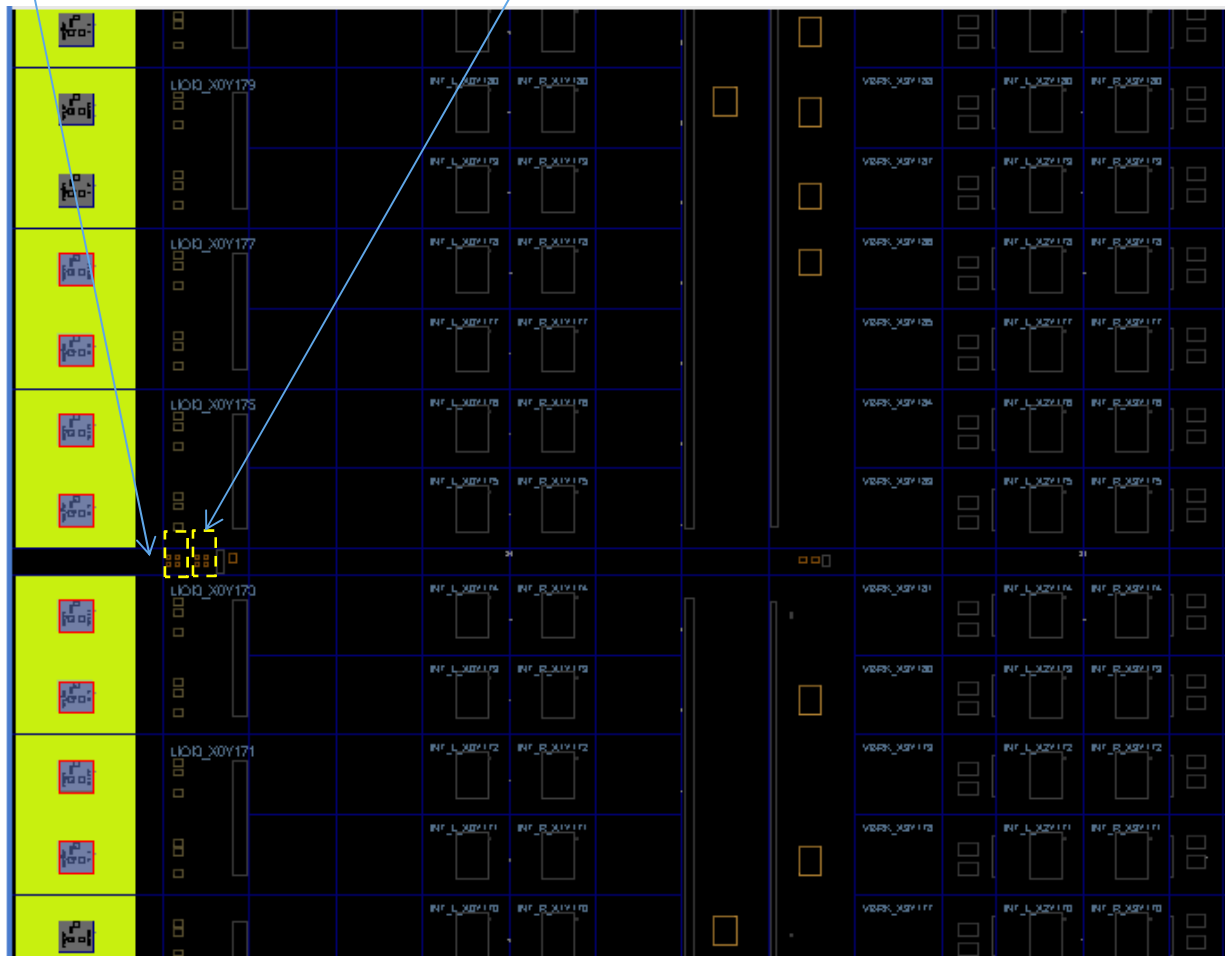
BUFHCE

全局时钟网络

FPGA芯片的内部结构

--时钟资源 (BUFR和BUFIO)

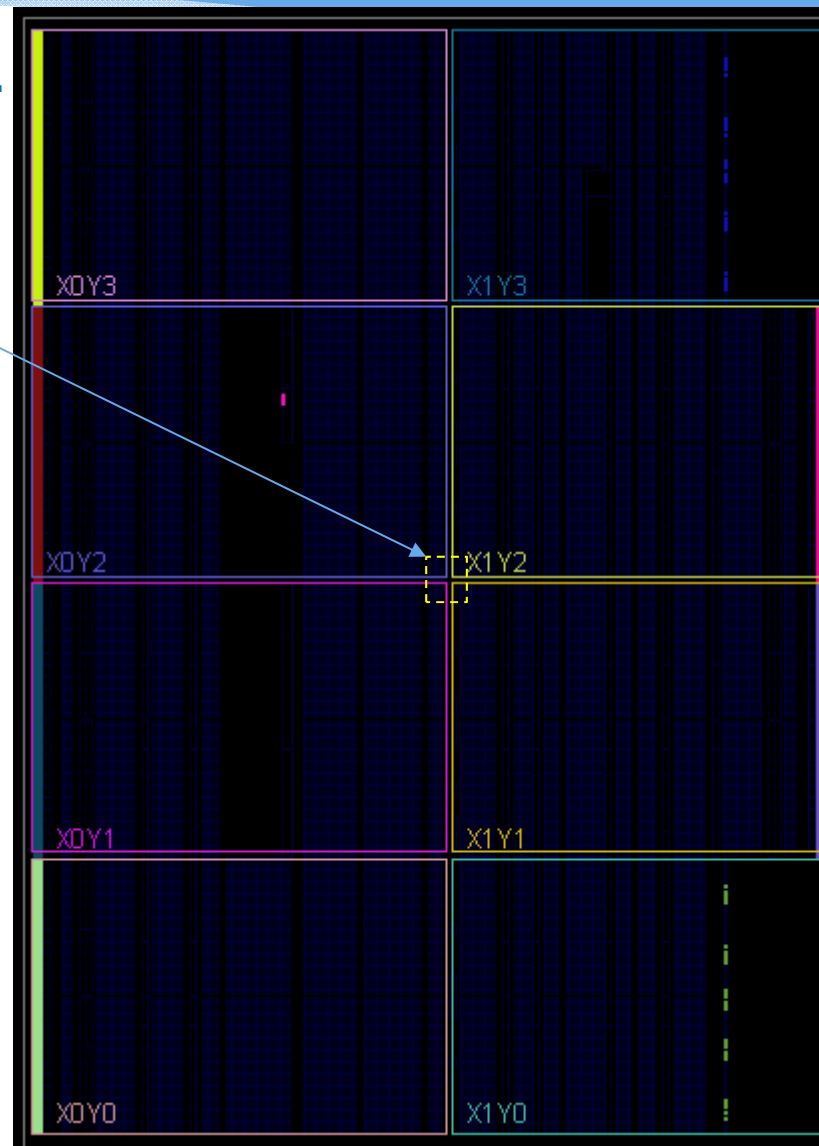
4个区域时钟网络，由BUFR驱动；4个IO时钟网络，由BUFIO驱动



FPGA芯片的内部结构

--时钟资源 (BUFG)

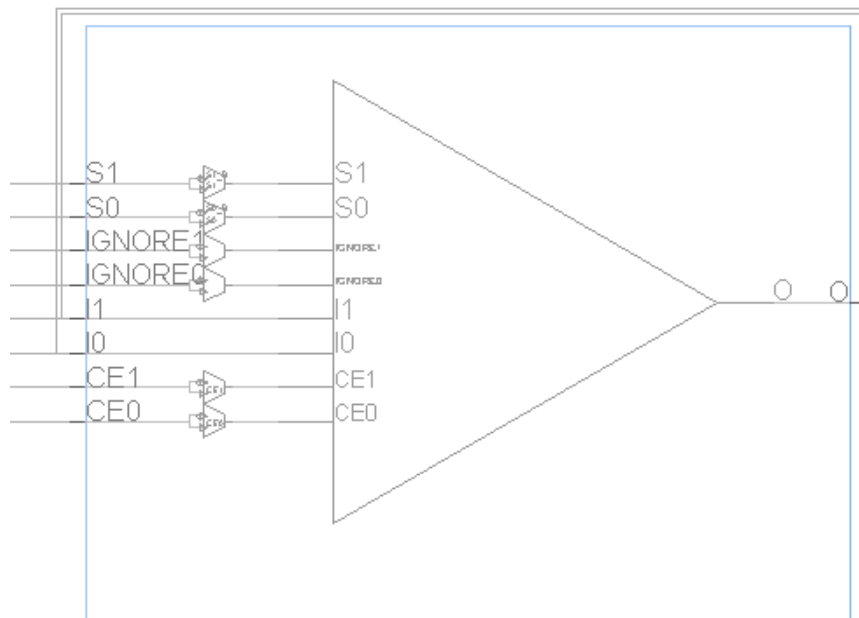
BUFG在器件的中心位置



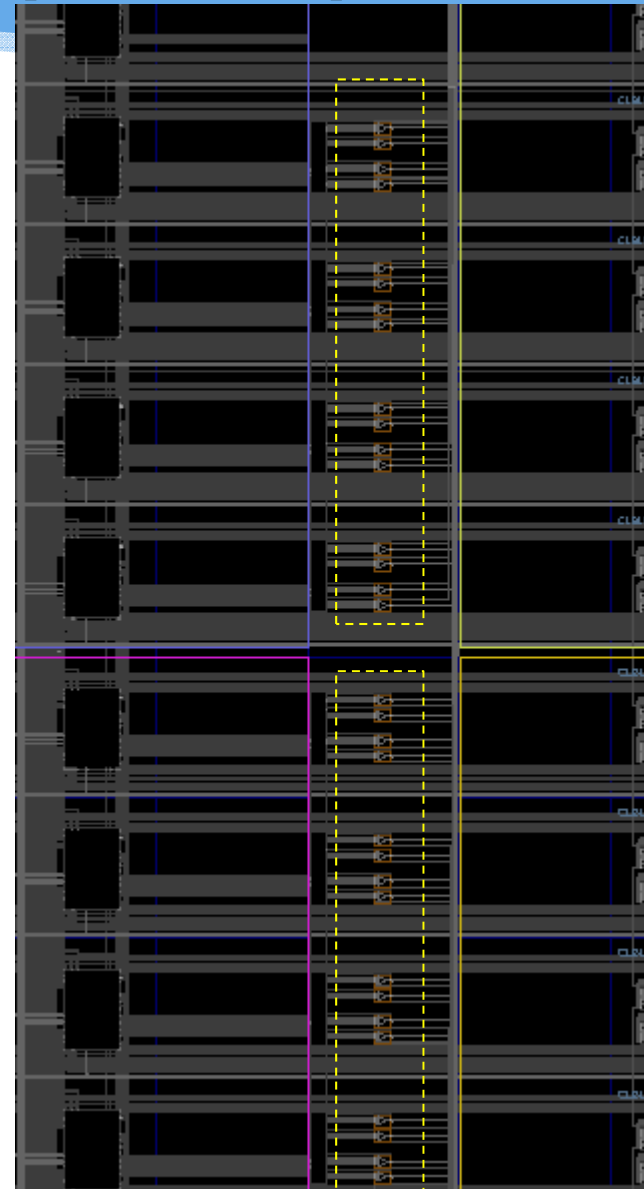
FPGA芯片的内部结构

--时钟资源 (BUFG)

局部放大



BUFGCTRL符号



FPGA芯片的内部结构

--时钟资源 (BUFG)

BUFGCTRL可由下面驱动

- 相同半个区域内的时钟使能IO (CCIO)
- 相同半个区域内的CMT输出
- 在相同半个区域的吉比特收发器时钟
- 其它BUFG, 互联, 或者BUFR

BUFGCTRL 的输出驱动垂直全局时钟主干

BUFGCTRL 元件实现

- 简单时钟缓冲区 (BUFG)
- 带有时钟切换的时钟缓冲区 (BUFGMUX 或BUFGMUX_CTRL)
- 带有时钟使能的时钟缓冲区 (BUFGCE)

FPGA芯片的内部结构

--BRAM和FIFO

- 7系列FPGA有相同的BRAM/FIFO

- 全同步操作

- 所有操作是同步的，锁存所有输出

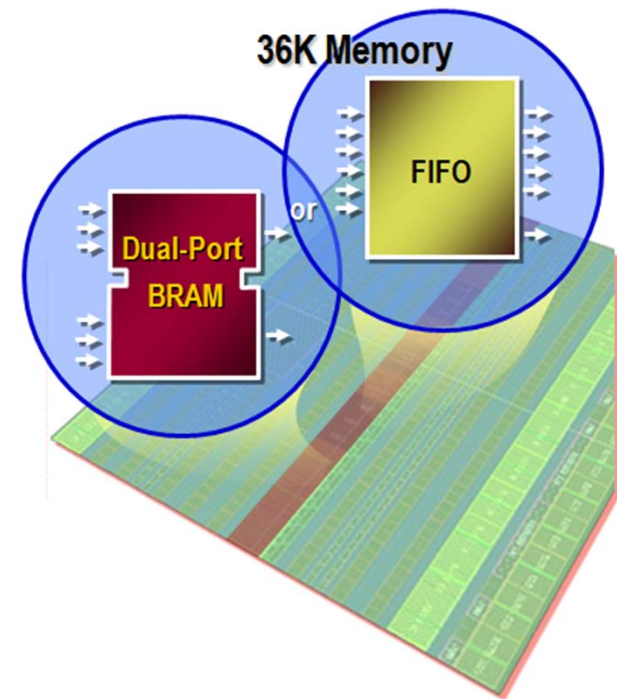
- 可选流水线用于较高工作频率

- 真正的双端口，简单双端口，单端口

- 两个单独的端口访问公共数据

- 独立的地址、时钟、写使能、时钟使能

- 每个端口独立的宽度



FPGA芯片的内部结构

--BRAM和FIFO

■ 多个配置选项

□ 真正双端口、简单双端和单端口

■ 集成的级联逻辑

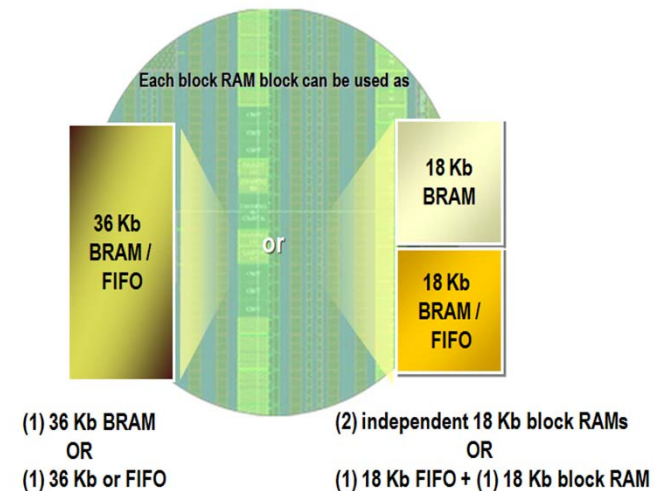
□ 用于将多个BRAM连接在一起

■ 在较宽的配置中，字节写使能

■ 用于快速和高效FIFO的集成控制

■ 集成64/72位海明纠错码

■ 独立的 V_{bram} 供电电压轨，用于确保BRAM的功能



FPGA芯片的内部结构

--单端口BRAM

■ 单个读/写端口

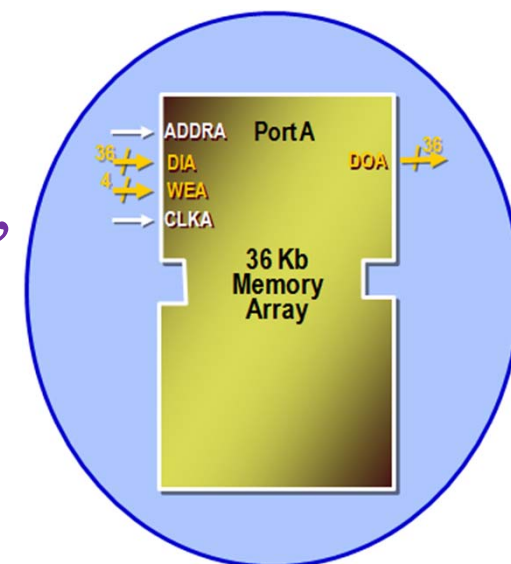
- 时钟：CLKA，地址：ADDRA，写使能：WEA
- 写数据：DIA，读数据：DOA

■ 36kb配置

- $32k \times 1$, $16k \times 2$, $8k \times 4$, $4k \times 9$, $2k \times 18$,
 $1k \times 36$ 。

■ 18kb配置

- $16k \times 1$, $8k \times 2$, $4k \times 4$, $2k \times 9$, $1k \times 18$,
 512×36 。



FPGA芯片的内部结构

--单端口BRAM

■ 可配置的写模式

- WRITE_FIRST: 在DIA写入的数据在DOA可用
- READ_FIRST: 在ADDRA的RAM以前的内容出现在DOA端口
- NO_CHANGE: DOA保持以前的值 (降低功耗)

■ 可选的寄存器用于最高的性能 (DOA_REG=1)

FPGA芯片的内部结构

--双端口BRAM

■ 两个独立的读/写端口

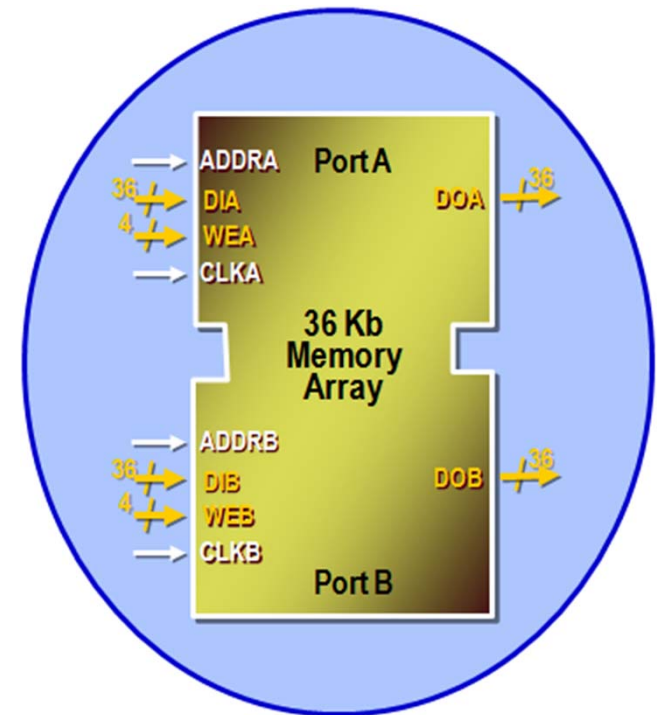
- 每个端口都有单独的时钟、地址、数据输入、数据输出、写使能...

- 每个端口的时钟可以异步

- 两个端口可以有不同的宽度
- 两个端口可以有不同的写模式

■ 当两个端口访问相同的地址时， 没有写冲突，除了下面的情况

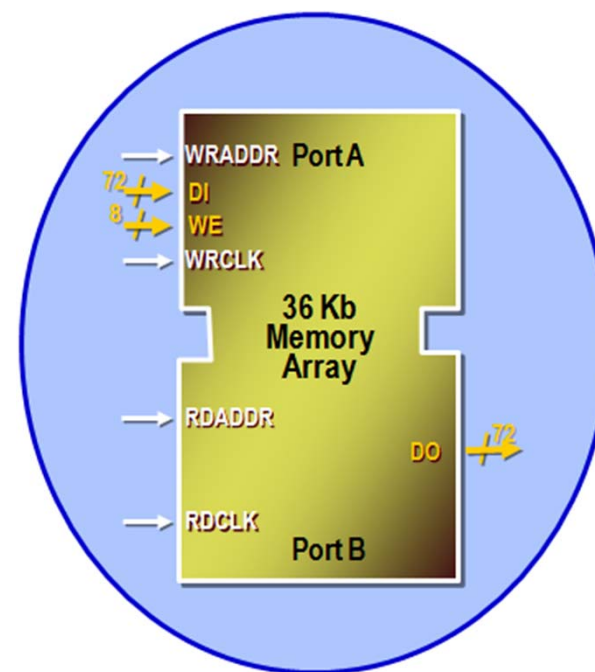
- 如果由相同的时钟驱动，并且写端口为Read_FIRST，读端口将获得以前的数据



FPGA芯片的内部结构

--简单双端口BRAM

- 一个读端口，一个写端口
 - 每个端口都有单独的时钟和地址
- 在36kb的配置中，两个端口中的一个必须是72位宽度
 - 其它端口可以是 $\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 9$
 $\times 18$ 、 $\times 36$ 或 $\times 72$
- 在36kb的配置中，两个端口中的一个必须是36位宽度
 - 其它端口可以是 $\times 1$ 、 $\times 2$ 、 $\times 4$ 、 $\times 9$
 $\times 18$ 或 $\times 36$

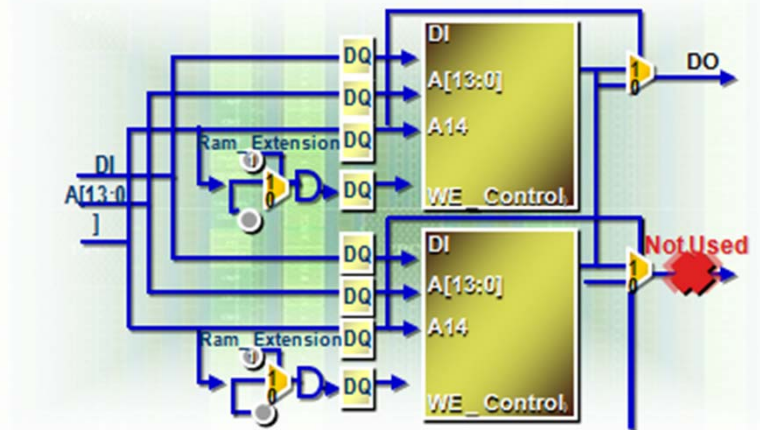


FPGA芯片的内部结构

--BRAM的级联

■ 内建级联逻辑用于64k×1

- 级联两个垂直相邻的32k×1的BRAM，而无需使用外部的CLB逻辑或者降低性能
- 节省了资源以及改善较大存储器的速度



■ 用于较大阵列的级联选项

- 128kb、256kb、512kb、1Mb
- 使用外部CLB逻辑用于更进一步的扩展
- 使用并列的BRAM，扩展宽度

Example: Cascade 8 block RAMs to build 256-Kb memory

FPGA芯片的内部结构

--FIFO

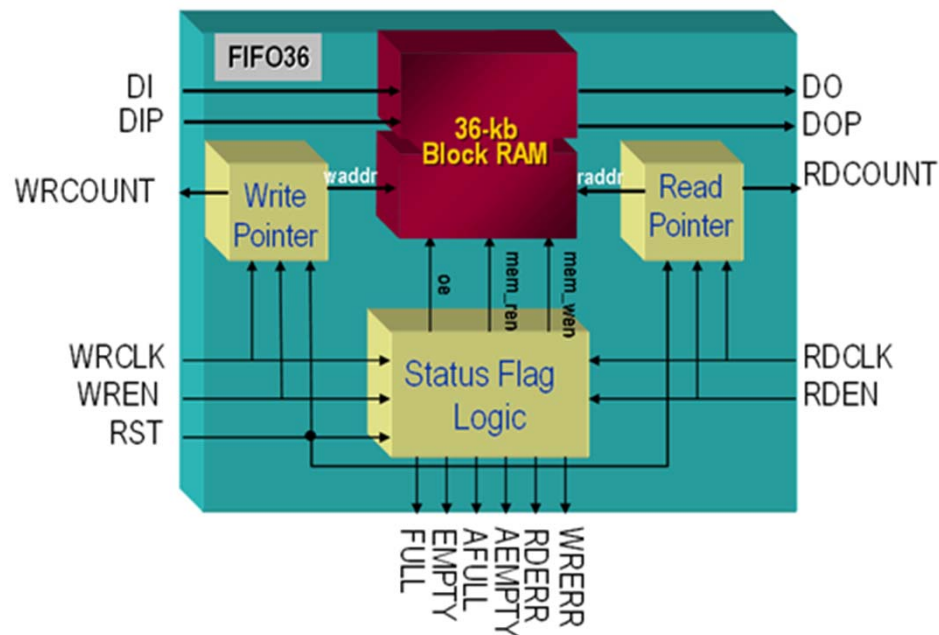
完整的特性

- 同步或异步的读和写时钟
- 四个标志
 - ✓ 满、空、可编程的几乎满/空
- 可选的首字跌落模式

FIFO配置

- 任意36Kb BRAM: $8K \times 4$ 、 $4K \times 9$ 、 $2K \times 18$ 、 $1K \times 36$ 、 512×72
- 任意18Kb BRAM: $4K \times 4$ 、 $2K \times 9$ 、 $1K \times 18$ 、 512×36
- 读和写宽度必须相同

当使用×72位宽度时，能使用集成的纠错技术



FPGA芯片的内部结构

--布线资源

互联是FPGA内用于在功能元件（比如IOB，CLB，DSP和BRAM）的输入和输出信号通路的可编程网络。

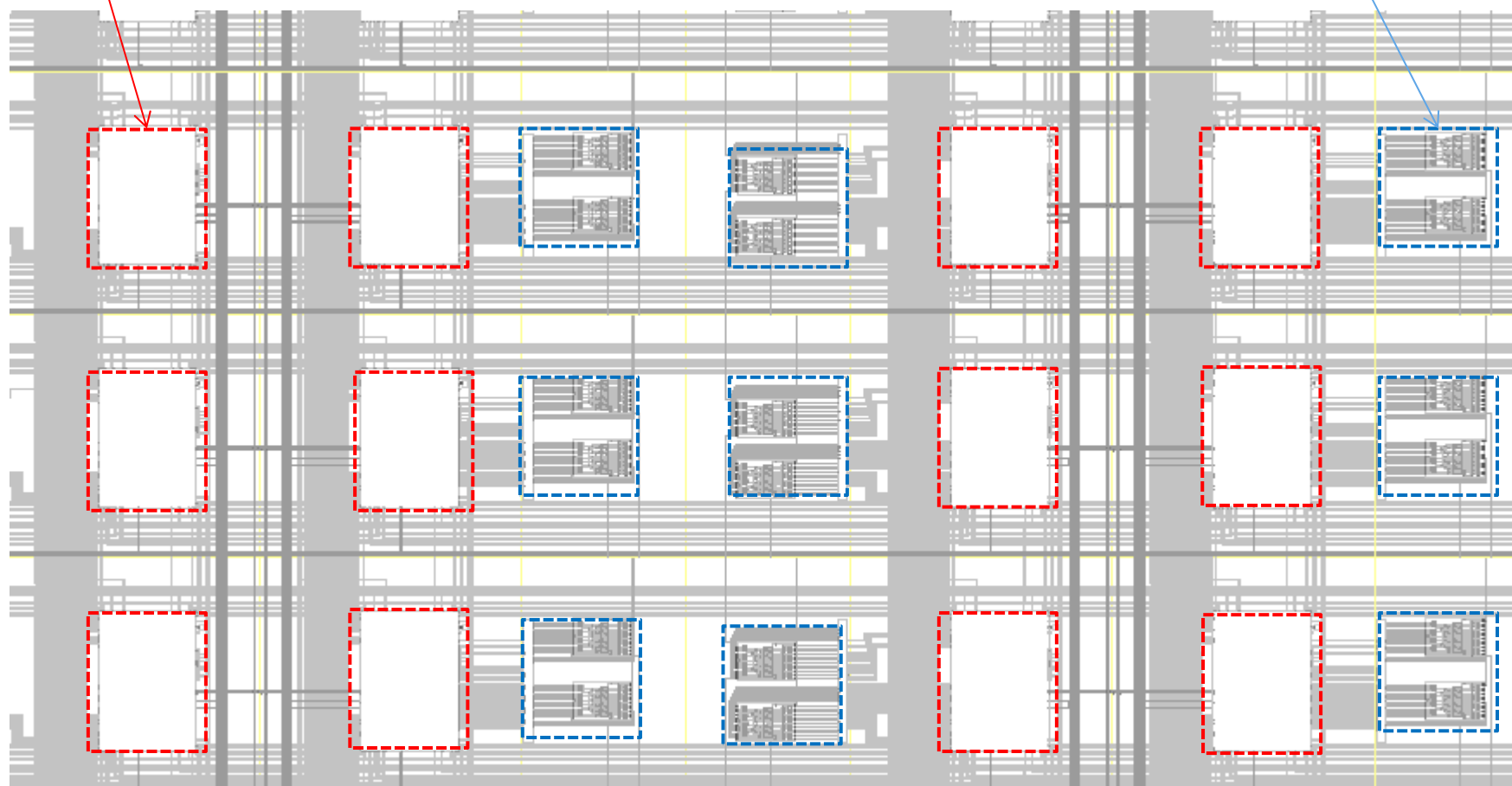
- 互联也称为布线，被分段用于最优的连接。
- 7系列 FPGA CLB在FPGA内以规则的阵列排列。
- 每个与开关矩阵的连接用来访问通用的布线资源。

FPGA芯片的内部结构

--布线资源

开关阵列

CLB



FPGA芯片的内部结构

--布线资源

■ 在7系列FPGA中，提供不同类型的布线。

- 这些布线通过长度来定义

■ 互联类型有：

- 快速连接

- ✓ 将模块的输出连接到自己模块的输入

- 单连接

- ✓ 在垂直和水平方向上，布线连接到相邻的单元

- 双连接

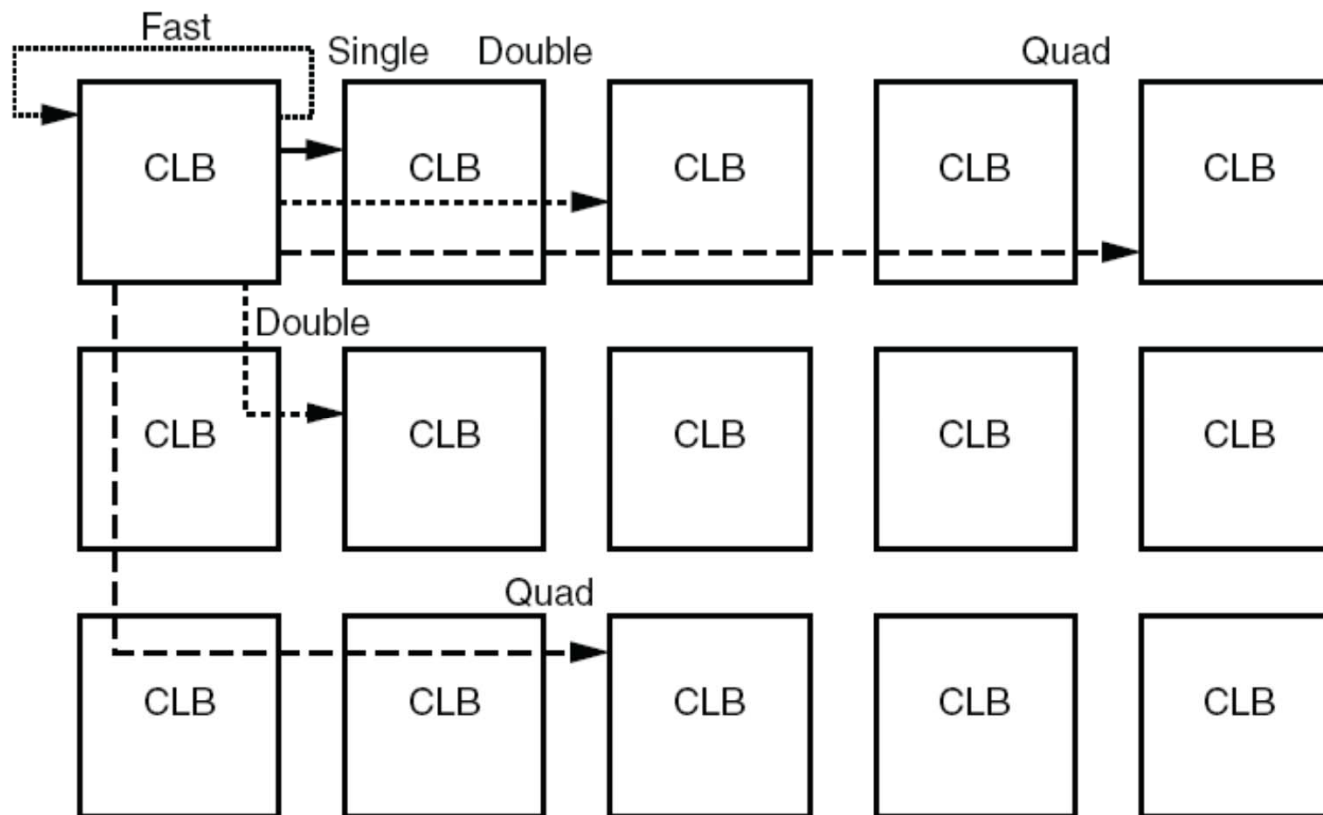
- ✓ 在所有四个方向上，水平和垂直连接到所有其他的单元和对角线相邻的单元

- 四连接

- ✓ 在水平和垂直方向上，每个四个CLB连接一个单元或者以对角线方式连接到相隔两行和两列距离的单元

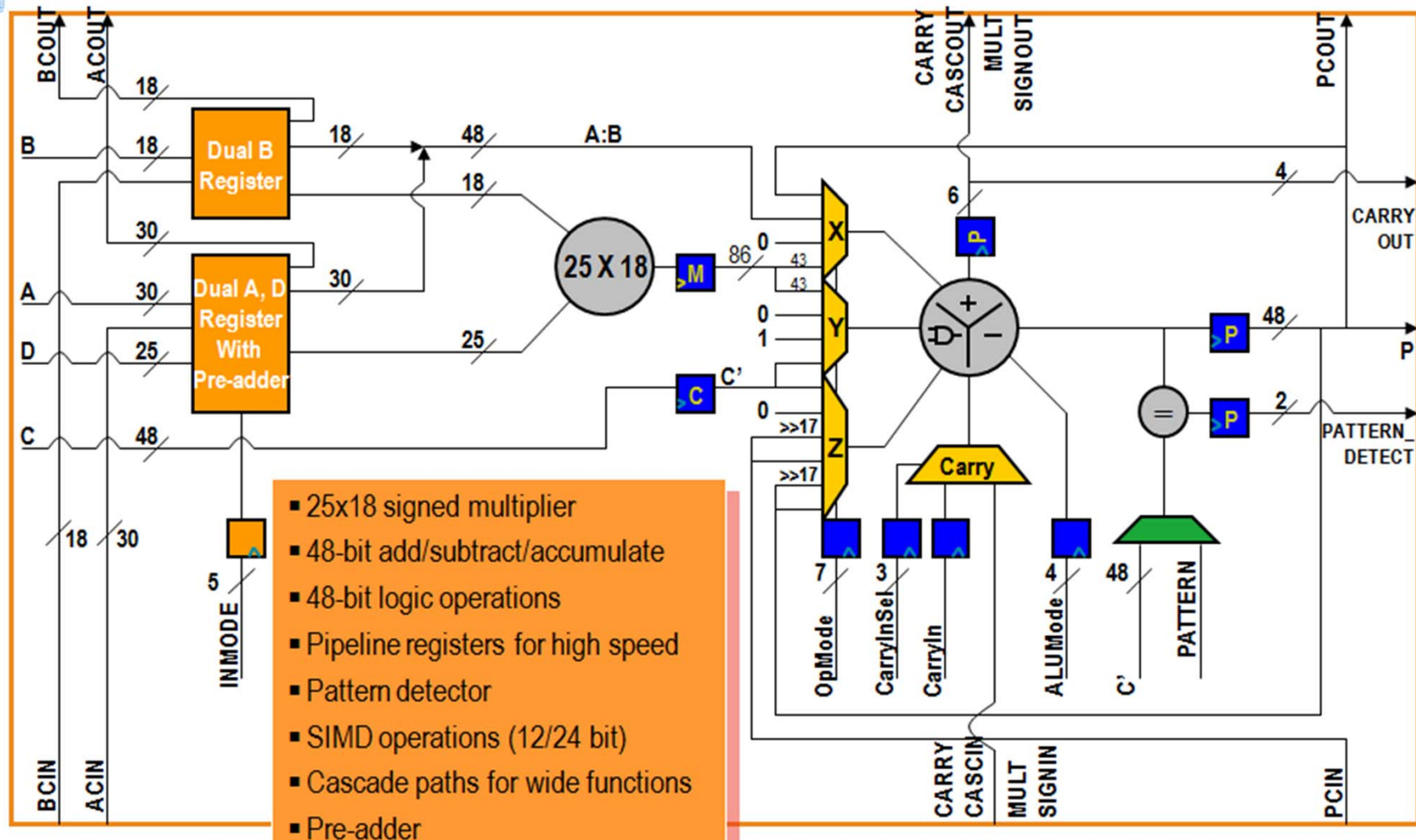
FPGA芯片的内部结构

--布线资源



FPGA芯片的内部结构

-- DSP48E1



FPGA芯片的内部结构

--I/O接口面临的挑战

■ 高速工作，并且保证信号完整性

- 源同步操作（时钟前向）
- 系统同步操作（公共的系统时钟）
- 端接传输线以避免信号反射

■ 在宽并行总线上驱动和接收数据

- 补偿总线抖动和时钟定时误差
- 串行和并行数据之间的转换
- 实现高的速率（>1Gbps）

■ 单数据速率（SDR）或双倍数据速率（DDR）接口

■ 与许多不同标准的接口

- 不同的电压、驱动强度和协议

FPGA芯片的内部结构

--IO块的特性

■ 宽范围电压

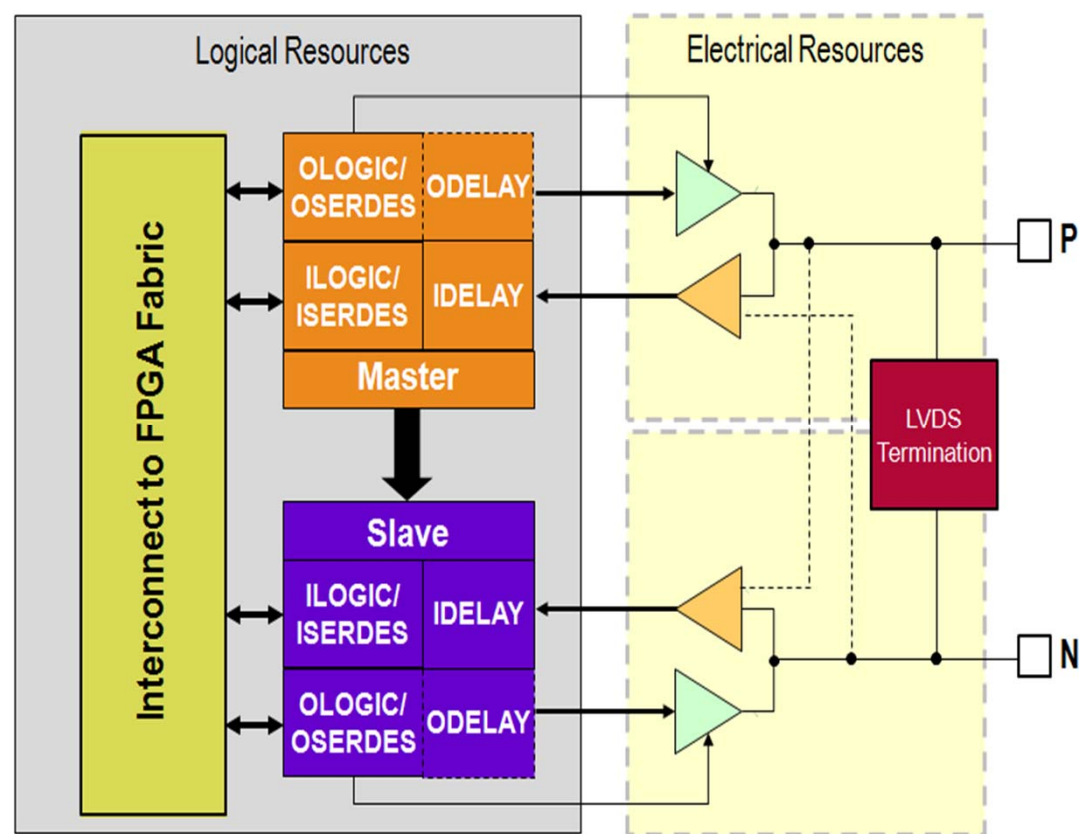
□ 1.2~3.3V

■ 支持更多的I/O标准

- 单端和差分
- 参考电压输入
- 3态使能控制

■ 更高的性能

- 最高1600Mbps LVDS
- 最高1866Mbps单端DDR3



FPGA芯片的内部结构

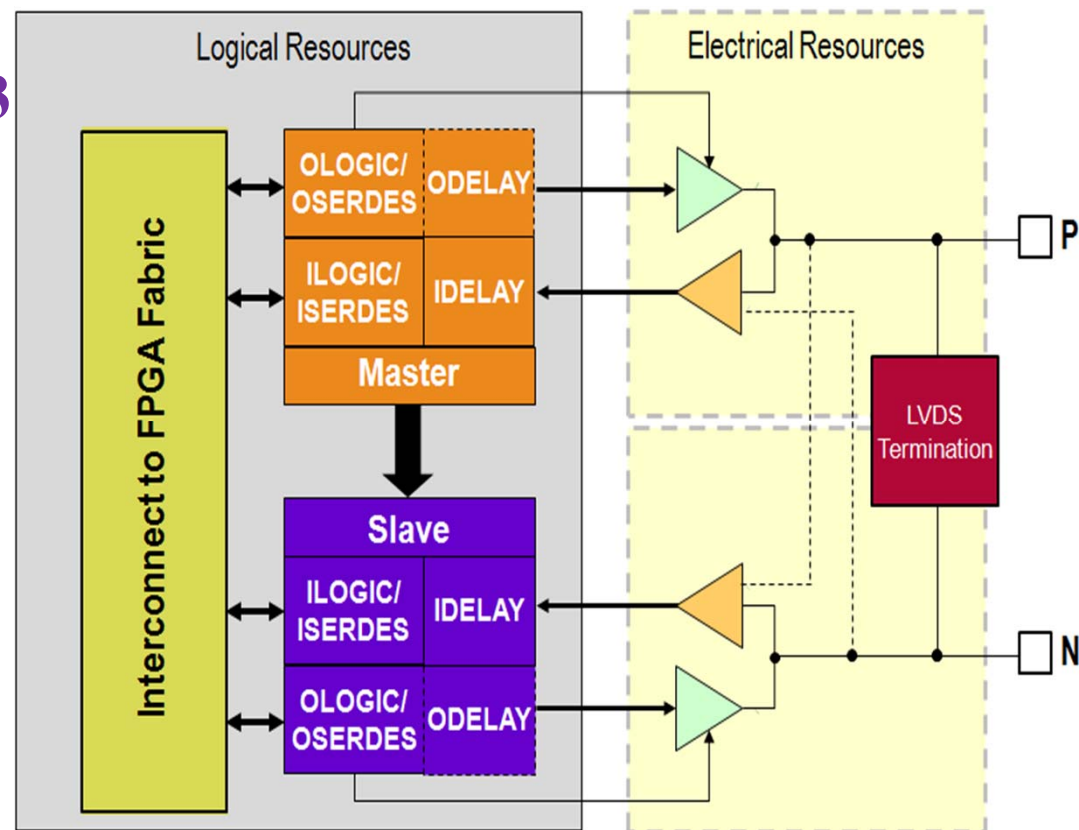
--IO块的特性

■ 更容易与存储器接口

□ 硬件支持QDRII+DDR3

■ 数字控制阻抗

■ 降低功耗特性



FPGA芯片的内部结构

--IO块的类型

■ 两种不同类型的I/O

□ 宽范围（high range, HR）

✓ 支持I/O标准，其Vcco最高电压为3.3V

□ 高性能（high performance, HP）

✓ 支持I/O标准，其Vcco最高电压只有1.8V

✓ 用于高性能

✓ 提供了ODELAY和DCI能力

I/O类型	Artix-7	Kintex-7	Virtex-7	Virtex-7 XT/HT
HR	All	Most	Some	
HP		Some	Most	ALL

FPGA芯片的内部结构

--IO块的电气资源

P和N引脚可以配置为

□ 单独的单端信号

□ 差分信号

接收器可以是标准的CMO或者电压比较器

□ 标准的CMOS

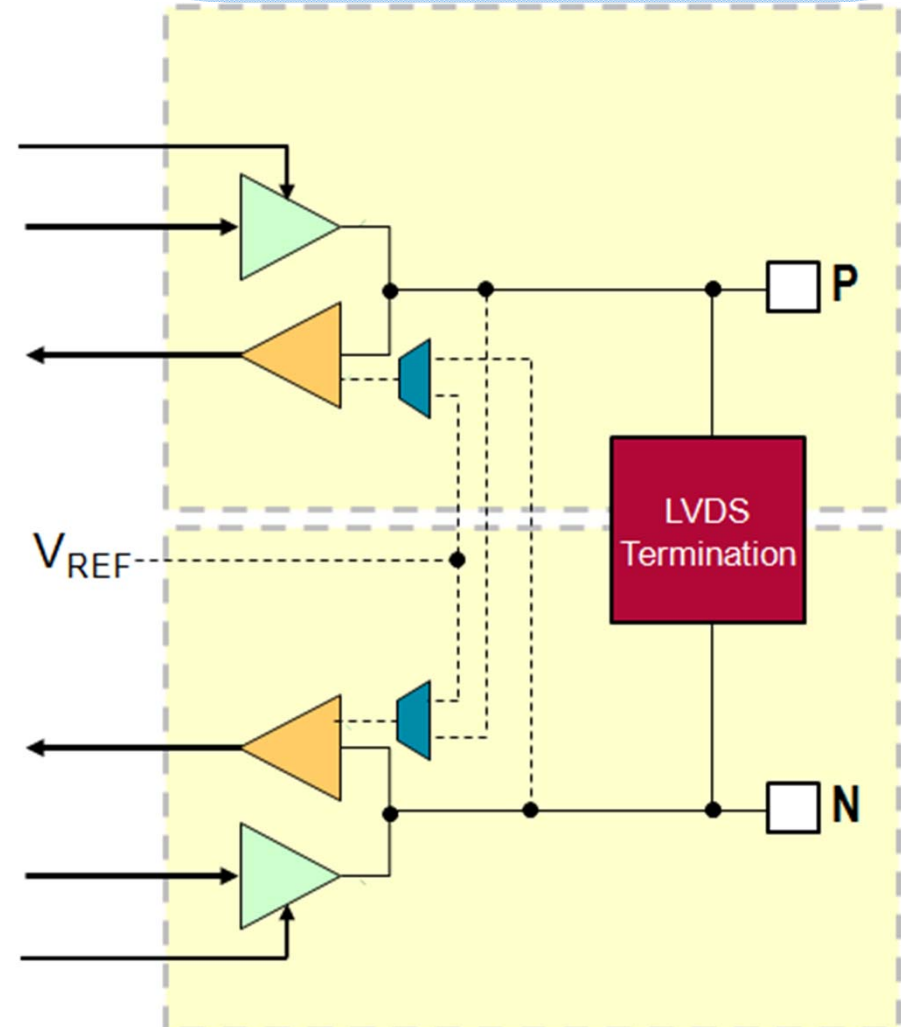
✓ 0, 接近GND; 1, 接近V_{CC0}

□ V_{REF}参考

✓ 0, 低于V_{REF}; 1, 高于V_{REF}

□ 差分

✓ 0, V_P<V_N; 1, V_P>V_N



FPGA芯片的内部结构

--IO块的逻辑资源

■ 每个I/O对有两个逻辑块

- 主和从

- 能独立工作或者连接在一起

■ 每个块包含

- ILOGIC/ISERDES

 - ✓ SDR、DDR或高速串行输入逻辑

- OLOGIC/OSERDES

 - ✓ SDR、DDR或高速串行输出逻辑

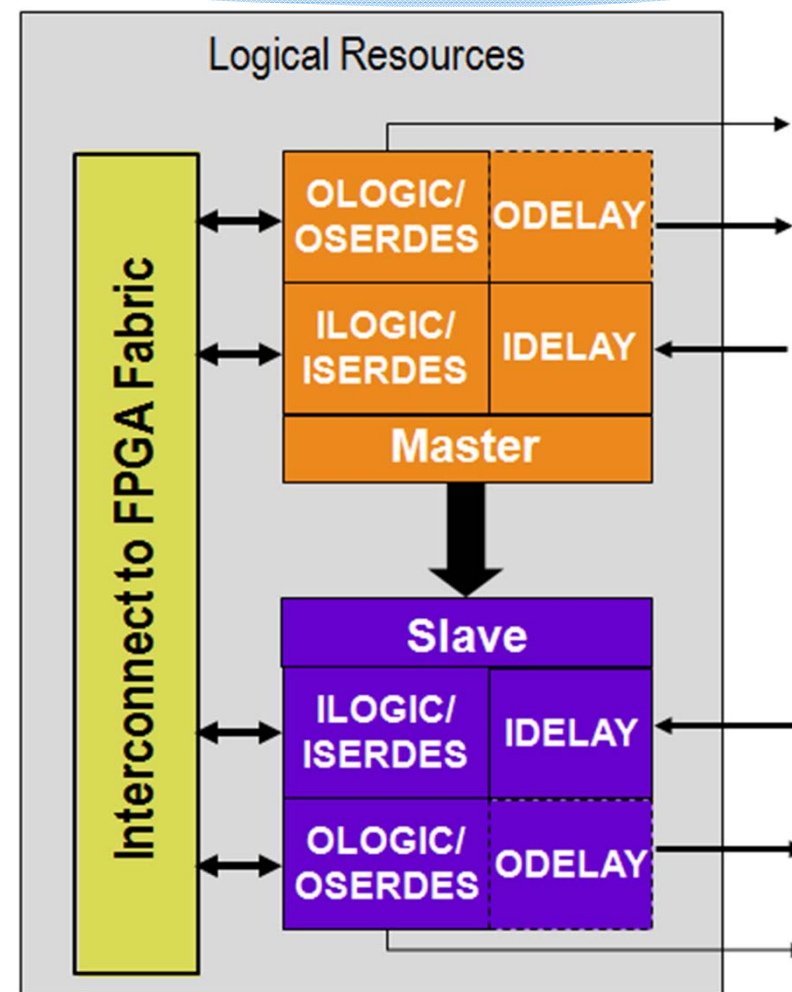
- IDELAY

 - ✓ 可选的细粒度输入延迟

- ODELAY

 - ✓ 可选的细粒度输出延迟

 - ✓ 只可用于HP组



IO块的逻辑资源

--ILOGIC：输入SDR和DDR逻辑

■ 两种类型的ILOGIC块

- ILOGIC2用于HP组

- ILOGIC3用于HR组

- ✓ 有零保持延迟能力

■ ILOGIC输入来自输入接收器

- 直接或者通过IDELAY块

■ 输出驱动FPGA内的资源

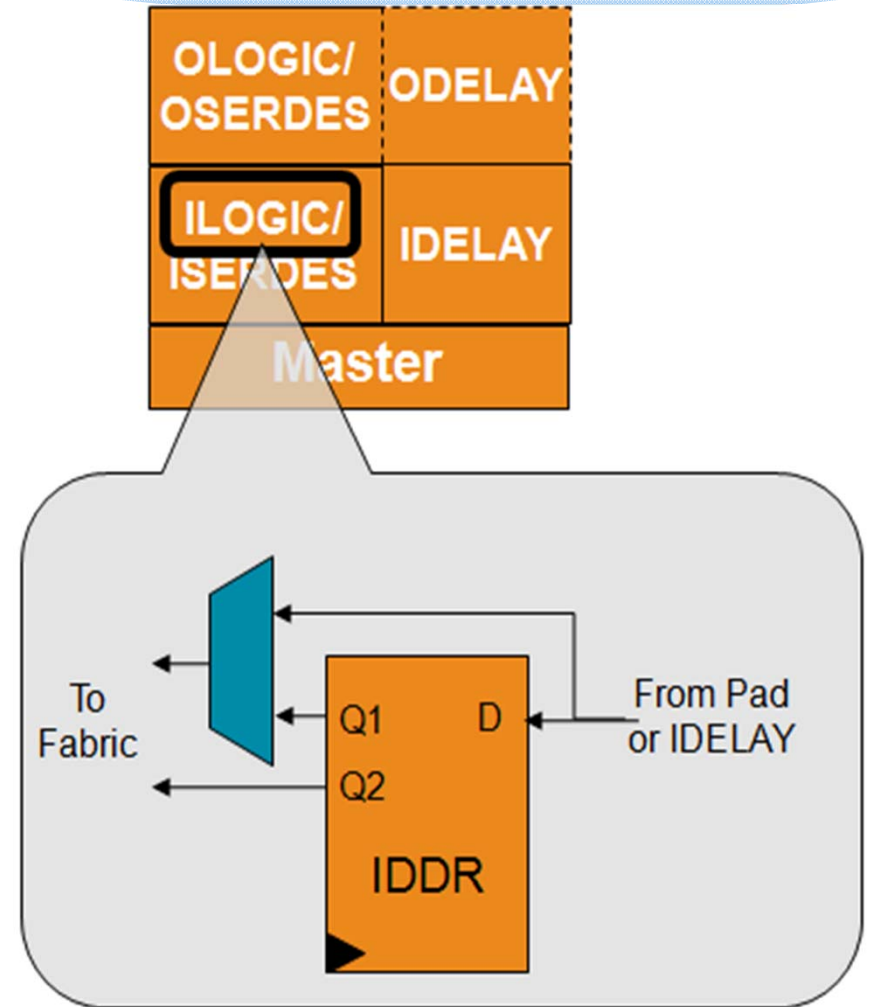
- 直接（没有经过时钟逻辑）

- 通过IDDR

- ✓ 在SDR，在时钟上升/下降沿

- ✓ 在DDR，在所有的时钟边沿

- （也可以通过互补时钟）



IO块的逻辑资源

--OLOGIC：输出SDR和DDR逻辑

■ 两种类型的OLOGIC块

- OLOGIC2用于HP组

- OLOGIC3用于HR组

■ OLOGIC输出连接到输出驱动器

- 直接或者通过ODELAY块

■ 输出由FPGA内的资源驱动

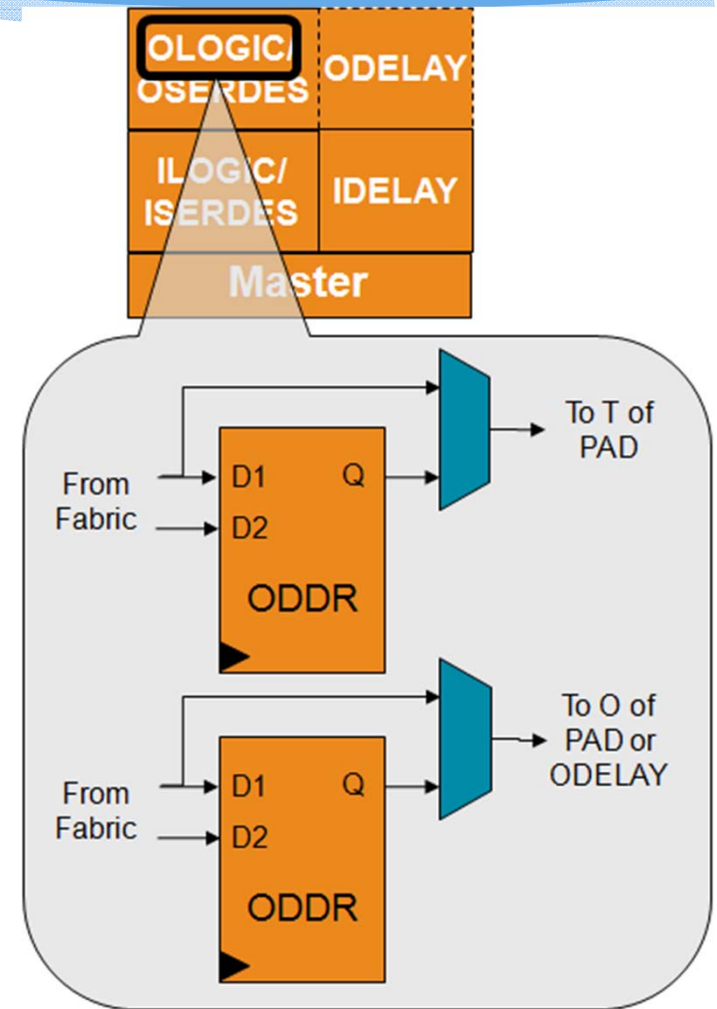
- 直接，或者通过SDR/DDR触发器

■ 每个OLOGIC块包含两个ODDR

- 一个用于控制到输出驱动器的数据

- 一个用于控制三态使能

- 所有的ODDR由相同的时钟和复位驱动



IO块的逻辑资源

--ISERDES : 输入串行-并行转换器

■ 数据来自输入或者IDELAY

□ D由高速时钟（CLK）驱动

□ 可以是 SDR或者DDR

■ 将解串行的数据发送到内部

□ Q由低速时钟驱动（CLKDIV）

■ CLK和CLKDIV必须同相位

■ 解串行化数据

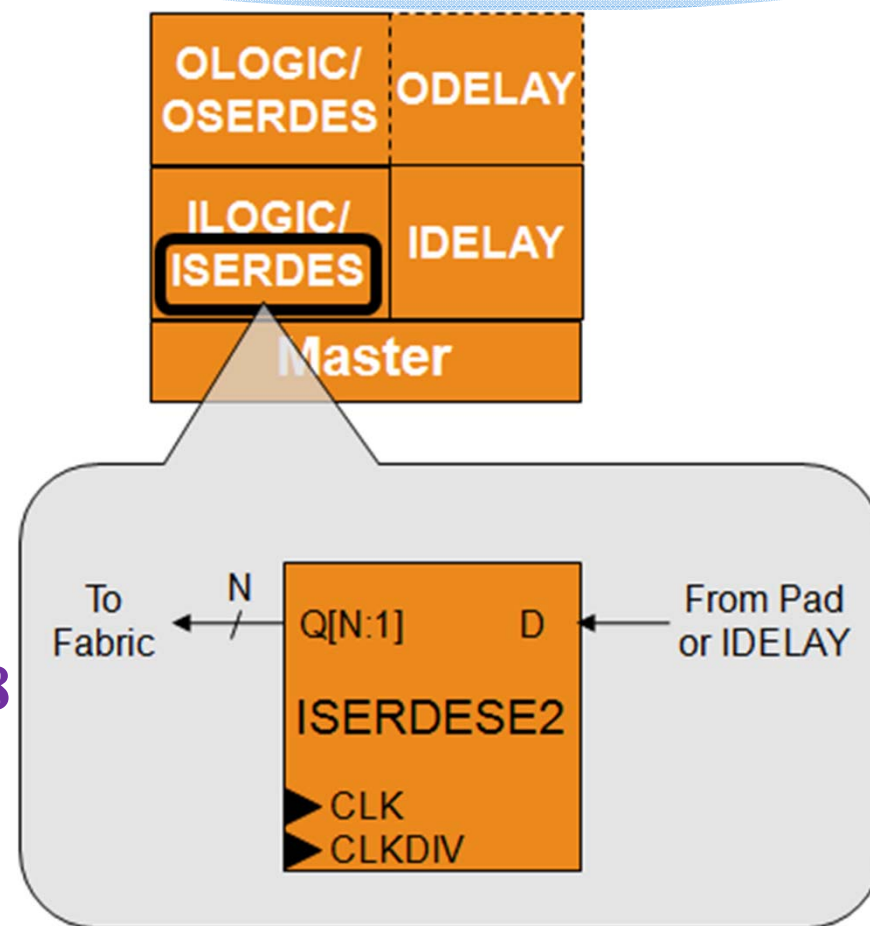
□ 单速率：2、3、4、5、6、7、8

□ 双速率：4、6、8

■ 级联，用于更宽的比率

□ 双速率：10、14

■ BITSLIP逻辑用于并行数据成帧



IO块的逻辑资源

--OSERDES : 输出并行-串行转换器

■ 串行输出数据输出到输出或者ODELAY

- Q由高速时钟（CLK）驱动

- 可以是 SDR或者DDR

■ 并行数据来自内部

- D与低速时钟同步（CLKDIV）

■ CLK和CLKDIV必须同相位

■ 串行化数据

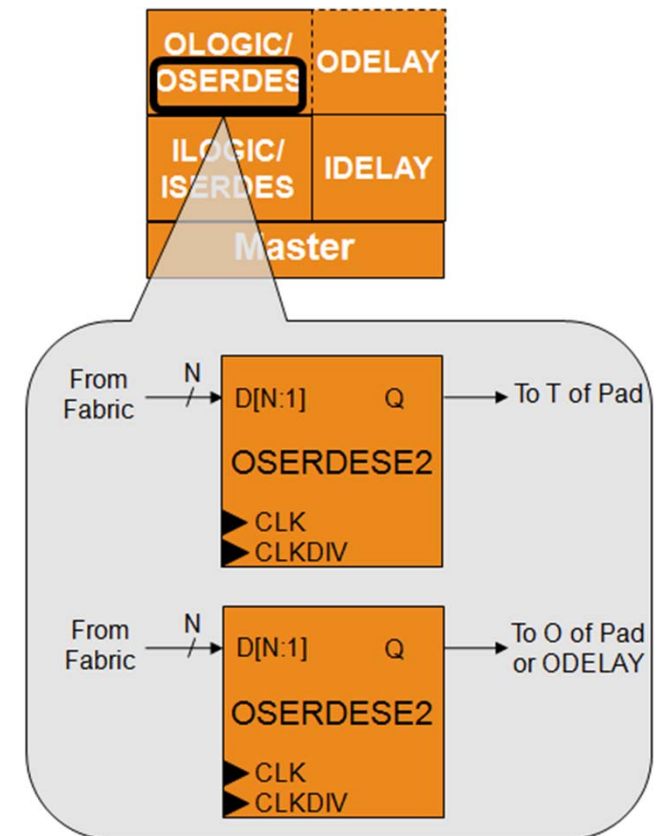
- 单速率：2、3、4、5、6、7、8

- 双速率：4、6、8

■ 级联，用于更宽的比率

- 双速率：10、14

■ 当使用三态串行化器时，数据和三态宽度必须都为4



IO块的逻辑资源

--IDELAY和ODELAY

■ 独立的IDELAY和ODELAY延迟线

□ IDELAY可用于HP和HR组

□ ODELAY只用于HP组

■ 延迟线元件使用IDELAYCTRL单元标定

□ 延迟是过程，与温度和电压无关

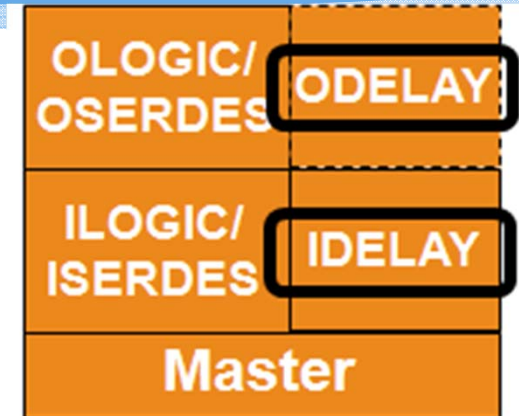
■ IDELAY和ODELAY有几乎一样的能力

□ FPGA逻辑可以访问IDELAY

■ 通过FPGA逻辑可以访问阶（tap）计数器的值

□ 监视、递增、递减或者设置阶的值，该值范围0~31

■ 在所有速度等级中，参考频率可以到达200MHz，在最快速度等级，可以达到300MHz

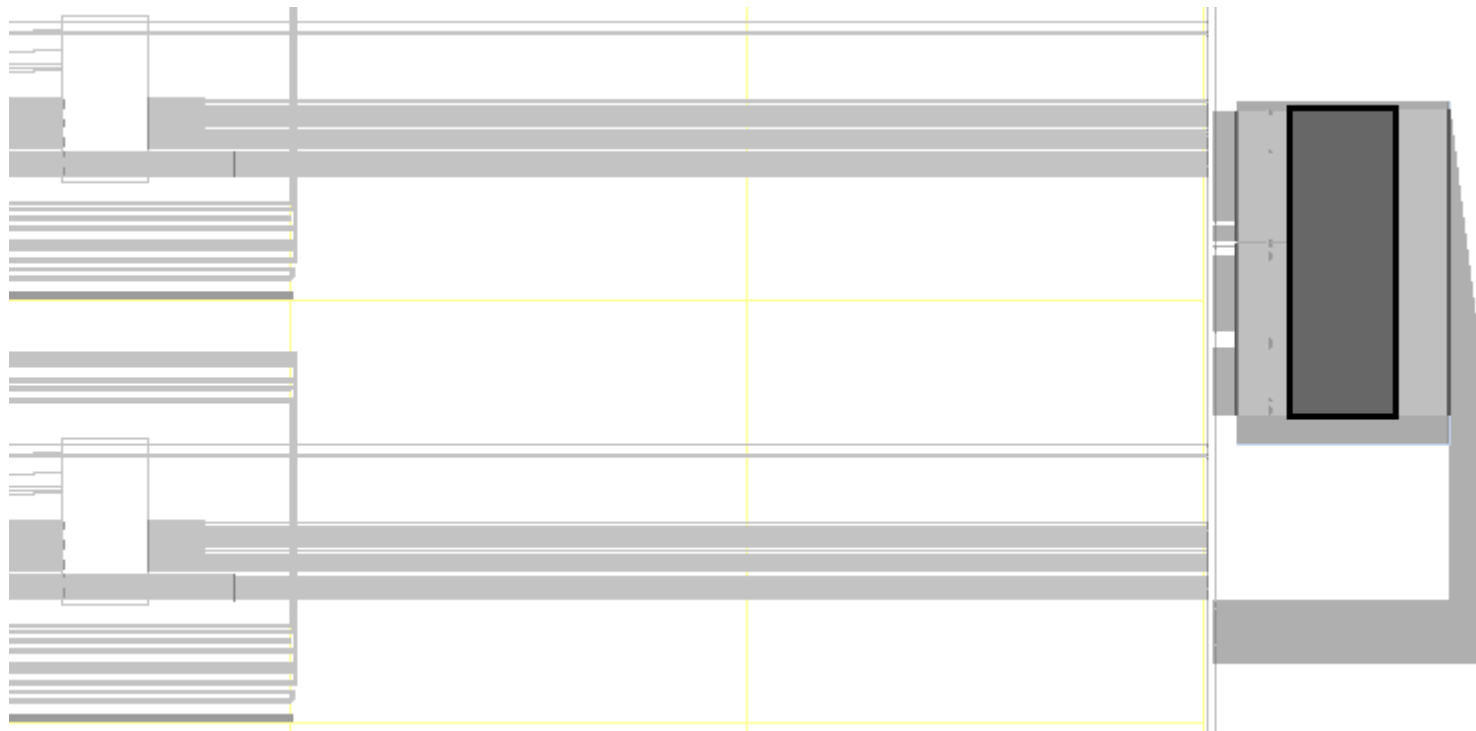


FPGA芯片的内部结构

--吉比特收发器

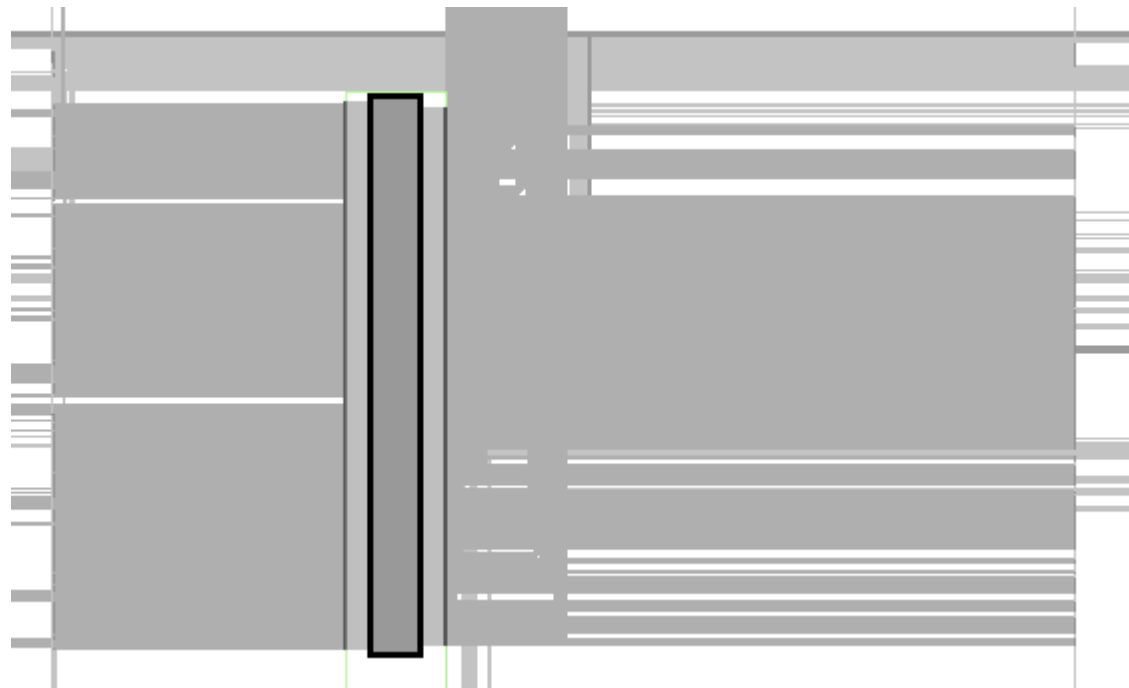
■ 7系列FPGA内，提供吉比特收发器，其重要特性包括：

□ 高性能的收发器，其速率最高可以达到6.6Gb/s(GTP)、12.5Gb/s(GTX)、13.1Gb/s(GTH)、28.05(GTZ)。



FPGA芯片的内部结构

--PCI-E模块



FPGA芯片的内部结构

--XADC和AMS

■ XADC是一款高品质，灵活的7系列模拟接口

- 双通道12位1Msps ADC，片上传感器，17个灵活的模拟输入，以及带可编程信号调理的跟踪和保持
- 1V输入范围
- 16位分辨率转换
- 内置数字增益和偏移校准

■ 模拟混合信号（AMS）

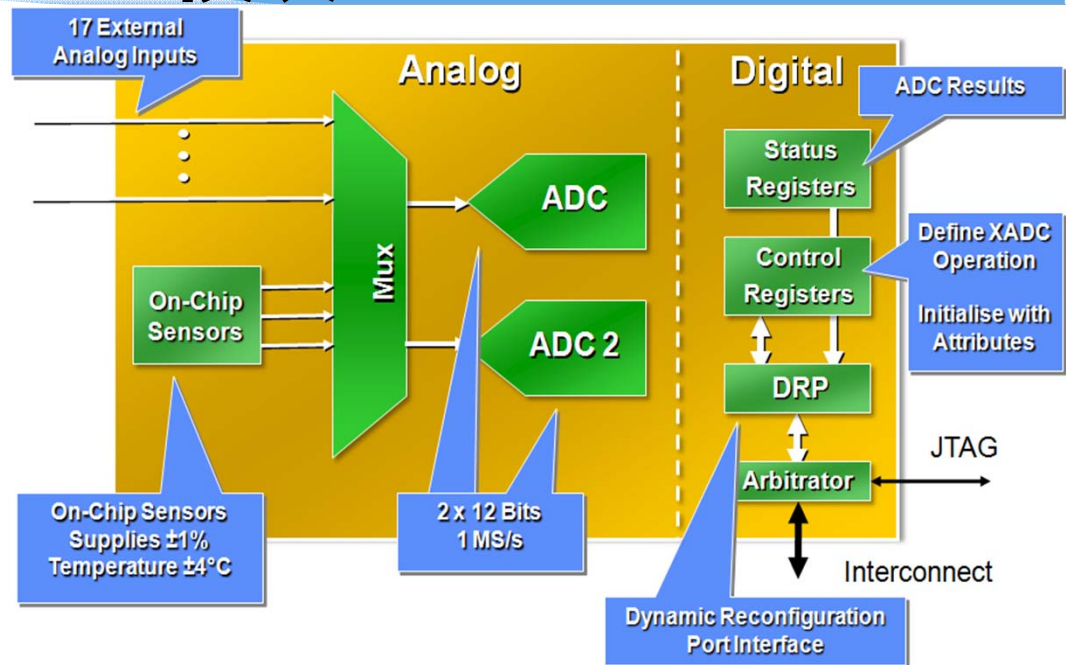
- 使用FPGA可编程逻辑定制XADC并替换其他外部模拟功能；
 - ✓ 例如，线性化，校准，滤波和DC平衡，以提高数据转换分辨率

FPGA芯片的内部结构

--XADC模块

■ 快速采样

- 转换时间为1 μ s，支持同步采样
- 灵活的定时模式（自己和外部触发采样模式）
- 每个ADC的独立采样/保持放大器可确保使用多路复用模拟输入通道实现最大吞吐量



■ 灵活的模拟输入

- 差分模拟输入，具有高共模噪声抑制
- 支持单极性、双极性和真差分输入信号类型

FPGA芯片的内部结构

--XADC模块其它特性

■ 内部和外部多路复用和采样

- 可以对内部电源和温度进行采样
- 可以复用内部源和17个外部模拟输入
- 可以控制外部模拟多路复用器以减少引脚数

■ 灵活的触发

- 转换的数据保存在内部状态寄存器中
- 内部控制寄存器控制采集源选择、采样和报警
- 可以通过动态重配置端口（DRP）在内部访问寄存器
- 可以通过JTAG访问寄存器

✓ 在上电后，配置前就可使用XADC

■ 可在很宽的温度范围内工作（-40~+125℃）

CPLD和FPGA的比较

FPGA和CPLD都是可编程逻辑器件,有共同特点,但由于CPLD和FPGA结构上的差异,具有各自的特点:

□ **CPLD更适合完成各种算法和组合逻辑, FPGA更适合于完成时序逻辑。**

✓ 换句话说, F P G A 更适合于触发器丰富的结构,而CPLD更适合于触发器有限而乘积项丰富的结构。

□ **CPLD的连续式布线结构决定了它的时序延迟是均匀的和可预测的; FPGA的分段式布线结构决定了其延迟的不可预测性。**

CPLD和FPGA的比较

- 在编程上FPGA比CPLD具有更大的灵活性。
 - ✓ CPLD通过修改具有固定内连电路的逻辑功能来编程。
 - ✓ FPGA主要通过改变内部连线的布线来编程。
 - ✓ FPGA可在逻辑门级上编程
 - ✓ CPLD是在逻辑块级上编程。
- FPGA的集成度比CPLD高,具有更复杂的布线结构和逻辑实现。

CPLD和FPGA的比较

□CPLD比FPGA使用起来更方便

✓CPLD的编程采用E2PROM或FASTFLASH技术,无需外部存储器芯片,使用简单。

✓而FPGA的编程信息需存放在外部存储器上,使用方法复杂。

□CPLD的速度比FPGA快,并且具有较大的时间可预测性。

✓FPGA是门级编程,并且CLB之间采用分布式互联

✓CPLD是逻辑块级编程,并且其逻辑块之间的互联是集总式的

CPLD和FPGA的比较

□ 编程方式

- ✓ CPLD主要是基于E2PROM或FLASH存储器编程,编程次数可达1万次,优点是系统断电时编程信息也不丢失。
- ✓ FPGA大部分是基于SRAM编程,编程信息在系统断电时丢失,每次上电时,需从器件外部将编程。

CPLD和FPGA的比较

□ 保密性

✓ CPLD保密性好。

✓ FPGA保密性差。

□ 功耗

✓ 一般情况下, CPLD的功耗要比FPGA大,且集成度越高越明显。