



数字逻辑基础

主讲：何宾

Email: hebin@mail.buct.edu.cn

2014.06

基本逻辑门电路分析

--门电路类型

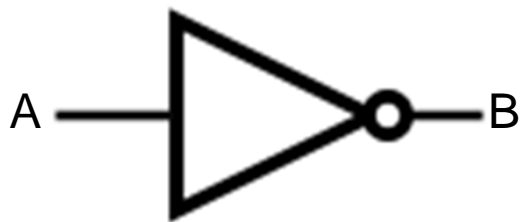
在数字电路中，所谓的基本逻辑门就是实现基本逻辑关系的电路。包含：

- 逻辑非门
- 逻辑与门
- 逻辑与非门
- 逻辑或门
- 逻辑或非门
- 逻辑异或门
- 逻辑同或门

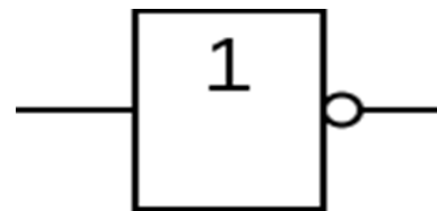
基本逻辑门电路的描述

--逻辑非门

- 英文称为NOT或者INV。
- 逻辑输出电平和逻辑输入电平相反。



逻辑非门的ANSI/IEEE符号表示

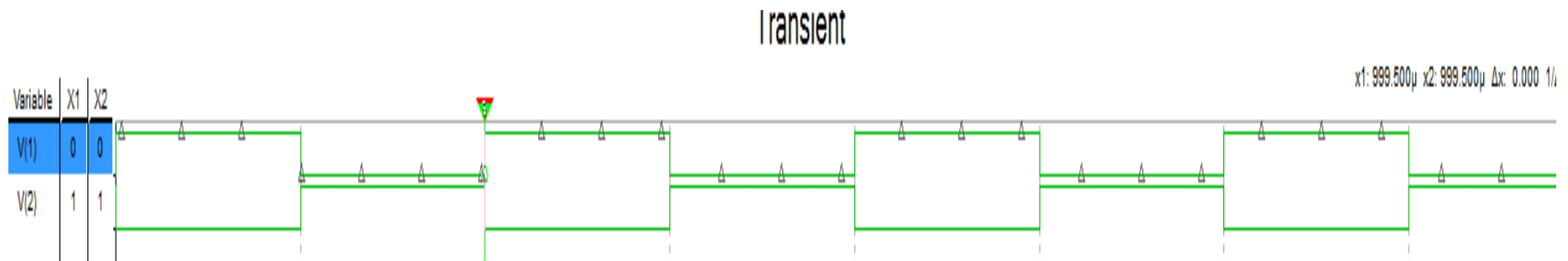
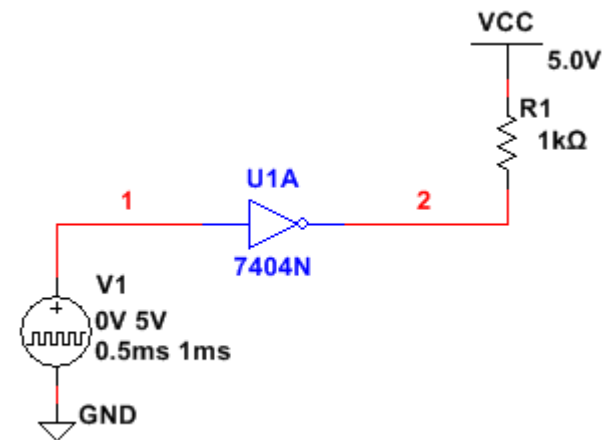


逻辑非门的IEC符号表示

基本逻辑门电路的描述

--逻辑非门

逻辑输入	逻辑输出
1	0
0	1



设计文件保存在e:\leda_verilog\logic_not

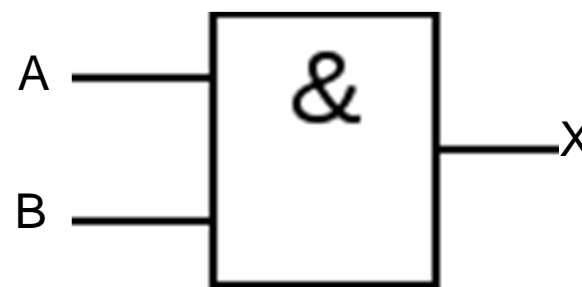
基本逻辑门电路的描述

--逻辑与门(AND)的特性

- 当所有逻辑输入的电平为高的时候，输出才为高电平；
- 在其它逻辑输入情况下，输出均为低电平。



逻辑与门的ANSI/IEEE符号表示

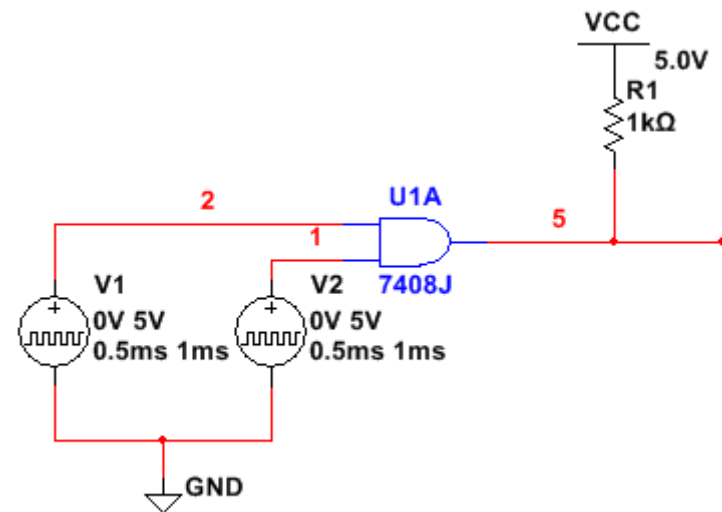


逻辑与门的IEC符号表示

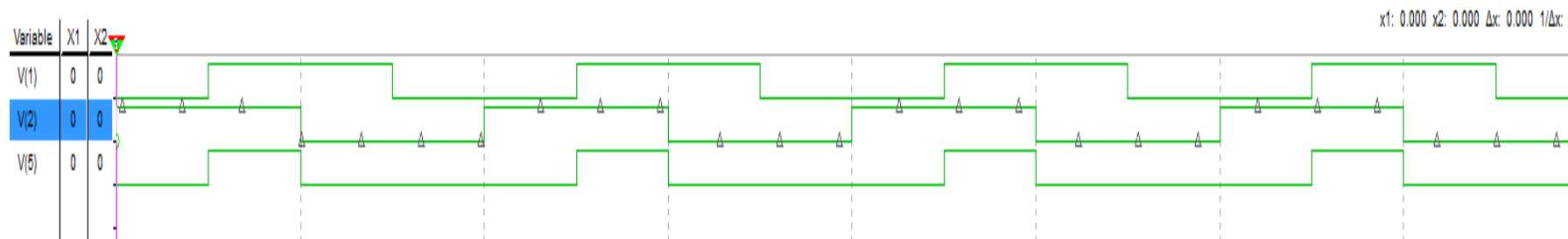
基本逻辑门电路的描述

--逻辑与门(AND)的特性

逻辑输入		逻辑输出
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1



Transient



设计文件保存在e:\eda_verilog\logic_not

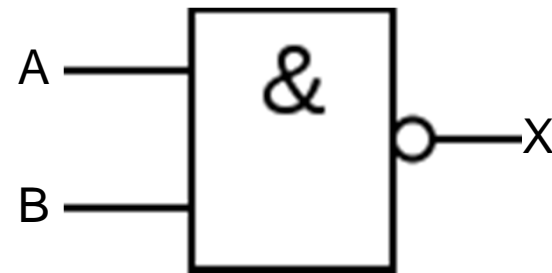
基本逻辑门电路的描述

--逻辑与非门(NAND)的特性

- 当所有逻辑输入的电平为高的时候，输出为低电平；
- 在其它逻辑输入情况下，输出均为高电平。



逻辑与非门的**ANSI/IEEE**符号表示

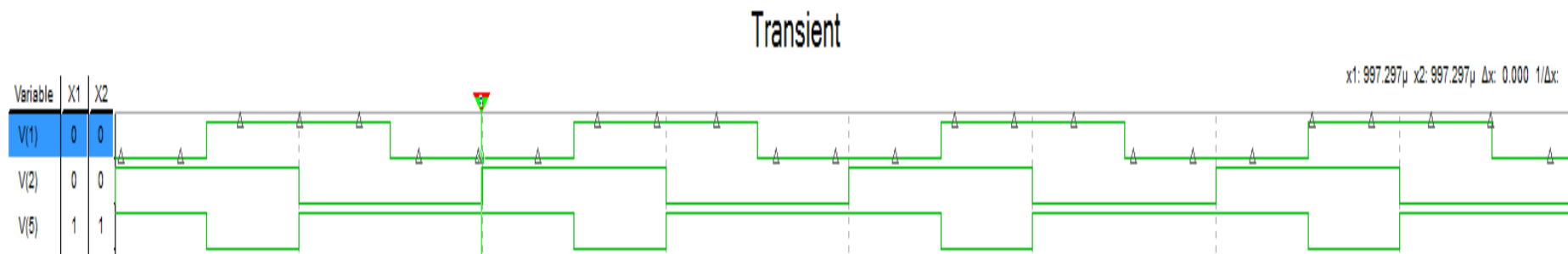
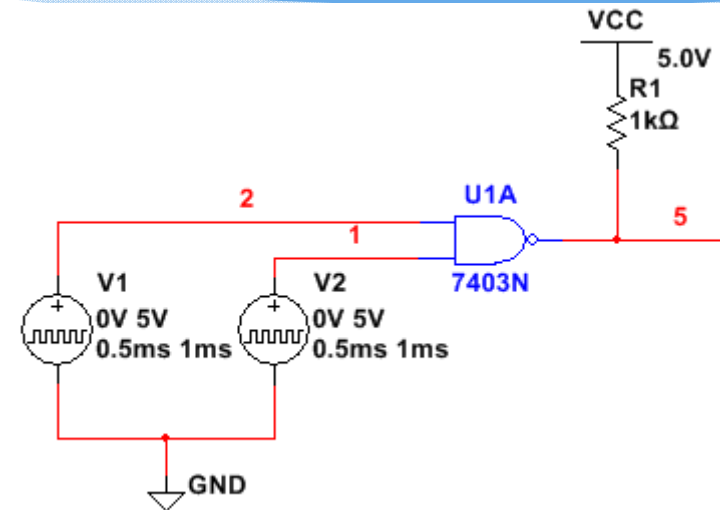


逻辑与非门的**IEC**符号表示

基本逻辑门电路的描述

--逻辑与非门(NAND)的特性

逻辑输入		逻辑输出
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0



设计文件保存在e:\leda_verilog\logic_and_not

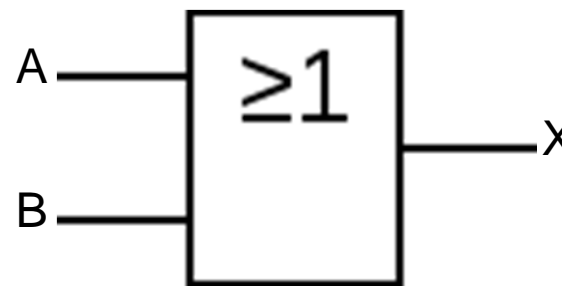
基本逻辑门电路的描述

--逻辑或门（OR）的特性

- 当逻辑输入存在高电平的时候，输出就为高电平；
- 在其它逻辑输入情况下，输出为低电平。



逻辑或门的**ANSI/IEEE**符号表示

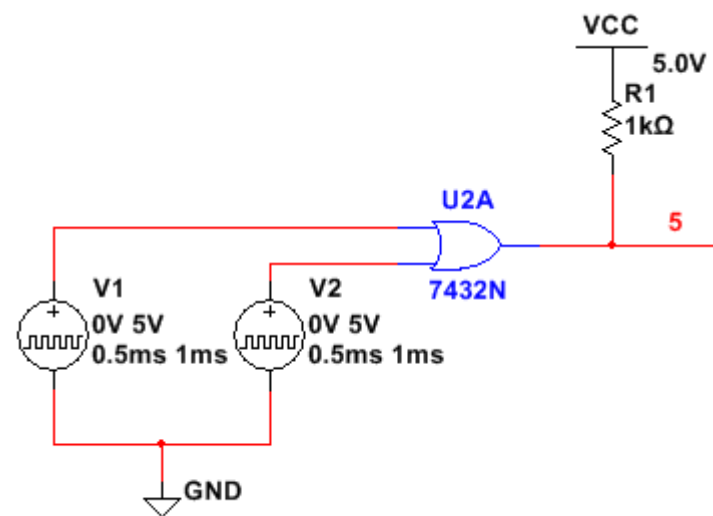


逻辑或门的**IEC**符号表示

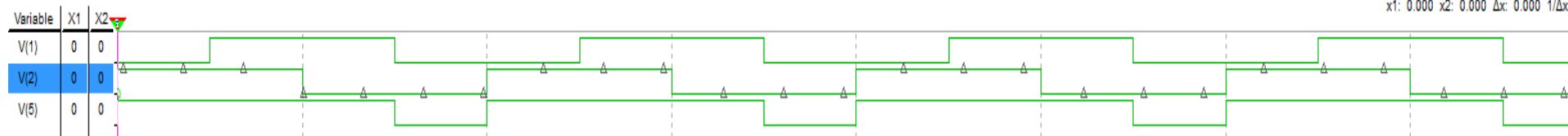
基本逻辑门电路的描述

--逻辑或门（OR）的特性

逻辑输入		逻辑输出
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1



Transient



设计文件保存在e:\eda_verilog\logic_or

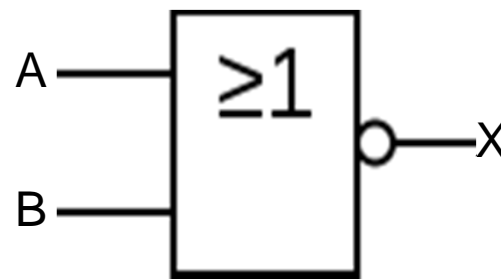
基本逻辑门电路的描述

--逻辑或非门（NOR）特性

- 当逻辑输入存在高电平的时候，输出就为低电平；
- 在所有逻辑输入都为低电平的情况下，输出才为高电平。



逻辑或非门的ANSI/IEEE符号

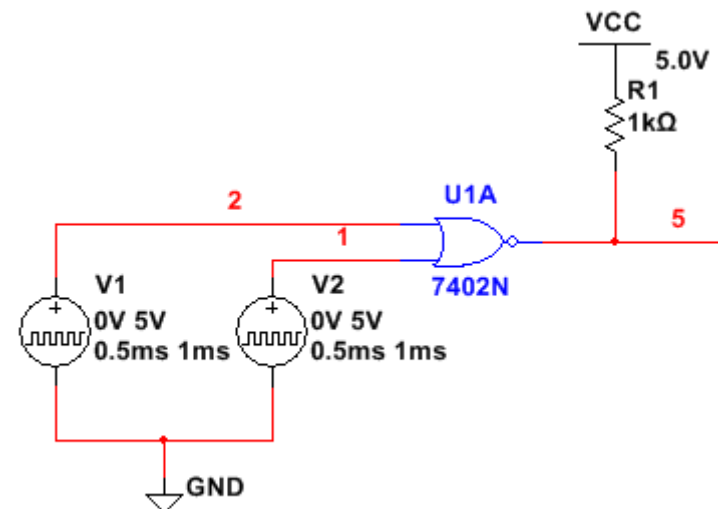


逻辑或非门的IEC符号

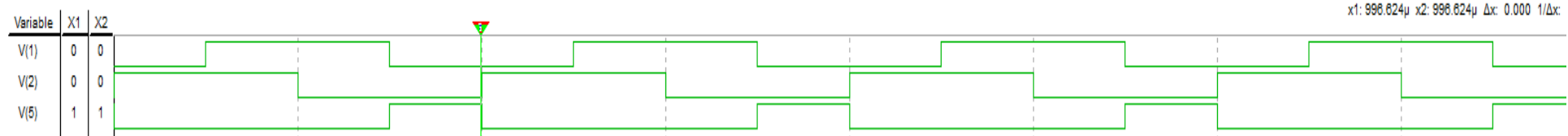
基本逻辑门电路的描述

--逻辑或非门 (NOR) 特性

逻辑输入		逻辑输出
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



Transient



设计文件保存在e:\leda_verilog\logic_or_not

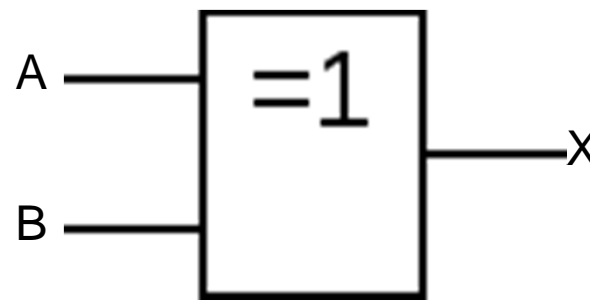
基本逻辑门电路的描述

--逻辑异或门 (XOR) 特性

- 当逻辑输入电平不相同的时候，输出为高电平；
- 否则，当逻辑输入电平相同的时候，输出为低电平。



逻辑异或门的ANSI/IEEE符号表示

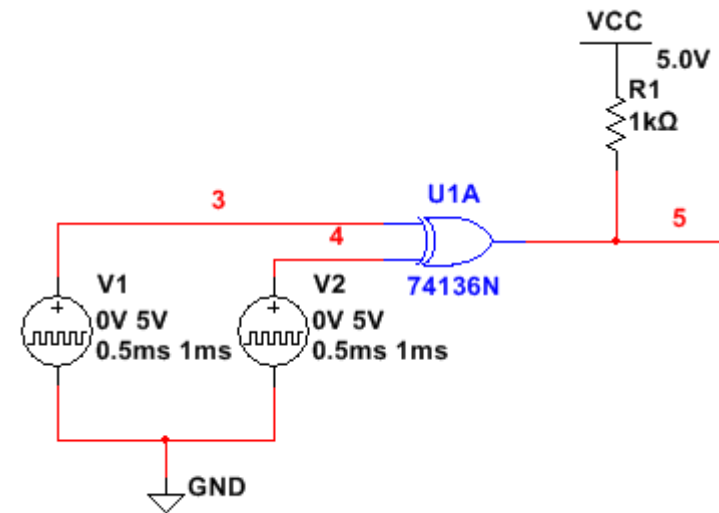


逻辑异或门的IEC符号表示

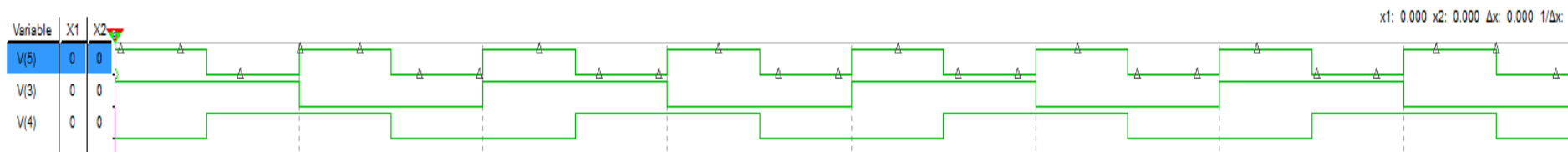
基本逻辑门电路的描述

--逻辑异或门 (XOR) 特性

逻辑输入		逻辑输出
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0



Transient



设计文件保存在e:\eda_verilog\logic_xor

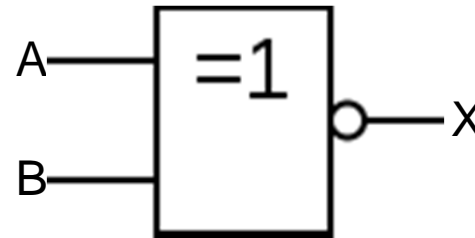
基本逻辑门电路的描述

--逻辑同或门 (XNOR) 特性

- 当逻辑输入电平相同的时候，输出为高电平；
- 当逻辑输入电平不相同的时候，输出为低电平。



逻辑异或非门的ANSI/IEEE符号

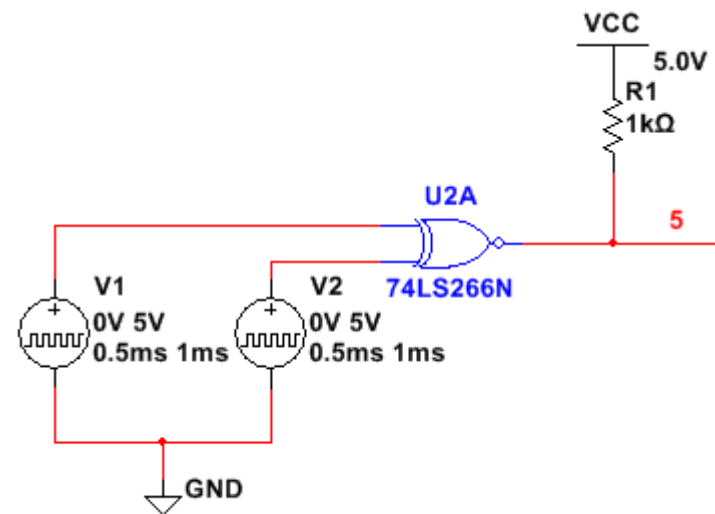


逻辑异或非门IEC符号

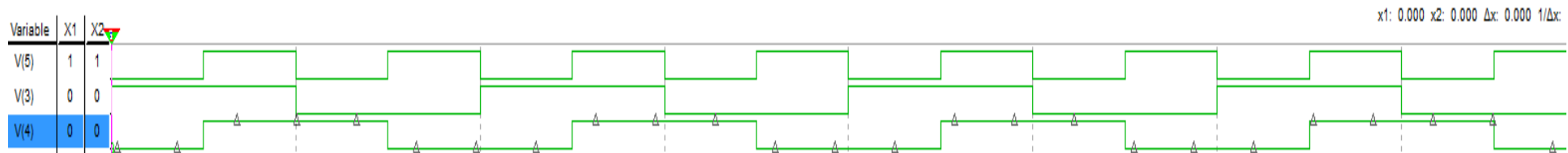
基本逻辑门电路的描述

--逻辑同或门（异或非门）

逻辑输入		逻辑输出
A	B	X
0	0	1
0	1	0
1	0	0
1	1	1



Transient



设计文件保存在e:\eda_verilog\logic_xor_not

基本逻辑门电路分析

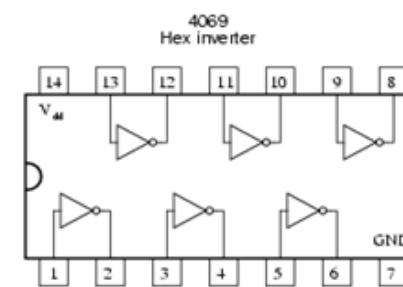
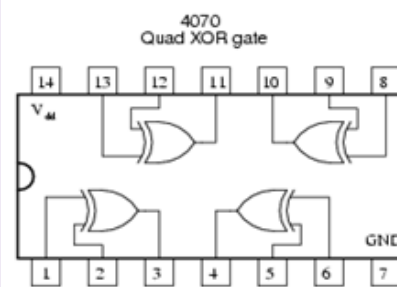
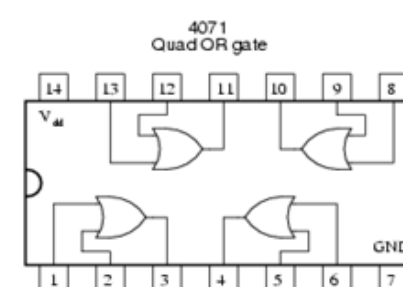
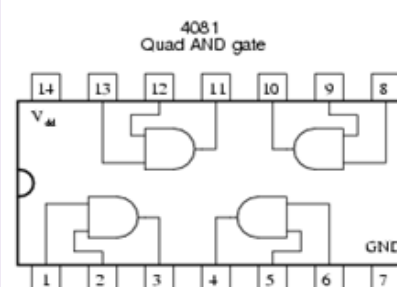
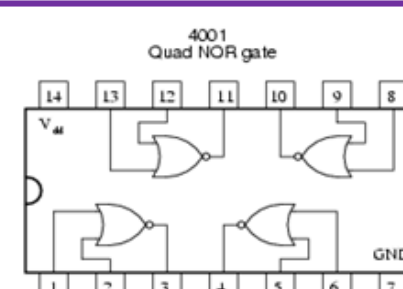
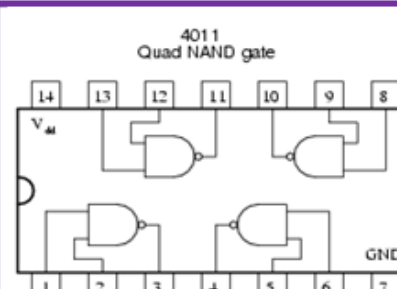
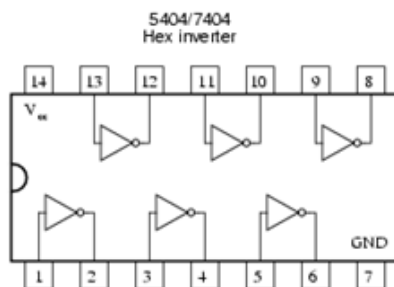
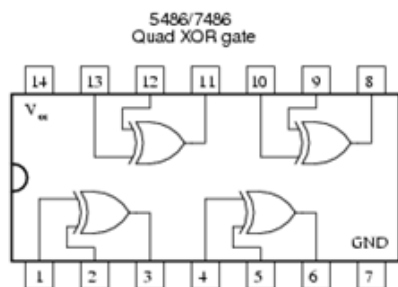
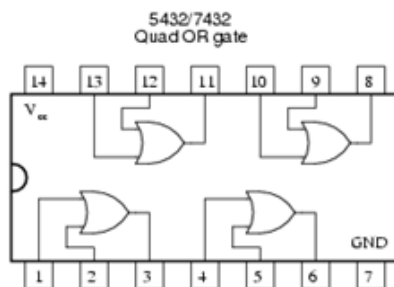
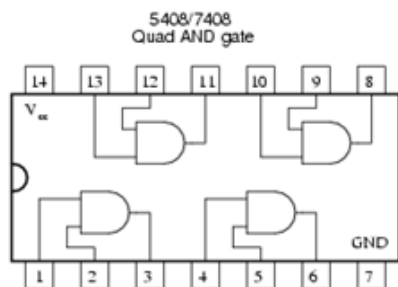
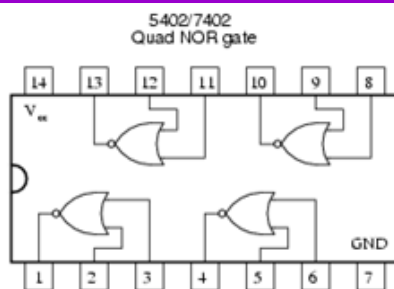
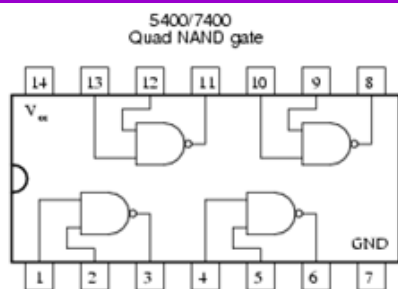
--基本逻辑门集成电路

很多小规模集成电路可以用于实现基本的逻辑门功能，典型的，74LSXX系列的器件。

- 常用的基本逻辑门集成电路大多采用DIP封装，引脚的个数为14。这些DIP封装的电源引脚在第14个引脚，标记为Vcc，地引脚在第7个引脚，标记为GND。
- 当器件型号以74开头时，表示是商用级TTL。如果器件型号以54开头，表示是军用级，其工作温度更宽，典型的，对允许的供电电压和信号电平有更好的鲁棒性。

基本逻辑门电路分析

--基本逻辑门集成电路



基本逻辑门电路分析

--基本逻辑门集成电路

- 在74/54后面的字母“LS”表示是“低功耗的肖特基”电路，使用了肖特基势垒二极管和晶体管，用于降低功耗。不使用肖特基的门电路，将消耗更多的功耗，但是由于更快的切换时间，因此器件可以工作在更高的工作频率上。

基本逻辑门电路分析

--逻辑门电路的传输特性

逻辑门电路的传输特性主要包括：

- 逻辑电平
- 噪声容限
- 传输延迟
- 扇入和扇出
- 功耗

逻辑门电路的传输特性

--逻辑高电平和逻辑低电平

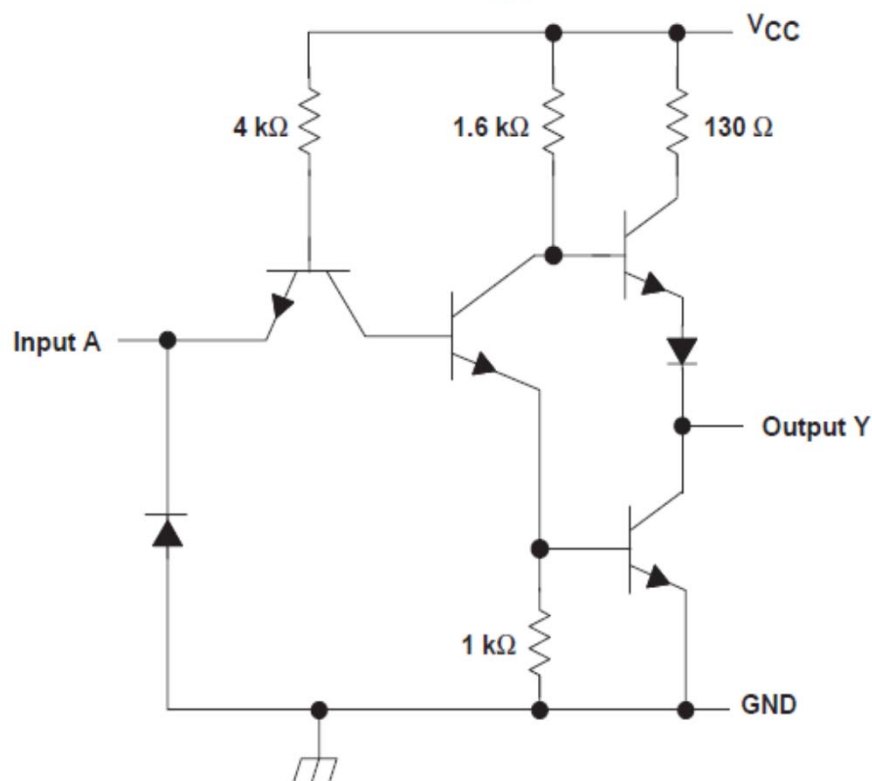
逻辑门电路的输入和输出只有两种类型的信号：“高”（逻辑1）和“低（逻辑低）”

- 满的供电电压用于表示“高”状态；
- 零电压用于表示一个“低”状态。

在实际中，由于晶体管本身的原因，逻辑信号的电平很少能达到这些理想的极限。因此，需要理解门电路信号电平的限制。

逻辑门电路的传输特性

--逻辑高电平和逻辑低电平



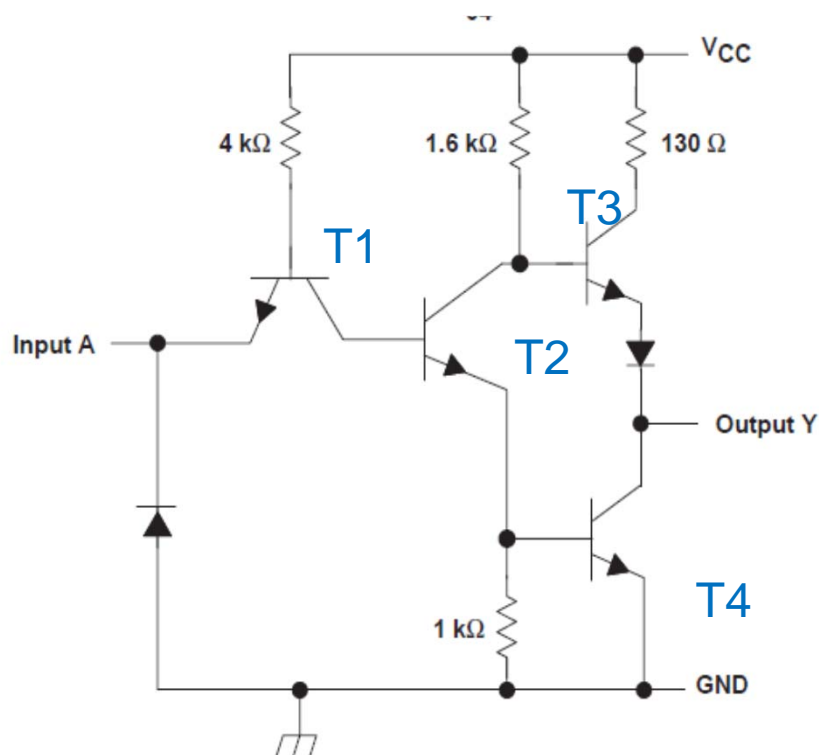
74LS04非门TTL内部结构

一个TTL半导体工艺生成的非逻辑门的内部结构，其供电电压 V_{CC} 为 $5 \pm 0.25\text{V}$ 。

- 理想的，一个TTL的信号逻辑高电平为 5.00V ，逻辑低电平为 0.00V 。
- 然而，一个真实的TTL门不能输出这样完美的电压值。

逻辑门电路的传输特性

--逻辑高电平和逻辑低电平



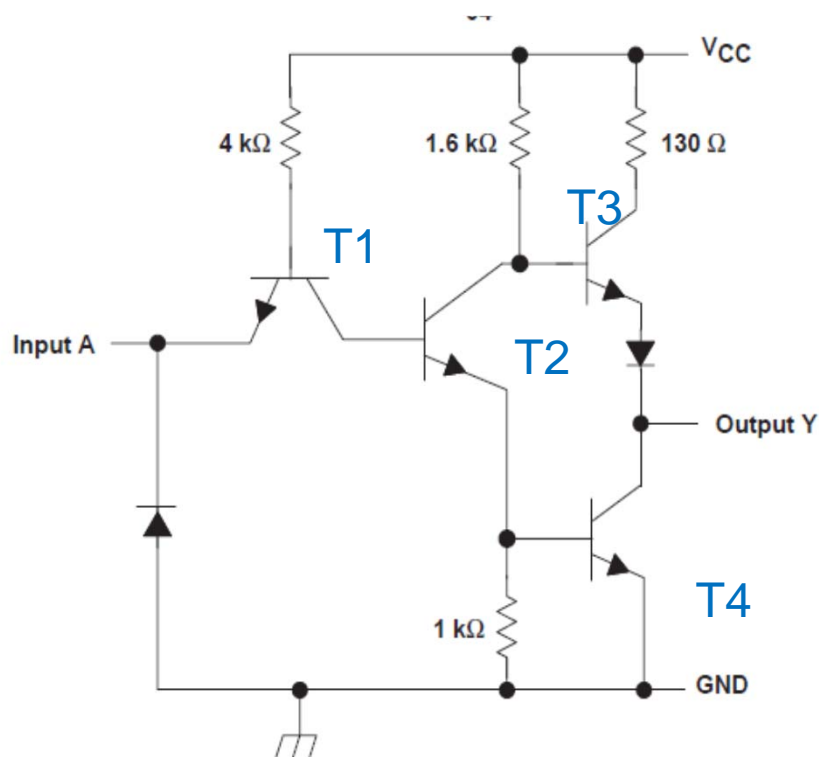
当输入信号电压为 0.2V 时，T1的基极电压为 0.9V ，此时T1为NPN型管集电极电压是 $0.9 - 0.7 = 0.2\text{V}$ ，而要T2及T4导通需要 $0.7 + 0.7 = 1.4\text{V}$ 电压，而加在T2的基极电位仅 0.2V ，所以T2与T4都截止。

此时，T4可以看作T3的一个电阻值很大的负载。输出Y的电压最高为 $V_{CC} - 0.7\text{V} - 0.7\text{V} = 5 - 1.4\text{V} = 3.6\text{V}$ 。

存在静态功耗！！！！（为什么？）

逻辑门电路的传输特性

--逻辑高电平和逻辑低电平



当输入电压为3.6V时，T1基极电压应为 $3.6 + 0.7 = 4.3\text{V}$ ，但因为同时T1集电极电位通路是 $5 - 0.7 = 4.3\text{V}$ ，已经大于导通电压1.4V，所以T2及T4管导通并将T1管基极电位限定在 $1.4 + 0.7 = 2.1\text{V}$ ，这样T1发射极反向截止，当T2饱和后饱和电压是0.3V，其集电极电位是 $0.7 + 0.3 = 1.0\text{V}$ ，而T3导通电压是T3发射结电压及D导通电压和即 $0.7 + 0.7 = 1.4\text{V}$ ，所以T3的基极电位1.0V不足以使T3导通而截止。

Y输出为T4饱和电压，低电平。

逻辑门电路的传输特性

逻辑高电平和逻辑低电平指标-SN74LS04

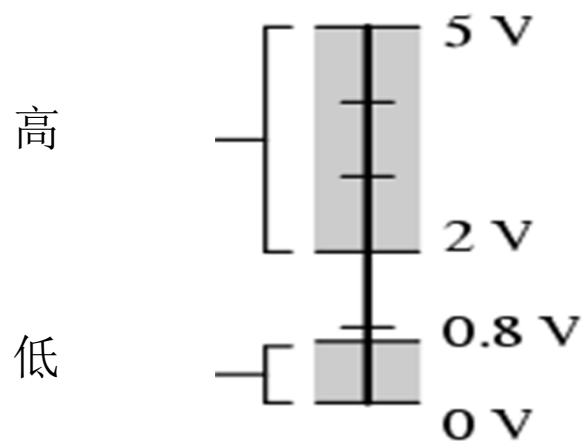
		SN54S04			SN74S04			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage			0.8			0.8	V
I _{OH}	High-level output current			-1			-1	mA
I _{OL}	Low-level output current			20			20	mA
T _A	Operating free-air temperature	-55		125	0		70	°C

PARAMETER	TEST CONDITION [†]	SN54S04			SN74S04			UNIT
		MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX	
V _{IK}	V _{CC} = MIN, I _I = -18 mA			-1.2			-1.2	V
V _{OH}	V _{CC} = MIN, V _{IL} = 0.8 V, I _{OH} = -1 mA	2.5	3.4		2.7	3.4		V
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, I _{OL} = 20 mA			0.5			0.5	V
I _I	V _{CC} = MAX, V _I = 5.5 V			1			1	mA
I _{IH}	V _{CC} = MAX, V _I = 2.7 V			50			50	μA
I _{IL}	V _{CC} = MAX, V _I = 0.5 V			-2			-2	mA
I _{OS} [§]	V _{CC} = MAX	-40		-100	-40		-100	mA
I _{CCH}	V _{CC} = MAX, V _I = 0 V		15	24		15	24	mA
I _{CCL}	V _{CC} = MAX, V _I = 4.5 V		30	54		30	54	mA

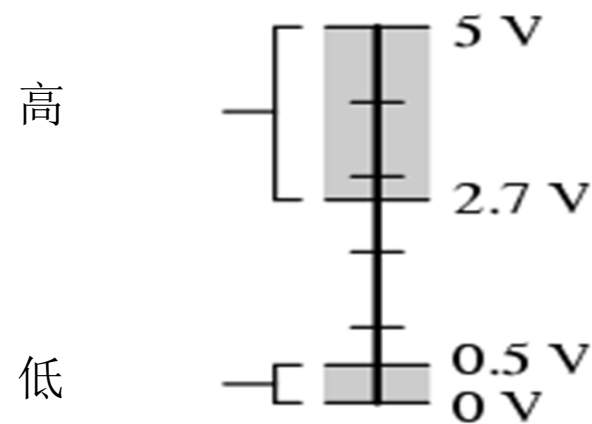
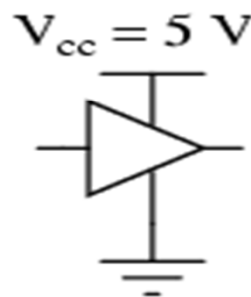
逻辑门电路的传输特性

--逻辑高电平和逻辑低电平

TTL逻辑门输入和输出信号电平



可接受的TTL门输入信号电平

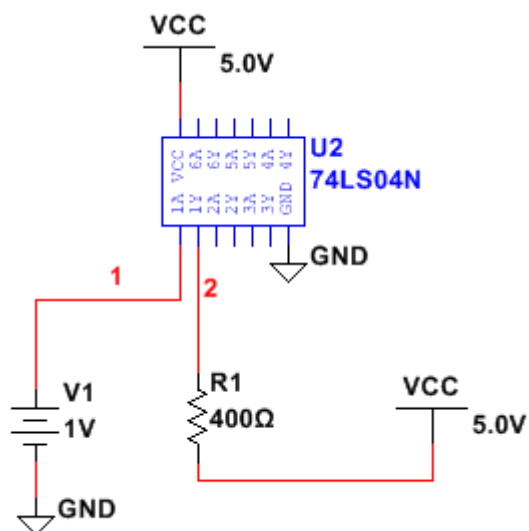


可接受的TTL门输出信号电平

逻辑门电路的传输特性

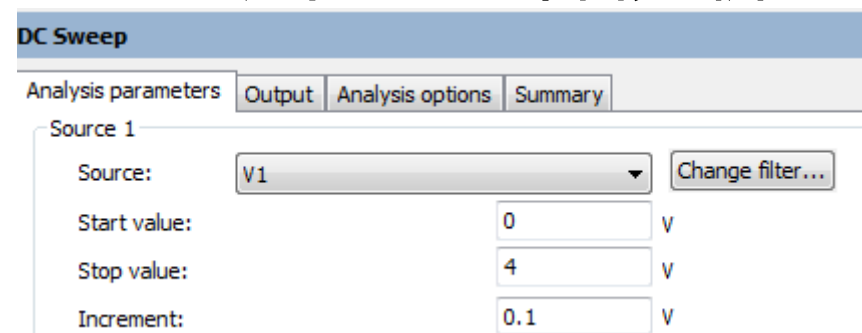
--逻辑高电平和逻辑低电平测试（1）

TTL测试电路

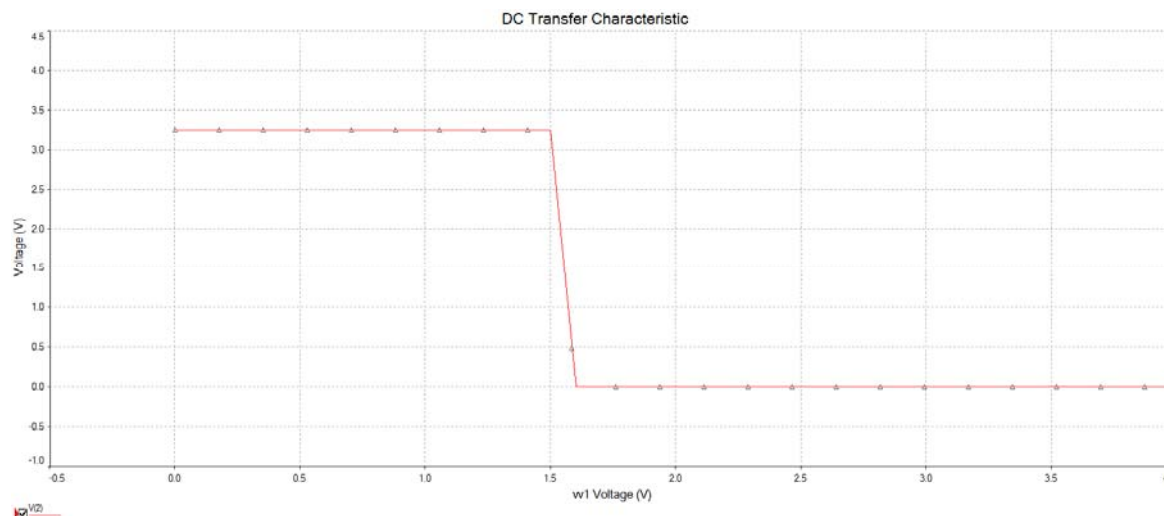


设计保存在eda_verilog\
digital circuit measure 7404（1）

执行DC扫描分析



测试结果分析

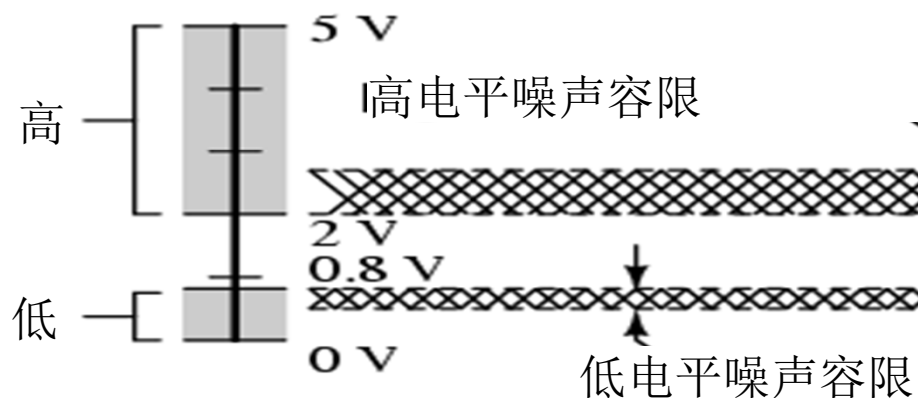


逻辑门电路的传输特性

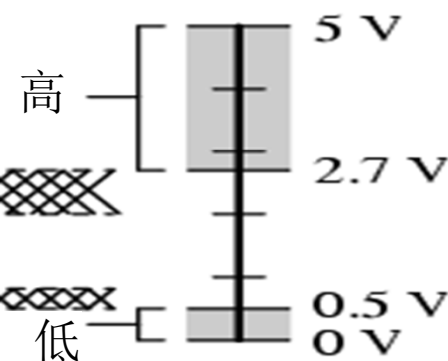
--逻辑高电平和逻辑低电平

当把一个TTL逻辑门的输出送入到另一个TTL逻辑门的输入时，保证其范围在另一个TTL逻辑门可接受的范围内。将所允许输入和输出范围之间的不同，称之为逻辑门的噪声容限。

可接受的TTL门输入信号电平



可接受的TTL门输出信号电平



逻辑门电路的传输特性

--逻辑高电平和逻辑低电平

CMOS逻辑高电平和逻辑低电平

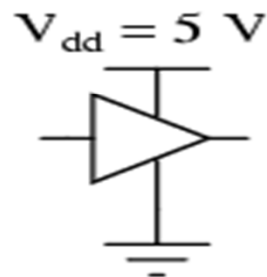
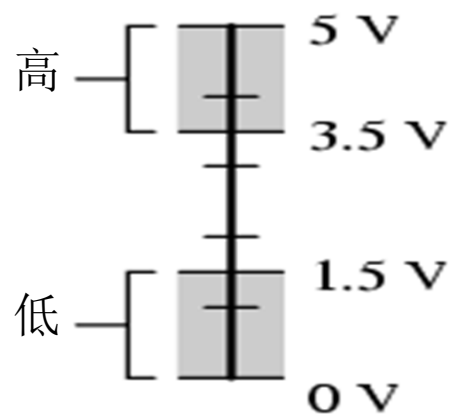
- CMOS半导体工艺的逻辑门，其输入和输出规范不同于TTL；
- 对于工作在供电电压为5V的CMOS逻辑门：
 - 对于输入信号来说，可以接受“低”逻辑状态范围（ V_{IL} ）为0V~1.5V，；
可以接受“高”逻辑状态范围（ V_{IH} ）为3.5V~5V
 - 对于输出信号来说，可以接受的范围由芯片的制造厂商，在一个给定的负载条件范围给定。输出的“低”状态范围为（ V_{OL} ）0V~0.05V；输出的“高”状态范围(V_{OH})为4.95V~5V。

逻辑门电路的传输特性

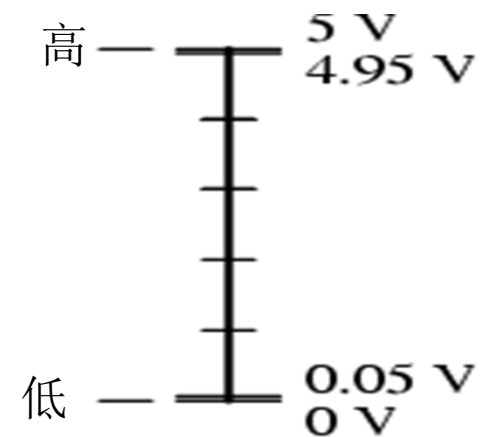
--逻辑高电平和逻辑低电平

5V CMOS逻辑门输入和输出信号电平

可接受的**CMOS**门输入信号电平



可接受的**CMOS**门输出信号电平



逻辑门电路的传输特性

--逻辑高电平和逻辑低电平

不像TTL，其供电电压限制在5V。当CMOS工作在更高的工作电压时，CMOS噪声容限将更大。

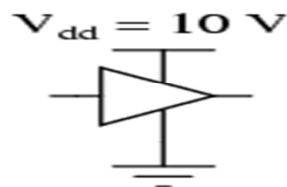
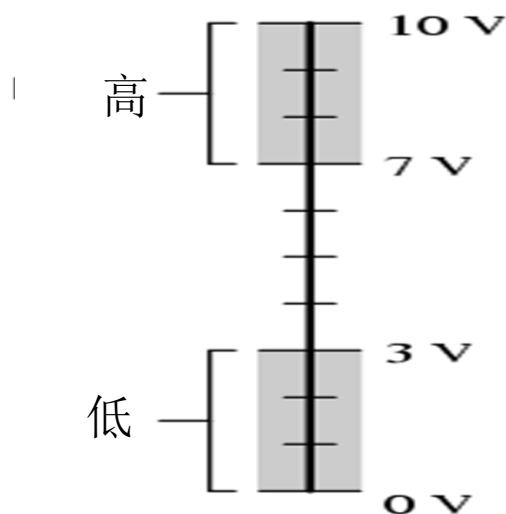
- CMOS的供电电压最高可以达到15V,一些CMOS可以达到更高的18V。

逻辑门电路的传输特性

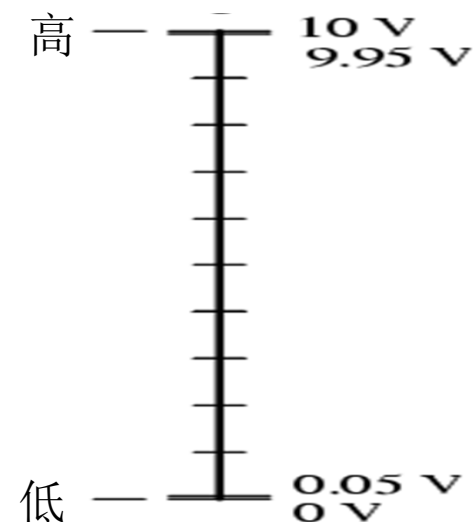
--逻辑高电平和逻辑低电平

10V CMOS逻辑门输入和输出信号电平

可接受的CMOS门输入信号电平



可接受的CMOS门输出信号电平

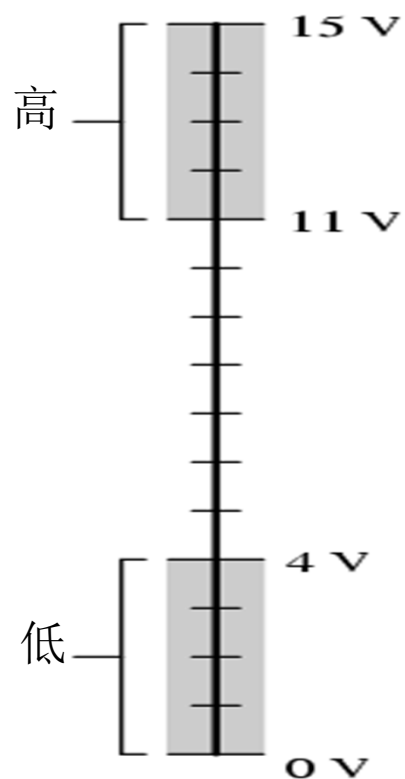


逻辑门电路的传输特性

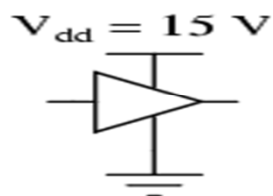
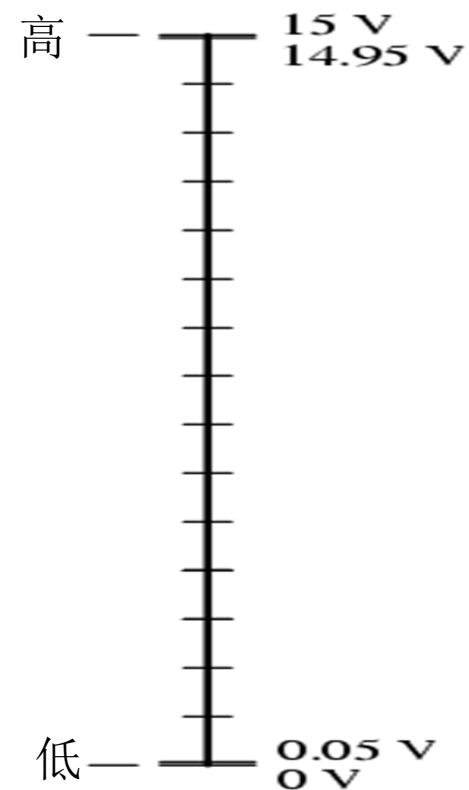
--逻辑高电平和逻辑低电平

15V CMOS逻辑门输入和输出信号

可接受的CMOS门输入信号电平



可接受的CMOS门输出信号电平



逻辑门电路的传输特性

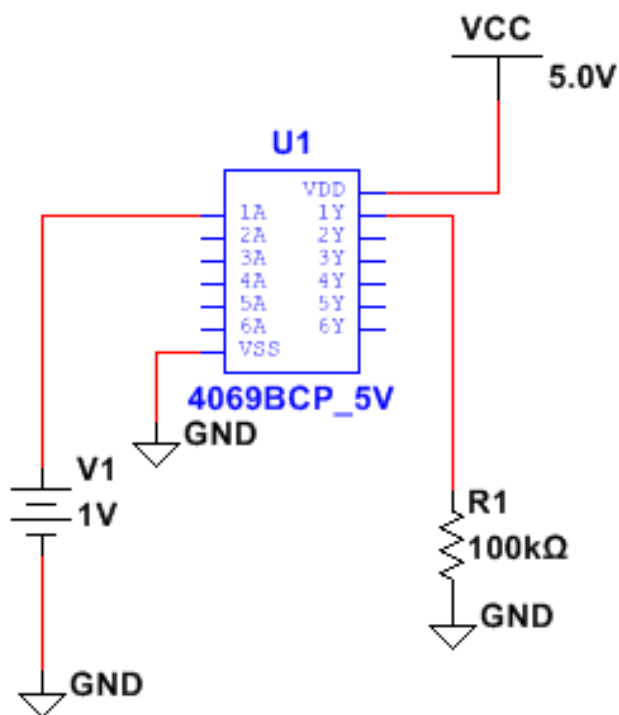
--逻辑高电平和逻辑低电平-CD4069 (2)

V _{IL} max	Input low voltage	V _O = 4.5 V, V _{DD} = 5 V, all temperatures		1		V
		V _O = 9 V, V _{DD} = 10 V, all temperatures		2		
		V _O = 13.5 V, V _{DD} = 15 V, all temperatures		2.5		
V _{IH} min	Input high voltage	V _O = 0.5 V, V _{DD} = 5 V, all temperatures		4		V
		V _O = 1 V, V _{DD} = 10 V, all temperatures		8		
		V _O = 1.5 V, V _{DD} = 15 V, all temperatures		12.5		
V _{OL} max	Low-level output voltage	V _{IN} = 5 V, V _{DD} = 5 V	T _A = 25°C	0	0.05	V
			All other temperatures	0.05		
		V _{IN} = 10 V, V _{DD} = 10 V	T _A = 25°C	0	0.05	
			All other temperatures	0.05		
		V _{IN} = 15 V, V _{DD} = 15 V	T _A = 25°C	0	0.05	
			All other temperatures	0.05		
V _{OH} min	High-level output voltage	V _{IN} = 0 V, V _{DD} = 5 V	T _A = 25°C	4.95	5	V
			All other temperatures	4.95		
		V _{IN} = 0 V, V _{DD} = 10 V	T _A = 25°C	9.95	10	
			All other temperatures	9.95		
		V _{IN} = 0 V, V _{DD} = 15 V	T _A = 25°C	14.95	15	
			All other temperatures	14.95		

逻辑门电路的传输特性

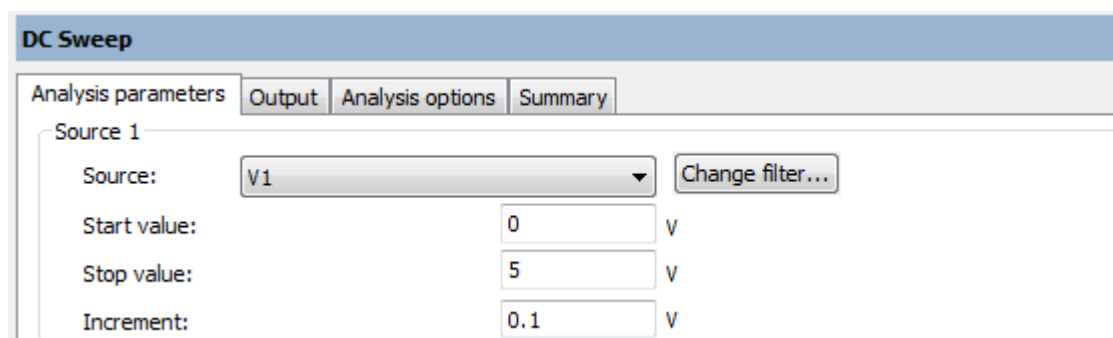
--逻辑高电平和逻辑低电平-CD4069 (2)

❖ 测试电路

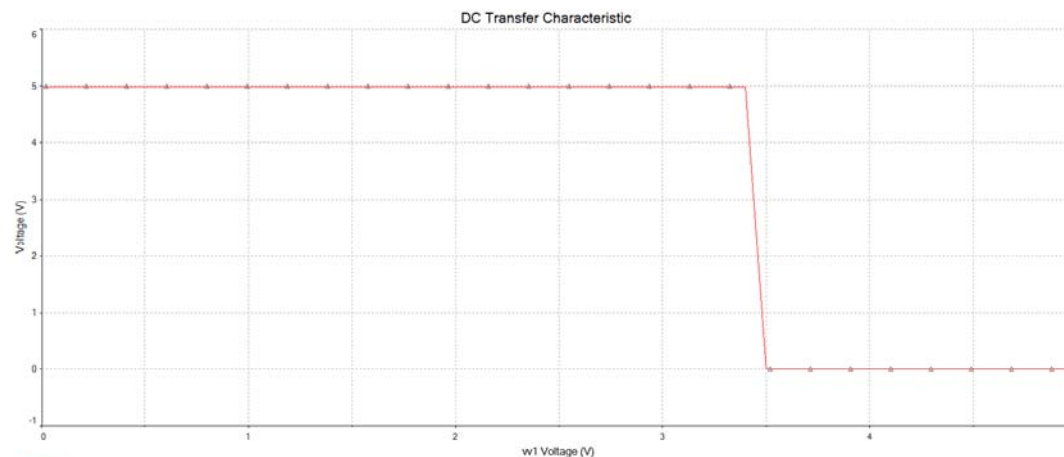


设计保存在eda_verilog\
digital circuit measure 4069 (1)

直流扫描分析



测试结果



逻辑门电路的传输特性

--逻辑电路对一个可变输入电压的响应

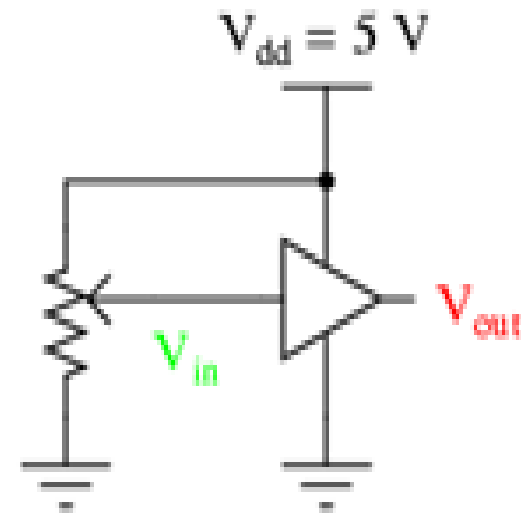
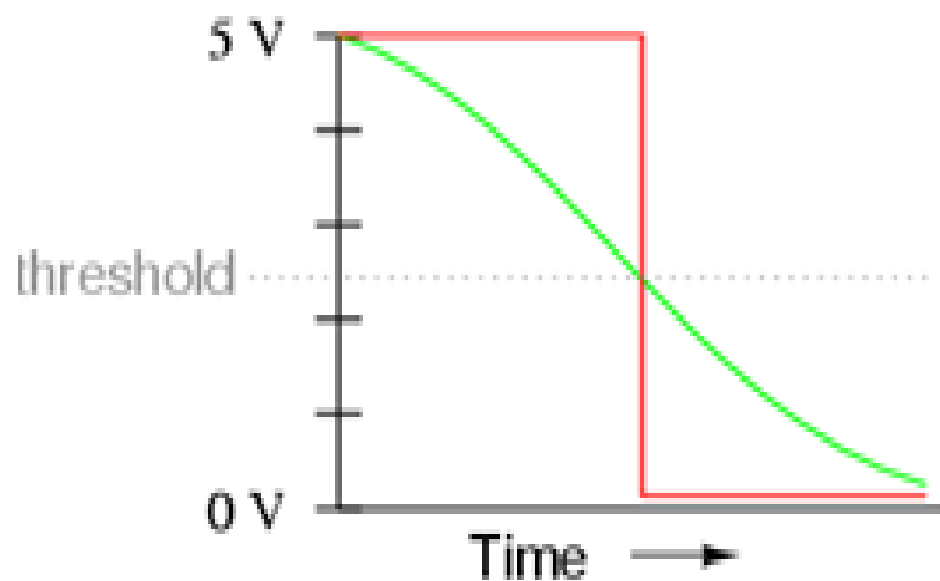
所谓的逻辑高电平和逻辑低电平用于控制逻辑门的状态发生翻转变化。

- 逻辑门的翻转变化，主要是逻辑高到逻辑低，以及从逻辑低到逻辑高。当然，还允许出现高阻和不确定状态。
- 当输入电压大于高或者低于低逻辑输入门限(阈值) 时，逻辑门的输出电平在5V和0V这两个状态值上变化。

逻辑门电路的传输特性

--逻辑电路对一个可变输入电压的响应

TTL逻辑门对可变连续输入电压的响应

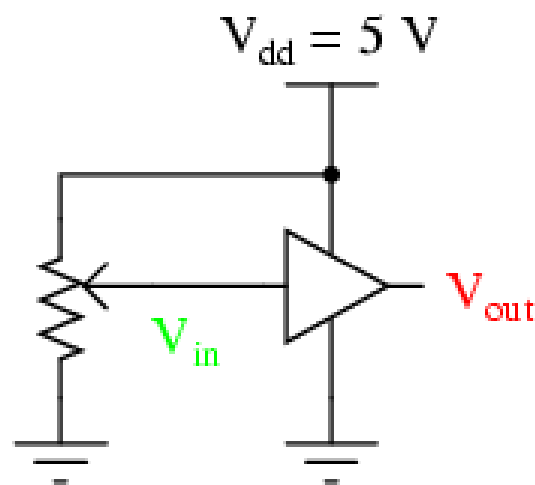
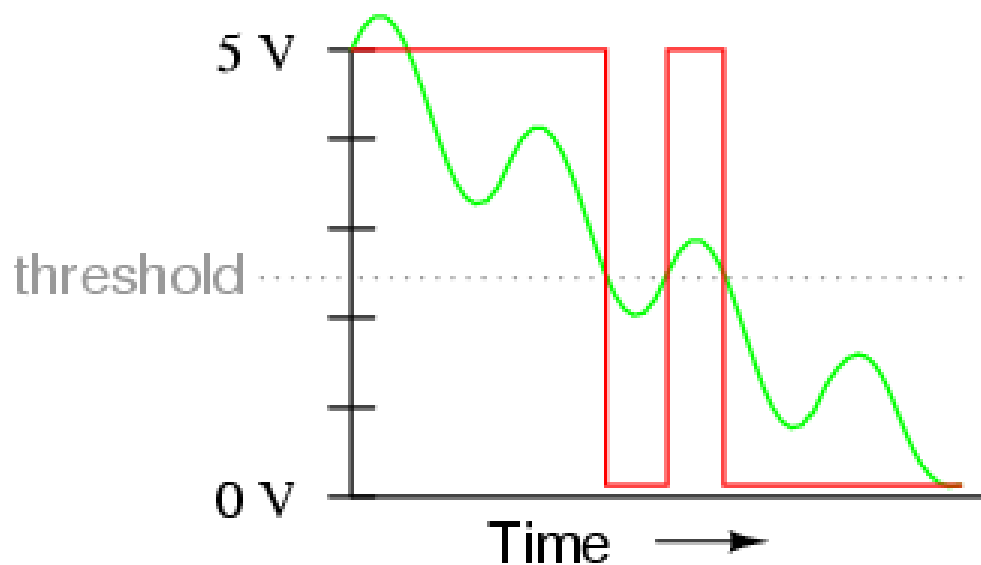


逻辑门电路的传输特性

--逻辑电路对噪声的容限

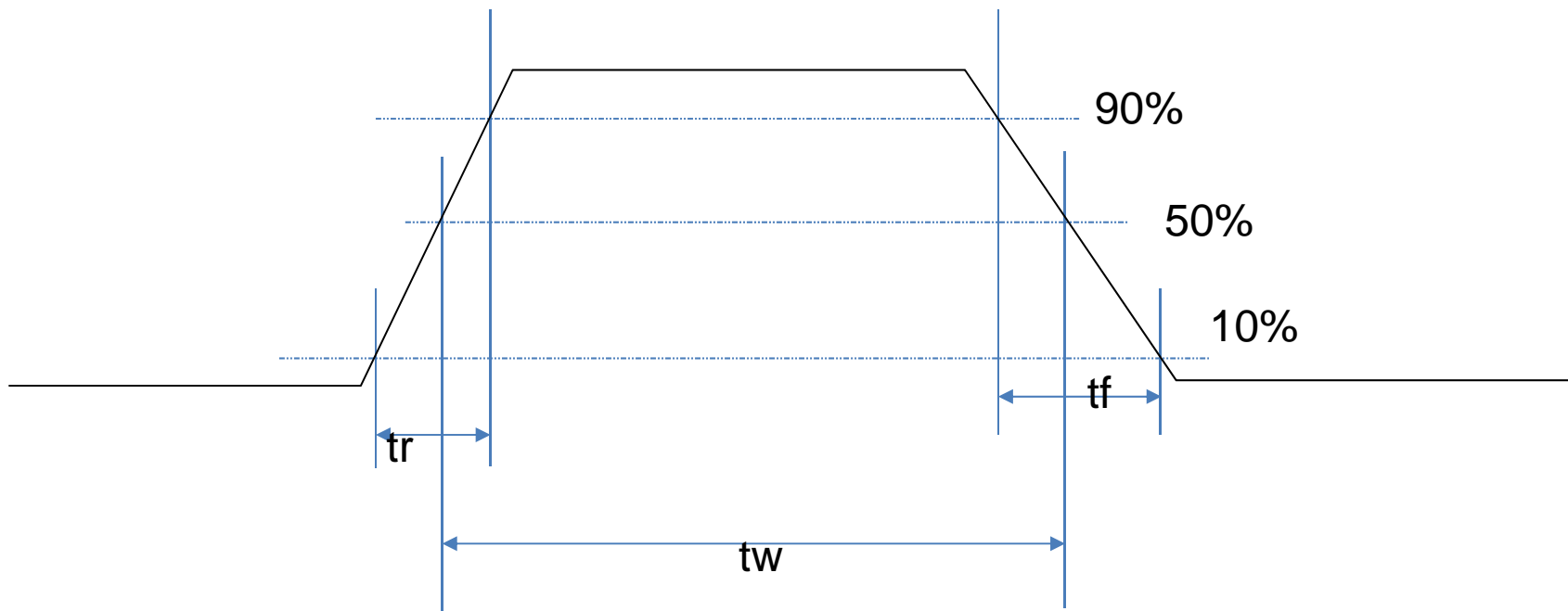
叠加在直流上的交流噪声造成信号的错误理解

在直流输入信号上叠加了AC噪声电压。当AC噪声电压超过了噪声容限时，将造成对输入信号错误的理解。



逻辑门电路的传输特性

--逻辑门上升和下降时间



图中：

- T_r 表示上升沿时间
- T_f 表示下降沿时间

逻辑门电路的传输特性

--脉冲宽度

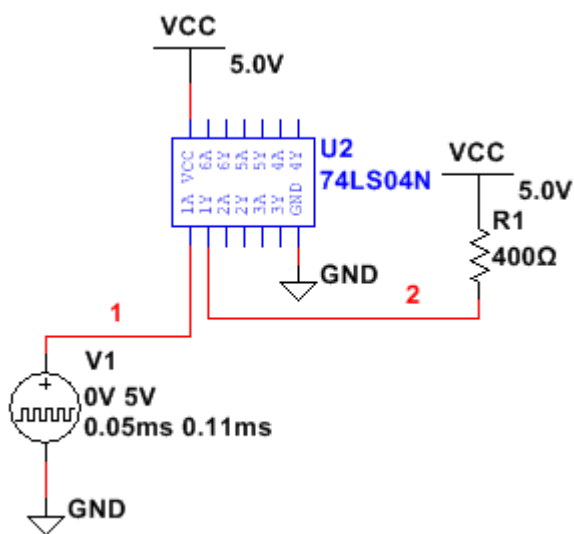
两个脉冲幅值的50%的时间点之间所跨越的时间，用 t_w 表示。

- 脉冲宽度的最小值受到半导体器件工艺特性的约束。
- 当脉冲宽度的最小值小于半导体器件到导通或者截至的时间要求时，输入脉冲的状态变化不会反映到逻辑门的输出。

逻辑门电路的传输特性

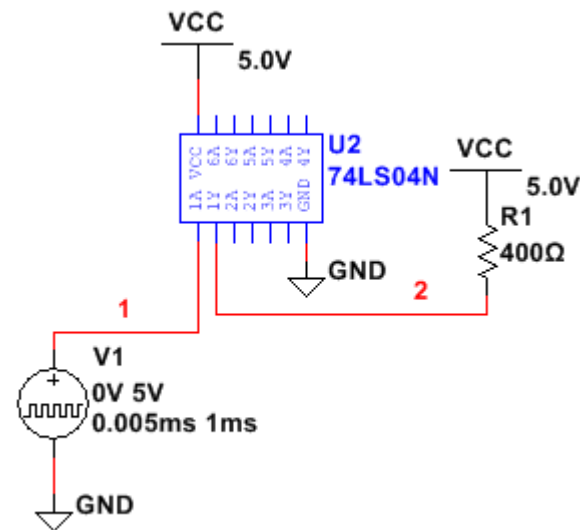
--脉冲宽度测试电路

❖ 测试电路（1）



设计保存在eda_verilog\
digital circuit measure 7404 (2)

测试电路（2）

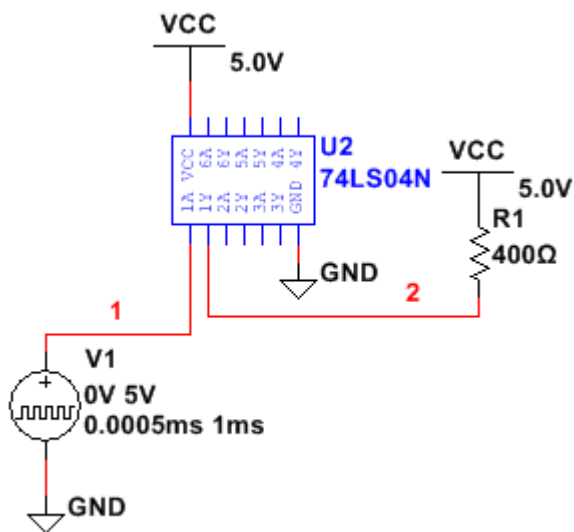


设计保存在eda_verilog\
digital circuit measure 7404 (3)

逻辑门电路的传输特性

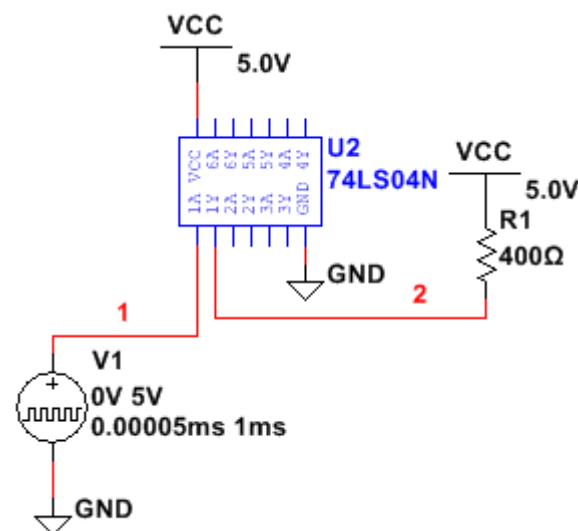
--脉冲宽度测试电路

❖ 测试电路（3）



设计保存在eda_verilog\
digital circuit measure 7404（4）

测试电路（4）

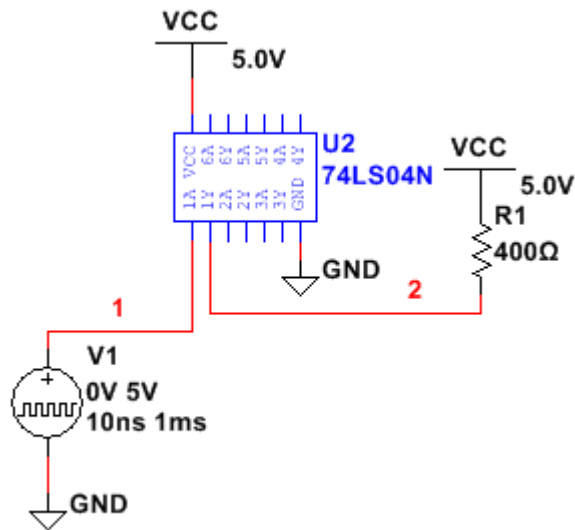


设计保存在eda_verilog\
digital circuit measure 7404（5）

逻辑门电路的传输特性

--脉冲宽度测试电路

❖ 测试电路 (5)



设计保存在eda_verilog\
digital circuit measure 7404 (6)

逻辑门电路的传输特性

--逻辑门传输延迟

传输延迟时间是衡量门电路开关速度的重要参数。

- 用于说明当给逻辑门输入脉冲时，需要用多长时间，才能在逻辑门的输出反应出来。
- 很明显，不管什么样的半导体工艺，逻辑门从输入到输出一定会存在着传输延时。

逻辑门电路的传输特性

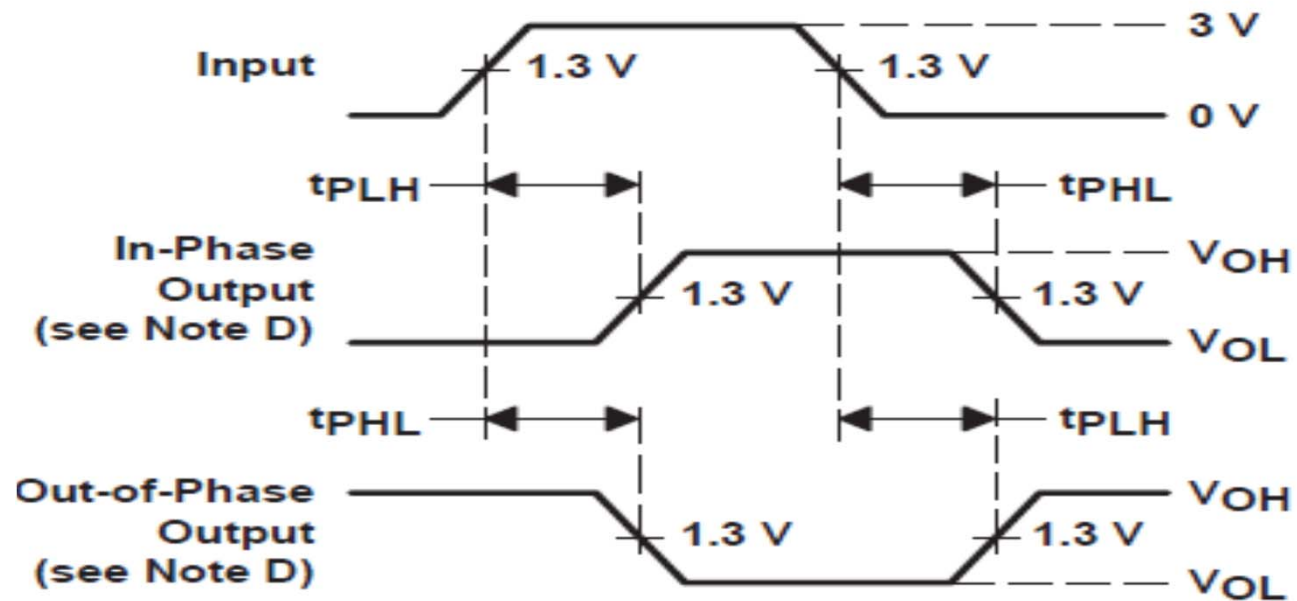
--逻辑门传输延迟

传输延迟的表示方法是：

- 计算输出波形下降沿与输入波形下降沿中点之间的时间间隔，用 t_{PHL} 表示。
- 计算输出波形上升沿与输入波形上升沿中点之间的时间间隔，用 t_{PLH} 表示。

逻辑门电路的传输特性

--逻辑门传输延迟

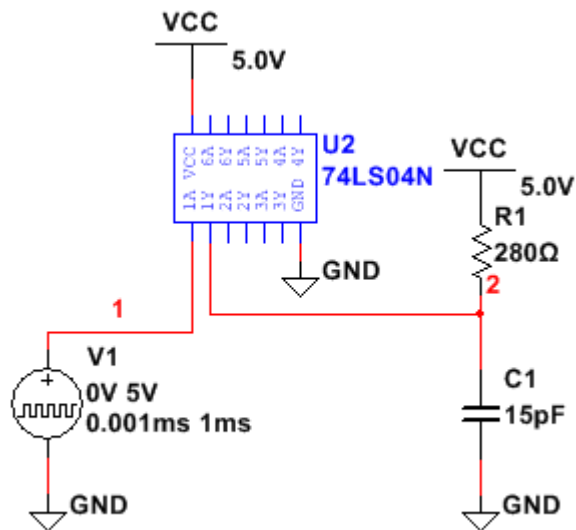


PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54S04 SN74S04			UNIT
				MIN	TYP	MAX	
t_{PLH}	A	Y	$R_L = 280 \Omega$, $C_L = 15 \text{ pF}$		3	4.5	ns
t_{PHL}					3	5	
t_{PLH}	A	Y	$R_L = 280 \Omega$, $C_L = 50 \text{ pF}$		4.5		ns
t_{PHL}					5		

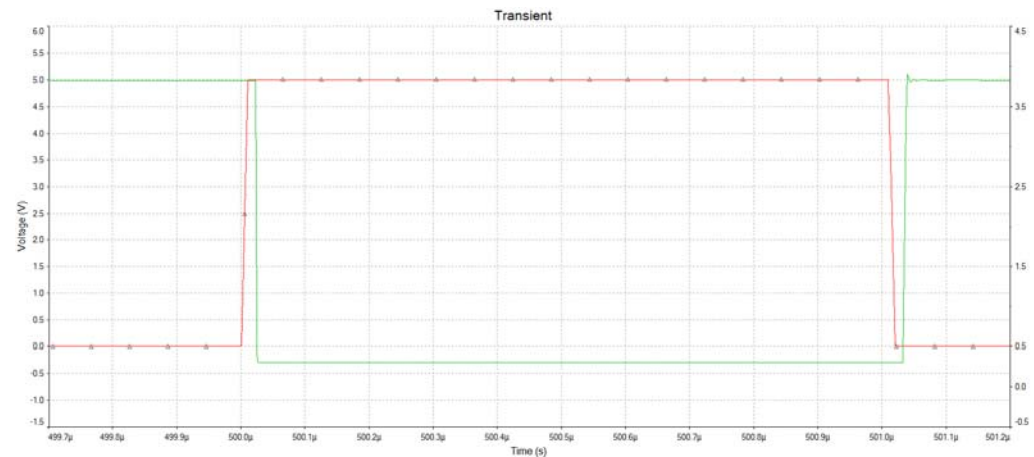
逻辑门电路的传输特性

--逻辑门传输延迟-测量

❖ 测量电路



测量结果



设计保存在eda_verilog\
digital circuit measure 7404 (7)

逻辑门电路的传输特性

--功耗

功耗是衡量逻辑门的一个重要指标。

- 任何逻辑门，必须解决好功耗问题，否则会严重影响半导体器件的“寿命”。
- 一个逻辑门的功耗包含两部分：静态功耗和动态功耗。

逻辑门电路的传输特性

--功耗

静态功耗

■ 是指逻辑电路没有发生逻辑状态翻转时，所消耗的能量。

- 对于TTL工艺的半导体器件，存在较大的静态功耗；
- 而对于CMOS工艺来说，静态功耗几乎为零。

所以，在半导体数字集成电路中，多采用CMOS工艺来制造半导体集成电路。

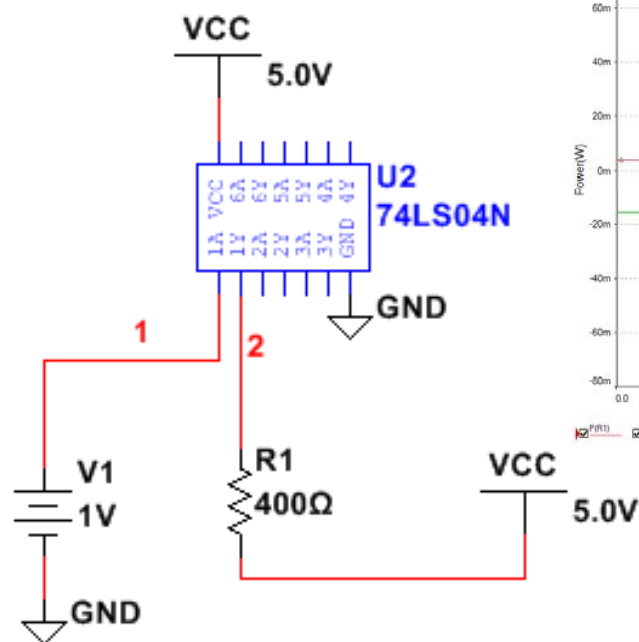
动态功耗

■ 是指逻辑电路发生逻辑状态翻转时，所消耗的能量。

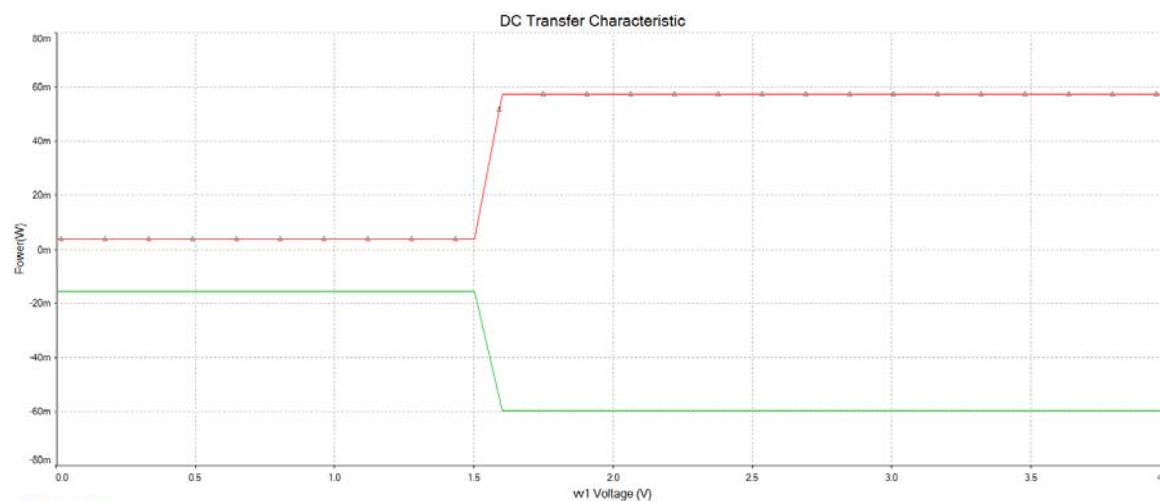
逻辑门电路的传输特性

--功耗测量 (1)

❖ 测量电路



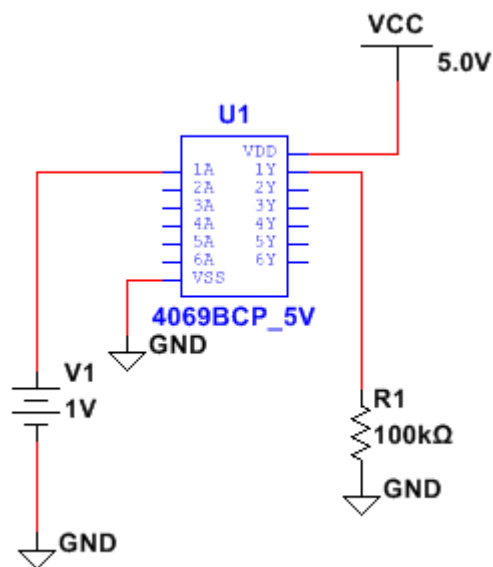
测量结果



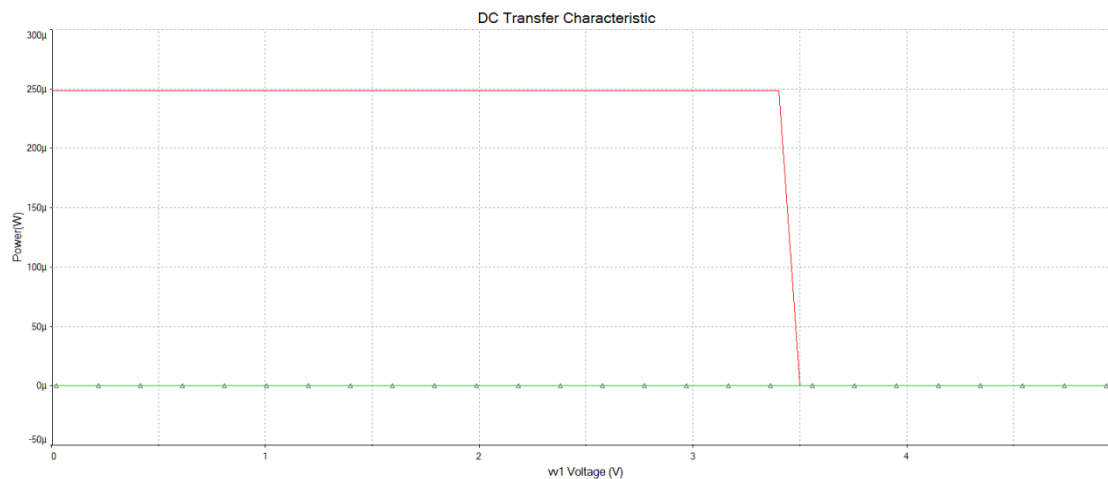
逻辑门电路的传输特性

--功耗测量 (2)

❖ 测量电路



测量结果



思考与练习：比较TTL和CMOS电路的功耗，说明两者功耗的大小，以及CMOS比TTL的巨大优势？进一步就能解释，为什么在现代集成电路设计中，广泛使用CMOS。

逻辑门电路的传输特性

--扇入和扇出

扇入

- 逻辑门输入端口的个数。
 - 典型的：一个2输入的与门，其扇入数为2。

扇出

- 在逻辑门正常工作下，所能驱动同类型的门电路的最大个数。
- 扇出数越大，表示逻辑门的驱动能力越强。
- 扇出驱动能力受到下面两个因素的限制：

逻辑门电路的传输特性

--扇入和扇出

■ 拉电流

是指负载电流从驱动门流向外部电路。

- 当负载的个数增加时，总的拉电流将增加，会引起输出高电压的降低。但不能低于输出高电平的下限值，这就限制了负载门的个数。
- 可用下面的等式表示：

$$N_{OH} = I_{OH} \text{ (驱动门)} / I_{IH} \text{ (负载门)}$$

逻辑门电路的传输特性

--扇入和扇出

■ 灌电流

是指负载电流从外部电路流入驱动门。

- 当驱动门的输出为低电压时，负载电流流入驱动门。
- 当负载的个数增加时，灌电流将增加，将引起输出低电压的升高。但是，不能高于输出低电平的上限值。这样，也限制了负载门的个数。
- 可以用下面的等式表示：

$$N_{OL} = I_{OL} \text{ (驱动门)} / I_{IL} \text{ (负载门)}$$

基本逻辑门电路分析

--不同工艺逻辑门的连接

由于TTL和CMOS技术所要求的电平不一样，因此当在一个系统中使用两种不同工艺制造的逻辑门时，会出现问题。

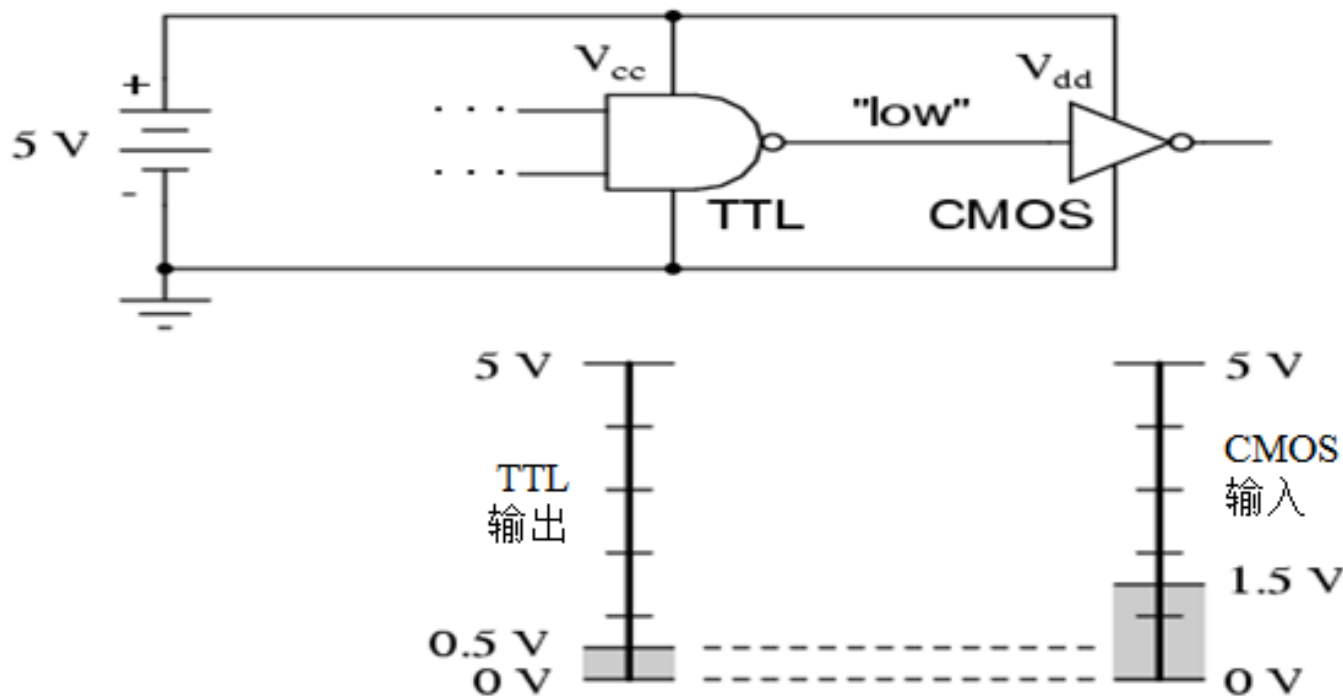
- 尽管TTL和CMOS都可以在5V供电电压下正常的工作，但是TTL输出电平和CMOS输入电平的要求并不一致。

基本逻辑门电路分析

--不同工艺逻辑门的连接

TTL逻辑门驱动CMOS逻辑门

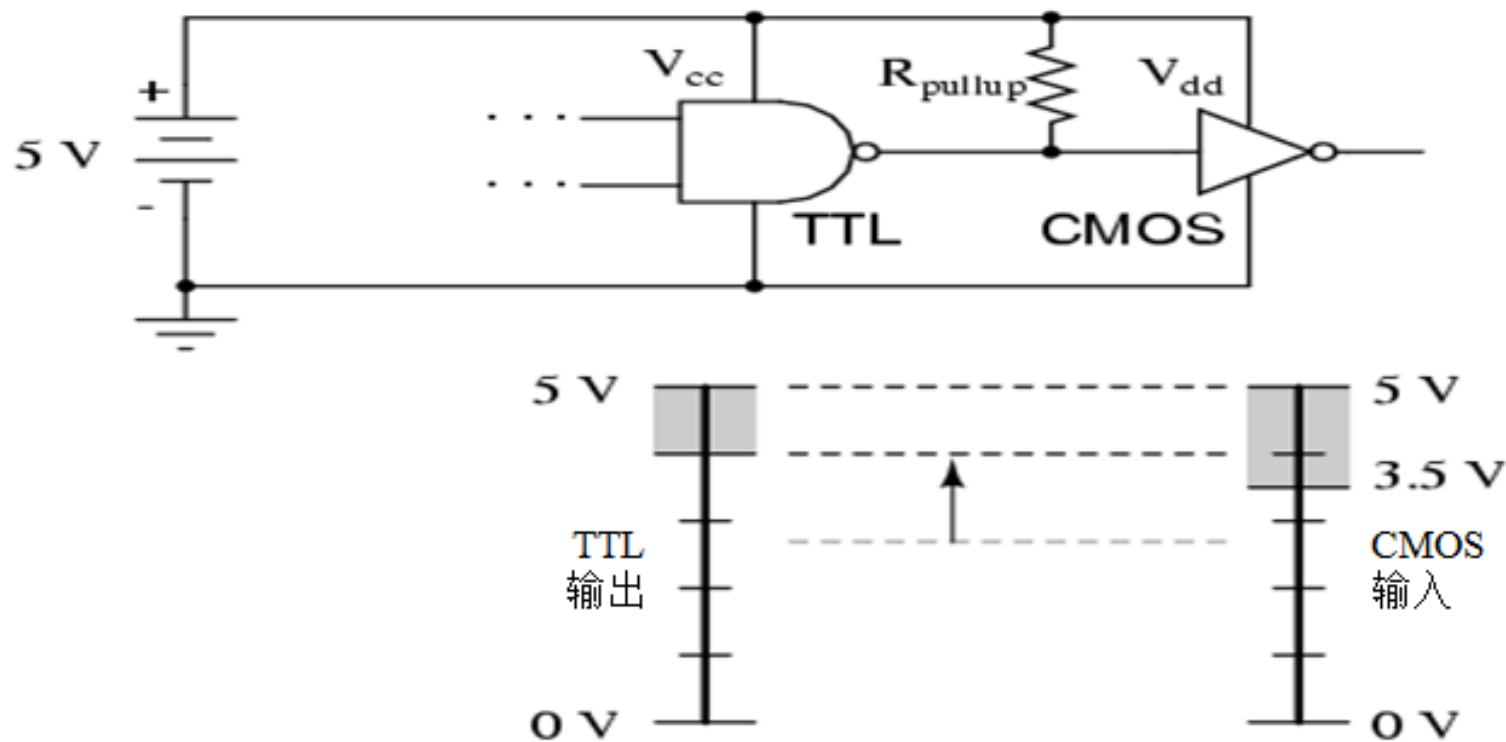
- TTL输出在CMOS输入可接收的范围



基本逻辑门电路分析

--不同工艺逻辑门的连接

通过电阻上拉解决不匹配的问题

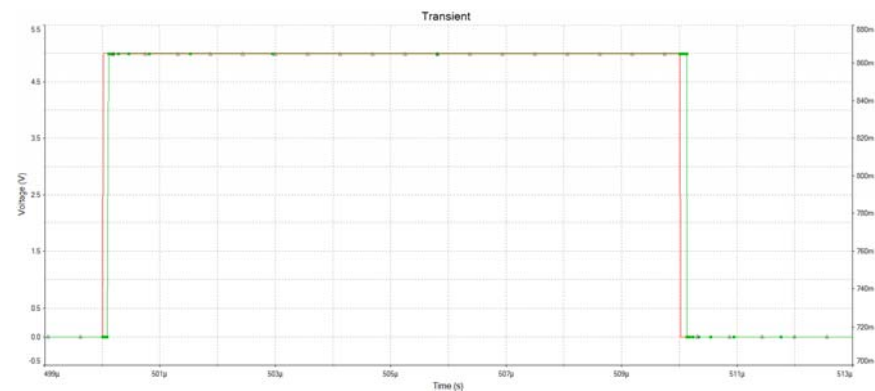
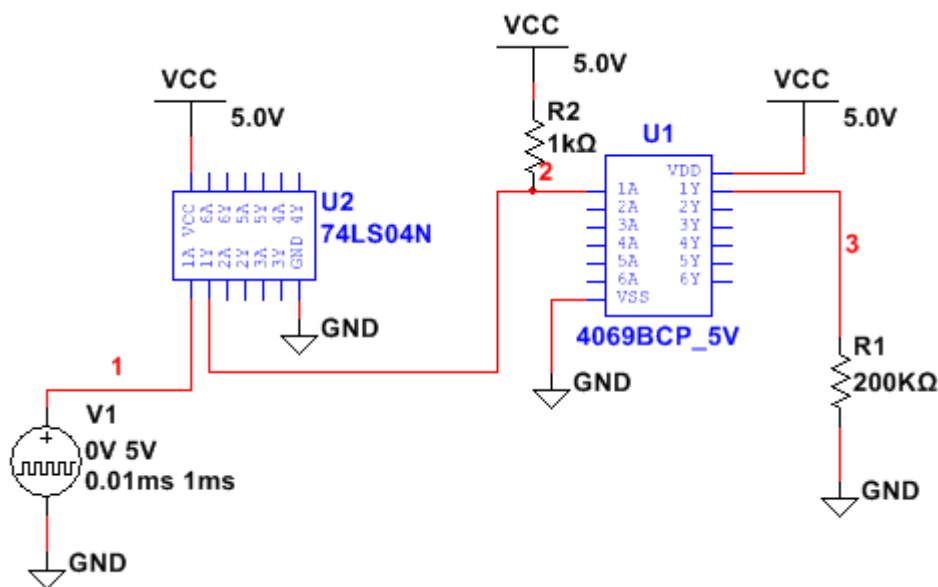


基本逻辑门电路分析

--不同工艺逻辑门的连接

❖ 测量电路

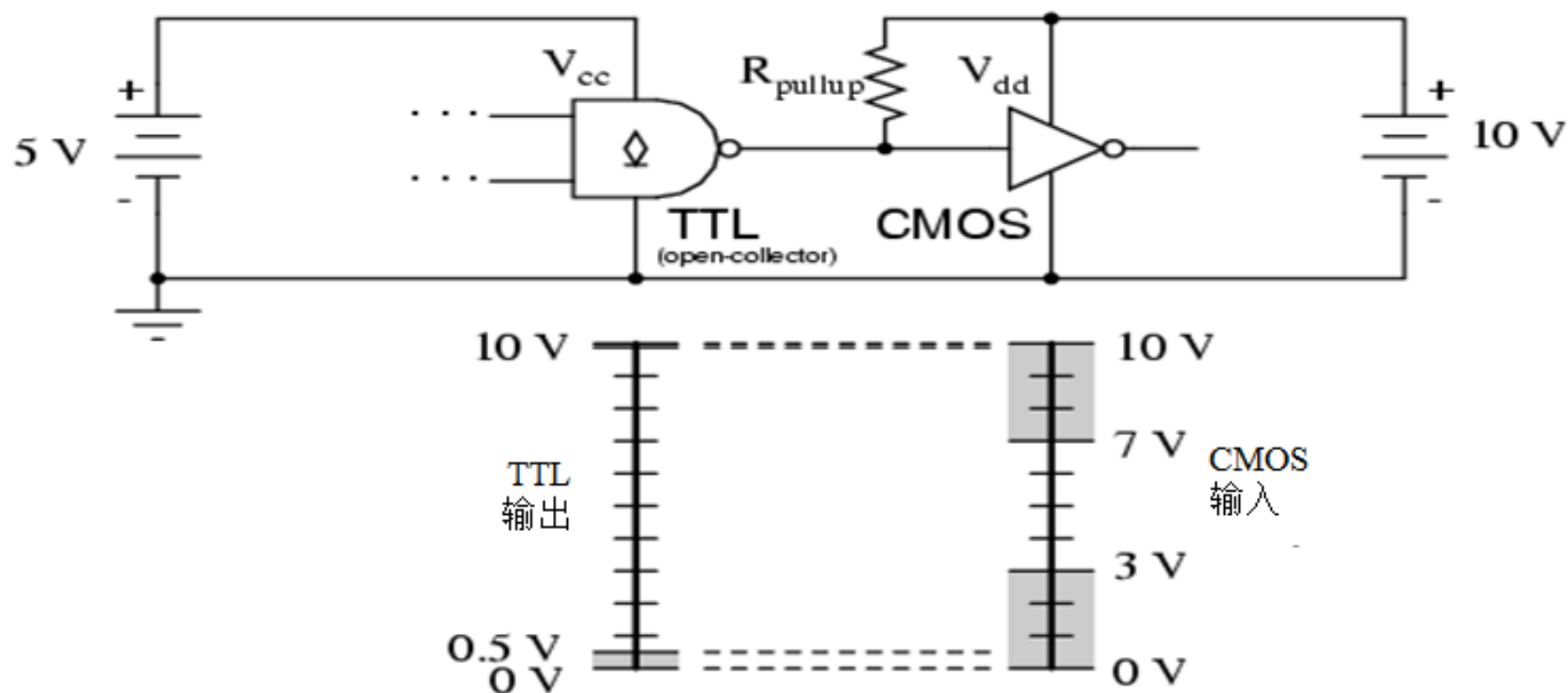
仿真结果



基本逻辑门电路分析

--不同工艺逻辑门的连接

TTL的高低输出都在CMOS的输入范围



基本逻辑门电路分析

--不同工艺逻辑门的连接

CMOS逻辑门驱动TTL逻辑门

- 由于CMOS门优良的输出电压特性，当CMOS输出连接到TTL输入时没有任何问题。唯一需要注意的问题是TTL输入端的电流负载。
- 当在低状态时，对于每个TTL输入来说，CMOS输出必须是灌电流。
- 解决这个问题的方法是使用一个分立的NPN晶体管，来构造一个集电极开路的反相器。用于将CMOS逻辑门连接到TTL逻辑门。

基本逻辑门电路分析

--不同工艺逻辑门的连接

CMOS逻辑门驱动TTL逻辑门

