



数字系统高级设计技术

主讲：何宾

Email: hebin@mail.buct.edu.cn

2019.06

同步和异步单元处理技术

--同步单元处理技术

FPGA内部由大量的电路单元组成，但是这些单元通常都是由有限的几种不同的逻辑单元或是逻辑门构成的。

- **每一种逻辑单元包含输入信号以及输出信号，输出信号又作为其他逻辑单元的输入信号。**
- **从逻辑层面的抽象来看，一个FPGA器件看成数量众多的逻辑门构成的网络，这些逻辑门的输入和输出通过金属导线相连构成了完成特定逻辑功能或是算法的网络。**
- **在FPGA芯片内部，成百上千万的逻辑门之间的信号传递决定了逻辑门的时延以及系统最后的运行速度。**

同步和异步单元处理技术

--同步单元处理技术

同步的必要性

- 集成电路系统中有些信号的传递可以同时进行，但是有的信号的传递必须遵循严格的先后关系，这样才能保证系统运行结果的正确性（也就是说系统运行的结果是可以被重复的，系统在确定条件下运行的结果是确定的，而不是随机的）。
- 这就需要同步来保证电路的各个部分的逻辑处理按照特定的顺序进行。

同步和异步单元处理技术

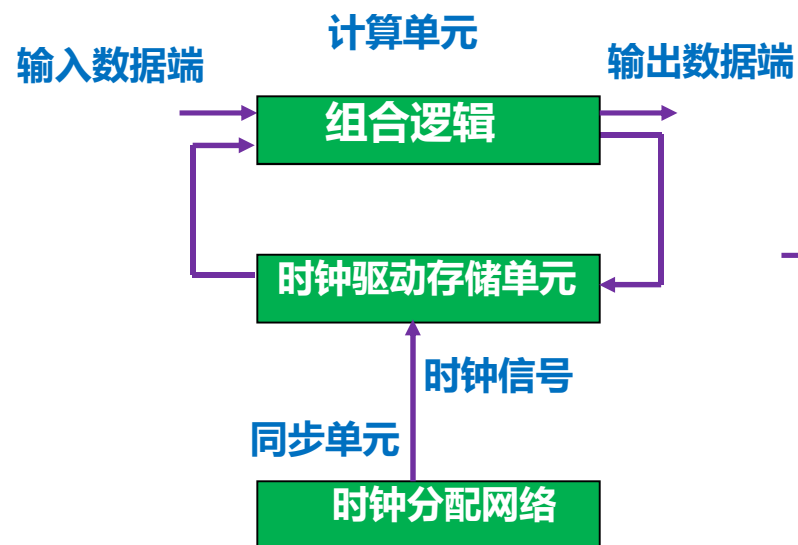
--同步单元处理技术

同步电路和异步电路的区别在于电路触发是否与驱动时钟同步。

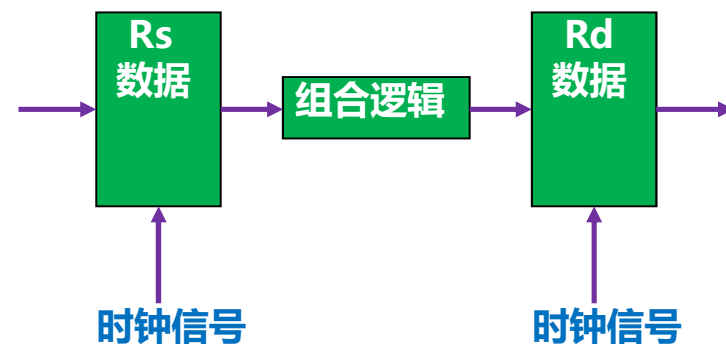
- 从行为上讲，就是所有电路是否在同一时钟沿的触发下同步地处理数据。
- 常用于区分二者的典型电路就是同步复位和异步复位电路。
 - 同步复位的代码中只有时钟沿一个触发条件；
 - 异步复位代码中语句有复位和时钟沿两个触发条件。

同步和异步单元处理技术

--同步单元处理技术



(a) 同步系统的状态机模型



(b) 本地数据通路

同步系统的结构原理

同步和异步单元处理技术

--同步单元处理技术

图中:

- 第一部分是由逻辑门组成的组合逻辑部分;
- 第二部分称为时钟驱动存储单元;简单的说就是寄存器, 用于存储组合逻辑的输出结果;
- 第三部分是时钟分配网络,这一部分特殊的电路不参与实际的运算, 而是产生并分配参考时钟, 这一部分电路关心的是如何产生控制整个同步电路的时钟并将时钟正确地分配到每一个寄存器。

同步和异步单元处理技术

--同步单元处理技术

同步系统具有很好的可控性。在设计系统和选择正确的时钟周期时，要满足以下这两个矛盾的需求：

- **希望系统的时钟周期尽可能短，这样在固定的时间内运算逻辑电路可以进行更多次的运算；**
- **需要保证时钟定义的时间窗足够长以保证组合逻辑的输出信号都能在当前时钟周期结束前以及下一个时钟周期开始前到达目标寄存器。**

同步和异步单元处理技术

--同步单元处理技术

同步系统具有以下优点使得它成为数字集成电路系统的首选：

- **同步系统易于理解，并且同步系统中的各个参数以及变量都十分明确，例如对于不同运算单元的执行的先后顺序是确定的；**
- **同步系统可以减少非确定因素诸如组合逻辑的时延（受系统运行的环境、负载以及输入信号的向量组合等的影响）对系统的影响，这就保证了系统按照确定的行为运行，并且保证系统正确执行了设计的算法；**

同步和异步单元处理技术

--同步单元处理技术

- 同步系统中不需要关心组合逻辑的输出毛刺，因为寄存器只有在时钟的有效沿上才对组合逻辑的输出进行采样，而同步系统可以确保这时组合逻辑的输出已经没有毛刺。
- 同步系统的状态完全由存储单元中所存储的数据所决定，这大大简化了系统的设计、调试以及测试。

同步和异步单元处理技术

--同步单元处理技术

当然，同步系统也存在着下面一些缺点使得今天的同步大规模集成电路设计变得更加富有挑战性：

- 同步系统要求系统中的所有电路通路以其中最慢的一条寄存器到寄存器通路的标准来工作（这也就是说，同步系统中系统工作的速度取决于这些通路上具有最大时延的组合逻辑，包含这样组合逻辑的通路称为最坏情况下的关键路径。

同步和异步单元处理技术

--同步单元处理技术

- 同步系统中，时钟信号需要被分配到数以万计的分布于系统各个地方的存储寄存器中，因此系统中很大一部分的面积以及耗散的电能都被用于时钟分配网络——并不参与实际的计算功能的电路。
- 同步系统的可靠性依赖于对于系统时延要求（包括组合逻辑以及由电路互联线产生）的正确估计，如果系统不能满足时延要求，将造成系统的不稳定甚至是不可用。

同步和异步单元处理技术

--同步单元处理技术

综上所述，因此同步电路的设计应遵循以下准则：

- 尽量在设计中使用单时钟，且走全局时钟网络。
 - 在单时钟设计中，很容易就将整个设计同步于驱动时钟，使设计得到简化。
 - 全局时钟网络的时钟是性能最优，最便于预测的时钟，具有最强的驱动能力，不仅能保证驱动每个寄存器，且时钟漂移可以忽略。
 - 在多时钟应用中，要做到局部时钟同步。
 - 在实际工程中，应将时钟信号和复位信号通过FPGA芯片的专用全局时钟引脚送入，以获得更高质量的时钟信号。

同步和异步单元处理技术

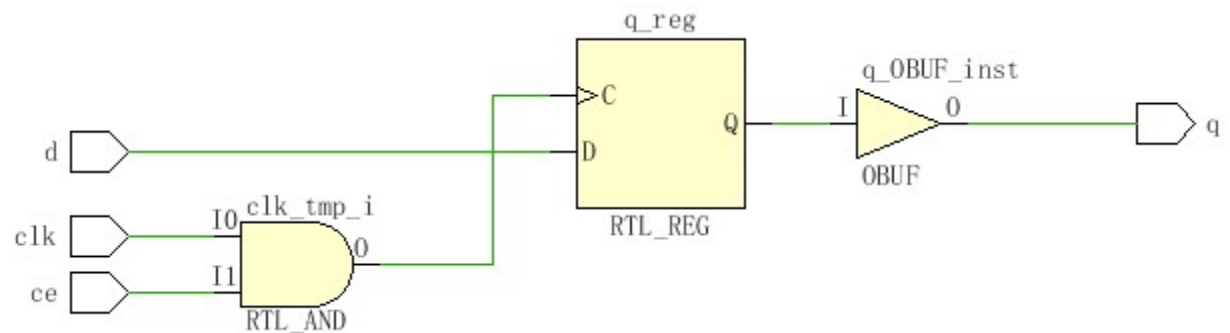
--同步单元处理技术

- 尽量避免使用混合时钟沿来采样数据或驱动电路。
 - 使用混合时钟沿将会使静态时序分析复杂，并导致电路工作频率降低。
- 避免使用门控时钟
 - 如果一个时钟节点由组合逻辑驱动，那么就形成了门控时钟，门控时钟常用来减少功耗，但其相关的逻辑不是同步电路，即可能带有毛刺，而任何的一点点小毛刺都可以造成D触发器误翻转；
 - 此外，门控逻辑会污染时钟质量，产生毛刺，并恶化偏移和抖动等指标。所以门控时钟对设计可靠性有很大影响，应尽可能避免。
- 尽量不要在模块内部使用计数器分频产生所需时钟。

同步和异步单元处理技术

--同步单元处理技术(门控时钟)

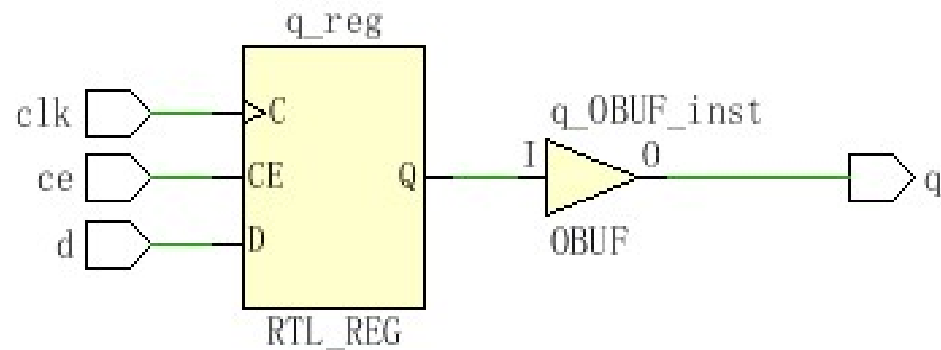
```
module top(  
    input d,  
    input clk,  
    input ce,  
    output reg q  
);  
wire clk_tmp;  
assign clk_tmp=clk & ce;  
always @(posedge clk_tmp)  
    q<=d;  
end  
endmodule
```



同步和异步单元处理技术

--同步单元处理技术(非门控时钟)

```
module top(  
    input d,  
    input clk,  
    input ce,  
    output reg q  
);  
always @(posedge clk)  
begin  
    if(ce)  
        q<=d;  
end  
endmodule
```



同步和异步单元处理

--异步单元处理

但是在实际的设计过程中，不可避免的要接触到异步单元，比如在设计模块与外围芯片的通信中，跨时钟域的情况经常不可避免。

- 异步时序单元指的是在设计中有两个或两个以上的时钟，且时钟之间是不同频率或同频不同相的关系。
- 异步时序设计的关键是把数据或控制信号正确地跨时钟域传输。
- 每一个触发器都有其规定的建立和保持时间参数。
 - 在这个时间参数内，输入信号在时钟的上升沿是不允许发生变化的。
 - 如果信号的建立时间中对其进行采样，得到的结果将是不可预知的，即亚稳态。

同步和异步单元处理

--异步单元处理

- 常用的同步策略，如双锁存器法、结绳法等，而作为异步时序设计中的重点——异步FIFO设计。

