



# 数字逻辑基础

主讲：何宾

**Email: [hebin@mail.buct.edu.cn](mailto:hebin@mail.buct.edu.cn)**

**2018.08**

# 开关系统

## --0和1的概念

只使用两个状态来表示数据的系统，称为二进制系统；

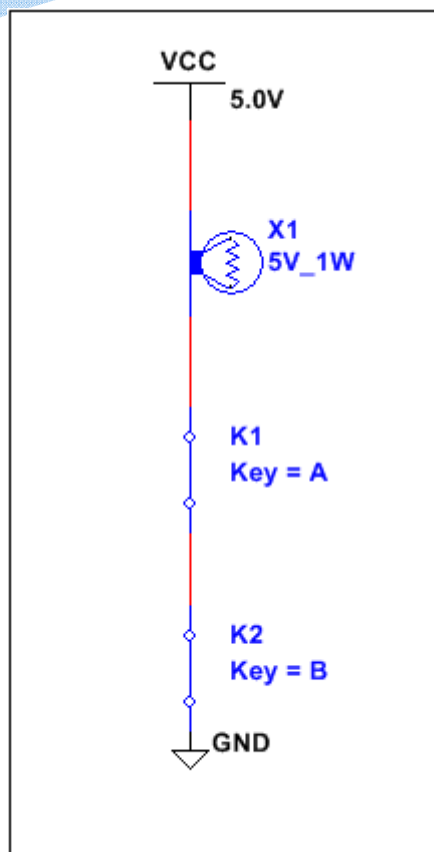
- 具有两个状态的信号称为二进制信号。
- 所有由二进制构成的输入信号，其操作产生二进制的输出结果。
- 电压值的集合 $\{V_{dd}, GND\}$ 定义了数字系统中一个信号线的状态，通常表示为 $\{1, 0\}$ 。

**思考与练习：如何理解 ‘1’ 和 ‘0’ ？**

**（提示：通过具体的设计实例说明）**

# 0和1的概念

## --逻辑“与”关系

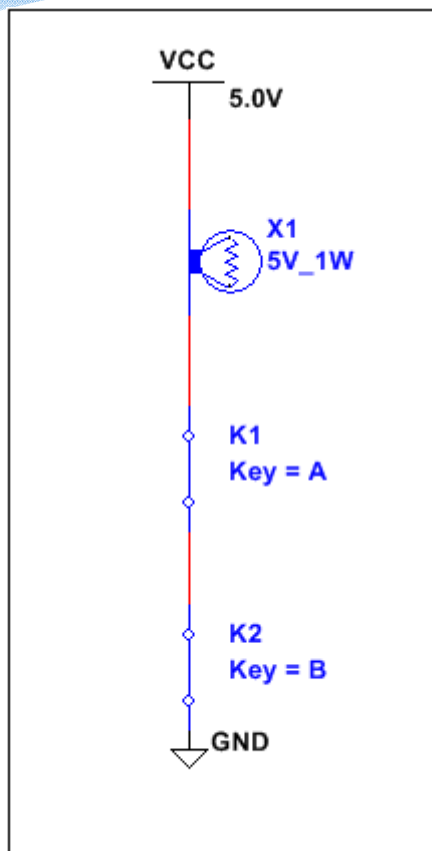


- 将K1作为变量A，K2作为变量B，变量A和变量B只有两种状态，即：闭合或断开。
- 将K1和K2闭合的状态表示为‘1’，而将其断开的状态表示为‘0’。
- 将灯X1作为变量Y，并且将灯处于亮状态表示为‘1’，将灯处于灭状态表示为‘0’。

课堂教学演示：设计文件保存在e:\eda\_verilog\switch\_and

# 0和1的概念

## --逻辑“与”关系



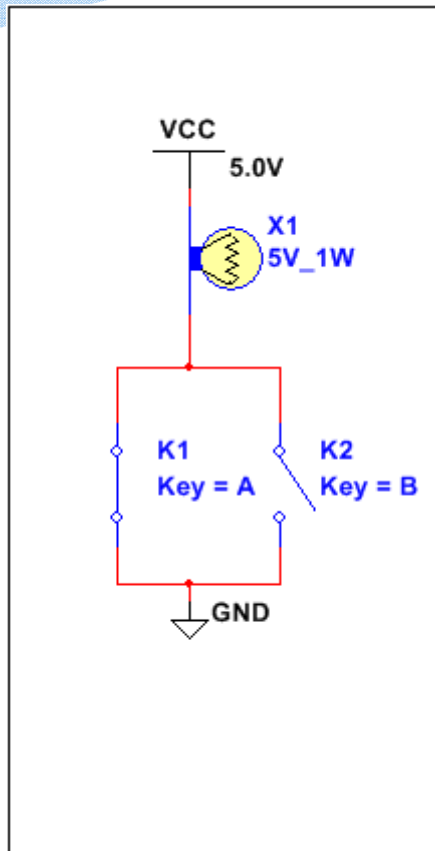
开关系统的逻辑关系(与)

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

思考与练习：串联结构构成什么逻辑关系？

# 0和1的概念

## --逻辑“或”关系

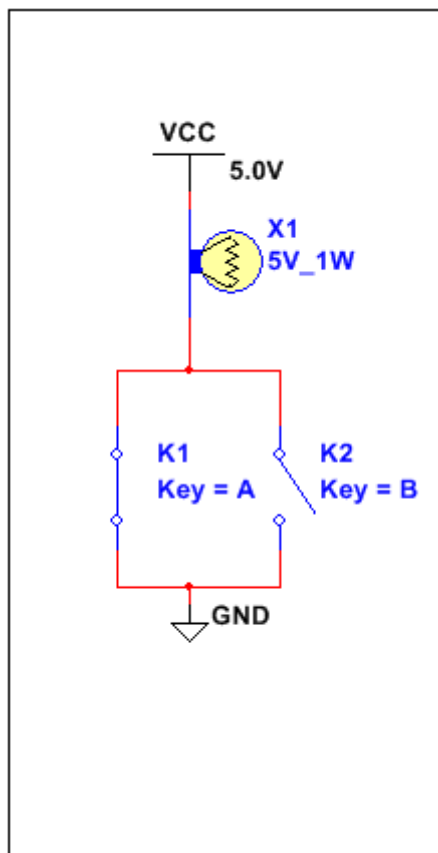


- 将K1作为变量A，K2作为变量B，变量A和变量B只有两种状态，即：闭合或断开。
- 将K1和K2闭合的状态表示为‘1’，而将其断开的状态表示为‘0’。
- 将灯X1作为变量Y，并且将灯处于亮状态表示为‘1’，将灯处于灭状态表示为‘0’。

课堂教学演示：设计文件保存在e:\eda\_verilog\switch\_or

# 0和1的概念

## --逻辑“或”关系



开关系统的逻辑关系(与)

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

思考与练习：串联结构构成什么逻辑关系？

# 开关系统

## --开关系统的优势

由于数字信号更稳定、更容易工作的特点，使得全世界的电子产业已走向了数字化。

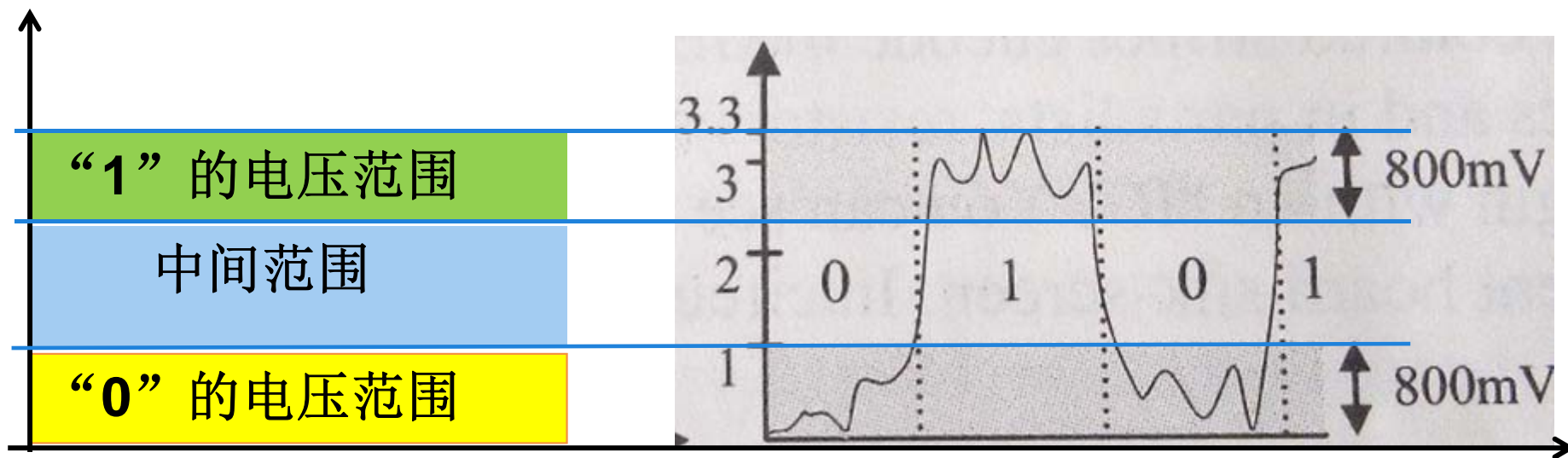
模拟信号对噪声源敏感，信号强度随着时间的推移和传输距离的增大会衰减。（为什么？）

数字信号对噪声和信号强度的衰减相对不是很敏感。这是因为数字信号有定义为“0”和“1”的两个宽电压带，在一个电压带内的任何电压都是可接受的编码。



# 开关系统

## --开关系统的优势

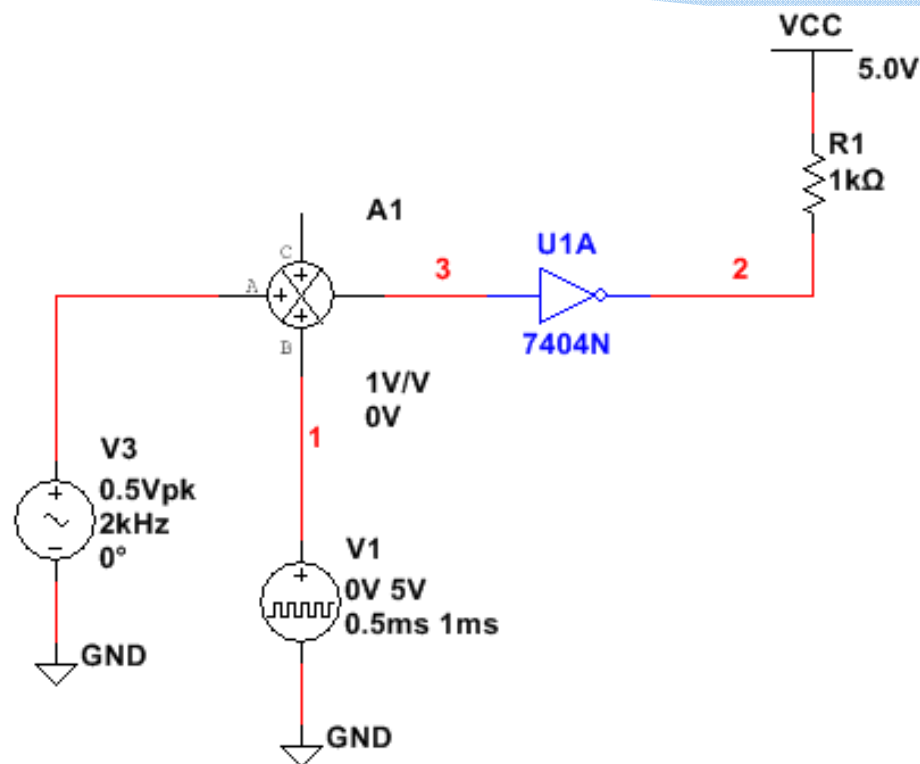


教学案例演示，下一页



# 开关系统

## --开关系统的优势



思考与练习1：观察噪声叠加在输入信号的结果，即V(3)的电压波形

思考与练习2：观察非门的输出V(2)的电压波形

思考与练习3：说明数字系统对噪声的抗干扰能力。

课堂教学演示：设计文件保存在e:\eda\_verilog\digital\_add\_noise

# 开关系统

## --晶体管作为开关

人们就使用半导体器件，作为电子开关来取代前面提到的机械开关，用于对开关系统进行控制。

前面的开关系统，通过机械开关进行控制。

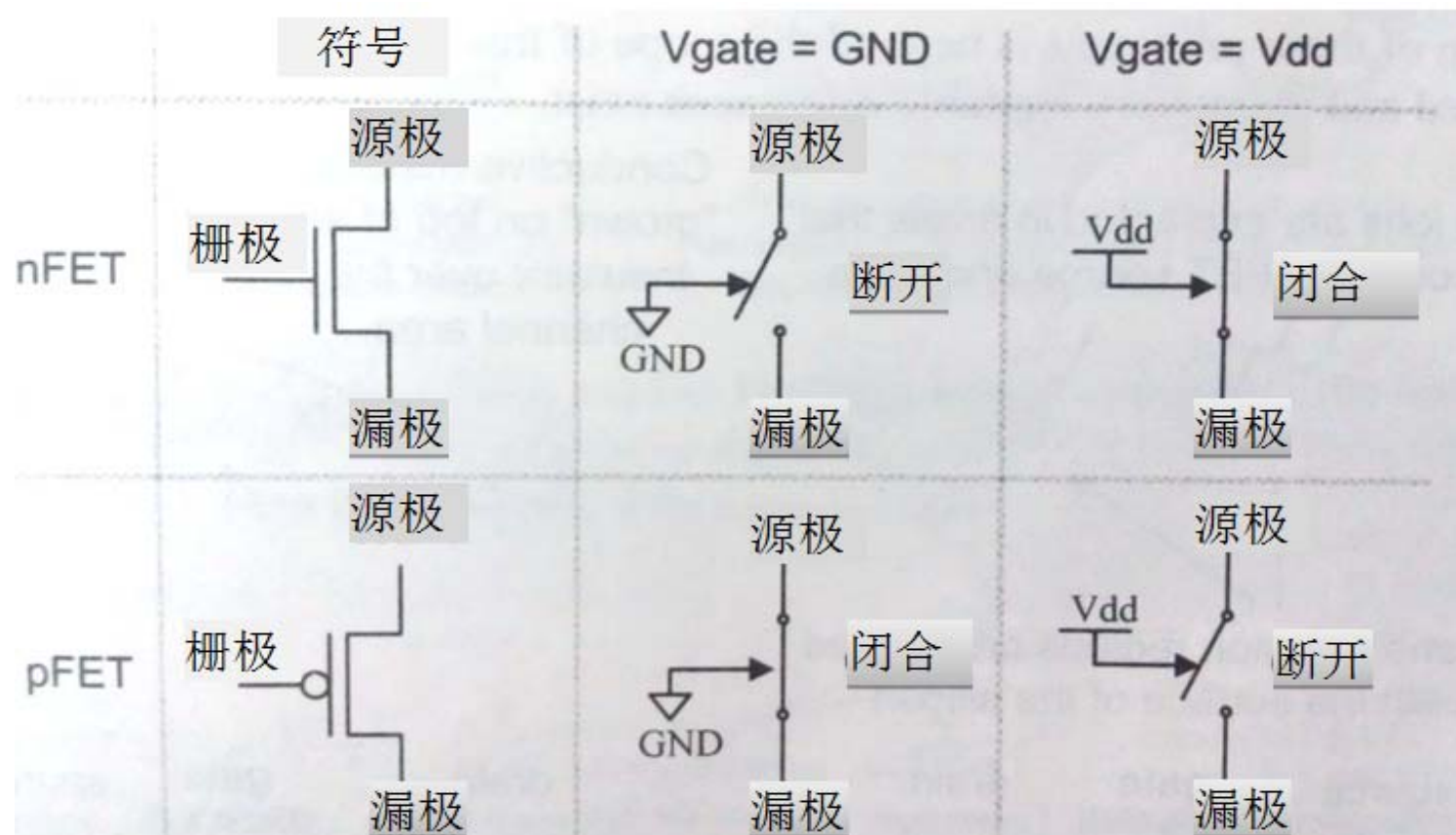
缺陷：很明显，使用机械开关控制灵活性差，而且切换系统的速度很低，开关的工作寿命也十分有限。

用于现代数字电路的晶体管开关称为金属氧化物半导体场效应晶体管（Metal Oxide Semiconductor Field Effect Transistors，MOSFETs）。

# 开关系统

## --晶体管作为开关

根据不同的物理结构，FET包含两种类型



思考：分析nFET和pFET的工作原理。

# 开关系统

## --晶体管作为开关

FET也可以用于电路中实现逻辑功能，如AND、OR、NOT等。在这种应用中，若干小的FET构成一个简单的小硅片。然后，用同样大小的金属导线互连起来。

一个硅芯片的一端可以是几个毫米，一个单芯片上可以集成数百万的FETs。

当所有的电路元件整合集成到同一块硅片上时，将这种形式组成的电路称为集成电路（Integrated Circuit，IC）。

# 开关系统

## --半导体物理器件

**大多数的FET使用半导体硅制造。**

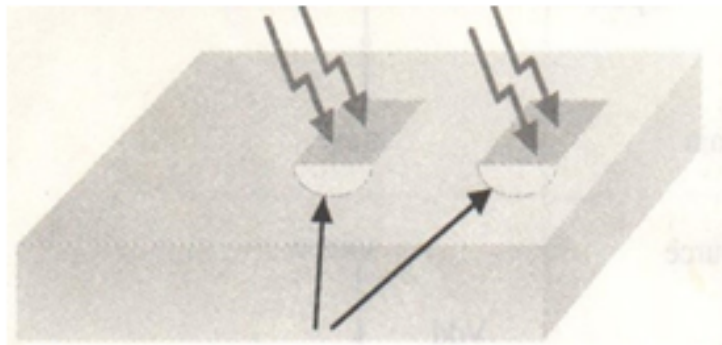
制造过程中，植入离子的硅片在这个区域的导电性能更好，用作FET源极和漏极区域，这些区域通常称作扩散区。接下来，在这些扩散区的中间创建一个绝缘层。并且，在这个绝缘材料的上面“生长”另一个导体。

这个“被生长”的导体（典型的用硅）形成了栅极，位于栅极之下，扩散区之间的区域称为沟道。最后，用导线连接源极、漏极和栅极，于是这个FET就可以连接到一个大的电路中。

# 开关系统

## --半导体物理器件

将带电离子植入该区域，这些区域变成 FET 的源级和漏极



在硅片表面的下方形成了源级和扩散区域

**植入带电离子**

在沟道区上面绝缘体的顶部“生长”导电金属  
添加金属线，将源级和漏极连接到其它电路节点

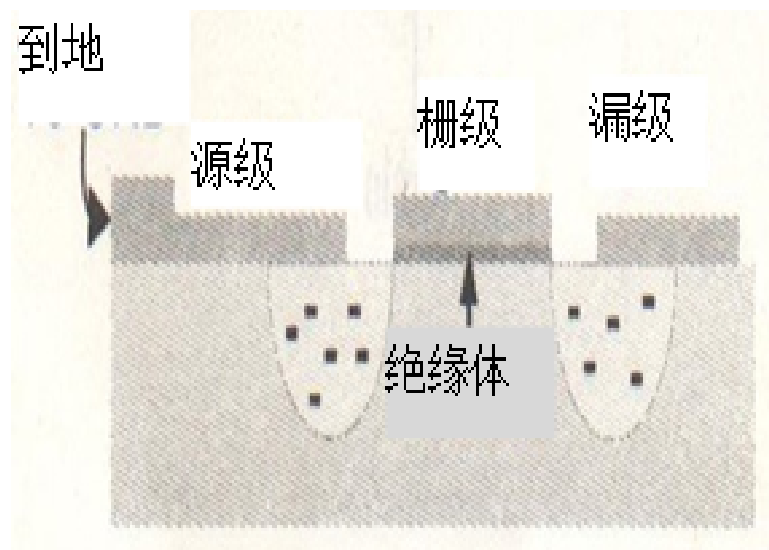


**扩散区的生成**

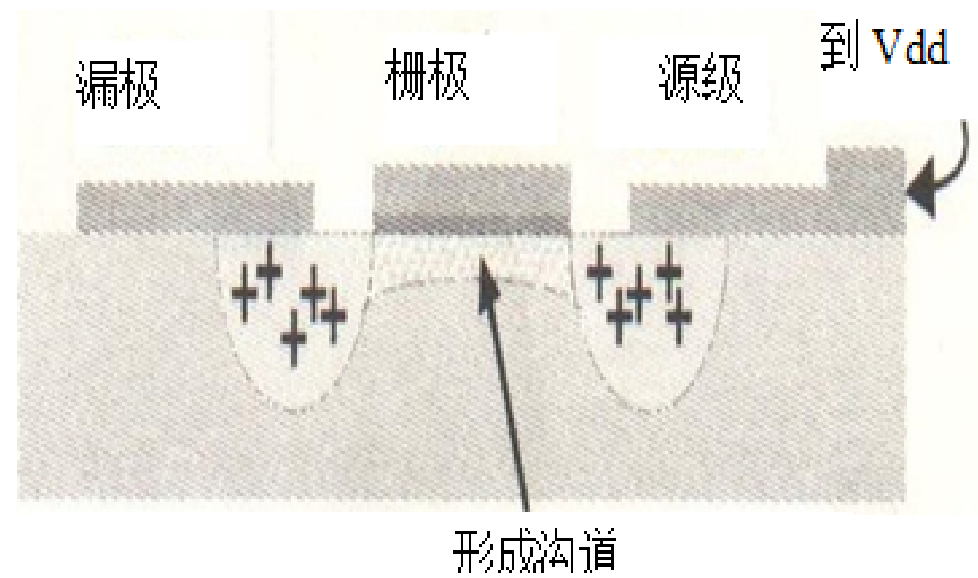


# 开关系统

## --半导体物理器件



一个nFET的剖面图

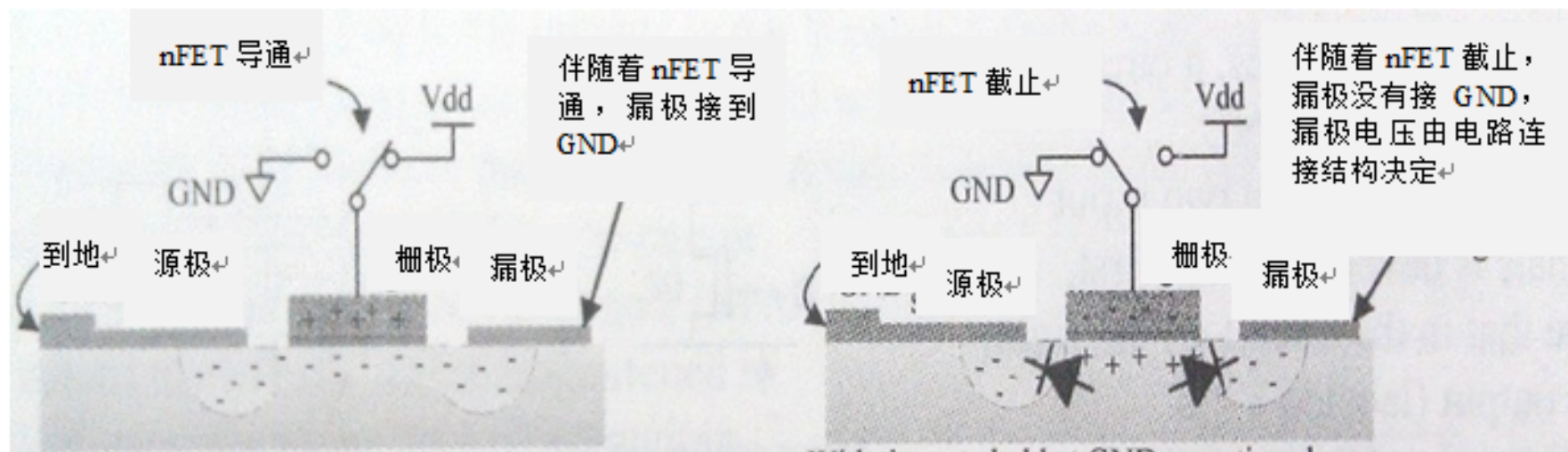


一个pFET的剖面图



# 开关系统

## --半导体物理器件



栅极保持在 **Vdd**, 正电荷在栅极聚集并吸引负电荷进入沟道形成导电沟道

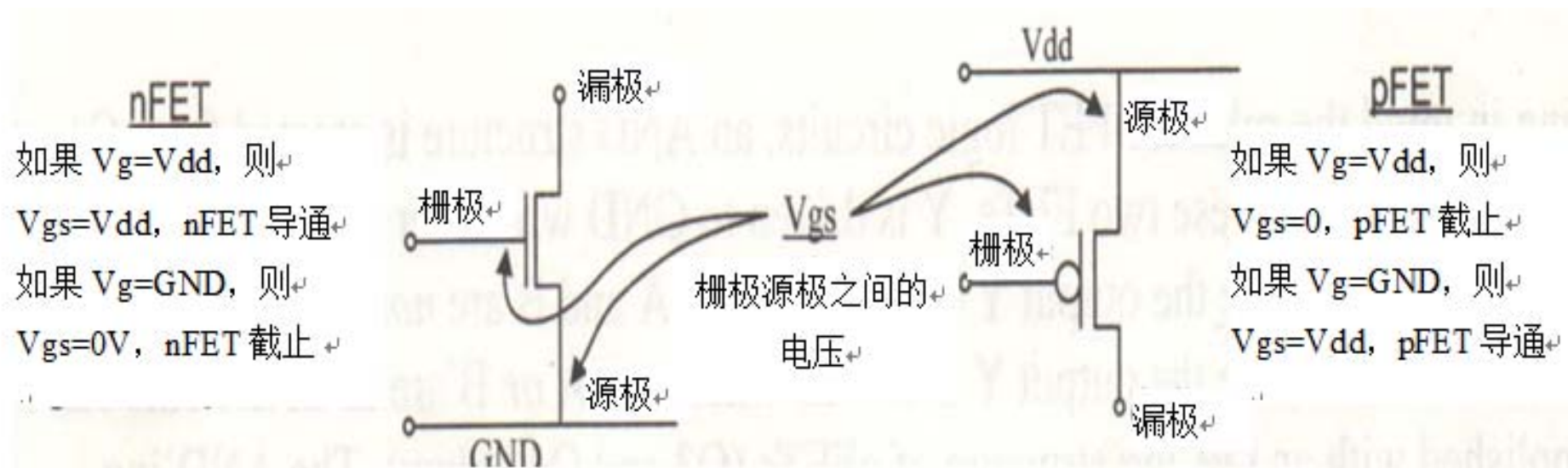
栅极保持在 **GND**, 负电荷在栅极聚集并吸引正电荷进入沟道形成背靠背的二极管

### nFET的打开与关闭

# 开关系统

## --半导体物理器件

### 逻辑电路中的nFET和pFET



**思考：分析nFET和pFET工作原理**

# 开关系统

## --半导体物理器件

根据上述原理可知，一个源极接 $V_{dd}$ 时，不会强行打开nFET。所以，很少将nFET的源极连接到 $V_{dd}$ 。类似的，一个源极接到GND时，也不能很好的打开pFET。所以，很少将pFET的源极接到GND。

**注：这就是常说的，nFET传输强0和弱1；而pFET传输强1和弱0。**

# 开关系统

## --半导体逻辑电路

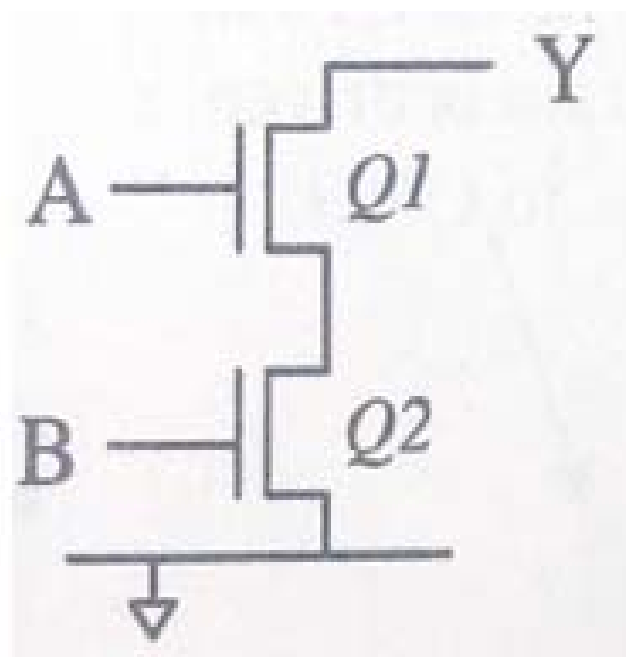
当构建一个FET电路实现逻辑关系时，必须遵守下面的四个基本规则：

- pFET的源极必须连接到 $V_{dd}$ ，nFET的源极必须连接到GND；
- 电路输出必须通过一个pFET连接到 $V_{dd}$ ；电路输出必须通过一个nFET连接到GND（例如，电路输出永远不能空）；
- 逻辑电路的输出绝不能同时连接到 $V_{dd}$ 和GND（例如，电路输出决不能短路）；
- 电路尽量使用最少数量的FET。

# 开关系统

## --半导体逻辑电路

构造一个两输入信号的“与”关系的电路。



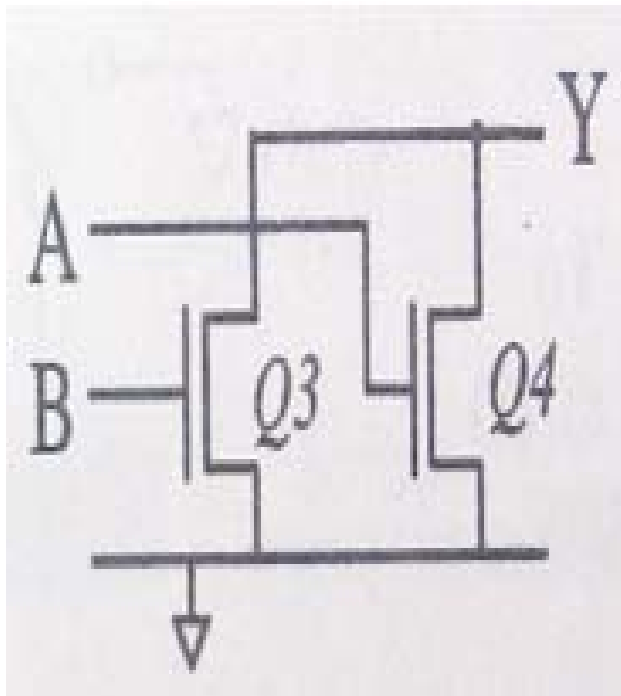
当且仅当两个输入A和B都接Vdd时，输出（标记为Y）才连接到GND，也就是Q1和Q2是导通的。

当A和B都连接逻辑高电平（Logic High Voltage，LHV），即：Vdd时，Y的输出为逻辑低电平（Logic Low Voltage，LLV）。

# 开关系统

## --半导体逻辑电路

构造一个两输入信号的“或”关系的电路。



如果A或者B连接到Vdd，输出Y连接到GND，  
也就是Q3和Q4两个nFETs中的一个导通的。

这个逻辑关系可以描述如下：

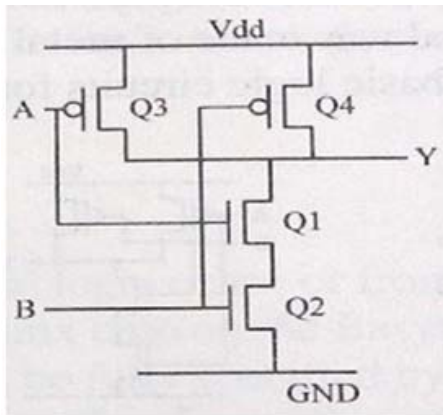
当A或者B连接逻辑高电平（Logic High Voltage，LHV），即：Vdd时，Y的输出为逻辑低电平（Logic Low Voltage，LLV）。



# 半导体逻辑电路

## --NAND逻辑门

### 电路结构



### 电路工作原理的表示

A	B	Q1	Q2	Q3	Q4	Y
GND	GND	断开	断开	导通	导通	Vdd
GND	Vdd	断开	导通	导通	断开	Vdd
Vdd	GND	导通	断开	断开	导通	Vdd
Vdd	Vdd	导通	导通	断开	断开	GND

### 真值表

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

将**GND**定义为逻辑‘0’，**Vdd**定义为逻辑‘1’。

		A	
B	A	0	1
	0	1	1
1	1	1	0

### 卡诺图及其化简

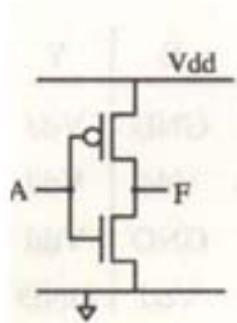
### 最终的逻辑表达式

$$Y = \bar{B} + \bar{A} = \overline{A \cdot B}$$



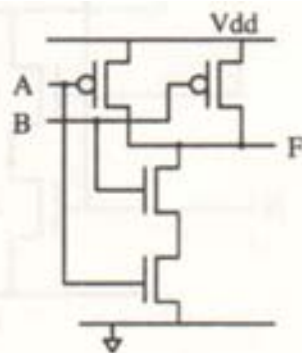
# 半导体逻辑电路

## --5个基本逻辑电路



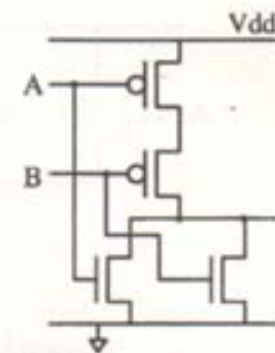
A	F
L	H
H	L

CMOS INVERTER



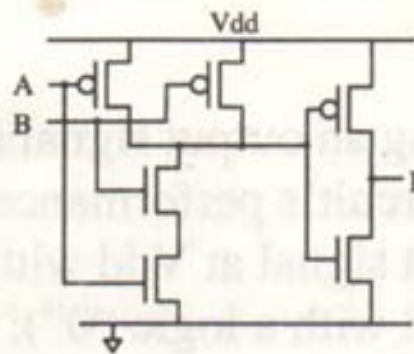
A	B	F
L	L	H
L	H	H
H	L	H
H	H	L

CMOS NAND



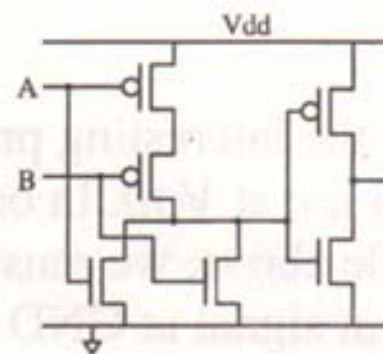
A	B	F
L	L	H
L	H	L
H	L	L
H	H	L

CMOS NOR



A	B	F
L	L	L
L	H	L
H	L	L
H	H	H

CMOS AND



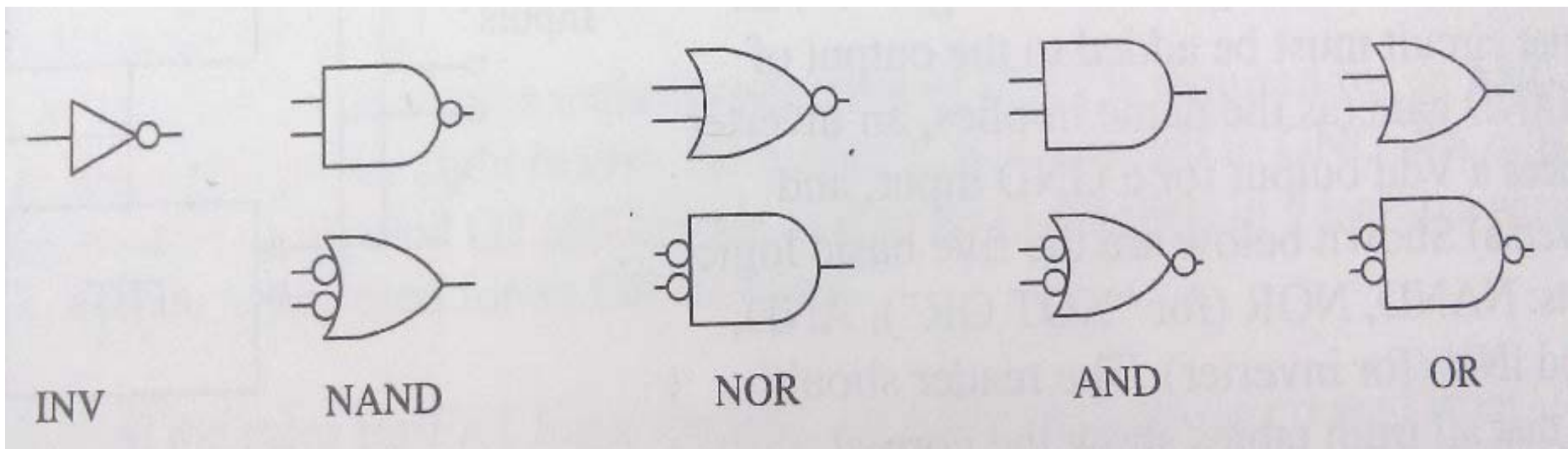
A	B	F
L	L	L
L	H	H
H	L	H
H	H	H

CMOS OR

# 开关系统

## --逻辑关系符号表示

由于直接绘制FET电路显得太过于冗长乏味，而且对整个逻辑电路的分析来说显得很不方便。当在原理图中绘制这些电路时，使用下面的符号，而不是FET电路结构。

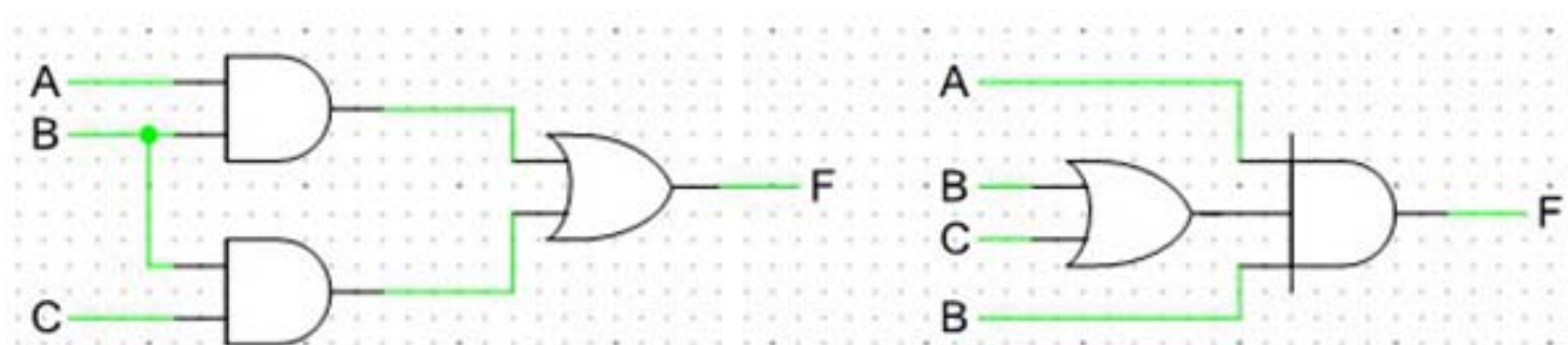


# 开系统

## --逻辑关系符号表示

忽略逻辑电路的实现方式，可以用真值表、逻辑方程或原理图完全表示出来。

逻辑等式  $F=A \cdot B + C \cdot B$  的两种不同理解方式



(a) 两个两输入与门驱动一个两输入或门

(b) 一个两输入或门驱动一个三输入的与门

# 开关系统

## --逻辑关系符号表示

在逻辑等式中，反相器用来表示在驱动一个逻辑门之前输入信号必须取反。例如，逻辑表达式：

$$F \leq \bar{A} \cdot B + C$$

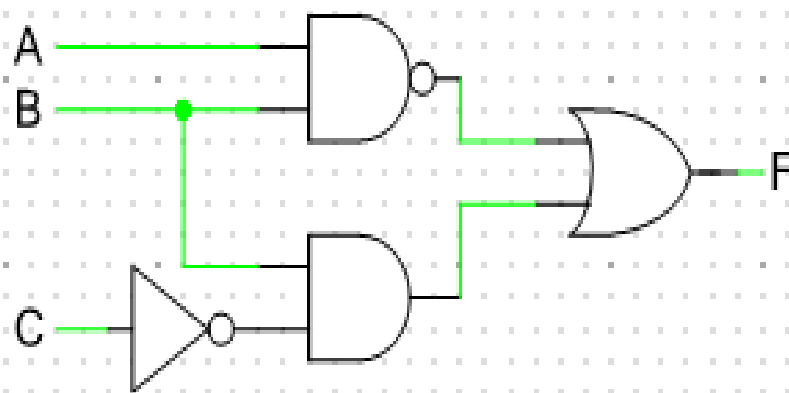
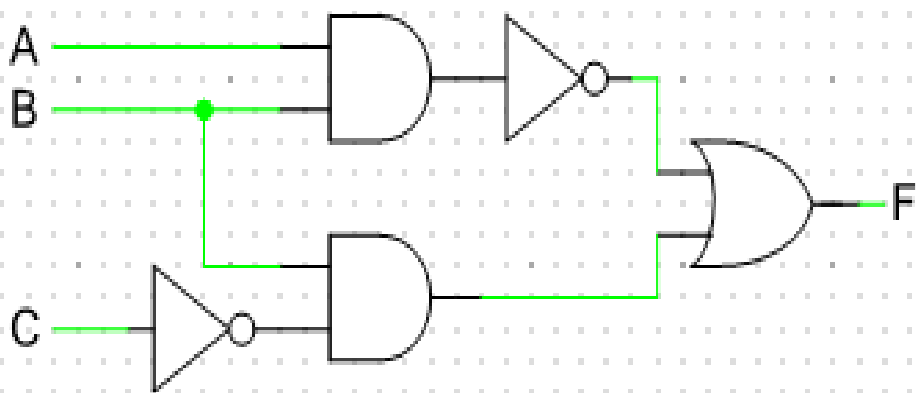
式中：

- 符号 ‘ $\cdot$ ’ 表示逻辑与关系；
- 符号 ‘ $+$ ’ 表示逻辑或关系。

# 开关系统

## --逻辑关系符号表示

$F <= \overline{A} \cdot \overline{B} + \overline{C} \cdot B$  两种不同实现方式

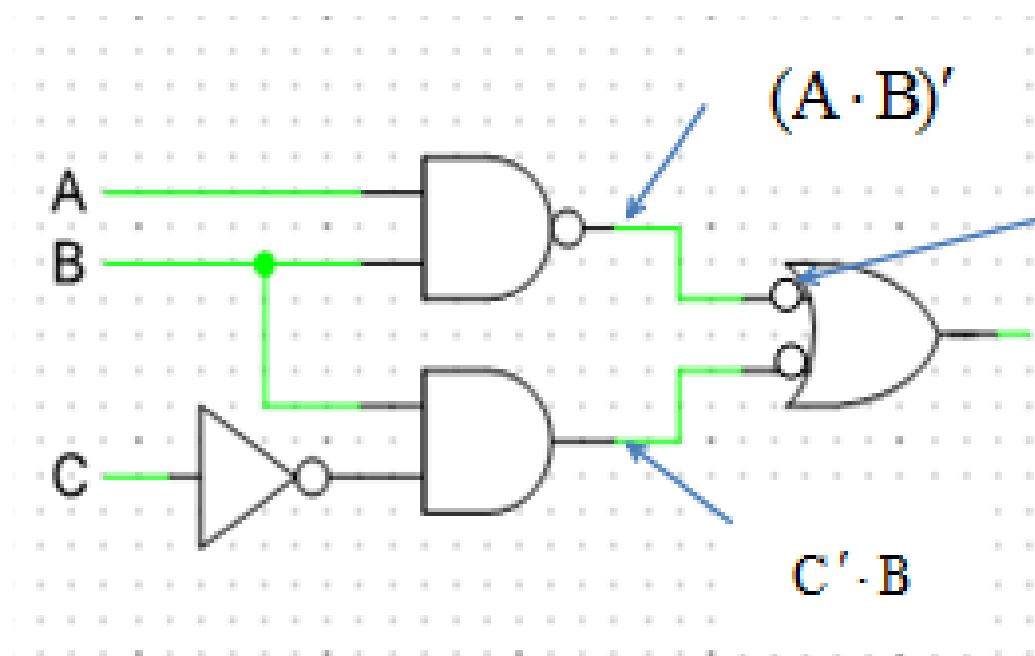


反相器（或者是输出一有个小圆圈的逻辑门）表示要求取反的信号或功能，其作为“下游”门的输出。

# 开关系统

## --逻辑关系符号表示

一个逻辑门的输入端添加有一个小圆圈可以认为信号在进入这个门之前取反。



输入端的  
小圆圈也  
表示取反