#### 第13章 STC单片机ADC原理及实现

何宾 2018.03

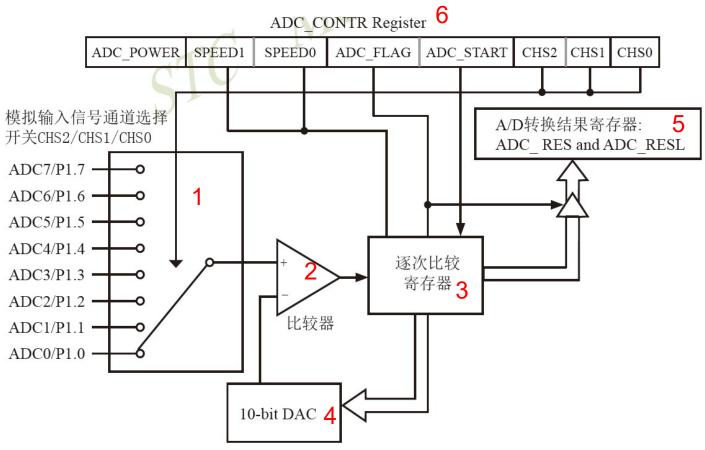
## STC单片机内ADC的结构原理 --ADC的结构

#### STC15系列单片机内集成了8路10位高速ADC转换器模块

■ 通过ADC控制寄存器ADC\_CONTR中SPEED1和SPEED0比特位的控制,该ADC模块的最高采样速率可以达到300KHz,即: 30万次采样/秒(30kSPS, 30k Sample Per Second)。

#### STC单片机内ADC的结构原理 --STC单片机内ADC的结构

■ STC15系列单片机的ADC模块包括



该ADC是典型的SAR结构,这种结构是一种典型的闭环反馈系统。

#### STC单片机内ADC的结构原理 --ADC的结构

- ADC的前端提供了一个8通道的模拟多路复用开关。
  - 口 在ADC控制寄存器ADC\_CONTR内的CHS2~CHS0比特位的控制下,将 ADC0~ADC7的模拟信号送给比较器。
- SAR结构的ADC包含一个比较器和DAC,通过逐次比较逻辑,从最高有效位MSB开始,顺序地对每一个输入电压与内置DAC输出进行比较。
  - 口 经过多次比较后,使的转换得到的数字量逼近输入模拟信号所对应的数字量的值。
  - 口 将最终得到的数字量保存在ADC转换结果寄存器ADC\_RES和ADC\_RESL中。
  - □ 将ADC控制寄存器ADC\_CONTR中的转换结束标志ADC\_FLAG置1,以 供程序查询或者向CPU发出中断请求。

#### STC单片机内ADC的结构原理 --ADC转换结果的计算方法

在STC 15系列的单片机中,通过CLK\_DIV寄存器的ADRJ位的设置,控制转换结果的计算方式

- 当ADRJ=0时
  - 口 如果取10位计算结果时, 转换结果表示为:

(ADC RES[7:0],ADC RESL[1:0])= $1024 \times V_{in}/V_{cc}$ 

□ 如果取8位计算结果

ADC\_RES[7:0] =  $256 \times V_{in}/V_{cc}$ 

■ 当ADRJ=1时

 $(ADC_RES[1:0],ADC_RESL[7:0])=1024\times V_{in}/V_{cC}$ 

- 口 Vin为模拟输入通道输入电压。
- 口 Vcc为单片机的供电电压

### STC单片机内ADC寄存器组---P1口模拟功能控制寄存器

STC15系列单片机的8路模拟信号的输入端口设置在P1端口的8个引脚上,即: P1.0~P1.8。

- 当上电复位后,P1口设置为弱上拉I/O口。
- 可以通过软件将8个引脚上的任何一个设置为ADC模拟输入。

注:没有设置为ADC模拟输入的引脚可以作为普通I/O使用。

### STC单片机内ADC寄存器组--P1口模拟功能控制寄存器P1ASF

地址	复位值	В7	В6	В5	B4	В3	В2	B1	В0
0x9D	00000000	P17ASF	P16ASF	P15ASF	P14ASF	P13ASF	P12ASF	P11ASF	P10ASF

- P1xASF (x=7, 6, 5, 4, 3, 2, 1, 0)
  - 口 模拟输入通道x控制位。当该位为1时,P1.x引脚用于模拟信号输入;当该位为0时,P1.x引脚用作普通I/O。

# STC单片机内ADC寄存器组--ADC控制寄存器ADC\_CONTR

地址	复位值	<u>B</u> B7 B6		B5 B4		В3	В2	B1	ВО
0xBC	00000000	ADC_POWER	SPEED1	SPEED0	ADC_FLAG	ADC_START	CHS2	CHS1	CHS0

- ADC\_POWER
  - 口 ADC电源控制位。为0时,关闭ADC电源;为1时,打开ADC电源。
- SPEED1和SPEED0
  - 口 ADC采样率控制位, ADC的转换速度=CPU的工作频率/时钟周期数

SPEED1	SPEED0	一次ADC转换需要的周期数
1	1	90个时钟周期
1	0	180个时钟周期
0	1	360个时钟周期
0	0	540个时钟周期

#### C单片机内ADC寄存器组 --ADC控制寄存器ADC\_CONTR

- ADC\_FLAG
  - □ ADC转换结束标志位。当ADC转换结束时,由硬件置为1,该位需要由 软件清零。
- 注:不管是中断还是轮询该位,一定要用软件清零。
- ADC\_START
  - 口 ADC转换启动控制位。当该位为1时,启动ADC转换;转换结束后,该位为0。



- CHS2、CHS1和CHS0
  - 口模拟输入通道选择控制位。

CHS2	CHS1	CHS0	功能
0	0	0	选择P1.0引脚作为内部ADC模块采样输入
0	0	1	选择P1.1引脚作为内部ADC模块采样输入
0	1	0	选择P1.2引脚作为内部ADC模块采样输入
0	1	1	选择P1.3引脚作为内部ADC模块采样输入
1	0	0	选择P1.4引脚作为内部ADC模块采样输入
1	0	1	选择P1.5引脚作为内部ADC模块采样输入
1	1	0	选择P1.6引脚作为内部ADC模块采样输入
1	1	1	选择P1.7引脚作为内部ADC模块采样输入

# STC单片机内ADC寄存器组---时钟分频寄存器CLK\_DIV

地址	复位值	В7	В6	В5	B4	В3	B2	B1	ВО
0x97	0000x000	MCLKO_S1	MCLKO_SO	ADRJ	Tx_Rx		CLKS2	CLKS1	CLKS0

#### ■ ADRJ,用于控制ADC转换结果的保存位置

- □ ADRJ为0时,ADC\_RES[7:0]存放高8位结果,ADC\_RESL[1:0]存放低2 位结果。
- □ ADRJ为1时,ADC\_RES[1:0]存放高2位结果,ADC\_RESL[7:0]存放低8 位结果。



# ADC结果寄存器包括ADC高位结果寄存器ADC\_RES和ADC低位结果寄存器ADC\_RESL。

名字	地址	复位值	В7	В6	В5	B4	ВЗ	B2	B1	ВО
ADC_RES	0xBD	00000000	内容由ADRJ控制							
ADC_RESL	0xBE	00000000	内容由ADRJ控制							

## STC单片机内ADC寄存器组--中断允许寄存器IE

名字	地址	复位值	В7	В6	В5	B4	В3	B2	B1	В0
IE	0xA8	00000000	EA	ELVD	EADC	ES	ET1	EX1	ЕТО	EXO

#### **■ EADC**

口为ADC转换中断允许位。当该位为1时,允许ADC转换中断;当该位位0时,禁止ADC转换中断。

## STC单片机内ADC寄存器组--中断优先级寄存器IP

名字	地址	复位值	В7	В6	В5	В4	В3	В2	B1	ВО
IP	0xB8	00000000	PPCA	PLVD	PADC	PS	PT1	PX1	PT0	PX0

- PADC为ADC转换优先级控制位。
  - 山 当该位为0时,ADC转换中断为最低优先级中断(优先级0);当该位为1时,ADC转换中断为最高优先级中断(优先级1)。