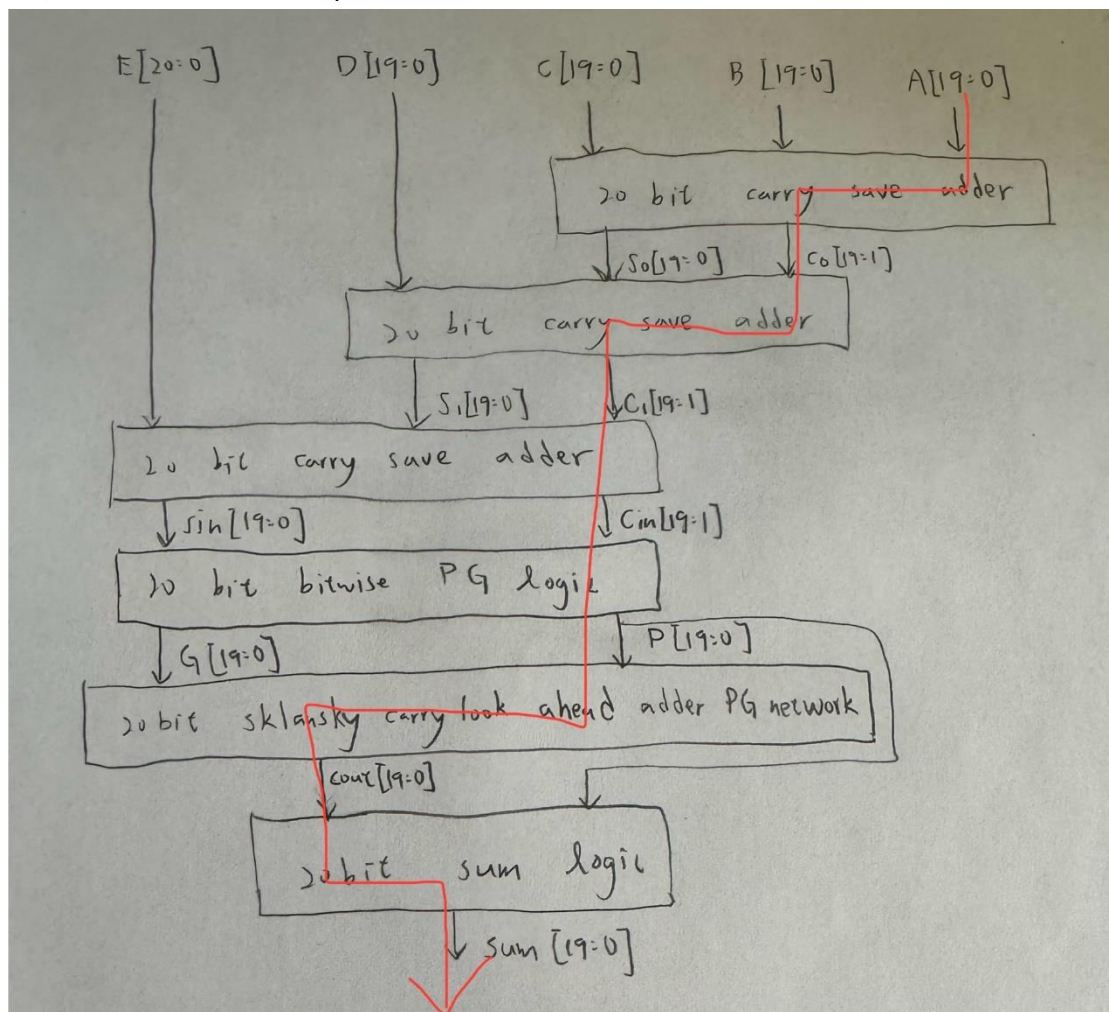


312510239 王則惟

1. Design a 20-bit 2's complement multioperand adder ($A+B+C+D+E$) using Carry-Save Adder + Sklansky carry look ahead adder. To further optimize the delay, each module can have different size. The goal is to have minimum critical path delay time with the least gate count. Assume there is no overflow during the additions. The internal word length of each module is 20 bits (60)
(a) Show your block diagram like that shown in Fig.1. The CPA in Fig.1 shall be the Sklansky carry lookahead adder with variable group size. Indicate the critical path. Explain your design concept and the decision of group size (20)

下圖是此題 20-bit 2's complement multi-operand adder 的 block diagram，而紅色路徑為此電路的 critical path。

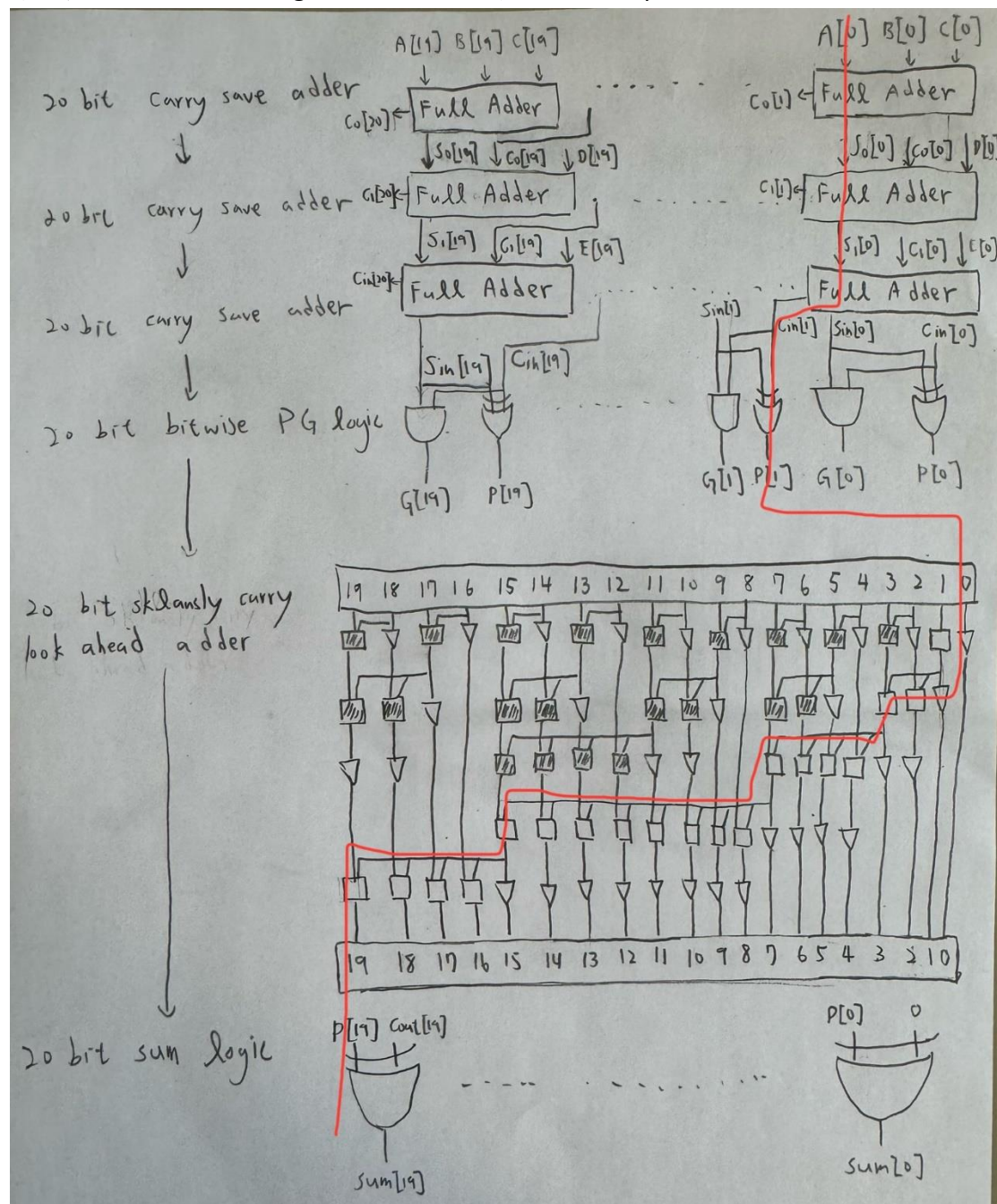


由上圖可知，我在設計此電路時，除了最後一題使用 sklansky carry look ahead adder 以外，其他三個皆使用 carry save adder，因為此題是五個數相加，而由講義可以知道 carry save adder 適合用來實作多數相加的問題，因此我在前面幾級使用 carry save adder 來加速運算，由這樣的分級，可以將五數相加變成多層的 2 數相加問題，最後再將最後一級 carry save adder 的輸出接到 sklansky carry look ahead adder 即可完成運算。

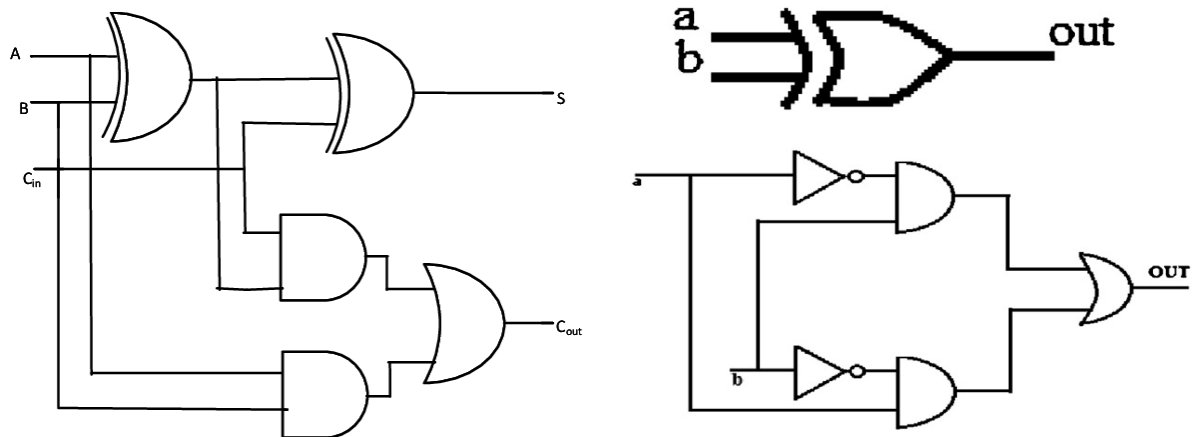
(b) For each block, you shall show its logic design diagram. Indicate the critical path.

Explain your design concepts (20).

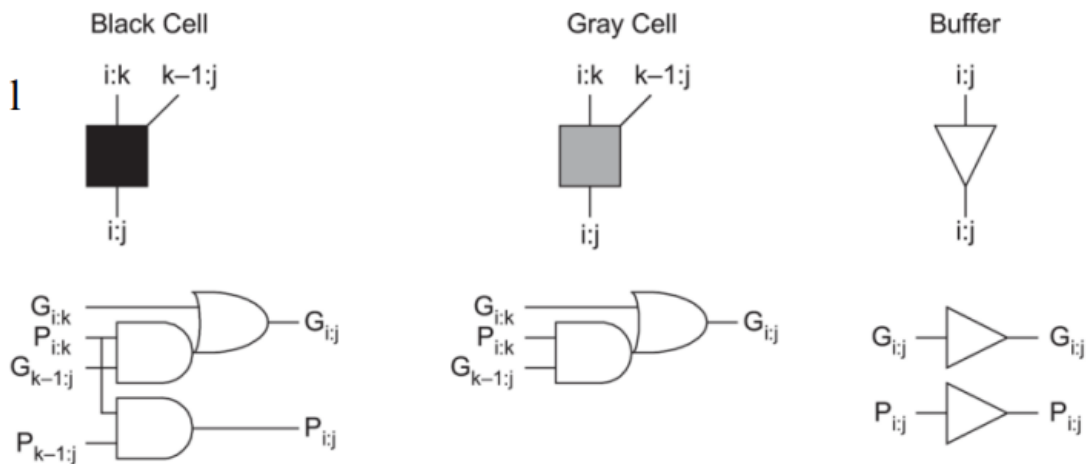
下圖是各級的 block diagram，而紅色路徑為 critical path。



下圖為 Full Adder 和 XOR GATE 的 block diagram。



而下方為 sklansky carry look ahead adder 中的圖形所代表的電路，其中這邊的 gray cell 在上圖使用空心正方形代替。



因為 XOR GATE 若是用 AND GATE 或是 OR GATE 來表示時，他會經過一個 AND GATE 和一個 OR GATE，因此在計算 critical path 時，在 bitwise PG logic 那一級他會是經過 XOR GATE 而非 AND GATE，而此題要求使用 sklansky carry look ahead adder 來實作，而我透過講義可得知，這個 adder 是透過樹狀特性來實作，因此參照講義，第一層為 2-bit groups，第二層為 4-bit groups，第三層為 8-bit groups，第四層為 16-bit groups，而因為此題目為 20 bit，因此第五層為 20 bit group。

(2) Sklansky: Fig.10.29(b)

(i) Like BK, compute prefixes for 2-bit groups -> 4-bit groups -> 8-bit group -> 16-bit group first.

我們在設計 sklansky carry look ahead adder 時，要在適當的 node 來加上 buffer，避免有太大的 fanout 而有輸出推不動的情形，因此透過上面的 block diagram，可看出我們使用了 21 個 black cell、19 個 gray cell 以及 33 個 buffer。

(c) Calculate the critical path delay in terms of the sum of 1-bit FA, 1-bit PG, Mux2, Valency-2 cells and XOR2 delay.(10)

因為我們前三級使用的是 carry save adder，而他的 delay time 可以看成一個 one bit full adder 的 delay time，因此 $T_{\text{delay}} = 3T_{\text{1-bit FA}} + 1T_{\text{1-bit PG}} + 5T_{\text{Valency-2 cells}} + 1T_{\text{XOR2}}$ 。

(d) Indicate the overall module used in terms of the number of 1-bit FA, 1-bit PG, Mux2, Valency-2 cells and XOR2. (10)

前三級使用 carry save adder，而有 20 個 bit，因此使用到 60 個 Full adder。有 20 個 bit，因此使用到 20 個 1-bit PG。

由 b 小題畫的 block diagram 可得知，使用了 21 個 black cell 以及 19 個 gray cell，因此 Valency-2 cell 有 40 個。

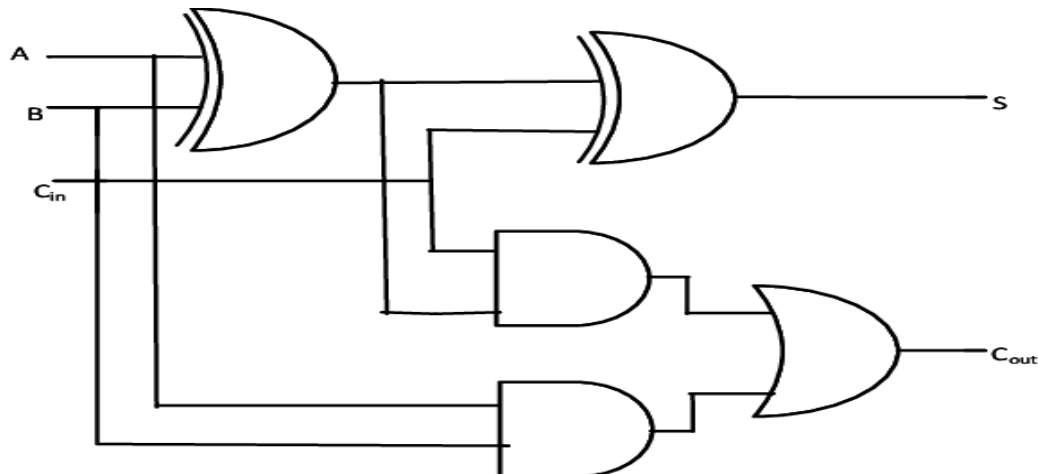
有 20 個 bit，因此最後的 sum logic 使用了 20 個 XOR GATE。

MODULE	NUMBER
1-bit full adder	60
1-bit PG	20
Valency-2 cell	40
XOR2	20

2. Pipelining design of Q1 (40)

(a) Show the block diagram of the design with three pipelining stages (with DFFs) within the multioperand adder. (20)

下圖是 full adder 的 block diagram，因為前面的 XOR GATE 的 critical path 會經過一個 AND GATE 和一個 OR GATE，因此若是將一個 GATE 的 delay time 設為 T ，則一個 one bit full adder 為 $4T$ 。



而一個 1-bit PG 的 critical path 就是經過一個 XOR GATE，因此是 $2T$ 。

而一個 Valency-2 cell 的 critical path 會經過一個 AND GATE 和一個 OR GATE，因此為 $2T$ 。

最後一級的 sum logic 為 XOR GATE，因此為 $2T$ ，

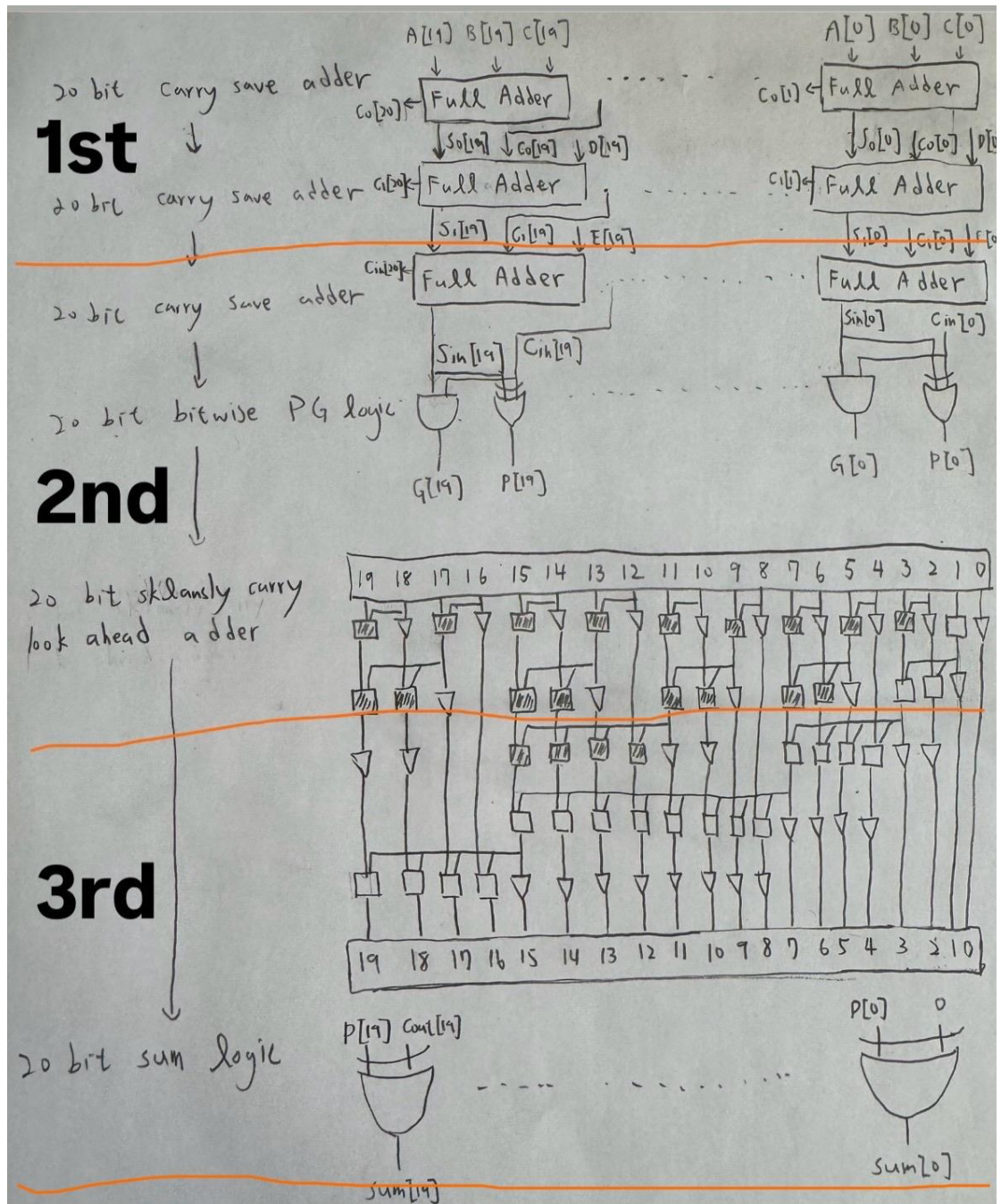
透過上述可得知，此電路的 delay time 為 $T_{\text{delay}} = 3T_{1\text{-bit FA}} + 1T_{1\text{-bit PG}} + 5T_{\text{Valency-2 cells}} + 1T_{\text{XOR2}} = 26T$ 。

而經過我們討論要設計三級的 pipeline，因此為了平衡各級的 delay time，我打算將 DFF 插在下圖的地方，橘色的線就是插入 DFF 的地方，而這樣分級後，三級的 delay time 分別為 $8T$ 、 $10T$ 及 $8T$ 。

第一級為 $4T + 4T = 8T$ 。

第二級為 $4T + 2T + 2T + 2T = 10T$ 。

第三級為 $2T + 2T + 2T + 2T = 8T$ 。



(b) List the number of DFF used. (10)

Stage	Number of DFF
1st	40(20bit for C and S)
2nd	20(P)+8*2(black cell P G)+12(other G)=48
3rd	20(20bit for S)
TOTAL	108

(c) List the clock cycle time of this pipelining design with tpd of the module used in the critical path (10)

$$T_{pd1} = 2T_{1\text{-bit FA}} = 4T + 4T = 8T$$

$$T_{pd2} = 1T_{1\text{-bit FA}} + 1T_{1\text{-bit PG}} + 2T_{\text{Valency-2 cells}} = 4T + 2T + 2T + 2T = 10T$$

$$T_{pd3} = 3T_{\text{Valency-2 cells}} + 1T_{\text{XOR2}} = 2T + 2T + 2T + 2T = 8T$$

$$T_{pd2} \text{ 最大, 因此 } T_c \geq 1T_{1\text{-bit FA}} + 1T_{1\text{-bit PG}} + 2T_{\text{Valency-2 cells}} + T_{\text{setup}} + T_{\text{pcq}} \text{ } ^{\circ}$$