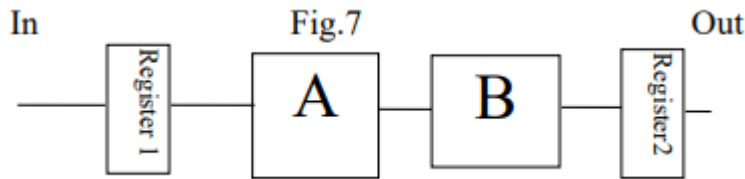


312510239 王則惟

Consider the circuit in Fig.7. Modules A and B have a delay of 19 ns and 30.5 ns at 0.9V (Vdd) with switching of 20 pF and 30 pF respectively. All the buses in Fig.7 are 16 bits. One register has a 0.5 ns clock-to-Q delay and switches 0.05 pF. The clock rate of Fig.7 is thus 1/(50 ns) and the power dissipation is P₀. The power dissipation can be estimated by $P = CV_{dd}^2 f$ and the delay with respect to Vdd can be approximated by $k/(V_{dd} - V_t)$ with V_t equals 0.3 V. k is a constant and is different for A and B. You can use the information of delay time, Vdd and V_t to calculate k.



在不考慮 clock skew 以及 setup time 的情況下，clock cycle 的公式為下。

$$T_{cycle} = T_{pd} + T_{pcq} = 19ns + 30.5ns + 0.5ns = 50ns$$

$$Clock\ rate = \frac{1}{T_{cycle}} = \frac{1}{50ns} = 20MHz$$

而利用題目給的資訊，可將 module A 和 B 的 k 算出來。

$$T_A = 19ns = \frac{k_A}{VDD_A - V_t} \rightarrow k_A = 19ns \times (0.9 - 0.3) = 11.4n (V * sec)$$

$$T_B = 30.5ns = \frac{k_B}{VDD_B - V_t} \rightarrow k_B = 30.5ns \times (0.9 - 0.3) = 18.3n (V * sec)$$

因題目有給定 module A 和 B 和 register 的 capacitance，因此可透過公式計算出一開始的 power。

$$P_A = C \times VDD^2 \times f = 20p \times 0.9^2 \times 20M = 324\mu W$$

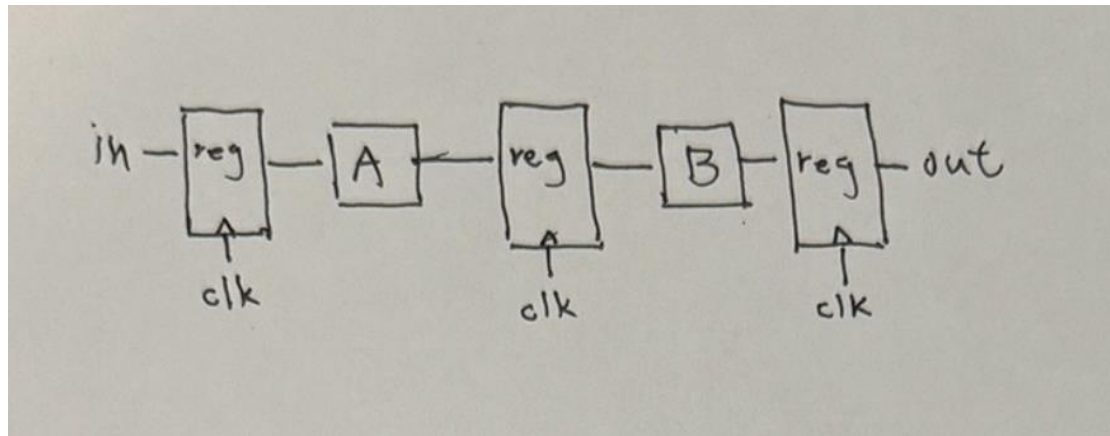
$$P_B = C \times VDD^2 \times f = 30p \times 0.9^2 \times 20M = 486\mu W$$

$$P_{reg} = C \times VDD^2 \times f = 16 \times 0.05p \times 0.9^2 \times 20M = 12.96\mu W$$

$$P_0 = 2P_{reg} + P_A + P_B = 835.92\mu W$$

- (a) Adding a pipeline register between A and B allows for reduction of the supply voltage (A and B can use different Vdd) while maintaining throughput with power dissipation of P1. Show the block diagram. Explain the operation and calculate the power reduction ratio, P1/P0 (30%)

下圖為插完 pipeline register 後的 block diagram。



因為插完 pipeline register 後，一個 cycle 就不需要做那麼多事，module A 和 B 可以分別各用一個 cycle 完成，因此在 clock cycle 不變的情況下，理論上可以降低 VDD 並達到省 power 的目的，下方為重新計算過後的 VDD。

$$T_A = 49.5ns = \frac{k_A}{VDD_A - V_t} \rightarrow 49.5ns = \frac{11.4n}{VDD_A - 0.3} \rightarrow VDD_A = 0.5303V$$

$$T_B = 49.5ns = \frac{k_B}{VDD_B - V_t} \rightarrow 49.5ns = \frac{18.3n}{VDD_B - 0.3} \rightarrow VDD_B = 0.6697V$$

並利用新的 VDD 來計算新的 power，因為有插一個 pipeline register，因此計算 power 時要加上。

$$P_A = C \times VDD_A^2 \times f = 20p \times 0.5303^2 \times 20M = 112.49\mu W$$

$$P_B = C \times VDD_B^2 \times f = 30p \times 0.6697^2 \times 20M = 269.1\mu W$$

$$P_{reg} = C \times VDD^2 \times f = 16 \times 0.05p \times 0.9^2 \times 20M = 12.96\mu W$$

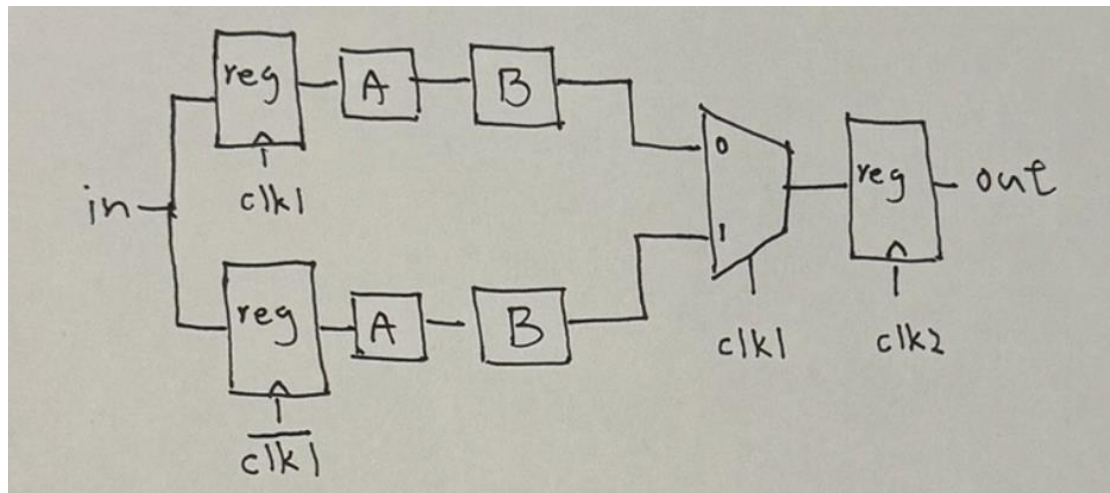
$$P_1 = 3P_{reg} + P_A + P_B = 420.47\mu W$$

最後再算出插完後即插完前的比值，也就是 power reduction ratio。

$$\frac{P_1}{P_0} = \frac{420.47\mu W}{835.92\mu W} = 50.3\%$$

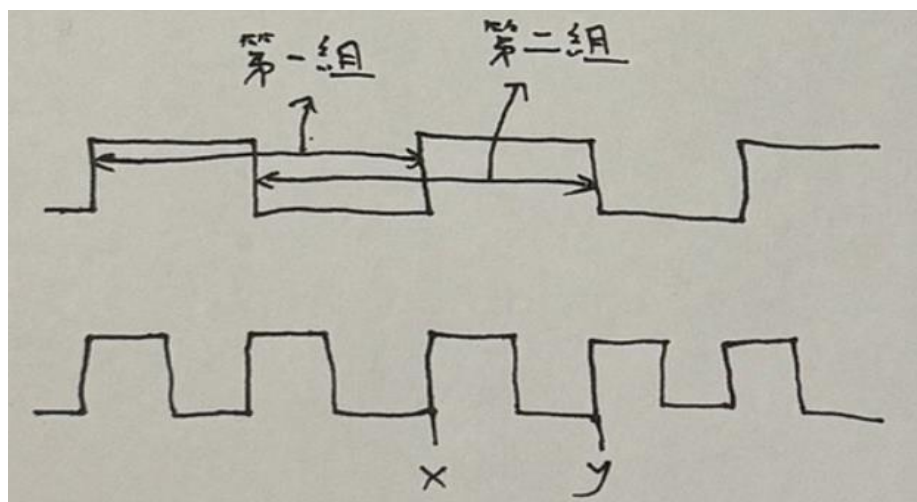
- (b) Assume that a 2-to-1 multiplexer has a delay of 0.4 ns at 0.9 V and switches 0.05 pF. Try parallel version with two copies (using two A and B modules) while maintaining data rate (P2). Show the block diagram, explain the operation and calculate power reduction ratio, P_2/P_0 . (30%)

下圖為電路加上 parallel 概念後的 block diagram。



Parallel 為利用 interleaved 的概念，使用兩組一樣的硬體，將 module A 和 B 做平行化，第一組使用 $clk1$ 控制，第二組使用 $clk1bar$ 控制，並在後面接上一個 2 to 1 的 multiplexer 來控制輸出，當 $clk1$ 為 0，則使用第一組硬體的輸出，當 $clk1=1$ ，則使用第二組硬體的輸出，而為了維持相同的 output throughput rate，所以兩條路的 clock cycle 要使用 100ns，且 multiplexer 後的 register 要使用 50ns 的 $clk2$ 來控制，這樣一來即可降低前面電路的 clock frequency，來達到降低 power 的目的，且依然能維持原本的 output throughput rate。

下圖為 $clk1$ 以及 $clk2$ 的時序分析，因為第一組硬體是使用 $clk1$ ，因此他能計算的時間為 $clk1$ 兩個正緣間的時間，且他的 output 會在 x 點被 $clk2$ 的正緣吃到，而第二組硬體使用的是 $clk1bar$ ，因此他能計算的時間為 $clk1$ 兩個負緣間的時間，且他的 output 可以在 y 點被 $clk2$ 的正緣吃到，因此才能維持相同的 output throughput rate。



因為使用 parallel 架構後，module A 和 B 的 clock cycle 設為 100ns，並扣掉 T_{pcq} 以及 multiplexer 的 delay time，可得到 delay time 的總和。

$$T_A + T_B = \frac{11.4n}{VDD_A - 0.3} + \frac{18.3n}{VDD_B - 0.3} = 2 * 50 - 0.4 - 0.5 = 99.1ns$$

為了降低 power，因此要找出 module A 和 B 的 power 最小時，此時的 VDD_A 和 VDD_B 為多少，因此列出下方的式子。

$$P_A + P_B = (20p \times VDD_A^2 + 30p \times VDD_B^2) * 10M$$

並透過 MATLAB 來找出當 VDD_A 和 VDD_B 為多少時，能得到最小的 power。

```

1 function power = objectiveFunction(x)
2     Vdd_A = x(1);
3     Vdd_B = x(2);
4     P_A = 20e-12 * Vdd_A^2;
5     P_B = 30e-12 * Vdd_B^2;
6     total_power = (P_A + P_B) * 10e6;
7     power = total_power;
8 end
9 function [c, ceq] = nonlcon(x)
10     Vdd_A = x(1);
11     Vdd_B = x(2);
12     % 方程(1)
13     ceq = 11.4 / (99.1 - 18.3 / (Vdd_B - 0.3)) + 0.3 - Vdd_A;
14     c = [];
15 end
16
17 x0 = [0.5; 0.5];
18 lb = [0.3; 0.3];
19 ub = [Inf; Inf];
20
21 options = optimoptions('fmincon', 'Display', 'iter', 'Algorithm', 'sqp');
22 [x_opt, fval] = fmincon(@objectiveFunction, x0, [], [], [], [], lb, ub, @nonlcon, options);
23 fprintf('Optimal Vdd_A: %f\n', x_opt(1));
24 fprintf('Optimal Vdd_B: %f\n', x_opt(2));

```

可得到輸出結果如下。

```

<stopping criteria details>
Optimal Vdd_A: 0.594753
Optimal Vdd_B: 0.602862
fx>>

```

由上圖可知，我計算出來的 $VDD_A=0.5948V$ ， $VDD_B=0.6029V$ ，並用來計算使用 parallel 後的 power，這邊假設所有的 register 和 multiplexer 皆工作在 0.9V。

$$P_{reg_clk1} = 16 \times 0.05p \times 0.9^2 \times 10M = 6.48\mu W$$

$$P_A + P_B = (20p \times 0.5948^2 + 30p \times 0.6029^2) \times 10M = 179.8\mu W$$

$$P_{MUX} = 16 \times 0.05p \times 0.9^2 \times 20M = 12.96\mu W$$

$$P_{reg_clk2} = 16 \times 0.05p \times 0.9^2 \times 20M = 12.96\mu W$$

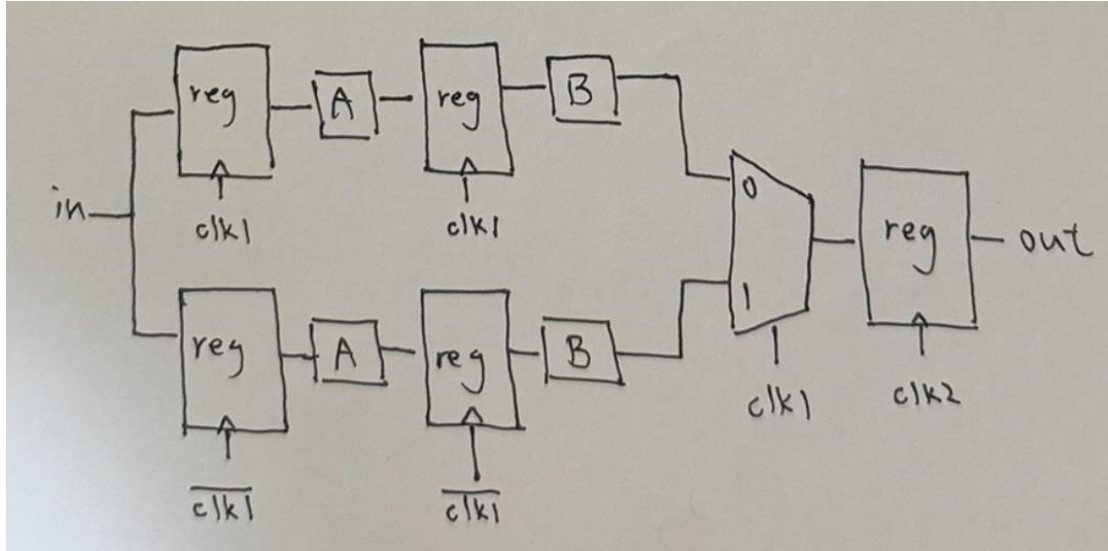
$$P_2 = 2P_{reg_clk1} + 2(P_A + P_B) + P_{MUX} + P_{reg_clk2} = 398.48\mu W$$

最後再算出使用 parallel 後與前的比值，也就是 power reduction ratio。

$$\frac{P_2}{P_0} = \frac{398.48\mu W}{835.92\mu W} = 47.67 \%$$

- (c) Try to combine (a) and (b) to design a parallel-pipeline version while maintaining data rate (p3). Show the block diagram, explain the operation and calculate power reduction ratio, P_3/P_0 (40%)

下方為使用 parallel 概念後並加上 pipeline register 後的 block diagram。



因為同時使用了 pipeline 和 parallel 的概念，因此讓 module A 和 B 都能有 100ns 來計算，且加上 pipeline register 也不會造成 output throughput rate 的改變，因此同時使用這兩種方法可以使在不改變 output 的情況下，VDD 又變得更低，因此能更有效的減少 power。

由上圖可知，module A 的 delay time 只需扣掉 T_{pcq} ，而 module B 的 delay time 則需要多扣掉一個 multiplexer 的 delay time，並利用新的 delay time 來計算新的 VDD。

$$T_A = 100ns - 0.5ns = 99.5ns = \frac{11.4n}{VDD_A - 0.3} \rightarrow VDD_A = 0.4146V$$

$$T_B = 100ns - 0.5ns - 0.4ns = 99.1ns = \frac{18.3n}{VDD_B - 0.3} \rightarrow VDD_B = 0.4847V$$

並利用新算出來的 VDD 來計算 power，這邊假設所有的 register 和 multiplexer 皆工作在 0.9V。

$$P_{reg_clk1} = 16 \times 0.05p \times 0.9^2 \times 10M = 6.48\mu W$$

$$P_A + P_B = (20p \times 0.4146^2 + 30p \times 0.4847^2) \times 10M = 104.86\mu W$$

$$P_{MUX} = 16 \times 0.05p \times 0.9^2 \times 20M = 12.96\mu W$$

$$P_{reg_clk2} = 16 \times 0.05p \times 0.9^2 \times 20M = 12.96\mu W$$

$$P_3 = 4P_{reg_clk1} + 2(P_A + P_B) + P_{MUX} + P_{reg_clk2} = 261.56\mu W$$

最後再算出使用 parallel 及 pipeline 後與前的比值，也就是 power reduction ratio。

$$\frac{P_3}{P_0} = \frac{261.56\mu W}{835.92\mu W} = 31.29\%$$