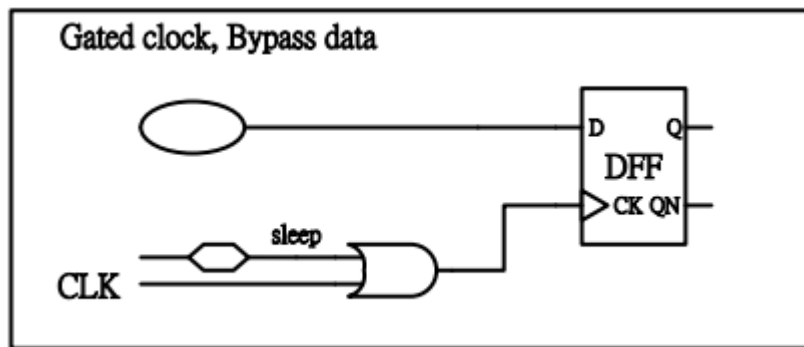


312510239 王則惟

1. Clock system is the most power hungry part of digital IC. Thus, dynamic clock gating is commonly used in digital IC to reduce power consumption

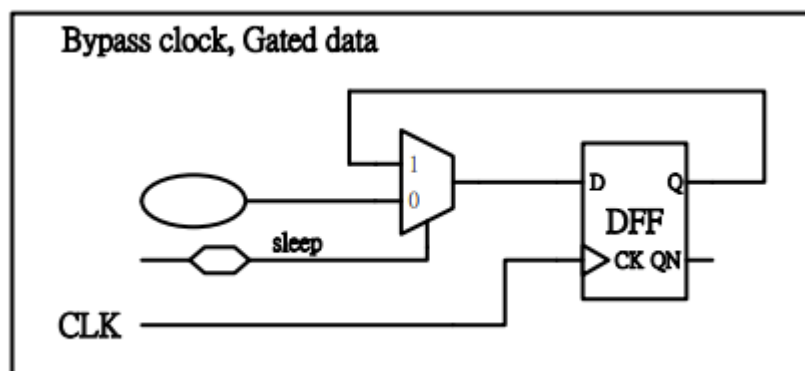
(1) There are two methods, Gated-clock&Bypass-data and Bypass-clock&Gated data. Please describe the operation of these two methods and indicate the major difference of these two methods (Use the circuits shown at p62-p66 of the ADIC\_LP text). (50%)

下圖是 Gated-clock&Bypass-data 的電路圖。



這邊是以 OR-gating 為例，因為 OR-gating 可以在省 power 方面較佳，由上圖可知，當 sleep 訊號為 1 的時候，DFF 所接收到的 CLK 訊號會一直為 1，因此不管 CLK 如何變動，DFF 所接受到的都是為 1 的 CLK 訊號，因此 DFF 裡的值就不會隨著 CLK 的變動而更改，進而達到省 power 的目的。

而下圖是 Bypass-clock&Gated data 的電路圖。



由上圖可知，當 sleep 訊號為 1 時，DFF 的輸入會透過 MUX 得到 DFF 原本儲存的 Q 值，當 sleep 訊號為 0 時，DFF 才能接受到新的 input，因此我們可以透過這種方式讓 DFF 裡的值不會隨著 CLK 變化而變動，也能達到省 power 的效果。

### Major difference

由上述可知這兩種電路都可以透過不讓 DFF 的值變動而達到省 power 的目的，不過我們通常會使用 Gated-clock&Bypass-data 的方式，因為 Bypass-clock&Gated data 的方式通常會增加 critical path，進而造成速度下降，而且在面積的考量中，Gated-clock&Bypass-data 雖然多使用了一個 AND GATE 或 OR GATE，不過 Bypass-clock&Gated data 卻多使用了一個 MUX，考量到 MUX 的電路較為複雜，因此在

面積方面也是 Gated-clock&Bypass-data 較優，因此一般情況我們會使用 Gated-clock&Bypass-data，不過在 FPGA 上，因為 clock tree 已經是做好的情況，因此很難在上面實作 Gated-clock&Bypass-data，所以我們才會在 FPGA 使用 Bypass-clock&Gated data。

(2) Describe the detail design concept and behavior of gating logic-2 to avoid glitch mentioned at p66 of the ADIC\_LP text. (50%)

下方為講義的第 66 頁。

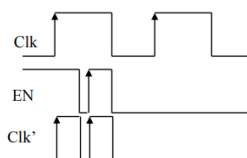
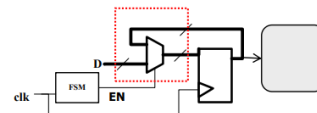
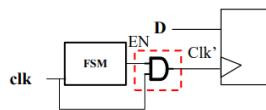
## Clock Gating: Avoid Glitch

### ◆ Opportunity:

Register bank with EN signal

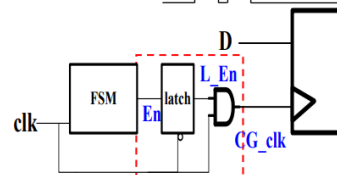
### ◆ Clock Gating logic-1:

- ✓ Reduce the clock network power dissipation
- ✓ Relax the data path timing-> reduce power dissipation
- ✓ Reduce routing congestion by eliminating feedback Mux loop



### ◆ Gating logic-2: (To avoid glitch)

CLK	En	L_En	CG_clk
0	0/1	0/1 (transparent)	0
1	Don't care	Original value	Original value of L_En



NCTUEE S. J. Jou 66

由上圖可知，我們為了避免因為 EN 訊號產生的 glitch，而使得電路的 CLK 訊號沒有依照我們的設計 gated 掉，所以我們在 EN 訊號後面插一個 LATCH，講義這邊使用的是 AND-gating 的電路，這麼做可以使得 EN 訊號若是在 CLK=1 時有 glitch，因為 latch 是在 CLK=0 時才會更新值，因此 glitch 在 CLK=1 發生並不會影響電路，而當 glitch 發生在 CLK=0 時，則會因為後方的 AND GATE 而使得 DFF 所接受的 CLK 依然維持在 0，而使得 DFF 無法改變值，因此能達到避免 glitch 的目的。