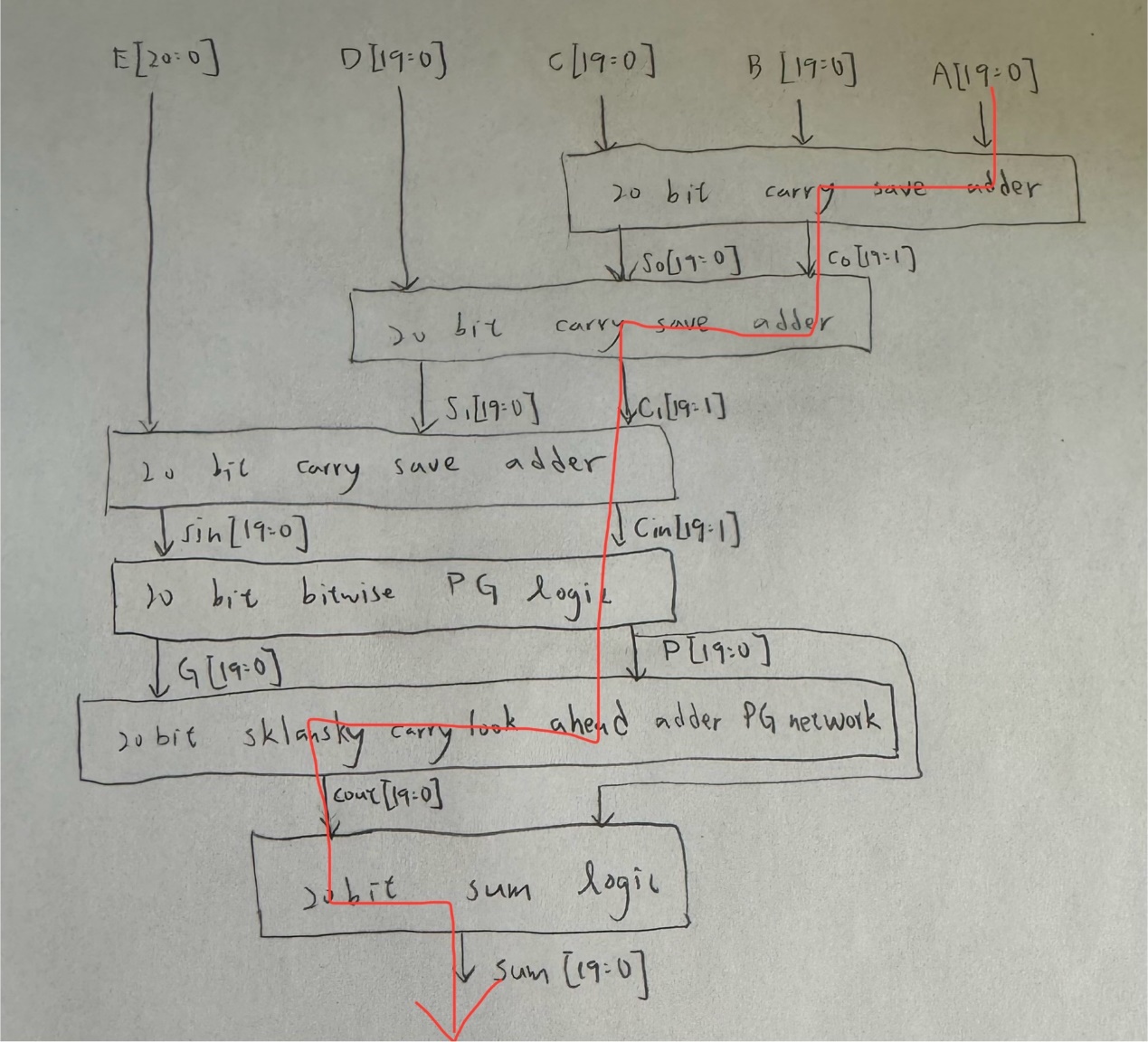
312510239 王則惟

1. Design a 20-bit 2’s complement multioperand adder (A+B+C+D+E) using Carry-Save Adder + Sklansky carry look ahead adder. To further optimize the delay, each module can have different size. The goal is to have minimum critical path delay time with the least gate count. Assum there is no overflow during the additions. The internal word length of each module is 20 bits (60)
2. Show your block diagram like that shown in Fig.1. The CPA in Fig.1 shall be the Sklansky carry lookahead adder with variable group size. Indicate the critical path. Expalin your design concept and the decision of group size (20)

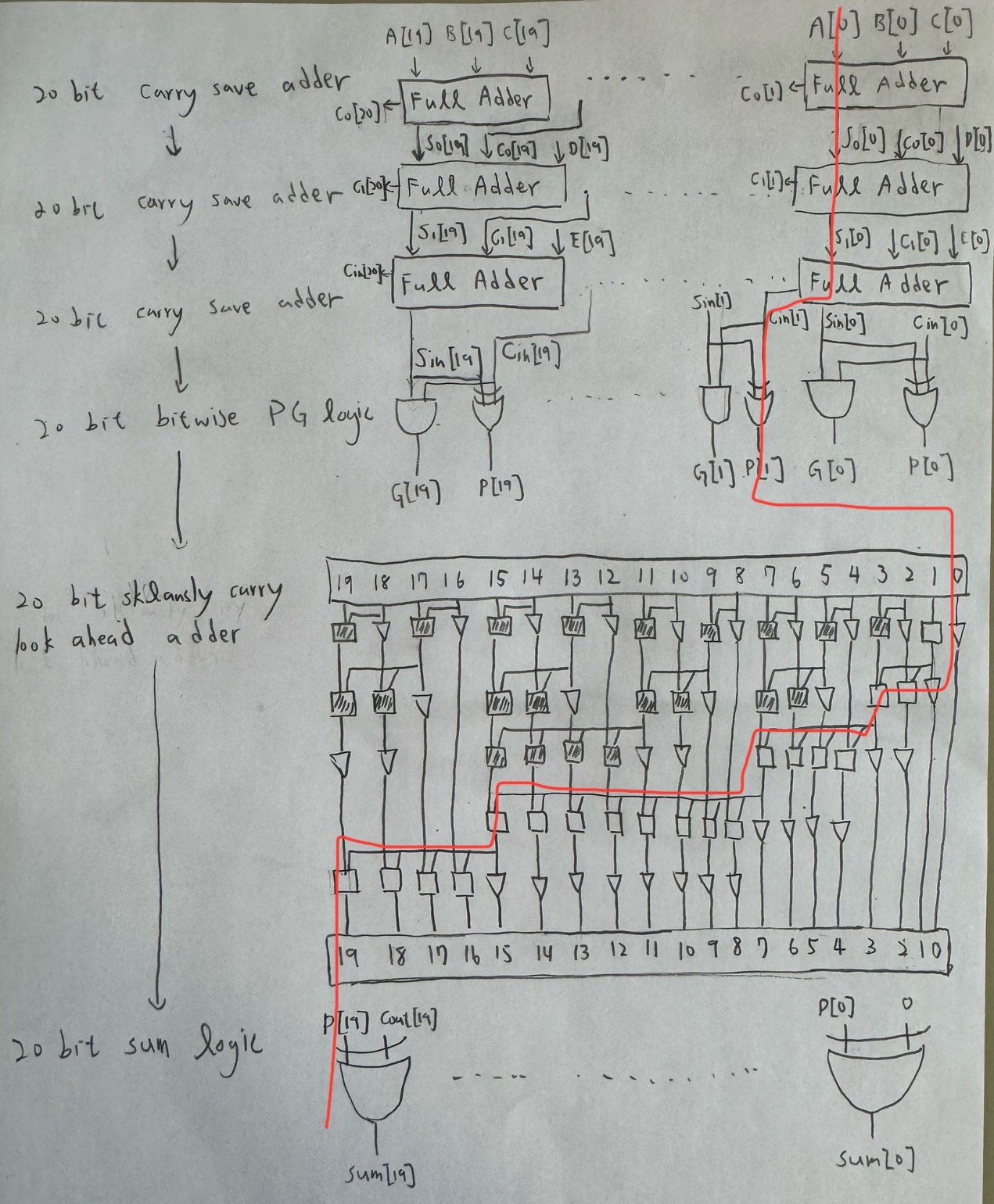
下圖是此題20-bit 2’s complement multi-operand adder的block diagram，而紅色路徑為此電路的critical path。

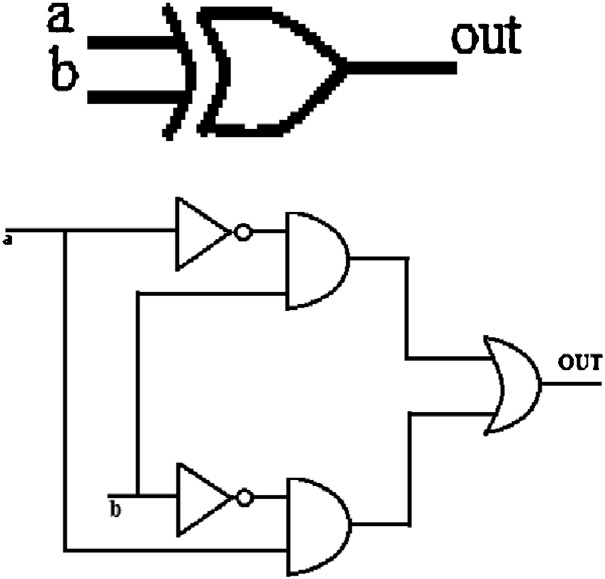
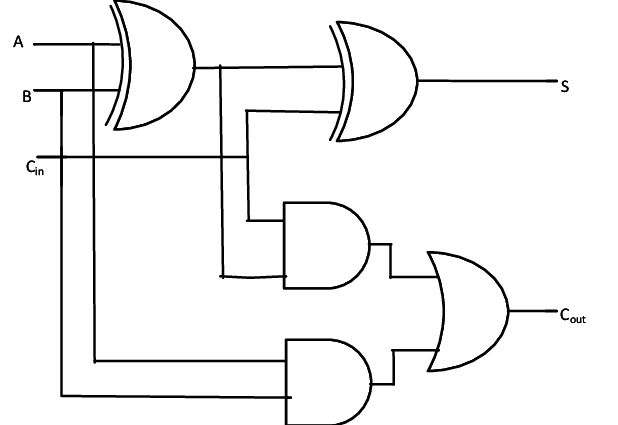


由上圖可知，我在設計此電路時，除了最後一題使用sklansky carry look ahead adder以外，其他三個皆使用carry save adder，因為此題是五個數相加，而由講義可以知道carry save adder適合用來實作多數相加的問題，因此我在前面幾級使用carry save adder來加速運算，由這樣的分級，可以將五數相加變成多層的2數相加問題，最後再將最後一級carry save adder的輸出接到sklansky carry look ahead adder即可完成運算。

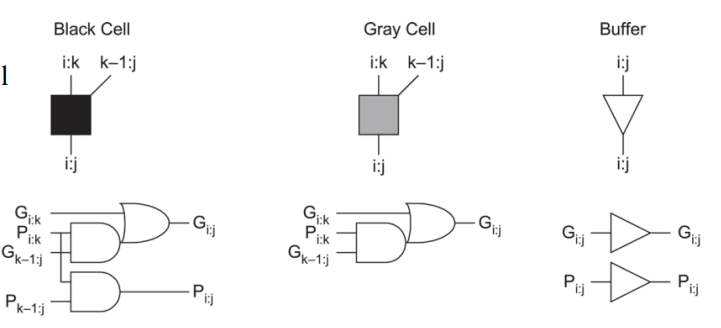
1. For each block, you shall show its logic design diagram. Indicate the critical path. Explain your design concepts (20).

下圖是各級的block diagram，而紅色路徑為critical path。

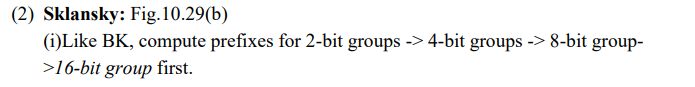


下圖為Full Adder和XOR GATE的block diagram。

而下方為sklansky carry look ahead adder中的圖形所代表的電路，其中這邊的gray cell在上圖使用空心正方形代替。



因為XOR GATE若是用AND GATE或是OR GATE來表示時，他會經過一個AND GATE和一個OR GATE，因此在計算critical path時，在bitwise PG logic那一級他會是經過XOR GATE而非AND GATE，而此題要求使用sklansky carry look ahead adder來實作，而我透過講義可得知，這個adder是透過樹狀特性來實作，因此參照講義，第一層為2-bit groups，第二層為4-bit groups，第三層為8-bit groups，第四層為16-bit groups，而因為此題目為20 bit，因此第五層為20 bit group。



我們在設計sklansky carry look ahead adder時，要在適當的node來加上buffer，避免有太大的fanout而有輸出推不動的情形，因此透過上面的block diagram，可看出我們使用了21個black cell、19個gray cell以及33個buffer。

1. Calculate the critical path delay in terms of the sum of 1-bit FA, 1-bit PG, Mux2, Valency-2 cells and XOR2 delay.(10)

因為我們前三級使用的是carry save adder，而他的delay time可以看成一個one bit full adder的delay time，因此Tdelay=3T1-bit FA+1T1-bit PG+5TValency-2 cells+1TXOR2。

1. Indicate the overall module used in terms of the number of 1-bit FA, 1-bit PG, Mux2, Valency-2 cells and XOR2. (10)

前三級使用carry save adder，而有20個bit，因此使用到60個Full adder。

有20個bit，因此使用到20個1-bit PG。

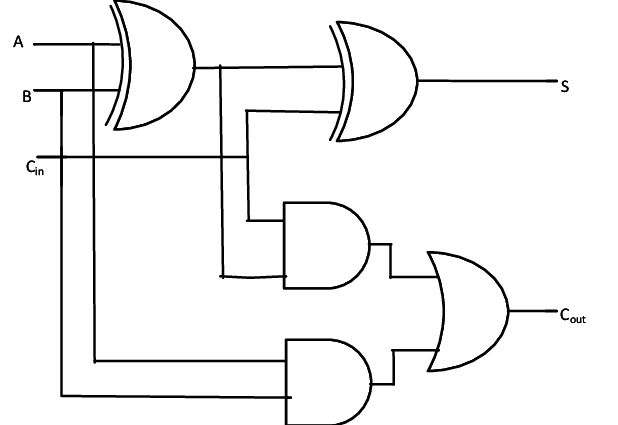
由b小題畫的block diagram可得知，使用了21個black cell以及19個gray cell，因此Valency-2 cell有40個。

有20個bit，因此最後的sum logic使用了20個XOR GATE。

|  |  |
| --- | --- |
| MODULE | NUMBER |
| 1-bit full adder | 60 |
| 1-bit PG | 20 |
| Valency-2 cell | 40 |
| XOR2 | 20 |

1. Pipeling design of Q1 (40)
2. Show the block diagram of the design with three pipelining stages (with DFFs) within the mutioperand adder. (20)

下圖是full adder的block diagram，因為前面的XOR GATE的critical path會經過一個AND GATE和一個OR GATE，因此若是將一個GATE的delay time設為T，則一個one bit full adder為4T。



而一個1-bit PG的critical path就是經過一個XOR GATE，因此是2T。

而一個Valency-2 cell的critical path會經過一個AND GATE和一個OR GATE，因此為2T。

最後一級的sum logic為XOR GATE，因此為2T，

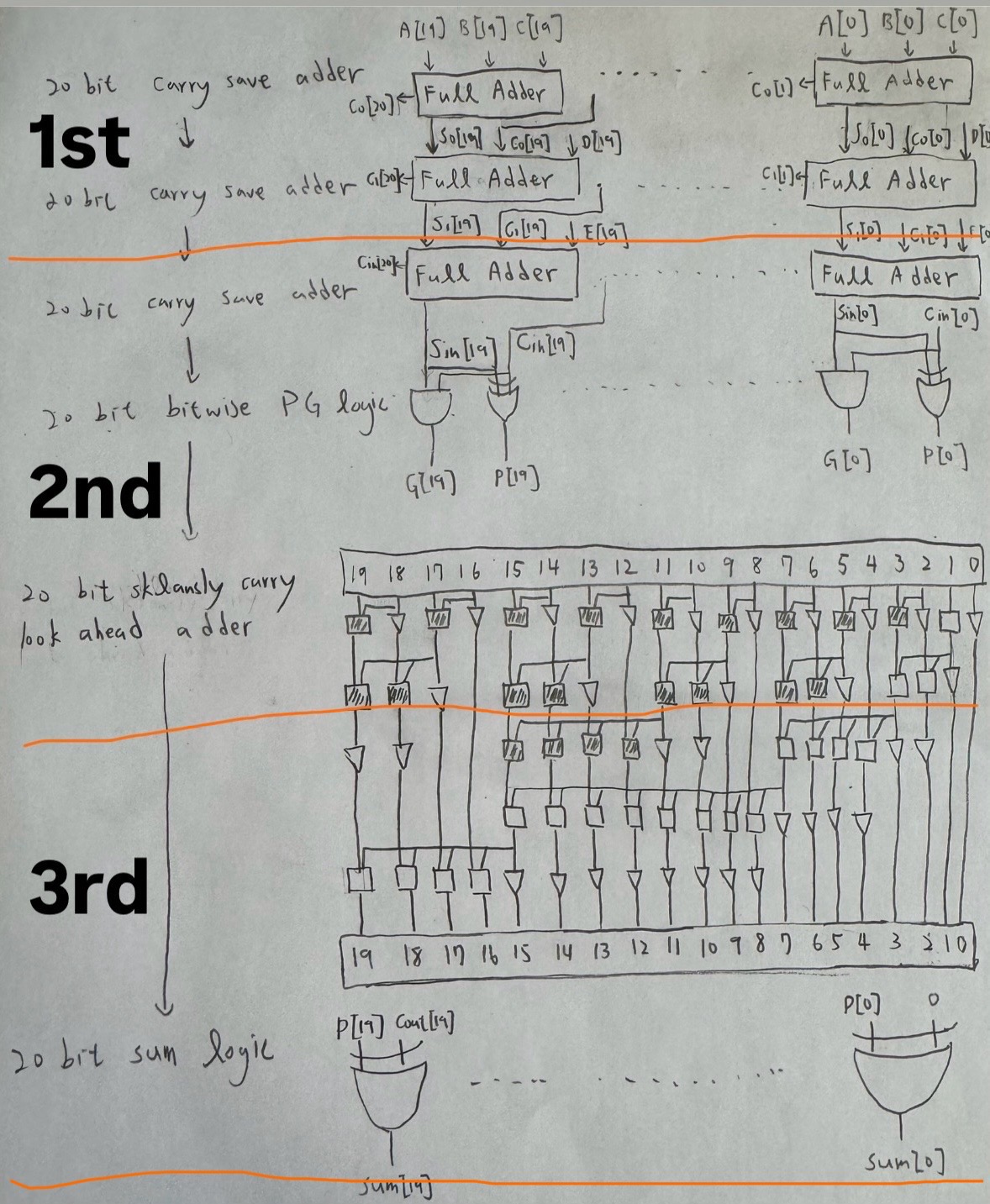
透過上述可得知，此電路的delay time為Tdelay=3T1-bit FA+1T1-bit PG+5TValency-2 cells+1TXOR2=26T。

而經過我們討論要設計三級的pipeline，因此為了平衡各級的delay time，我打算將DFF插在下圖的地方，橘色的線就是插入DFF的地方，而這樣分級後，三級的delay time分別為8T、10T及8T。

第一級為4T+4T=8T。

第二級為4T+2T+2T+2T=10T。

第三級為2T+2T+2T+2T=8T。



1. List the number of DFF used. (10)

|  |  |
| --- | --- |
| Stage | Number of DFF |
| 1st | 40(20bit for C and S) |
| 2nd | 20(P)+8\*2(black cell P G)+12(other G)=48 |
| 3rd | 20(20bit for S) |
| TOTAL | 108 |

1. List the clock cycle time of this pipeling design with tpd of the module used in the critical path (10)

Tpd1=2T1-bit FA=4T+4T=8T

Tpd2=1T1-bit FA+1T1-bit PG+2TValency-2 cells=4T+2T+2T+2T=10T

Tpd3=3TValency-2 cells+1TXOR2=2T+2T+2T+2T=8T

Tpd2最大，因此Tc1T1-bit FA+1T1-bit PG+2TValency-2 cells+Tsetup+Tpcq。