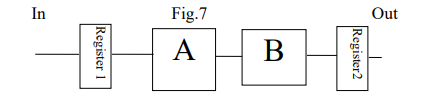
312510239 王則惟

Consider the circuit in Fig.7. Modules A and B have a delay of 19 ns and 30.5 ns at 0.9V (Vdd) with switching of 20 pF and 30 pF respectively. All the buses in Fig.7 are 16 bits. One register has a 0.5 ns clock-to-Q delay and switches 0.05 pF. The clock rate of Fig.7 is thus 1/(50 ns) and the power dissipation is P0. The power dissipation can be estimated by P= CVdd2F and the delay with respect to Vdd can be approximated by k/(Vdd-Vt) with Vt equals 0.3 V. k is a constant and is different for A and B. You can use the information of delay time, Vdd and Vt to calculate k.



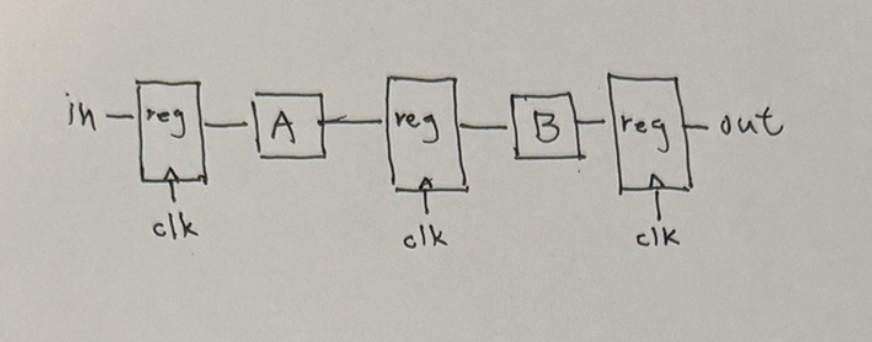
在不考慮clock skew以及setup time的情況下，clock cycle的公式為下。

而利用題目給的資訊，可將module A和B的k算出來。

因題目有給定module A和B和register的capacitance，因此可透過公式計算出一開始的power。

1. Adding a pipeline register between A and B allows for reduction of the supply voltage (A and B can use different Vdd) while maintaining throughput with power dissipation of P1. Show the block diagram. Explain the operation and calculate the power reduction ratio, P1/P0 (30%)

下圖為插完pipeline register後的block diagram。



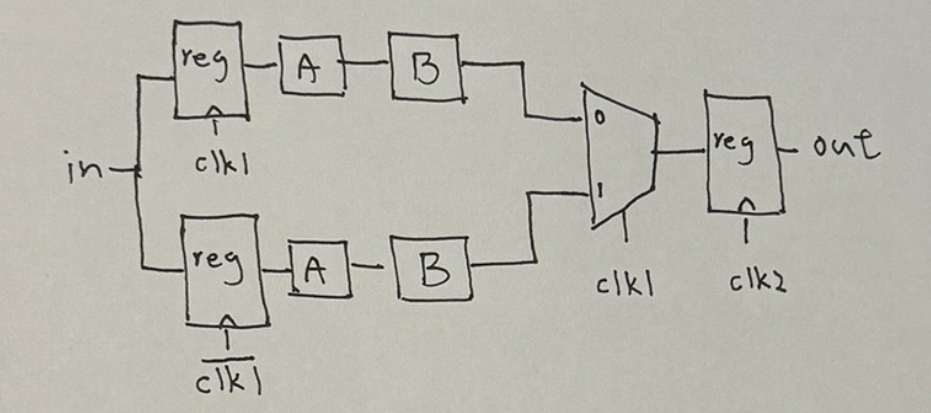
因為插完pipeline register後，一個cycle就不需要做那麼多事，module A和B可以分別各用一個cycle完成，因此在clock cycle不變的情況下，理論上可以降低VDD並達到省power的目的，下方為重新計算過後的VDD。

並利用新的VDD來計算新的power，因為有插一個pipeline register，因此計算power時要加上去。

最後再算出插完後即插完前的比值，也就是power reduction ratio。

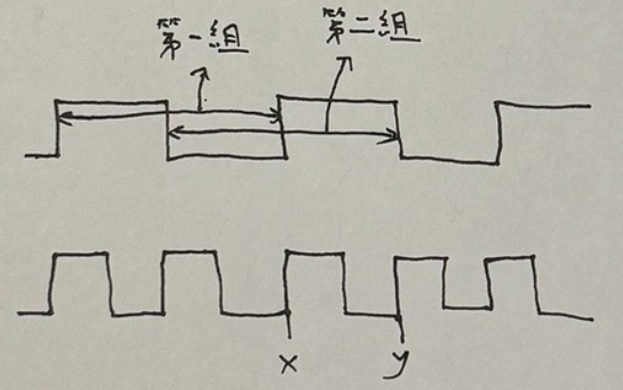
1. Assume that a 2-to-1 multiplexer has a delay of 0.4 ns at 0.9 V and switches 0.05 pF. Try parallel version with two copies (using two A and B modules) while maintaining date rate (P2). Show the block diagram, explain the operation and calculate power reduction ratio, P2/P0. (30%)

下圖為電路加上parallel概念後的block diagram。



Parallel為利用interleaved的概念，使用兩組一樣的硬體，將module A和B做平行化，第一組使用clk1控制，第二組使用clk1bar控制，並在後面接上一個2 to 1的multiplexer來控制輸出，當clk1為0，則使用第一組硬體的輸出，當clk1=1，則使用第二組硬體的輸出，而為了維持相同的output throughput rate，所以兩條路的clock cycle要使用100ns，且multiplexer後的register要使用50ns的clk2來控制，這樣一來即可降低前面電路的clock frequency，來達到降低power的目的，且依然能維持原本的output throughput rate。

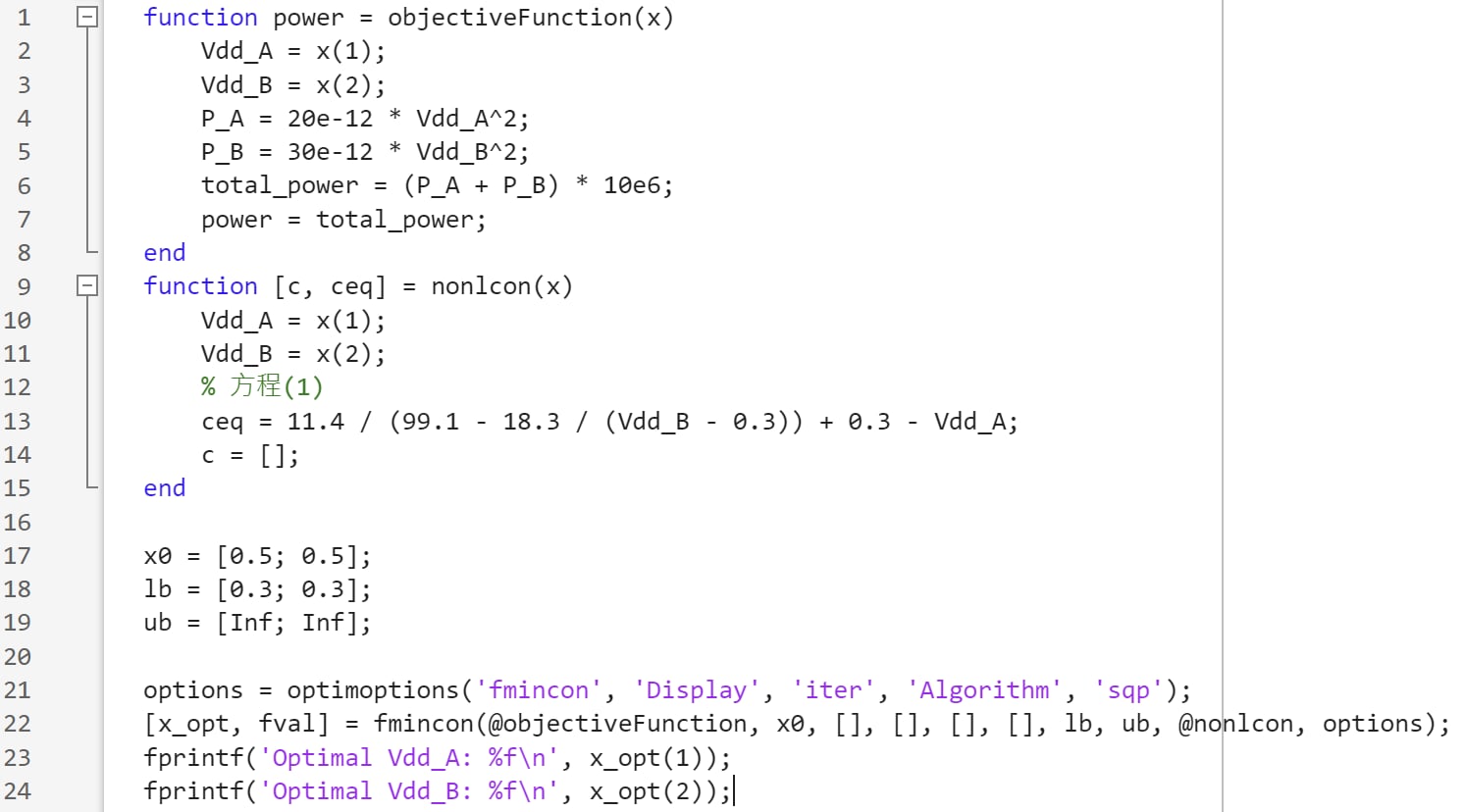
下圖為clk1以及clk2的時序分析，因為第一組硬體是使用clk1，因此他能計算的時間為clk1兩個正緣間的時間，且他的output會在x點被clk2的正緣吃到，而第二組硬體使用的是clk1bar，因此他能計算的時間為clk1兩個負緣間的時間，且他的output可以在y點被clk2的正緣吃到，因此才能維持相同的output throughput rate。



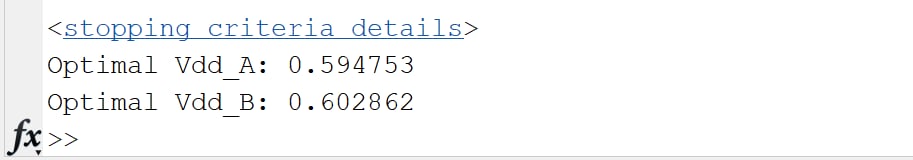
因為使用parallel架構後，module A和B的clock cycle設為100ns，並扣掉Tpcq以及multiplexer的delay time，可得到delay time的總和。

為了降低power，因此要找出module A和B的power最小時，此時的VDDA和VDDB為多少，因此列出下方的式子。

並透過MATLAB來找出當VDDA和VDDB為多少時，能得到最小的power。



可得到輸出結果如下。

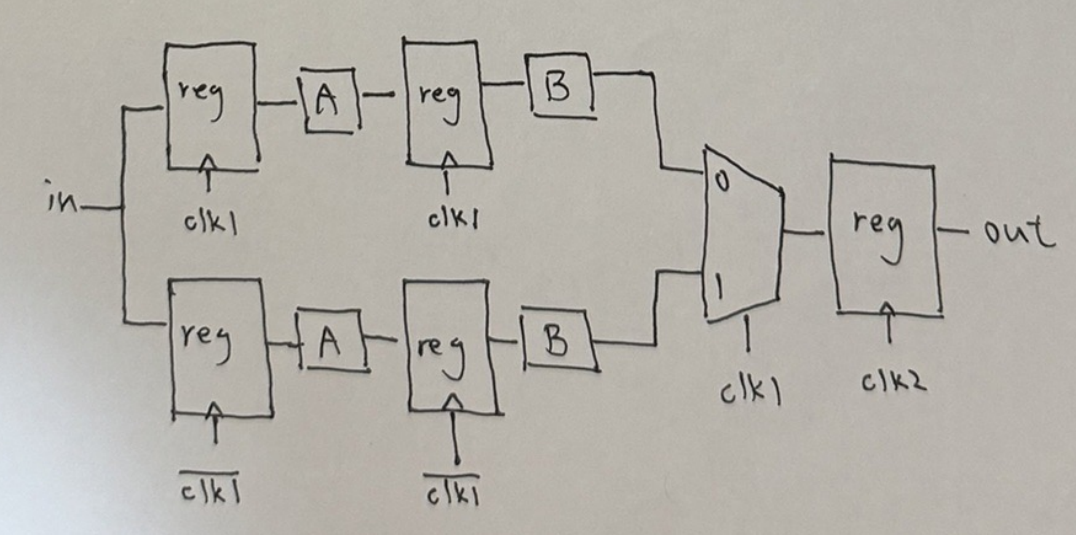


由上圖可知，我計算出來的VDDA=0.5948V，VDDB=0.6029V，並用來計算使用parallel後的power，這邊假設所有的register和multiplexer皆工作在0.9V。

最後再算出使用parallel後與前的比值，也就是power reduction ratio。

1. Try to combine (a) and (b) to design a parallel-pipeline version while maintaining data rate (p3). Show the block diagram, explain the operation and calculate power reduction ratio, P3/P0 (40%)

下方為使用parallel概念後並加上pipeline register後的block diagram。



因為同時使用了pipeline和parallel的概念，因此讓module A和B都能有100ns來計算，且加上pipeline register也不會造成output throughput rate的改變，因此同時使用這兩種方法可以使在不改變output的情況下，VDD又變得更低，因此能更有效的減少power。

由上圖可知，module A的delay time只需扣掉Tpcq，而module B的delay time則需要多扣掉一個multiplexer的delay time，並利用新的delay time來計算新的VDD。

並利用新算出來的VDD來計算power，這邊假設所有的register和multiplexer皆工作在0.9V。

最後再算出使用parallel及pipeline後與前的比值，也就是power reduction ratio。