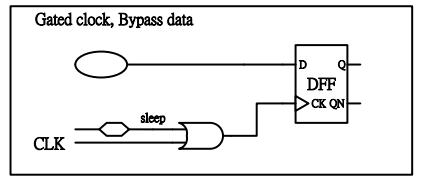
312510239 王則惟

1. Clock system is the most power hunger part of digital IC. Thus, dynamic clock gating is commonly used in digital IC to reduce power consumption

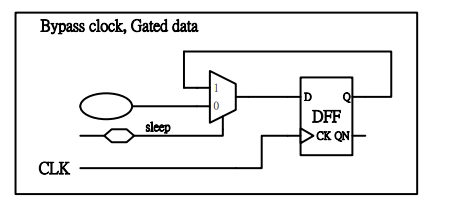
(1) There are two methods, Gated-clock&Bypass-data and Bypass-clock&Gated data. Please describe the operation of these two methods and indicate the major difference of these two methods (Use the circuits shown at p62-p66 of the ADIC\_LP text). (50%)

下圖是Gated-clock&Bypass-data的電路圖。



這邊是以OR-gating為例，因為OR-gating可以在省power方面較佳，由上圖可知，當sleep訊號為1的時候，DFF所接收到的CLK訊號會一直為1，因此不管CLK如何變動，DFF所接受到的都是為1的CLK訊號，因此DFF裡的值就不會隨著CLK的變動而更改，進而達到省power的目的。

而下圖是Bypass-clock&Gated data的電路圖。



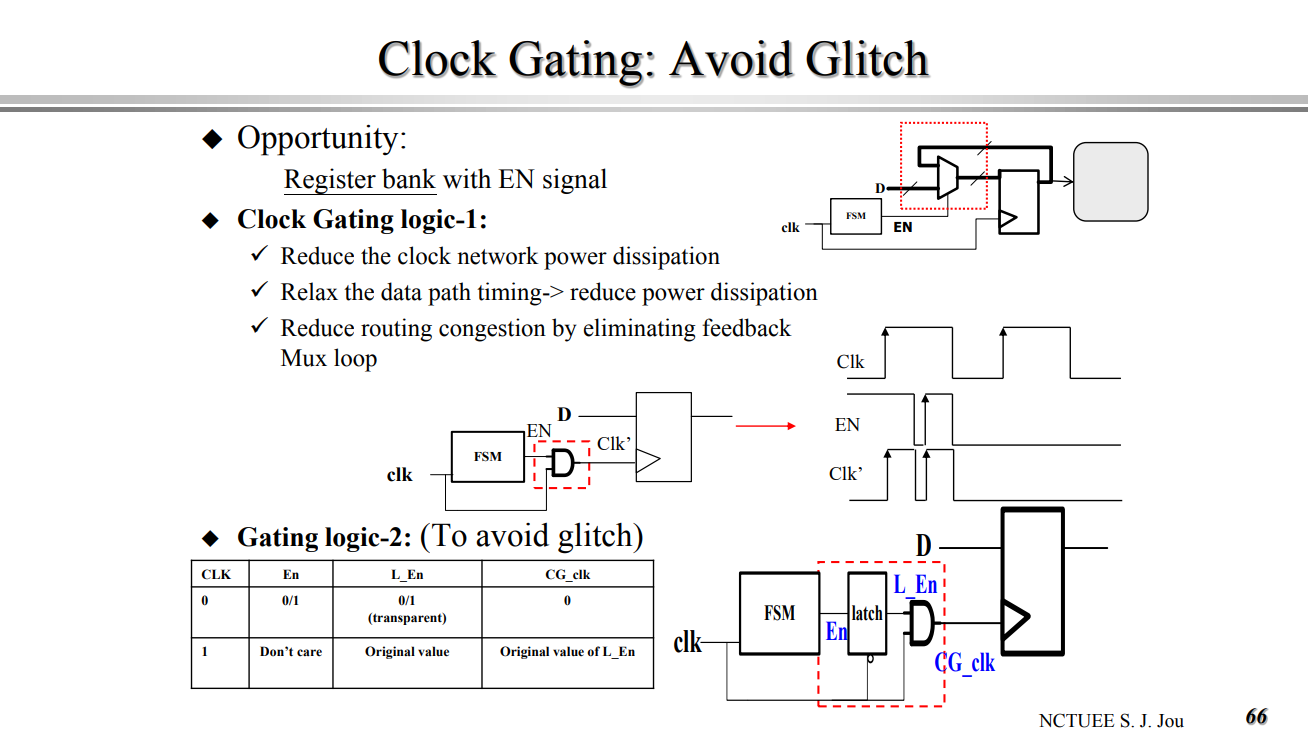
由上圖可知，當sleep訊號為1時，DFF的輸入會透過MUX得到DFF原本儲存的Q值，當sleep訊號為0時，DFF才能接受到新的input，因此我們可以透過這種方式讓DFF裡的值不會隨著CLK變化而變動，也能達到省power的效果。

**Major difference**

由上述可知這兩種電路都可以透過不讓DFF的值變動而達到省power的目的，不過我們通常會使用Gated-clock&Bypass-data的方式，因為Bypass-clock&Gated data的方式通常會增加critical path，進而造成速度下降，而且在面積的考量中，Gated-clock&Bypass-data雖然多使用了一個AND GATE或OR GATE，不過Bypass-clock&Gated data卻多使用了一個MUX，考量到MUX的電路較為複雜，因此在面積方面也是Gated-clock&Bypass-data較優，因此一般情況我們會使用Gated-clock&Bypass-data，不過在FPGA上，因為clock tree已經是做好的情況，因此很難在上面實作Gated-clock&Bypass-data，所以我們才會在FPGA使用Bypass-clock&Gated data。

(2) Describe the detail design concept and behavior of gating logic-2 to avoid glitch mentioned at p66 of the ADIC\_LP text. (50%)

下方為講義的第66頁。

由上圖可知，我們為了避免因為EN訊號產生的glitch，而使得電路的CLK訊號沒有依照我們的設計gated掉，所以我們在EN訊號後面插一個LATCH，講義這邊使用的是AND-gating的電路，這麼做可以使得EN訊號若是在CLK=1時有glitch，因為latch是在CLK=0時才會更新值，因此glitch在CLK=1發生並不會影響電路，而當glitch發生在CLK=0時，則會因為後方的AND GATE而使得DFF所接受的CLK依然維持在0，而使得DFF無法改變值，因此能達到避免glitch的目的。