

Static Timing Analysis Report

312510239 王則惟

Data Structure:

建立一個 gate 的 class 來儲存有關 gate 的所有資訊，例如 input 的 net、output 的 net、gate name、delay time、output logic 等等，並建立一個 net 的 class，用來儲存每條 net 的各項資訊，包括他的 type、name、連接到的 gate 等等，使用 `vector<Gate*>` 來儲存 netlist 檔案中吃到的 gate，並用 `unordered_map<string, Net*>` 來儲存 netlist 檔案中的 net，使用 `unordered_map` 是為了更好的存取每條 net，對於後續查找每個 gate 的 input net 和 output net 會方便許多。

Explanation of each flow:

1. Read netlist file: 讀取 netlist 檔案並處理註解的問題
2. Read library file: 讀取 library 檔案
3. Calculate gate's output load: 實作 step1，根據 library 提供的電容資訊算 load
4. Topology sort: 利用 BFS 的算法將電路的 gate 排序，以便後續算 delay time
5. Calculate propagation delay: 利用插值法算 delay time 和 transition time
6. Find longest path and shortest path: 利用上一步計算時紀錄每個 gate 前一個 gate 是什麼，來找出 path
7. Read pat file: 讀取 pat file
8. Calculate output logic, delay time, and transition time based on pat file: 一樣使用插值法來計算每個 gate 的 delay time 和 transition time

